المكتبة
027/07
Ex1

République Algérienne Démocratique et populaire

Ministère de l'Enseignement Supérieur et de la Recherche Scientifique

Université SAAD Dahleb de Blida
Faculté des Sciences de l'ingénieur
Département D'Aéronautique

Projet
de fin d'études

En vue de l'obtention du Diplôme d'Ingénieur D'Etat en Aéronautique

Option : installation

THÈME

Réalisation d'un synthétiseur de fréquence VHF Commandé par Micro contrôleur 68HC11

Réalisé par :

BEN ANTER Salim
DAMECHE Mohamed

Promoteur :

Mr. GUERID Abdelkader

Promotion 2007

Dédicace

Je souhaite dédier ce modeste travail, synonyme de concrétisation de tous mes efforts fournis ces cinq dernières années :

A mes très chers parents ma raison de vivre, symbole de courage. et de sacrifice, Que dieu les gardes.

A mes frères Samir et Nacer.

A mes très chères sœurs Malika, Wahiba, Samira et Ahlem.

A mes oncles et mes tantes.

A mes cousins et mes cousines.

A mon binôme DAMECHE Mohamed.

A toutes les familles BENANTAR,BOUTABA et LARABA.

A touts mes Amis de la promotion E.S.AIR 2001.

A touts mes Amis de la promotion installation 2007.

A touts mes amis du bloc 02 sans exception.

A touts mes amis de RASS LAIOUN.

Benantar Salim

Dédicace

Je souhaite dédier ce modeste travail, synonyme de concrétisation de tous mes efforts fournis ces cinq dernières années :

A mes très chers parents ma raison de vivre, symbole de courage.

Et de sacrifice, Que dieu les gardes.

A mon cher grand père BEN DAHMADJ

A ma chère grande mère NAFISSA

A mes frères HANACHI et BRAHIM et SMAIL et YOUSEF

A mes sœurs

A mes oncles et tantes.

A mes cousins et cousines.

A mon binôme BENANTER SALIM

A touts mes Amis de la promotion E.S.AIR 2001.

A touts mes Amis de la promotion installation 2007

A touts mes amis du bloc 02 sans exception.

A touts mes amis de Berrouaghia.

DAMECHE Mohamed

REMERCIEMENTS

Nous remercions tout d'abord dieu tout puissant tout clément qui

Nous a aidés à élaborer ce modeste travail

Et aboutir à ce niveau d'étude.

Nous exprimons notre profonde et respectueuse gratitude

Et reconnaissance à notre promoteur Mr. GUERID Abdelkader

Et tout les éléments du centre recherche (URDT) que nous ont aidés

Surtout dans la partie de la réalisation

Nous remercions Mr. BENACHENHOU qui nous a dirigés vers le bon chemin

Nous exprimons nos remerciements les plus sincères à l'ensemble

Des enseignants et des étudiants

Du département d'Aéronautique de l'université de BLIDA.

BEN ANTER Salim *DAMACHE Mohamed*

Installations 2007

Résumé:

Dans ce travail nous avons réalisé un synthetiseur de fréquence numérique commandé par un microcontrôleur MC68HC11F1 pour générer une gamme de fréquences avec un pas fixe en utilisant des composantes programmables.

Abstract:

In this work, we have realize digital frequency synthesizer controlled by a microcontroller MC68HC11F1 for generate a frequency band with a fixed step using programmable components.

ملخص:

في هدا العمل قمنا بانجاز ممركم تواترر قمي يتحكم به بواسطة مكرو معالج *68HC11* من اجل توليد سلما للتواتر مع خطوة ثابتة كما نقوم باستعمال القاسم المبرمج.

Sommaire

Résume

Intrduction génerale

Chapitre I: L'étude théorique du synthétiseur de fréquence

I.1. Historique.....01

I.2. Caractéristique fondamentales des synthétiseurs de fréquence.....02

I.2.1. Gamme de fréquence et pas 02

I.2.2. Pureté spectrale 03

I.2.3. Temps d'acquisition 03

I.2.4. Autres caractéristiques 03

I.3. différents types de synthèses de fréquence.....04

I.3.1. Synthèse directe (sans PLL) 04

I.3.2. Synthèse indirecte (AVEC PLL).....09

I.3.3. Synthèse numérique 13

I.4. Principales utilisations 14

I.4.1. Les appareils de laboratoires 14

I.4.2. Applications en télécommunications 15

I.4.3. Dispositif Radar 15

Chapitre II: synthétiseur à boucle d'asservissement de phase

II.1.principe de la boucle à verrouillage de phase.....17

II.2. Constitution générale.....17

II.2.1.Les comparateur de phase.....18

II.2.1.1. Comparateur de phase analogique.....18

II.2.1.2. Comparateur de phase numérique.....24

II.2.2. Filtre passe-bas.....29

II.2.2.1. Filtres passifs 29

II.2.2.2. Filtres actifs.....30

II.2.3. Oscillateurs contrôles en tension.....32

II.3. Synthétiseur de fréquence.....33

II.3.1. Objectif 34

II.3.2. La stabilité de la PLL 35

II.4.Application numérique: simulation par MATLAB.....42

II.4.1. Démo PLL - Basé De Synthèse De Fréquence 42

Sommaire

II.4.2. Résultats et affichages 43
II.4.3. Blocs dans le démo.....43
II.4.4. Générateur d'impulsion.....44
II.4.5. Détecteur De Phase.....44
II.4.7. Conception Analogue De Filtre.....44
II.4.8. Gain.....45
II.4.9. Oscillateur Commandé.....45

Chapitre III: L'étude pratique d'un synthétiseur de fréquence

III.1. Commande d'un synthétiseur par microcontrôleur.....48
III.2. Les composants de la carte.....49
III.2.1. Les microcontrôleurs 68 HC11.....49
III.2.1.1. Présentation générale.....49
III.2.1.2. Les ressources internes des MC68HC11F1.....54
III.2.1.3. La mémoire.....56
III.2.1.4. Résumés des principaux produits.....57
III.2.1.5. Plan 57
III.2.1.6. RAM interne.....58
III.2.1.7. EEPROM.....59
III.2.1.8. Registres internes.....59
III.2.1.9. Les chip select (CS).....60
III.2.1.10. Sélection des Entrées/Sorties CSIOl et CSIO2.....60
III.2.1.11. Les différents modes d'utilisation de MC68HC11F1.....62
III.2.1.12.Modes d'adressages.....68
III.2.2. Cavalier.....75
III.2.3. Module d'affichage (LCD.....76
III.2.3. Le synthétiseur MC145151P2 83
III.2.4. L'oscillateur commandé en tension (SN74S124N) 84
III.2.5.Le filtre passe bas 84
III.3.Fonctionnement du synthétiseur de fréquence 86
III4.les étapes du programme de la commende par micro contrôleur.....88
Conclusion générale.....89

Liste Des Figures

Chapitre I: L'étude théorique du synthétiseur de fréquence

Figure (I-1) : Synthetiseur de frequence.....02

Figure (I-2) : Synthèse directe incohérente.....05

Figure (I-3) : Synthèse directe itérative(cohérente).....06

Figure (I-4) : Synthèse a double mélange.....08

Figure (I-5) : Synthétiseurs a boucle d'asservissement de phase analogique.....10

Figure (I-6) : Synthétiseurs à boucle d'asservissement de phase numérique.....10

Figure (I-7) : Synthèse itérative (multi boucles).....11

Figure (I-8) Schéma de la synthèse de fréquence fractionnaire.....12

Figure (I-9) : Schéma fonctionnel de la synthèse de fréquence numérique.....14

Chapitre II: synthétiseur à boucle d'asservissement de phase

Figure (II-1) Structure de base de la boucle d'asservissement de phase.....18

Figure (II-2) Multiplieur analogique.....18

Figure (II-3) : Signal sortie de filtre passe-bas.....20

Figure (II-4) Variation de v (t) en fonction (φ) dans le domaine linéaire.....21

Figure (II-5) Multiplieurs analogiques a découpage.....22

Figure (II-6) Les graphes de tensions : $V_e(t)$, $V_S(t)$, U (t), V (t).....23

Figure (II-7) Entrées et sortie du détecteur de phase numérique OU Exclusif.....26

Figure (II-8) Fonction de transfert moyenne du détecteur de phase OU Exclusif.....26

Figure (II-9) Tension moyenne en fonction du déphasage 27

Figure (II-10) Entrées et sortie du comparateur de phase numérique RS.....27

Figure (II-11) Fonctionnement du comparateur de phase a bascule RS.....28

Figure (II-12) Schéma électrique d'un filtre(RC).....29

Figure (II-13) Circuit R_1R_2 et C.....30

Figure (II-14) Filtre actif R_1R_2 et C.....30

Figure (II-15) Filtres passe-bas accompagnant le circuit 4044 (D'après Motorola).....31

Figure (II- 16) Carcteristique du VCO.....33

Liste Des Figures

Figure (II-17) : Production de la porteuse par synthèse de fréquence.....34
Figure (II-18) : Configuration dans le domaine temporel.....35
Figure (II-19) : Configuration dans le domaine S.....36
Figure (II-20) : Modèle numérique de la PLL seconde ordre.....39

Chapitre III: L'étude pratique d'un synthétiseur de fréquence

Figure (III-1) : Schéma d'un synthétiseur commandé par un microcontrôleur.....48
Figure (III-2) : Les taches des broches de MC68HC11F1 68-broches.....52
Figure (III-3): Le support PLCC 68 broche recevant
Le microcontrôleur à programmer 68HC11F1.....53
Figure (III-4) : Aspect général de la carte programmateur.....53
Figure (III-5) : Structure interne des 68HC11 série F1.....54
Figure (III-6) : Plan mémoire du 68HC11F1.....58
Figure (III-7) : Adressage de la mémoire par les lignes
de sélection CS101 et CS102 du 68HC11F1.....61
Figure (III-8) : Espace mémoire adressage par la ligne de sélection CSGEN du 68HC11F1.....62
Figure (III-9): Type de câblage en mode circuit seul.....64
Figure (III-10) : Schéma électrique en mode étendu.....66
Figure (III-11) : Circuit imprimé de la carte principale (coté composants).....74
Figure (III-12) : Circuit imprimé de la carte principale (coté cuivre).....74
Figure (III-13) : Circuit imprimé de la carte de commande.....80
Figure (III-14) : Schéma électrique de la carte principale.....81
Figure (III-15) : Circuit imprimé de la carte de commande (coté cuivre).....81
Figure (III-16) circuit imprimé de la carte de MC145151 (coté composants).....83
Figure (III-17) circuit imprimé de la carte de MC145151 (coté cuivre).....83
Figure (III-18) circuit imprimé de la carte de SN74S124N (coté composants).....85
Figure (III-19) circuit imprimé de la carte de SN74S124N (coté cuivre)
Figure (III-20) circuit imprimé de la carte de synthétiseur de fréquence (co. comp).....87

Liste Des Tableaux

Tableau (I-1) : Usage des divers types de synthèse de fréquence.....16

Tableau (II-1) : Table de vérité du (XOR).....25

Tableau (II-2) : Table de vérité du (RS).....28

Tableau (III-1) : caractéristiques essentielles des microcontrôleurs 68HC11.....51

Tableau (III-2) : Etat des bits du registre HPRIO en fonction de la configuration du 68HC11F1.....63

Tableau (III-3) : Etat des interrupteurs en fonction de la configuration 68HC11F1....75

Tableau (III-4) : niveau d'adressage.....77

Tableau (III-5) : Description des différentes commandes.....78

Tableau (III-6) : Etat de matrice des caractères en fonction de bit F.....78

Tableau (III-7) : le jeu d'instruction 79

Introduction générale:

Dans le cadre de recherches s'effectuant au niveau du l' URDT (unité de recherche développé de transmission). Il nous a été demandé de réaliser un synthétiseur numérique de fréquences commandé par un micro contrôleur 68HC11.

Le but de ce travail est de générer une gamme de fréquences avec un pas fixe en utilisant des composantes programmables.

Pour effectuer ce travail nous avons élaboré la répartition des chapitres de la thèse comme suite :

Le chapitre I a été consacré à l'étude théorique du synthétiseur de fréquences : l'historique, les caractéristiques principales, les types de synthèse de fréquence et les principales utilisations.

Dans le chapitre II, nous aborderons d'une manière détaillée l'étude du synthétiseur de fréquences à base de PLL : le principe de fonctionnement, la constitution et la stabilité de la boucle à verrouillage de phase,

Nous détaillerons par la suite (chapitre III) une étude pratique sur les éléments actifs en VHF qui seront utilisés dans notre montage, nous développerons notre étude pratique qui –rappelons la- est une réalisation pratique d'un synthétiseur de fréquences commandé par un microcontrôleur MC68HC11.

Et nous terminons par une conclusion générale.

CHAPITRE I

Théorique du synthétiseur

I.1. Historique:

Dès le début des communications intercontinentales dans la bande HF (high frequency : 3 à 30 MHz), la stabilité de la fréquence a été une source de difficultés. En 1930, plusieurs articles faisaient déjà état de méthodes longues et coûteuses destinées à obtenir une fréquence aussi stable que possible. Mais les techniques utilisées étaient plus applicables à des équipements de laboratoire qu'à des utilisations de terrain. Les premiers synthétiseurs de fréquence, appelés standard de fréquence, étaient du type *à* synthèse directe et ont fait leur apparition vers 1943. L'avènement des semi-conducteurs a entraîné le remplacement des tubes électroniques de la première génération d'instruments et a ainsi permis de diminuer leur taille, leur consommation et d'améliorer leurs performances. Cependant, leur coût et leur encombrement réservent encore leur emploi soit à des équipements sophistiqués, à caractère militaire, soit à des émetteurs de puissance.

L'apparition des circuits électroniques numériques et de techniques d'accord électronique entre 1960 et 1970 a entraîné une seconde transformation. La conception de la synthèse fut alors entièrement modifiée, avec une prédominance pour les synthétiseurs à boucle de phase et à circuits numériques. La réduction en coût et en volume des récepteurs due à l'emploi de ces synthétiseurs, les rendit particulièrement populaires et leur utilisation se généralisa alors, avec prolifération de procédés tant dans les équipements radio qu'au niveau des appareils de laboratoire entre 1965 et 1975. La fin des années 1970 a vu la mise au point des DDS (direct digital synthesizer), synthétiseurs entièrement numériques qui présentent virtuellement une résolution infinie. Complètement intégrables, ils se généralisent dans tous les circuits électroniques grand public et sont aujourd'hui fabriqués en très grande série pour les besoins des télécommunications modernes.

Le terme synthétiseur désigne aussi bien l'instrument complet que le module élémentaire qui en constitue le cœur. On peut représenter les différentes fonctionnalités d'un synthétiseur par le schéma de la figure (I-1).

Sur ce schéma, on trouve le pilote qui est un oscillateur de référence générant un signal de fréquence f_e.

Ce signal constitue l'entrée du module de synthèse qui génère alors le signal utile à la fréquence f_s reliée à la fréquence du pilote par une relation du type :

$$f_s = \frac{n}{d} f_e \quad \ldots\ldots\ldots\ldots \text{(I-1)}$$

Où n et d sont des entiers.

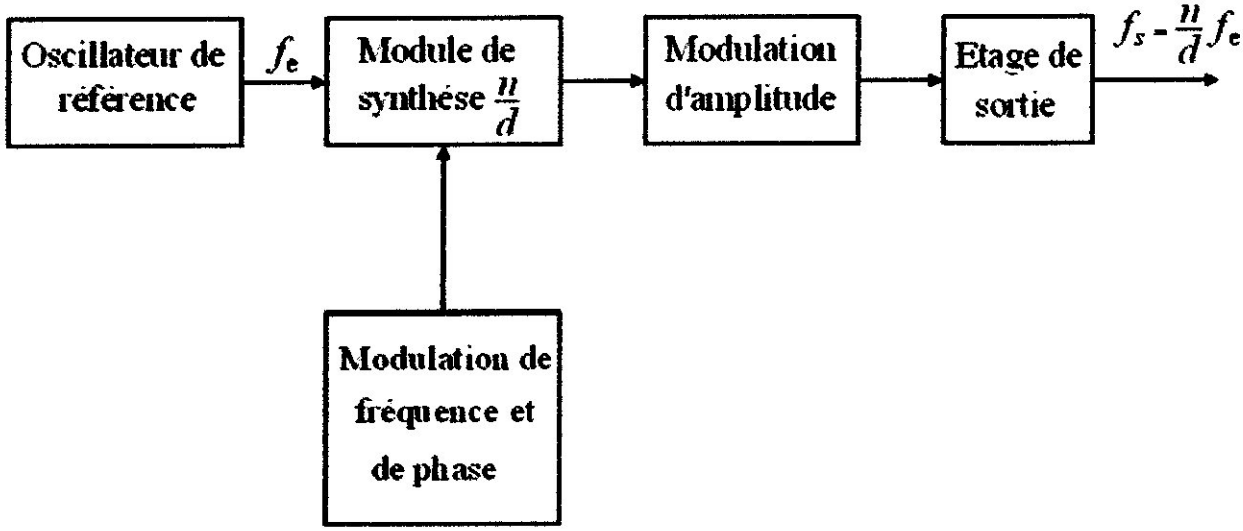


Figure (I-1) : synthetiseur de frequence

I.2. Caractéristique fondamentales des synthétiseurs de fréquence:

Les différent carcteristiques que peuvent avoir un synthétiseur de fréquences sont énumérées comme suite:

I.2.1. Gamme de fréquence et pas:

La gamme de fréquence est définie à partir bornes extérieures d'utilisation. Le pas est l'intervalle de fréquences discrètes fournies. On peut rencontrer des pas allant d'un centième de hertz jusqu'a un mégahertz. Ceux le plus souvent rencontres sont :

- **1 Hz** pour les appareils de laboratoires,
- **100 Hz a 1 000 Hz** pour les plus hautes fréquences,
- **12,5 kHz et 25 kHz** pour les UHF et VHF (AM).
- **50KHZ** pour les UHF et VHF (FM).

I.2.2. Pureté spectrale :

Un oscillateur fournit un signal qui, examine a l'analyseur de spectre, présente une raie à la fréquence principale d'oscillation et des raies avoisinantes liées aux parasites. Ces fréquences parasites non harmoniques (appelées aussi spurious) peuvent correspondre à des produits de mélanges que l'on ne peut totalement éliminer. Les raies parasites non harmoniques sont dues au plan de fréquence et sont généralement des produits de mélanges difficilement éliminables et des résidus de fréquence de référence.

Dans les synthétiseurs, on ne tient compte que du bruit a pente de 20 dB/décade et du plancher de bruit. [1]

I.2.3. Temps d'acquisition :

C'est le temps de stabilisation, il est aussi appelé temps de disponibilité. Lorsqu'une fréquence fi est affichée et que l'on change la programmation de manière à obtenir une fréquence f_2, cette dernière, ainsi que toutes les caractéristiques qui lui sont attachées, ne sont pas obtenues instantanément, mais au bout d'une durée dépendant de la constitution du synthétiseur. Cette durée est appelée temps d'acquisition. On peut rencontrer des temps d'acquisition de quelques millisecondes à quelques microsecondes.

I.2.4. Autres caractéristiques :

Il existe d'autre caractéristique dont nous allons à titre de rappel que les plus importante :

-La sensibilité aux perturbations extérieures est surtout perceptible lorsque le synthétiseur de fréquence est utilise dans un équipement et le principal gène est apporté par une modulation parasite du signal. , celles-ci étant dues aux couplages électroniques, aux vibrations, au bruit génèrent par les alimentations...

- Le jitter qui représente la variance de la fréquence pour un temps donné,
- La précision ou tolérance relative, définie entre 10^{-6} et 10^{-8}.

I.3. différents types de synthèses de fréquence:

Il existe trois types de synthèse de fréquence et qui sont:

- **La synthèse directe** qui existe depuis les années **1930**,
- **La synthèse indirecte** est un procède qui est développe en **1965** avec l'apparition des circuits intégrés numériques. Elle utilise le principe de la PLL
- **La synthèse numérique** micro-programmée plus récente, qui n'a rien de commun avec les deux précédentes.

I.3.1. Synthèse directe (sans PLL):

Le principe de base de la synthèse directe consisterait à partir d'une source unique stable, à fabriquer d'abord une série de fréquences multiples, puis une série de sous-multiples et de les combiner entre elles par addition et soustraction.

La synthèse directe n'est généralement utilise que lorsqu'un temps d'acquisition très court est requis (des temps de quelques microsecondes peuvent être obtenus), car son coût est très élevé.

Dans la littérature de l'électronique plusieurs types de synthèse directe peuvent être rencontres :

- **Synthèse incohérente,**
- **synthèse itérative simple,**
- **synthèse a double mélange,**
- **synthèse a ondes acoustiques de surface...**

I.3.1.1. Synthèse directe incohérente :

Ce procède de synthèse utilise un nombre important de quartz commutes en face avant d'appareils. Dans ces conditions, on ne peut que travailler à fréquence fixe. L'application numérique de la figure (I-2) nous montre que, avec trois modules, la gamme de fréquences du signal de sortie est comprise entre 58 MHz et 59 MHz au pas de 1 kHz. Très peu d'appareils utilisent cette synthèse incohérente, malgré son faible coût [2].

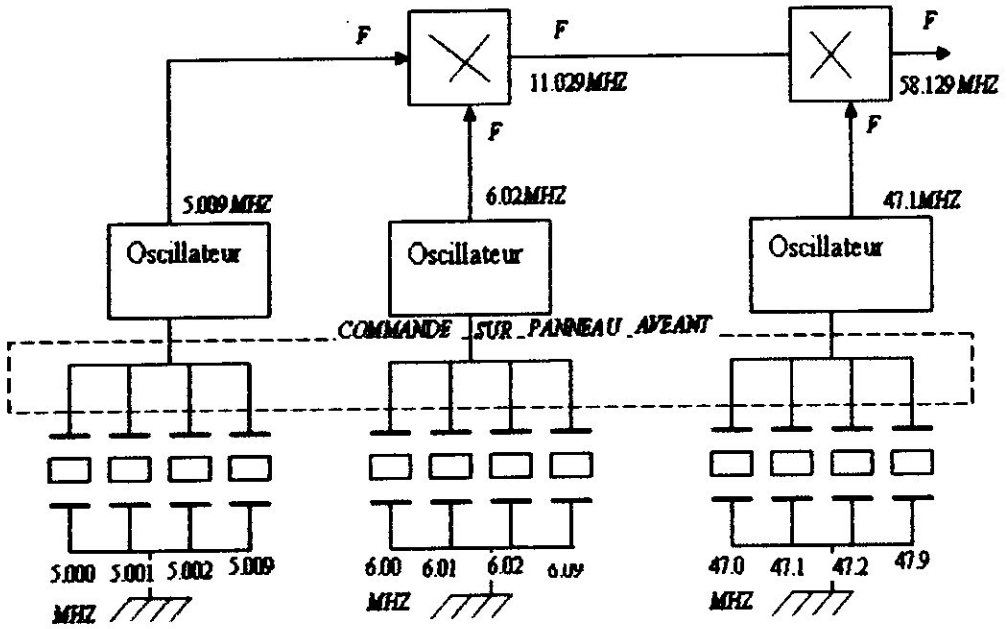


Figure (I-2) : Synthèse directe incohérente

I.3.1.2. Synthèse directe itérative (cohérente):

Le schéma de la figure (I-3) indique le principe d'une telle synthèse. Pour mieux comprendre le fonctionnement, nous prenons une application numérique utilisant trois décades. En parlant d'un oscillateur à quartz à 20 MHz, nous gênerons deux fréquences de 18 MHz et 100 kHz. Chaque décade est identique et constituée entre autres de dix filtres sélectifs correspondant aux dix premiers harmoniques de la fréquence incrémentale de 100 kHz.

Chaque sortie de filtre fournit alors 0,0 MHz, 0,1 MHz,..., 0,9 MHz commutables sur le panneau avant de l'appareil.

Les fréquences successives rencontrées à la sortie de chaque multiplieur sont :

$S_1 = fo + n_i\, p = 20{,}7$ MHz, $n_1 = 7$ ..... (I-2).

$S_2 = fo + n_1/10 + n_2 p = 20.37$ MHZ, $n_2 = 3$ ..... (I-3).

$S_3 = f_0 + n_1 p/10 + n_2 p/10 + n_3 p = 20.437$MHZ, $n_3 = 4$ ..... (I-4).

Le multiplieur de sortie nous fournit le signal de fréquence souhaitée, c'est-à-dire : $f_s = 437$ kHz pour notre exemple.

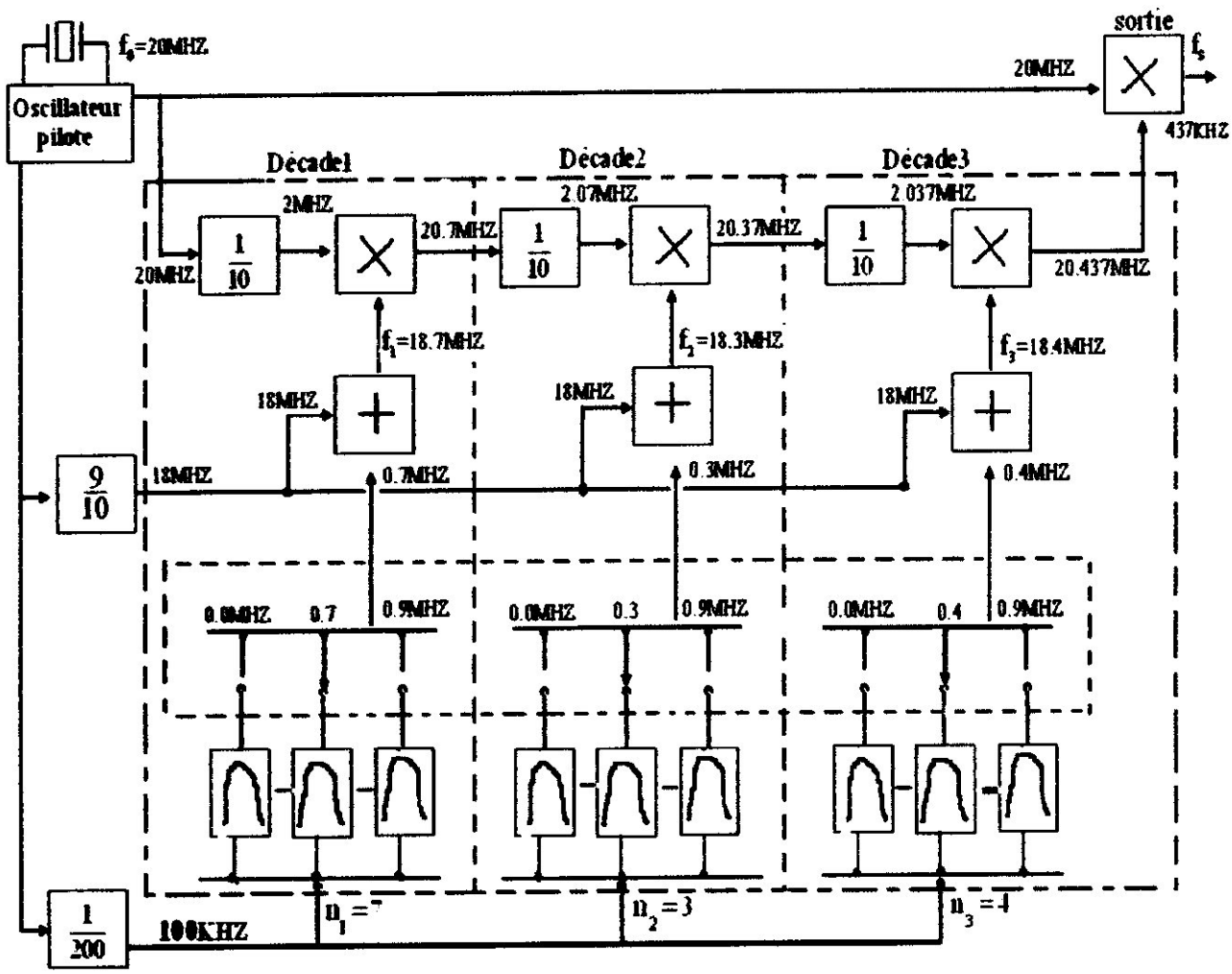


Figure (I-3) : Synthèse directe itérative (cohérente)

Remarques :

Ce principe est itératif au sens mathématique car il réalise la somme de termes issus de décades identiques.

Pour l'application précédente, le pas est de 1 kHz. Un pas de 100 Hz imposerait quatre décades, un pas de 10 Hz, cinq décades et ainsi de suite. Le diviseur par dix avant chaque multiplieur impose la génération de fréquence $fi = 9/10 f_0 + n_i p$, d'où l'utilité du bloc 9/10 permettant de passer de 20 MHz a 18 MHz.

Ce procède, dont la mise en oeuvre technologique est difficile à cause filtres hautement sélectifs, présence l'avantage d'un temps de commutation très court. On préférera toutefois la synthèse indirecte itérative utilisant le principe de la boucle a asservissement de phase, a cause de sa simplicité de réalisation et de sa facilite de programmation (utilisation des circuits intègres spécialises en technologie LSI).

I.3.1.3. Synthèse à double mélange:

Le schéma de la figure (I-4) donne une application numérique. En partant d'une fréquence pilote de 20 MHz, on obtient deux sources directes de 30 MHz et 250 MHz et dix sources auxiliaires de 20, 21, 22..., 29 MHz. Mille fréquences différentes au pas de 10 kHz sont disponibles a la sortie S_1 et au pas de 1 kHz a la sortie S_2 (300,0 à 309,99 MHz et 30,0 à 30,999 MHz pour trois décades).

Ce principe peut être rencontré dans certains synthétiseurs fabriques par Hewlett-Packard, Fluke et Rhode and Schwarz.

Le choix est lie à la rapidité de commutation [3]

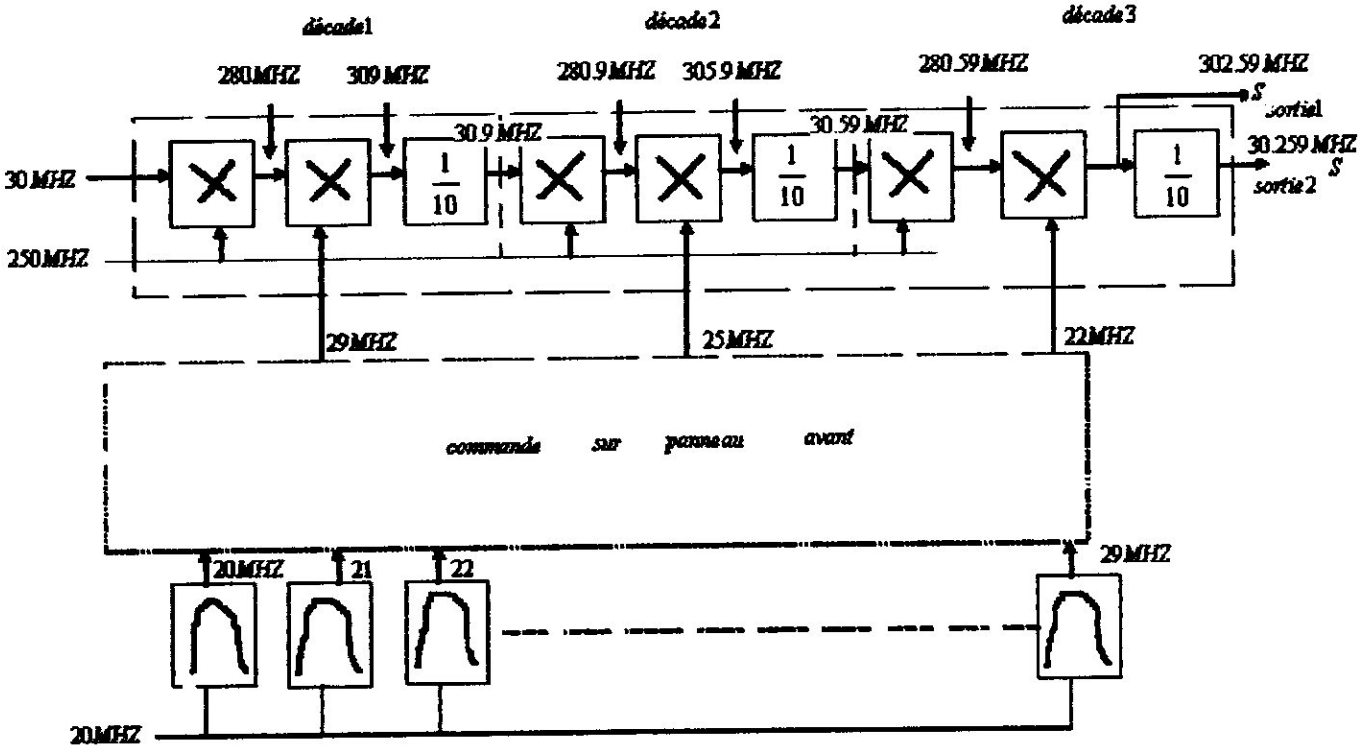


Figure (I-4) : Synthèse a double mélange

I.3.1.4. Synthèse à onde acoustique de surface:

L'énergie électromagnétique issue d'un générateur est transformée en onde acoustique. Cette onde se propage vers le récepteur ou elle est reconvertie en tension de valeur non négligeable, si la distance emetteur-recepteur est un multiple de la longueur d'onde. Le procède de synthèse utilise des filtres en peigne sectionnes par commutation et permettant d'obtenir des composantes harmoniques de la fréquence d'émission. L'originalité du module filtre est sa réalisation sur un substrat de dimension réduite. L'avantage de cette synthèse est la rapidité de commutation pour simplement quelques dizaines de fréquences disponibles.

I.3.2. Synthèse indirecte (avec PLL):

Ce procède est de plus en plus utilise, grâce a l'arrive des circuits intègres spécialises (années 70). La définition de la synthèse indirecte est liée au fait que, pour multiplier une fréquence, il faut insérer un diviseur dans la Chain de retour. Comparativement, la synthèse directe utilise la multiplication en sélectionnant les harmoniques du signal incident.

Comme nous l'avons dit précédemment, ce système pressente l'avantage d'une grande simplicité et d'une grande facilité de commande manuelle ou programmée. Le plus gros défaut reste le problème de la stabilité ; le filtre correcteur augmente le temps d'acquisition (autour de 100 périodes du signal de référence).

On peut rencontrer plusieurs principes:

-systèmes a une ou deux boucles utilises en réception ou émission radioélectrique,

-systèmes multi boucles itératifs,

-systèmes a synthèse fractionnée.

I.3.2.1. Synthèse de fréquence a boucle unitaire:

C'est le cas le plus simple, déjà présenté. Il faut toutefois préciser que deux technologies s'affrontent :

- Les synthétiseurs a boucle d'asservissement de phase analogique (Figure (I-5)).

Le circuit de retour est constitué d'un multiplieur (analogique) piloté par un signal de fréquence f_n

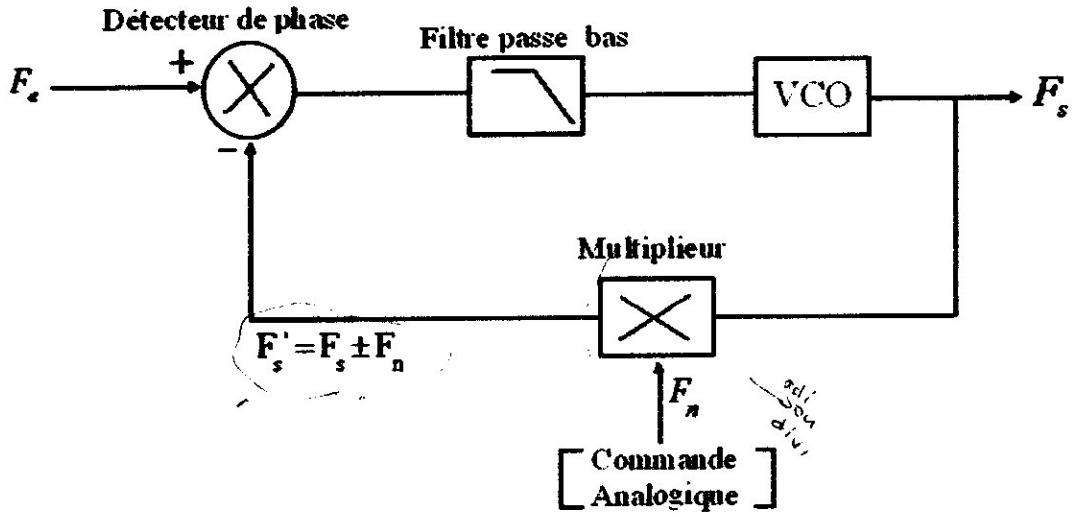


Figure (I-5) : synthétiseurs a boucle d'asservissement de phase analogique

- Les synthétiseurs à boucle d'asservissement de phase numérique ou digitale (figure (I-6)). Le circuit de retour est constitue d'un diviseur de fréquence. Ce procède est le plus utilise à cause de l'évolution technologique des circuits intègres.

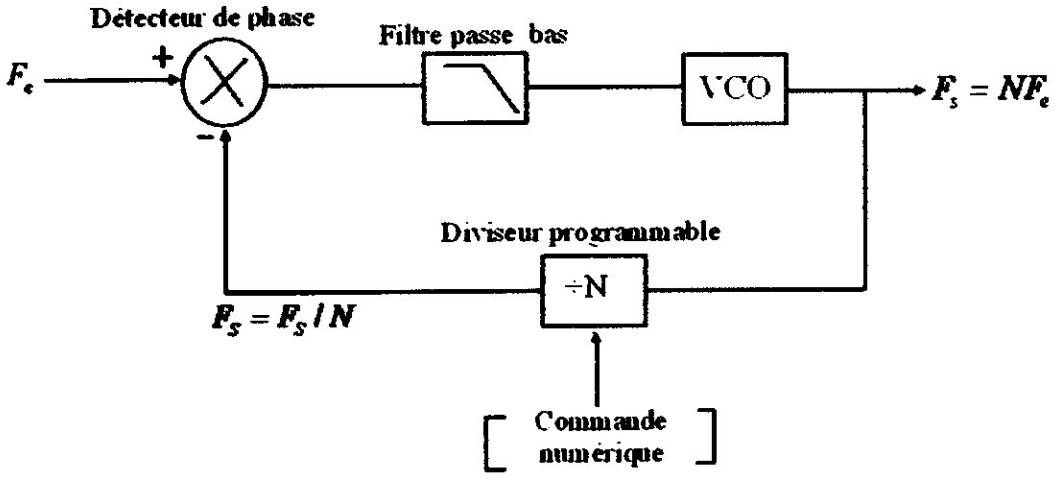


Figure (I-6) : synthétiseurs à boucle d'asservissement de phase numérique

I.3.2.2. Synthèse itérative (multi boucles):

Représente une telle fonction pour N décades. L'application numérique est identique a celle de la figure (I-.3) correspondant a la synthèse de fréquence itérative directe. Chaque ensemble de filtres harmoniques et additionneur est remplacé par une boucle d'asservissement de phase. Le diviseur de retour est un diviseur par $180+n_i$; il permet de générer des fréquences : $fi = \frac{9}{10} fo + n_i p$

La diversité des compteurs numériques assure une réalisation facile de la boucle de retour programmable. De par leur technologie, ces synthétiseurs sont dits numériques ou digitaux.

L'absence de commutateur atténue les raies parasites (spurious), ce qui donne une meilleure pureté spectrale. Un inconvénient économique réside dans le grand nombre d'éléments. Hewlett-Packard apporte une amélioration avec la synthèse fractionnée.

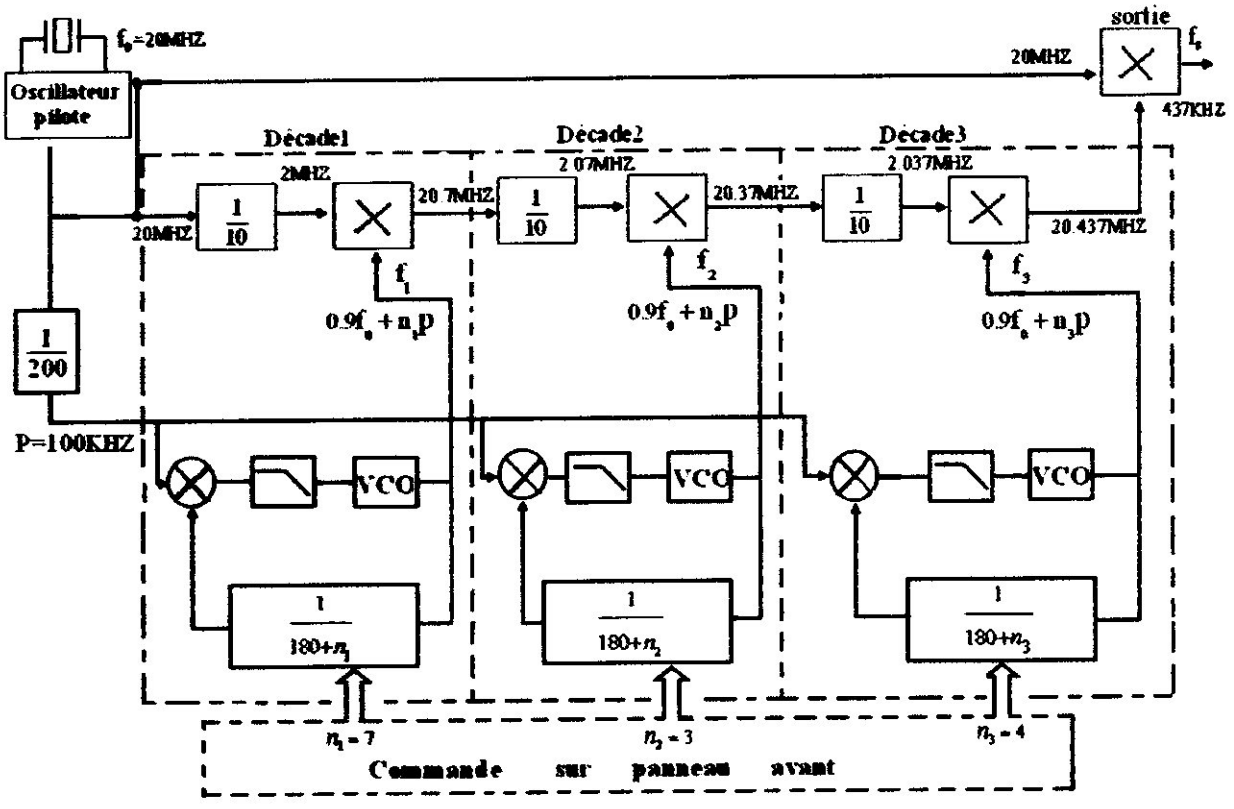


Figure (I-7) : Synthèse itérative (multi boucles)

I.3.2.3. Synthèse fractionnée:

Dans le procède décrit précédemment, la fréquence de sortie de chaque PLL est un multiple entier de la fréquence de référence qui représente le pas incrémental. Dans la synthèse fractionnée, on utilise un artifice pour maintenir la boucle en équilibre, bien que les fréquences ne soient pas identiques. Supposons que la fréquence de sortie est de 101 kHz. En supprimant une période sur 100 de ce signal, il se pressente, a l'entrée du comparateur de phase, une fréquence moyenne de 100 kHz et une fréquence instantanée de 101 kHz. Le filtre passe-bas délivré une tension au VCO afin d'asservir la boucle pour une fréquence de 101 kHz. De ce fait, on superpose une tension continue a la tension de sortie du filtre, ce qui a pour effet de « lisser » le signal d'attaque du VCO. Cette tension continue est issue d'un système microprogrammé.

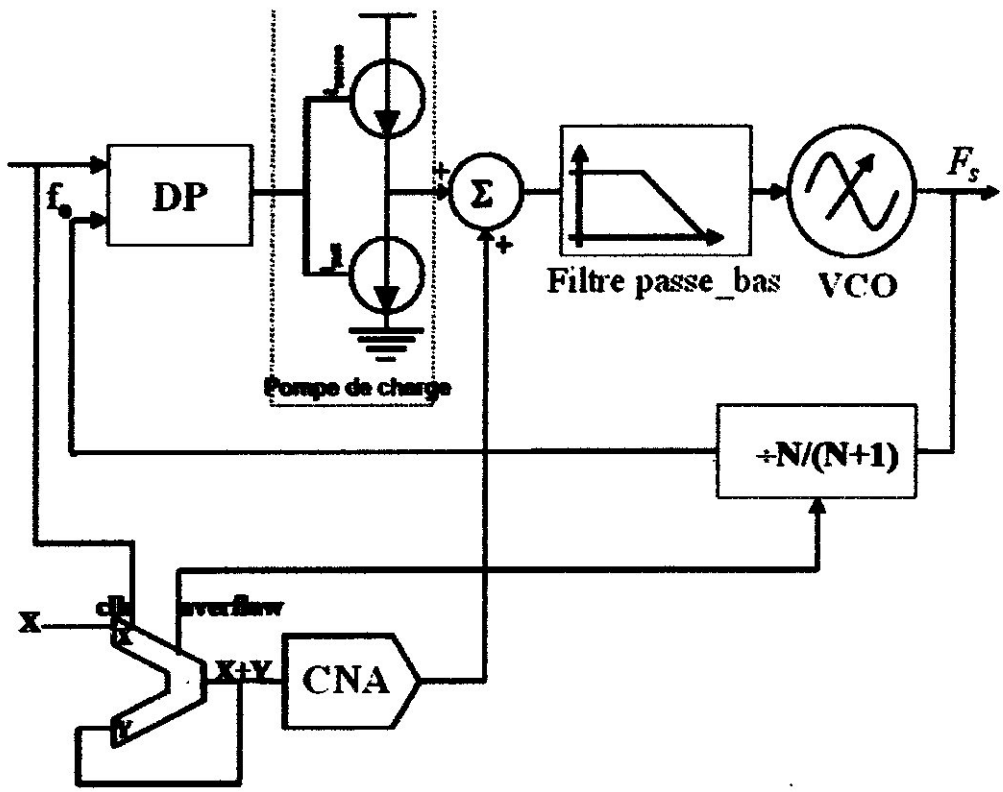


Figure (I-8) Schéma de la synthèse de fréquence fractionnaire

Une autre amélioration de la synthèse indirecte itérative peut être apportée dans le cas on l'on veut générer des fréquences supérieures au mégahertz. Le principe très simple consiste a prévoir une synthèse basse fréquence de plusieurs dizaines de milliers de valeurs puis de sortie sur un multiplieur piloté par un oscillateur stable.

Un tel principe est utilise par Adret Electronique et Marconi pour synthétiser des fréquences allant jusqu'a 1 GHz. On peut aussi rencontrer comme autre procède, la synthèse par comptage d'harmoniques. A partir des synthèses précédentes (directes ou indirectes) on fournit a un mélangeur le signal et une référence SHF de 4 à 8 GHz issue d'un oscillateur a YIG (Ytrium Iron Garnet).

I.3.3. Synthèse numérique:

Cette technique n'a rien de commun avec les précédentes. Elle consiste a générer une sinusoïdale ou autre signal périodique par le calcul direct de la phase et de l'amplitude au cours du temps. L'élément calculateur fondamental est le microprocesseur travaillant au rythme d'une horloge a fréquence stable. A un affichage de fréquence donne correspond la valeur de la période donc du déplacement temporise des informations amplitudes. Une conversion numérique-analogique permet de récupérer le signal de forme souhaitée [4]

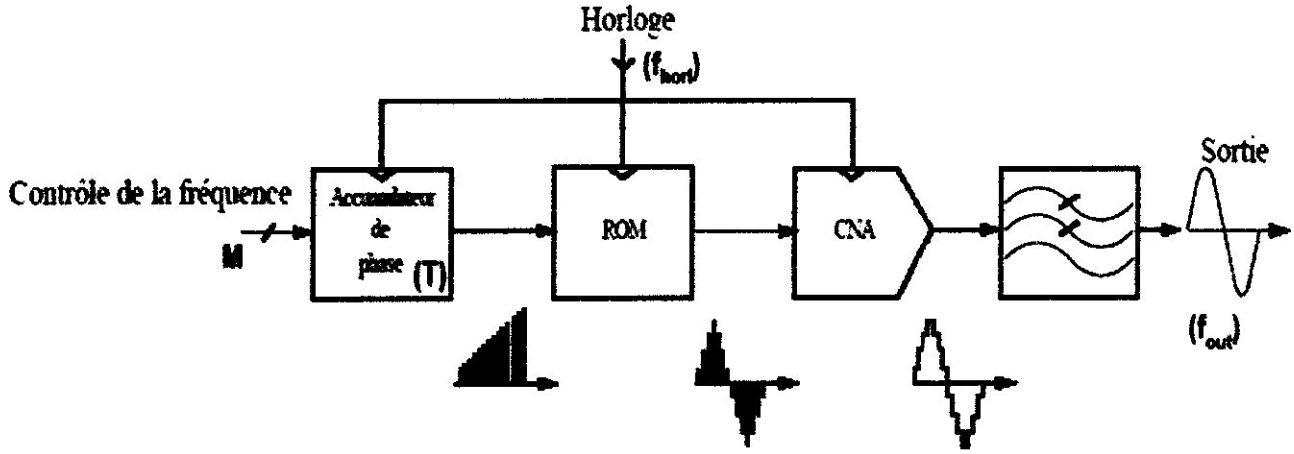


Figure (I-9) : Schéma fonctionnel de la synthèse de fréquence numérique

I.4. Principales utilisations :

Les synthétiseurs de fréquence trouvent leurs principales applications dans les appareils de mesure, les télécommunications les dispositifs Radar.

I.4.1. Les appareils de laboratoires :

Ils utilisent les trois types de synthèse suivant le besoin avec cependant une dominance pour la synthèse indirecte de coût plus réduit. La gamme de fréquences s'étend depuis quelques Hertz jusqu'aux environ de quelques Gigahertz. Le pas est généralement de l'ordre du Hertz mais peut descendre jusqu' d une fraction du Hertz (1/100 Hz) pour une gamme couverte de plusieurs décades.

Leur **pureté spectrale** est meilleur que celle des générateurs a oscillateur libre près de la porteuse (par exemple : 115 dB/Hz contre 100 dB/Hz à 25 KHz), mais lorsque l'on s'éloigne de la porteuse le niveau de bruit et les raies parasites les rendent moins performants (typiquement un plancher de bruit a 130 dB/Hz et une protection de 100 dB sur les raies parasites, contre 160 dB/Hz et une absente totale de raies parasites).

I.4.2. Applications en télécommunications :

Les principales applications en télécommunication se trouvent dans les émetteurs, récepteurs des bandes HF, VHF, UHF, en version portable, embarquée ou fixe. La bande IIF avec le fonctionnement en bande latérale unique (BLU) est particulièrement contraignante vis-à-vis de la stabilité a court terme (< 10^{-6} sur la fréquence affichée).

La pollution de l'espace radioélectrique et la nécessite de fonctionner a proximité d'équipements sur des fréquences aussi peu différentes que 10 % exige également des spectres de bonne qualité (160 dB/Hz a 10 % de la fréquence affichée et un plancher de bruit supérieur 165 dB/Hz)

Ces synthétiseurs fournissent en plus de la fréquence variable, sur un demi-octave à un octave, des fréquence fixes destines a l'élaboration des diverses fréquences intermédiaires. Dans la bande VHF en modulation de fréquence, certains synthétiseurs fournissent directement la fréquence émission modulée au rythme de la basse fréquence.

Excepte quelques applications spéciales destines a l'exploitation en recherche de canal libre ou en évasion de fréquence, la plupart de ces synthétiseur sont a synthèse indirecte, avec une prédominance pour le mono boucle simple.

I.4.3. Dispositif Radar :

Il existe des dispositifs radar depuis la bande HF jusqu'en bande V. cependant leur principale utilisation se trouve entre 1 GHz et 18 GHz (bande L à K). L'emploi d'un synthétiseur dans ces équipements se justifie par la nécessite de pouvoir changer de fréquence rapidement en cas de brouillage

Tout naturellement les dispositifs de contre-mesure charges de dépister ces radars doivent avoir eux aussi la possibilité de changer rapidement de fréquence et ce sur une bande large (un octave)

Ces synthétiseurs, suivant le temps de commutation désire, sont soit du type a synthèse directe, soit à synthèse indirecte.

.Tout naturellement les dispositifs de contre-mesure charges de dépister ces radars doivent avoir eux aussi la possibilité de changer rapidement de fréquence et ce sur une bande large (un octave)

Ces synthétiseurs, suivant le temps de commutation désire, sont soit du type a synthèse directe, soit à synthèse indirecte.

Lc tablcau 1 indiquc lcur répartition la plus courantc. Lc systèmc lc plus utilisc cst la synthèse indirecte pour des raisons évidentes de souplesse, d'emploi et d'économie.

Type de synthèse	**Principaux usages**	**Avantage**	**Inconvénients**
Directe	appareils de mesure, télécommunications, Radar.	Temps d'acquisition court	Coût élevé intégration difficile
Indirecte	appareils de mesure, télécommunications, Radar.	Souplesse.	Temps d'acquisition limite vers la ms pour un pas de 100HZ
Numérique	appareils de mesure	Temps d'acquisition court, pas très fin.	Spectre médiocre Fréquence peu élevé.

Tableau (I-1) : Usage des divers types de synthèse de fréquence

CHAPITRE II

Synthétiseur à boucle d'asservissement de phase

II.1.principe de la boucle à verrouillage de phase:

Dans le domaine des télécommunications, on a souvent besoin d'un signal dont la fréquence soit à la fois très stable et variable par pas. C'est le cas de l'oscillateur local qui fournit la porteuse d'un émetteur, ou de l'oscillateur local d'un récepteur.

Malheureusement, les seuls oscillateurs stables qu'on puisse réaliser facilement sont les oscillateurs à quartz, et pour ce type d'oscillateur il est difficile de faire varier la fréquence, sauf en changeant le quartz.

La **boucle à verrouillage de phase** ou **Phase Locked Loop** (invention française datant de 1932) permet de répondre à ce problème en fournissant en sortie un signal ayant la stabilité d'un quartz de référence, mais avec un choix de fréquences illimité. On trouve une boucle à verrouillage de phase dans tous les équipements moderne :

- récepteurs FM, TV.
- émetteurs récepteurs.
- magnétoscopes.
- décodeurs TV numériques.
- modems téléphoniques et câbles.
- téléphones GSM etc. ...

Le cœur de la PLL est l'oscillateur qui fournit en sortie un signal en général sinusoïdal ou carré, mais dont la fréquence instantanée fs(t) est asservie à la fréquence fe(t) du signal injecté dans la boucle.

II.2. Constitution générale :

La figure (II-1) représente le schéma fonctionnel d'une PLL. C'est un système asservi (contre-réaction) à retour unitaire. Les éléments constitutifs de ce circuit:

- **Un comparateur de phase,**
- **Un filtre passe-bas,**
- **Un oscillateur commande en tension,**

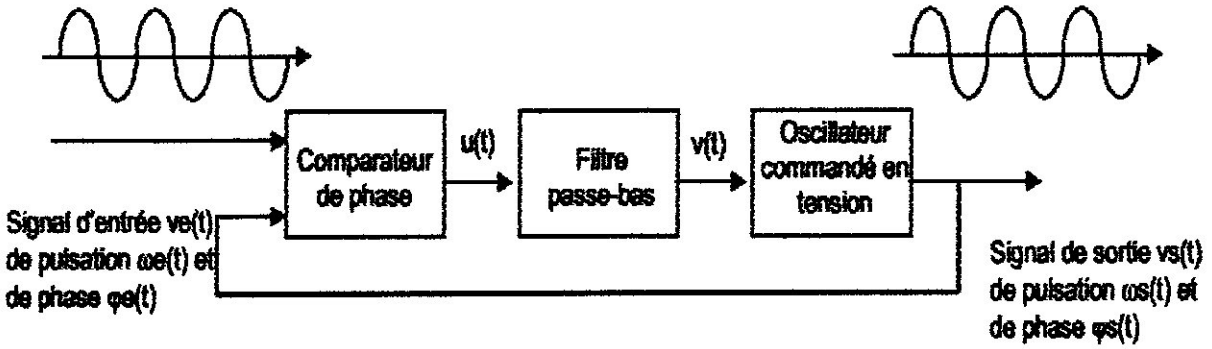


Figure (II-1) : Structure de base de la boucle d'asservissement de phase.

II.2.1.Les comparateur de phase:

Ce circuit compare la phase de deux signaux alternatifs ou consideres comme tels et fournit une tension moyenne U(t) proportionnelle à leur dephasage φ lorsque la boucle est verrouillée.

II.2.1.1. Comparateur de phase analogique:

II.2.1.1.1. Multiplieur analogique:

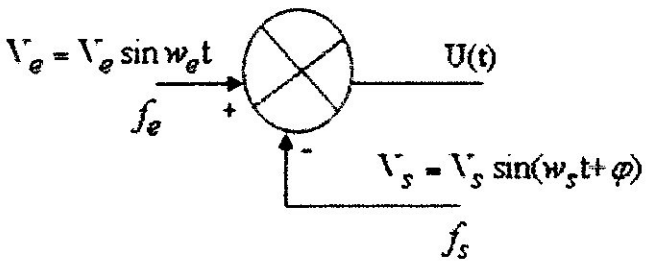


Figure (II-2) : multiplieur analogique.

Le multiplieur analogique linéaire est représenté symboliquement par le schéma de la figure (II.2). C'est le montage le plus simple. On effectue le produit des deux signaux :

Si $V_e(t) = A \cos(w_e t + \varphi_e)$

Et $V_S(t) = B \cos(w_s t + \varphi_s)$,

Sont les deux signaux à comparer; Le produit est :

$$U(t) = K\, v_e\, v_s \quad \text{.. (II-1)}$$

Puisque : sin (a)sin (b)=1/2[cos (a-b) –cos (a+b)]

$$U(t) = \frac{KAB}{2}\left[\cos\left[(w_e - w_s)t + (\varphi_e - \varphi_s)\right] - \cos\left[(w_e + w_s)t + (\varphi_e + \varphi_s)\right]\right]$$

....(II-2)

Avec: K: cte de comparateur de phase

$w_e = 2\pi f_e$ et $w_s = 2\pi f_s$.

- Quand la boucle est verrouille : $f_e = f_s = f$

$$U(t) = \frac{KAB}{2}\left[\cos(\varphi_e - \varphi_s) - \cos\left[2wt + (\varphi_e + \varphi_s)\right]\right] \quad \text{............(II-3)}$$

Le terme haute fréquence $(w_e + w_s)$ est élimine par le filtre passe-bas et la valeur continue est :

$$V(t) = \frac{KAB}{2}\cos\left[(w_e - w_s)t + (\varphi_e - \varphi_s)\right] = \frac{KAB}{2}\cos\varphi \quad \text{........ (II-4)}$$

C'est une fonction cosinus. V (t) est nul pour: $\varphi = \pm\frac{\pi}{2}$.

Avec: $\varphi = [(w_e - w_s)t + (\varphi_e - \varphi_s)]$,

- Quand la boucle est verrouille : $f_e = f_s = f_o$:

$$\varphi = (\varphi_e - \varphi_s) \quad \text{.. (II-5)}$$

Remarques:

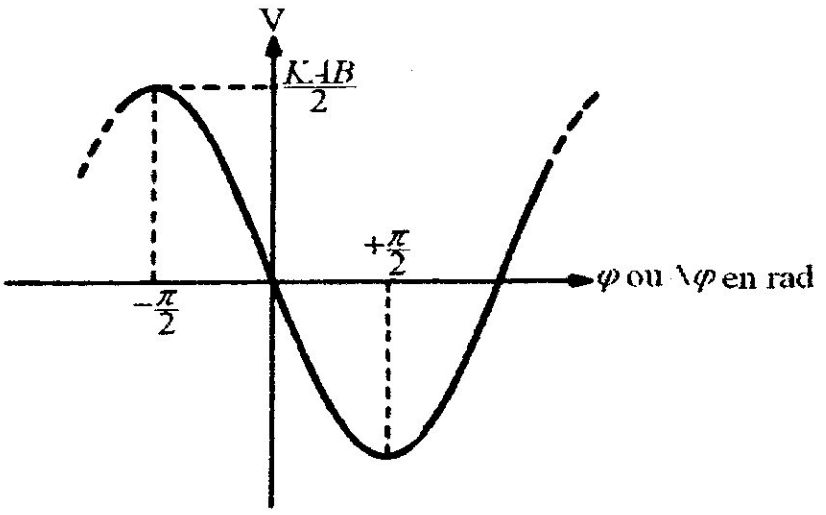
Lorsque la boucle est verrouillée et fonctionne à sa fréquence centrale, les deux signaux d'entrée et de retour sont déphases de($\pm\frac{\pi}{2}$).Si la boucle est de signe positif, le point d'accrochage se situe en ($-\frac{\pi}{2}$)car, pour une variation positive du déphasage, il y a une variation positive de la tension d'erreur. Si la boucle est de signe négatif, le point d'accrochage se situe en ($+\frac{\pi}{2}$). L'un de ces points est stable, l'autre instable ; le choix se fait automatiquement.

Le fonctionnement n'est linéaire que si on travaille autour de l'erreur nulle (point ($-\frac{\pi}{2}$) ou ($+\frac{\pi}{2}$)). La pente de la fonction U (t) définit la fonction de transfert et dépend des amplitudes A et B.

Si on reprend le calcul, et en considérant que : $\varphi_S=\theta_S-\frac{\pi}{2}$, on remplace dans

L'équation (2-4) nous aurons:

$$V(t)=\frac{KAB}{2}\cos(\varphi_e-\theta_S+\frac{\pi}{2})=\frac{KAB}{2}\sin(\varphi_e-\theta_S)\ldots\ldots\ldots\ldots\ldots\ldots \text{(II-6)}$$



Figure(II-3) :Signal sortie de filtre passe-bas

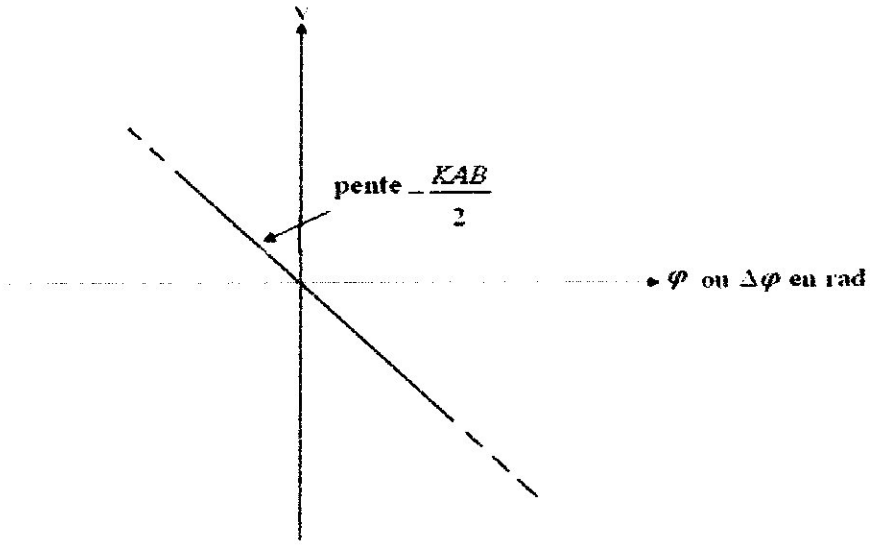
Les points d'accrochage se font pour $\varphi = 0$ ou $\varphi = \pm\pi$ .Si on considère que la PLL verrouillée fonctionne autour de sa fréquence centrale f_O on a: $\varphi = 0$.

Le développement limité du sinus autour de zéro donne:

$$\text{Sin}\,\varphi = \varphi + \frac{\varphi^3}{3!} + \ldots\ldots\ldots\ldots\ldots\ldots\ldots \simeq \varphi$$

La relation (II-6) devient :

$$V(t) = \frac{KAB}{2}\ \varphi \quad \ldots\ldots\ldots\ldots\ldots\ldots\ldots\ldots\ldots\ldots\ldots\ldots\ldots\ldots \text{(II-7)}.$$



Figure(II-4) variation de v(t) en fonction (φ) dans la domaine liniare

II.2.1.1.2. Multiplieurs analogiques à découpage:

Les multiplieurs analogiques sont limites en fréquence et imposent certaines contraintes de mise en oeuvre. On préfère, dans la plupart des cas, utiliser les multiplieurs analogiques a découpage que l'on peut rencontrer sous le terme « Hacheur » ou « chopper », ou « modulateur ».

Principe des multiplieurs analogiques à découpage:

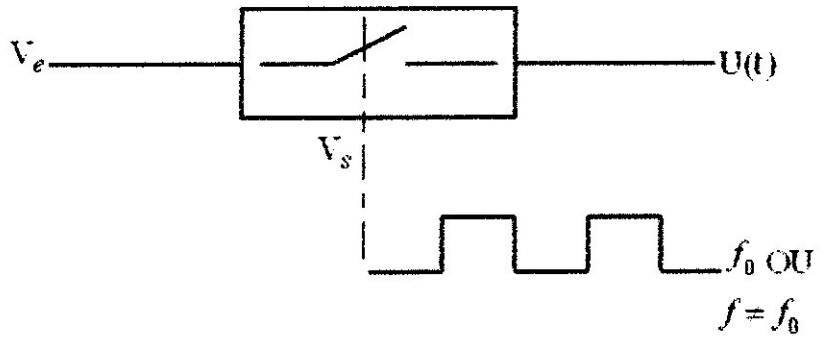


Figure (II-5) multiplieurs analogiques a découpage

On les représente par un interrupteur (figure (II-5)) pilote par un signal carré et fournissant un gain en tension de +1, lorsqu'il est fermé et un gain nul lorsqu'il est ouvert. La fréquence du signal de commande, qui en général est le signal de retour, est égale à la fréquence du signal d'entrée lorsque la boucle est verrouillée. La figure(II-6) représente les graphes des tensions $V_e(t)$, $V_S(t)$,U(t), et la valeur moyenne délivrée par le filtre passe-bas V(t), pour déphasages ($\varphi = 0$, $\varphi = -\pi/2$ et $\varphi = -\pi$).

La tension U (t), pour $\varphi = 0$, est de forme « redressement simple alternance » ; on connait la valeur moyenne qui est : $V = V_e/\pi$, On déduit:

$V = 0$ pour $\varphi = \pm\pi/2$ et : $V = -V_e/\pi$ pour $\varphi = \pm\pi$

Si on considère la boucle accrochée, les signaux V_e et V_S , sont de même fréquence. La tension U (t) représente le produit de la tension d'entrée $V_e(t)$ et de la fonction de transmission h (t) qui prend les valeurs 1 ou 0, définie mathématiquement par un carré.

La décomposition en série de Fourier de h (t) est :

$$h(t) = \frac{1}{2} + \frac{2}{\pi}\sin w_0 t - \frac{1}{6\pi}\sin 3w_0 t + \frac{1}{10\pi}\sin 5w_0 t - \ldots\ldots\ldots \quad \text{(II-8)}$$

Ainsi $U(t) = v_e(t).\ h(t)$

$$U(t) = [\,v_e \sin(w_0 t + \varphi)\,]\ [\frac{1}{2} + \frac{2}{\pi}\sin w_0 t\ -\ \frac{1}{6\pi}\sin 3w_0 t + ...]\ .. \quad (II\text{-}9)$$

Cette tension est transmise au filtre passe-bas et celui-ci ne laisse passer que la composante continue issue de produit : $v_e \sin(w_0 t + \varphi).\ \frac{2}{\pi}\sin w_0 t$

Donc: $V(t) = \frac{V_e}{\pi}\cos\varphi$ ..... (II-10)

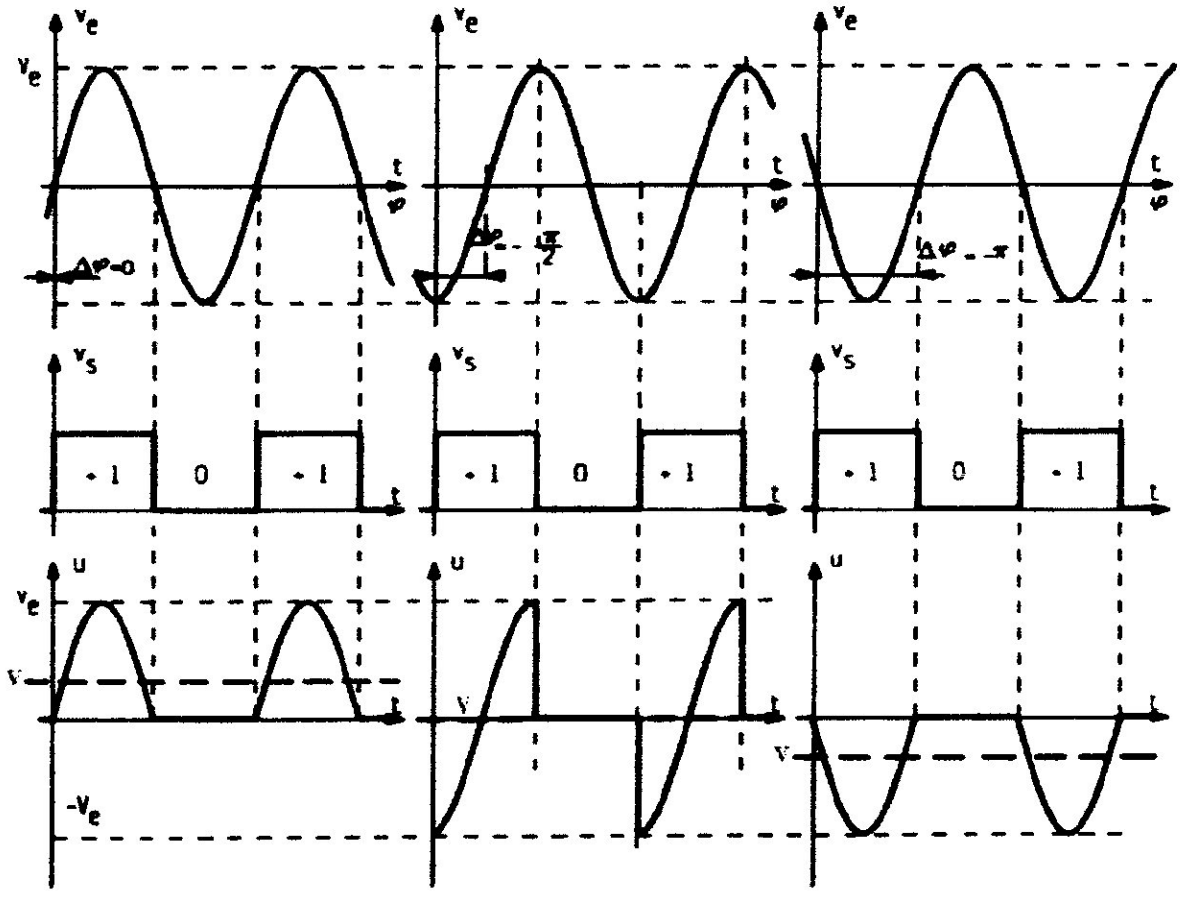


Figure (II-6) les graphes de tensions : $V_e(t)$, $V_S(t)$, U (t), V (t).

Remarques :

On préfère ce dernier cas (multiplication par + 1) à cause des termes hautes fréquences à éliminer par le filtre. En effet, la composante continue de la fonction h(t) nous donne, après multiplication avec $V_e(t)$, une fréquence f_O , alors que tous les autres comparateurs (**PLL** verrouillée), fournissent une fréquence $2f_O$ et plus. Nous verrons que pour un problème de stabilité, le filtre passe-bas n'a pas intérêt à présenter une fréquence de cassure trop faible.

La position stable correspondant à ce multiplieur à découpage se situe autour de $(\pm\frac{\pi}{2})$ selon le signe de la boucle.

L'utilisation d'un amplificateur opérationnel ne permet pas un fonctionnement à fréquence élevée.

Le multiplieur à découpage est aussi intègre et permet des fréquences de fonctionnement bien au-delà du mégahertz.

II.2.1.2. Comparateur de phase numérique:

Les comparateurs de phases numériques sont de plus en plus utilises et la technologie est en C.MOS ou TTL ou ECL. Les signaux d'entrée sont impulsionnels avec des niveaux compatibles. Donnons comme exemple en C.MOS :

0 logique, $\simeq V_{SS}$ (alimentation la plus négative)

1 logique, $\simeq V_{DD}$ (alimentation la plus positive)

Jusqu'a la limite de zone d'incertitude (voir Composants actifs discrets).

Les comparateurs en logique combinatoire fonctionnent avec le niveau 0 ou 1, alors que les comparateurs en logique séquentielle fonctionnent sur les fronts :

(Edge trigger).

II.2.1.2.1. Comparateurs de phases combinatoires:(XOR): OU exclusif

V_e	V_S	S
0	0	0
0	1	1
1	0	1
1	1	0

Tableau (II-1) Table de verite du (XOR)

La porte logique OU Exclusif constitue la plus simple forme de détecteur de phase digital. Tel que démontré dans la figure (II-7), chaque fenêtre de temps coïncidant à un déphasage non nul exerce une tension logique haute en sortie du détecteur. Ainsi, sur un cycle, la tension moyenne U (t) (pointillé) générée par le détecteur de phase est directement proportionnelle à l'erreur de phase entre les deux signaux. Il est à noter que la relation existant entre l'erreur de phase et la tension moyenne de sortie est intimement reliée au rapport cyclique (duty cycle) des deux signaux en entrée. Notons de plus, sans s'y attarder pour le moment, que le signal de sortie génère des pulsations à deux fois la fréquence des signaux en entrée.

La figure (II-8) résume très bien le comportement de ce détecteur en y traçant sa fonction de transfert, la tension moyenne U (t) de sortie vis-à-vis l'erreur de phase $\Delta\varphi$ entre les deux signaux. On y voit que la valeur moyenne de la tension de sortie produite par le détecteur de phase atteint zéro lorsque le déphasage est autour de $(-\pi/2)$.

Ce déphasage statique peut être plus ou moins convenable selon l'application. Toutefois, il peut être annulé ailleurs dans la PLL à l'aide de circuiteries supplémentaires.

Une dernière constatation ressortant de la fonction de transfert démontre que le détecteur de phase possède une région de détection monotone limitée à $(\pm\pi/2)$ autour de son point d'équilibre. Ceci confirme son incapacité à détecter une différence de fréquence car le détecteur ne fonctionne correctement que dans un intervalle de déphasages limité.

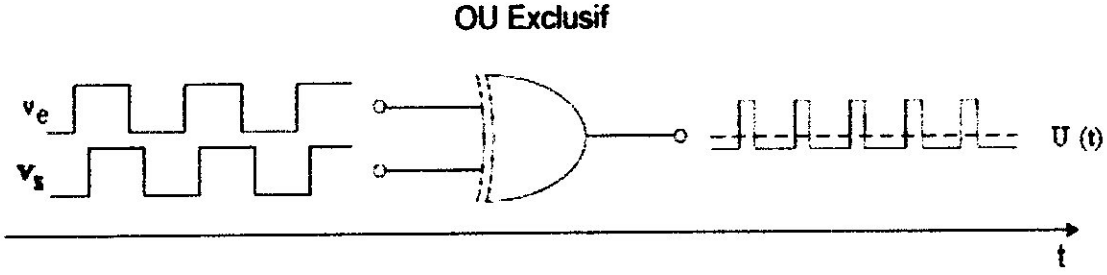


Figure (II-7) Entrées et sortie du détecteur de phase numérique OU Exclusif

Les tensions d'alimentation peuvent être symétriques ou non. En général, on alimente le circuit avec V_{DD} positive et $V_{SS} = 0$. Dans ces conditions, la tension moyenne V de U (t) est toujours positive.

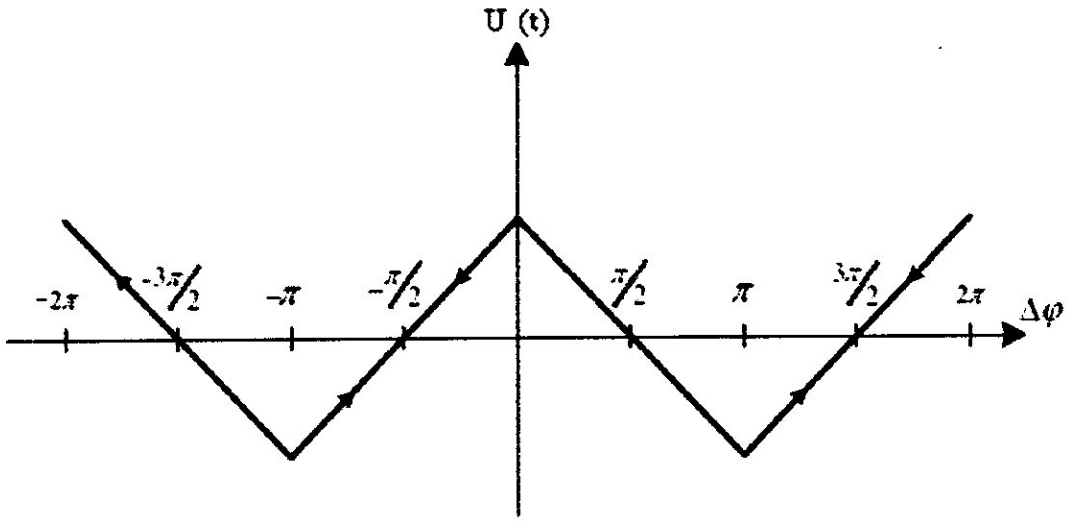


Figure (II-8) Fonction de transfert moyenne du détecteur de phase OU Exclusif

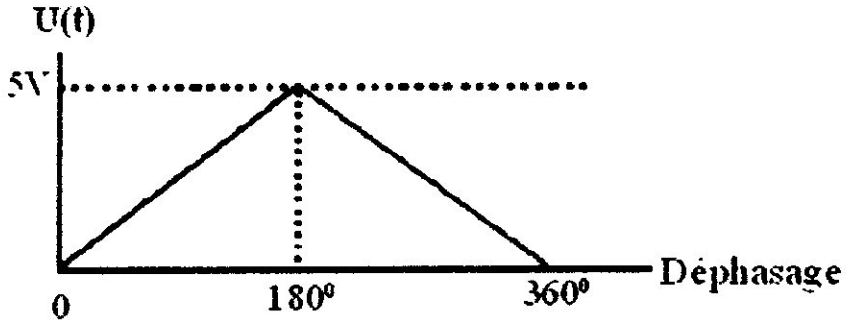


Figure (II-9) tension moyenne en fonction du déphasage

II.2.1.2.2. Comparateurs de phases séquentiels :(bascule RS):

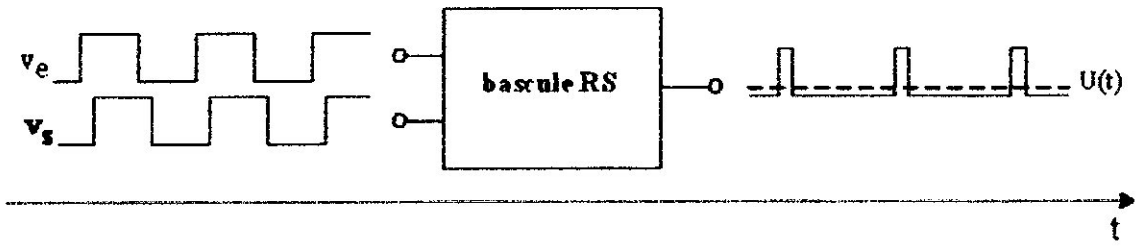


Figure (II-10) Entrées et sortie du comparateur de phase numérique RS

Les évènements utiles sont les fronts de descente des signaux appliqués aux entrées. Le signal de sortie est de rapport 1/2, si les deux signaux à l'entrée du RS sont en opposition de phase. Attention ces signaux ne sont pas nécessairement de rapport cyclique 1/2 et la phase est déterminée par la position relative des seules transitions descendantes.

$Q^+ = Q$, garder son état anterieur

$Q^+ = 1$, mise en 1

$Q^+ = 0$, mise en 0

$Q^+ = x$, cas indeterminé

R	S	Q	Q^+
0	0	0	0
0	0	1	1
0	1	0	1
0	1	1	1
1	0	0	0
1	0	1	0
1	1	0	x
1	1	1	x

Tableau (II-2) Table de verite du (RS)

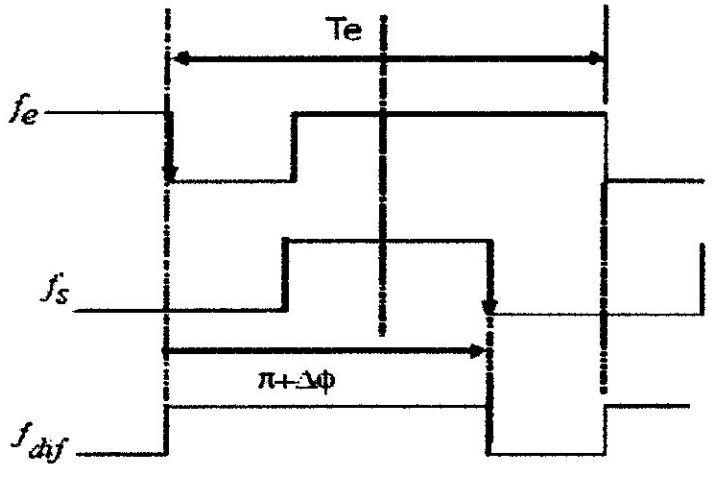


Figure (II-11) Fonctionnement du comparateur de phase a bascule RS

II.2.2. Filtre passe-bas:

Nous avons vu que le signal de sortie du comparateur était constitue d'harmoniques et d'une composante continue. Le filtre passe-bas à pour rôle de ne conserver que la composante continue ou basse fréquence du signal U (t). Le choix de ces éléments dépend de la valeur des fréquences parasites à éliminer et de la stabilité. On rencontre deux technologies :

- **les filtres passifs,**
- **les filtres actifs.**

II.2.2.1. Filtres passifs :

Nous indiquons ici trois filtres passifs utilisant des résistances et condensateurs ; la liste n'est pas limitative.

II.2.2.1.1. Réseau RC (Figure II-12):

Ce filtre passe-bas du premier ordre présente une fonction de transfert

$$\frac{V(p)}{U(p)} = \frac{1}{1+RCP} \quad \text{(II-11)}$$

À condition que la fonction qui suit, c'est-à-dire le VCO, présente une impédance d'entrée d'influence négligeable.

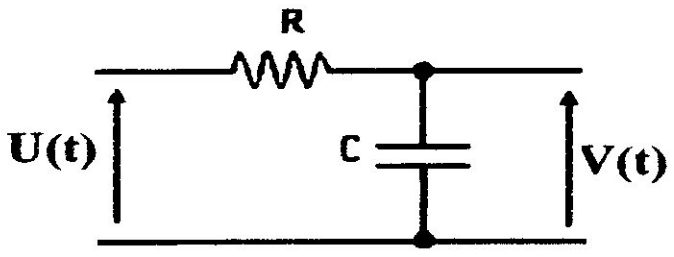


Figure (II-12) schema electrique d'un filtre RC

II.2..2.1.2. Réseau R_1 R_2 C (Figure II-13):

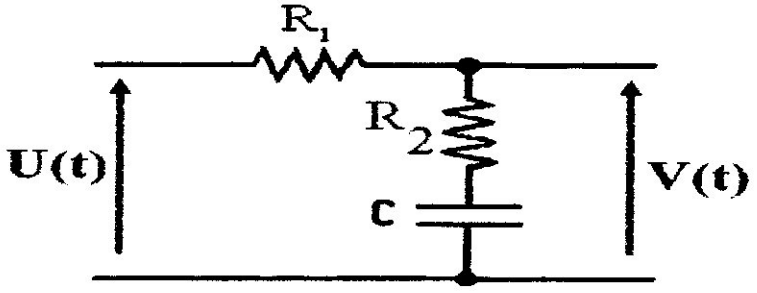


Figure (II-13) circuit R_1R_2 et C

Le réseau RC précèdent est dans certains cas insuffisant pour la stabilité de la boucle.

On préfère utiliser le réseau a retard de phase dont la fonction de transfert est définie par :

$$\frac{V(p)}{U(p)} = \frac{1+R_2CP}{1+(R_1+R_2)CP} \quad \text{..... (II-12)}$$

Avec $R_2 \ll R_1$.

II.2.2.2. Filtres actifs:

II.2.2.2.1. Filtres actifs à amplificateur opérationnels:

- **Filtres actifs indépendants:**

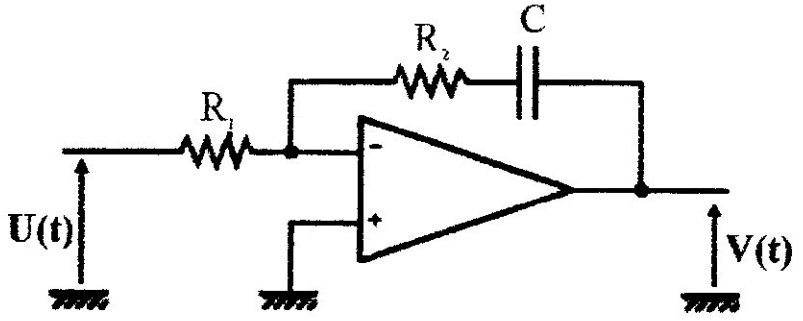


Figure (II-14) Filtre actif R_1R_2 et C

La aussi il existe une multitude de montages.

La figure (II-14) nous indique le schéma d'un filtre classique dont la fonction de transfert est :

$$\frac{V(p)}{U(p)} = \frac{1+R_2CP}{R_1CP} \quad \text{..... (II-13)}$$

II.2.2.2.2. Filtres actifs à transistors:

Les filtres actifs à transistors sont rarement rencontres. Un exemple d'application est toutefois indique pour le comparateur MC 4044. La figure (II-15) nous donne deux applications. Les transistors sont utilises de préférence aux circuits intègres dans le cas ou la fréquence « basse » de fonctionnement atteint plusieurs centaines de kilohertz. Le transistor Darlington de cette dernière figure est intègre dans le circuit 4044 et est appelé « amplificateur »..... [5]

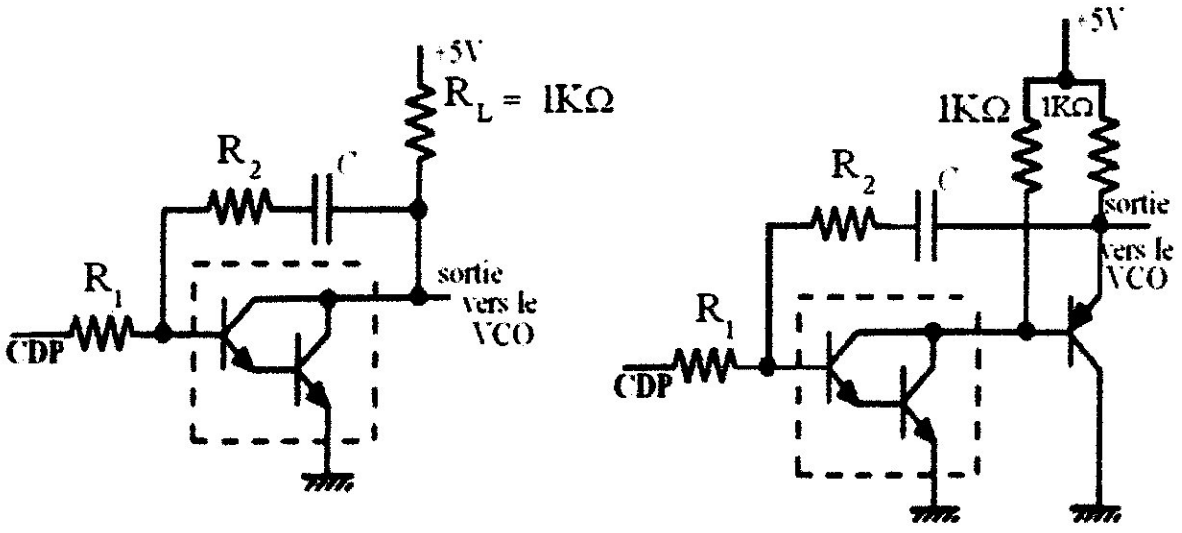


Figure (II-15) Filtres passe-bas accompagnant le circuit 4044 (D'après Motorola)

Influence du filtre :

Nous avons vu la nécessite d'utiliser ce filtre afin de récupérer la composante continue ou basse fréquence du signal U (t) issu du comparateur.

En pratique, la fonction de transfert de la boucle est au moins du deuxième ordre et définie par trois éléments :

- **le gain statique,**
- **la pulsation propre du système non amorti,** w_0
- **le facteur d'amortissement réduit z.**

C'est le filtre passe-bas qui permet de fixer w_0 et z. Le simple filtre passif RC ne permet pas de choisir indépendamment ces deux paramètres. On préfère ainsi, en pratique, utiliser le réseau a retard de phase. Nous avons aussi indique précédemment que la bande passante du filtre passe-bas et son ordre intervenait sur la valeur de la fréquence de capture.

II.2.3. Oscillateurs contrôles en tension :

Les **oscillateurs** contrôles en tension (VCO) sont des convertisseurs tension-frequence. Une variation de tension, lente ou rapide, a leur entrée se traduit par une variation de fréquence en sortie : on peut aussi utiliser l'expression Vobuler (oscillateur vobule), les circuits numériques.

Un VCO doit présenter les qualités suivantes:

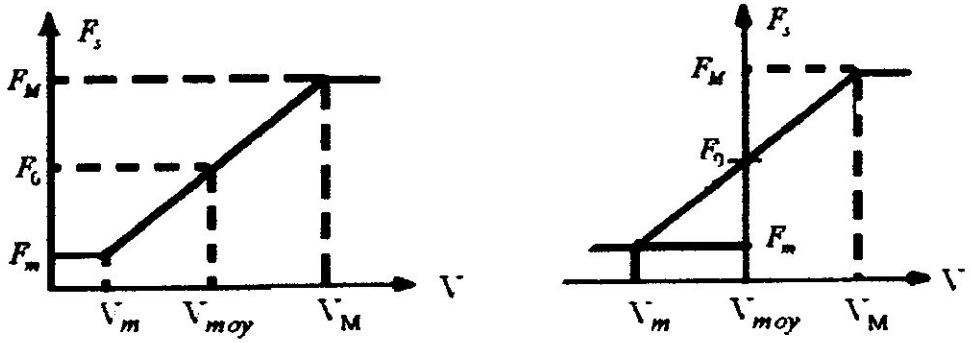
- bonne linéarité de fréquence en fonction de la tension d'entrée, f_s (V).
- bonne stabilité de fréquence (fréquence centrale f_0),
- grande variation possible de la tension d'entrée V,
- grand coefficient de transfert (w_S / V),
- grande variation de fréquence possible pour l'application dans les synthétiseurs,
- faible coût..

Le VCO est toujours accompagne d'un condensateur ou d'un réseau RC dont la ou les valeurs sont définies pour que la fréquence de sortie f_S , soit égale a la fréquence centrale f_0 a tension de commande nulle (V =0).

Les caractéristiques des VCO sont en général linéaires, à V moyen, nul ou non, correspond la fréquence centrale f_o . La figure (II-16) indique deux caractéristiques de VCO pour une tension dissymétrique puis symétrique. Dans tous les cas nous aurons:

$$f_0 = \frac{f_{max} + f_{min}}{2} \quad \text{..... (II-14)}$$

$$V_{moy} = \frac{V_{max} + V_{min}}{2} \quad \text{..... (II-15).}$$



Alimentation dissymétrique Alimentation symétrique

Figure(II- 16) carcteristique du VCO

II.3. Synthétiseur de fréquence:

Un synthétiseur de fréquence est un système qui permet de générer, dans une certaine plage, des signaux de fréquence stable et en phase avec un générateur étalon (oscillateur à quartz : précision de l'ordre de 10^{-6} PPM).On sait facilement réaliser des diviseurs de fréquence (à l'aide de compteurs). Par contre il est plus délicat de réaliser des multiplieurs de fréquence.

Le schéma ci-dessous (figure II-17) utilise deux diviseurs de fréquence par R et N:

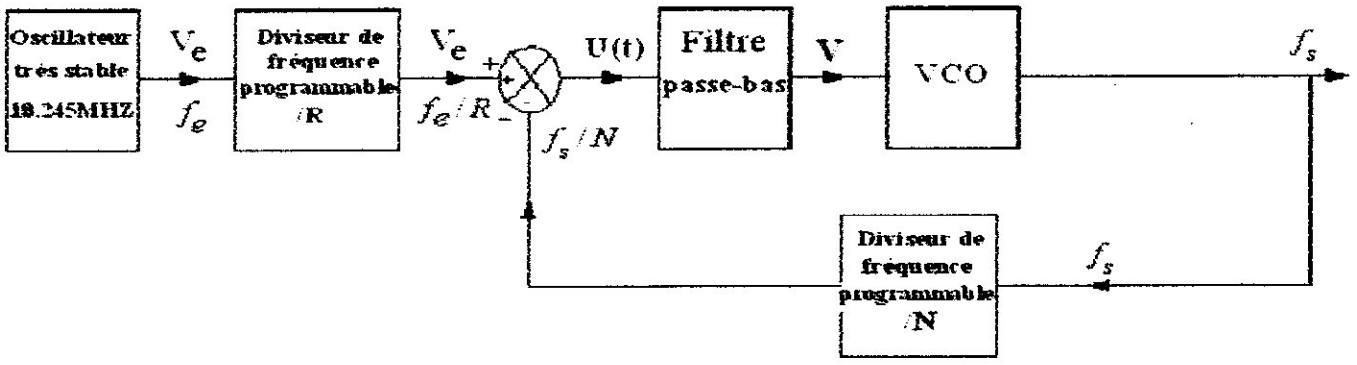


Figure (II-17) Production de la porteuse par synthèse de fréquence

Lorsque la boucle est verrouillée : $f_e / R = f_s / N$. On a donc:

$$f_s = f_e \frac{N}{M} \quad \text{(II-16)}$$

La fréquence de sortie f_s sera aussi précise et aussi stable que la fréquence d'entrée f_e.

II.3.1. Objectif :

L'objectif est seulement de produire une porteuse, c'est à dire une tension sinusoïdale de fréquence fixe précise, très stable et programmable par pas de 50kHz dans la bande militaire de: 40MHZ à 60 MHZ.

On pourra choisir f_e = 10 MHz, d'ou R = $10^7/50.10^3 = 200$,

Et N sera variable de $40.10^6/50.10^3 = 800$ à $60.10^6/50.10^3 = 1200$.

Donc on a : $60.10^6 - 40.10^6/50.10^3 = 400$ canaux.

II.3.2. La stabilité de la PLL :

Dans cette section on étudie la conception de la PLL, qui inclut la fonction de transfert, la fonction de transfert d'erreur, la largeur de bande de bruit et la réponse à deux types de signaux d'entrée.

Le but principal de cette boucle est qu'elle doit ajuster la fréquence de l'oscillateur local afin d'obtenir la fréquence d'un signal d'entrée.

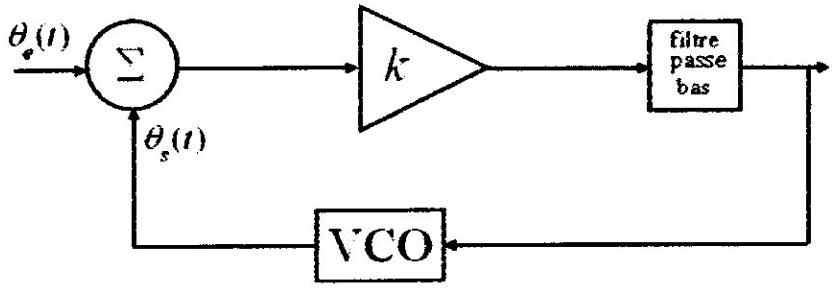


Figure (II-18) configuration dans le domaine temporel

La figure (II-18) montre une configuration dans le domaine temporel et la figure (II-19) dans le domaine S, obtenu à partir de la transformée de Laplace. Le signal d'entrée est $V_e(t)$ et la sortie du VCO est $V_S(t)$. Le comparateur de phase mesure la différence de phase de ces deux signaux. L'amplificateur K correspond au gain du comparateur de phase et le filtre passe-bas limite le bruit dans la boucle. La tension d'entrée V du VCO commande sa fréquence de sortie, qui peut être exprimée comme :

$$f_s = f_o + k_0 V \quad \text{(II-17)}.$$

Ou f_s : est la fréquence centrale du VCO, k_0 : est la pente du VCO ;

Et V (t): est la tension de commande de VCO.

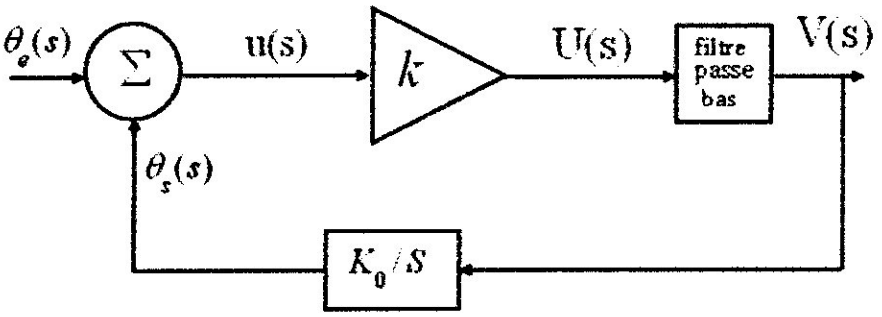


Figure (II-19) configuration dans le domaine S

On doit écrit l'équation (II-17) comme suite :

$$w_S t = w_o t + k_i V(t) \quad \text{(II-18)}$$

La phase instantanée du VCO peut être obtenue en intégrant l'équation (II-18) :

Ou : $K_i = 2\pi K_0$

$$\int_0^t w_S t = w_o + \int_0^t k_i V(t) \quad \text{(II-19)}$$

Dont la transformée de Laplace est :

$$L\{\theta_o(t)\} = L\{k_o \int V(t)dt\} = \frac{K_0}{S} V(S) \quad \text{(II-20)}$$

$$V_{co} = \frac{\theta_o(S)}{V(S)} = \frac{K_0}{S} \quad \text{(II-21)}$$

De la figure (II-19), on peut écrire :

$$U(s) = k\,u(s) = k\,[\theta_e(s) - \theta_s(s)] \quad \text{(II-22)}$$

$$V(s) = U(s)\,F(s) \quad \text{(II-23)}$$

$$\theta_S(s) = V(s)\,\frac{K_0}{S} \quad \text{(II-24)}$$

A partir de ces trois équations on obtient l'erreur de phase comme suit:

$$U(s)=\theta_e(s)-\theta_S(s)=\frac{U(s)}{k_0}=\frac{V(s)}{k_0F(s)}=\frac{S\theta_S(s)}{k_0k_1F(s)}$$

Ou:

$$\theta_e(s)=\theta_S(s)\left[1+\frac{S}{k_0k_1F(s)}\right] \quad \text{(II-25)}$$

La fonction de transfert H(s) de la boucle est définie par:

$$H(s)=\frac{\theta_S(s)}{\theta_e(s)}=\frac{k_0k_1F(s)}{S+k_0k_1F(s)} \quad \text{(II-26)}$$

Par conséquent la fonction de transfert d'erreur est:

$$H_e(s)=\frac{u(s)}{\theta_e(s)}=\frac{\theta_e(s)-\theta_S(s)}{\theta_e(s)}=1-H(s)=\frac{S}{S+k_0k_1F(s)} \quad \text{(II-27)}$$

On note que la largeur de bande équivalente de bruit est donnée par:

$$B_e=\int_0^{\infty}|H(jw)|^2\,df \quad \text{(II-28)}$$

Application :

Afin d'étudier les propriétés de la PLL, on étudie sa réponse à une entrée **échelon** puis **une rampe**. Sachant que:

Pour l'**échelon** : $\theta_e(t)=u(t)$ Dont la transformée de Laplace est:

$$\theta_e(s)=\frac{1}{S} \quad \text{(II-30)}$$

Et pour la **rampe** qui correspond A une modulation de fréquence:

$\theta_e(t)=\Delta wt$ ou

$$\theta_e(s)=\frac{\Delta w}{S^2} \quad \text{(II-31)}$$

a. Boucle a verrouillage de phase du premier ordre:

Une boucle PLL de premier ordre implique le dénominateur de la fonction de transfert H(s) est une fonction de premier ordre. On note que l'ordre de la boucle a verrouillage de phase dépend de l'ordre du filtre dans la boucle. Dans ce cas, le filtre est caractérisé par sa fonction de transfert :

$$F(s) = 1 \quad \text{(II-32)}$$

C'est la boucle a verrouillage de phase la plus simple. Pour une entrée échelon unité, la fonction de transfert correspondante selon l'équation (II-26) est :

$$H(s) = \frac{k_0 k_1}{s + k_0 k_1} \quad \text{(II-33)}$$

H(s) est une fonction de transfert du premier ordre. La largeur de bande de bruit peut être calculée par:

$$B_e = \int_0^\infty \frac{(k_0 k_1)^2 df}{w^2 + (k_0 k_1)^2} = \frac{(k_0 k_1)^2}{2\pi} \int_0^\infty \frac{dw}{w^2 + (k_0 k_1)^2}$$

$$B_e = \frac{(k_0 k_1)^2}{2\pi k_0 k_1} \tan^{-1}\left[\frac{w}{k_0 k_1}\right]_0^\infty = \frac{k_0 k_1}{4} \quad \text{(II-34)}$$

Avec le signal d'entrée : $\theta_e(s) = \frac{1}{s}$, l'erreur peut être trouvée selon l'équation (II- 26) comme: u(s) = $\theta_e(s)$

$$H_e(s) = \frac{1}{S + k_0 k_1} \quad \text{(II-35)}$$

En régime permanent on a :

$$\lim_{t \to 0} \mathbf{u}(t) = \lim_{s \to 0} \mathbf{s}\, \mathbf{u}(s) = \lim_{s \to 0} \frac{\Delta w}{S + k_0 k_1} = \mathbf{0} \quad \text{(II-36)}$$

Mais si le signal d'entrée est: $\theta_e(s) = \frac{\Delta w}{s^2}$, l'erreur sera :

$$u(s) = \theta_e(s)\, H_e(s) = \frac{\Delta w}{s} \frac{1}{S + k_0 k_1} \quad \text{(II-37)}$$

En régime permanent:

$$\lim_{t\to 0} \mathbf{u}(t) = \lim_{s\to 0} \mathbf{s}\,\mathbf{u}(s) = \lim_{s\to 0} \frac{\Delta w}{S + k_0 k_1} = \frac{\Delta w}{k_0 k_1} \quad \text{(II-38)}$$

On constate que dans ce cas l'erreur n'est pas nulle et on remarque qu'une valeur importante de $k_0 k_1$ peut rendre l'erreur faible. Cependant, l'équation (II-31) indique qu'une faible valeur de u (t) signifie une bande de bruit plus large.

b. <u>Boucle à verrouillage de phase du deuxième ordre</u> :

Une boucle a verrouillage de phase du second ordre signifie que le dénominateur de la fonction H(s) de transfert est une fonction de second ordre de s. dans ce cas on propose le filtre suivant: $F(s) = \frac{S\tau_2 + 1}{S\tau_1}$

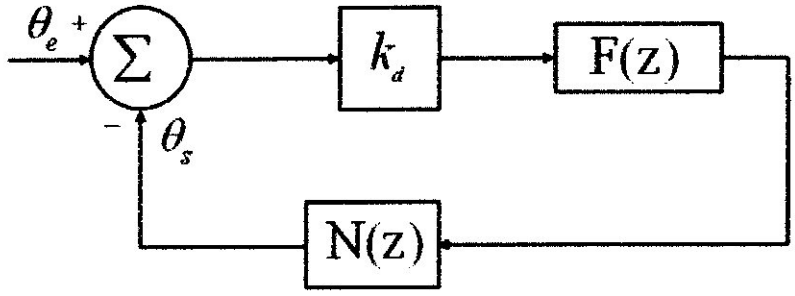


Figure (II-20) modèle numérique de la PLL seconde ordre

Substituant cette relation dans l'équation (II-26), la fonction de transfert de la boucle devient :

$$H(s) = \frac{\frac{k_0 k_1 S\tau_2}{\tau_1} + \frac{k_0 k_1}{\tau_1}}{S^2 + \frac{k_0 k_1 S\tau_2}{\tau_1} + \frac{k_0 k_1}{\tau_1}} = \frac{2\zeta w_n S + w_n^2}{S^2 + 2\zeta w_n S + w_n^2} \quad \text{(II-39)}$$

Avec w_n est la pulsation naturelle, qui exprimée par :

$$w_n = \sqrt{\frac{k_0 k_1}{\tau_1}} \quad \text{(II-40)}$$

Et ζ le coefficient d'amortissement, qui exprime par : $2\zeta w_n = \frac{k_0 k_1 \tau_2}{\tau_1}$

D'où :

$$\zeta = \frac{w_n \tau_2}{2} \quad \text{(II-41)}$$

La largeur de bande de bruit peut être trouvée comme suit :

$$B_e = \int_0^\infty |H(jw)|^2 df$$

$$= \frac{w_n}{2\pi} \int_0^\infty \frac{1+\left(2\zeta \frac{w}{w_n}\right)^2}{\left(1-\left(\frac{w}{w_n}\right)^2\right)^2 + \left(2\zeta \frac{w}{w_n}\right)^2} dw = \frac{w_n}{2\pi} \int_0^\infty \frac{1+4\zeta^2\left(\frac{w}{w_n}\right)^2}{\left(\frac{w}{w_n}\right)^2 + 2\left(2\zeta^2-1\right)\left(\frac{w}{w_n}\right)^2 + 1} dw$$

$$= \frac{w_n}{2}\left(\zeta + \frac{1}{4\zeta}\right) \quad \text{(II-42)}$$

La fonction de transfert d'erreur obtenue a partir de l'équation (II-26):

$$H_e(s) = 1 - H(s) = \frac{S^2}{S^2 + 2\zeta w_n S + w_n^2} \quad \text{(II-43)}$$

Si l'entrée est un échelon, l'erreur sera:

$$u(s) = \frac{S}{S^2 + 2\zeta w_n S + w_n^2} \quad \text{(II-44)}$$

En régime permanent: $\lim_{t \to 0} \mathbf{u}(t) = \lim_{s \to 0} \mathbf{s}\, \mathbf{u}(s) = 0$ ..... (II-45)

Et si on applique l'entrée: $\theta_e(s) = \frac{\Delta w}{s^2}$ l'erreur sera :

$$U(s) = \frac{1}{S^2 + 2\zeta w_n S + w_n^2} \quad \text{(II-46)}$$

En régime permanent:

$$\lim_{t \to 0} u(t) = \lim_{s \to 0} s\, u(s) = 0 \quad \text{(II-47)}$$

Contrairement à la boucle de premier ordre, l'erreur en régime permanent est nulle pour un signal module en fréquence. Pour cette raison dans notre travail on a adopte une PLL au second ordre.

II.4. Application numérique: simulation par matlab

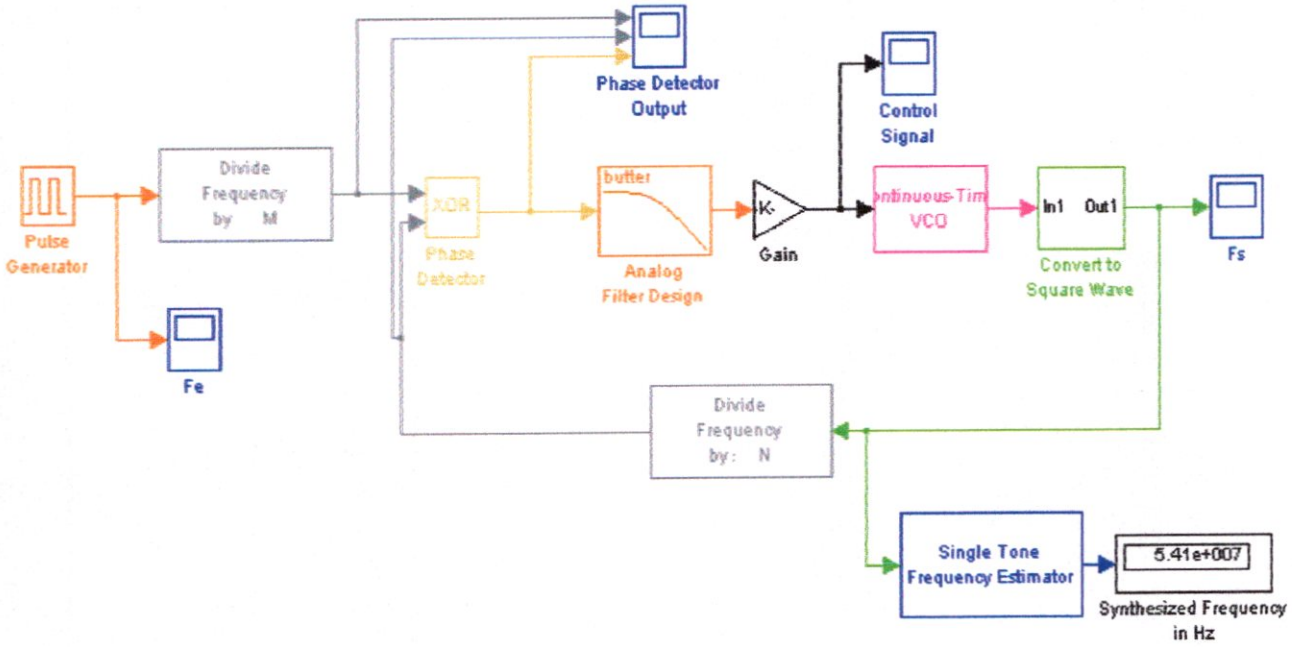


Figure (II-21) synthétiseur de fréquence à boucle d'asservissement de phase (PLL)

II.4.1. Démo PLL - Basé De Synthèse De Fréquence :

Pas=50KHZ F_e=10MHZ $900 \leq M \leq 1200$

La démo montre comment simuler un synthétiseur phase verrouillé de fréquence de la boucle (PLL). Le modèle multiplie la fréquence (F_e) d'un signal de référence par un (N/M) constant, pour produire un signal synthétisé dont la fréquence est (F_e*N/M.) Une boucle de rétroaction maintient la fréquence du signal synthétisé à ce niveau.

Le modèle emploie plusieurs variables. Sans compter que le N et le M, il y a :

F_e = fréquence du signal de référence

F_0 = fréquence tranquille dans le bloc du Continu- Temps VCO

F_{sen} = sensibilité Tension Commandée d'entrée d'oscillateur

Le modèle assigne au commencement des valeurs à ces variables comme suit :

Le N = 1100, M = 200, F_e = 10 MHz, F_0 = 30 MHz, et F_{sen} = 40 MHz/V.

La fréquence du signal synthétisé est alors de 55 MHz.

II.4.2. Résultats et affichages :

Quand tu cours la simulation, les fenêtres de portée montrent ces signaux :
Le signal de commande, que le bloc du Continu- Temps VCO emploie pour maintenir la fréquence du signal synthétisé. Ce signal flotte au commencement pendant environ 10 microsecondes, mais stabilise alors à une valeur constante de 7/4. Ceci se produit quand le modèle atteint un état d'équilibre, c.-à-d., quand la fréquence du signal synthétisé est de près de55 MHZ.

Le signal synthétisé, qui oscille dans les deux sens avant de stabiliser à une impulsion carrée de la fréquence 55MHZ. Le signal de référence, qui est une impulsion carrée de la fréquence 10 MHZ. Le bloc d'affichage à la droite inférieure des vitrines modèles la fréquence du signal synthétisé.

II.4.3. Blocs dans le démo:

Le tableau suivant présente les blocs les plus importants dans le modèle et décrit leur but.

Bloc	But
Générateur D'Impulsion	Produit du signal de référence, qui est un train d'impulsion périodique
Opérateur Logique (XOR)	S'applique l'opération de XOR au signal fréquence divisé de référence avec le signal synthétisé fréquence divisé
Conception Analogue De Filtre	Utilise un filtre de butterWorth de passe bas pour produire du signal de commande (avec le bloc de gain) et pour filtrer dehors des hautes fréquences
Gain	Multiplie le signal par une constante
Continuos- Time VCO	Commande la fréquence du signal synthétisé, au moyen du signal de commande d'entrée

II.4.4. Générateur d'impulsion:

Le bloc de générateur d'impulsion produit du signal de référence. Le bloc produit un train d'impulsion périodique. Le (F_e) variable, au commencement réglé à 10MHZ, dénote la fréquence du train d'impulsion. La période du train d'impulsion est ($1/F_e$). Si tu venus changer la valeur de la période, changer la valeur du F_e variable de sorte que la nouvelle valeur du F_e soit employée dans tous les blocs dont les paramètres mettent en référence le F_e variable. Diviser la fréquence par le (M).

La fréquence de division par sous-ensemble de (M) divise la fréquence du signal de référence par le (M) variable. Avec les valeurs par défaut des variables, le rendement du bloc est un train d'impulsion de la fréquence 10 mégahertz, appelé le signal fréquence divisé de référence.

Noter qu'il y a également une fréquence de division par le subsytem de (N), qui divise la fréquence du signal synthétisé par le (N) variable. Le rendement de ce sous-ensemble s'appelle le signal synthétisé fréquence divisé.

II.4.5. Détecteur De Phase:

. Le bloc logique d'opérateur agit en tant que détecteur de phase. Il emploie l'opération de (XOR) pour comparer les fréquences du signal fréquence divisé de référence et du signal synthétisé fréquence divisé.

À l'état d'équilibre, le signal est un train d'impulsion avec la fréquence de 20 MHZ. La raison de ceci est que les deux entrées au bloc ont une fréquence de 10 MHZ, mais elles ont lieu hors de phase par 1/4 de leur période. En conséquence, le signal après l'opération (XOR) est un train d'impulsion périodique avec la fréquence 20 MHZ.

Tu peu comparer les deux signaux d'entrée au détecteur de phase au signal de sortie double-en cliquetant leurs blocs correspondants de portée.

II.4.7. Conception Analogue De Filtre:

Le bloc analogue de conception de filtre des hautes fréquences hors du signal venant du détecteur de phase. Le bloc utilise un filtre de butterWorth de passe bas. Tu peurs employer un filtre d'ordre plus supérieur ou un type différent de filtre pour améliorer la stabilité du signal synthétisé.

II.4.8. Gain:

Un bloc de gain multiplie le signal de sortie du bloc analogue de conception de filtre par une constante de produire le signal de commande. Le paramètre de gain pour ce bloc est placé à (F_e *N/M - F_0) * 2/ F_{sen}. Cette expression s'assure que quand le modèle est à l'état d'équilibre, la fréquence du signal synthétisé demeure à 55 MHZ, même si tu fais des changements au F_0 de variables et F_{sen}.

Pour les valeurs par défaut des variables, le gain est égal à 7/2. Ainsi, dans l'état d'équilibre du modèle, le rendement du bloc de gain est approximativement constant, avec une valeur de 7/4.

II.4.9. Oscillateur Commandé:

Le bloc du Continu- Temps VCO produit du signal synthétisé (avec le converti pour ajuster le sous-ensemble de vague) et ajuste la fréquence du signal synthétisé selon le signal d'entrée Tension Commandé d'oscillateur.

Quand le signal de commande est près de son valeur équilibrée de 7/4, le bloc du Continu Temps VCO produit d'un signal dont la fréquence est près de (F_e *N/M), qui est de 55MHZ pour les paramètres de défaut du modèle. Si les baisses de fréquence de rendement, le signal de commande monte, amplifiant la fréquence du signal de sortie. Si la fréquence de rendement monte, le signal de commande tombe, abaissant la fréquence de rendement.

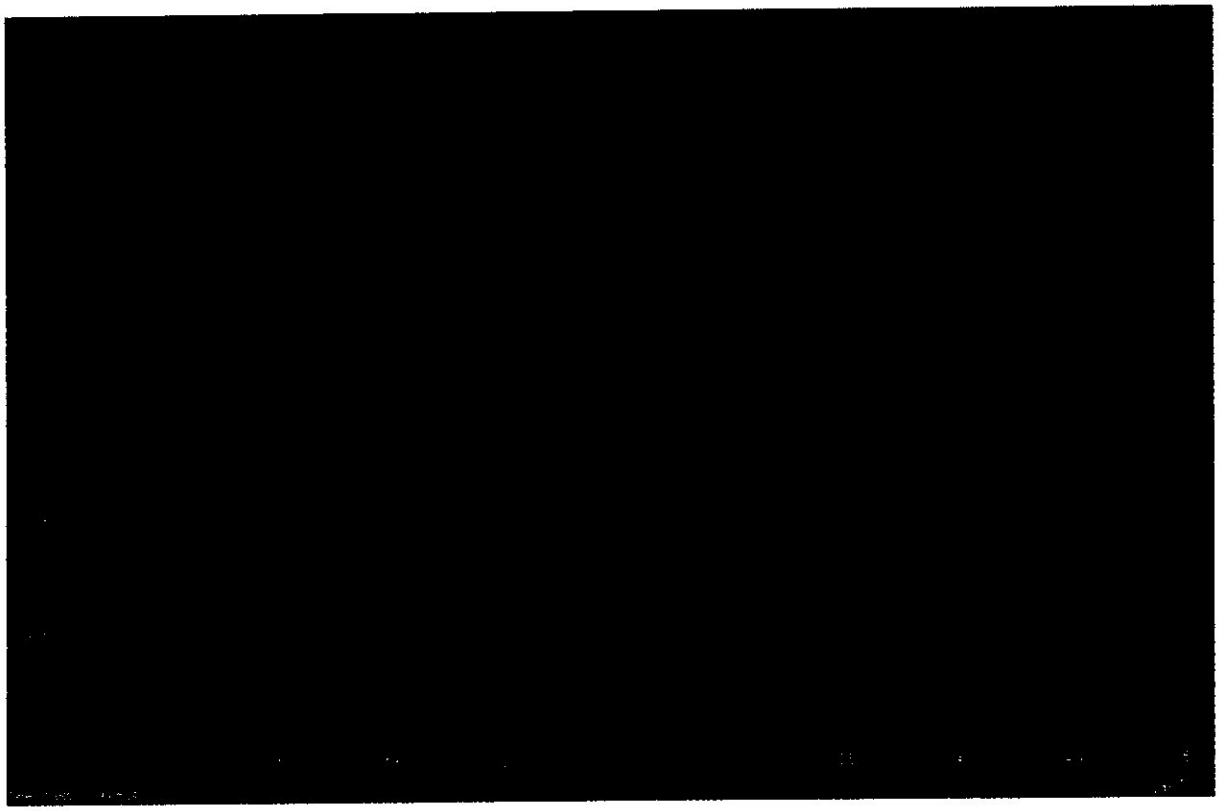
Le paramètre tranquille de fréquence est juste la fréquence d'oscillation, syn. La différence entre la fréquence du signal de sortie du bloc et la fréquence tranquille est proportionnelle au signal d'entrée, interprété comme tension. La fréquence tranquille est placée au F_0 variable, qui est au commencement assigné une valeur de 30 MHZ.

Le paramètre de sensibilité d'entrée mesure la tension d'entrée, et commande ainsi le décalage de la fréquence tranquille. Les unités du paramètre sont des (H/V).

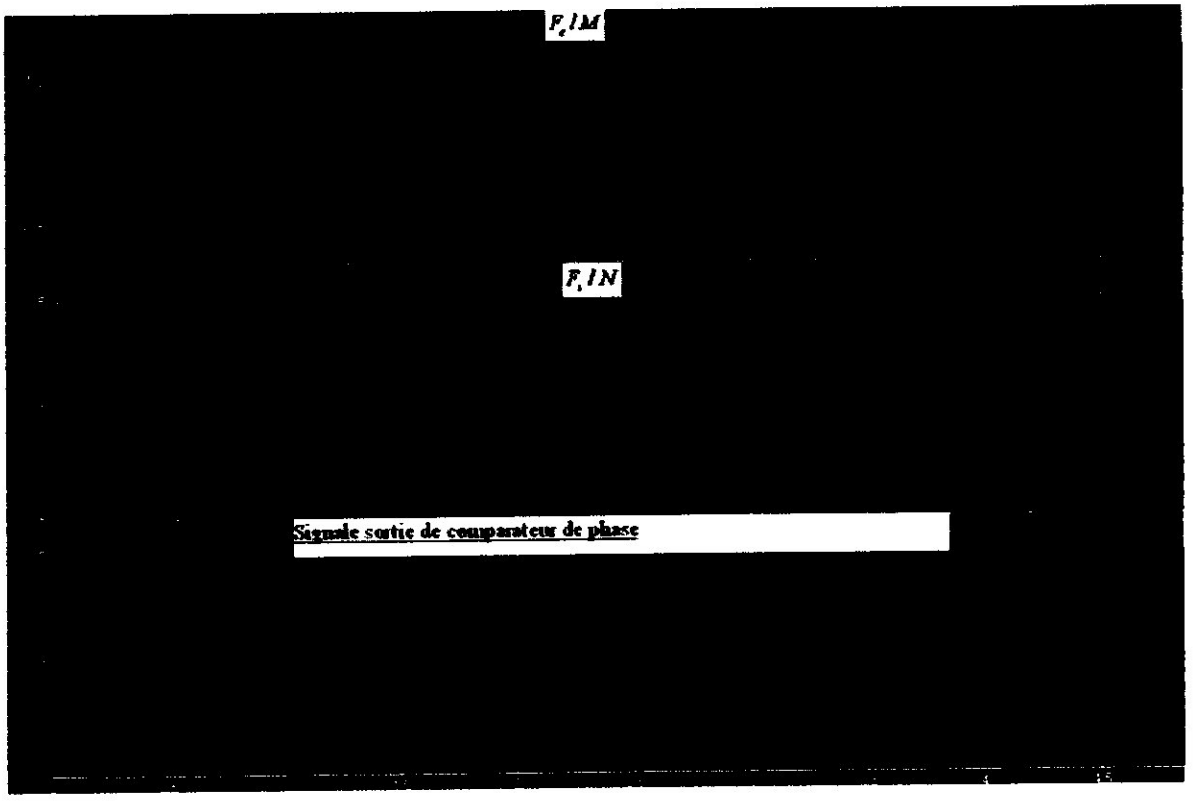
La sensibilité d'entrée est placée à la variable F_{sen}, qui est au commencement assignée une valeur de 40 MHz/V.

Changeant les valeurs du F_0 et F_{sen} n'affecteront pas la fréquence équilibrée du signal synthétisé, parce que le changement correspondant à la valeur de gain compense exactement le changement.

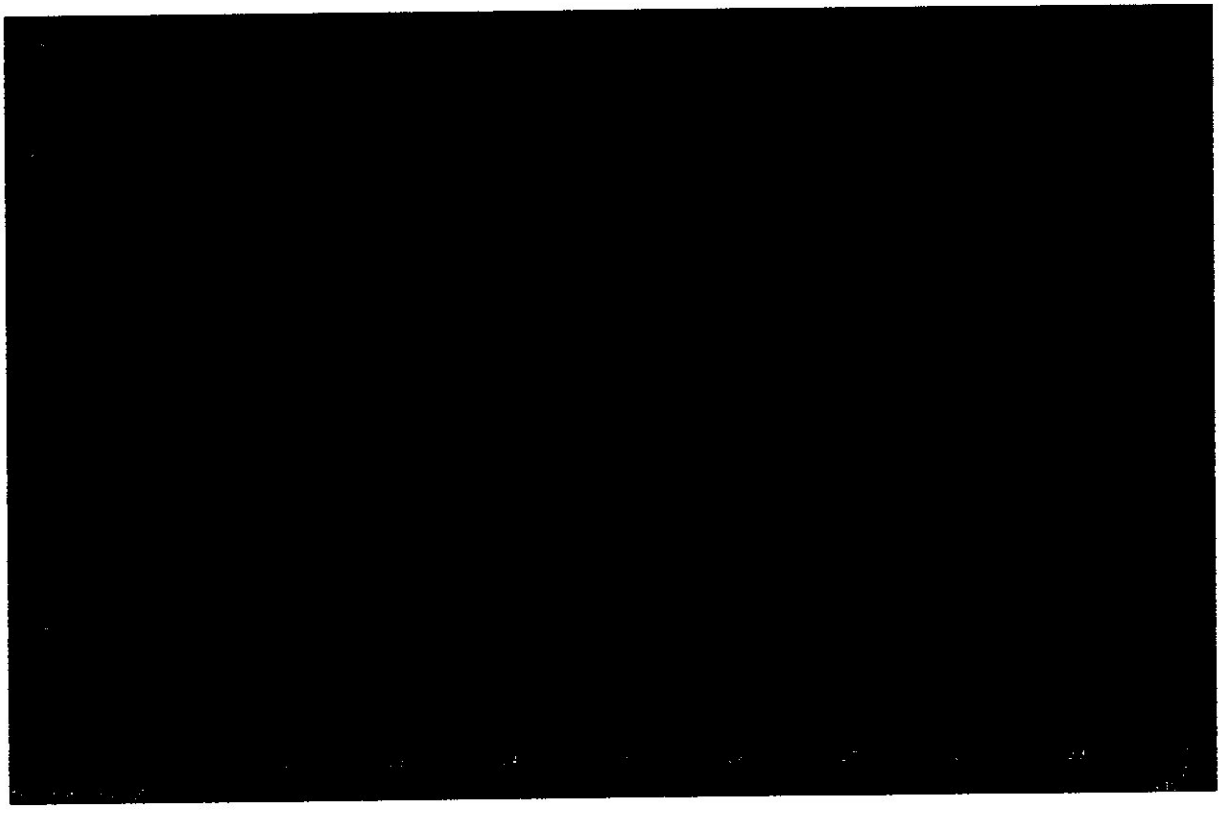
Fréquence d'entrée (F_e=10MHZ):



La fréquence sortie de comparateur :



Le fréquence de PLL (F_s=55MHZ):



CHAPITRE III

L'étude pratique d'un synthétiseur de fréquence

III.1. Commande d'un synthétiseur par microcontrôleur :

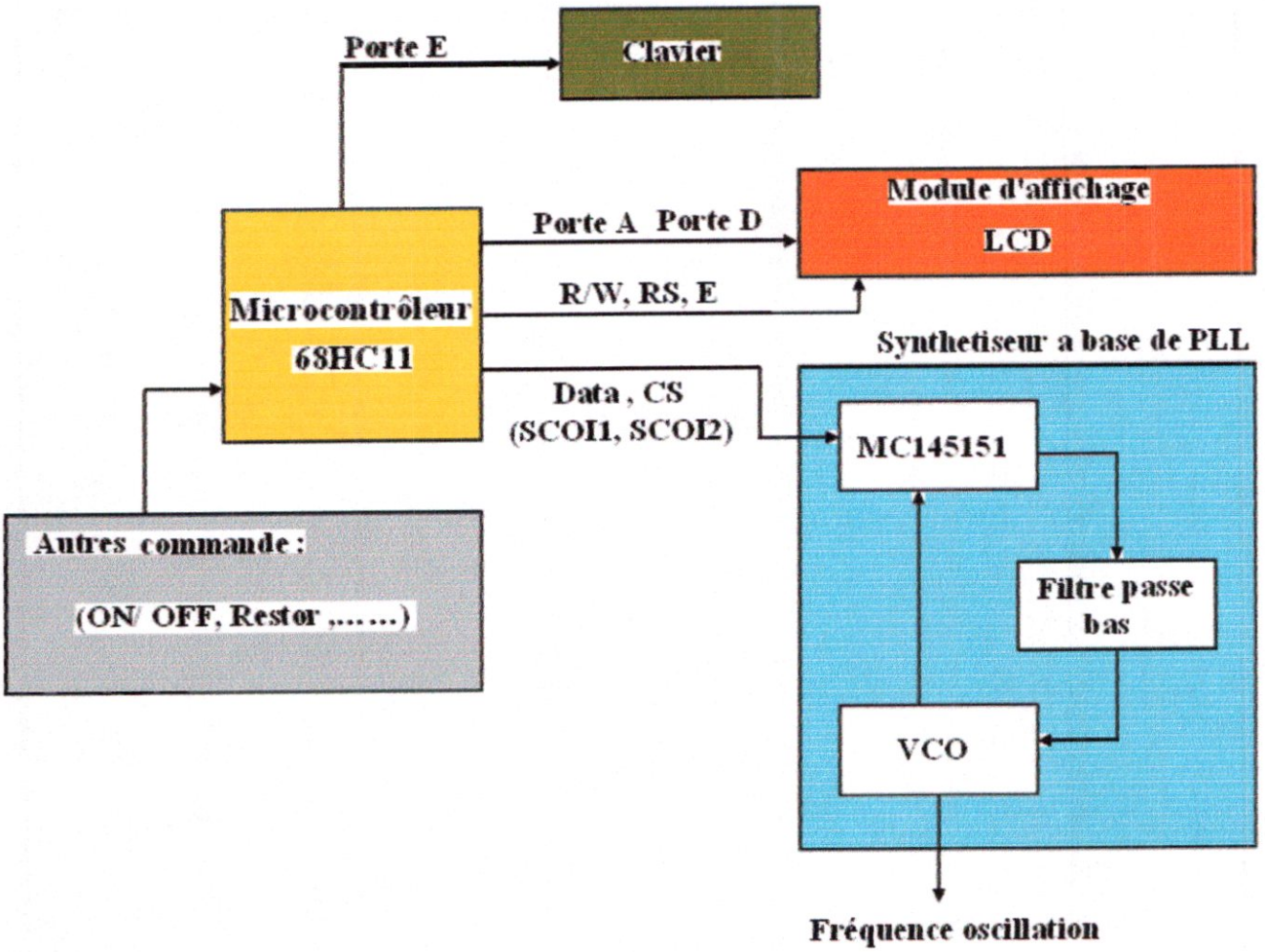


Figure : (III-1) schéma du synthétiseur commandé par le microcontrôleur 68HC11

Les différents composants utilisés dans la carte de réalisation sont:

- Le microcontrôleur (**MC68HC11F1**).
- Clavier, module d'affichage (**LCD**).
- Circuit intégré **MC145151**.
- Circuit intégré **SN74S124N**.
- Filtre passe bas (**RC**).

III.2. Les composants de la carte:

III.2.1. Les microcontrôleurs 68 HC11:

III.2.1.1. Présentation générale:

Les microcontrôleurs sont des circuits intègres possédant toutes les fonctions élémentaire d'un système microprocesseur réunies dans un seul boîtier unité centrale, mémoires, périphérique d'entrées/sorties, temporisateurs programmables, convertisseur analogique numérique et liaison séries.

Les 68HC11 sont du microcontrôleur de seconde génération dont l'appellation 68HC11 caractérise toute une famille de circuits construite autour du même noyau de base. Ceci nous laisse le chois d'utiliser les microcontrôleurs suivant les besoins ressentis. Le tableau (III.1) donne les principales caractéristiques des composants de la famille HC11.

Cette famille de microcontrôleurs intègre sur la même puce différents type de module communication, d'interface et différent type de mémoire. En plus de ses ressources matérielles, ces microcontrôleurs disposent d'une puissance de jeu d'instructions et de ressources internes qui facilitent énormément leur utilisation, même dans des applications complexes,leur jeu d'instruction comporte plus de 256 instructions; ceci entraîne qu'un certain nombre d'instructions sont codes sur deux octets.

L'architecture particulière de leur unité centrale permet de réaliser un certain nombre d'opération arithmétique et logique sur 16 bits ce qui accroît encore leur souplesse d'emploi et leur puissance logicielle. L'utilisation de ce type de composant permet de réduire au maximum les coûts de câblage (circuit imprime) et le temps nécessaires pour la réalisation de ce type de système.

Ces circuits peuvent fonctionner à des fréquences d'horloge pouvant atteindre les 20 MHz. Le système de mémoire associe au HC11 est variable selon le type et comprend généralement une zone mémoire RAM, une ROM ou EPROM ainsi qu'une EEPROM le tableau (III-1) résumé les principales caractéristiques de la famille HC11.

Type de MPU	EPROM (ko)	ROM (ko)	EEPRO Octet	RAM Octet	Commentaires
68HC11A8	-	8	512	256	Produit de base de la famille HC11.
68HC11A1	-	-	512	256	Identique au A8 avec la ROM désactivée.
68HC11A0	-	-	-	256	Identique au A8 avec la EEPROM désactivée.
68HC811A8	-	-	8+512	256	Version A8 avec émulation EEPROM.
68HC11E9	-	12	512	512	Quatre entrées digitales input capture.
68HC11E1	-	-	512	512	Identique au E9 avec la ROM désactivée.
68HC11E0	-	-	-	512	Identique au E9 avec la ROM et EEPROM désactivées.
68HC11E2	-	-	2	256	Pas de ROM.
68HC11E9	-	-	512	512	Version programmable du E9.
68HC11D3	-	4	-	192	Version 40 broches.
68HC711D3	-	-	-	192	Version programmable du D3.

68HC11F1	-	-	512	1K	Bus adresses et données démultipliés, CS, boîtier 68 P.
68HC11K4	-	24	640	768	Espace adressable 1Mo, PMW, et CS inclus.
68711K4	-	-	640	768	Version programmable du K4.
68HC11L6	-	16	512	512	Similaire au E9 avec ROM plus importante, boîtiers 64 et 68 P.
68HC711L6	-	-	512	512	Version programmable du L6.

Tableau (III-1) caractéristiques essentielles des microcontrôleurs 68HC11

Pour notre travail, nous avons opté pour le microcontrôleur **68HC11F1**

Le 68HC11F1 est un microcontrôleur 8 bits, réalisé en technologie HCMOS, qui se présente sous la forme d'un boîtier "chip carrier" à 68 broches (Figure (III-3), et qui contient :

- 1 Microprocesseur 8 bits de type 6801.
-1024 octets de RAM statique.
-512 octets d'EEPROM.
-256 octets de ROM contenant un programme de téléchargement
-96 registres internes définissant le fonctionnement de l'ensemble du composant
-8 timers, 16 bits avec 4 étages de pré division

-1 compteur d'impulsions sur 8 bits

-1circuit d'interruption périodique en temps réel

-1 CAN 8 bits à approximations successives et à 8 entrées

-1 interface de communication série asynchrone NRZ (SCI)

-1 interface de périphérique série synchrone (SPI)

-4 sorties programmables de sélection de boîtier

-1 chien de garde (COP ou watch dog)

-6 ports d' E/S 8 bits (ports A, B, C, E, F, G)

-1 port d'E/S 6 bits (port D)

-1 logique de protection de la configuration système en EEPROM

-2 entrées d'interruption matérielle

-1 logique de remapping des zones RAMEEPROM/REGISTRES

-1 logique de hiérarchisation des interruptions internes et externes

-4 modes de fonctionnement externe

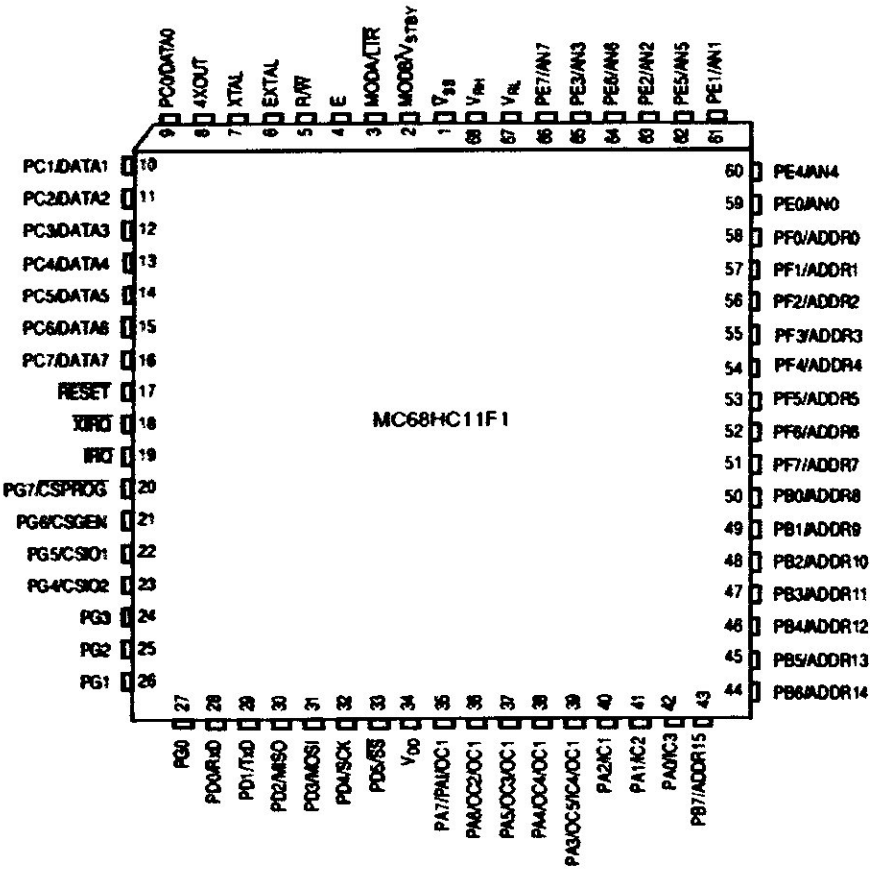


Figure (III-2) : Les taches des broches de MC68HC11F1 68-broches

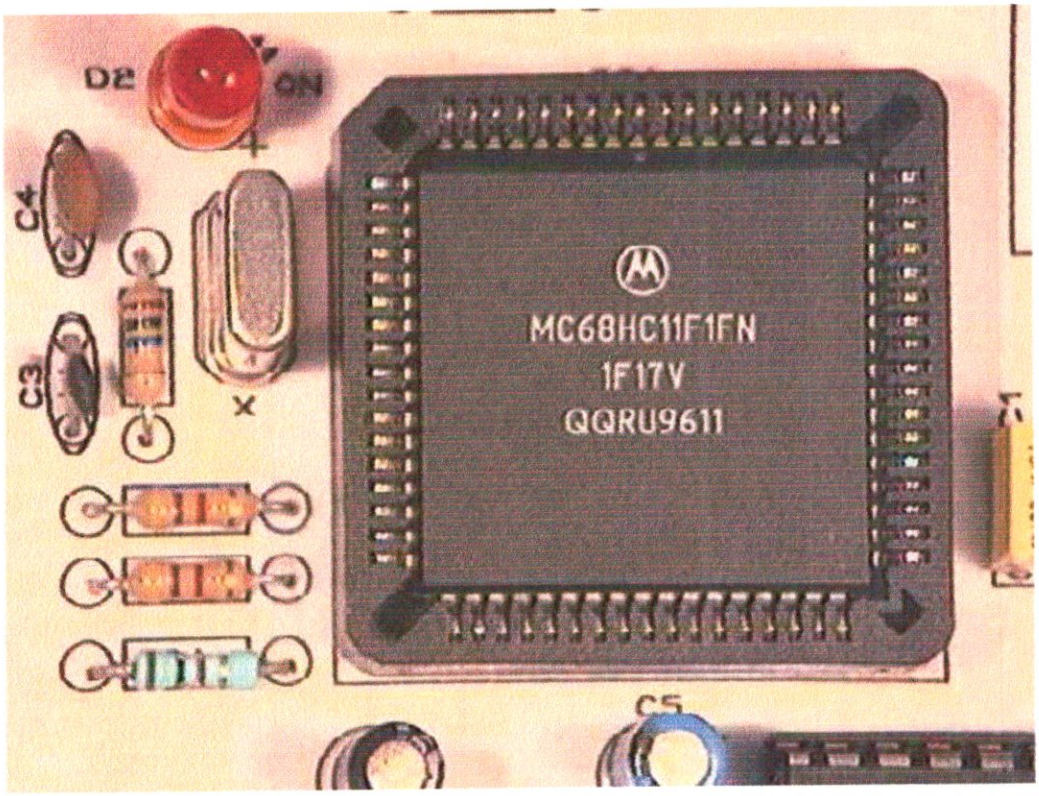


Figure (III-3): Le support PLCC 68 broches recevant le microcontrôleur à microcontrôleur 68HC11F1.

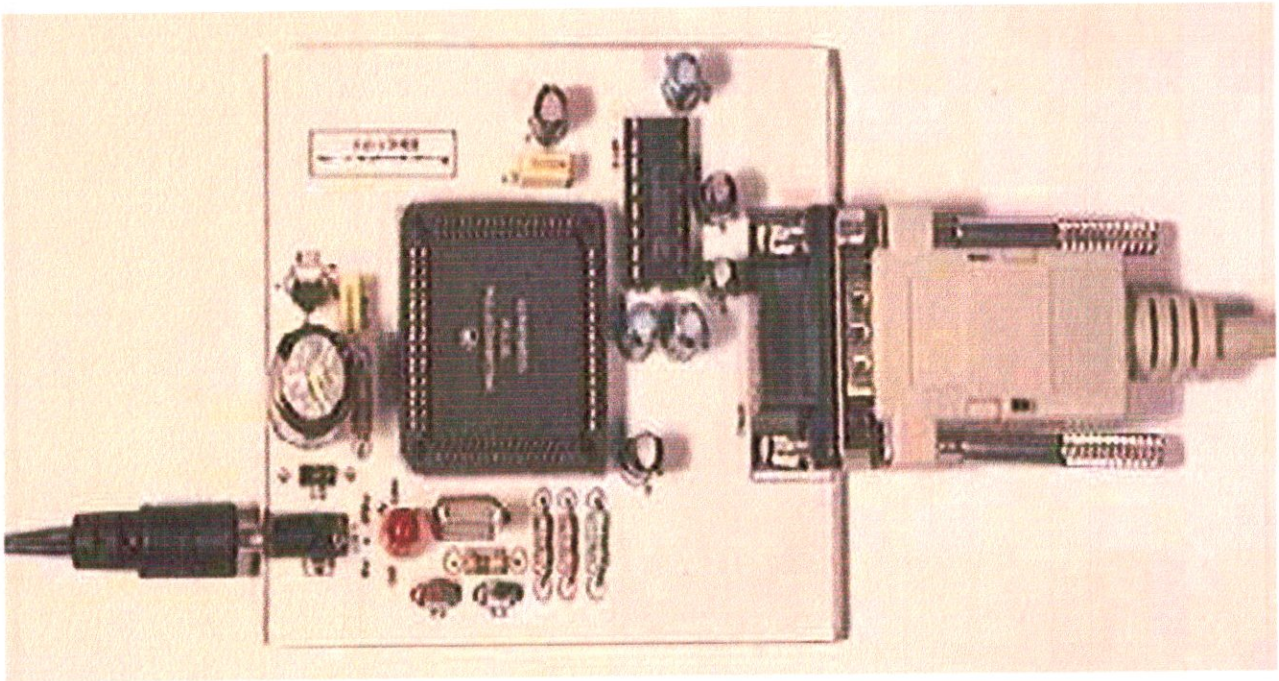


Figure (III-4) : Aspect général de la carte microcontrôleur (mode circuit seul).

III.2.1.2. Les ressources internes des MC68HC11F1:

La figure (III-5) montres la structure générale du MC68HC11F1

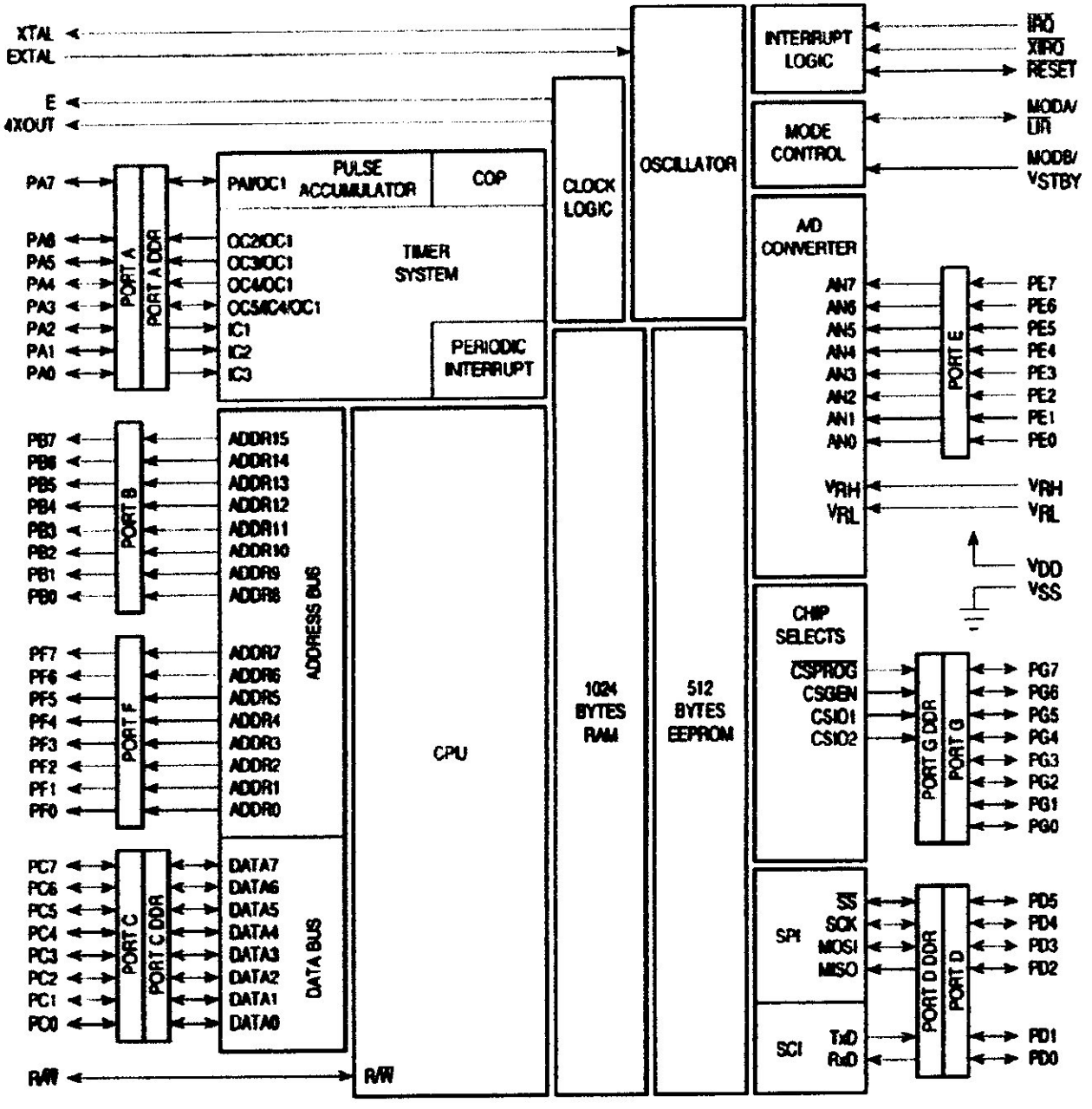


Figure (III-5) structure interne des 68HC11 série F1

Le choix du **68HC11F1** à été fait selon le critère d'avoir un microcontrôleur ne nécessitant pas de programmeur, et comportant des convertisseurs analogique-numérique (A/D) tout en permettant l'interfaçage avec une RAM externe.

Détail des ports :

Aucune patte du 68HC11F1 ne doit jamais être exposée à une tension inférieure à la masse GND ou supérieure à l'alimentation Vcc 5V du 68HC11.Lorsque nous utiliserez les ports du 68HC11F1 en entrée, le port à la masse relier par l'intermédiaire de résistances de 10k ohms par exemple, cela permet de réduire les parasites en fixant leur potentiel. En effet, lors de la mise à l'état d'une broche du port, souvent les deux broches avoisinantes passent elles aussi à l'état haut. Normalement les résistances devraient résoudre ce problème.

- **port A** (adresse $1000, registre de direction DDRA $1001) : c'est un port Bidirectionnel Les bornes du port A d'un 68HC11F1 peuvent être utilisées comme entrée (0) ou sortie (1).Il faut, avant de les utiliser, indiquer le sens choisi. Un registre spécial, appelé « DDRA », pour « Data Direction Register A » ou registre de direction de données du port A, permet d'indiquer au microcontrôleur le sens choisi.
- **port B** ($1004) : c'est un port unidirectionnel, utilisable seulement en sortie sur la carte, seuls 3 bits sont utilisés et sont connectés aux 3 leds ø3mm : le bit 0 est relié à la led verte, le bit 1 à la led orange et le bit 2 à la led rouge.
- **port C** ($1006 ; DDRC $1007) : ses pattes peuvent être déclarées comme entrées (0) ou comme sorties (1) avant l'utilisation dans le registre DDRC ,on programme les sorties et les entrées du registre PORTC comme ceux du registre PORTA .
- **port D** ($1008 ; DDRD $1009) : ses six pattes peuvent être déclarées comme entrées ou comme sorties, D0 et D1 sont prises par la ligne série (SCI). Les autres pattes sont programmées comme celles du port C et A.
- **port E** ($100A) : il contient des entrées analogiques et est relié aux boutons verts et jaunes, pour protéger les entrées et surtout l'unique convertisseur analogique numérique il est conseillé de brancher le signal extérieur à travers une résistance de 1 kOhms à la patte de la puce ; une résistance supérieure à 10k peut déformer le résultat.

- **port F** (**$1063**) : il contient quatre entrées numériques N4, N5, N6 et N7 à l'adresse **$1063**. Il contient également les trois sorties analogiques OA, OB et OC du convertisseur numérique analogique MAX232.

III.2.1.3. La mémoire:

Suivant la version du microcontrôleur la mémoire programme peut être interne ou externe (mode étendu). Le choix entre les deux modes s'effectue à la mise sous tension en agissant sur niveau de 2 broches du circuit de contrôle de mode.

En interne la mémoire peut être :

-De type mémoire morte à lecture seule (ROM), programmée en usine, sur les versions HC11 réservées aux grandes séries;

-De type programmable par l'utilisateur, version HC711, effaçable par ultraviolet (EPROM) ou non effaçable sur les modèles programmables une seule fois.

-De type programmable et effaçable électriquement (EEPROM), version HC811.

La mémoire vive a une capacité de 256 octets pour les versions A et E et de 1 K octets pour la version Fl. Elle est souvent réservée a la sauvegarde de données et à la pile. Cette RAM est de type statique et ne nécessite donc aucune circuiterie externe de rafraîchissement de même qu'elle n'impose aucune fréquence minimum d'horloge.

La mémoire EEPROM de données à une capacité de 512 octets. Elle peut être lue ou effacé par le programme interne. Une pompe de charge interne permet de produire la tension de programmation qui est supérieure à 5 V. Cette mémoire est très utile pour sauvegarder des données de programmation entre deux arrêts du microcontrôleur.

La mémoire ROM qui est par défaut de type programmable par masque, c'est-à-dire réservée à des productions en grande série vu les frais de masquage qu'elle implique, peut se transformer en EPROM ou OTPROM sur les 68HC711 ou en EEPROM sur les 68HC811. Ces dernières versions de boîtiers, sont évidemment réservées aux phases de développement d'une application.

Ces deux versions, OTPROM et EEPROM, se programment soit sur des programmateur universels du commerce supportant le 68HCI1, soit avec des montages spécifiques. Les ROM, EPROM ou EEPROM sont évidemment utilisées pour le stockage des programmes et des vecteurs de Reset et d'interruptions. Elle est toujours complétée par un petit morceau de ROM supplémentaire implantée de $BF40 à $BFFF qui contient le fameux Bootloader

III.2.1.4. Résumés des principaux produits:

Les circuits de la famille HC11 existent en plusieurs versions, les différentes versions sont repérées par leur nom de la fa-on suivante :

MC : Pour les circuits qualifies;
XC : Pour les circuits en reproduction ;
68HC : MOTOROLA HCMOS:
X : Rien : ROM interne: **7 :** EPROM ; **8 :** EEPROM ; **11:** nom de la famille
XXX : Définit les types indiques dans le tableau précèdent.

III.2.1.5. Plan mémoire :

Les allocations des ressources intégrées dans la puce du 68HC11F1 sont identiques dans les modes de fonctionnement circuit seul(figure (III-9)) ou étendu(figure (III-10)). Le bloc mémoire affecté aux registres commence, par défaut après un reset, à l'adresse $1000.

Ce bloc peut être déplacé au début à n'importe quelle page de 4 KO ($x000) par valeur inscrite dans le registre INIT après un reset.
La figure (III-6) donne le plan mémoire du 68HC11F1 en fonction du mode de fonctionnement choisis.

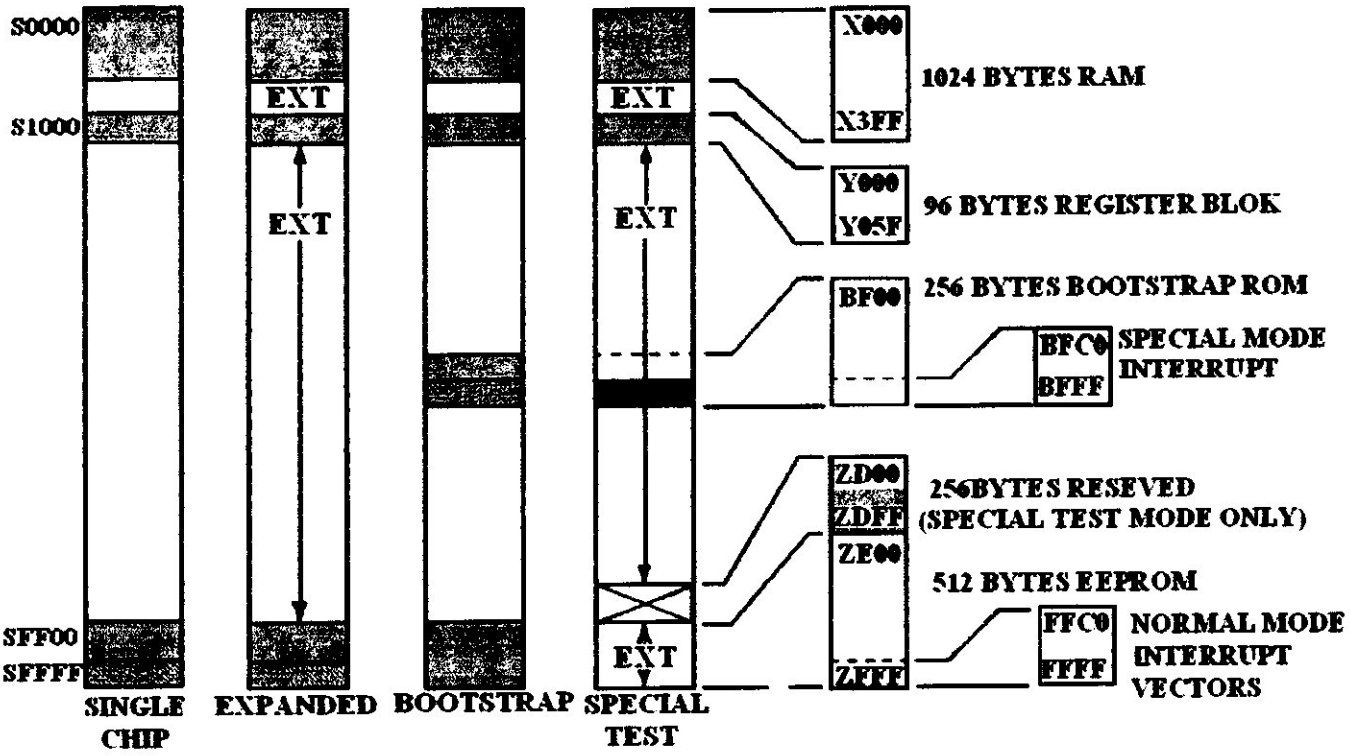


Figure (III-6) plan mémoire du 68HC11F1

III.2.1.6. RAM interne :

Le **MC68HC11F1:** comporte 1024 octets de RAM statique

La RAM peut être utilisée pour un programme exécutable, pour le stockage de variables et de données temporaires lors du déroulement du programme. La RAM peut être relogée dans n'importe qu'elle page dans l'espace des 64 K octets adressable par le MCU en écrivant la valeur appropriée dans le registre INIT. La RAM est située, par défaut, à l'adresse $0000 après un reset, permettant ainsi l'accès aux octets compris entre [$0000 et $00FF] / [$0000 et $03FF] en mode direct.

Le contenu de la RAM peut être sauvegardé, lors des périodes d'inactivité du microcontrôleur.

Lorsque le microcontrôleur est mis en veille par l'instruction STOP, toutes les horloges sont arrêtées, mais le microcontrôleur continue d'absorber du courant sur la ligne $+V_{DD}$. Etant donne que, dans le cas des circuits en technologie CMOS, la puissance absorbée est directement proportionnelle à la fréquence de fonctionnement, le fait de mettre toutes les horloges en arrêt entraîne une diminution considérable de l'énergie consommée sur la source $+V_{DD}$. Cette tension étant maintenue, le contenu de la RAM interne au HC11 F1 reste intact.

Une deuxième méthode utilisée pour réduire la consommation d'énergie a son niveau le plus bas consiste a déconnecter la source d'alimentation $+V_{DD}$. En connectant la broche MODB/VSTBY à une source d'alimentation annexe (pile ou batterie), la RAM reste alimentée et sa contenue est sauvegardée.

III.2.1.7. EEPROM :

Le **MC68HC11F1** dispose d'une EEPROM de 512 octets.

Cette mémoire est logée respectivement, par défaut après un reset, dans l'espace [$FE00-$FFFF]. Il est possible de déplacer cet EEPROM dans un autre espace du plan mémoire en écrivant la valeur requise dans les bits EE [3:0] du registre CONFIG. En mode Monopuce, l'EEPROM est toujours activée dans la zone par défaut et ne peut être déplacée. En mode spécial test, l'EEPROM est inhibe par défaut mais peut être activée par le programme.

III.2.1.8. Registres internes:

Le MC68HC11F1 comprend 96 octets (Registres sur 8 bits)

Ces registres sont dédies au contrôle de la machine. Ces registres sont situes dans la zone par défaut, après un reset, qui commence a l'adresse $1000. Cependant, ce bloc de registre peut être déplace dans n'importe quelle page de 4 Ko ($x000 - $x05F) par le registre INIT. Les applications de ces registres ainsi que leur adresse son situe en annexe 3.

III.2.1.9. Les chip select (CS) :

Le MC68HC11F1 dispose de quatre CS qui sont configurables par logiciel est utilisables lorsque le MCU fonctionne en mode étendu. La disponibilité de ces lignes de sélection de boîtier minimise la logique externe nécessaire pour l'interfaçage du microcontrôleur avec les circuits périphériques. Chaque ligne de sélection est destinée pour un type de composant. Les lignes de sélection disponible sont :

- **CSPROG** (Sélection programme)..... **EPROM.**
- **CSGEN** (Sélection à usage générale)..... **RAM.**
- **CSIO1** et **CSIO2** (sélection des Entrées/Sorties)..... **MC145151.**

III.2.1.10. Sélection des Entrées/Sorties CSIO1 et CSIO2:

Les sélecteurs dédies aux entrées/sorties (**CSIO1** et **CSIO2**) ont une taille fixe. Le chip select **CSIO1** recouvre d'adresses [$x060 - $x7FF]. Quant à **CSIO2** il recouvre l'intervalle mémoire situe entre $x800 et $xFFF, Le symbole X représente les quatre bits hauts de l'adresse de base des registres tel que défini par les bits REG [3 :0] dans le registre INIT.

Les bits du registre CSTL déterminent la polarité de l'état actif des chip select a et établisse la validation des deux sélecteurs d'entrées/sorties.

Les registres CSGSIZ sélectionne synchronisation des CS soit sur l'impulsion de validation de l'adresse, soit sur l'horloge E. Par ailleurs les bits du registre CSSTRH permettent de sélectionner un délai de un à trois cycles d'horloge E l'allongement des impulsions de chip select.

La figure (III-7) illustre cette organisation dans le mémoire du 68HC11F1.

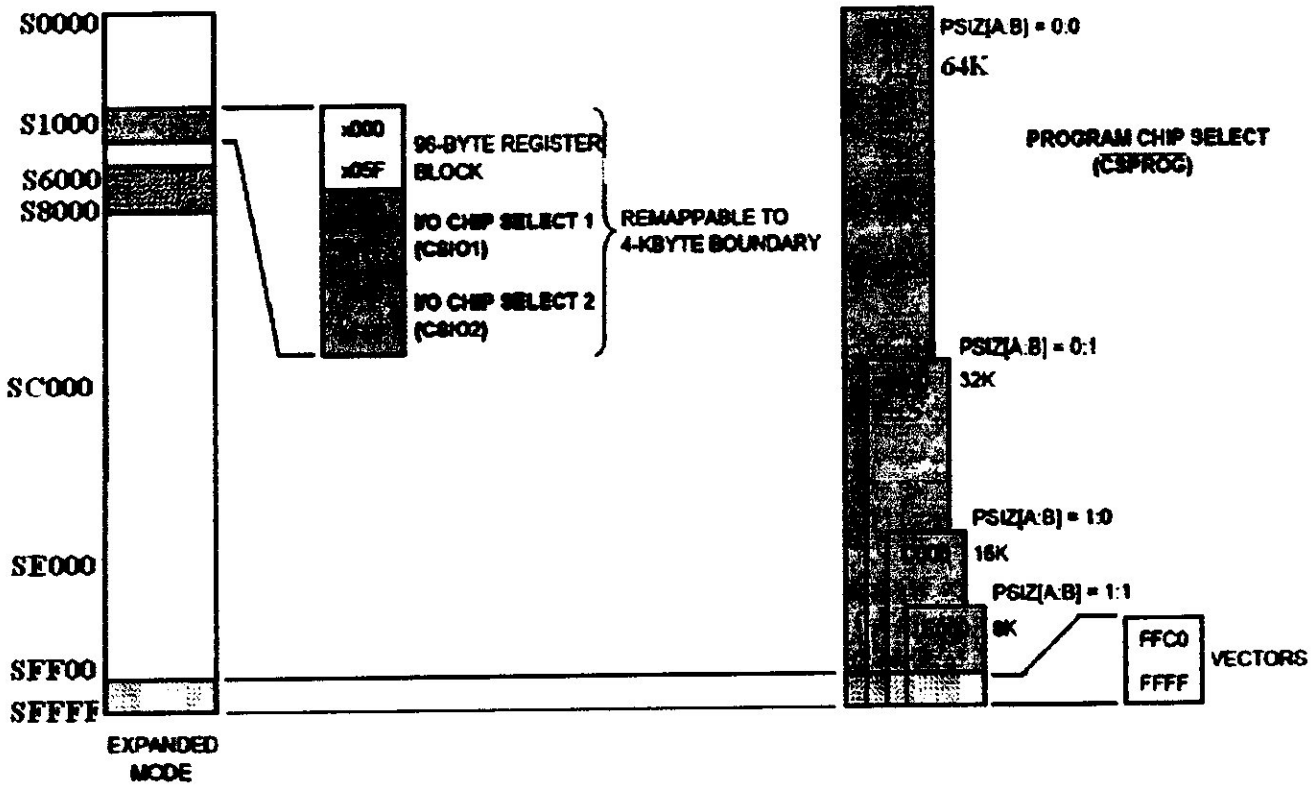


Figure (III-7) Adressage de la mémoire par les lignes de sélection CS101 et CS102 du 68HC11F1

Sélection de la mémoire programme :

La ligne CSPROG est utilisée avec une mémoire morte externe type ROM, EEPROM qui contient le programme moniteur ainsi que les vecteurs d'interruption.

Sélection de périphérique à usage général:

LA ligne CSGEN est le sélecteur a usage général c'est le plus flexible pour l'accès aux périphériques du microcontrôleur.

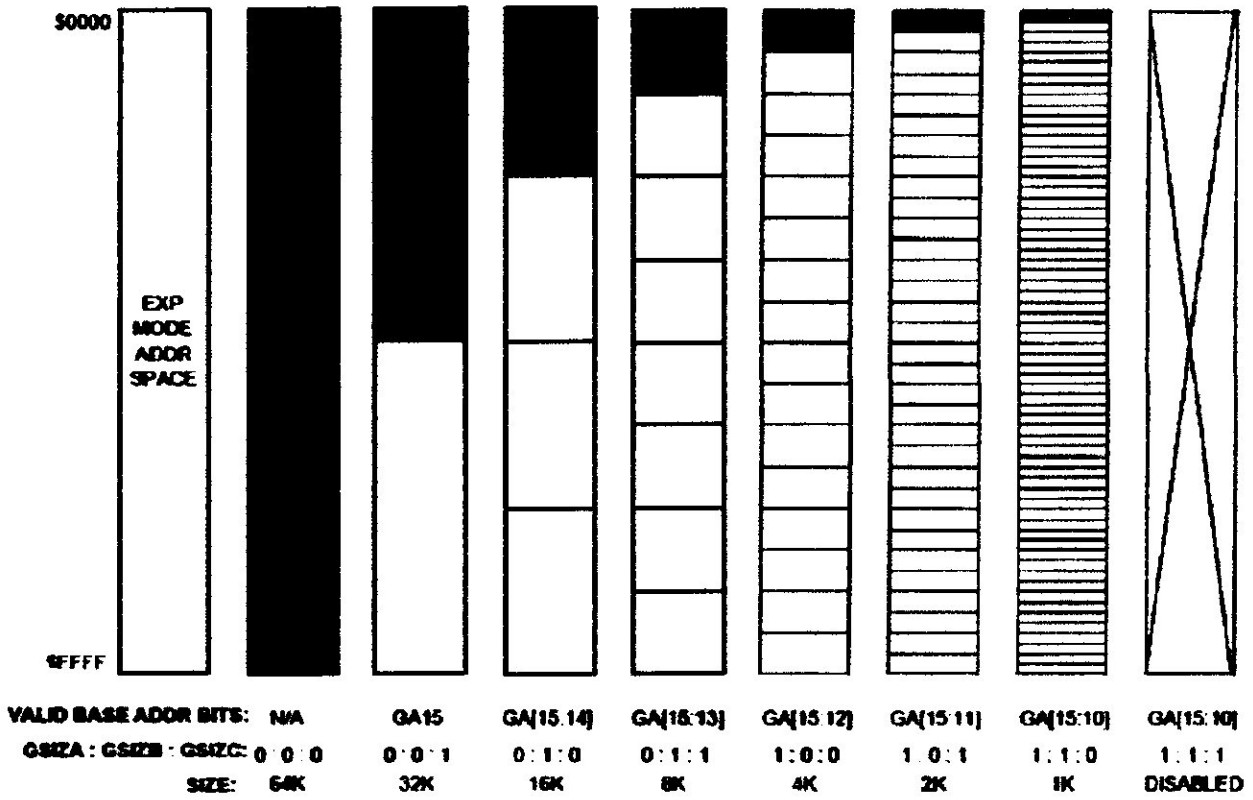


Figure (III-8) : espace mémoire adressage par la ligne de sélection CSGEN du 68HC11F1

III.2.1.11. Les différents modes d'utilisation de MC68HC11F1:

Le mode de fonctionnement du microcontrôleur est défini à la mise sous tension par l'état des entrées **MODA** et **MODB,** les deux pattes **MODA** et **MODB** permettent de sélectionner le mode de fonctionnement du 68HC11F1 suite à un Reset. Ces pattes changent ensuite de fonction et ne permettent plus de modifier ce dernier sauf bien sur si un nouveau Reset externe intervient.

Quatre modes doit être sélectionnes par les diverses combinaisons de MODA et MODB. Deux modes doivent être considères comme principaux, un comme accessoire et le dernier comme mode de test, d'usage exceptionnel pour l'utilisateur final du circuit.

Le tableau (III-2) rappelle les combinaisons de **MODA** et **MODB** et montre également le contenu de certains bits du registre HPRIO dont nous parlerons dans un instant

			HPRIO			
MODB	**MODA**	**MODE**	**RBOOT**	**SMOD**	**MDA**	**IRV**
1	0	CIRCUIT SEUL	0	0	0	0
1	1	ETENDU	0	0	1	0
0	0	BOOTSTRAP	1	1	0	1
0	1	TEST	0	1	1	1

Tableau (III-2) : Etat des bits du registre HPRIO en fonction de la configuration du 68HC11F1.

III.2.1.11.1. Fonctionnement en mode circuit seul: (ou SINGLE CHIP)

Dans ce mode, le programme à exécuter se trouve dans les 512 octets d'EEPROM, qui sont alors forcés en $FE00-$FFFF, et le microcontrôleur n'a pas de bus externes; toutes les broches sont donc disponibles en tant que fonctions périphériques.

Le circuit est configure de façon à disposer de ses ports B et C. C'est le mode d'utilisation typique de toute application n'exploitant pas le bus externe du 68HC11F1 (le programme d'exécution ne nécessite beaucoup d'espace), le microcontrôleur est utilise dans ce mode les propre ressources internes figure (III-9).

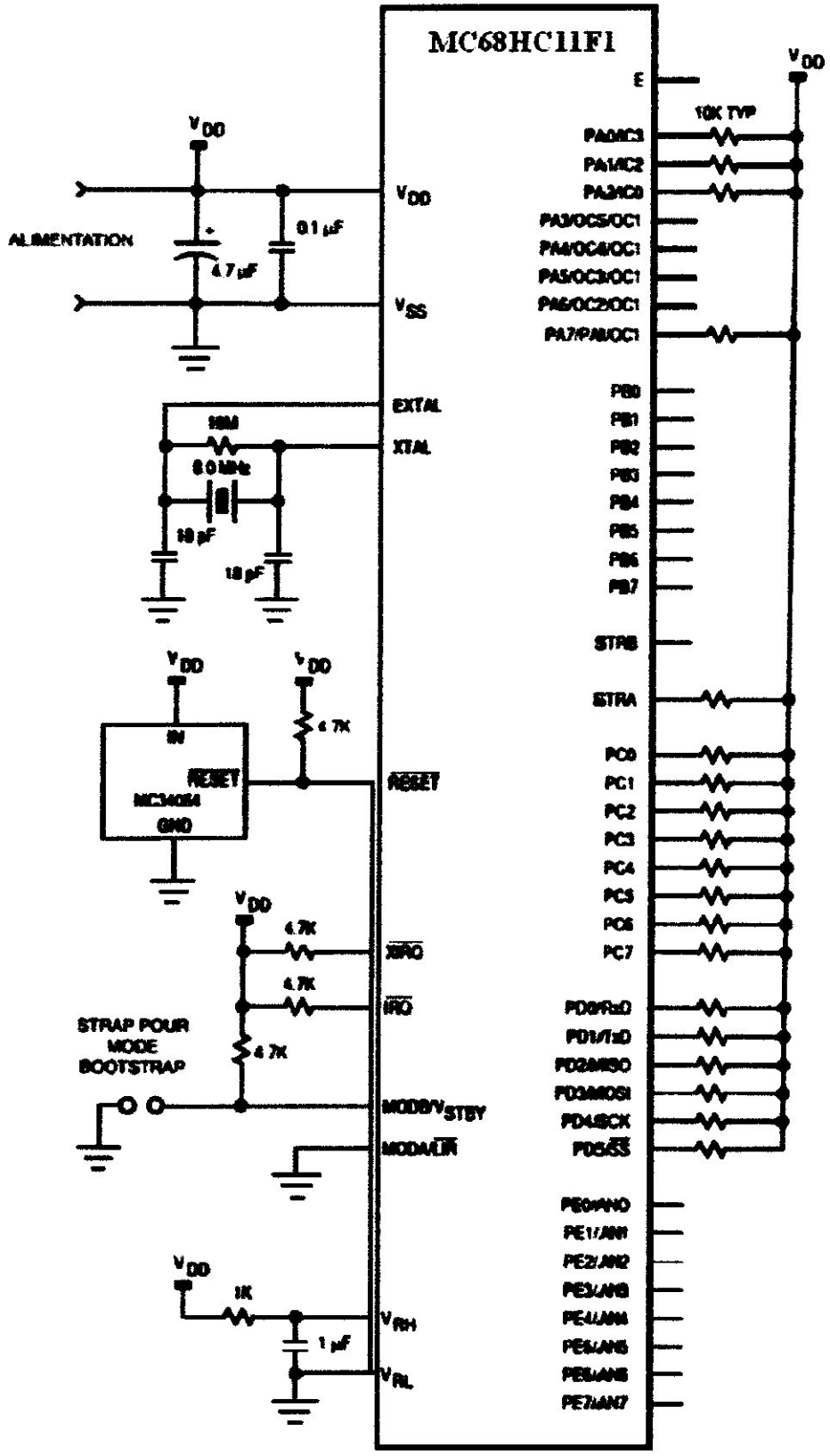


Figure (III-9) type de câblage en mode circuit seul

III.2.1.11.2. Fonctionnement en mode étendu:

C'est le mode qu'on a utilise

Dans le mode étendu le microcontrôleur peut adresser les 64Ko de la zone adressable. L'octet de poids fort de l'adresse est alors le port B, l'octet de poids faible est le port F, et le port C constitue le bus de données. La broche R/W définit le sens de transfert des informations. Des broches de sélection de boîtier (Chip Select) sont alors disponibles sur les broches PG7 à PG4, la répartition vue ci-dessus (figure (III-10)).

C'est le mode d'utilisation typique de toute application exploitant un ou plusieurs boîtiers externes ayant besoin de dialogues sur le bus du 68HC11F1.

Les lignes E et R/Wbarre sont ensuite utilisées pour valider les différents circuits en présence.

Les 54 lignes d'entrées/sorties sont organisées en 6 ports 8 bits et 1 port 6 bits. La plupart de ces lignes ont plus d'une façon la quelle est définie par l'état des bits des 96 registres internes de commande du 68HC11F1.

Les lignes A et D sont ensuite utilisées pour l'afficheur (LCD).

Les lignes CSOI1 et CSOI2 sont utilisées pour la sélection de notre division (la valeur de N pour notre réalisation).

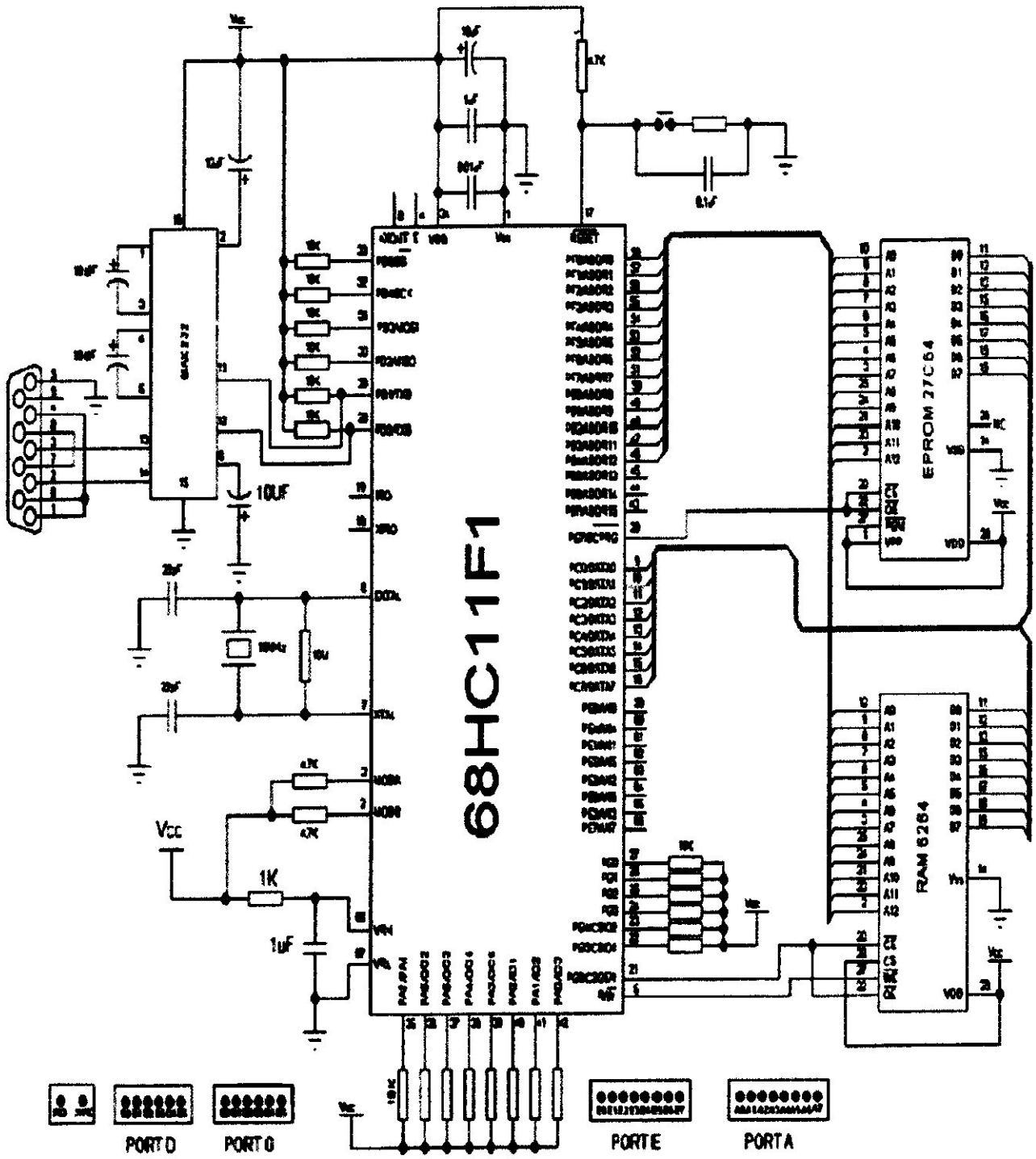


Figure (III-10) : Schéma électrique en mode étendu

III.2.1.11.3. Fonctionnement en mode BOOTSTRAP :

Ce mode est sensiblement identique au mode single chip, mais exécute peu après la mise sous tension un programme (en ROM) de téléchargement (en RAM) par la liaison série. Puis le microcontrôleur se branche soit en $FE00 (EEPROM), soit sur le programme téléchargé en RAM, à 1' adresse $0000.

Dans ce mode le MC68HC11F1 n'exécute pas le programme contenu dans sa ROM et pointé par son vecteur de Reset normal mais un 'bootloader' contenu à une adresse particulière dune ROM interne inaltérable. Il initialise alors l'interface SCI de façon a ce qu'elle puisse recevoir un programme de 256 octets de long qui est chargé en RAM a partir de l'adresse $0000. Lorsque ce chargement est termine, le 68HC11F1 saute automatiquement à l'adresse $0000 et exécute donc le programme qui y commence.

III.2.1.11.4. Fonctionnement en mode test :

Ce mode est réservé aux tests en usine, ou à la programmation de l'EEPROM en vue de personnaliser le microcontrôleur

C'est le mode spécial de test. C'est en principe un mode réserve à Motorola lors des phases de test du circuit. L'utilisateur peut y faire appel très exceptionnellement mais,de nombreuses "bêtises" pouvant être faites cette occasion, comme la transformation des lignes d'adresses en un compteur permanent et ininterruptible par exemple; il est fortement déconseille d'y faire appel. Si donc ce mode vous intéresse, nous vous renvoyons à la fiche technique du circuit.

III.2.1.12.Modes d'adressages:

L'établissement de la carte d'adressage ou du plan mémoire donne le moyen de retrouver facilement les adresses de chaque élément associe au CPU, facilite la gestion des liens avec les applications et assure une meilleure cohérence dans l'exécution des programmes.

Le CPU exécute à tout instant une instruction associée ou non à un opérande (Donnée intervenant dans l'opération). Lors de la compilation, l'instruction est traduite en code hexadécimal compris par le processeur. Une instruction est généralement composée de deux parties :

-Le code opérateur, qui correspond au code d'une instruction.

-L'opérande, qui est la donnée ou l'adresse de la donnée.

L'espace adressable par le microprocesseur commence à l'adresse $0000 et s'étend jusqu'à l'adresse haute maximum permise soit $FFFF.

Les registres des ressources internes sont donc considérer comme des emplacements mémoires "normaux" et sont accessibles sans manipulation particulière par leur adresse propre. Nous utiliserons dans tout se qui va suivre la notion d'adresse effective (Effective Addresse) abrégée EA en Anglais. Cette adresse effective est l'adresse réelle de la donnée manipulée par l'instruction. Nous utiliserons aussi dans les exemples les notations admises par la majorité assembleurs pour 68HC11, qui respectent les conventions suivantes :

-L'absence de symbole devant un nombre signifie qu'il est exprime en décimal.

-Le symbole dollar ($) signifie que le nombre est exprime en hexadécimal.

-Le symbole pour cent (%) signifie que le nombre est exprime en binaire.

-Le symbole apostrophe (') signifie que le caractère qui suit doit être remplacé par ce code en ASCII.

Le mode d'adressage est moyen donne au microprocesseur pour trouver le lieu exact ou se trouve l'opérande. La capacité d'adressage du CPUest celle du compteur programme PC (16 bits) c'est-à-dire : 2^{16}=65536 adresses possibles soit en hexadécimal un intervalle de $0000 a $FFFF.

L'une des particularités des microcontrôleurs de la famille 68HC11F1 est la diversité des modèles d'adressages qui donne toute la puissance et la souplesse à ces microcontrôleurs.

Les divers types de mode d'adressages sont décrits ci-dessous :

1- Adressage 'Inhérent';
2- Adressage 'Immédiat';
3- Adressage 'Direct' dans l'espace mémoire ($0000 - $00FF]:
4- Adressage 'Etendu';
5- Le mode d'adressage 'Indexe;

III.2.1.12.1.L'adressage inhérent (ou implicite):

Le mode d'adressage inhérent est le plus simple à utiliser. Les mnémoniques seules suffisent agir sur les registres du microcontrôleur et ne nécessitent pas d'opérande. Ces dernières sont contenues dans le μp. Le code opération suffit.

Exemple :

Les mnémoniques **SWI, NOP, CLRA, INCA, INCA, COMA, et CLRA** s'utilisent seul sans opérande et caractérise la dernière instruction du programme à exécuter.

ABA Ajoute A et B et place le résultat dans A,
INCB Augmente le contenu de B dune unité,
DEX Diminue dune unité le contenu de X.

III.2.1.12.2.L'adressage immédiat :

Le mode d'adressage immédiat se caractérise par la présence du symbole #. La donnée traiter se trouve immédiatement après le mnémonique et constitue donc l'opérande. La donnée manipulée par l'adressage immédiat peut être une donnée sur 8 bits ou sur 16 bits selon le type de registre concerne par ('instruction. Ainsi, comme vous pouvez le voir sur le listing, LDX est toujours suppose suivi par une donnée codée sur 16 bits, même si cette dernière pouvait "tenir" sur 8 bits (le 7 est code 00 4A au niveau assembleur).

Exemple :

86 7F	**LDAA**	**#$80**	; Charger la valeur $80 dans A
8B 10	**ADDA**	**#$10**	; Additionner la valeur $10 au contenu de A
CE 10 00	**LDX**	**#$1000**	; Charger le contenu de l'adresse $1000 dans le registre IX

III.2.1.12.3.L'adressage étendu:

Dans le mode d'adressage étendu, l'opérande spécifie n'est pas une donnée mais une adresse. L'instruction portera donc sur la donnée pointée par cette adresse. Ce mode d'adressage Se repère par le symbole >.

Exemple :

B6 10 33	**LDAA**	**$1033**	; Charger un octet situe a l'adresse $1033
FF 1C 00	**STX**	**$1000**	; Stocker le registre IX dans l'adresse $1C00
BD 04 00	**JSR**	**$0400**	; Aller au sous-programme d'adresse $0400

III.2.1.12.4.L'adressage direct:

Le mode d'adressage direct ressemble à redressage étendu. En effet, l'opérande représente ici encore l'adresse de la donnée à utiliser. Cependant, seul l'octet de poids faible cette adresse est spécifie. Comment déterminer le poids fort de l'adresse (qui est indispensable puisque l'adresse est sur 16 bits). L'octet de poids fort est par défaut égal à zéro ($00). Ce mode d'adressage se repère par le symbole <.

Si dans une application particulière l'accès aux registres internes du microcontrôleur est fréquent que l'accès à la mémoire vive, il est suggère de placer tous les registres internes incluent les ports d'entrées-sorties en page 0, afin d'accéder à cet ensemble de registres adressage direct, et réduire ainsi le temps d'exécution d'un cycle par rapport à l'adresse étendu.

La plupart des instructions utilisables en adressage étendu le sont en adressage direct, toutefois quelques exceptions telles que COM, INC, DEC, CLR et TST.

Exemple :

96 33	**LDAA**	**$0033**	: Charger un octet de l'adresse $0033
DF 80	**STX**	**$1000**	: Stocker le registre IX aux adresses $1000: $1001
9D BO	**JSR**	**$1800**	: Aller ou sous-programme d'adresse $1800

III.2.1.12.5.L'adressage indexe:

Comme pour l'adressage étendu ou direct, le mode d'adressage indexe utilise un adresse pour pointer la donnée Cette adresse est cette fois contenue dans un registre appelée registre d'index (X ou Y). On remarquera que les registres X et Y sont des registres 16 bits et peuvent donc bien contenir une adresse. L'adressage indexe permis d'adresser les 64K d'espace mémoire.

L'adressage indexe à déplacement nul : Dans ce cas, l'adresse de la donnée à utiliser directement la valeur contenue dons le registre d'index (X ou Y).

L'adressage indexe avec déplacement constant : Dans ce cas, l'adresse de la donnée utiliser est obtenue en en ajoutant une voleur comprise entre $00 et $FF indiquée dans l'octet suivant le code de l'instruction.

L'adressage indexe avec déplacement variable : Il est possible d'utiliser un décalage dynamique en utilisant l'accumulateur B. Il est ensuite possible d'additionner le contenu de cet accumulateur au registre d'index X ou Y.

Exemple :

```
CE 00
   40    LDX  #$0040     ; Charger X par la première adresse d'une table
         LDA  0, X       ; Charger A par le contenue de ('adresse $4000 [$4000+0]
         LDB  8, X       ; Charger B par le contenue de ('adresse $4008 [$4000+8]
         LDB  #DEP       ; Charger B par La valeur DEP
         LDX  #$2500     ; Charger X par la première adresse d'une table
         ABX             ; [X] + [B] dans X
         STA  0, X       ; Stocker A dans l'adresse pointer par X
```

Ce mode d'adressage est particulièrement intéressant dans le cas dune application ou on est souvent amené à manipuler des bits (comme pour notre cas ou un bit représente l'état dune entrée ou dune sortie).

Liste des composantes de la carte principale du micro contrôleur:

Composantes	quantité
Bernier 4 pôles	6
Bernier 3 pôles	2
Connecteur DB9 femelle	1
Support (micro contrôleur	1
Circuit intègre micro contrôleur 68HC11F1	1
Circuit intègre RAM HM6264	1
Circuit intègre EPROM	1
Capacité chimique1µf	6
Capacité chimique100µf	1
Capacité chimique470µf	1
Capacité ceramique2.2pf	2
Réseau de résistance 10KΩ	10
Résistance 4.7K	5
Resistence10MΩ	1
Résistance 1.1MΩ	1
Resistence130Ω	1
Diode 1N4004	1
Circuit intègre Max232	1
Régulateur LM7805	1
Led	1
Bouton poussoir	1
Bouton commutateur	1

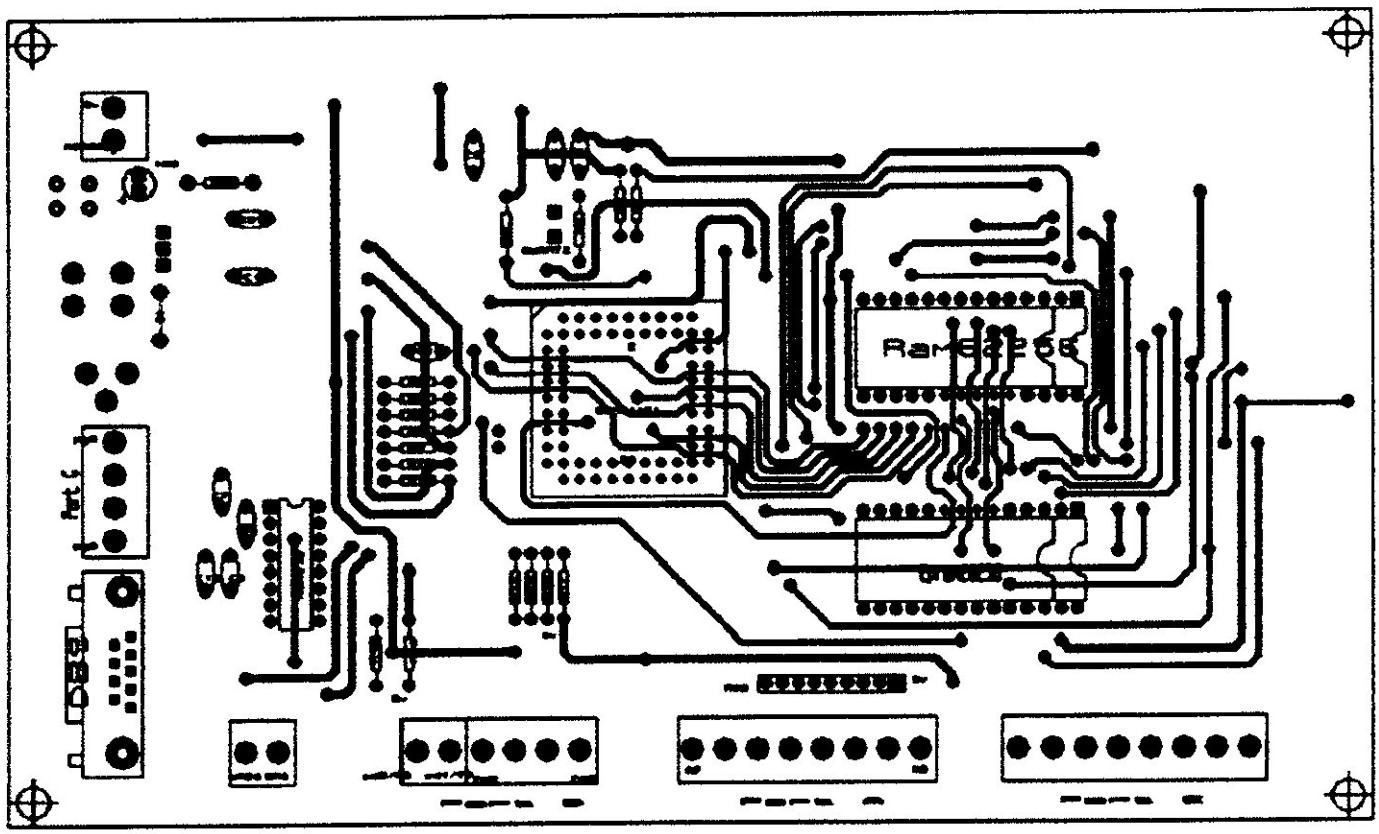


Figure (III-11) circuit imprimé de la carte principale (coté composants)

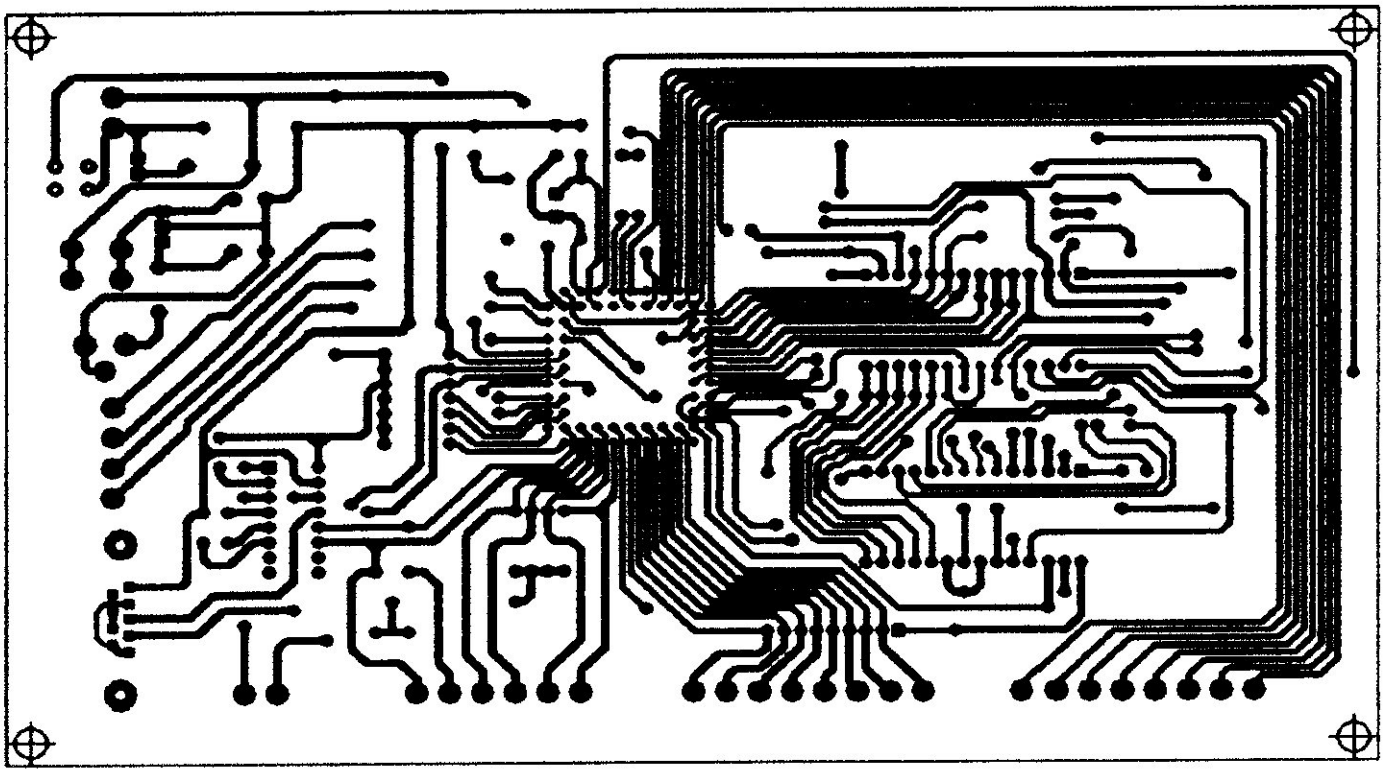


Figure (III-12) circuit imprimé de la carte principale (coté cuivre)

III.2.2. Cavalier :

Le **74HC922** gère les anti-rebonds des touches ou clavier. Lorsqu'un appui a lieu sur une touche, une interruption est générée. Cette interruption est active à l'état haut : cela ne convient pas au microcontrôleur qui est sensitif au front (ou niveau, selon la configuration du bit 5 du registre OPTION) bas. On inverse donc ce signal Une fois dans le sous-programme d'interruption, il suffit de venir lire le bus de données après sélection du boîtier par l'intermédiaire du signal CS (actif sur niveau bas).

RESET : sert à réinitialiser la carte après un changement de mode, un plantage, etc.

Attention : l'appui sur la touche Reset, vide la RAM du microcontrôleur mais pas son EEPROM. De plus, lors d'un Reset, les registres de configuration se mettent dans un état prédéfini par le constructeur.

Les cavaliers permettent de relier au choix les Boutons, à la broche IRQ. Ainsi lorsque les cavaliers sont en place l'appui sur le bouton configuré provoque une interruption IRQ dans le microcontrôleur.

Les interrupteurs de changement de mode déterminent le fonctionnement du microcontrôleur en modifiant l'état logique des pattes MODA et MODB.

État logique des pattes		**Description des modes**	**État logique des interrupteurs**	
MODB	**MODA**		**Interrupteur n°1**	**Interrupteur n°2**
1	0	CIRCUIT SEUL	0	1
1	1	ETENDU	0	0
0	0	BOOTSTRAP	1	1
0	1	TEST	1	0

Tableau (III-3) : Etat des interrupteurs en fonction de la configuration du 68HC11F1.

Les borniers :

- celui de 3 comporte une entrée du Port E, la masse et le +5 volt. L'entrée peut être utilisée comme entrée pour le Convertisseur Analogique Numérique (C.A.N.). Elle est repérée CN1 dans le microcontrôleur.
- celui de 2 permet l'alimentation de la carte. Celle-ci peut être alimentée par une tension continue comprise entre 5 et 12V. La Borne de gauche (repérée en noire sur la photo) est la masse.

Attention : Toute inversion de polarité détruira le régulateur de tension de la carte et peut-être aussi le microcontrôleur. Lorsque la carte est alimentée correctement la LED rouge ø5 doit briller.

III.2.3. Module d'affichage (LCD):

Dans notre cas en utilise un écran de 4X20 (4lignes, 20 caractères). Réglage du contraste par un potentiomètre.

Description des différentes broches:

1 à 8 : A7 à A0 : Bus de donnés bidirectionnel 3 états

9 : **E** : Entrée de validation (ENABLE) ; elle est active sur front descendant. Il est important ici de tenir compte des 2 seuils durées de commutation importantes en pratique: lorsque **RS** et **R/** ont atteint un niveau stable, il doit se passer un intervalle de 140 ns minimum avant que la ligne "E" ne passe au niveau haut.

Cette ligne doit ensuite, être maintenue à ce niveau pendant 450 ns au moins et les données doivent rester tables sur le bus de données jusqu'au début du flanc descendant de ce signal. Lorsque E=0 les entrées du bus de l'afficheur sont à l'état haute impédance.

10 : R/$\overline{W}$: Lecture ou écriture,(READ/WRITE). Lorsque R/$\overline{W}$ est au niveau bas, l'afficheur est en mode "écriture", et lorsque R/$\overline{W}$ est au niveau haut, l'afficheur est en mode "lecture".

11 : **RS**: Sélection du registre. (REGISTER SELECT) : Grâce à cette broche, l'afficheur est capable de faire la différence entre une commande et une donnée. Un niveau bas (0) indique une commande et un niveau haut (1) indique une donnée.

12 : V_{LC} : Cette tension permet le réglage du contraste de l'afficheur (potentiomètre). C'est une tension négative et tournant autour de -1,5 V. (selon l'angle de visualisation)

13 : V_{CC} : + 5 V

14 : **GND** : Masse.

15 : (+) pour l'éclairage.

16 : (-) pour l'éclairage.

Remarque : la ligne 3 et la suite de la ligne 1 et la ligne 4 la suite de la ligne 2 au niveau adressage.

Adresse	gauche droite	invisible
haut : ligne 1	$00 ..... $0F	
bas : ligne 2	$40 .....$4F	
haut : ligne 3	$10 ..... $1F	$20 ....$3F
bas : ligne 4	$50 .....$5F	$60 ....$67

Tableau (III-4) : niveau d'adressage.

-L'adresse 00 correspond à la ligne du haut à gauche, 0F à droite.

-L'adresse 40 correspond à la ligne du bas à gauche, 4F à droite.

-La zone invisible correspond à la mémoire de l'afficheur.(48 caractères)

-Lorsqu'un caractère est inscrit à l'adresse $27, le caractère suivant apparaît à la ligne suivante

Principe de fonctionnement :

Le principe de fonctionnement est simple, pour visualiser un caractère, il suffit de le positionner sur le bus de donnée (codé en ASCII), de mettre RS au niveau haut (caractère), R/ au niveau bas (écriture), et de provoquer un front descendant sur l'entrée de validation de l'afficheur (E).

	0	1
ID	Déplacement vers la gauche	Déplacement vers la droite
S	L'affichage ne bouge pas	L'affichage est décalé
C	Absence du curseur	Visualisation du curseur
B	Absence de clignotement du caractère	Clignotement du caractère
S/C	Déplacement du curseur	Déplacement de l'affichage
R/L	Décalage vers la gauche	Décalage vers la droite
DL	4 bits	8 bits
N	Ligne du haut	2 lignes validées

Tableau (III-5) : Description des différentes commandes.

Le bit noté F permet de définir la matrice des caractères suivant le tableau ci dessous.

N	F	Nombre De Ligne	Matrice
0	0	1	5 * 7
0	1	1	5 * 10
1	*	2	5 * 7

Tableau (III-6) : Etat de matrice des caractères en fonction de bit F

Attention: Après chaque action sur l'afficheur, il faut vérifier que celui-ci est en mesure de traiter l'information suivante. Pour cela il faut aller lire l'adresse de la position du curseur (RS=0, R/ =1) et tester l'indicateur flag "Busy" (BF) (voir tableau ci-dessous). Lorsque BF=1 l'affichage est en cours et lorsque BF=0, l'affichage est terminé, on peut passer au caractère suivant

RS	R\ W	R B7	R B6	R B5	R B4	R B3	R B2	R B1	R B0	Description
0	0	0	0	0	0	0	0	0	1	Efface l'afficheur et met le curseur au caractère
0	0	0	0	0	0	0	0	1		Remet le curseur en haut a gauche
0	0	0	0	0	0	0	1	ID	S	Déplacement du curseur âpres apparition d un caractère
0	0	0	0	0	0	1	D	C	B	Opération d'affichage du curseur
0	0	0	0	0	1	DL	RL	-	-	Décalage du curseur ou de tout l'affichage
0	0	0	0	1	DL	-	F	-	-	Choix 4×8bits choix des lignes utilisées et de la taille des caractères
0	0	0	1	-	-	-	-	-	-	Adresse du générateur de caractères
0	0	BF	-	-	-	-	-	-	-	Adresse de la mémoire de données
0	1	-	-	-	-	-	-	-	-	Lecture du Busy flag et de l'adresse de la position du curseur
1	0	-	-	-	-	-	-	-	-	Ecrire des données dans la mémoire de donnée ou dans les caractères
0	1	-	-	-	-	-	-	-	-	Lire des données dans la mémoire de données ou
0	1	0	0	1	1	1	0	0	0	dans le générateur de caractéristique

Tableau (III-7) : le jeu d'instruction

Liste des composants de la carte de commande:

Composantes	quantité
CIMM74C922	1
Capacité chimique10µf	1
Capacité chimique1µf	1
Potentiomètre 10KΩ	1
Afficheur LCD 4×20	1
Clavier 16 touches	1
Bernier 2 pôles	1

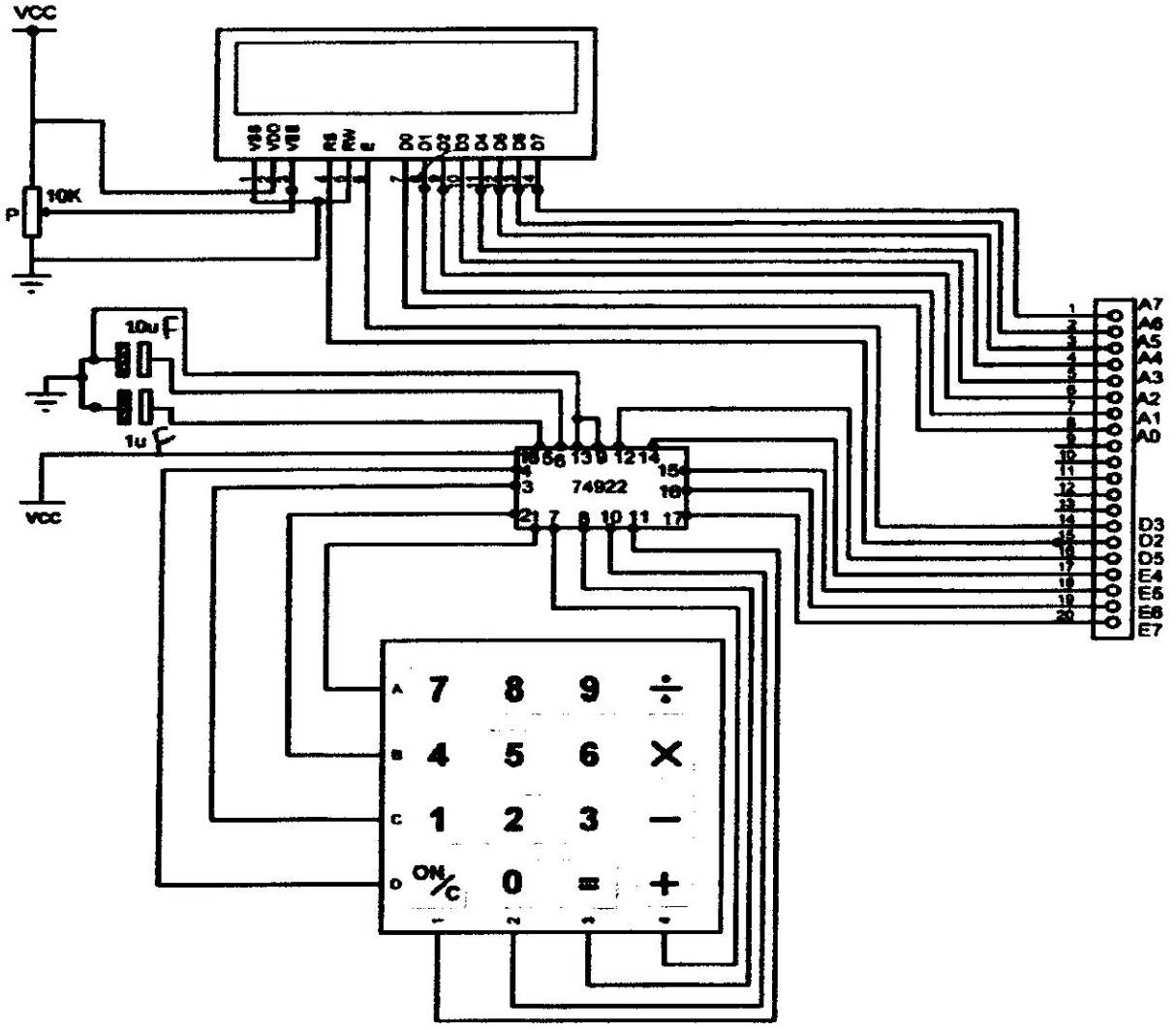


Figure (III-13) Schéma électrique de la carte de commande

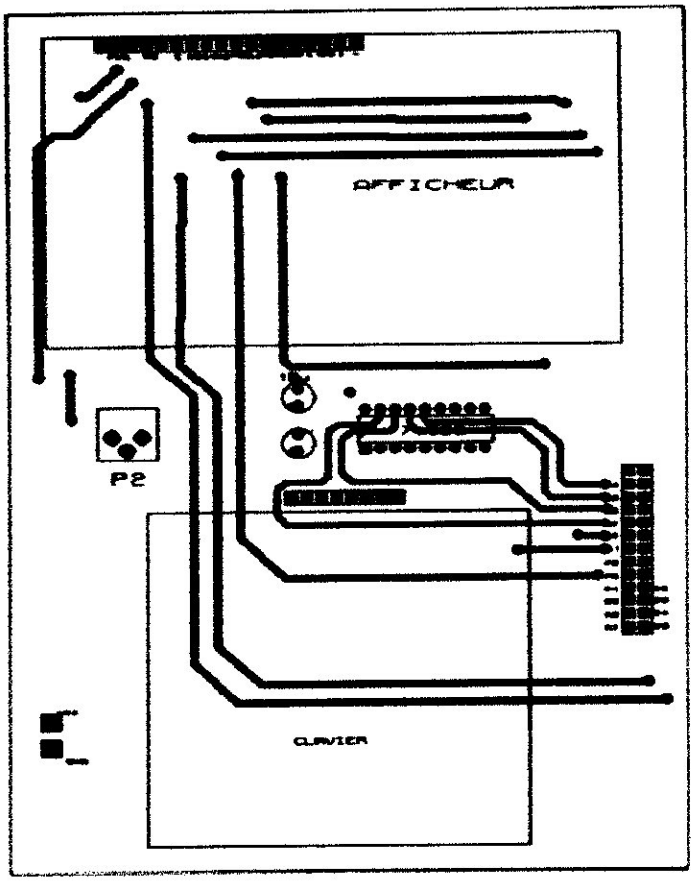


Figure (III-14) circuit imprimé de la carte de commande (coté composants)

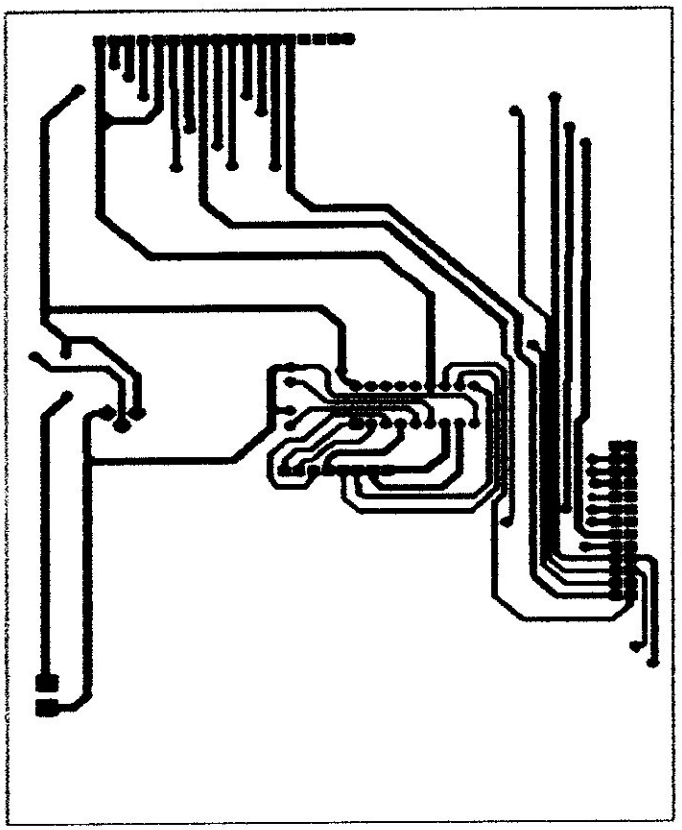


Figure (III-15) circuit imprimé de la carte de commande (coté cuivre)

III.2.3. Le synthétiseur MC145151P2 :

Présentation du MC145151P2 :

Le synthétiseur que nous avons réalise permis d'obtenir une fréquence stable puisque nous avons fait appel à une PLL associée à le VCO (**SN74S124N**) et un filtre passe bas($R_1R_2C_1C_2$). La PLL utilisée dans ce synthétiseur est le **MC145151P2**.Les signaux de commande de VCO seront fournis par le **MC145151P2**.

Le **MC145151P2** étant limite en fréquence d'entrée, un maximum de 25 MHz. le signal issu du VCO est predivise (Prescaling) par 10avant d'être applique aux diviseurs programmables contenus dans la PLL.

Le **MC145151P2** possède un oscillateur de référence très stable auquel doit être joint d'un quartz (broches 26, 27) sa fréquence sera divisée par un diviseur R possédant des valeurs codées qui peuvent être choisies. Ces fréquences divisées résultantes représentent le pas du synthétiseur. (Voir annexe 1)

Pour qu'un facteur N de division puisse être programme, des interrupteurs miniatures sont nécessaires. L'interrupteur étant ouvert, la broche associée reste en l'aire, Ceci correspond à un niveau logique '1

La sortie du comparateur de phase (PD_{out} broche 4) est appliquée à l'entrée du filtre passe-bas.

Broches d'entrée :

-Fréquence d'entrée f_{in} (broche 1)

-Codage du diviseur de référence R : RA_0 , RA_1 et RA_2 (broches : 5,6 et 7)

-Entrées des compteurs programmables N : N_0-N_{13} (broches: 11-20, 22-25)

-Entrée offset de transmission/réception des entrées du compteur N T/R : (broche 21)

-Entrée / sortie de l'oscillateur de référence **OSCin / OSCout :** (broches 26,27)

Broches de sortie :

-Sortie du détecteur de phase A : PDout (broche 4)

-Sortie de détecteur de phase B : Φ_R Φ_V (broches 8,9)

-Fréquence de sortie résultante $f_v = f_{in}/N$ (broche 10)

-Sortie détectrice de verrouillage LD (broche 28)

Tension d'alimentation :

-Tension d'alimentation positive V_{DD} (broche 3)

-Tension d'alimentation négative Vss (broche 2)

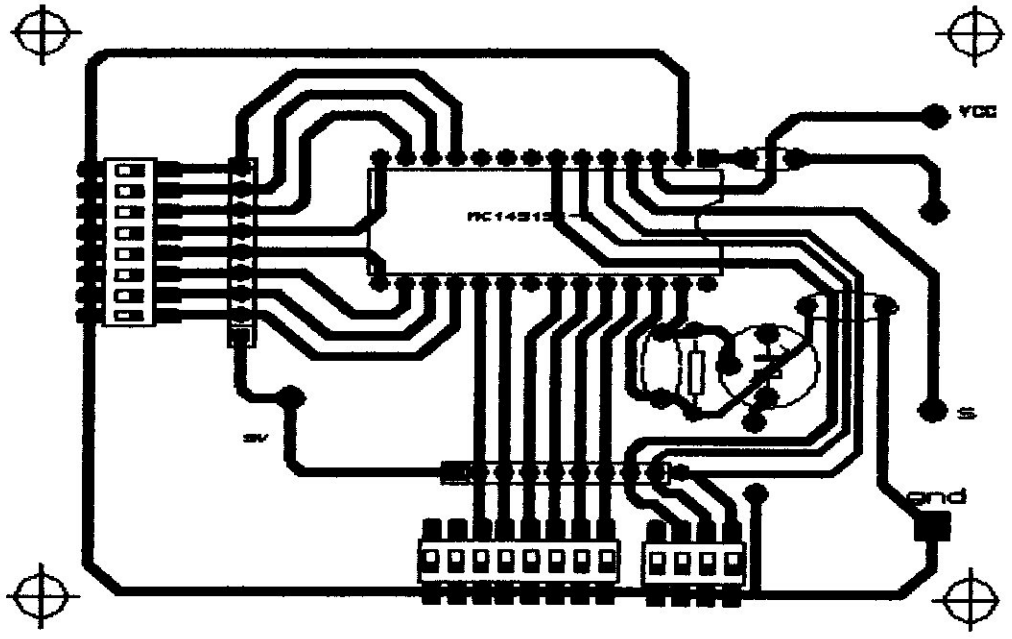


Figure (III-16) circuit imprimé de la carte de MC145151 (coté composants)

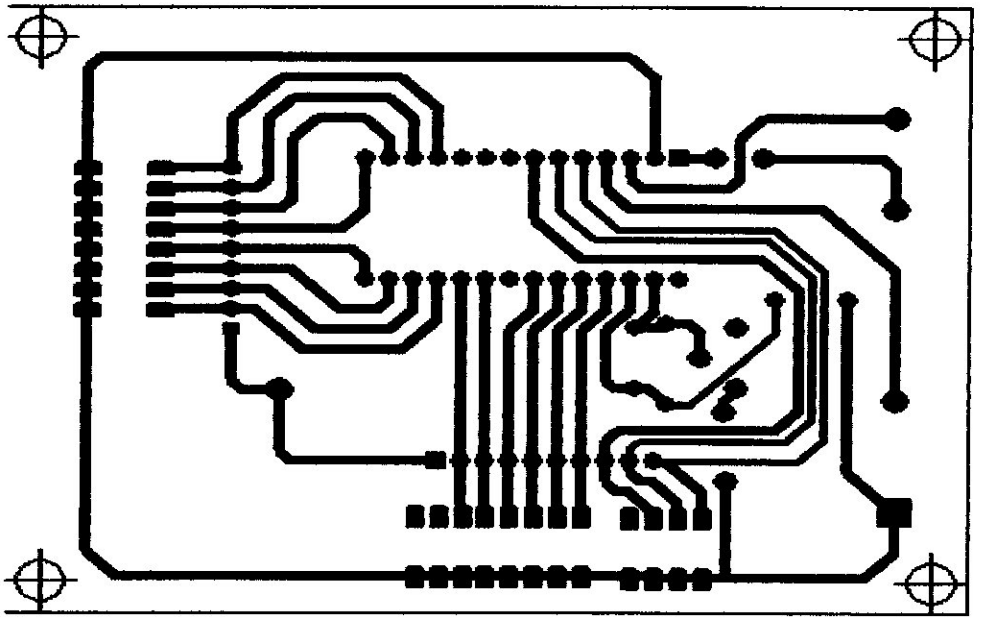


Figure (III-17) circuit imprimé de la carte de MC145151 (coté cuivre)

III.2.4. L'oscillateur commandé en tension (SN74S124N) :

Le **SN74S124N** étant double oscillateur commandé en tension (2 indépendants oscillateurs (16 broches)

Fréquence de sortie fixe ou variable par une capacité.

Il est limité en fréquence de sortie, un minimum de 0.12 Hz et un maximum de 85 MHz, spectre de fréquence de 1Hz jusqu'à 60 MHz.

La sortie du VCO (1Y broche 7) est appliquée à l'entrée du MC68HC11F1 (f_{in} (broche 1)).

Broches d'entrée :

-Fréquence de contrôle $1f_c$ (broche 2)

-Gamme de fréquence 1RNG (broche 3)

-Capacité 1CX1, 1CX2 (broches 4,5)

-Permis, si la broche permis vers le bas (vers la masse) la sortie fonctionne sinon ne fonctionne pas (broche6).

Broches de sortie :

-Sortie du VCO 1Y (broche 7).

Tension d'alimentation :

-Tension d'alimentation positive V_{CC} (broche 16).

-Tension d'alimentation négative GND (broche 9).

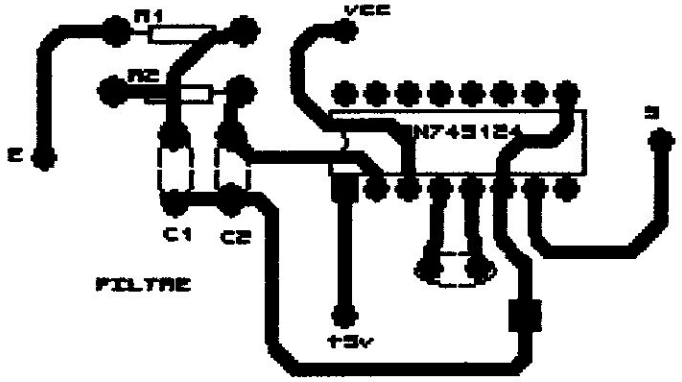


Figure (III-18) circuit imprimé de la carte de SN74S124N (coté composants)

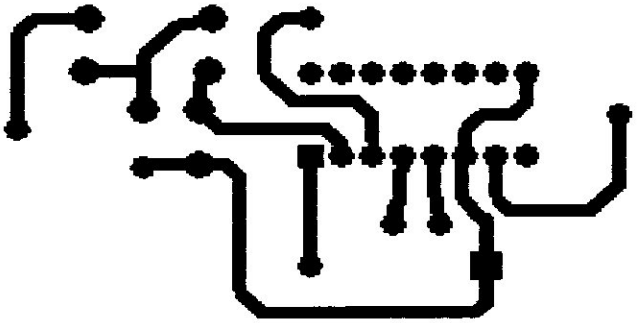


Figure (III-19) circuit imprimé de la carte de SN74S124N (coté cuivre)

III.3. Principe de fonctionnement du synthétiseur de fréquence :

Un oscillateur a quartz très stable fournit une frequence de référence f_e de 10MHz. Cette frequence est divisée par R à l'aide d'un diviseur programmable f_e/R, sera considérer comme le pas de frequence du synthétiseur.

Puisque ne trouve pas le VCO (POS-75) oscille dans une gamme de fréquences comprise entre 35 MHz et 70 MHz, (nous avons choisir ce circuit grâce à son propriétés et caractéristique (linéaire)).

Malheureusement, le fournisseur de l'unité de recherche (URDT) nous a pas encore ramène le circuit (POS-75) de France. A cause de sa nous avons choisir de travaillé avec le circuit SN74S124N qui n'est pas stable et correctement linéaire.

Les deux fréquences présentes aux entrées du comparateur de phase doivent être très voisines. Pour que l'erreur soit minime et le synthétiseur verrouille. L'erreur entre les deux frequence sera traduite par une tension positive ou négative à la sortie du comparateur qui sera appliquée à l'entrée du VCO. Ce dernier ajustera sa frequence, car une nouvelle tension vient d'alimenter L'erreur de phase devra être nulle au moment ou le synthétiseur sera verrouillé.

$$f_s = N / R f_e$$

Puisque le pas du synthétiseur est très stable et qu'on dispose dune bande de fréquences a la sortie du VCO limité par f_{max} et f_{min} cela nous mène a choisir deux facteurs de division N_{max} et N_{min} pour que la frequence du VCO reste incluse dans la plage de maintien du verrouillage, et ceci a été l'objet de notre travail.

Le microcontrôleur 68HC11doit être converti à sa valeur binaire (N). Ce compteur programmable est manipule exterieument par des interrupteurs a deux états sous la forme de swisch miniature regroupes dans 2 boîtier. Chaque interrupteur possède le potentiel masse sur une broche Vss et le potentiel alimentation V_{DD} sur l'autre. Des résistances sont employées afin d'éviter le court-circuit entre les deux broches, puis en doit remplacer les swisch par le microcontrôleur.

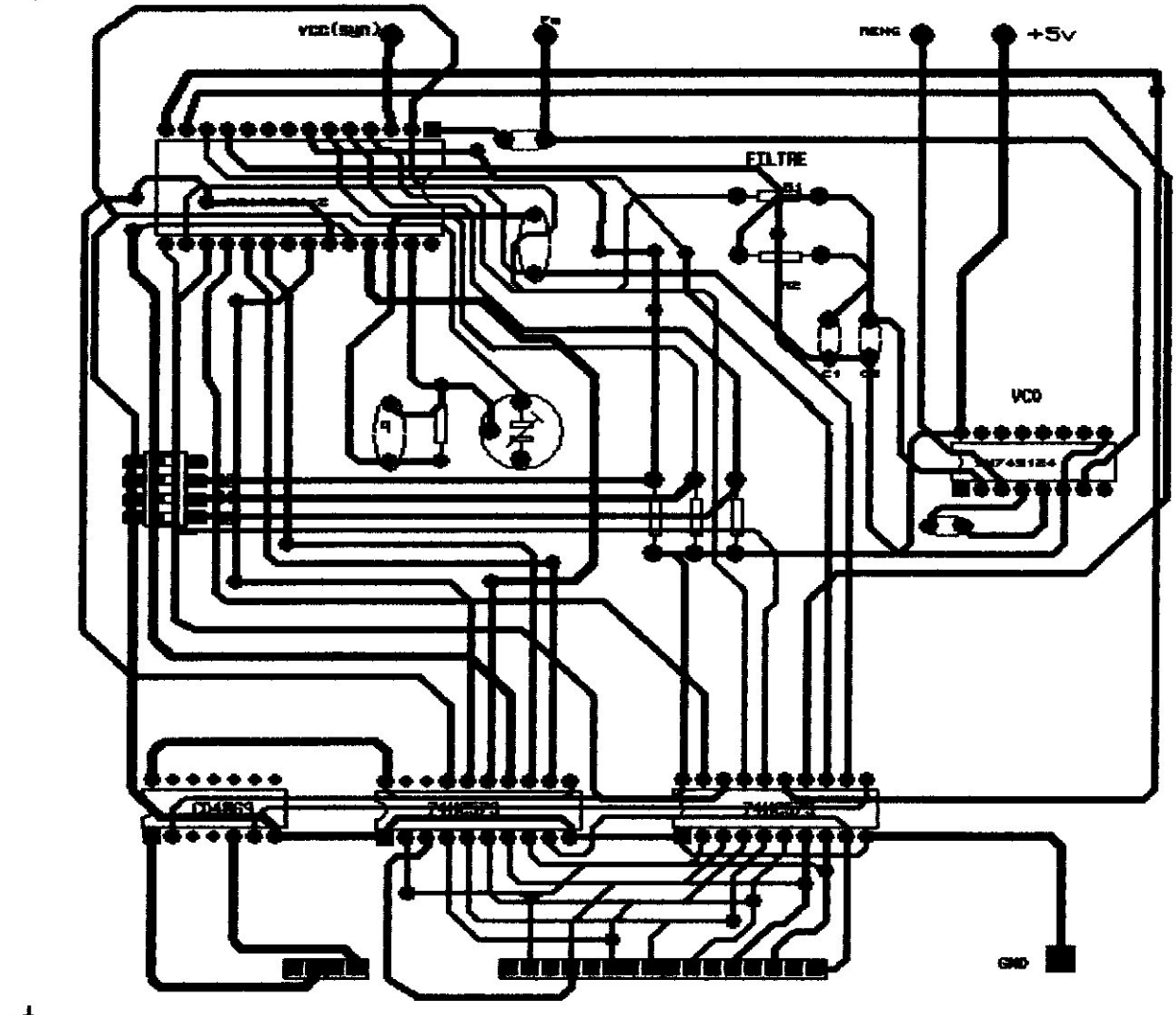


Figure (III-20) circuit imprimé de la carte de synthétiseur de frequence (coté composants)

Puisque la fréquence d'entrée de MC145151 est limitée à 25 MHz, nous avons obligé de travailler sur une gamme de fréquence inférieure à 25 MHz.

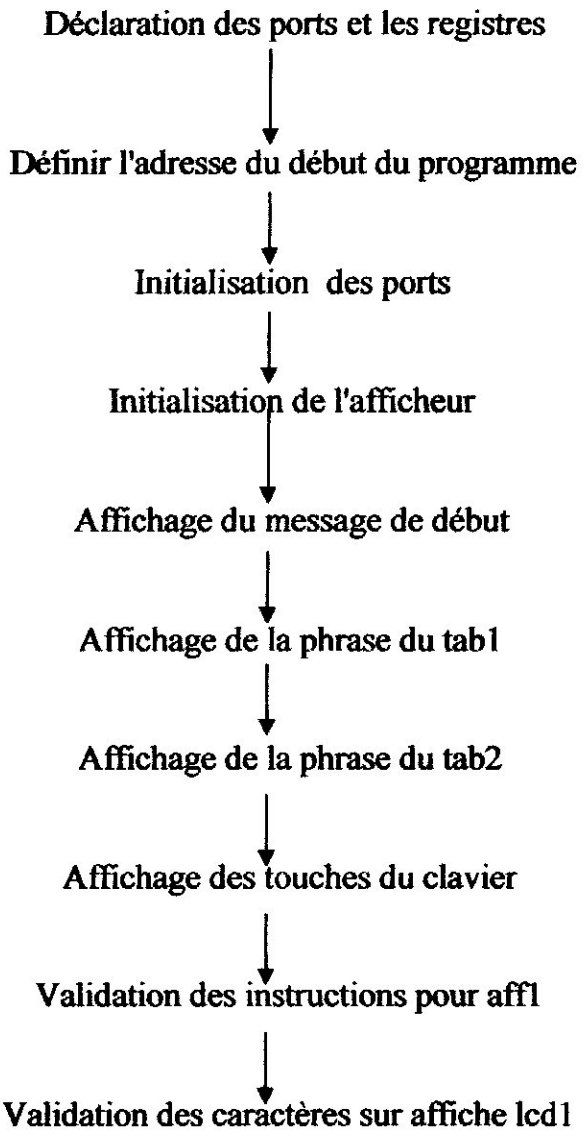
On a choisir une gamme de 10-25 MHz, avec un pas qui est égale:

$$Pas = 10MHz/256 = 39KHz.$$

Et N sera variable de $10.14.10^6/39.10^3 = 260$ à $24.96.10^6/50.10^3 = 640$.

Donc on a : 640-260= 380 canaux.

III.4. Les différentes étapes de programme de commande par microcontrôleur 68HC11F1 :



Conclusion générale:

Ce modeste travail nous a permis de se familiariser avec le principe de fonctionnement du synthétiseur de fréquence.

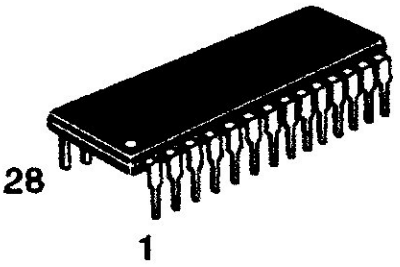
Le synthétiseur de fréquence st utilise pour générer une gamme de fréquences avec un pas fixe et stable.

Pour la réalisation du synthétiseur, nous avons utilise plusieurs circuits intégrés : un circuit MC145151 qui est utilise comme un diviseur d'entrée et de retour et un comparateur de phase, un circuit SN74S124N qui est utilise comme un oscillateur commande en tension. Pour commander la fréquence de sortie, nous avons utilise une carte de microcontrôleur MC68HC11F1.

La difficulté principale dans ce type de réalisations est la stabilité des fréquences synthétisées. Cette dernière est principalement liée aux bruits génères par la boucle et aux adaptations d'impédances entre ses différents étages.

Cette partie pratique, que nous avons trouvée très intéressante, riche en informations surtout dans le domaine spectral, n'aurait pas eu lieu sans l'analyseur de spectre dont dispose le laboratoire. Ce domaine VHF est très passionnant puisqu'on désire monter en fréquence. Mais en contrepartie on est confronté avec des problèmes de parasites qu'il faut les minimiser.

ANNEXE I



MC145151

MC145151-2

PLL Frequency Synthesizers (CMOS)

Package Information

P Suffix
Plastic DIP
Case 710

DW Suffix
SOG Package
Case 751F

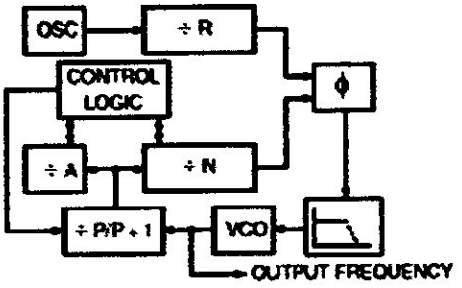
Ordering Information

Device	Package
MC145151P2	Plastic DIP
MC145151DW2	SOG Package

The devices described in this document are typically used as low-power, phase-locked loop frequency synthesizers. When combined with an external low-pass filter and voltage-controlled oscillator, these devices can provide all the remaining functions for a PLL frequency synthesizer operating up to the device's frequency limit. For higher VCO frequency operation, a down mixer or a prescaler can be used between the VCO and the synthesizer IC.

These frequency synthesizer chips can be found in the following and other applications:

CATV	TV Tuning
AM/FM Radios	Scanning Receivers
Two-Way Radios	Amateur Radio



1 MC145151-2 Parallel-Input (Interfaces with Single-Modulus Prescalers)

The MC145151-2 is programmed by 14 parallel-input data lines for the N counter and three input lines for the R counter. The device features consist of a reference oscillator, selectable-reference divider, digital-phase detector, and 14-bit programmable divide-by-N counter.

The MC145151-2 is an improved-performance drop-in replacement for the MC145151-1. The power consumption has decreased and ESD and latch-up performance have improved.

1.1 Features

- Operating Temperature Range: - 40 to 85°C
- Low Power Consumption Through Use of CMOS Technology
- 3.0 to 9.0 V Supply Range
- On- or Off-Chip Reference Oscillator Operation
- Lock Detect Signal
- ÷ N Counter Output Available
- Single Modulus/Parallel Programming
- 8 User-Selectable ÷ R Values: 8, 128, 256, 512, 1024, 2048, 2410, 8192
- ÷ N Range = 3 to 16383
- "Linearized" Digital Phase Detector Enhances Transfer Function Linearity
- Two Error Signal Options: Single-Ended (Three-State) or Double-Ended
- Chip Complexity: 8000 FETs or 2000 Equivalent Gates

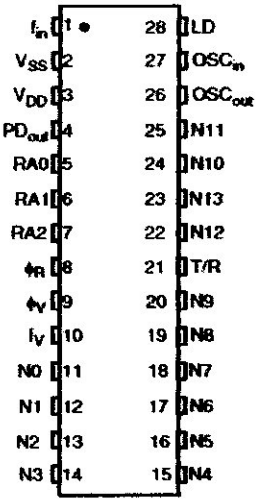
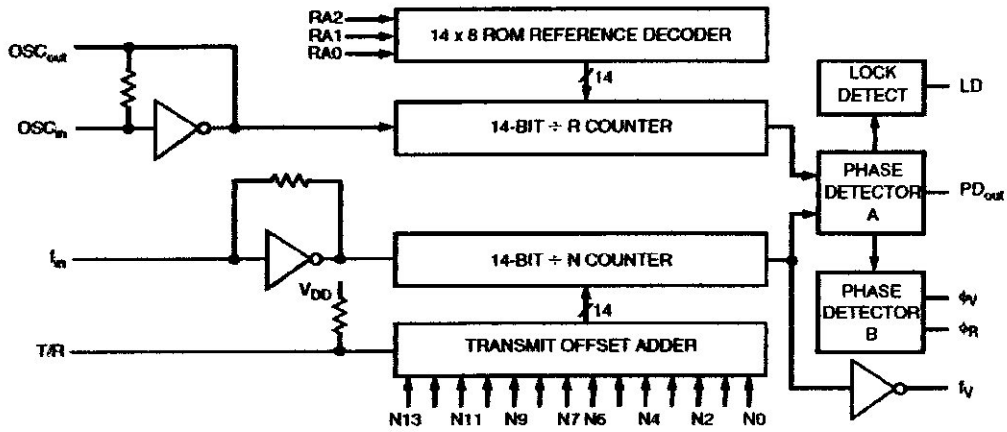


Figure 1. MC145151-2 Pin Assignment



NOTE: N0 - N13 inputs and inputs RA0, RA1, and RA2 have pull-up resistors that are not shown.

Figure 2. MC145151-2 Block Diagram

1.2 Pin Descriptions

1.2.1 Input Pins

f_{in}
Frequency Input (Pin 1)

Input to the ÷N portion of the synthesizer. f_{in} is typically derived from loop VCO and is ac coupled into the device. For larger amplitude signals (standard CMOS logic levels) dc coupling may be used.

RA0 - RA2
Reference Address Inputs (Pins 5, 6, 7)

These three inputs establish a code defining one of eight possible divide values for the total reference divider, as defined by the table below.

Pull-up resistors ensure that inputs left open remain at a logic 1 and require only a SPST switch to alter data to the zero state.

Reference Address Code			Total Divide Value
RA2	RA1	RA0	
0	0	0	8
0	0	1	128
0	1	0	256
0	1	1	512
1	0	0	1024
1	0	1	2048
1	1	0	2410
1	1	1	8192

N0 - N11
N Counter Programming Inputs (Pins 11 - 20, 22 - 25)

These inputs provide the data that is preset into the ÷N counter when it reaches the count of zero. N0 is the least significant and N13 is the most significant. Pull-up resistors ensure that inputs left open remain at a logic 1 and require only an SPST switch to alter data to the zero state.

T/R
Transmit/Receive Offset Adder Input (Pin 21)

This input controls the offset added to the data provided at the N inputs. This is normally used for offsetting the VCO frequency by an amount equal to the IF frequency of the transceiver. This offset is fixed at 856 when T/R is low and gives no offset when T/R is high. A pull-up resistor ensures that no connection will appear as a logic 1 causing no offset addition.

OSC_{in}, OSC_{out}
Reference Oscillator Input/Output (Pins 27, 26)

These pins form an on-chip reference oscillator when connected to terminals of an external parallel resonant crystal. Frequency setting capacitors of appropriate value must be connected from OSC_{in} to ground and OSC_{out} to ground. OSC_{in} may also serve as the input for an externally-generated reference signal. This signal is typically ac coupled to OSC_{in}, but for larger amplitude signals (standard CMOS logic levels) dc coupling may also be used. In the external reference mode, no connection is required to OSC_{out}.

1.2.2 Output Pins

PD_{out}
Phase Detector A Output (Pin 4)

Three-state output of phase detector for use as loop-error signal. Double-ended outputs are also available for this purpose (see ϕ_V and ϕ_R).

Frequency $f_V > f_R$ or f_V Leading: Negative Pulses

Frequency $f_V < f_R$ or f_V Lagging: Positive Pulses

Frequency $f_V = f_R$ and Phase Coincidence: High-Impedance State

ϕ_R, ϕ_V
Phase Detector B Outputs (Pins 8, 9)

These phase detector outputs can be combined externally for a loop-error signal. A single-ended output is also available for this purpose (see PD_{out}).

If frequency f_V is greater than f_R or if the phase of f_V is leading, then error information is provided by ϕ_V pulsing low. ϕ_R remains essentially high.

If the frequency f_V is less than f_R or if the phase of f_V is lagging, then error information is provided by ϕ_R pulsing low. ϕ_V remains essentially high.

If the frequency of $f_V = f_R$ and both are in phase, then both ϕ_V and ϕ_R remain high except for a small minimum time period when both pulse low in phase.

f_V
N Counter Output (Pin 10)

This is the buffered output of the ÷ N counter that is internally connected to the phase detector input. With this output available, the ÷ N counter can be used independently.

LD
Lock Detector Output (Pin 28)

Essentially a high level when loop is locked (f_R, f_V of same phase and frequency). Pulses low when loop is out of lock.

1.2.3 Power Supply

V_{DD}
Positive Power Supply (Pin 3)

The positive power supply potential. This pin may range from + 3 to + 9 V with respect to V_{SS}.

V_{SS}
Negative Power Supply (Pin 2)

The most negative supply potential. This pin is usually ground.

1.3 Typical Applications

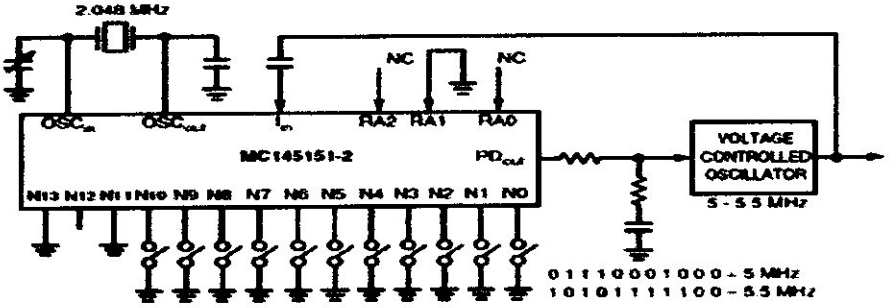


Figure 3. 5 MHz to 5.5 MHz Local Oscillator Channel Spacing = 1 kHz

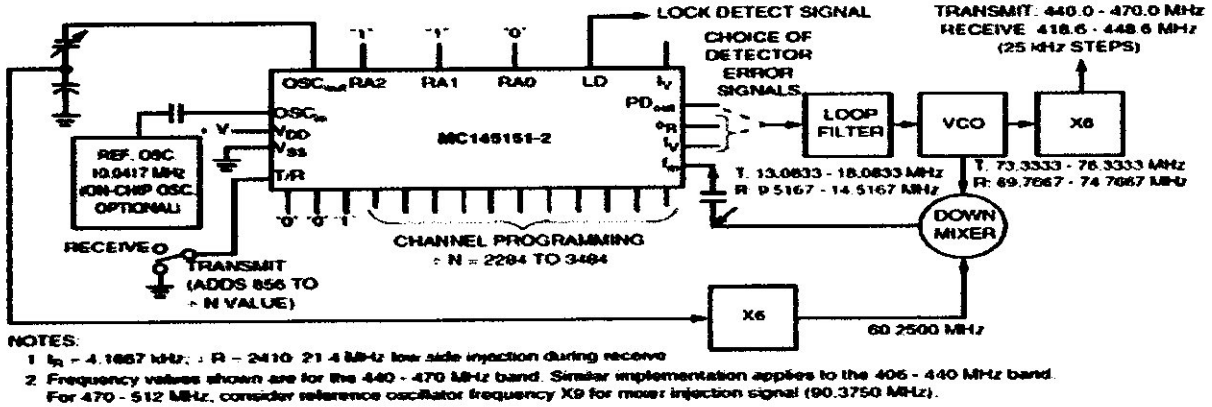


Figure 4. Synthesizer for Land Mobile Radio UHF Bands

MC145151-2 Electrical Characteristics

These devices contain protection circuitry to protect against damage due to high static voltages or electric fields. However, precautions must be taken to avoid applications of any voltage higher than maximum rated voltages to these high-impedance circuits. For proper operation, V_{in} and V_{out} should be constrained to the range $V_{SS} \le (V_{in}$ or $V_{out}) \le V_{DD}$ except for SW1 and SW2.

SW1 and SW2 can be tied through external resistors to voltages as high as 15 V, independent of the supply voltage.

Unused inputs must always be tied to an appropriate logic voltage level (e.g., either V_{SS} or V_{DD}), except for inputs with pull-up devices. Unused outputs must be left open.

Table 1. Maximum Ratings[1]
(Voltages Referenced to VSS)

Ratings	Symbol	Value	Unit
DC Supply Voltage	V_{DD}	- 0.5 to + 10.0	V
Input or Output Voltage (DC or Transient) except SW1, SW2	V_{in}, V_{out}	- 0.5 to V_{DD} + 0.5	V
Output Voltage (DC or Transient), SW1, SW2 ($R_{pull-up}$ = 4.7 kΩ)	V_{out}	- 0.5 to + 15	V
Input or Output Current (DC or Transient), per Pin	I_{in}, I_{out}	± 10	mA
Supply Current, V_{DD} or V_{SS} Pins	I_{DD}, I_{SS}	± 30	mA
Power Dissipation, per Package†	P_D	500	mW
Storage Temperature	T_{stg}	-65 to + 150	°C
Lead Temperature, 1 mm from Case for 10 seconds	T_L	260	°C

[1] Maximum Ratings are those values beyond which damage to the device may occur. Functional operation should be restricted to the limits in the Electrical Characteristics tables or Pin Descriptions section.

† Power Dissipation Temperature Derating:
Plastic DIP: - 12 mW/°C from 65 to 85°C
SOG Package: - 7 mW/°C from 65 to 85°C

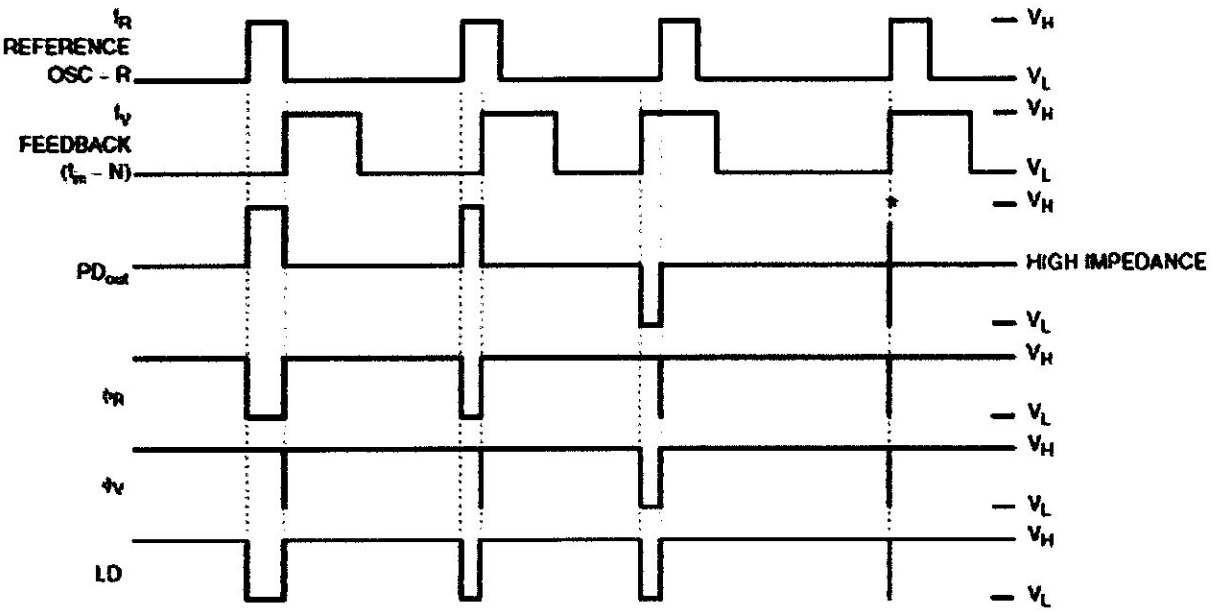
Table 2. Electrical Characteristics
(Voltages Referenced to V_{SS})

Symbol	Parameter	Test Condition	V_{DD} V	-40°C		25°C		85°C		Unit
				Min	Max	Min	Max	Min	Max	
V_{DD}	Power Supply Voltage Range		-	3	9	3	9	3	9	V
I_{ss}	Dynamic Supply Current	$f_{in} = OSC_{in} = 10$ MHz, 1 V p-p ac coupled sine wave R = 128, A = 32, N = 128	3 5 9	- - -	3.5 10 30	- - -	3 7.5 24	- - -	3 7.5 24	mA
I_{SS}	Quiescent Supply Current (not including pull-up current component)	$V_{in} = V_{DD}$ or V_{SS} $I_{out} = 0$ µA	3 5 9	- - -	800 1200 1600	- - -	800 1200 1600	- - -	1600 2400 3200	µA
V_{in}	Input Voltage - f_{in}, OSC_{in}	Input ac coupled sine wave	-	500	-	500	-	500	-	mV p-p
V_{IL}	Low-Level Input Voltage - f_{in}, OSC_{in}	$V_{out} \leq 2.1$ V Input dc $V_{out} \leq 3.5$ V coupled $V_{out} \leq 6.3$ V square wave	3 5 9	- - -	0 0 0	- - -	0 0 0	- - -	0 0 0	V
V_{IH}	High-Level Input Voltage - f_{in}, OSC_{in}	$V_{out} \geq 0.9$ V Input dc $V_{out} \geq 1.5$ V coupled $V_{out} \geq 2.7$ V square wave	3 5 9	3.0 5.0 9.0	- - -	3.0 5.0 9.0	- - -	3.0 5.0 9.0	- - -	V
V_{IL}	Low-Level Input Voltage - except f_{in}, OSC_{in}		3 5 9	- - -	0.9 1.5 2.7	- - -	0.9 1.5 2.7	- - -	0.9 1.5 2.7	V
V_{IH}	High-Level Input Voltage - except f_{in}, OSC_{in}		3 5 9	2.1 3.5 6.3	- - -	2.1 3.5 6.3	- - -	2.1 3.5 6.3	- - -	V
I_{in}	Input Current (f_{in}, OSC_{in})	$V_{in} = V_{DD}$ or V_{SS}	9	± 2	± 50	± 2	± 25	± 2	± 22	µA
I_{IL}	Input Leakage Current (Data, CLK, ENB - without pull-ups)	$V_{in} = V_{SS}$	9	-	- 0.3	-	- 0.1	-	- 1.0	µA
I_{IH}	Input Leakage Current (all inputs except f_{in}, OSC_{in})	$V_{in} = V_{DD}$	9	-	0.3	-	0.1	-	1.0	µA

Table 3. Frequency Characteristics
(Voltages References to V_{SS}. C_L = 50 pF. Input $t_r = t_f$ = 10 ns unless otherwise indicated)

Symbol	Parameter	Test Condition	V_{DD} V	-40°C		25°C		85°C		Unit
				Min	Max	Min	Max	Min	Max	
f_i	Input Frequency (f_{in}, OSC_{in})	R ≥ 8, A ≥ 0, N ≥ 8 V_{in} = 500 mV p-p ac coupled sine wave	3 5 9	- - -	6 15 15	- - -	6 15 15	- - -	6 15 15	MHz
		R ≥ 8, A ≥ 0, N ≥ 8 V_{in} = 1 V p-p ac coupled sine wave	3 5 9	- - -	12 22 25	- - -	12 20 22	- - -	7 20 22	MHz
		R ≥ 8, A ≥ 0, N ≥ 8 V_{in} = V_{DD} to V_{SS} dc coupled square wave	3 5 9	- - -	13 25 25	- - -	12 22 25	- - -	8 22 25	MHz

Note: Usually, the PLL's propagation delay from f_{in} to MC plus the setup time of the prescaler determines the upper frequency limit of the system. The upper frequency limit is found with the following formula: $f = P/(t_p + t_{set})$ where f is the upper frequency in Hz. P is the lower of the dual modulus prescaler ratios, t_p is the f_{in} to MC propagation delay in seconds, and t_{set} is the prescaler setup time in seconds. For example, with a 5 V supply, the f_{in} to MC delay is 70 ns. If the MC12028A prescaler is used, the setup time is 16 ns. Thus, if the 64/65 ratio is utilized, the upper frequency limit is $f = P/(t_p + t_{set}) = 64/(70 + 16) = 744$ MHz.



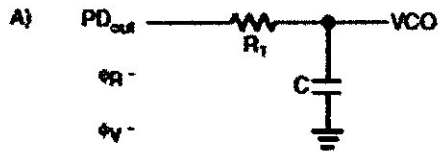
V_H = High Voltage Level.
V_L = Low Voltage Level.
* At this point, when both f_R and f_V are in phase, the output is forced to near mid-supply.
NOTE: The PD_{out} generates error pulses during out-of-lock conditions. When locked in phase and frequency the output is high and the voltage at this pin is determined by the low-pass filter capacitor.

Figure 5. Phase Detector/Lock Detector Output Waveforms

2 Design Considerations

2.1 Phase-Locked Loop — Low-Pass Filter Design

A)

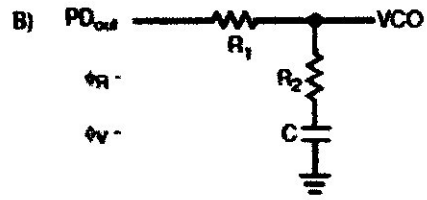


$$\omega_n = \sqrt{\frac{K_\phi K_{VCO}}{NR_1C}}$$

$$\zeta = \frac{N\omega_n}{2K_\phi K_{VCO}}$$

$$F(s) = \frac{1}{R_1sC + 1}$$

B)

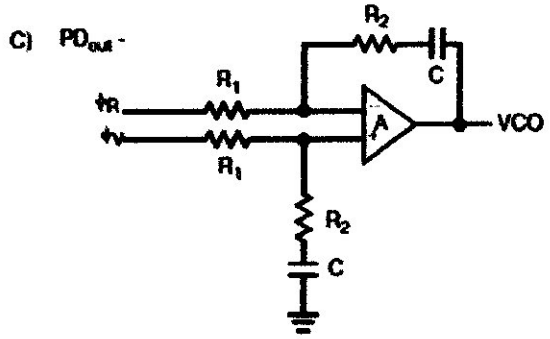


$$\omega_n = \sqrt{\frac{K_\phi K_{VCO}}{NC(R_1 + R_2)}}$$

$$\zeta = 0.5\,\omega_n\left(R_2C + \frac{N}{K_\phi K_{VCO}}\right)$$

$$F(s) = \frac{R_2sC+1}{(R_1+R_2)sC+1}$$

C)



$$\omega_n = \sqrt{\frac{K_\phi K_{VCO}}{NCR_1}}$$

$$\zeta = \frac{\omega_n R_2 C}{2}$$

Assuming gain A is very large, then:

$$F(s) = \frac{R_2sC + 1}{R_1sC}$$

NOTE: Sometimes R_1 is split into two series resistors, each $R_1 \div 2$. A capacitor C_C is then placed from the midpoint to ground to further filter ϕ_V and ϕ_R. The value of C_C should be such that the corner frequency of this network does not significantly affect ω_n.
The ϕ_R and ϕ_V outputs swing rail-to-rail. Therefore, the user should be careful not to exceed the common mode input range of the op amp used in the combiner/loop filter.

Definitions:

N = Total Division Ratio in feedback loop

K_ϕ (Phase Detector Gain) = $V_{DD}/4\pi$ for PD_{out}

K_ϕ (Phase Detector Gain) = $V_{DD}/2\pi$ for ϕ_V and ϕ_R

K_{VCO} (VCO Gain) = $\frac{2\pi\Delta f_{VCO}}{\Delta V_{VCO}}$

for a typical design ω_n (Natural Frequency) = $\frac{2\pi f}{10}$ (at phase detector input).

Damping Factor: $\zeta = 1$

Figure 6 . Phase-Locked Loop — Low-Pass Filter Design

2.2 Dual-Modulus Prescaling

2.2.1 Overview

The technique of dual-modulus prescaling is well established as a method of achieving high performance frequency synthesizer operation at high frequencies. Basically, the approach allows relatively low-frequency programmable counters to be used as high-frequency programmable counters with speed capability of several hundred MHz. This is possible without the sacrifice in system resolution and performance that results if a fixed (single-modulus) divider is used for the prescaler.

In dual-modulus prescaling, the lower speed counters must be uniquely configured. Special control logic is necessary to select the divide value P or P + 1 in the prescaler for the required amount of time (see modulus control definition).

2.2.2 Design Guidelines

The system total divide value, N_{total} (N_T) will be dictated by the application:

$$N_T = \frac{\text{frequency into the prescaler}}{\text{frequency into the phase detector}} = N \bullet P + A$$

N is the number programmed into the ÷ N counter, A is the number programmed into the ÷ A counter, P and P + 1 are the two selectable divide ratios available in the dual-modulus prescalers. To have a range of N_T values in sequence, the ÷ A counter is programmed from zero through P - 1 for a particular value N in the ÷ N counter. N is then incremented to N − 1 and the ÷ A is sequenced from 0 through P - 1 again.

There are minimum and maximum values that can be achieved for N_T. These values are a function of P and the size of the ÷ N and ÷ A counters.

The constraint $N \geq A$ always applies. If $A_{max} = P - 1$, then $N_{min} \geq P - 1$. Then $N_{Tmin} = (P - 1) P - A$ or $(P - 1) P$ since A is free to assume the value of 0.

$$N_{Tmax} = N_{max} \bullet P - A_{max}$$

To maximize system frequency capability, the dual-modulus prescaler output must go from low to high after each group of P or P + 1 input cycles. The prescaler should divide by P when its modulus control line is high and by P + 1 when its MC is low.

For the maximum frequency into the prescaler (f_{VCOmax}), the value used for P must be large enough such that:

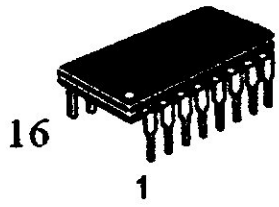
1. f_{VCOmax} divided by P may not exceed the frequency capability of f_{in} (input to the ÷ N and ÷ A counters).
2. The period of f_{VCO} divided by P must be greater than the sum of the times:
   a) Propagation delay through the dual-modulus prescaler.
   b) Prescaler setup or release time relative to its MC signal.
   c) Propagation time from f_{in} to the MC output for the frequency synthesizer device.

A sometimes useful simplification in the programming code can be achieved by choosing the values for P of 8, 16, 32, or 64. For these cases, the desired value of N_T results when N_T in binary is used as the program code to the ÷ N and ÷ A counters treated in the following manner:

1. Assume the ÷ A counter contains "a" bits where $2^a \geq P$.
2. Always program all higher order ÷ A counter bits above "a" to 0.
3. Assume the ÷ N counter and the ÷ A counter (with all the higher order bits above "a" ignored) combined into a single binary counter of n + a bits in length (n = number of divider stages in the ÷ N counter). The MSB of this "hypothetical" counter is to correspond to the MSB of ÷ N and the LSB is to correspond to the LSB of ÷ A. The system divide value, N_T, now results when the value of N_T in binary is used to program the "new" n + a bit counter.

By using the two devices, several dual-modulus values are achievable.

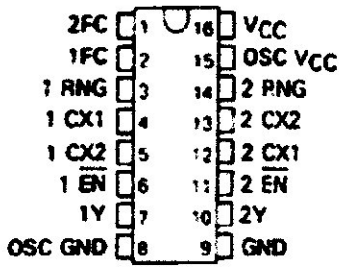
ANNEXE II



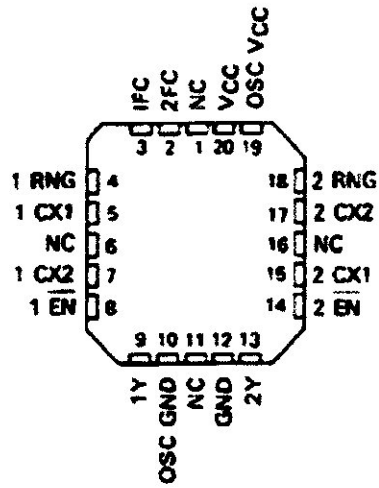
SN74S124

SN74S124 DUAL VOLTAGE-CONTROLLED OSCILLATORS

- **Output Frequency Set by Single External Component:**
  Capacitor for Fixed- or Variable-Frequency Operation
- **Separate Supply Voltage Pins for Isolation of Frequency Control Inputs and Oscillators from Output Circuitry**
- **Highly Stable Operation over Specified Temperature and/or Supply Voltage Ranges**
- **Typical f_{max} ..... 85 MHz**
  Typical Power Dissipation ..... 525 mW
- **Frequency Spectrum . . . 1 Hz to 60 MHz**



SN54S124 . . . FK PACKAGE
(TOP VIEW)



NC - No internal connection

lescription

The 'S124 features two independent voltage-controlled oscillators (VCO) in a single monolithic chip. The output frequency of each VCO is established by an external capacitor in combination with two voltage-sensitive inputs, one for frequency range and one for frequency control. These inputs can be used to vary the output frequency as shown under typical characteristics. These highly stable oscillators can be set to operate at any frequency typically between 0.12 hertz and 85 megahertz.

While the enable input is low, the output is enabled.
While the enable input is high, the output is high.

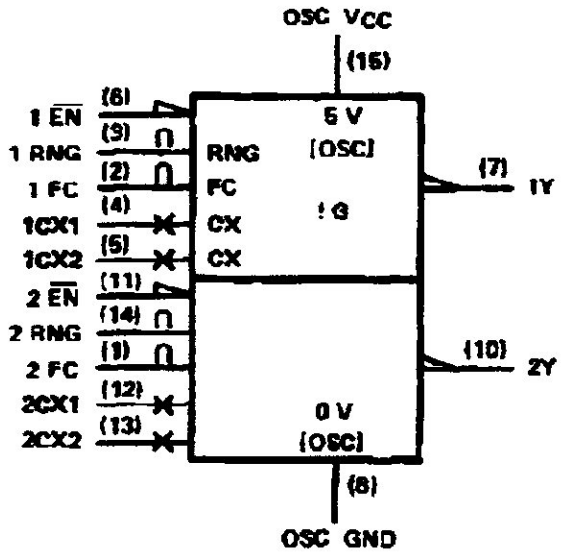
These devices can operate from a single 5-volt supply. However, one set of supply-voltage and ground pins (V_{CC} and GND) is provided for the enable, synchronization-gating, and output sections, and a separate set ($\ominus V_{CC}$ and $\ominus$GND) is provided for the oscillator and associated frequency-control circuits so that effective isolation can be accomplished in the system.

The enable input of these devices starts or stops the output pulses when it is low or high, respectively. The internal oscillator of the 'S124 is started and stopped by the enable input. The enable input is one standard load; it and the buffered output operate at standard Schottky-clamped TTL levels.

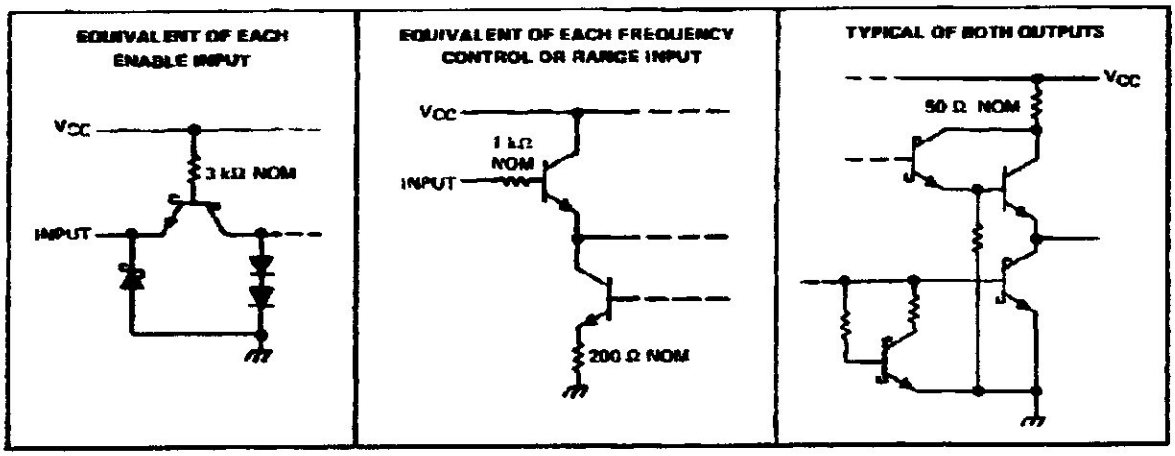
The pulse synchronization-gating section ensures that the first output pulse is neither clipped nor extended. Duty cycle of the square-wave output is fixed at approximately 50 percent.

The SN54S124 is characterized for operation over the full military temperature range of −55°C to 125°C; the SN74S124 is characterized for operation from 0°C to 70°C.

logic symbol†



schematics of inputs and outputs



absolute maximum ratings over operating free-air temperature range (unless otherwise noted)

Supply voltage, V_{CC} (See Notes 1 and 2)	7V
Input voltage	5.5 V
Operating free-air temperature range: SN54S124	−55°C to 125°C
SN74S124	0°C to 70°C
Storage temperature range	−65°C to 150°C

ANNEXE III

MC68HC11F1

Technical Summary
8-Bit Microcontroller

1 Introduction

The MC68HC11F1 is a high-performance member of the M68HC11 family of microcontroller units (MCUs). High-speed expanded systems required the development of this chip with its extra input/output (I/O) ports, an increase in static RAM (one Kbyte), internal chip-select functions, and a non-multiplexed bus which reduces the need for external interface logic. The timer, serial I/O, and analog-to-digital (A/D) converter enable functions similar to those found in the MC68HC11E9.

The MC68HC11FC0 is a low cost, high-speed derivative of the MC68HC11F1. It does not have EEPROM or an analog-to-digital converter. The MC68HC11FC0 can operate at bus speeds as high as six MHz.

This document provides a brief overview of the structure, features, control registers, packaging information and availability of the MC68HC11F1 and MC68HC11FC0. For detailed information on M68HC11 subsystems, programming and the instruction set, refer to the *M68HC11 Reference Manual* (M68HC11RM/AD).

1.1 Features

- MC68HC11 CPU
- 512 Bytes of On-Chip Electrically Erasable Programmable ROM (EEPROM) with Block Protect (MC68HC11F1 only)
- 1024 Bytes of On-Chip RAM (All Saved During Standby)
- Enhanced 16-Bit Timer System
  - — 3 Input Capture (IC) Functions
  - — 4 Output Compare (OC) Functions
  - — 4th IC or 5th OC (Software Selectable)
- On-Board Chip-Selects with Clock Stretching
- Real-Time Interrupt Circuit
- 8-Bit Pulse Accumulator
- Synchronous Serial Peripheral Interface (SPI)
- Asynchronous Nonreturn to Zero (NRZ) Serial Communication Interface (SCI)
- Power saving STOP and WAIT Modes
- Eight-Channel 8-Bit A/D Converter (MC68HC11F1 only)
- Computer Operating Properly (COP) Watchdog System and Clock Monitor
- Bus Speeds of up to 6 MHz for the MC68HC11FC0 and up to 5 MHz for the MC68HC11F1
- 68-Pin PLCC (MC68HC11F1 only), 64-Pin QFP (MC68HC11FC0 only), and 80-pin TQFP package options

1.2 Ordering Information

The following devices all have 1024 bytes of RAM. In addition, the MC68HC11F1 devices have 512 bytes of EEPROM. None of the devices contain on-chip ROM.

Table 1 MC68HC11F1 Standard Device Ordering Information

3.1 MC68HC11F1 Control Registers

Table 5 MC68HC11F1 Register and Control Bit Assignments

	Bit 7	6	5	4	3	2	1	Bit 0	
$1000	PA7	PA6	PA5	PA4	PA3	PA2	PA1	PA0	PORTA
$1001	DDA7	DDA6	DDA5	DDA4	DDA3	DDA2	DDA1	DDA0	DDRA
$1002	PG7	PG6	PG5	PG4	PG3	PG2	PG1	PG0	PORTG
$1003	DDG7	DDG6	DDG5	DDG4	DDG3	DDG2	DDG1	DDG0	DDRG
$1004	PB7	PB6	PB5	PB4	PB3	PB2	PB1	PB0	PORTB
$1005	PF7	PF6	PF5	PF4	PF3	PF2	PF1	PF0	PORTF
$1006	PC7	PC6	PC5	PC4	PC3	PC2	PC1	PC0	PORTC
$1007	DDC7	DDC6	DDC5	DDC4	DDC3	DDC2	DDC1	DDC0	DDRC
$1008	0	0	PD5	PD4	PD3	PD2	PD1	PD0	PORTD
$1009	0	0	DDD5	DDD4	DDD3	DDD2	DDD1	DDD0	DDRD
$100A	PE7	PE6	PE5	PE4	PE3	PE2	PE1	PE0	PORTE
$100B	FOC1	FOC2	FOC3	FOC4	FOC5	0	0	0	CFORC
$100C	OC1M7	OC1M6	OC1M5	OC1M4	OC1M3	0	0	0	OC1M
$100D	OC1D7	OC1D6	OC1D5	OC1D4	OC1D3	0	0	0	OC1D
$100E	Bit 15	14	13	12	11	10	9	Bit 8	TCNT (High)
$100F	Bit 7	6	5	4	3	2	1	Bit 0	TCNT (Low)
$1010	Bit 15	14	13	12	11	10	9	Bit 8	TIC1 (High)
$1011	Bit 7	6	5	4	3	2	1	Bit 0	TIC1 (Low)
$1012	Bit 15	14	13	12	11	10	9	Bit 8	TIC2 (High)
$1013	Bit 7	6	5	4	3	2	1	Bit 0	TIC2 (Low)
$1014	Bit 15	14	13	12	11	10	9	Bit 8	TIC3 (High)
$1015	Bit 7	6	5	4	3	2	1	Bit 0	TIC3 (Low)
$1016	Bit 15	14	13	12	11	10	9	Bit 8	TOC1 (High)
$1017	Bit 7	6	5	4	3	2	1	Bit 0	TOC1 (Low)
$1018	Bit 15	14	13	12	11	10	9	Bit 8	TOC2 (High)
$1019	Bit 7	6	5	4	3	2	1	Bit 0	TOC2 (Low)
$101A	Bit 15	14	13	12	11	10	9	Bit 8	TOC3 (High)
$101B	Bit 7	6	5	4	3	2	1	Bit 0	TOC3 (Low)
$101C	Bit 15	14	13	12	11	10	9	Bit 8	TOC4 (High)
$101D	Bit 7	6	5	4	3	2	1	Bit 0	TOC4 (Low)
$101E	Bit 15	14	13	12	11	10	9	Bit 8	TI4/O5 (High)
$101F	Bit 7	6	5	4	3	2	1	Bit 0	TI4/O5 (Low)
$1020	OM2	OL2	OM3	OL3	OM4	OL4	OM5	OL5	TCTL1
$1021	EDG4B	EDG4A	EDG1B	EDG1A	EDG2B	EDG2A	EDG3B	EDG3A	TCTL2

Table 5 MC68HC11F1 Register and Control Bit Assignments (Continued)

	Bit 7	6	5	4	3	2	1	Bit 0	
$1022	OC1I	OC2I	OC3I	OC4I	I4/O5I	IC1I	IC2I	IC3I	TMSK1
$1023	OC1F	OC2F	OC3F	OC4F	I4/O5F	IC1F	IC2F	IC3F	TFLG1
$1024	TOI	RTII	PAOVI	PAII	0	0	PR1	PR0	TMSK2
$1025	TOF	RTIF	PAOVF	PAIF	0	0	0	0	TFLG2
$1026	0	PAEN	PAMOD	PEDGE	0	I4/05	RTR1	RTR0	PACTL
$1027	Bit 7	6	5	4	3	2	1	Bit 0	PACNT
$1028	SPIE	SPE	DWOM	MSTR	CPOL	CPHA	SPR1	SPR0	SPCR
$1029	SPIF	WCOL	0	MODF	0	0	0	0	SPSR
$102A	Bit 7	6	5	4	3	2	1	Bit 0	SPDR
$102B	TCLR	SCP2	SCP1	SCP0	RCKB	SCR2	SCR1	SCR0	BAUD
$102C	R8	T8	0	M	WAKE	0	0	0	SCCR1
$102D	TIE	TCIE	RIE	ILIE	TE	RE	RWU	SBK	SCCR2
$102E	TDRE	TC	RDRF	IDLE	OR	NF	FE	0	SCSR
$102F	Bit 7	6	5	4	3	2	1	Bit 0	SCDR
$1030	CCF	0	SCAN	MULT	CD	CC	CB	CA	ADCTL
$1031	Bit 7	6	5	4	3	2	1	Bit 0	ADR1
$1032	Bit 7	6	5	4	3	2	1	Bit 0	ADR2
$1033	Bit 7	6	5	4	3	2	1	Bit 0	ADR3
$1034	Bit 7	6	5	4	3	2	1	Bit 0	ADR4
$1035	0	0	0	PTCON	BPRT3	BPRT2	BPRT1	BPRT0	BPROT
$1036									Reserved
$1037									Reserved
$1038	GWOM	CWOM	CLK4X	LIRDV	0	SPRBYP	0	0	OPT2
$1039	0	0	IRQE	DLY	CME	FCME	CR1	CR0	OPTION
$103A	Bit 7	6	5	4	3	2	1	Bit 0	COPRST
$103B	ODD	EVEN	0	BYTE	ROW	ERASE	EELAT	EEPGM	PPROG
$103C	RBOOT	SMOD	MDA	IRV	PSEL3	PSEL2	PSEL1	PSEL0	HPRIO
$103D	RAM3	RAM2	RAM1	RAM0	REG3	REG2	REG1	REG0	INIT
$103E	TILOP	0	OCCR	CBYP	DISR	FCM	FCOP	0	TEST1
$103F	EE3	EE2	EE1	EE0	1	NOCOP	1	EEON	CONFIG
$1040									Reserved
to									
$105B									Reserved
$105C	I01SA	I01SB	I02SA	I02SB	GSTHA	GSTGB	PSTHA	PSTHB	CSSTRH
$105D	I01EN	I01PL	I02EN	I02PL	GCSPR	PCSEN	PSIZA	PSIZB	CSCTL
$105E	GA15	GA14	GA13	GA12	GA11	GA10	0	0	CSGADR
$105F	I01AV	I02AV	0	GNPOL	GAVLD	GSIZA	GSIZB	GSIZC	CSGSIZ

Operating Modes and System Initialization

The 16-bit address bus can access 64 Kbytes of memory. Because the MC68HC11F1

There is no internal ROM and the address bus is non-multiplexed. Both devices include 1 Kbyte of static RAM, a 96-byte control register block, and 256 bytes of bootstrap ROM. The MC68HC11F1 also includes 512 bytes of EEPROM.

RAM and registers can be remapped on both the MC68HC11F1
In expanded and special test modes in the MC68HC11F1, EEPROM is located from $xE00 to $xFFF, Where x represents the value of the four high-order bits of the CONFIG register. EEPROM is enabled by the EEON bit of the CONFIG register. In single-chip and bootstrap modes, the EEPROM is located From $FE00 to $FFFF.

Memory Maps

System Initialization Registers

HPRIO — Highest Priority Interrupt and Miscellaneous **$x03C**

	Bit 7	6	5	4	3	2	1	Bit 0	
	RBOOT	SMOD	MDA	IRV	PSEL3	PSEL2	PSEL1	PSEL0	
RESET:	0	0	0	0	0	1	0	1	Single-Chip
	0	0	1	0	0	1	0	1	Expanded
	1	1	0	1	0	1	0	1	Bootstrap
	0	1	1	1	0	1	0	1	Special Test

Resets and Interrupts

There are three sources of reset on the MC68HC11F1, each having its own reset vector:

- RESET pin
- Clock monitor failure
- Computer operating properly (COP) failure

The other 19 interrupts, generated mostly by on-chip peripheral systems, are maskable. Maskable interrupts Are recognized only if the global interrupt mask bit (I) in the condition code register (CCR) is Clear. Maskable interrupts have a default priority arrangement out of reset. However, any one interrupt Source can be elevated to the highest maskable priority position by writing to the HPRIO register. This Register can be written at any time, provided the I bit in the CCR is set.
In addition to the global I bit, all maskable interrupt sources except the external interrupt (IRQ pin) are Subject to local enable bits in control registers. Each of these interrupt sources also sets a corresponding Flag bit in a control register that can be polled by software.
Several of these flags are automatically cleared during the normal course of responding to the interrupt Requests. For example, the RDRF flag is set when a byte has been received in the SCI. The normal Response to an RDRF interrupt request is to read the SCI status register to check for receive errors, Then to read the received data from the SCI data register. It is precisely these two steps that are required To clear the RDRF flag, so no further instructions are necessary.

Electrically Erasable Programmable ROM

The MC68HC11F1 has 512 bytes of electrically erasable programmable ROM (EEPROM). A nonvolatile, EEPROM-based configuration register (CONFIG) controls whether the EEPROM is present or absent And determines its position in the memory map. In single-chip and bootstrap modes the EEPROM

is positioned at $FE00–$FFFF. In expanded and special test modes, the EEPROM can be repositioned to any 4-Kbyte boundary ($xE00–$xFFF).

EEPROM Operation

The EEON bit in CONFIG controls whether the EEPROM is present in the memory map. When EEON = 1, the EEPROM is enabled. When EEON = 0, the EEPROM is disabled and removed from the Memory map. EEON is forced to one out of reset in single-chip and special bootstrap modes to enable EEPROM. EEON is forced to zero out of reset in special test mode to remove EEPROM from the memory Map, although test software can turn it back on. In normal expanded mode, EEON is reset to the Value last programmed into CONFIG.

An on-chip charge pump develops the high voltage required for programming and erasing. When the E-clock frequency is 1 MHz or above, the charge pump is driven by the E-clock. When the E-clock frequency is less than 1 MHz, select the internal RC oscillator to drive the EEPROM charge pump by writing One to the CSEL bit in the OPTION register. Refer to the discussion of the OPTION register in **4.3 System Initialization Registers**,.

EEPROM Registers

BPROT — Block Protect $x03

	Bit 7	6	5	4	3	2	1	Bit 0
	0	0	0	PTCON	BPRT3	BPRT2	BPRT1	BPRT0
RESET	0	0	0	1	1	1	1	1

Bits [7:5] — Not implemented. Reads always return zero and writes have no effect.

PTCON — Protect for CONFIG
0 = CONFIG register can be programmed or erased normally
1 = CONFIG register cannot be programmed or erased

BPRT[3:0] — Block Protect Bits for EEPROM
0 = Protection disabled
1 = Protection enabled

Table 14 Block Protect Bits for EEPROM

Bit Name	Block Protected	Block Size
BPRT3	$xEE0–xFFF	288 Bytes
BPRT2	$xE60–xEDF	128 Bytes
PBRT1	$xE20–xE5F	64 Bytes
BPRT0	$xE00–xE1F	32 Bytes

PPROG — EEPROM Programming Control **$x03B**

	Bit 7	6	5	4	3	2	1	Bit 0
	ODD	EVEN	0	BYTE	ROW	ERASE	EELAT	EEPGM
RESET	0	0	0	0	0	0	0	0

ODD — Program Odd Rows (TEST)

EVEN — Program Even Rows (TEST)

ROW and BYTE — Row Erase Select Bit and Byte Erase Select
The value of these bits determines the manner in which EEPROM is erased. Bit encodings are shown in **6.2 EEPROM Registers**, page 30.

Table 15 ROW and BYTE Encodings

BYTE	ROW	Action
0	0	Bulk Erase (All 512 Bytes)
0	1	Row Erase (16 Bytes)
1	0	Byte Erase
1	1	Byte Erase

ERASE — Erase/Normal Control for EEPROM
0 = Normal read or program mode
1 = Erase mode

EELAT — EEPROM Latch Control
0 = EEPROM address and data bus configured for normal reads
1 = EEPROM address and data bus configured for programming or erasing

EEPGM — EEPROM Program Command
0 = Program or erase voltage to EEPROM array switched off
1 = Program or erase voltage to EEPROM array switched on

CONFIG — EEPROM Mapping, COP, EEPROM Enables **$x03F**

	Bit 7	6	5	4	3	2	1	Bit 0
	EE3	EE2	EE1	EE0	1	NOCOP	1	EEON
RESET	U	U	U	U	1	U	1	U

U = Unaffected by reset.

The CONFIG register is used to assign EEPROM a location in the memory map and to enable or disable EEPROM operation. Bits in this register are user-programmed except when forced to certain values, as noted in the following bit descriptions.

EE[3:0] — EEPROM Map Position
EEPROM is located at $xE00 – $xFFF, where x is the value represented by these four bits. In single-chip and bootstrap modes, EEPROM is forced to $FE00 – $FFFF, regardless of the state of these bits. On factory-fresh devices, EE[3:0] = $0.

Bit 3 — Not implemented. Reads always return one and writes have no effect.

NOCOP — COP System Disable
0 = COP enabled (forces reset on time-out)
1 = COP disabled (does not force reset on time-out)

Bit 1 — Not implemented. Reads always return one and writes have no effect.

EEON — EEPROM Enable

This bit is forced to one in single-chip and bootstrap modes. In test mode, EEON is forced to zero out of reset. In expanded mode, the EEPROM obeys the state of this bit.
0 = EEPROM is removed from the memory map.
1 = EEPROM is present in the memory map.
Refer to **6.4 CONFIG Register Programming** for instructions on programming this register.

6.3 EEPROM Programming and Erasure

Programming and erasing the EEPROM is controlled by the PPROG register, subject to the block protect (BPROT) register value. To erase the EEPROM, ensure that the proper bits of the BPROT register are cleared, and then complete the following steps:
1. Write to PPROG with the ERASE and EELAT bits set and the BYTE and ROW bits set or Cleared as appropriate.
2. Write to the appropriate EEPROM address with any data. Row erase ($xE00–$xE0F, $xE10–$xE1F,... $xFF0–$xFFF) requires a single write to any location in the row. Perform bulk erase by writing to any location in the array.
3. Write to PPROG with the ERASE, EELAT, and EEPGM bits set and the BYTE and ROW bits Set or cleared as appropriate.
4. Delay for 10 ms (20 ms for low-voltage operation).
5. Clear the EEPGM bit in PPROG to turn off the high voltage.
6. Clear the PPROG register to reconfigure EEPROM address and data buses for normal operations.

To program the EEPROM, ensure that the proper bits of the BPROT register are cleared, and then complete The following steps:
1. Write to PPROG with the EELAT bit set.
2. Write data to the desired address.
3. Write to PPROG with the EELAT and EEPGM bits set.
4. Delay for 10 ms (20 ms for low-voltage operation).
5. Clear the EEPGM bit in PPROG to turn off the high voltage.
6. Clear the PPROG register to reconfigure EEPROM address and data buses for normal operations.

CONFIG Register Programming

Because the CONFIG register is implemented with EEPROM cells, use EEPROM procedures to erase And program this register. The procedure for programming is the same as for programming a byte in The EEPROM array, except that the CONFIG register address is used. CONFIG can be programmedor Erased (including byte erase) while the MCU is operating in any mode, provided that PTCON in BPROT Is clear. To change the value in the CONFIG register, complete the following procedure. Do not initiate a reset until the procedure is complete. The new value will not take effect until after the next reset sequence.

1. Erase the CONFIG register.
2. Program the new value to the CONFIG address.3. Initiate reset.

Parallel Input/output

On the MC68HC11F1, either 54 or 51 pins are available for general-purpose I/O, depending on the Package. These pins are arranged into ports A, B, C, D, E, F, and G.

I/O functions on some ports (B, C, F, and G) are affected by the mode of operation selected. In the single-chip and bootstrap modes, they are configured as parallel I/O data ports. In expanded and test Modes, they are configured as follows:

- Ports B and F are configured as the address bus.
- Port C is configured as the data bus.
- Port G bit 7 is configured as the optional program chip select CSPROG.

In addition, in expanded and test modes the R/W signal is configured as data bus direction control. The

Remaining ports (A, D, and E) are unaffected by mode changes.

Port A

Port A is an eight-bit general-purpose I/O port (PA[7:0]) with a data register (PORTA) and a data direction Register (DDRA). Port A pins are available for shared use among the main timer, pulse accumulator, And general I/O functions, regardless of mode. Four pins can be used for timer output compare functions (OC), three for input capture (IC), and one as either a fourth IC or a fifth OC.

Port B

Port B is an eight-bit general-purpose output-only port in single-chip modes. In expanded modes, port B pins act as high-order address lines ADDR[15:8], and accesses to PORTB (the port B data register) Are mapped externally.

Port C

Port C is an eight-bit general-purpose I/O port with a data register (PORTC) and a data direction register (DDRC). In single-chip modes, port C pins are general-purpose I/O pins PC[7:0]. Port C can be configured For wired-OR operation in single-chip modes by setting the CWOM bit in the OPT2 register. In expanded Modes, port C is the data bus DATA[7:0], and accesses to PORTC (the port C data register) Are mapped externally.

Port D

Port D is a six-bit general-purpose I/O port with a data register (PORTD) and a data direction register (DDRD). In all modes, the six port D lines (PD[5:0]) can be used for general-purpose I/O or for the serial Communications interface (SCI) or serial peripheral interface (SPI) subsystems. Port D can also be configured

For wired-OR operation.

Port E

Port E is an eight-bit input-only port that is also used (on the MC68HC11F1 only) as the analog input Port for the analog-to-digital converter. Port E pins that are not used for the A/D system can be used as General-purpose inputs. However, PORTE should not be read during the sample portion of an A/D conversion sequence.

Port F

Port F is an eight-bit output-only port. In single-chip mode, port F pins are general-purpose output pins PF[7:0]. In expanded mode, port F pins act as low-order address outputs ADDR[7:0]

Port G

Port G is an eight-bit general-purpose I/O port with a data register (PORTG) and a data direction register (DDRG). When enabled, the upper four lines (PG[7:4] can be used as chip-select outputs in expanded modes. When any of these pins are not being used for chip selects, they can be used for general-purpose I/O. Port G can be configured for wired-OR operation by setting the GWOM bit in the OPT2 register

Chip-Selects

Chip selects eliminate the need for additional external components to interface with peripherals in expanded non-multiplexed modes. Chip-select registers control polarity, address block size, base address,

and clock stretching.

Chip-Select Operation

There are four programmable chip selects on the MC68HC11F1

Two for external

I/O (CSIO1 and CSIO2), one for external program space (CSPROG), and one general-purpose chip select (CSGEN)

CSPROG is active low and becomes active at address valid time. CSPROG is enabled by the PCSEN Bit of the chip-select control register (CSCTL). Its address block size is selected by the PSIZA and PSIZB bits of CSCTL.

Use the I/O chip selects (CSIO1 and CSIO2) for external I/O devices. These chip-select addresses are found in the memory map block that contains the status and control registers. CSIO1 is mapped from $x060 to $x7FF, and CSIO2 is mapped from $x800 to $xFFF, where x represents the REG[3:0] bits of the INIT register on the MC68HC11F1

The general-purpose chip select is the most flexible of the four chip selects. Polarity, valid assertion time, and block size are determined by the GNPOL, GAVLD, GSIZA, GSIZB, and GSIZC bits of the CSGSIZ register. The starting address is selected with the CSGADR register.

Each of the four chip selects has two associated bits in the chip-select clock stretch register (CSSTRH). These bits allow clock stretching from zero to three cycles (full E-clock periods) to accommodate slow device interfaces. Any of the chip selects can be programmed to cause a clock stretch to occur only during access to addresses that fall within that particular chip select's address range.

During the stretch period, the E-clock is held high and the bus remains in the state that it is normally in at the end of E high time. Internally, the clocks continue to run, which maintains the integrity of the timers And baud-rate generators. Priority levels are assigned to prevent the four chip selects from conflicting with each other or with internal Memory and registers. There are two sets of priorities controlled by the value of the general-purpose Chip-select priority bit (GCSPR) of the CSCTL register

Serial Peripheral Interface

The serial peripheral interface (SPI) allows the MCU to communicate synchronously with peripheral devices and other microprocessors. The SPI protocol facilitates rapid exchange of serial data between devices in a control system. The MC68HC11F1

SPI Block Diagram

LE JEU D'INSTR UCTIONS D U 68HC11

Le 8HC11 possède un jeu d'instructions très varié. En effet il comporte 145 instructions de base, soit un total de 317 instructions compte tenu des variantes possibles selon le mode d'adressage utilisé.

Les modes d'adressages du 68HC11 sont au nombre de six : inhérent, immédiat, direct, étendu, indexé et relatif.

2 CLASSIFICATION DES INSTRUCTIONS 2.1

Instructions de traitement des données

Opérations arithmétiques

ABA	Addition de A et B, résultat en A
ABX/ABY	Addition de B à X (ou Y), résultat en X (ou Y)
ADCA/ ADCB	Addition du contenu mémoire à l'accumulateur avec retenue
ADDA/AD DB	Addition lôbits des contenus mémoires (2 octets) à D
ADDD	Addition lôbits des contenus mémoires (2 octets) à D
DAA	Ajustement décimal de l'accumulateur A (Correction de
SBA	l'addition BCD)
SBCA / SBCB	Soustraction de B à A, résultat en A
SUBA / SUBB	Soustraction du contenu mémoire à l'accumulateur avec retenue Soustraction du contenu mémoire à l'accumulateur Soustraction 16 bits des contenus
SUBD	mémoires (2 octets) à D
MU L	Multiplication non signée de A par B, résultat en D Division fractionnaire non-
FDI V	signée 16 bits D/X Division entière non-
IDI V	signée 16 bits D/X

2.1.2 Instructions de rotation et décalage

ASL	Décalage arithmétique à gauche du contenu mémoire
ASLA / ASLB	Décalage arithmétique à gauche de A ou B
ASLD	Décalage arithmétique à gauche de D
ASR	Décalage arithmétique à droite du contenu mémoire
ASRA / ASRB	Décalage arithmétique à droite de A ou B
LSL	Décalage logique à gauche du contenu mémoire
LSLA / LSLB	Décalage logique à gauche de A ou B
LSLD	Décalage logique à gauche de D
LSR	Décalage logique à droite du contenu mémoire
LSRA / LSRB	Décalage logique à droite de A ou B
LSRD	Décalage logique à droite de D
ROL	Rotation à gauche du contenu mémoire
ROLA / ROLB	Rotation à gauche de A ou B
ROR	Rotation à droite du contenu mémoire
RORA/RORB	Rotation à droite de A ou B

2.1.3 Opérations logiques

ANDA / ANDB	ET Logique entre le contenu mémoire et l'accumulateur
EORA / EORB	OU Exclusif entre le contenu mémoire et l'accumulateur
ORAA / ORAB	OU Logique entre le contenu mémoire et l'accumulateur

Complémentation

COM	Complément Logique du contenu mémoire
COMA / COMB	Complément Logique de l'accumulateur
NEG	Complément à deux de l'accumulateur
NEGA / NEGB	Complément à deux de l'accumulateur

2.1.5 Incrémentation/décrémentation

DEC	Décrémentation du contenu
DECA/DE	mémoire Décrémentation de
CB DES	l'accumulateur Décrémentation
DEX/DEY	du pointeur de pile SP
INC	Décrémentation de X ou Y
INCA /	Incrémentation du contenu
INCB	mémoire Incrémentation de
INS	l'accumulateur Incrémentation
INX / INY	du pointeur de pile SP
NOP	Incrémentation de X ou Y
	Pas d'opération, incrémentation du compteur programme (PC)

2.1.6 Mise à 0. Mise à 1

CLR	Mise à 0 du contenu
CLRA /	mémoire Mise à 0 de
CLRB	l'accumulateur
BCLR	Mise à 0 d'un ou plusieurs bits du
BSET	contenu mémoire Mise à 1 d'un ou
CLC	plusieurs bits du contenu mémoire
CLI	MiseàOdubitCduCCR
CLV	MiseàOdubitIduCCR
SEC	MiseàOdubitVduCCR
SEI	MiseàldubitCduCCR
SEV	MiseàldubitIduCCR
	MiseàldubitVduCCR

Instructions de transfert de données

Transferts entre mémoire et registres internes

LDAA / LDAB	Chargement de D avec le contenu mémoire
LDD	Chargement du pointeur de pile SP avec le contenu mémoire
LDS	Chargement de X ou Y avec le contenu mémoire
LDX/ LDY	Mise en mémoire du contenu de l'accumulateur Mise en mémoire du contenu de D Mise en mémoire du contenu
STAA / STAB	
STD	
STS	
STX / STY	

Chargement de l'accumulateur avec le contenu mémoire

Dépilement

PULX / PULY	Dépilement

Transferts entre registres internes

Transfert de A dans B Transfert de B dans A
Transfert de A dans le CCR
Transfert du CCR dans A
Charge X ou Y avec le contenu du pointeur de pile SP augmenté de 1 (SP+1) Charge le pointeur de pile avec le contenu de X ou Y diminué de 1 (X-1)

TA
B
TB
A
TA
P
TP
A
TSX / TSY TXS / TYS XGDX / XGDY
Echange les contenus de D et X ou Y

Instructions de tests et branchements

Instructions de test et de comparaison

BITA / BITB Test de bit entre l'accumulateur et le contenu mémoire
CBA Compare A et B
CMPA / CMPB Compare l'accumulateur au contenu

Compare D au contenu mémoire Compare X ou Y au contenu mémoire
Test du contenu mémoire
Test du contenu de

mémoire
CPD
CPX / CPY
TST
TSTA/TS
TB

Instructions de test et branchement

BCC Branchement si pas de retenue Branchement si retenue
BCS Branchement si égal (à 0) Branchement si différent (de 0)
BEQ Branchement si négatif Branchement si positif Branchement
BNE si pas de débordement Branchement si débordement
BMI Branchement si supérieur (non-signé) Branchement si supérieur
BPL ou égal (non-signé) Branchement si inférieur (non-signé)
BVC Branchement si inférieur ou égal (non-signé)
BVS Branchement si supérieur ou égal (signé) Branchement si
BHI supérieur (signé) Branchement si inférieur ou égal (signé)
BHS Branchement si inférieur (signé)
BLO Branchement si le ou bits désigné de l'opérande sont à 0 Branchement si
BLS le ou bits désigné de l'opérande sont à 1
BGE
BGT
BLE
BLT
BRCLR
BRSET

Instructions de saut ou branchement

BRA
BRN BSR
JMP JSR
RTS
Branchement inconditionnel non-branchement (pas d'opération) Branchement à un sous-programme
Saut inconditionnel à une adresse effective Saut à un sous-programme
Retour de sous-programme

Traitement des interruptions

RTI	Retour de sous-programme d'interruption
SWI	Interruption logicielle
WAI	Attente d'interruption

2.5 Instructions particulières

STOP	Mode STOP
TEST	Mode TEST

JEU D'INSTRUCTIONS DU 8HC11F1

Légende

Opérandes
dd : 8 bits d'une adresse en mode direct
(MSB=$00) hh : 8 bits de poids fort d'une
adresse en mode étendu 11: 8 bits de poids
faible d'une adresse en mode étendu
ii : 8 bits d'une donnée en mode immédiat
jj : 8 bits de poids fort d'une donnée en mode immédiat
kk : 8 bits de poids faible d'une donnée en mode immédiat
ff : Offset positif sur 8 bits (ajouté à l'index)
nn : Offset signé (complément à de 2) sur 8 bits (valeur de déplacement relatif)
mm : 8 bits de
masque Codes
condition
0 : bit mis à 0
1 : bit mis à 1
A : bit positionné à 0 ou 1 selon le résultat de
l'instruction i : bit qui peut être forcé à 0,
mais ne peut être mis à 1

Tableaux des instructions

Table 3-2 Instruction Set (Sheet 2 of 6)

Mnemonic	Operation	Description	Addressing Mode		Instruction			Condition Codes							
					Opcode	Operand	Cycles	S	X	H	I	N	Z	V	C
BGT (rel)	Branch if > Zero	? Z + (N ⊕ V) = 0	REL		2E	rr	3	—	—	—	—	—	—	—	—
BHI (rel)	Branch if Higher	? C + Z = 0	REL		22	rr	3	—	—	—	—	—	—	—	—
BHS (rel)	Branch if Higher or Same	? C = 0	REL		24	rr	3	—	—	—	—	—	—	—	—
BITA (opr)	Bit(s) Test A with Memory	A • M	A	IMM	85	ii	2	—	—	—	—	Δ	Δ	0	—
			A	DIR	95	dd	3								
			A	EXT	B5	hh ll	4								
			A	IND,X	A5	ff	4								
			A	IND,Y	A5	ff	5								
			18												
BITB (opr)	Bit(s) Test B with Memory	B • M	B	IMM	C5	ii	2	—	—	—	—	Δ	Δ	0	—
			B	DIR	D5	dd	3								
			B	EXT	F5	hh ll	4								
			B	IND,X	E5	ff	4								
			B	IND,Y	E5	ff	5								
			18												
BLE (rel)	Branch if ≤ Zero	? Z + (N ⊕ V) = 1	REL		2F	rr	3	—	—	—	—	—	—	—	—
BLO (rel)	Branch if Lower	? C = 1	REL		25	rr	3	—	—	—	—	—	—	—	—
BLS (rel)	Branch if Lower or Same	? C + Z = 1	REL		23	rr	3	—	—	—	—	—	—	—	—
BLT (rel)	Branch if < Zero	? N ⊕ V = 1	REL		2D	rr	3	—	—	—	—	—	—	—	—
BMI (rel)	Branch if Minus	? N = 1	REL		2B	rr	3	—	—	—	—	—	—	—	—
BNE (rel)	Branch if not = Zero	? Z = 0	REL		26	rr	3	—	—	—	—	—	—	—	—
BPL (rel)	Branch if Plus	? N = 0	REL		2A	rr	3	—	—	—	—	—	—	—	—
BRA (rel)	Branch Always	? 1 = 1	REL		20	rr	3	—	—	—	—	—	—	—	—
BRCLR(opr) (msk) (rel)	Branch if Bit(s) Clear	? M • mm = 0	DIR		13	dd mm rr	6	—	—	—	—	—	—	—	—
			IND,X		1F	ff mm rr	7								
			IND,Y		1F	ff mm rr	8								
			18												
BRN (rel)	Branch Never	? 1 = 0	REL		21	rr	3	—	—	—	—	—	—	—	—
BRSET(opr) (msk) (rel)	Branch if Bit(s) Set	? (M) • mm = 0	DIR		12	dd mm rr	6	—	—	—	—	—	—	—	—
			IND,X		1E	ff mm rr	7								
			IND,Y		1E	ff mm rr	8								
			18												
BSET (opr) (msk)	Set Bit(s)	M + mm → M	DIR		14	dd mm	6	—	—	—	—	Δ	Δ	0	—
			IND,X		1C	ff mm	7								
			IND,Y		1C	ff mm	8								
			18												
BSR (rel)	Branch to Subroutine	See Figure 3–2	REL		8D	rr	6	—	—	—	—	—	—	—	—
BVC (rel)	Branch if Overflow Clear	? V = 0	REL		28	rr	3	—	—	—	—	—	—	—	—
BVS (rel)	Branch if Overflow Set	? V = 1	REL		29	rr	3	—	—	—	—	—	—	—	—
CBA	Compare A to B	A – B	INH		11	—	2	—	—	—	—	Δ	Δ	Δ	Δ
CLC	Clear Carry Bit	0 → C	INH		0C	—	2	—	—	—	—	—	—	—	0
CLI	Clear Interrupt Mask	0 → I	INH		0E	—	2	—	—	—	0	—	—	—	—
CLR (opr)	Clear Memory Byte	0 → M	EXT		7F	hh ll	6	—	—	—	—	0	1	0	0
			IND,X		6F	ff	6								
			IND,Y		6F	ff	7								
			18												
CLRA	Clear Accumulator A	0 → A	A	INH	4F	—	2	—	—	—	—	0	1	0	0
CLRB	Clear Accumulator B	0 → B	B	INH	5F	—	2	—	—	—	—	0	1	0	0
CLV	Clear Overflow Flag	0 → V	INH		0A	—	2	—	—	—	—	—	—	0	—
CMPA (opr)	Compare A to Memory	A – M	A	IMM	81	ii	2	—	—	—	—	Δ	Δ	Δ	Δ
			A	DIR	91	dd	3								
			A	EXT	B1	hh ll	4								
			A	IND,X	A1	ff	4								
			A	IND,Y	A1	ff	5								
			18												
CMPB (opr)	Compare B to Memory	B – M	B	IMM	C1	ii	2	—	—	—	—	Δ	Δ	Δ	Δ
			B	DIR	D1	dd	3								
			B	EXT	F1	hh ll	4								
			B	IND,X	E1	ff	4								
			B	IND,Y	E1	ff	5								
			18												

Le registre INIT

Ce registre est typiquement un registre de configuration du circuit et tous ses bits sont donc protégés. Il contient en effet les informations qui permettent de positionner la RAM et les 64 registres internes du 68HC11 dans l'espace adressable. La modification involontaire de son contenu lors de l'exécution d'une application est donc à éviter.

	RAM3	RAM2	RAM1	RAMO	REG3	REG2	REGI	REGO
RESET	0	0	0	0	0	0	0	0	1

— Bit 0 à bit 3 ou bit REGO à REG3. Ces 4 bits définissent le chiffre de poids fort de l'adresse de base du bloc de 64 registres internes du 68HC11. Suite à un Reset ces bits sont initialisés à 0001 ce qui place donc les registres de $1000 à $103F.

— Bit 4 à bit 7 ou bit RAMO à RAM3. Ces 4 bits définissent le chiffre de poids fort de l'adresse de base de la RAM. Suite à un Reset ils sont initialisés à 0 ce qui place la RAM à partir de l'adresse $0000. Si, suite à une erreur par exemple, les registres et la RAM sont placés à des adresses qui se recouvrent, une logique interne évite tout conflit et donne la priorité aux registres en dévalidant automatiquement la RAM pour les adresses qui sont communes avec ces derniers.

Rappelons à ce propos, pour ceux d'entre vous qui ne sont pas familiers des circuits Motorola, que ces derniers ne font aucune différence entre les adresses mémoire proprement dites et les adresses des registres des ressources.

Ces derniers sont vus et traités comme de simples positions mémoires d'adressés particulières et l'on peut y lire et y écrire comme si on lisait ou écrivait en mémoire.

Le registre CONFIG peut varier quelque peu d'un 68HC11 à un autre en fonction de ses ressources internes. La description qui va suivre est celle du 68HC11A8.

0	0	0	0	NOSEC NOCOP ROMON	EEON
ETAT DE CONFIG EN EEPROM	0	0	0	0	RESET

— Bits 0 ou bit EEON pour EEprom ON. S'il est à 1 ce bit valide l'EEPROM contenue dans le 68HC11 et la place à son adresse par défaut dans l'espace mémoire adressable. S'il est à 0, ce bit invalide totalement l'EEPROM.

— Bit 1 ou bit ROMON pour ROM ON. S'il est à 1 ce bit valide la ROM de programme contenue dans le 68HC11. Dans le cas contraire cette mémoire est invalidée. En mode circuit seul l'état réel de ce bit est ignoré et il est considéré comme étant à 1 puisque l'appel à une ROM externe est impossible dans ce cas.

— Bit 2 ou bit NOCOP pour NO COP. S'il est à 1 ce bit invalide le timer chien de garde ou COP et interdit donc toute génération d'interruption par cette ressource. Le COP est validé dans le cas contraire.

— Bit 3 ou bit NOSEC pour NO SECurity. S'il est à 1 ce bit ne met pas en service la fonction sécurité du HC11. Dans le cas contraire, la sécurité est validée et le circuit ne peut plus être lancé que dans le mode circuit seul ou dans le mode bootstrap ce qui interdit à une personne mal intentionnée de recopier le logiciel contenu en ROM puisque celui-ci n'est pas accessible via les lignes d'adresses et de données, disponibles seulement en mode étendu.

— Bits 4 à 7. Non utilisés sur le 68HC11A8 et considérés comme étant à 0. Certaines versions de 68HC11 les utilisent pour définir le chiffre de poids fort de l'adresse de base de l'EEPROM selon le même mécanisme que celui présenté ci-après pour la RAM dans le cas du registre INIT.

Les bits protégés

Compte tenu de la possibilité de programmer certains éléments de la configuration d'un 68HC11 par action sur certains registres, et donc du fait que toute modification accidentelle de cette configuration pendant le fonctionnement d'une application pourrait avoir des conséquences dramatiques, certains bits de registres spéciaux ou d'autres registres des ressources internes bénéficient d'un mécanisme de protection contre les écritures intempestives.

Ce mécanisme fonctionne de la façon suivante. Les bits en question peuvent être lus si nécessaire à tout instant. Par contre, ils ne peuvent être écrits qu'une fois et une seule pendant les 64 cycles d'horloge E qui suivent un Reset. Il est donc facile de les programmer en fonction des besoins de l'application. Par contre, il est très improbable qu'une modification accidentelle de ces bits puisse avoir lieu compte tenu de cette contrainte d'écriture très sévère.

Les registres de configuration:

Compte tenu des différentes possibilités de configuration du 68HC11 un certain nombre de registres spéciaux ou de configuration ont du être prévus.

Le registre HPRIO

Le registre HPRIO contient 4 bits qui entrent dans le cadre de cette section. Les autres baptisés PSELO à PSEL3 sont relatifs aux interruptions et seront étudiés au chapitre 2. Les bits concernés de HPRIO sont donc :

RBOOT	SMOD	MDA	IRV	-	-	-	-

— Bit 4 ou bit IRV pour Internai Read Visibility. S'il est à 1 les données sont disponibles sur le bus externe lors d'une lecture. S'il est à 0 cette fonction est invalidée. Ce bit ne peut être écrit que si SMOD (voir ci-après) est à 1. Il est forcé à 0 dans le cas contraire.

— Bit 5 ou bit MDA pour MoDe A sélect. S'il est à 1 le circuit est en mode étendu ou en mode spécial de test. S'il est à 0 le circuit est en mode circuit seul ou bootstrap. Ce bit ne peut être écrit que lorsque SMOD est à 1.

— Bit 6 ou bit SMOD pour Spécial MODe. S'il est à 1 le circuit est dans l'un des deux modes spéciaux. S'il est à 0 le circuit est dans l'un des deux modes normaux.

— Bit 7 ou bit RBOOT pour Read BOOTstrap. S'il est à 1 la lecture de la ROM de bootstrap est validée des adresses $BF40 à $BFFF. S'il est à 0 la ROM de bootstrap est dévalidée et non présente dans l'espace adressable.

Le registre CONFIG

Le registre CONFIG est un registre un peu particulier en ce sens qu'il est en fait composé de deux registres distincts. Le premier est réalisé sous forme d'un registre EEPROM qui conserve donc en permanence les informations qui y sont contenues, sauf bien sûr si vous décidez par une manoeuvre particulière de l'effacer. Ce registre en EEPROM est recopié, après un Reset, dans un registre de travail dont le contenu peut alors être modifié sans que cela agisse sur l'original en EEPROM.

Réciproquement, la recopie ayant lieu suite à un Reset et le seul accès possible en lecture étant celui du registre de travail, il est possible d'effacer et de reprogrammer le registre en EEPROM alors que le 68HC11 est en train de fonctionner avec le contenu précédenl de ce registre.

L'effacement et la programmation de la version EEPROM de ce registre se font comme celles de la mémoire EEPROM et sont donc traitées au chapitre 3. Notez toutefois que malgré cela, ce registre n'est pas implanté dans l'espace mémoire de l'EEPROM et que cette dernière peut donc être manipulée sans risque de l'altérer.

Nomenclature

f_e : Fréquence d'entrée.

f_s : Fréquence de sortie.

S_1 : Fréquence de sortie 1.

S_2 : Fréquence de sortie 2.

S_3 : Fréquence de sortie 3.

$\Delta\varphi$ Ou φ : Déphasage.

V_e : Tension d'entrée.

V_S : Tension de sortie.

A : L'amplitude de signal d'entrée.

B : L'amplitude de signal de sortie.

w_e : Pulsation de signal d'entrée.

w_s : Pulsation de signal de sortie.

φ_e : La phase de signal d'entrée.

φ_s : La phase de signal de sortie.

K : Cte spécifique de comparateur de phase.

f_o : Fréquence centrale du VCO.

U : Tension de sortie de comparateur de phase (appliqué à l'entrée du filtre passe bas).

V : Tension de commande de VCO.

h (t) : La fonction de transmission.

f_{max} : Fréquence maximum capable de générer le VCO.

f_{min} : Fréquence minimum capable de générer le VCO.

Nomenclature

V_{max}	:	Tension maximum de commande de VCO.
V_{min}	:	Tension maximum de commande de VCO.
N Ou R	:	Nombre de division de fréquence d'entrée.
M	:	Nombre de division de fréquence de sortie.
K_0	:	La pente du VCO.
$\theta_s(s)$	:	La fonction de transfert de phase de signal d'entrée.
$\theta_e(s)$	:	La fonction de transfert de phase de signal de sortie.
ζ	:	Le coefficient d'amortissement.
w_n	:	La pulsation naturelle.
B_e	:	La largeur de bande de bruit.
$H_e(s)$	:	La fonction de transfert d'erreur.

Reference bibbliographique

[1]. [2]. Michel Girard,.boucle à verrouillage de phase, deuxieme tirage,McGraw-Hill, 1991.

[3]. Rodhe U.L,Digital PLL frequency synthetizers, London ,1983.

[4]. Manassewitsch V.,Frequency synthesizers theory and design,New York,NY.,John Wiley and Sons,1976.

[5]. Jean Encinas,systémes à verrouillage de phase (PLL),Masson Paris ,1990.