



## Mémoire de Master

Mention Électronique

Spécialité Microélectronique, Microsystème et Conception de Circuit

présenté par

Azibi Rafik

&

Djellali Samir

---

# Conception d'une bibliothèque de cellule standard en technologie CMOS 1 $\mu$ m

---

Proposé par : Djouama Malik & Bougherira Nadia

Année Universitaire 2016-2017

## Remerciements

---

Avant tout nous remercions "Allah" tout puissant qui nous a donné le courage, la volonté et la force pour accomplir ce modeste travail. Merci de nous avoir éclairé le chemin de la réussite.

Nous avons le grand plaisir d'exprimer nos sentiments les plus profondes par le remerciement de notre promotrice Mme N.BOUGHRIRA et promoteur Mr M.DJOUAMA de leur aide à concevoir ce projet de fin d'étude et de leur guide et entretien afin de nous donner un encouragement à sa réalisation.

Nous remercions tous les participants et les enseignants de département d'électronique et l'équipe de chercheurs de département micro-électronique de CDTA pour leur aide durant notre cursus universitaire.

# *Dédicaces*

---

*Je dédie ce travail à:*

- *Mes très chers parents qui m'ont encouragé pendant le long de mes études et soutenu par leur amour et leur tendresse.*
- *Mes frères et mes sœurs.*
- *Toute ma famille sans exception*
- *Les professeurs et mes camarades de la spécialité « Microélectronique, Microsystèmes et Conception de Circuits ».*
- *Le D. Djoumaa Malik qui m'a encadré dans ce projet de fin d'étude.*

**Azibi Rafik**

# *Dédicaces*

---

*Je dédie ce travail à:*

- *Mes très chers parents qui m'ont encouragé pendant le long de mes études et soutenu par leur amour et leur tendresse.*
- *Mes deux frères et mes deux sœurs.*
- *Toute ma famille DJELLALI et IDJELLIDINE*
- *Mes cher aimes « Seyfo ,Hosam,Raouf,Mohamed Bouali,Sou alhi,Mohamed Cherif »*
- *Le D. Djoumaa Malik qui m'a encadré dans ce projet de fin d'étude.*

**Djellali Samir**



---

## ملخص:

هذه الأطروحة تستعرض جزءا من دراسة و تحقيق لخلية منطقية لمكتبة قياسية مخصصة إلى حساب محطة تكنولوجيا (غرفة بيضاء) التي تقع في مركز تنمية التكنولوجيات المتطورة. هذه المكتبة تسهل تصميم و تنفيذ دارات (المكتبة القياسية تتكون من عدة بوابات منطقية بسيطة (و،او،...)) و معقدة (المهزة، الجامع، الذاكرة) مع التكنولوجيا 1 ميكرو متر. الدراسة في السؤال تأخذ بعين الاعتبار عدة عوامل، استهلاك (التيار، والاستطاعة) والتوقيت (مدة الانتشار، زمن الصعود، زمن النزول) والابعاد. تبدأ هذه الدراسة عن طريق تعريفات حول مختلف المكتبات التكنولوجية في السوق الصناعية، واستعمال جميع النظريات مع مراعاة دفتر شروط المكتبة. سيتم استخدام أداة التصميم لبرنامج كادونس أثناء تدفق التصميم. ثلاث خطوات لتحقيق الخلايا المنطقية: التصميم، تصميم القناع (التخطيط)، والتحقق من قواعد التصميم.

كلمات المفاتيح: التصميم، المحاكاة، التخطيط

---

## Résumé :

Ce mémoire de fin d'études aborde une partie d'une étude et réalisation de cellule logique d'une bibliothèque standard dédiée pour le compte d'une Centrale technologique (salle blanche) situé au centre de développement des technologies CDTA. Cette bibliothèque facilite la conception et l'implémentation des circuits ASIC. La bibliothèque standard est constituée de plusieurs portes logiques simples (and, nand, or, nor.) et complexes (MUX, bascule, additionneur, mémoire.) avec la technologie 1µm. l'étude en question prend en considération plusieurs facteurs, consommation (courant, puissance), timing (délais de propagation, temps de montée et temps de descente) et dimension. Cette étude commence par l'état de l'art sur les différentes bibliothèques des technologies dans le marché industriel, par la suite, développé toute la théorie en prenant compte du cahier de charge de la bibliothèque. L'outil de conception Virtuoso de Cadence sera utilisé durant le flow de conception. Trois étapes nécessaires pour la réalisation de ses cellules logiques : conception, dessin de masque (layout), et vérification des règles de dessin.

**Mots clés :** conception, simulation, layout.

---

## Abstract :

This thesis addresses a part of a study and realization of cell logic from a standard library dedicated to the account of a Central technological (clean room) located at the center of development of technologies CDTA. This library facilitates the design and implementation of ASICS. The standard library consists of several logic gates simple (and, nand, or, nor.) and complex (MUX, flip-flop, adder, memory.) with the technology 1µm. The study takes many factors into account, consumption (current, power), timing (time delays, time mounted time decent) and dimension. This study begins with the state of the art on the different libraries of the technologies in the industrial market, subsequently, developed the theory by taking account of the specifications of the library. The design tool Virtuoso from Cadence will be used during the flow of design. Three steps necessary for the realization of its logic cells: design, drawing of mask (layout) and verification of the rules of drawing.

**Keywords:** design, simulation, layout.

---

Introduction générale.....	2
<b>Chapitre 1 : Conception des circuits intégrés.....</b>	<b>1</b>
1.1. Introduction.....	2
1.2. Les ASICs (Application Spécifie Integrated Circuit).....	2
1.2.1. Définition.....	2
1.2.2. Méthode de conception.....	2
1.2.3. Avantages et inconvénients de l'utilisation d'ASIC.....	3
1.3. Opérations élémentaires pour la fabrication des transistors CMOS.....	4
1.4. Circuit CMOS dans le silicium.....	7
1.4.1. Règles de dessin.....	7
1.4.2. Paramètres électriques.....	8
1.4.3. Dispersion de paramètre.....	9
1.4.4. Protection de l'entrées/sorties.....	9
1.5. Caractéristiques importantes et critères de sélection .....	10
1.5.1. Caractéristiques de transfert.....	10
1.5.2. Marges de bruit.....	11
1.5.3 .Fan-in et fan-out.....	11
1.5.4. Puissance dissipée.....	11
1.5.5. Délais de propagation par porte.....	11
1.5.6. Produit puissance-délai.....	11
1.6. Conclusion.....	12

<b>Chapitre 2 : Etude théorique des portes logiques.....</b>	<b>13</b>
2.1. Introduction.....	14
2.2. Rappel théorique sur les transistors MOS.....	14
2.2.1. Les dimensions importantes dans un MOS .....	14
2.2.2. Régimes de fonctionnement du transistor MOS .....	15
a. Le régime bloqué.....	15
b. Le régime linéaire (ohmique).....	16
c. Le régime de saturation.....	17
d. Le régime de forte saturation (effet de modulation du canal).....	17
e. Le régime de faible inversion.....	18
2.2.3. Modélisation du transistor MOS .....	21
a. Modèles petits signaux en régime saturé.....	21
b. Modélisation petits signaux en régime Ohmique.....	23
c. Modélisation petits signaux en régime bloqué.....	24
2.3. Inverseur CMOS.....	24
2.3.1. Principe de fonctionnement.....	24
2.3.2. Régime statique.....	26
2.3.3. Caractéristiques de transfert dans un inverseur.....	26
2.3.4. Analyse en régime dynamique .....	27
a. Temps de descente $t_d$ .....	29
b. Temps de montée $t_m$ .....	30

c. Temps de propagation à la descente $t_{pd}$ .....	31
d. Temps de propagation à la montée $t_{pm}$ .....	32
2.3.5. Puissance dissipée .....	33
a. Puissance dynamique.....	33
b. Puissance statique.....	33
c. Puissance de court-circuit.. ..	33
d. Puissance totale.....	34
2.4. Portes logiques de base.....	34
2.4.1. Porte NAND.....	37
2.4.2. Porte AND.....	38
2.4.3. Porte NOR.....	38
2.4.4. Porte OR.....	39
2.5. Conclusion.....	40
<b>Chapitre 3: Etude pratique des portes logiques.....</b>	<b>41</b>
3.1 Introduction.....	42
3.2 Outil de conception Cadence.....	42
3.2.1 Présentation du design kit.....	42
3.2.2 Création d'un projet sur cadence.....	43
3.3 Bibliothèque des cellules.....	45
3.3.1. Concept.....	45
3.3.2. Librairie de base.....	46

3.3.3. Mode de représentation.....	46
3.4 Tests et résultats des différents éléments de la bibliothèque.....	47
3.4.1. Cellule simple.....	47
a. Inverseur simple.....	47
b. porteNAND2XL.....	57
c. Porte AND2XL.....	60
d. porte NOR2XL.....	63
e. Porte OR2XL.....	64
3.4.2 Cellules complexes.....	66
a. NAND3XL.....	66
3.5 Vues géométriques (Layout).....	70
3.5.1. Les étapes de layout.....	70
a. Planification.....	71
b. Topologie de la forme générale.....	71
c. Placement des composants.....	71
d. Routage.....	71
e. Vérification d'un layout.....	71
3.5.2. Layout et règles de dessin.....	73
a. les différentes couches utilisées dans un layout.....	73
b. Règles de Conception d'un layout.....	75
c. Les points communs entre les différentes cellules formants la bibliothèque.....	77

d. Les étapes de dessins.....	78
3.6 Conclusion.....	82
Conclusion générale.....	83
Bibliographie.....	

## Listes des figures

---

Figure 1.1. Réalisation du caisson N sur le substrat.....	4
Figure 1.2 .Fabrication des anneaux de garde et champ d'oxyde épais.....	5
Figure 1.3. Fabrication des grilles poly-cristallines et des diffusions N.....	5
Figure 1.4. Diffusions P.....	6
Figure 1.5. Premier niveau d'interconnexion.....	6
Figure 1.6. Caractéristiques de transfert.....	10
Figure 2.1. Dimensions dans un MOS.....	15
Figure 2.2 .Le MOS en régime de blocage.....	15
Figure 2.3. Formation du canal en dessous de la grille.....	16
Figure 2.4 .Distribution des charges en régime ohmique.....	16
Figure 2.5. Pincement du canal.....	17
Figure 2.6. L'expression du courant dans les régimes de conduction.....	17
Figure 2.7. L'effet de la modulation du canal.....	18
Figure 2.8. Régime de faible inversion.....	19
Figure 2.9. Effet du substrat.....	20
Figure 2.10. Caractéristique du NMOS.....	20
Figure 2.11. Modèle petit signal a basse fréquence.....	21
Figure 2.12. Modèle petit signal à haute fréquence.....	22
Figure 2.13. Modèle petit signal dans le régime ohmique.....	23
Figure 2.14. Modèle petit signal dans le régime bloqué.....	24
Figure 2.15. Symbole et réalisation de l'inverseur en technologies CMOS.....	25

## Listes des figures

---

Figure 2.16. Caractéristiques de transfert d'un inverseur CMOS.....	26
Figure 2. 17. Capacité totale de charge de sortie d'un inverseur CMOS.....	28
Figure 2.18. Processus de chargement et de déchargement de la capacité de sortie d'un inverseur CMOS.....	29
Figure 2.19. Schéma de principe de la logique complémentaire.....	35
Figure 2.20. Schéma du fonctionnement de la logique complémentaire.....	35
Figure 2.21. Porte NAND.....	37
Figure 2.22. Transition du signal de la porte NAND.....	37
Figure 2.23. Porte AND.....	38
Figure 2.24. Porte NOR.....	39
Figure 2.25. Transition du signal de la porte NOR.....	39
Figure 2.26. Porte OR.....	40
Figure 3.1. Lancement d'un projet sur Cadence.....	43
Figure 3.2. Fenêtre principale sur Cadence.....	44
Figure 3.3. Library Manager sur Cadence.....	44
Figure 3.4. Création d'une cellule sur Cadence.....	45
Figure 3.5. Schéma d'inverseur sur Cadence.....	45
Figure 3.6. Inverseur CMOS .....	48
Figure 3.7. Test bench.....	49
Figure 3.8. Courbe de transfert de tension (VTC) de l'inverseur INV1XL.....	50
Figure 3.9. Courbe de fonctionnement (INV1XL).....	51



## Listes des figures

---

Figure 3.10. Consommation de courant (INV1XL).....	51
Figure 3.11. Le temps de la descente $t_d$ (falling time).....	52
Figure 3.12. Le temps de la montée $t_m$ (rising time).....	53
Figure 3.13. Le temps de propagation à la montée.....	53
Figure 3.14. Le temps de propagation à la descente.....	54
Figure 3.15. Schéma électrique et le symbole de la porte NAND2XL.....	57
Figure 3.16. Les courbes de transfert de tension (NAND2XL).....	58
Figure 3.17. Courbes de fonctionnement de la porte NAND2XL.....	58
Figure 3.18. Consommation de courant(NAND2XL).....	59
Figure 3.19. Schéma électrique et le symbole de la porte AND2XL.....	60
Figure 3.20. Les courbes de transfert de tension (AND2XL).....	61
Figure 3.21. Courbes de fonctionnement de la porte AND2XL.....	61
Figure 3.22. Consommation de courant(AND2XL).....	62
Figure 3.23. Schéma électrique et le symbole de la porte NOR2XL.....	63
Figure 3.24. Schéma électrique et le symbole de la porte OR2XL.....	65
Figure 3.25. Schéma électrique et le symbole de la porte NAND3XL.....	66
Figure 3.26. Courbe de transfert de tension (NAND3XL).....	67
Figure 3.27. Les courbes de transfert de tension (NAND3XL).....	68
Figure 3.28. Courbes de fonctionnement de la porte NAND3XL.....	68
Figure 3.29. Consommation de courant(NAND3XL).....	69
Figure 3.30. Les étapes des dessins des masques.....	70

## Listes des figures

---

Figure 3.31.Loi des dessins de masque des différentes couches (active, poly-silicium, métal et les contacts).....	76
Figure 3.32.La grille utilisée dans les Layout.....	77
Figure 3.33.Les limites de la cellule.....	78
Figure 3.34.Dessin des rails d'alimentation.....	79
Figure 3.35.Dessin des couches NWELL.....	80
Figure 3.36.Layout de l'inverseur INV1XL.....	80
Figure 3.37. .Layout de l'inverseur INV3XL.....	81
Figure 3.38. .Layout de l'inverseur INV4XL.....	81

Tableau 2.1. Table de vérité d'un inverseur.....	24
Tableau 3.1. Les caractéristiques d'inverseur INV1XL (fréquence 100 Hz).....	55
Tableau 3.2. Les caractéristiques d'inverseur INV1XL (fréquence 100 MHz).....	56
Tableau 3.3. Les caractéristiques de la porte NAND2XL.....	59
Tableau 3.4. Les caractéristiques de la porte AND2XL.....	62
Tableau 3.5. Les caractéristiques de la porte NOR2XL.....	64
Tableau 3.6. Les caractéristiques de la porte OR2XL.....	65
Tableau 3.7. Les caractéristiques de la porte NAND3XL.....	69
Tableau 3.8. Représentation en couleur des différentes couches utilisées par Vertuoso cadence....	74

# *Introduction générale*

## **Avant-propos**

Le domaine de la micro-électronique a connu un développement technologique sans pareil ces dernières années. Ainsi sont aujourd'hui intégrés sur une seule puce des systèmes électroniques réalisés auparavant sous forme de cartes. Cette tendance à l'intégration et à la miniaturisation des circuits est portée par le développement "explosif" des applications multimédia, de télécommunications et automobiles. De tels systèmes comportent un nombre toujours croissant de modules pouvant appartenir à des domaines différents: des fonctions numériques, prédominantes, qui sont fondées sur des microprocesseurs ou micro-contrôleurs, des mémoires et des blocs DSP de traitement de signal ("Digital Signal Processing"), mais aussi des fonctions analogiques d'amplification et de filtrage qui se trouvent en particulier dans les circuits de conversion analogique/numérique (CAN) en entrée, et numérique/analogique (CNA) en sortie.

Durant ces dernières années, beaucoup d'efforts ont été consacrés à la consommation des systèmes CMOS mixtes analogiques/numériques. Cela est dû principalement à la réduction de la taille des circuits intégrés. Les conséquences de ces réductions sont différentes selon la nature des circuits.

D'un côté, les circuits intégrés numériques peuvent facilement atteindre des qualités excellentes du point de vue fonctionnement (par exemple une très grande résolution et un bon rapport signal sur bruit).

De plus, la taille de la partie numérique est réduite radicalement avec la minimisation des tailles des blocs fonctionnelles.

D'un autre côté, les circuits intégrés analogiques avec de bonnes fonctionnalités sont très difficiles à réaliser. Par ailleurs, les circuits intégrés analogiques ne peuvent pas être conçus en utilisant des tailles minimales des transistors. La surface de la partie analogique ne peut donc pas être réduite radicalement avec la minimisation des tailles des fonctions à réaliser.

Bien que plusieurs parties analogiques puissent être remplacées par des parties numériques, la nécessité des circuits analogiques reste assez importante. Le monde réel étant analogique, il y aura en effet toujours besoin de convertisseurs pour convertir les données numériques des dispositifs électroniques en signal analogique (ex: signal audio) perceptible par l'homme.

D'autre part, les circuits intégrés analogiques peuvent réaliser des fonctions à haute fréquence (Radio Fréquence) contrairement aux circuits numériques. Les senseurs, les transmetteurs, les récepteurs sont ainsi souvent des composants analogiques.

La réalisation des éléments de la bibliothèque standard regroupant toutes les portes logiques qui peuvent être intervenir lors de la conception de la partie digitale d'un circuit intégré. Cette bibliothèque contient des cellules standard simples et complexes.

Les tests et les résultats dans ce projet se fait dans le centre de développement des technologies avancées (CDTA) de Baba Hassen, Algérie.

### **Plan de la thèse**

La thèse est répartit sur trois chapitres. Dans le premier chapitre, on a donné des généralités sur les applications spécifiques (ASIC), ainsi que la fabrication des transistors CMOS, ainsi que le circuit CMOS dans le silicium, ainsi que les caractéristiques et les critères de sélection. Le deuxième chapitre résume l'étude théorique des portes logiques, dans ce chapitre, on a exposé un bref rappel théorique sur le transistor MOS, les différents temps caractérisant une porte logique et la conception CMOS des éléments essentiels d'une bibliothèque logique. Le troisième chapitre résume l'étude pratique des portes logiques, dans ce chapitre, on a donné les différents tests et résultats effectués (analyse DC et transitoire, courbe de transfert de tension, consommation du courant et timing simulation, Layout sur quelques cellules).

# Chapitre 1

## Conception des circuits intégrés

### **1.1 Introduction**

### **1.2 Les ASICs (Application Spécifie Integrated Circuit)**

### **1.3 Opérations élémentaires pour la fabrication des transistors CMOS**

### **1.4 Circuit CMOS dans le silicium**

### **1.5 Caractéristiques importantes et critères de sélection**

### **1.6 Conclusion**

## 1.1. Introduction

Les progrès technologiques continus dans le domaine des circuits intégrés ont permis la réduction des coûts, de la consommation, et c'est maintenant un lieu commun d'affirmer que les circuits intégrés d'une application spécifiques ont permis une réduction de la taille des systèmes numériques ainsi que la réalisation de circuits de plus en plus complexes, tout en améliorant leurs performances et leur fiabilité. Ce chapitre va introduire les connaissances élémentaires ainsi que des règles et techniques qui pourront être utilisé dans la conception

## 1.2. Les ASICs (Application Spécifie Integrated Circuit)

Les circuits ASIC constituent la troisième génération de circuits intégrés qui a vu le jour au début des années 80. En comparaison des circuits intégrés standards et figés proposés par les fabricants (IC TTL 7400), l'ASIC présente une personnalisation de son fonctionnement, selon l'utilisation, accompagnée d'une augmentation de la densité d'intégration et de la vitesse de fonctionnement. En outre sa personnalisation lui confère un autre avantage industriel, c'est évidemment la confidentialité. Ce concept d'abord développé autour du silicium s'est ensuite étendu à d'autres matériaux pour les applications micro-ondes ou très rapides (GaAs par exemple). [1]

### 1.2.1. Définition

Les circuits ASIC regroupent tous les circuits dont la fonction peut être personnalisée d'une manière ou d'une autre en vue d'une application spécifique, par opposition aux circuits standards dont la fonction est définie et parfaitement décrite dans le catalogue de composants. Les ASIC peuvent être classés en plusieurs catégories selon leur niveau d'intégration, en fait un ASIC est défini par sa structure de base. [2]

### 1.2.2. Méthode de conception

Les méthodes efficaces de conception d'ASICs reposent sur la méthodologie descendante « top down ». Cette méthodologie peut se considérer comme une « boîte à outils » dans laquelle le concepteur trouve une variété d'outil approprié : modèles, solutions, méthodes. Reste au concepteur à trouver pour chaque situation l'outil approprié pour une résolution efficace de son problème.

✓ **La méthode descendante « top-down » [4] [5]**

Cette approche est la méthode la plus populaire parmi les concepteurs des circuits intégrés ASICs. Par ailleurs, c'est une méthode « générique » ou les approches de conception viennent s'imbriquer.

L'approche descendante part du système en circuits puis sous circuits et évolue ainsi jusqu'au schéma composé de transistors. La méthode de conception descendante peut être définie comme suit :

✓ Le niveau système ou spécification système (system level en anglais)

A ce niveau, aucune architecture et séquençement des opérations ne sont définis.

✓ Le niveau comportemental et algorithmique

A ce niveau, le circuit est spécifié en terme de pas de calcul, sépare par des points de synchronisation ou des lectures/écritures des entrées/sorties.

✓ Le niveau transfert de registre (RTL)

A ce niveau, les opérateurs sont associés aux composants de librairie, les variables aux points mémoires pour obtenir une représentation en transfert de registre.

✓ Le niveau physique

C'est le niveau le plus bas, il prend en considération les informations électriques du système, il possède le plus haut degré de précision dans le modèle.

Par ailleurs pour compléter le flot de la méthode descendante, il faut ajouter des étapes de validations.

### **1.2.3. Avantages et inconvénients de l'utilisation d'ASIC**

D'une manière générale l'utilisation d'un ASIC conduit à de nombreux avantages provenant essentiellement de la réduction de la taille des systèmes. Il en y sort :

✓ Réduction du nombre de composants sur le circuit imprimé. La consommation



et l'encombrement s'en trouvent considérablement réduits.

✓ Le concept ASIC par définition assure une optimisation maximale du circuit à réaliser. Nous disposons alors d'un circuit intégré correspondant réellement à nos propres besoins.

✓ La personnalisation du circuit donne une confidentialité au concepteur et une protection industrielle.

✓ Ce type de composant augmente la complexité du circuit, sa vitesse de fonctionnement et sa fiabilité.

L'inconvénient majeur réside dans le fait du passage obligatoire chez le fondeur ce qui implique des frais de développement élevés du circuit. En général le fondeur ne souhaite pas intervenir dans la phase de conception ; sa tâche est de réaliser le composant à partir des masques. Dans le but de réduire les surcoûts dus aux modifications, il s'avère nécessaire d'être rigoureux lors de la phase de développement de telle sorte que le circuit prototype fonctionne dès les premiers essais. [3][2]

### 1.3. Operations élémentaires pour la fabrication des transistors CMOS

Une structure CMOS (Complementary Metal Oxyde Semi-conductor) composée d'un transistor de type P et d'un transistor de type N, est la superposition de différentes zones conductrices ou isolantes, créées à partir l'application des différents procédés physiques et chimiques dans un ordre parfaitement établi: [6][7]

✓ Une fine couche de protection d'oxyde de silicium est déposée sur un substrat de type P (figure 1.1.a1).

✓ Le caisson N est diffuse (figure 1.1.a2).

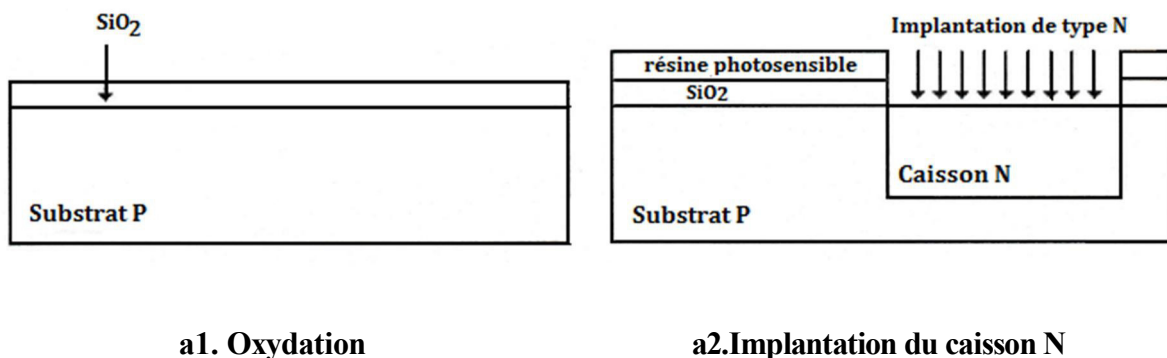


Fig. (1.1). Réalisation du caisson N sur le substrat

✓ Les anneaux de garde séparant électriquement les transistors sont implantés (figure 1.2). Ceux-ci seront par la suite reliés au potentiel électrique le plus bas du circuit. Cette étape est suivie d'un dépôt d'oxyde épais.

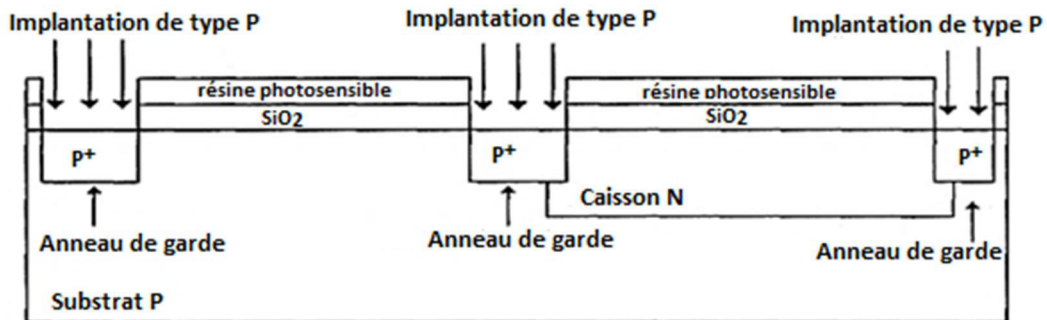


Fig. (1.2). Fabrication des anneaux de garde et champ d'oxyde épais

✓ Les grilles de silicium polycristallin sont déposées et les diffusions de type N sont implantées (figure 1.3). Ces grilles servant de masques, leur autoalignement sur la structure canal-source-drain est assuré, on minimise ainsi le recouvrement grille-drain et grille-source générateur de capacité parasite structurelle. La prise de caisson, fortement dopée, en diminuant la résistance de contact permet de se prémunir contre le phénomène de latch-up.

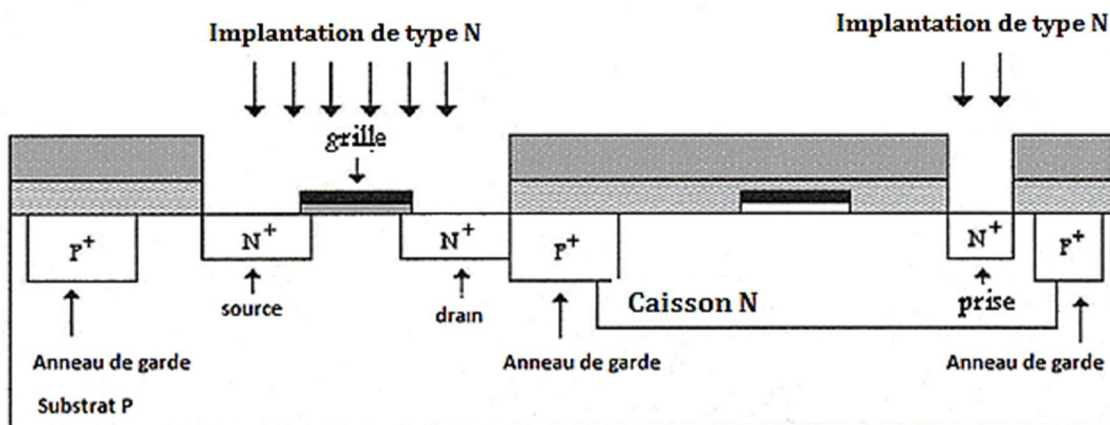


Fig. (1.3). Fabrication des grilles poly-cristallines et des diffusions N

✓ Les diffusions de type P sont implantées (figure 1.4).

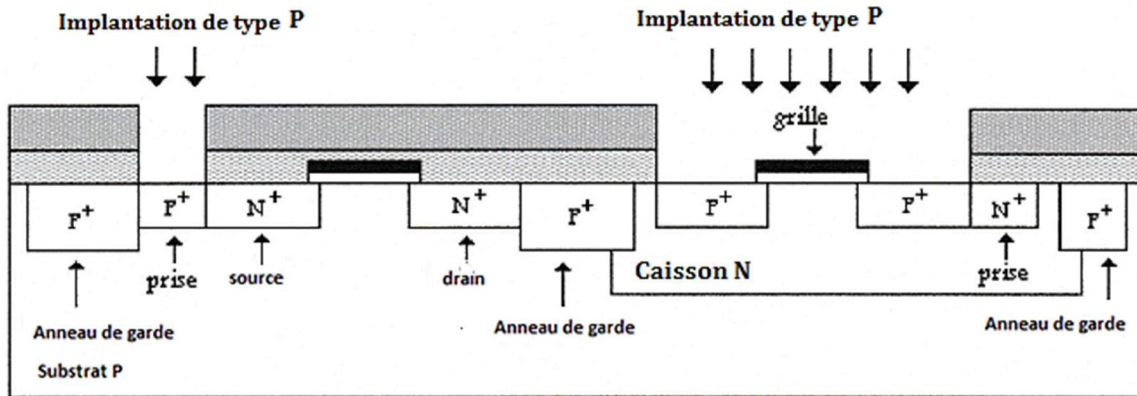


Fig. (1.4). Diffusions P

✓ Un premier niveau d'interconnexion (aluminium ou cuivre) est réalisé après isolation par une couche d'oxyde épais (quelques 0,1  $\mu\text{m}$ ). Eventuellement les autres niveaux d'interconnexion métalliques sont ensuite successivement réalisés (figure 1.5).

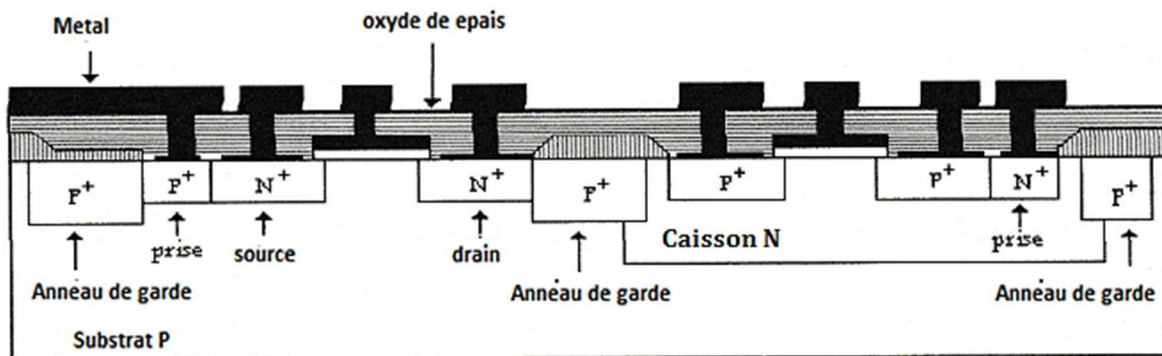


Fig. (1.5). Premier niveau d'interconnexion

✓ L'étape finale de passivation complète du circuit est effectuée. Cette couche de protection est ensuite ouverte pour réaliser les connexions avec l'extérieur (c'est le "packaging").

**Remarque :** Les étapes précédentes résument la fabrication d'un doublé de transistor NMOS et PMOS.

## 1.4. Circuit CMOS dans le Silicium

Le masque optique est la composante principale de la fabrication. Il définit les motifs qui vont produire les différents éléments sur le circuit. Il y a donc des règles quant aux dimensions minimales et la séparation entre les éléments.

### 1.4.1. Règles de dessin

Le processus de fabrication des circuits intégrés est sensible aux diverses dispersions spatiales. Les motifs issus du processus de fabrication diffèrent de ceux dessinés sur masques et peuvent alors conduire au dysfonctionnement du circuit [8].

Ces différences sont principalement issues :

- ✓ Du désalignement des masques, plusieurs niveaux de masques sont superposés successivement avec une précision finie, le débordement (overlay) est aujourd'hui de l'ordre de quelques dizaines de nanomètres entre deux niveaux de masques.
- ✓ De la tolérance des précédentes de photolithographie et gravure.
- ✓ De la diffusion des espèces implantées, notamment la diffusion latérale, qui, naturellement, change les distances entre jonctions par rapport à leurs distances sur masques.

Pour prévenir, l'apparition de structures géométriquement déformées, trop petites ou électriquement dangereuses, on définit, pour chaque technologie, un jeu (plusieurs dizaines, voire quelques centaines) de règles de dessin, qui précisent les dimensions et espaces minimaux et qui excluent les configurations interdites. [8]

L'importance des règles de dessin réside principalement dans les trois points suivants:

- ✓ Elles éliminent (ou réduisent fortement) le risque de dysfonctionnement du circuit, conduisant ainsi à des rendements de fabrication plus élevés.
- ✓ Elles permettent aux concepteurs, en définissant clairement les dimensions minimales, de prendre sans risque l'avantage des performances accrues pour de petits dispositifs.
- ✓ Elles sont la clef pour l'automatisation du processus de conception et de vérification du dessin, permettant ainsi de diminuer le coût de la conception et d'éviter de

nombreuses erreurs qui peuvent apparaître au cours de la conception de circuits complexes.

### 1.4.2. Paramètres électriques

La fiabilité de la conception des circuits intégrés et la rapidité de la mise sur le marché des nouveaux circuits reposent sur la précision de la simulation électrique de leur fonctionnement. Cela permet d'atteindre avec exactitude la fonctionnalité voulue du circuit et d'éliminer les erreurs avant d'entrer en phase de fabrication.

La précision de la simulation est fonction de la qualité des modèles utilisés et de la justesse des paramètres électriques spécifiques à la technologie de fabrication. Du fait de leur complexité, les modèles de composants électriques présentent des jeux de paramètres qui leur sont spécifiques. Le fabricant fournit, en général, les valeurs des paramètres électriques de sa technologie, relatives aux modèles standard utilisés par les concepteurs.

Un modèle de base n'utilise qu'une dizaine de paramètres électriques, mais les modèles actuels en ont plusieurs dizaines (voire une centaine). C'est le résultat de nombreux effets correcteurs implémentés dans les modèles, qui sont indispensables pour simuler avec précision des circuits fabriqués en technologie avancée. L'acquisition des valeurs des paramètres, vu leur nombre et leurs corrélations internes, peut être une tâche très difficile, on peut énumérer trois approches principales à ce problème. [9] [10]

✓ **Optimisation globale:** un logiciel d'optimisation ajuste les valeurs des paramètres ayant pour critère la minimisation de l'écart par rapport aux caractéristiques électriques mesurées sur les dispositifs issus de la technologie en question. Du fait des corrélations entre certains paramètres, il y a souvent des compensations d'erreurs, au prix de valeurs non physiques de ces paramètres. L'autre inconvénient majeur est la puissance de calcul : vu le nombre de paramètres entrant en jeu, les capacités de calcul des ordinateurs peuvent être vite dépassées.

✓ **Optimisation locale :** on décompose le processus d'optimisation en une séquence d'étapes, dont chacune n'ajuste que quelques paramètres par rapport à un sous-ensemble de caractéristiques particulièrement sensibles aux valeurs des paramètres sélectionnés. On y gagne sur les deux fronts : la puissance de calcul devient abordable et le sens physique des paramètres est mieux préservé.

✓ **Extraction directe** : les procédures d'extraction directe pour chaque paramètre sont fournies avec le modèle : elles précisent les structures de tests, les mesures et calculs à effectuer pour établir la valeur du paramètre donné. C'est la méthode la plus rapide et assurant le mieux, le sens physique des paramètres, mais elle demande un investissement de départ pour l'élaboration des procédures d'extraction ; cela n'est d'ailleurs possible qu'avec des modèles bien conçus et ayant eux-mêmes un sens physique des équations.

### 1.4.3. Dispersion de paramètre

Différents types de dispersions peuvent intervenir au cours de la fabrication des circuits intégrés : dispersion en dimensions latérales, en dimensions verticales ou en concentration de dopants. La plus critique est certainement la dispersion de la longueur du canal.

Une dispersion  $\partial L$  de la longueur du transistor peut être tolérable vis-à-vis des transistors relativement longs, car elle n'implique pas de réduction de  $V_{th}$  et donc n'influence pas ou peu les caractéristiques du MOS. Concernant les transistors courts, une même dispersion  $\partial L$  est plus critique, car, à travers  $V_{th}$  elle peut conduire à des variations inacceptables des caractéristiques de sortie et sous le seuil. [10]

### 1.4.4. Protection des entrées/sorties

En règle générale les entrées des circuits MOS sont connectées aux grilles des transistors MOS, qui représentent des capacités relativement faibles de l'ordre du femto-farad (10-15f). En outre, les oxyde de grille très minces, de l'ordre de quelques nanomètres, ne supportent pas des tensions supérieures de 5 à 10V. Cela implique que des charges aussi faibles que quelques femto-coulombs peuvent conduire au claquage de l'oxyde, sachant que les charges électrostatiques dont nous sommes porteurs (charges issues de frottement et d'autres phénomènes électrostatiques) peuvent largement dépasser le seuil de quelques femto-coulombs.

Il en résulte que les circuits MOS sont très sensibles aux charges électrostatiques, une manipulation inattentive peut conduire à leur destruction. Afin de prévenir cet inconvénient, on implémente des circuits de protection aux entrées des circuits MOS. Il est aussi de bon usage de les manipuler en utilisant des bracelets qui, par un fil conducteur, écoulent les charges électrostatiques à la terre. [10]

## 1.5. Caractéristiques importantes et critères de sélection

### 1.5.1. Caractéristiques de transfert

La caractéristique de transfert en tension ne peut pas être fixée absolument pour un type de circuit donné. On spécifie cette donnée sous forme de tolérances :

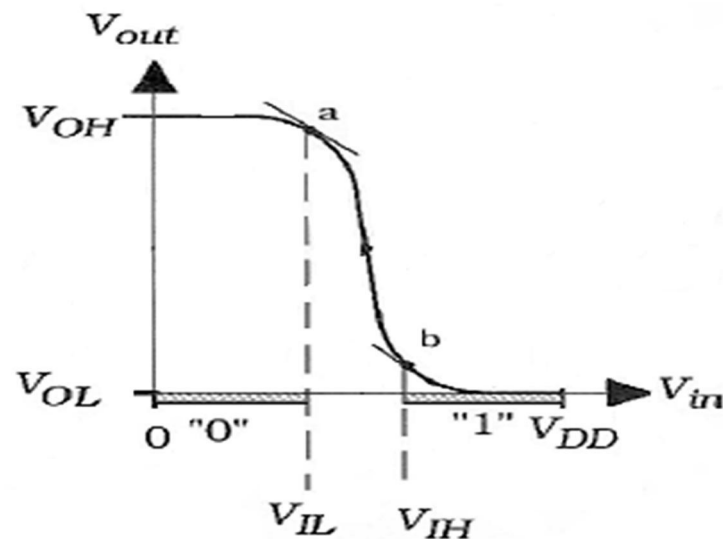


Fig. (1.6): Caractéristiques de transfert

Tensions d'entrée

$V_{IL}$ : Tension maximale reconnue comme un 0.

$V_{IH}$ : Tension minimale reconnue comme un 1.

Tensions de sortie

$V_{OL}$ : Tension maximale garantie pour un 0.

$V_{OH}$ : Tension minimale garantie pour un 1.

### 1.5.2. Marges de bruit

Comme la sortie d'un circuit logique est souvent connectée à l'entrée d'un autre, deux grandeurs pertinentes sont la marge de bruit et la marge de tension parasite que

$$\text{Marge de bruit pour le niveau haut : } \Delta V_H = V_{OH} - V_{IH}$$

$$\text{Marge de bruit pour le niveau bas : } \Delta V_L = V_{OL} - V_{IL}$$

Ces marges de bruit sont bien sur spécifiées pour des familles logiques, avec des tensions d'alimentation. L'interfaçage de différentes familles logiques ne peut donner se faire sans précautions particulières quant à ces marges, et plus généralement quant à l'ensemble des caractéristiques des familles concernées.

### 1.5.3. Fan-in et fan-out

Pour un circuit donné, le fabricant spécifie le nombre de circuits du même type que l'on peut placer en amont et en aval, sans détériorer les performances du système :

**Fan-in** : nombre maximum de portes pouvant débiter dans le circuit.

**Fan-out**: nombre maximum de portes pouvant charger le circuit.

### 1.5.4. Puissance dissipée

Que ce soit pour les circuits logiques ou analogiques, intégrés ou pas, la puissance dissipée est toujours un paramètre important. L'alimentation des circuits doit être capable de débiter le courant nécessaire.

### 1.5.5. Délais de propagation par porte

Le signal de sortie d'une porte logique accuse un certain retard par rapport à la transition du signal d'entrée. Ce retard est lié à divers phénomènes dynamiques, et les fabricants spécifient les délais de propagation en mesurant les signaux à mi-tension.

### 1.5.6. Produit puissance-délai

Au sein d'une famille logique, on peut dans certaines limites, concevoir des circuits à



faible délai au prix d'une consommation élevée ou réciproquement on peut diminuer leur consommation, si on se contente de rapidités moindres.

Remarquons que l'apparition de ce type de compromis est typique en électronique, où des impédances de sortie plutôt résistives se combinent avec des capacités parasites peu contrôlées : si on diminue la résistance de sortie  $R$ , le produit  $RC$  diminue, donc la rapidité du circuit augmente. Cela peut néanmoins se faire par le biais d'une augmentation de courant, donc de consommation.

## 1.6. Conclusion

Dans ce chapitre, nous avons exposé, en premier lieu, la méthode de conception des circuits intégrés ASICs, et le processus de fabrication CMOS (transistors NMOS et PMOS sur le même substrat). Puis nous avons cité les paramètres à tenir en compte pendant la conception des circuits intégrés. Enfin, nous avons donné les caractéristiques et les critères de sélection des circuits logiques CMOS

# Chapitre 2

## Etude théorique des portes logiques

### 2.1 Introduction

### 2.2 Rappel théorique sur les transistors MOS

### 2.3 Inverseur CMOS

### 2.4 Portes logiques de base

### 2.5 Conclusion

## 2. 1. Introduction

Aujourd'hui, la technologie CMOS est la technologie dominante pour la fabrication des circuits intégrés par rapport aux autres technologies, essentiellement bipolaire, Bicomos, c'est principalement parce qu'elle possède deux avantages : sa faible consommation et sa densité d'intégration qui ne cesse de croître, puisqu'en trente ans la longueur minimum des transistors a été divisée par un facteur supérieur à cent.

## 2.2. Rappel théorique sur les transistors MOS [11] [12]

Le transistor MOS est le composant le plus employé de nos jours. Le Transistor à Effet de Champ Métal Semi-conducteur (MOSFET : Métal Oxyde Semi-conducteur Field Effect Transistor) à sa grille isolée du canal par une couche de dioxyde de silicium ( $\text{SiO}_2$ ). Le transistor MOS possède 4 électrodes : la Source (*Source*) S: point de départ des porteurs, le Drain (*Drain*) D : point de collecte des porteurs. La Grille (*Gate*) G et le Substrat (*Body*) B sont les électrodes de la capacité MOS qui contrôle le nombre de porteurs présents dans le canal.

L'intensité du courant circulant entre la source et le drain est commandée par la tension entre la grille du substrat. Très souvent les électrodes de source et de substrat sont électriquement reliées, on retrouve un composant à 3 électrodes dans lequel la courant entre le Drain et la Source  $I_{DS}$  est commandé par une tension entre la Grille et la Source (potentiel de source = potentiel de substrat) :  $V_{GS}$ .

Dans chaque type de MOSFET, on peut distinguer le MOSFET canal N (le courant provient du déplacement d'électrons) et le MOSFET canal P (le courant provient du déplacement de trous).

L'étude du transistor se fait dans le cas d'un MOS à canal N (NMOS), qui est le plus fréquent; le canal P a un fonctionnement identique en inversant les polarisations.

### 2.2.1. Les dimensions importantes dans un MOS

Les transistors mos sont définis par leurs dimensions :

L: Longueur du canal, son minimum est défini par la technologie.

W: Largeur du canal.

$t_{ox}$ : L'épaisseur de l'oxyde.

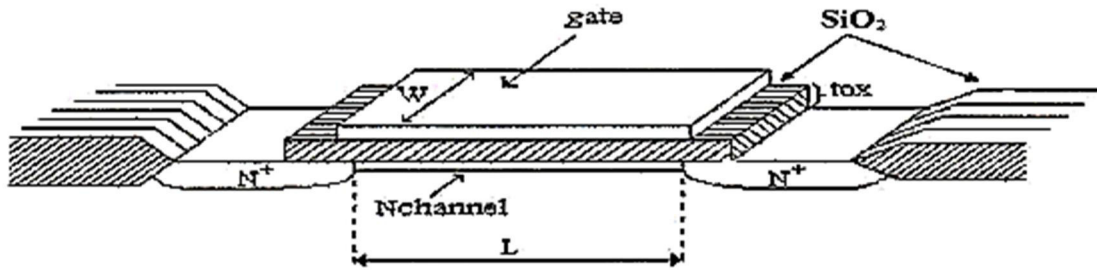


Fig. (2.1): Dimensions dans un MOS

### 2.2.2. Régimes de fonctionnement du transistor MOS

Le transistor MOS possède des régimes de fonctionnement différents sont :

#### a. Le régime bloqué

Le transistor NMOS se comporte comme un interrupteur ouvert (bloqué) lorsque  $V_{GS} \leq V_{th}$  ( $I_D=0$ ). Lorsque la tension de grille est très inférieure à zéro ( $V_G \ll 0$ ), il y a création d'une zone d'accumulation des trous ( $p^+$ ) sous l'isolant, deux diodes PN polarisées en inverse, aucun courant ne circule entre le drain et la source. (fig.2.2)

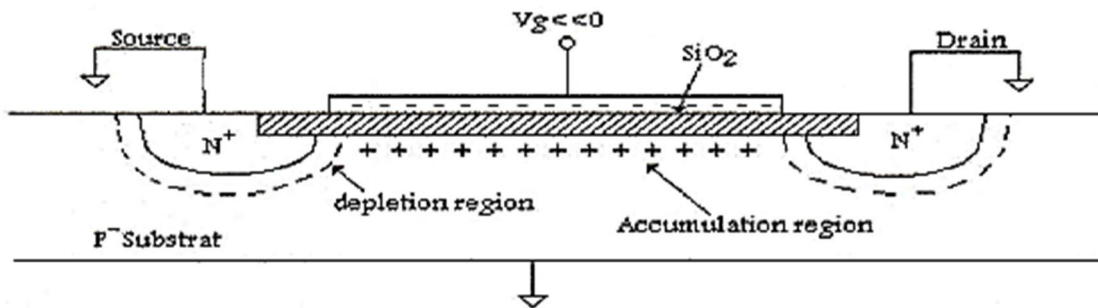


Fig. (2.2): Le MOS en régime de blocage

#### ✓ Condition de création du canal N

La création du canal N se fait lorsque la tension de grille  $V_G$  est supérieure  $V_{th}/2$ .

$V_{th}$  (threshold voltage): Potentiel de grille pour lequel la densité de charge apportée sous la grille est le

double de la densité de charge du dopant à  $V_G=0V$  (au-dessous de l'isolant).

✓ **Formation du canal du transistor NMOS**

Lorsque  $V_G \gg 0$  et  $V_G \neq V_{th}$ , il y a création d'un canal N sous la grille, les électrons fournis par la source et le drain peuvent circuler librement, il y a création d'un courant entre la source et le drain.( Fig.2.3)

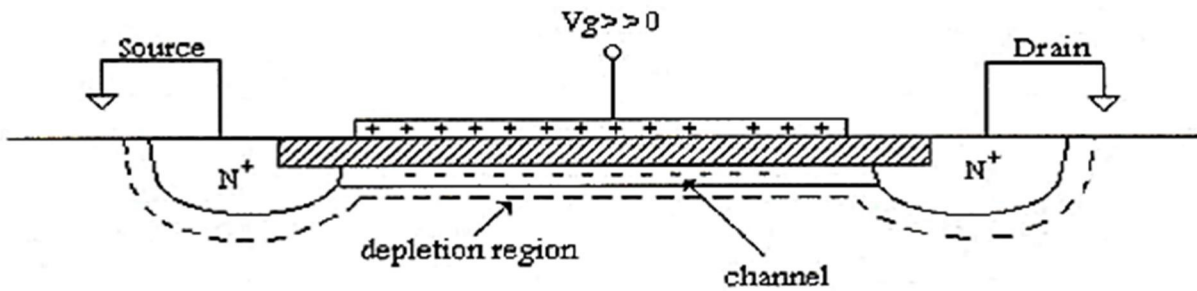


Fig. (2.3): Formation du canal en dessous de la grille

**b. Le régime linéaire (ohmique)**

Dans certaines conditions, le MOSFET se comporte comme une résistance, dont la valeur dépend de  $V_{GS}$ .

Lorsque  $V_G > V_{th}$  et  $V_D > 0$  : transistor en régime ohmique (Variation de la densité de charge le long du canal). La condition du régime ohmique est  $V_{GS} > V_{th}$  et  $V_{DS} < V_{GS} - V_{th}$ . (fig.2.4)

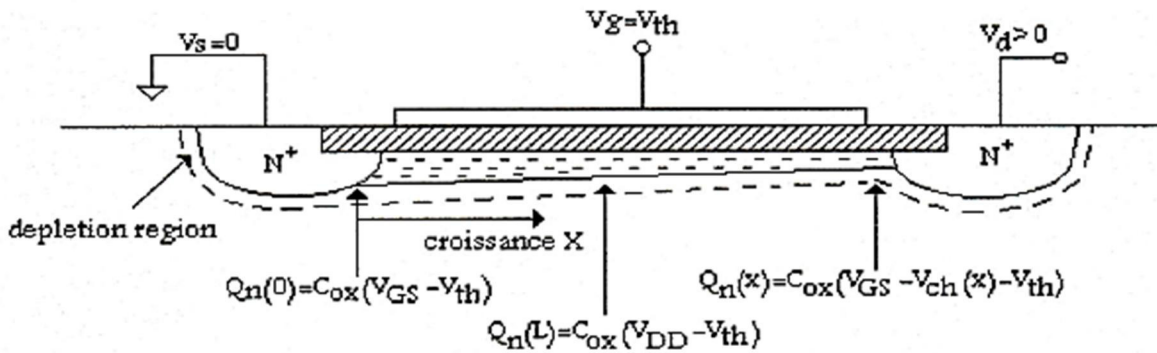
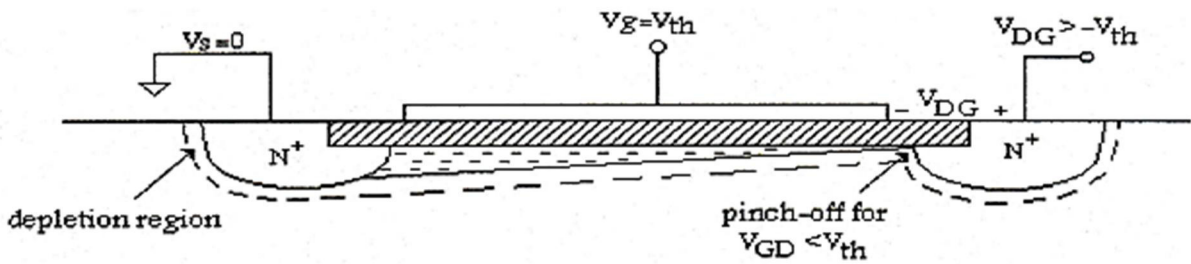


Fig. (2.4): Distribution des charges en régime ohmique

**c. Le régime de saturation**

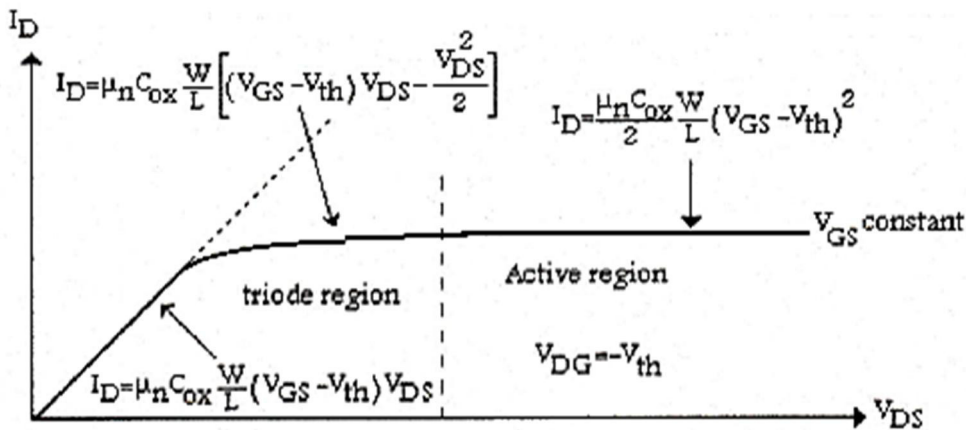
Dans certaines conditions, le NMOS se comporte comme un générateur de courant commandé en tension  $V_{GS}$ .

Lorsque  $V_G < V_{th}$  et  $V_D \gg 0$ , il y a pincement du canal, en première approximation, la densité de courant dans le canal reste constante et le courant ne croit plus avec  $V_{DS}$ . Condition du régime de saturation:  $V_{GS} > V_{th}$  et  $V_{DS} > V_{GS} - V_{th}$ . (fig.2.5)



**Fig. (2.5): Pincement du canal**

La figure (2.6) résume les régimes de fonctionnement du transistor NMOS et leurs équations de courants :



**Fig. (2.6): L'expression du courant dans les régimes de conduction**

$\mu_{n,p}$  : Mobilité des trous (ou des électrons). [ $cm^2/v\text{-sec}$ ]

$C_{OX} = \frac{\epsilon_{ox}}{t_{ox}}$  : Capacité d'oxyde. [ $F/cm^2$ ].

**d. Le régime de forte saturation (effet de modulation du canal)**

Pour  $V_{DS} = V_{GS} - V_{th}$ , appelé seuil de saturation, le champ généré au drain annule le champ crée

par le potentiel de grille. Il n'y a plus de canal au niveau du drain, on dit qu'il y a pincement du canal. Lorsque le canal est pincé, la longueur effective du canal diminue. La valeur du courant  $I_D$  est modulée par  $V_{DS}$ . (fig.2.7)

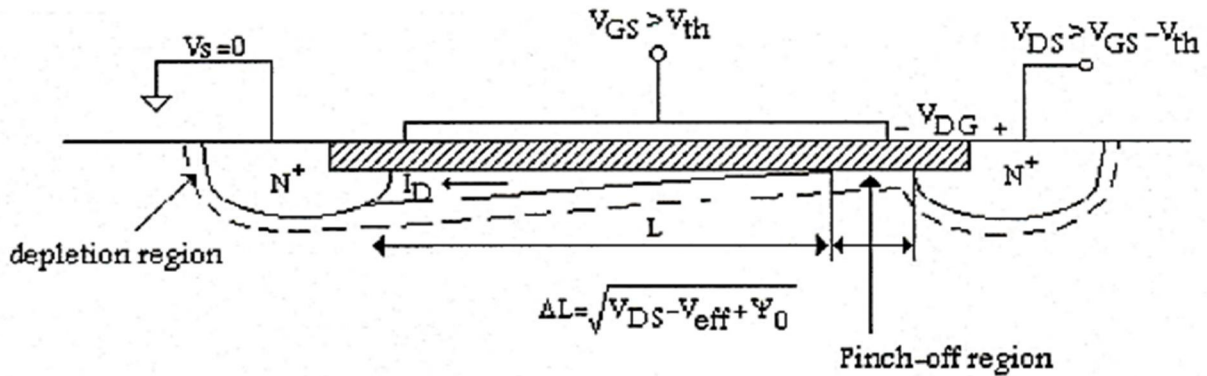


Fig. (2.7): L'effet de la modulation du canal

Pour tenir compte de cette modulation, on introduit le coefficient  $\lambda = \frac{1}{V_A}$

avec  $V_A = L_{eff} \left[ \frac{\partial X_d}{\partial V_{DS}} \right]^{-1}$  et  $L_{eff} = L - X_d$  ( $X_d$ : La largeur de la zone de déplétion).

L'équation du courant devient:

$$I_D = \frac{\mu_n C_{ox}}{2} \frac{W}{L} (V_{GS} - V_{th})^2 [1 + \lambda(V_{DS} - V_{eff})]$$

Si  $V_{DS}$  continue à augmenter, il apparaît des effets de second ordre :

- ✓ Limitation de la vitesse, la vitesse des porteurs de charge n'augmente plus de manière linéaire avec le champ électrique.
- ✓ Saturation de la mobilité des porteurs.

**e. Le régime de faible inversion**

Pour  $V_{th}/2 < V_{GS} < V_{th}$ , le canal n'est pas complètement formé, mais un courant circule entre le drain et la source, c'est le régime de faible inversion. Le transistor MOS se comporte comme un transistor bipolaire:

$$I_D = K_x \left( \frac{W}{L} \right) e^{\frac{V_{GS}}{nU_t}} \left[ 1 - e^{-\frac{V_{DS}}{U_t}} \right]$$

$U_t$ : La constante  $kT/q$ .

$K_x$ : Dépend de la technologie et de  $U_t^2$ .

$n$ : Coefficient de non idéalité.

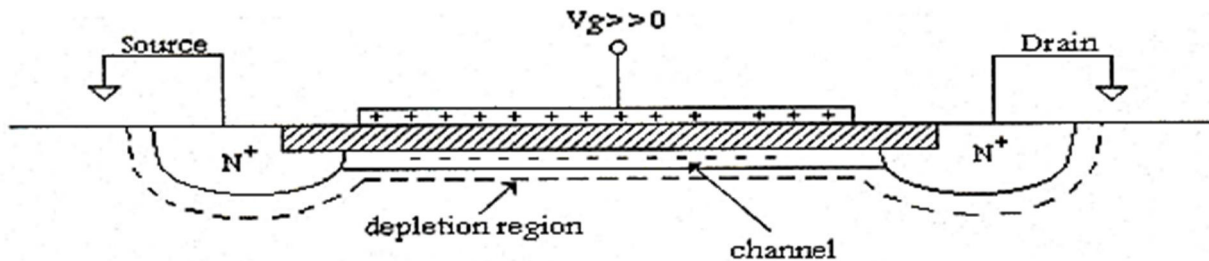


Fig. (2.8): Régime de faible inversion

### ✓ Le coefficient d'inversion

Il est important en conception analogique de connaître le régime de fonctionnement du transistor. Pour cela, on utilise le coefficient d'inversion  $I_C$  défini comme :

$$I_C = \frac{I_D}{2 K_n \frac{W}{L} U_t^2}$$

Si  $I_C \gg 1$ : régime de forte inversion.

Si  $I_C = 1$ : régime de moyenne inversion.

Si  $I_C \ll 1$ : régime de faible inversion.

### ✓ Effet du substrat

Le substrat peut avoir un impact sur la tension seuil.

Lorsque  $V_{bs} > 0$ : Diode en directe, courant parasite important (détérioration du composant).

Lorsque  $V_{bs} < 0$ : Diode bloquée,  $V_{GS}$  est plus importante pour compenser l'effet du substrat. (fig.2.9)

Dans le cas où le substrat n'est pas au même potentiel que la source,  $V_{th}$  est modifiée (effet de second ordre). On a :



$$V_{th} = V_{th0} + \gamma \left( \sqrt{V_{sb} + 2|\Phi_f|} - \sqrt{2|\Phi_f|} \right)$$

$\Phi_f$ : Tension de bande plate.

$V_{th0}$ : Tension de seuil à  $V_{sb}=0$  V (tension d'alimentation du substrat).

$V_{sb}$ : La tension entre la source et le substrat.

$$\gamma = \frac{1}{C_{ox}} \sqrt{2qN_A\epsilon}$$

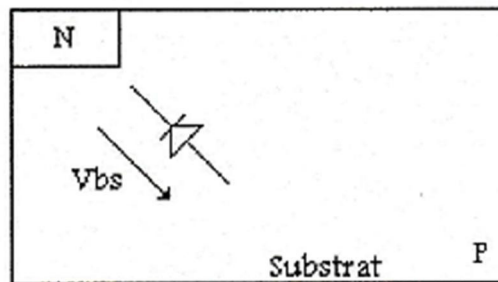


Fig. (2.9): Effet du substrat

La figure (2.10) résume les régimes de fonctionnement du transistor NMOS en explicitant la variation du courant de drain  $I_D$  en fonction de la tension grille source  $V_{GS}$ .

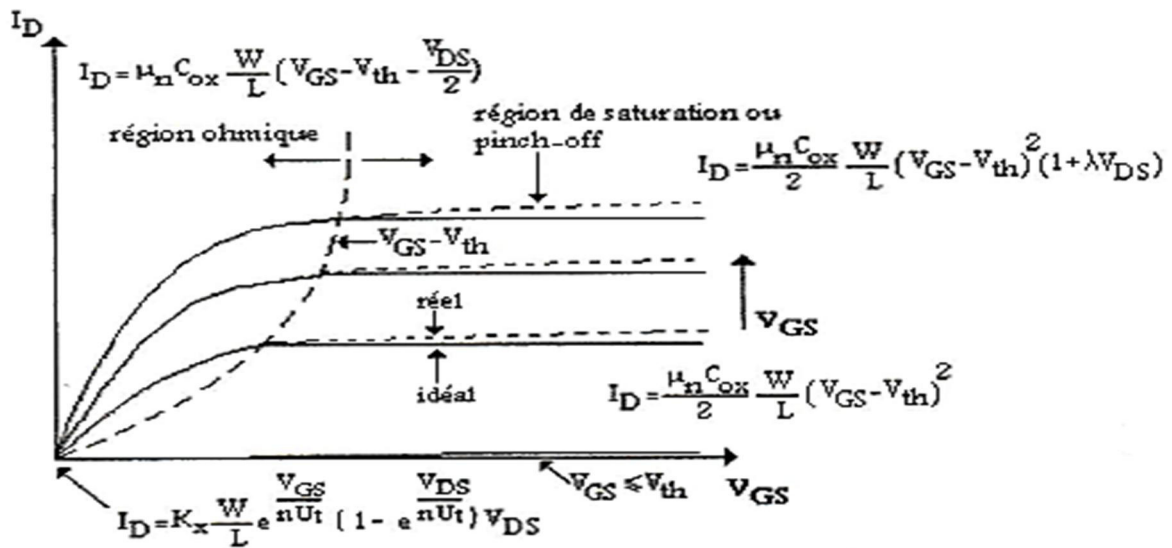


Fig. (2.10) : Caractéristique du NMOS

2.2.3. Modélisation du transistor MOS [11]

a. Modèles petits signaux en régime saturé

On distingue deux cas basses fréquences et hautes fréquences.

✓ Basses fréquences

Elle permet de modéliser le comportement du MOS en présence de petites variations sur la source, la grille ou le drain. (figure2.11)

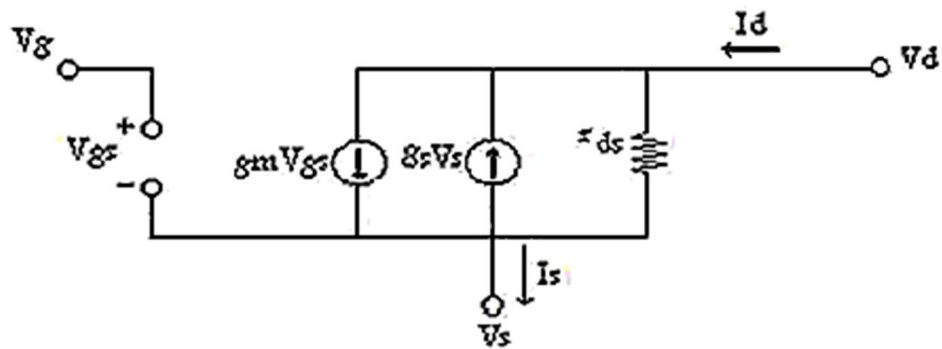


Fig. (2.11): Modèle petit signal a basse fréquence

$g_m$  (Transconductance du transistor): Elle représente l'action des variations de  $V_{GS}$

$$g_m = \frac{\partial I_{ds}}{\partial V_{GS}} = \mu_n C_{ox} \frac{W}{L} (V_{GS} - V_{th}) = \frac{2I_{DS}}{V_{GS} - V_{th}} = \sqrt{2\mu_n C_{ox} \frac{W}{L} I_D}$$

La tension  $V_{bs}$  joue sur la valeur de la tension de seuil, on introduisant une deuxième transconductance dans les modèles petits signaux  $g_{mb}$  :

$$g_{mb} = \frac{\partial I_D}{\partial V_{bs}} = \frac{\gamma g_m}{2\sqrt{V_{sb} + 2|\Phi_f|}}$$

$$V_{th} = V_{th0} + \gamma (\sqrt{V_{sb} + 2|\Phi_f|} - \sqrt{2|\Phi_f|})$$

Généralement, le terme  $\frac{g_{mb}}{g_m}$  est important en pratique, typiquement il est compris entre 0.1 à 0.3.

La résistance de sortie de transistor :

$$\frac{1}{r_{ds}} = g_{ds} = \frac{\partial I_D}{\partial V_{DS}} = \lambda I_D$$

La résistance de sortie dépend des paramètres technologiques dont la valeur est mal contrôlée.

✓ **Hautes fréquences**

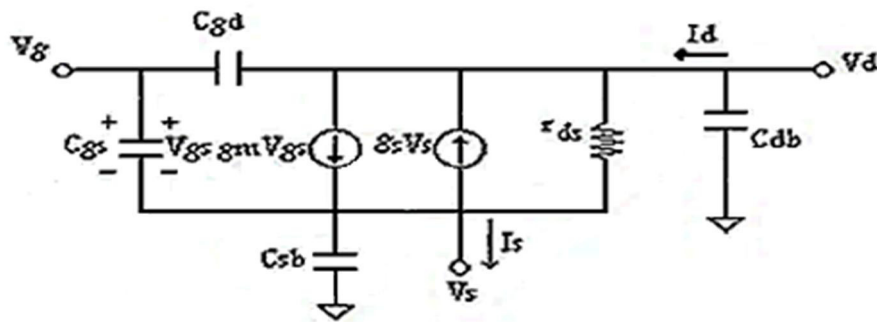


Fig. (2.12): Modèle petit signal à haute fréquence

✓ **Capacité grille source**

C'est la plus grande capacité. Elle est due à la variation de charge du canal du fait que la variation de  $V_{GS}$ .

$$C_{gs} = \frac{2}{3} W L C_{ox}$$

Si on tient compte le recouvrement (OverLay) de la grille et de la source :

$$C_{gs} = \frac{2}{3} W C_{ox} \left( \frac{2}{3} L + L_{OV} \right)$$

✓ **Capacité source-substrat**

C'est la deuxième plus grande capacité elle est due à la capacité de déplétion

$$C_{sb} = (A_s + A_{ch}) C_{js} \quad \text{avec} \quad C_{js} = \frac{C_{j0}}{\sqrt{1 + \frac{V_{sb}}{\psi_0}}}$$

Avec :  $A_s$  aire de la source,  $A_{ch}$  aire du canal.

$C_{js}$  : La jonction en inverse au niveau de la source.

✓ **Capacité Grille-drain**

Cette capacité est appelée aussi la capacité de MILLER. Elle est principalement due au chevauchement de la grille avec le drain.

$$C_{gd} = C_{ox} W L_{OV}$$

**Remarque :**  $C_{gs} + C_{gd} = C_{te}$  quel que soit le régime de conduction du transistor.

✓ **Capacité drain-substrat**

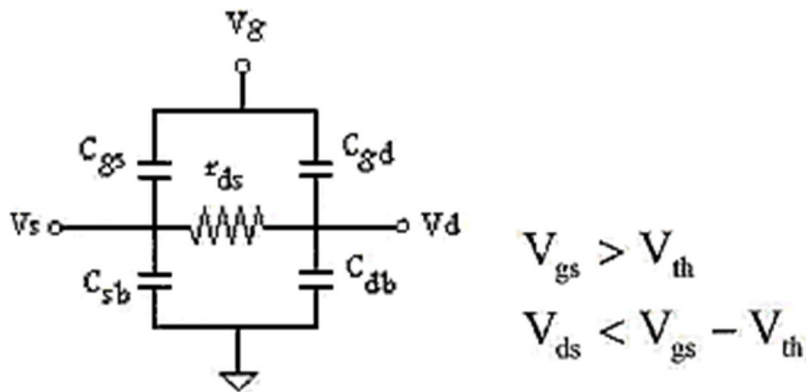
Elle est due à la capacité de déplétion  $C_{jd}$  de la jonction en inverse au niveau du drain. Elle est plus petite que la capacité  $C_{sb}$  à cause du pincement du canal en régime de saturation.

$$C_{db} = A_d C_{jd} \quad \text{avec} \quad C_{jd} = \frac{C_{j0}}{\sqrt{1 + \frac{V_{db}}{\psi_0}}}$$

**b. Modélisation petits signaux en régime Ohmique**

Le transistor est équivalent à une résistance commandée en tension

$$\frac{1}{r_{ds}} = g_{ds} = (V_{GS} - V_{th} - V_{DS})$$



**Fig. (2.13): Modèle petit signal dans le régime ohmique**

Les expressions suivantes donnent les différentes valeurs des capacités :

$$C_{gs} = C_{gd} = \frac{A_{ch} C_{ox}}{2} = \frac{W L C_{ox}}{2}$$

$$C_{sb} = \frac{C_{sb-0}}{\sqrt{1 + \frac{V_{sb}}{\psi_0}}} \quad \text{avec} \quad C_{sb-0} = C_{j0} \left( A_s + \frac{A_{ch}}{2} \right)$$

$$C_{db} = \frac{C_{db-0}}{\sqrt{1 + \frac{V_{db}}{\psi_0}}} \quad \text{avec} \quad C_{db-0} = C_{j0} \left( A_d + \frac{A_{ch}}{2} \right)$$

### c. Modélisation petits signaux en régime bloqué

On court-circuite généralement drain source et substrat pour utiliser le transistor comme capacité.

$C_{sb}$  et  $C_{db}$  sont négligeable, et  $C_{gs} = C_{gd} = W L_{OV} C_{ox}$

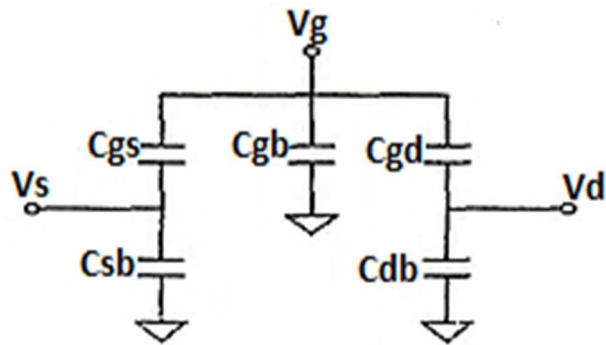


Fig. (2.14): Modèle petit signal dans le régime bloqué

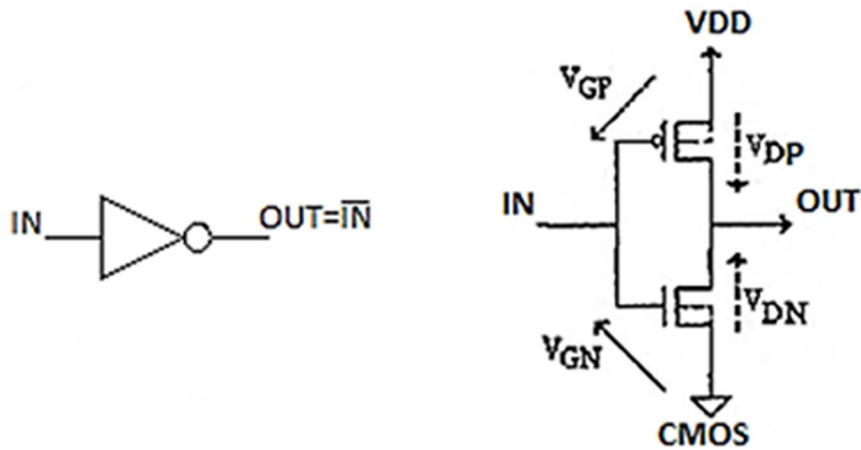
## 2.3. Inverseur CMOS [10]

### 2.3.1. Principe de fonctionnement

La fonction logique la plus simple est celle de l'inverseur. Elle peut être décrite par la table de vérité qui décrit l'état de sortie (OUT) en fonction de l'état d'entrée (IN) (table 2.1). La figure (2.15) présente le symbole et l'implémentation de la fonction inverseur en technologies CMOS.

IN	OUT
0	1
1	0

Table (2.1): Table de vérité d'un inverseur



**Fig. (2.15): Symbole et réalisation de l'inverseur en technologies CMOS**

Lorsque IN est en état haut ( $V_{IN}=V_{DD}$ ), la tension grille-source du PMOS est nulle :

$V_{GS} = V_{IN} - V_{DD} = 0$ , il est alors bloqué. En même temps, le NMOS est conducteur, car sa tension VGS est maximale :  $V_{GS} = V_{IN} - 0 = V_{DD}$ . La sortie est donc court-circuitée à la masse par le NMOS présentant une résistance très faible. A l'opposé, lorsque IN est en état bas, c'est le PMOS qui court-circuite la sortie de l'alimentation (état haut), le NMOS restant bloqué.

Ce principe de fonctionnement dégage tout de suite quelques particularités intéressantes de l'inverseur CMOS :

- ✓ La puissance dissipée en régime statique est nulle (dans le cas des technologies supérieures exp : 1 $\mu$ m, 0.6 $\mu$ m... pour les technologies inférieure, la consommation en statique devient importante vue que le courant de fuite et de la même grandeur que le courant de conduction); un des transistors restant toujours bloqué, il n'y a pas de passage de courant.
- ✓ Les transistors conduisent uniquement au cours des commutations, il s'ensuit que la dissipation de puissance dynamique augmentera avec la fréquence de commutation
- ✓ La marge de variation de la tension de sortie est maximale et égale à  $V_{DD}$  et, par conséquent, l'immunité au bruit est meilleure. Par contre, le dessin de masque de l'inverseur, dit layout, consomme plus de surface de silicium en technologie CMOS. D'autres inconvénients sont les suivants : augmentation des capacités parasites et accroissement du nombre d'étapes technologiques. Ces inconvénients sont toutefois largement compensés par la réduction de la puissance dissipée et la meilleure immunité au bruit, ce qui explique la domination de la technologie CMOS.

### 2.3.2. Régime statique

Pour établir la caractéristique de transfert de l'inverseur, c'est-à-dire  $V_{out}=f(V_{in})$ , donnant l'information sur tous les états statiques possibles, on considère le transistor PMOS comme charge du NMOS. Cela implique les relations suivantes :

- ✓  $V_{DN} = V_{out} = V_{DS} = 0$  du NMOS (polarisation drain-source).
- ✓  $V_{DP} = V_{out} - V_{DD} = V_{DS}$  du PMOS (polarisation drain-source).
- ✓  $V_{GN} = V_{in} = V_{GS} = 0$  du NMOS (polarisation grille-source).
- ✓  $V_{GP} = V_{in} - V_{DD} = V_{GS}$  du PMOS (polarisation grille-source).

Si, de plus, on suppose que l'inégalité entre les mobilités des trous et des électrons peut être compensée par la largeur du PMOS plus grande que celle du NMOS les caractéristiques de sortie des deux transistors seront symétriques. [13][10]

### 2.3.3. Caractéristiques de transfert dans un inverseur [10]

La caractéristique de transfert d'un inverseur est la tension de sortie en fonction de celle de l'entrée. La figure (2.16) représente la courbe de transfert de tension (VTC : Voltage Transfer Curve).  $V_M$  est le point milieu de la courbe, où  $V_{out}=V_{in}$ . Les points a et b sont des points où la pente de la courbe est -1. Ce sont des points qui définissent où un « 0 » logique et un « 1 » logique sont détectés.

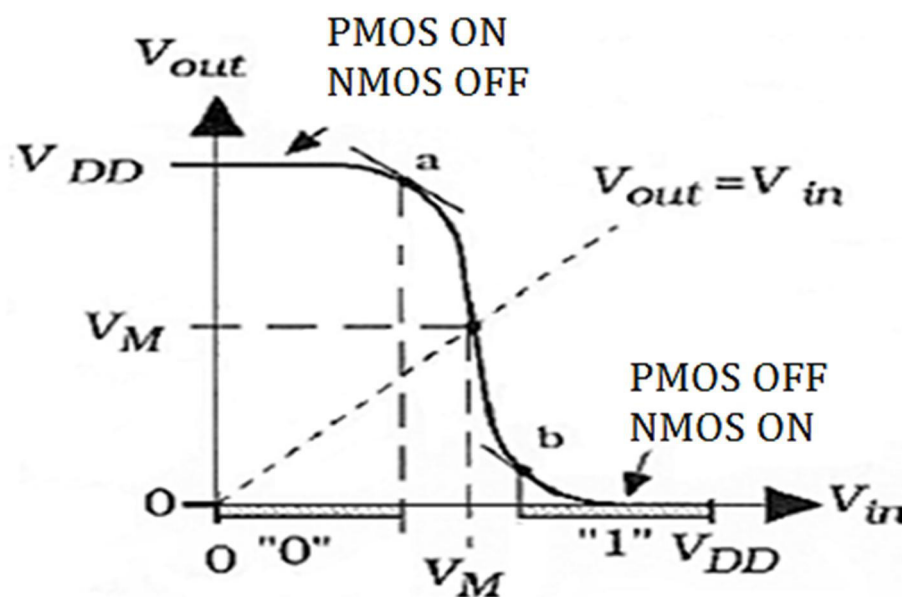


Fig. (2.16) : Caractéristiques de transfert d'un inverseur CMOS

Le seuil de basculement est calculé par :

$$V_M = \frac{V_{DD} - V_{thp} + KV_{thn}}{1 + K}$$

avec

$$K = \sqrt{\frac{\beta_n \eta_p}{\beta_p \eta_n}}$$

ou

$$\beta_n = \mu_n C_{OX} \left(\frac{W}{L}\right)$$

où  $\beta_n$  est la transconductance du dispositif.

**Remarque:** (Les indices n et p se rapportent aux NMOS et PMOS). Si les deux transistors sont identiques, on a  $V_M = \frac{V_{DD}}{2}$

### 2.3.4. Analyse en régime dynamique

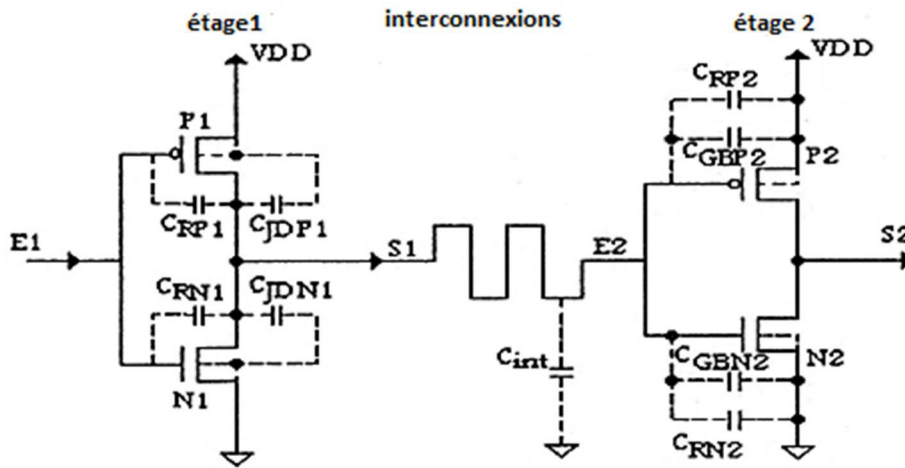
L'analyse dynamique consiste à évaluer la réponse à un signal d'entrée donné. Cette réponse est fonction de la charge capacitive de sortie, cette charge est constituée de trois composantes principales :

- ✓ La capacité interne de sortie de l'inverseur considéré.
- ✓ La capacité d'entrée de tous les opérateurs attaqués.
- ✓ La capacité d'interconnexion.

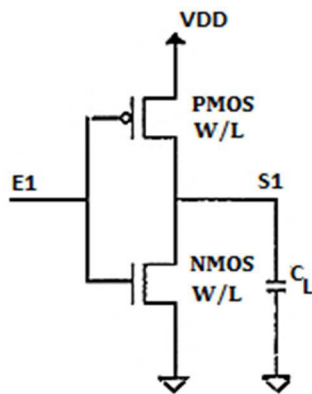
La figure (2.17.a) montre toutes ces capacités pour le cas simple où la sortie de l'inverseur considéré est connectée à un seul inverseur de l'étage suivant. Dans un tel cas. On parle de condition minimale de charge (la sortance est de 1 (figure 2.17.c) ; pour 2 inverseurs connectés à la sortie, la sortance serait de 2, et ainsi de suite). Pour la représentation de la figure (2.17.b), la capacité totale de charge  $C_L$  s'écrit :

$$C_L = \underbrace{C_{RP1} + C_{RN1} + C_{JDP1} + C_{JDN1}}_{\text{Sortie étage 1}} + \underbrace{C_{int}}_{\text{interconnexion}} + \underbrace{C_{RP2} + C_{RN2} + C_{GBP2} + C_{GBN2}}_{\text{entrée étage 2}}$$

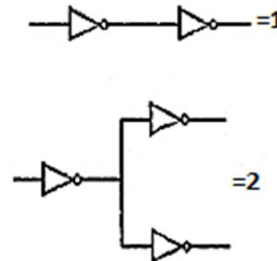




a. Capacité de montage



b. Circuit équivalent



c. sortance

Fig. (2.17) : Capacité totale de charge de sortie d'un inverseur CMOS

Nous notons  $C_R$  la capacité de recouvrement d'un seul côté soit de la source soit du drain, en considérant que le CMOS est symétrique. On a donc :

- ✓  $C_{RP1,2}$  capacité de recouvrement du PMOS, respectivement étage 1 et 2.
- ✓  $C_{RN1,2}$  capacité de recouvrement du NMOS, respectivement étage 1 et 2.
- ✓  $C_{JDP,N,1}$  capacité de la jonction drain-substrat, respectivement du PMOS et NMOS, étage 1.
- ✓  $C_{GBP,N,2}$  capacité de grille-substrat, respectivement du PMOS et NMOS, étage 2.

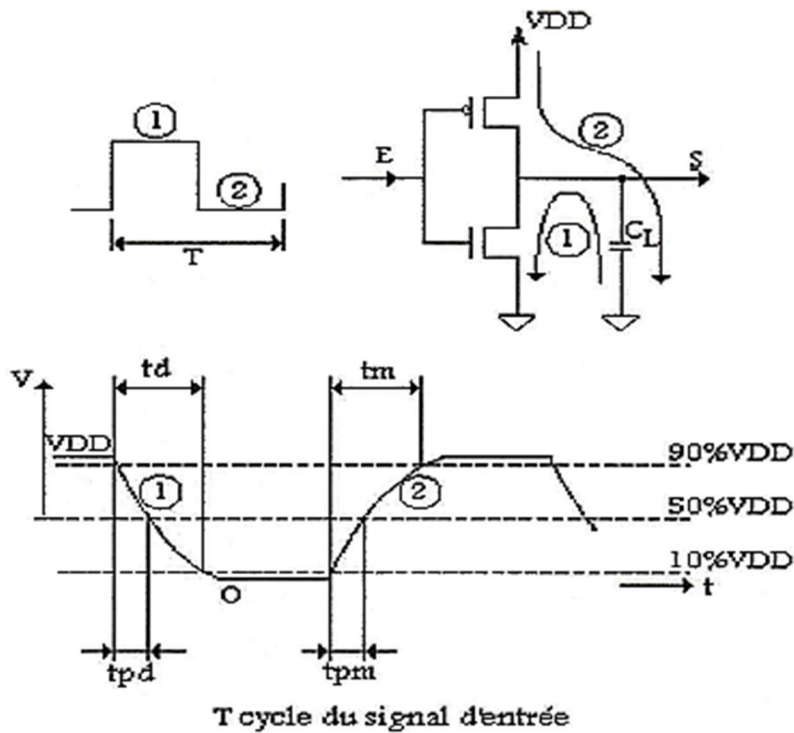
La capacité de charge introduit des délais dans la commutation de l'inverseur.

Après un brusque changement d'état du signal d'entrée, il faut charger ou décharger la capacité  $C_L$  pour que la sortie puisse se stabiliser au niveau correspondant au nouvel état de l'entrée. S'il n'y a pas de

nouvelle commutation à l'entrée, la sortie atteindra son état stable résultant de l'analyse statique après La capacité un délai dit temps de montée (s'il s'agit d'une montée de la tension de sortie) ou temps de descente (s'il s'agit d'une descente de la tension de sortie). On considère que le niveau bas est atteint si le signal de sortie est plus bas que 10% de  $V_{DD}$ , le niveau haut étant considéré atteint à partir de 90% de  $V_{DD}$ . [14][15]

**a. Temps de descente  $t_d$**

C'est le parcours noté (1) sur les figures (2.18) , le NMOS décharge la capacité  $C_L$ . D'abord, il travaille en régime de saturation, puis il termine la décharge en régime linéaire.



**Fig. (2.18) : Processus de chargement et de déchargement de la capacité de sortie d'un inverseur CMOS**

Le temps de descente est alors calculé entre les niveaux 90% de  $V_{DD}$  et 10% de  $V_{DD}$ , la différence des charges entre ces deux niveaux vaut donc  $0,8C_LV_{DD}$ , et le courant moyen peut être estimé à  $0,5I_{DsatN}$  ; par conséquent, on a :

$$t_d = \frac{\Delta Q}{I} = \frac{8 C_L V_{DD}}{5 I_{DsatN}}$$

L'analyse plus précise, sans recourir au courant moyen, montre que :

$$t_d = \frac{C_L(V_{thN} - 0.1 V_{DD})}{I_{DsatN}} + \frac{C_L(V_{DD} - V_{thN})}{2I_{DsatN}} \ln \left( 2 \frac{V_{DD} - V_{thN}}{0.1 V_{DD}} - 1 \right)$$

Où le premier terme résulte du régime saturé de NMOS et le deuxième du régime non saturé.

Il est intéressant de voir la répartition des valeurs entre ces deux termes ; si on pose  $V_{thN} = \frac{1}{4}V_{DD}$  (usuel pour les technologies actuelles), on obtient :

$$t_d = \frac{1}{4} \frac{C_L V_{DD}}{I_{DsatN}} + \frac{C_L V_{DD}}{I_{DsatN}} = \frac{5}{4} \frac{C_L V_{DD}}{I_{DsatN}}$$

Remarquons l'importance du terme associé avec le régime non saturé, ainsi que le bon accord avec l'estimation précédente.

### b. Temps de montée $t_m$

C'est le parcours noté (2) sur les figures (2.18) ; le PMOS charge la capacité  $C_L$ . D'abord, il travaille en régime de saturation, puis il termine la charge en régime linéaire.

Le temps de montée est alors calculé entre les niveaux 10% de  $V_{DD}$  et 90% de  $V_{DD}$  ; en appliquant le même raisonnement que pour le temps de descente, on obtient une estimation rapide de  $t_m$  sous la forme :

$$t_m = \frac{\Delta Q}{I} = \frac{8}{5} \frac{C_L V_{DD}}{I_{DsatP}}$$

L'analyse plus précise, sans recourir au courant moyen, donne :

$$t_m = \frac{C_L(|V_{thP}| - 0.1 V_{DD})}{I_{DsatP}} + \frac{C_L(V_{DD} - |V_{thP}|)}{2I_{DsatP}} \ln \left( 2 \frac{V_{DD} - |V_{thP}|}{0.1 V_{DD}} - 1 \right)$$

Où le premier terme résulte du régime saturé du PMOS et le deuxième du régime non saturé.

Comme précédemment, remarquons la répartition des valeurs entre ces deux termes et le bon accord avec l'estimation rapide ; si on pose  $V_{thP} = -\frac{1}{4}V_{DD}$  (usuel pour les technologies actuelles), on obtient :

$$t_m = \frac{1}{4} \frac{C_L V_{DD}}{I_{DsatP}} + \frac{C_L V_{DD}}{I_{DsatP}} = \frac{5}{4} \frac{C_L V_{DD}}{I_{DsatP}}$$

Dans ce cas, le terme associé avec le régime non saturé est, là aussi, plus important que celui dû au régime saturé.

La somme des temps de montée et de descente détermine la fréquence maximale de fonctionnement d'une porte logique sans que le signal soit déformé :

$$f_{max} = \frac{1}{t_d + t_m}$$

À cette fréquence, les niveaux bas et haut sont juste atteints.

Pour transmettre un signal à travers une porte, il suffit d'un temps inférieur au temps de descente ou à celui de montée ; en fait, il suffit que la sortie atteigne le seuil de commutation de l'étage suivant

Cela définit les temps de propagation d'une porte, soit le temps de propagation à la descente  $t_{pd}$ , soit le temps de propagation à la montée  $t_{pm}$ .

Pour des commutations à cette vitesse, le signal est déformé mais l'information passe, d'où l'importance de la notion de temps de propagation pour les circuits numériques

### c. Temps de propagation à la descente $t_{pd}$

C'est la moitié du parcours noté (1) sur les figures (2.18). Le NMOS décharge la capacité  $C_L$ , il travaille d'abord en régime de saturation, mais en approchant le niveau 50% de  $V_{DD}$ , il est légèrement non saturé. Le temps de propagation à la descente est alors calculé entre les niveaux  $V_{DD}$  et 50% de  $V_{DD}$ , la différence des charges entre ces deux niveaux vaut donc  $0,5C_L V_{DD}$ , et le courant moyen peut être estimé à  $I_{DsatN}$ , par conséquent, on a :

$$t_{pd} = \frac{\Delta Q}{I} = \frac{1}{2} \frac{C_L V_{DD}}{I_{DsatN}}$$

L'analyse plus précise, tenant compte des variations réelles du courant, montre que :

$$t_{pd} = \frac{C_L V_{thN}}{I_{DsatN}} + \frac{C_L (V_{DD} - V_{thN})}{2I_{DsatN}} \ln \left( 4 \frac{V_{DD} - V_{thN}}{V_{DD}} - 1 \right)$$

Où le premier terme résulte du régime saturé du NMOS et le deuxième du régime non saturé. La répartition des valeurs entre ces deux termes peut être obtenue

si on pose  $V_{thN} = \frac{1}{4}V_{DD}$  (usuel pour les technologies actuelles) ; on obtient :

$$t_{pd} = \frac{1}{4} \frac{C_L V_{DD}}{I_{DsatN}} + \frac{1}{4} \frac{C_L V_{DD}}{I_{DsatN}} = \frac{1}{2} \frac{C_L V_{DD}}{I_{DsatN}}$$

Remarquons que le terme associé au régime non saturé équivaut à celui dû au régime saturé, ainsi que l'accord avec l'estimation précédente.

#### d. Temps de propagation à la montée $t_{pm}$

C'est la moitié du parcours noté (2) sur les figures (2.18). Le PMOS charge la capacité  $C_L$  ; il travaille d'abord en régime de saturation, mais il termine en régime légèrement non saturé. Le temps de propagation à la montée est alors calculé entre les niveaux 0 et  $0,5 V_{DD}$  ; en appliquant le même raisonnement que pour le temps de propagation à la descente, on obtient une estimation rapide de  $t_{pm}$  sous la forme :

$$t_{pm} = \frac{\Delta Q}{I} = \frac{1}{2} \frac{C_L V_{DD}}{I_{DsatP}}$$

L'analyse plus précise, sans recourir au courant moyen, donne :

$$t_{pm} = \frac{C_L |V_{thP}|}{I_{DsatP}} + \frac{C_L (V_{DD} - |V_{thP}|)}{2I_{DsatP}} \ln \left( 4 \frac{V_{DD} - |V_{thP}|}{V_{DD}} - 1 \right)$$

Où le premier terme résulte du régime saturé du PMOS et le deuxième du régime non saturé.

La répartition des valeurs entre ces deux termes (en supposant  $V_{thP} = -\frac{1}{4}V_{DD}$  établie ci-après :

$$t_{pm} = \frac{1}{4} \frac{C_L V_{DD}}{I_{DsatP}} + \frac{1}{4} \frac{C_L V_{DD}}{I_{DsatP}} = \frac{1}{2} \frac{C_L V_{DD}}{I_{DsatP}}$$

Dans ce cas, le terme associé avec le régime non saturé est aussi important que celui dû au régime saturé. On souligne le bon accord entre estimations rapide et précise.

Du fait que les temps de propagation  $t_{pd}$  et  $t_{pm}$  ne sont pas forcément égaux, on définit souvent le temps moyen de propagation, aussi appelé délai moyen de propagation, par :

$$t_p = \frac{1}{2}(t_{pd} + t_{pm}) = \frac{1}{4}C_L V_{DD} \left( \frac{1}{I_{DsatN}} + \frac{1}{I_{DsatP}} \right) = \frac{1}{4}(t_{ON} + t_{OP}) \frac{C_L}{C_{GB}}$$

où  $t_{ON}$  et  $t_{OP}$  sont les délais intrinsèques des transistors NMOS et PMOS et  $C_{GB}$  leur capacité grille-substrat (dans ce cas, supposée égale pour les deux transistors).

### 2.3.5. Puissance dissipée

La puissance dissipée totale intègre trois composantes : La puissance dynamique, la puissance statique, la puissance de court-circuit. [16]

#### a. Puissance dynamique

Au cours d'un cycle  $T$  du signal d'entrée commençant au niveau bas, la capacité de charge est d'abord déchargée (ce qui ne consomme pas d'énergie de l'alimentation) et ensuite chargée par une charge :  $Q_L = C_L V_{DD}$  provenant de l'alimentation (ce qui consomme bien de l'énergie). La puissance dynamique s'écrit :

$$P_{dyn} = V_{DD} I_{charge/decharge} = V_{DD} \frac{Q_L}{T} = V_{DD} \frac{C_L V_{DD}}{T} = f_C C_L V_{DD}^2$$

où  $f_C$  est la fréquence d'horloge ( $f_C = \frac{1}{T}$ ).

#### b. Puissance statique

L'un des transistors est toujours bloqué, seul le courant sous le seuil  $I_{off}$  donne lieu à une consommation statique. En supposant que  $I_{offN} = I_{offP} = I_{off}$ , on a pour la puissance statique:

$$P_{stat} = I_{off} V_{DD}$$

#### c. Puissance de court-circuit

Au cours de chaque commutation, il y a un bref instant où les deux transistors sont passants.

Dans cet état, du fait de leurs résistances équivalentes faibles, ils court-circuitent l'alimentation à la masse.

C'est pour cela que la dissipation d'énergie associée à ce phénomène est dite puissance court-circuit  $P_{cc}$ . De manière très approximative, on peut considérer que l'on a :

$$P_{cc} = 10\% P_{dyn}$$

#### d. Puissance totale

En toute rigueur, la puissance totale d'un inverseur est donc la somme de trois composantes :

$$P_{\text{tot}} = P_{\text{dyn}} + P_{\text{stat}} + P_{\text{cc}}$$

Mais en pratique, on commettra très peu d'erreur en considérant :

- ✓ Seulement  $P_{\text{dyn}}$  et  $P_{\text{cc}}$  pour le régime dynamique : c'est justifié par le fait que  $I_{\text{off}}$  est de plusieurs ordres de grandeur plus faible que  $I_{\text{on}}$ .
- ✓ Seulement  $P_{\text{stat}}$  pour le régime statique (circuit au repos), dans un équipement portable alimenté par piles, la consommation statique détermine la durée de vie des piles.

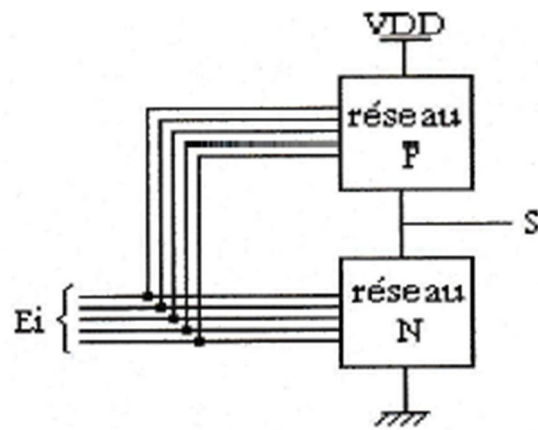
Notons, enfin, que la puissance dynamique de l'oscillateur est proportionnelle à la fréquence d'horloge  $f_c$  ; cela explique pourquoi (sauf les cas particuliers de circuits fortement parallèles fonctionnant à une fréquence très élevée) les circuits CMOS dissipent moins de puissance que les circuits NMOS.

#### 2.4. Portes logiques de base [16] [10] [17]

Les circuits logiques sont tous construits à partir des portes logiques de base et des circuits tampons d'entrée et de sortie assurant les communications avec l'environnement. Toutes les fonctions logiques peuvent être réalisées à partir des portes NAND et NOR, mais le nombre et les types de portes de base utilisées en pratique peut-être très grands. Ici nous passerons en revue les quelques exemples les plus représentatifs.

##### ✓ Constitution des piles N et P

Pour réaliser une fonction plus complexe, nous allons remplacer chaque branche de l'inverseur par un réseau de plusieurs interrupteurs de même type, comme illustré dans la figure (2.19). Les règles globales sont les mêmes que pour l'inverseur, mais chaque branche N et P, sera constituée d'un réseau d'interrupteurs, montés en parallèle ou en série, tous reliés deux à deux (au moins) par leur grille, et respectant la condition de conduction d'une branche à l'exclusion de celle de l'autre.



**Fig. (2.19) : Schéma de principe de la logique complémentaire**

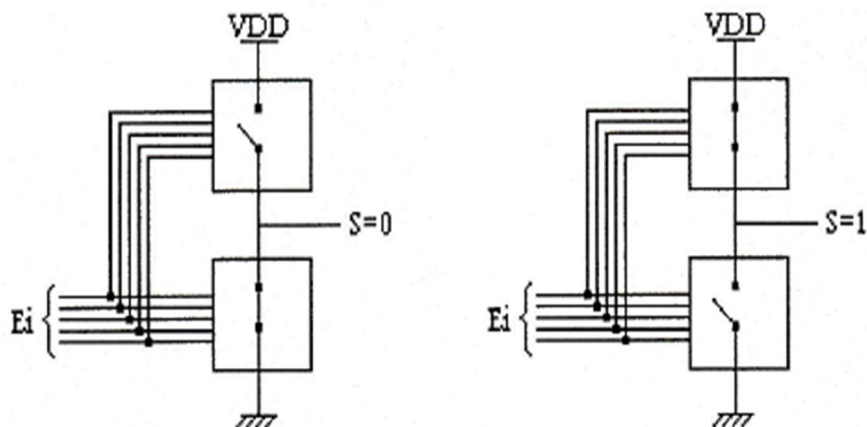
En logique complémentaire, un circuit est constitué de deux réseaux duaux :

- ✓ Un réseau N (Pile N), constitué exclusivement de transistors NMOS, branché entre la sortie et la masse.
- Un réseau P (Pile P), constitué exclusivement de transistors PMOS, branché entre la sortie et  $V_{DD}$ .

Pour être duaux les deux réseaux doivent satisfaire les principes suivants :

- Etre commandés par les mêmes entrées  $E_i$ , chaque entrée  $E_i$  commandant au moins une paire d'interrupteurs (un N et un P).
- Quel que soit l'état des entrées  $E_i$ , un seul réseau doit être passant à la fois.
- Il est toléré toutefois que les deux branches soient ouvertes en même temps.

La figure (2.20) représente le fonctionnement de la logique complémentaire.



**Fig. (2.20) : Schéma du fonctionnement de la logique complémentaire**



La fonction de sortie S est générée par :

- La fermeture au réseau N, pour obtenir  $S=0$  soit  $\bar{S}$ .
- La fermeture du réseau P, pour obtenir  $S=1$  soit S.

### ✓ Transition de signal des portes à entrées multiples

Dans les portes à entrées multiples, les transitions des signaux multiples produisent des changements de sortie.

Pour les portes à plusieurs entrées (N- entrée en générale) avec  $M_0$  : les états de sortie bas et  $M_1$  : les états de sortie haut, on a :

- Transitions de sortie haut à bas =  $M_0 \cdot M_1$
- Transitions de sortie de bas à haut =  $M_1 \cdot M_0$
- Transitions totales à caractériser =  $2 \cdot M_0 \cdot M_1$

La courbe de transfert de tension (VTC : Voltage Transfer Curve) varie à chaque transition de la sortie des portes à plusieurs entrées. Le point milieu  $V_M$  de la courbe VTC varie aussi avec ces transitions.

**Remarque :** Ne pas tester / caractériser les cas sans transition de sortie.

### ✓ Circuits équivalents en série / parallèles

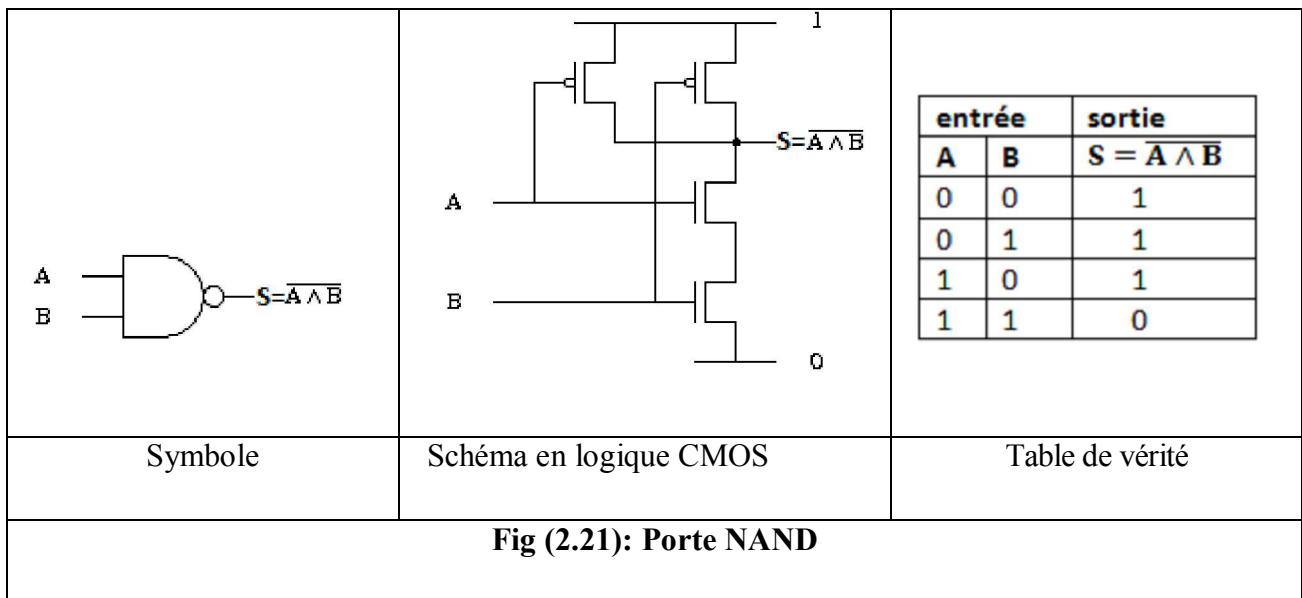
- ❖ Un transistor avec un rapport de forme  $W_1/L_1$  a une résistance proportionnelle à  $L_1/W_1$  (la résistance diminue inversement avec  $W_1$ ).
- ❖ Deux transistors en parallèle avec des rapports de forme  $W_1/L_1$  et  $W_2/L_2$  sont équivalent à un seul transistor  $(W_1/L_1 + W_2/L_2)/1$ .
- ❖ Deux transistors en série avec le facteur de forme  $W_1/L_1$  et  $W_2/L_2$  sont équivalent à un seul transistor  $1/(L_1/W_1 + L_2/W_2)$ .

Par exemple, un transistor avec un facteur de forme égale  $3/1$  en série avec un autre  $3/1$  est équivalent à  $1/(1/3 + 1/3)$  ou  $3/2$ . On peut utiliser la méthode suivante pour calculer la taille du transistor équivalent:

- ❖ Pour des transistors en parallèles, on remplace les longueurs par 1 et on additionne les largeurs.
- ❖ Pour des transistors en séries, on remplace les largeurs par 1 et on additionne les longueurs.

2.4.1. Porte NAND

La sortie de la porte NAND n'est à 0 que si toutes les entrées sont à 1. La figure (2.21) présente un exemple d'une porte NAND à deux entrées en réalisation CMOS avec son symbole et sa table de vérité.



Les deux figures (2.22.a) et (2.22.b) présentent : le tableau de transition et les courbes de transfert de tension (VTC) d'une porte NAND à deux entrées. La courbe VTC varie à chaque transition (i, ii, iii).

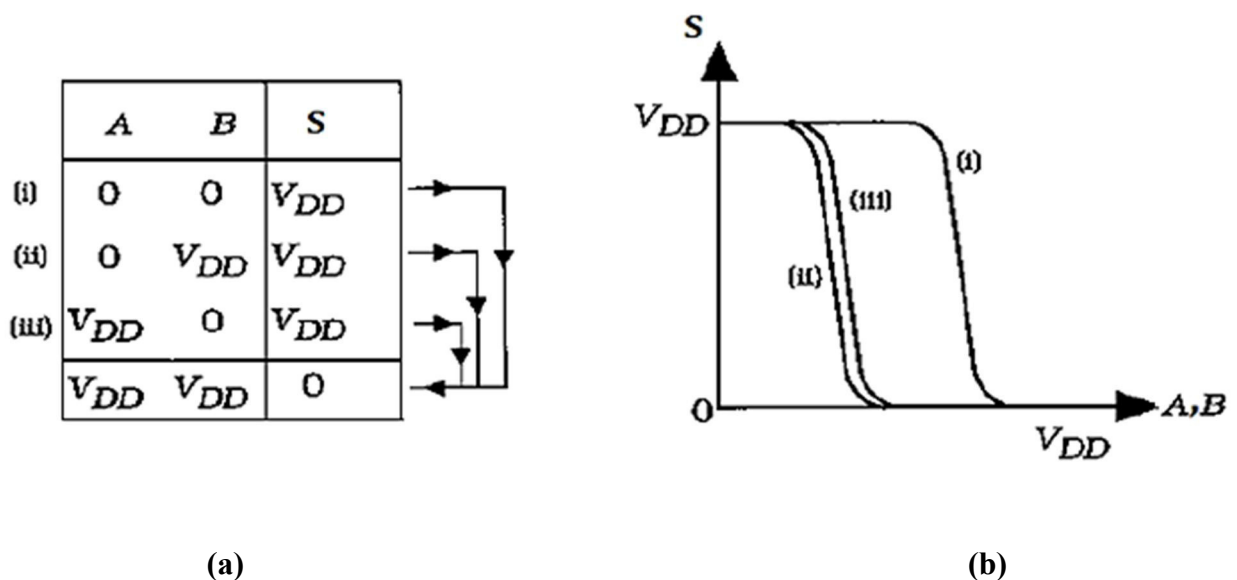
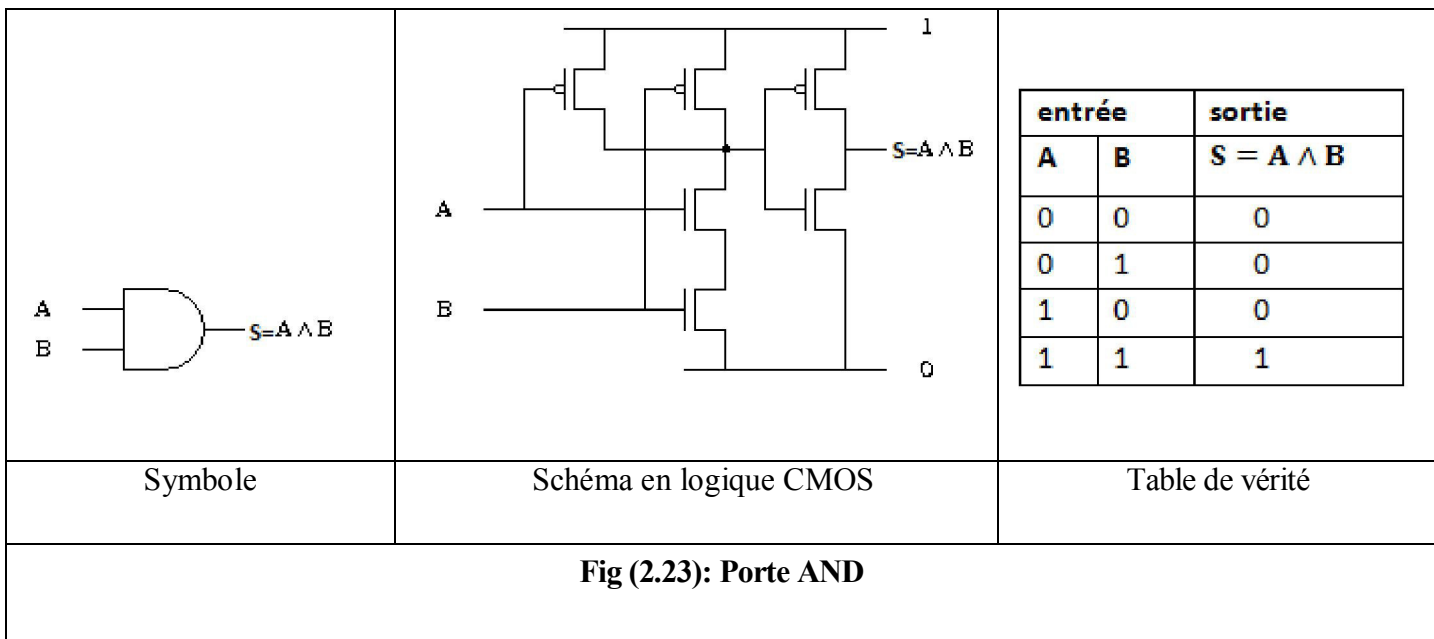


Fig. (2.22): Transition du signal de la porte NAND

### 2.4.2. Porte AND

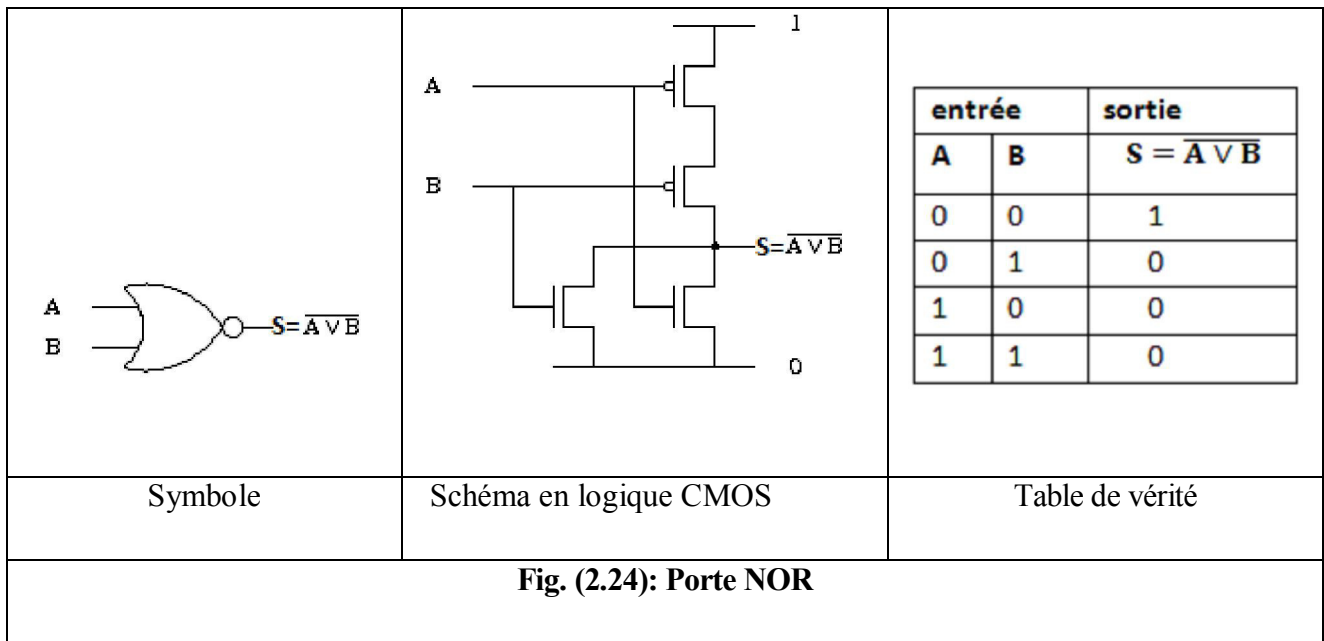
La sortie de la porte AND ne passe à 1 que si toutes ses entrées sont à 1. Elle se compose d'une porte NAND avec, en plus, un inverseur intégré à la sortie. Cela implique que le délai d'une porte ET est la somme du délai de la porte NAND et du délai de l'inverseur. La porte ET, étant moins rapide et plus encombrante que la porte NAND, est donc bien moins souvent utilisée.

La figure (2.23) montre une porte AND à deux entrées en réalisation CMOS avec son symbole et la table de vérité correspondante:

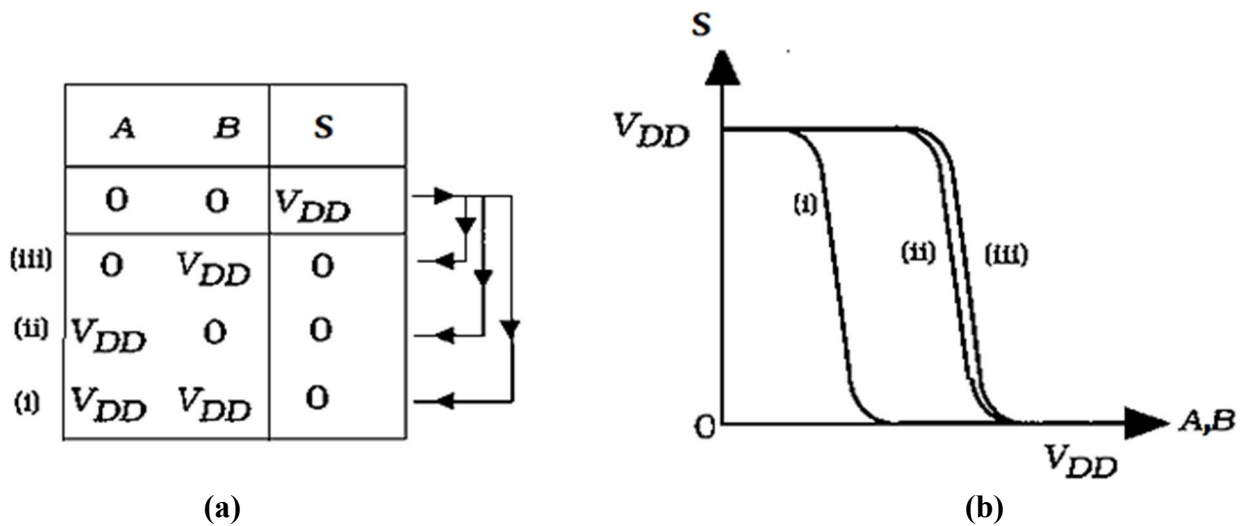


### 2.4.3. Porte NOR

La porte NOR réalise l'opération complémentaire de celle de la porte NAND (figure 2.21) : sa sortie passe à 0 dès qu'une des entrées passe à 1. C'est pour cela que sa structure ressemble à celle d'une NAND. La figure (2.24) présente la réalisation CMOS d'une porte NOR à deux entrées.



Les deux figures (2.25.a) et (2.25.b) présentent : le tableau de transition et les courbes de transfert de tension (VTC) d'une porte NOR à deux entrées. La courbe VTC varie à chaque transition (i, ii, iii).

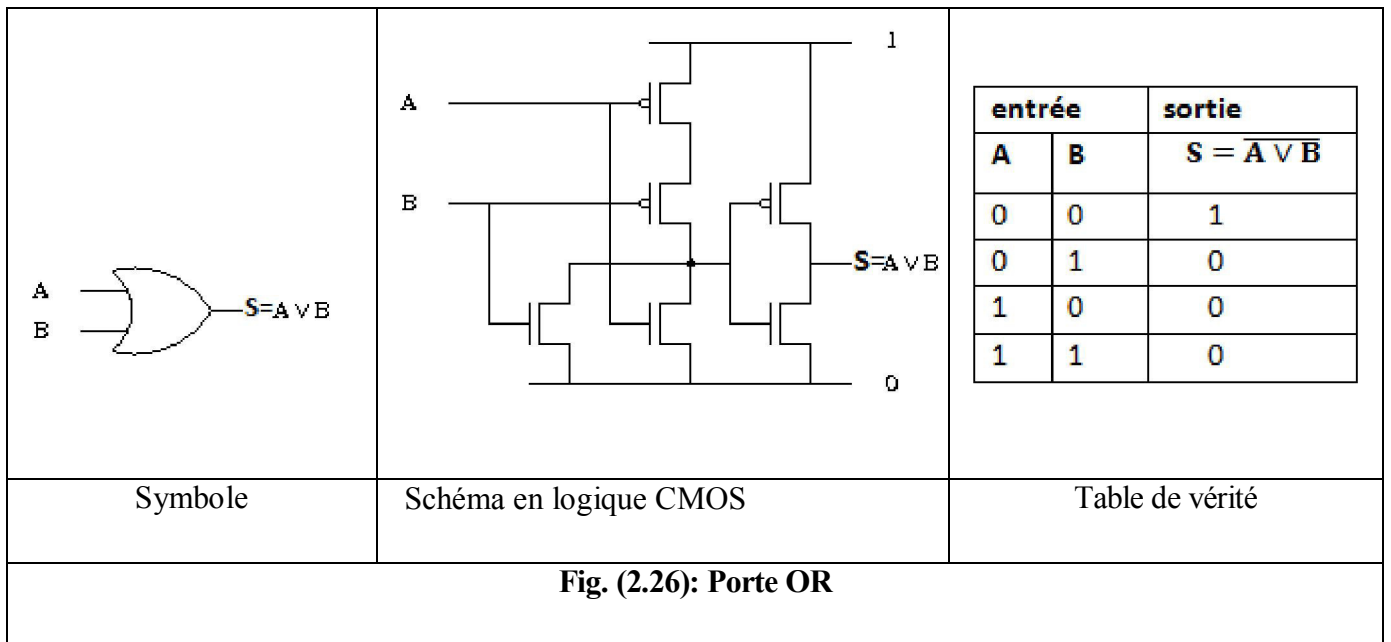


**Fig. (2.25): Transition du signal de la porte NOR**

#### 2.4.4. Porte OR

La sortie de la porte OR passe à 1 dès que l'une des entrées passe à 1. Elle compose d'une porte NOR avec en plus un inverseur intégré à la sortie. Cela implique que le délai d'une porte OU est la somme du délai d'une porte NOR et du délai de l'inverseur. La porte OU, étant moins rapide et plus encombrante que la porte NOR, est bien moins souvent utilisée.

La figure (2.26) illustre une porte OR à deux entrées en réalisation CMOS avec son symbole et la table de vérité correspondante.



### 2.5. Conclusion

Dans ce chapitre, nous avons présenté le transistor MOS. Puis, nous avons étudié théoriquement l'inverseur CMOS. Enfin, nous avons présenté les portes logiques de base de la bibliothèque de cellule standard.

# Chapitre 3

## Etude pratique des portes logiques

### 3.1 Introduction

### 3.2 Outil de conception Cadence

### 3.3 Bibliothèque des cellules

### 3.4 Tests et résultats des différents éléments de la bibliothèque

### 3.5 Vues géométriques (Layout)

### 3.6 Conclusion

### 3.1. Introduction

Ce chapitre est consacré à l'étude des caractéristiques principales des éléments conçus de la bibliothèque. Les tests et les résultats de fonctionnement des éléments de la bibliothèque sont réalisés sur logiciel Cadence. Cette bibliothèque est développée avec la technologie CMOS 1 $\mu$ m de la salle blanche du CDTA.

### 3.2. Outil de conception Cadence

Cadence (Cadence Design Systems) est un outil de conception des circuits microélectronique assiste par l'ordinateur. Il a été créé en 1988 par la fusion des entreprises SDA systems et ECAD. C'est aujourd'hui un des logiciels les plus utilisé dans l'industrie électronique et microélectronique.

Le démarrage du logiciel doit inclure toute une phase de configuration de variables d'environnement, pour qu'il lance correctement un design kit qui est chargé au démarrage afin de relier le circuit simulé à un process technologique. Les circuits qui vont être conçu doivent être organisés au sein des librairies, associées avec des design kits.

L'environnement cadence propose de nombreux outils à partir d'une interface commune, parmi lesquels on trouve des :

- Outils de design schématique (comme Virtuose Schematic Editor)
- Outils de design « Layout ».
- Outils de simulations électroniques (ADE).
- Outils de calculs mathématiques, de traitement des données et de tracés graphiques.
- Outils de vérification des règles de dessin.

#### 3.2.1 Présentation du design kit

L'utilisation d'un design kit est nécessaire lors des phases de conception d'un circuit intégré, qui doit se faire en accord avec une technologie de fabrication existante. Un design kit est un ensemble d'informations reliées à un process technologique, permettant la simulation et l'implémentation des circuits ASICs. Il contient ainsi l'ensemble des modèles électriques et physiques des composants élémentaires pouvant être fabriqués à l'aide du process technologiques.

Nous allons utiliser un design kit fourni et conçu par CDTA (salle blanche), il inclut des libraires complètes de design reliées au process technologique CMOS 1  $\mu\text{m}$ , ainsi qu'un ensemble de scripts permettant de configurer automatiquement l'environnement Cadence.

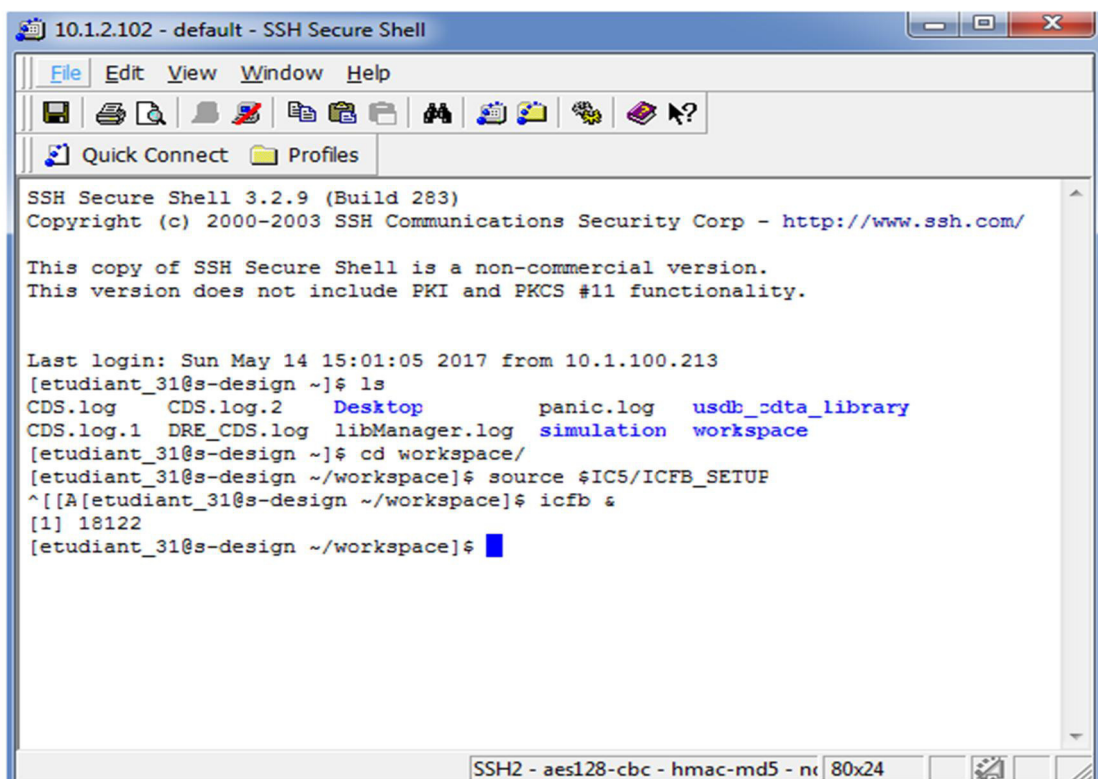
### 3.2.2 Création d'un projet sur cadence

Pour créer un projet sur Cadence, il faut suivre les étapes suivantes :

✓ On lance Cadence, pour cela il faut taper :

- Le nom de fichier de travail (par exemple workspace dans notre projet)
- La commande source \$IC5/ICFB\_SETUP
- La commande icfb&

La figure (3.1) présente les étapes du lancement d'un projet sur Cadence



```
10.1.2.102 - default - SSH Secure Shell
File Edit View Window Help
Quick Connect Profiles
SSH Secure Shell 3.2.9 (Build 283)
Copyright (c) 2000-2003 SSH Communications Security Corp - http://www.ssh.com/

This copy of SSH Secure Shell is a non-commercial version.
This version does not include PKI and PKCS #11 functionality.

Last login: Sun May 14 15:01:05 2017 from 10.1.100.213
[etudiant_31@s-design ~]$ ls
CDS.log CDS.log.2 Desktop panic.log usdb_cdt_library
CDS.log.1 DRE_CDS.log libManager.log simulation workspace
[etudiant_31@s-design ~]$ cd workspace/
[etudiant_31@s-design ~/workspace]$ source $IC5/ICFB_SETUP
^[[A[etudiant_31@s-design ~/workspace]$ icfb &
[1] 18122
[etudiant_31@s-design ~/workspace]$
```

Fig. (3.1) : Lancement d'un projet sur Cadence

Après le lancement, la fenêtre principale apparaît sur l'écran comme l'indique la figure ci-dessous.



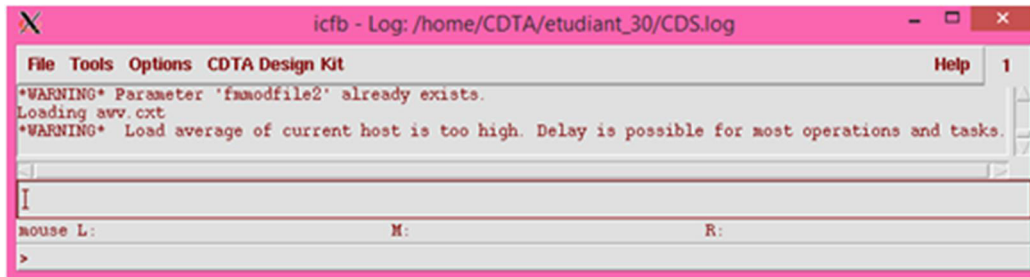


Fig. (3.2) : Fenêtre principale sur Cadence

- ✓ On va créer une bibliothèque de cellule standard, par la sélection de : Tools/Library Managers/New, puis on renomme la bibliothèque (standard\_cell dans notre cas), une nouvelle fenêtre apparaît sur l'écran comme l'indique la figure ci-dessous.

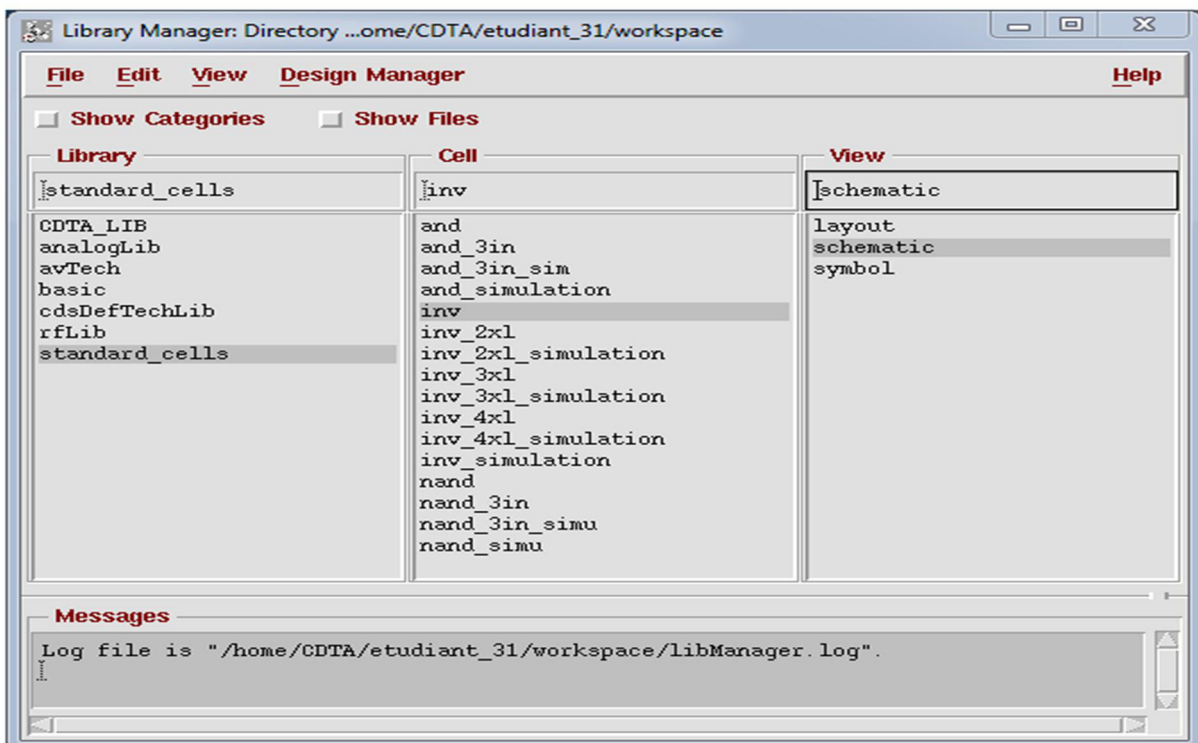


Fig. (3.3) : Library Manager sur Cadence

- ✓ On va créer une cellule par la sélection de : File/New/Cellview, une nouvelle fenêtre apparaît sur l'écran comme l'indique la figure ci-dessous.

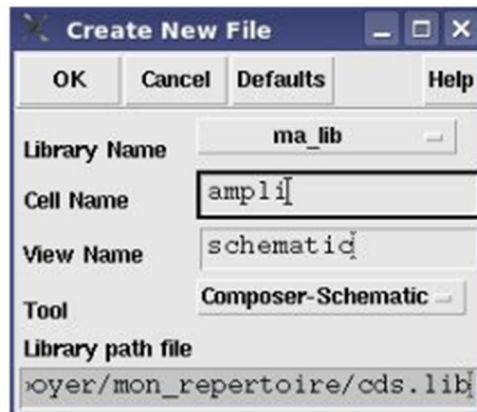


Fig. (3.4) : Création d'une cellule sur Cadence

Puis on clique sur OK, et la fenêtre Virtuoso Schematic Editing s'ouvre, on commence à ajouter des composants, comme l'indique la figure ci-dessous

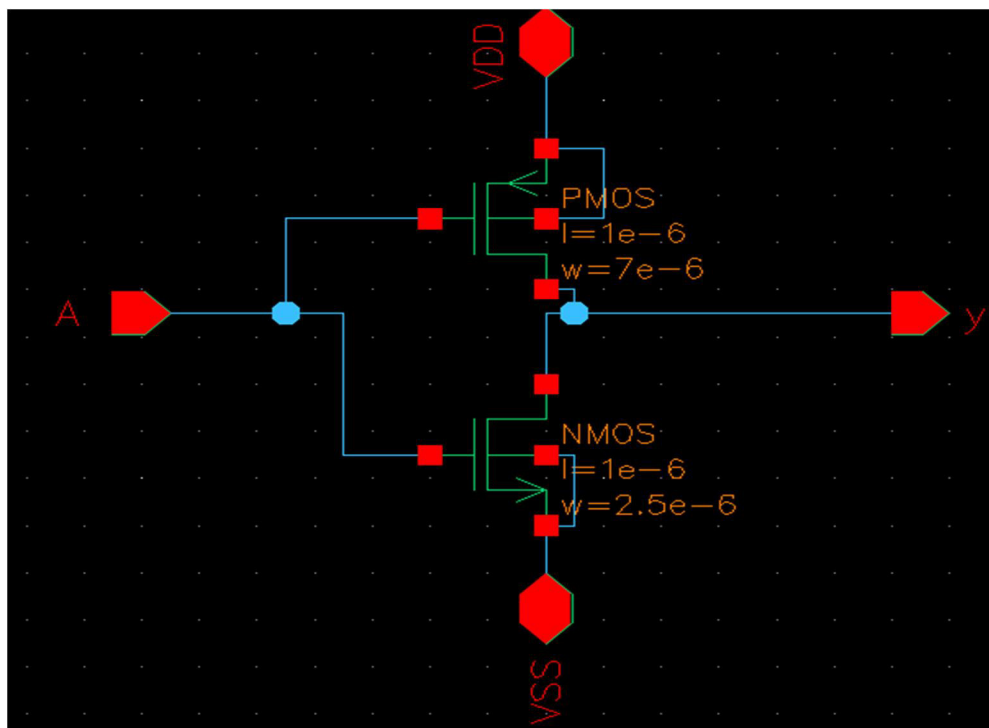


Fig. (3.5) : Schéma d'inverseur sur Cadence

### 3.3. Bibliothèque des cellules

#### 3.3.1. Concept

La nécessité des bibliothèques de cellules est apparue dès que la complexité des fonctions intégrables en circuit à la demande a dépassé quelques centaines des portes.

Une bibliothèque est constituée d'un ensemble de fonctions d'usage général appelées cellules, et obéissant à un formalisme unique de représentation. Ces cellules sont regroupées en bibliothèques fonctionnelles de dimension et de complexité variables.

### 3.3.2. Librairie de base

Une classification communément admise répartit l'ensemble des cellules d'une bibliothèque en familles de cellules, caractérisées par le degré de complexité ou par le type de fonctionnalité. [18]

- ✓ **Cellules simples:** il s'agit des portes logiques élémentaires: inverseur, NAND, NOR, OU exclusif. Elles sont à la base de toutes les autres cellules et fonctions de l'électronique numérique moderne. Le nombre de leurs entrées est généralement limité à 3 ou 4 pour éviter une dégradation des performances dynamiques trop significative.
- ✓ **Cellules complexes:** ils regroupent les opérateurs logiques réalisant des fonctions booléennes plus complexes que les cellules combinatoires, et très utiles pour l'optimisation logique.

### 3.3.3. Mode de représentation

Une bibliothèque de cellules doit fournir au concepteur et aux outils de CAO les différentes représentations dont ils ont besoin pour permettre l'exécution et le bon déroulement de chaque opération. Ces représentations sont appelées des vues, et sont classées suivant une hiérarchie à deux niveaux.

- ✓ **Vues structurelles**
  - ❖ **Description logique ou électrique:** modélisation de la cellule basée sur une description en portes ou en transistors, primitives des simulateurs logiques ou électriques.
  - ❖ **Caractéristiques électriques:** description des paramètres statiques (niveaux d'entrées et de sortie, puissance dissipée) et temporels (temps de propagation, de montée, de descente) pour les cellules numériques.
- ✓ **Vues fonctionnelles (Symbole) :** représentation graphique utilisée pour l'édition des schémas.
- ✓ **Vues géométriques**
  - ❖ **Topologie:** description de l'enveloppe et des points d'accès. Elle est représentative de la cellule vis-à-vis de son environnement, et suffisante pour le placement-routage du circuit.

- ❖ **Géométrie:** ensemble de figures géométriques décrivant le dessin des différents niveaux technologiques, et servant à la fabrication du circuit intégré final.

### 3.4. Tests et résultats des différents éléments de la bibliothèque

Le fonctionnement d'une porte logique simple ou complexe repose sur le principe de fonctionnement d'un simple inverseur, seulement les transistors dans un inverseur seront remplacés par des réseaux de transistors (appelés piles, elles peuvent d'être de type N, composées de transistors NMOS, ou de type P, composées de transistors PMOS). Dans une cellule, une seule pile transmet un état (la pile N pour l'état 0 et la pile P pour l'état 1). Pour comprendre le fonctionnement d'une porte logique quelconque, nous allons examiner le fonctionnement d'un inverseur CMOS.

#### 3.4.1. Cellule simple

Les circuits logiques sont tous construits à partir des portes logiques simples (ces portes sont NON, ET, OU, NON-ET, NON-OU, EXOU) toutes les fonctions logiques complexes peuvent être construites à partir de ces portes.

##### a. Inverseur simple

L'inverseur est l'élément de base du design de circuit numérique.

##### ✓ Taille des transistors

Les tailles des transistors NMOS et PMOS dans un inverseur sont généralement fixées de façon que les deux transistors aient les mêmes résistances de charge à la sortie. Pour cette raison, on suppose que  $\beta_n = \beta_p$ . Comme la mobilité des transistors N sont plus grand que les transistors P on a choisi la largeur du canal  $W$  du transistor PMOS de l'inverseur d'environ trois fois celui de transistor NMOS (on dit que la logique a un rapport de 2.8). la longueur du canal des deux transistor sont identique est égale à la largeur minimale de la technologie (  $1\mu\text{m}$  pour notre cas).

Les cellules logiques dans une bibliothèque ont une gamme de puissance de charge à la sortie(Fan Out). On appelle l'inverseur de taille minimale INV1XL (supporte une seule charge à la sortie). La puissance de charge à la sortie d'une cellule logique est souvent utilisée comme un suffixe, ainsi, un inverseur 1X a un nom INV1XL. Un inverseur avec, des transistors de taille double est nommé INV2XL, des transistors de taille triple est nommé INV3XL, etc.....

### ✓ Fonctionnement

La porte la plus simple de la logique complémentaire est l'inverseur. La figure (3.6.a) représente le schéma électrique et le symbole de l'inverseur INV1XL, et la figure (3.6.b) représente les modèles des transistors NMOS et PMOS.

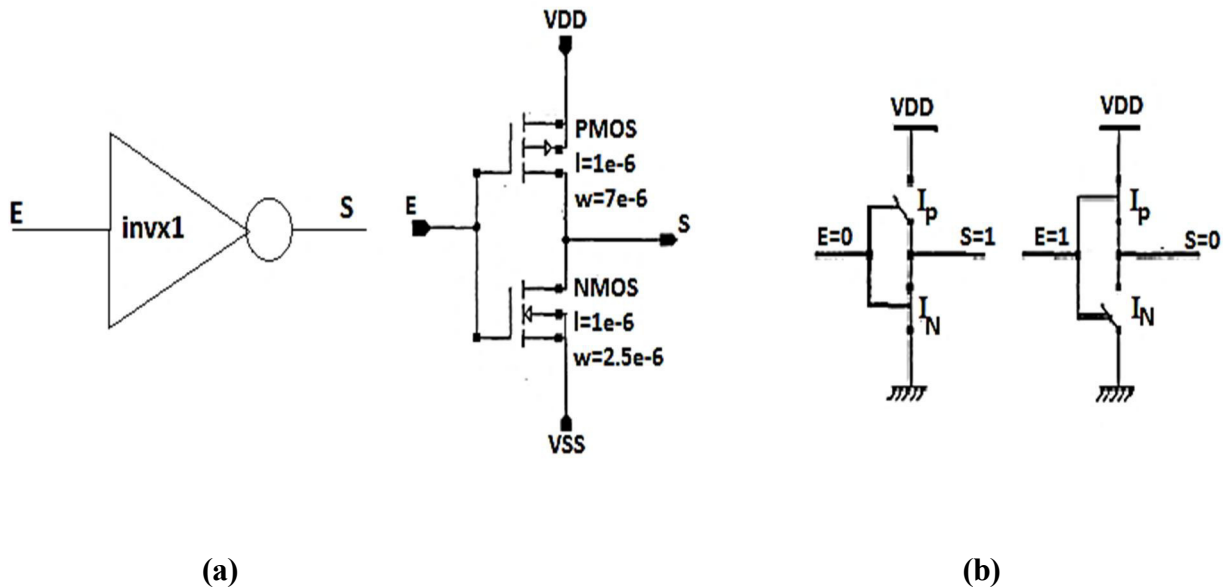


Fig. (3.6) : Inverseur CMOS

Analysons son fonctionnement.

- ❖ L'interrupteur  $I_N$  est le modèle du transistor NMOS (si  $E=1$ , il est fermé et si  $E=0$ , il est ouvert).
- ❖ L'interrupteur  $I_P$  est le modèle du transistor PMOS (si  $E=0$ , il est fermé et si  $E=1$ , il est ouvert).
- ❖ L'entrée  $E$  est commune aux deux grilles, celle de PMOS et NMOS.
- ❖ Lorsque la branche  $N$  est fermée, la branche  $P$  est ouverte : la sortie est reliée à 0 (électriquement à la masse).
- ❖ Lorsque la branche  $N$  est ouverte, la branche  $P$  est fermée : la sortie est reliée à 1 (électriquement à VDD).

### ✓ Simulation

Le rôle de ces simulations est la validation du fonctionnement de l'inverseur INV1XL, simulation DC (la consommation du courant) et une simulation temporelle (temps de la montée, de la descente de la sortie et le temps de propagation) dans l'inverseur INV1XL.

### ❖ Condition de la simulation

Simulation en mode tm (typical models : la température et la tension d'alimentation sont idéales [27°C, 5V] avec des modèles typiques), Tperiode=10ns, le temps de la montée (tr) et de la descente (tr) du signal d'entrée est de 1ns, un condensateur de charge(C0) égale à 20fF sur le test bench de la figure (3.7).

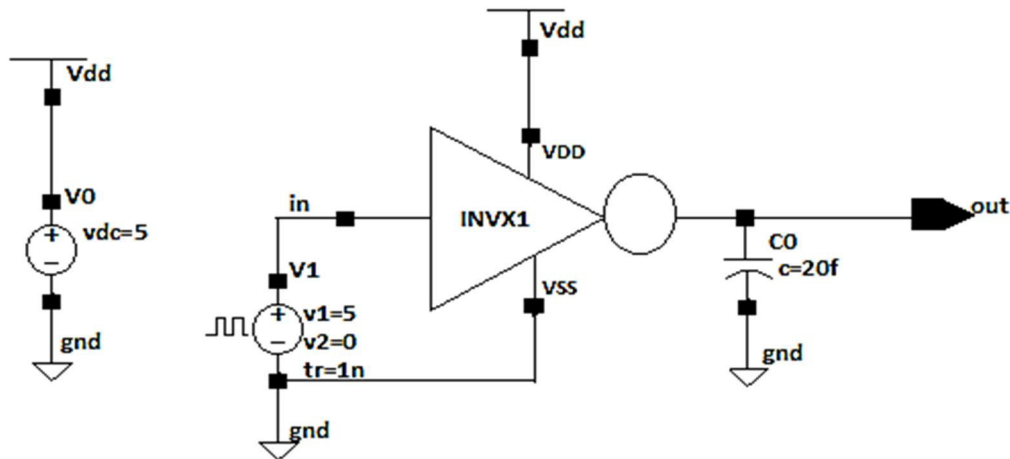


Fig. (3.7) : Test bench

### ❖ Analyse DC

On fait une analyse DC en premier, ce qui nous permet de déterminer le point de fonctionnement et les tensions qui vont représenter un «1» logique et un «0» logique. La figure (3.8) représente une courbe de la sortie vs l'entrée et le courant circulé dans l'inverseur. Le point M0 est le point milieu de la courbe, où  $V_{out}=V_{in}=2.51V$ .

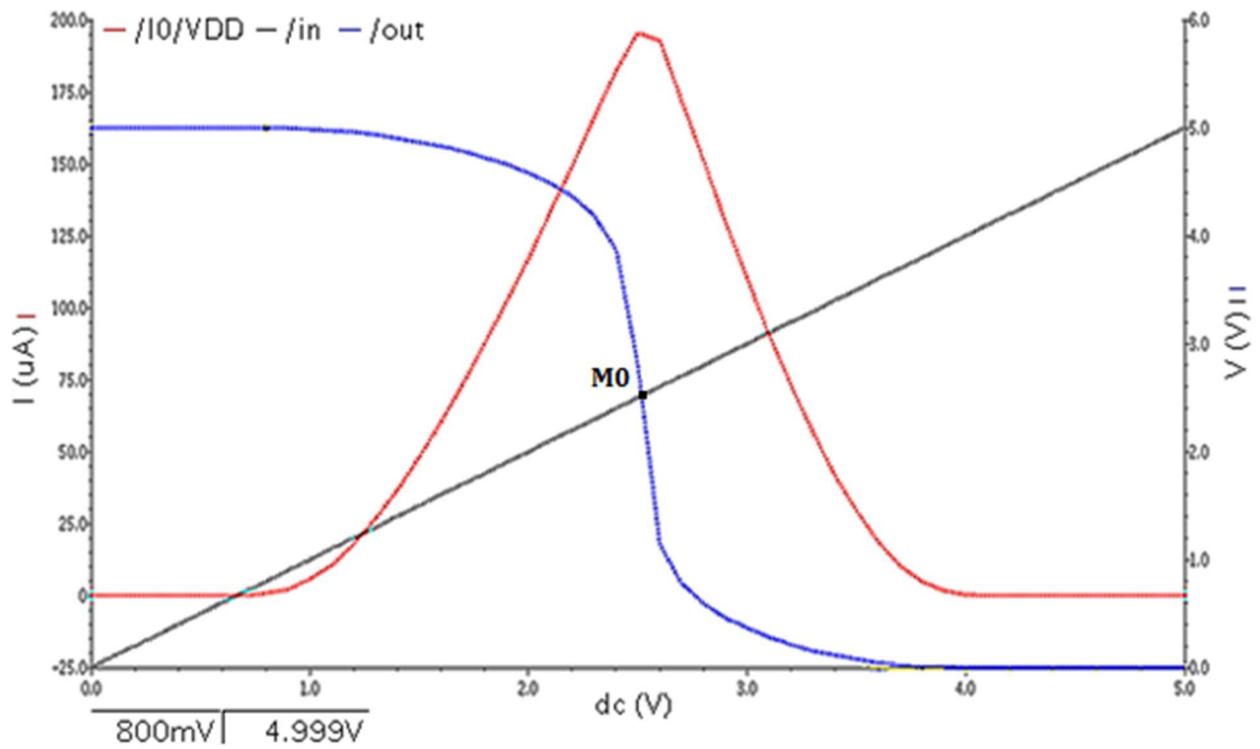


Fig. (3.8) : Courbe de transfert de tension (VTC) de l'inverseur INV1XL

#### ❖ Analyse transitoire

On fait une analyse transitoire de l'inverseur INV1XL, ce qui nous permet de trouver les caractéristiques (la fréquence de fonctionnement, délai de propagation,...) de la porte réalisé. La figure (3.9) représente les courbes de fonctionnement dans l'inverseur en régime transitoire.

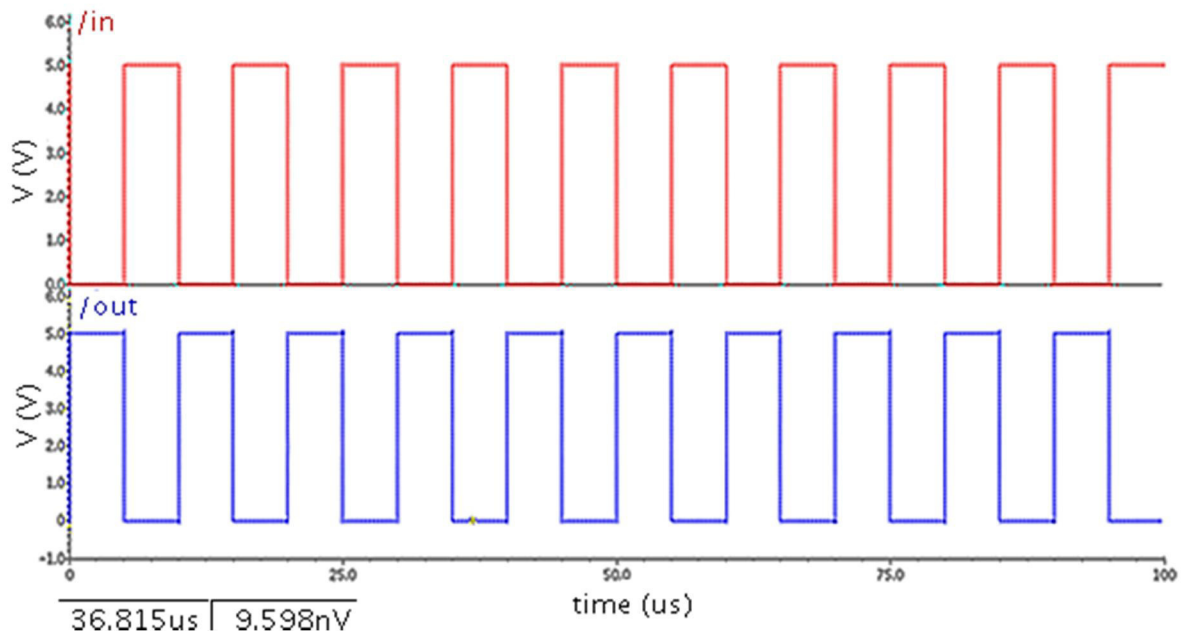


Fig. (3.9) : Courbe de fonctionnement (INV1XL)

✓ **Consommation de courant**

La consommation du courant représente la valeur moyenne de signal d'alimentation on ajoutant les valeurs moyennes des signaux d'entrées dans une période de 10 ns. La figure (3.10) représente le courant consommé par l'inverseur INV1XL.

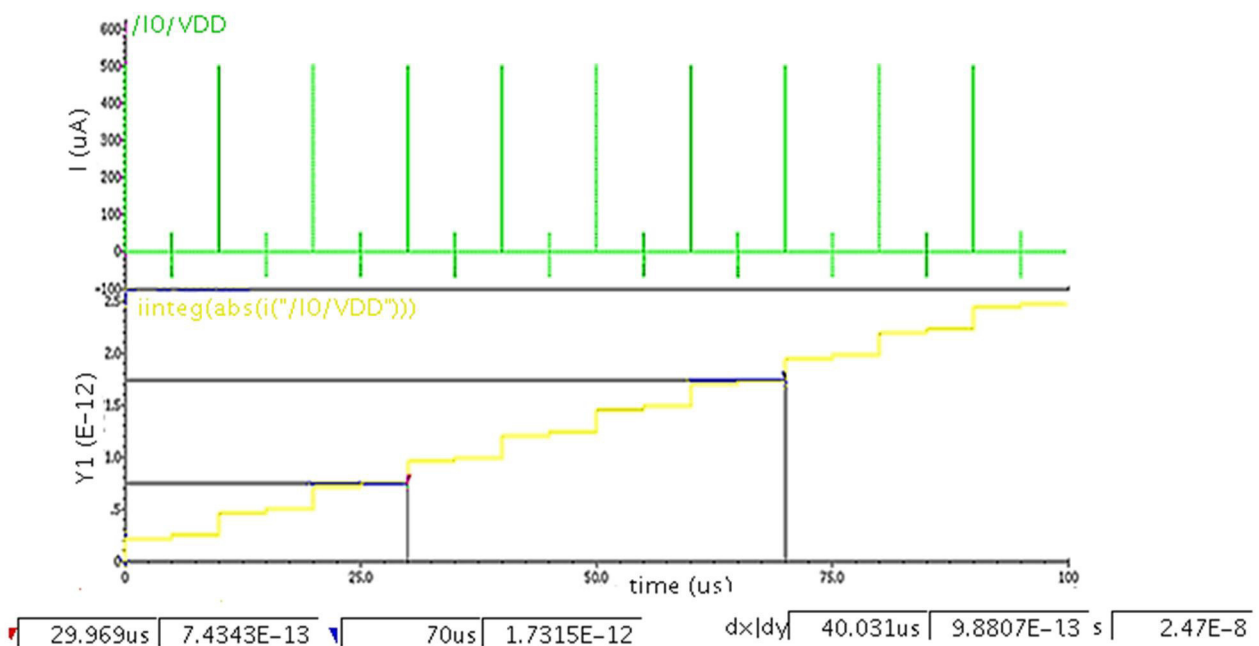


Fig. (3.10) : Consommation de courant (INV1XL)



### ✓ Timing simulation

Le rôle de cette simulation est d'estimer les temps de montée  $t_m$  et la descente  $t_d$  et le temps de propagation de la montée  $t_{pm}$  et la descente  $t_{pd}$ . Les différents résultats sont indiqués sur les courbes des figures ci-après.

#### ❖ Temps de la descente $t_d$

Le temps de descente est estimé entre 90% et 10% du front descendant du signal de sortie. La figure (3.11) représente le temps de la descente  $t_d$  dans l'inverseur INV1XL.

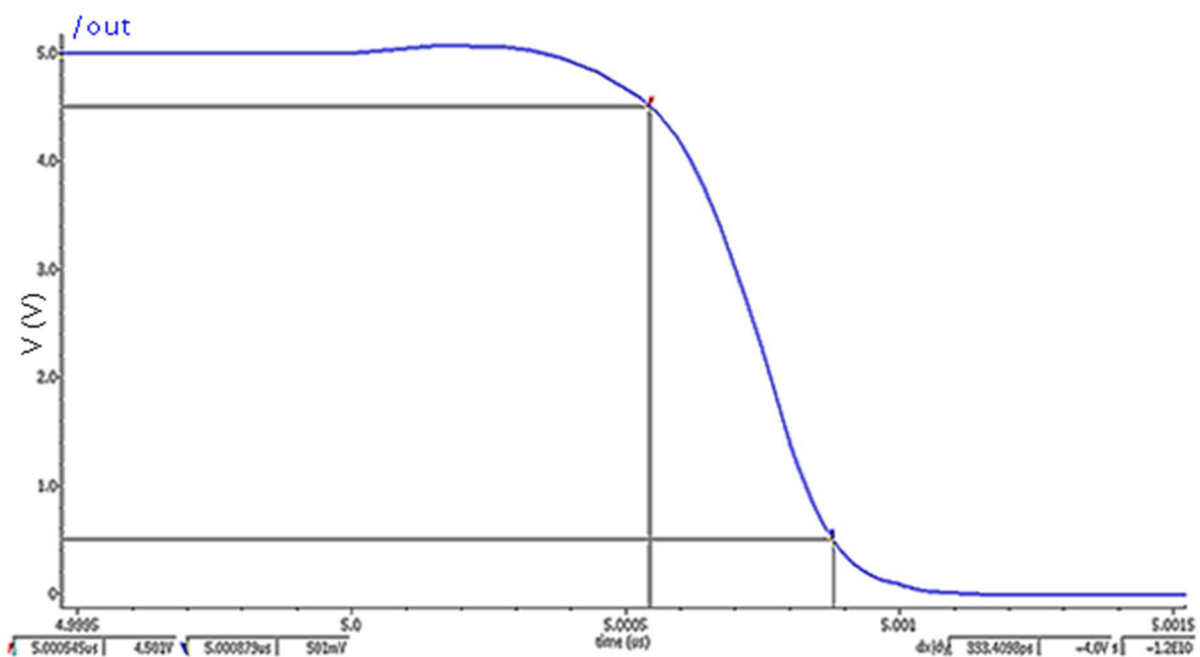


Fig. (3.11) : Le temps de la descente  $t_d$  (falling time)

#### ❖ Temps de la montée $t_m$

Le temps de montée est mesuré entre 10% et 90% du front montant du signal de sortie. La figure (3.12) représente le temps de la montée  $t_m$  dans l'inverseur INV1XL.

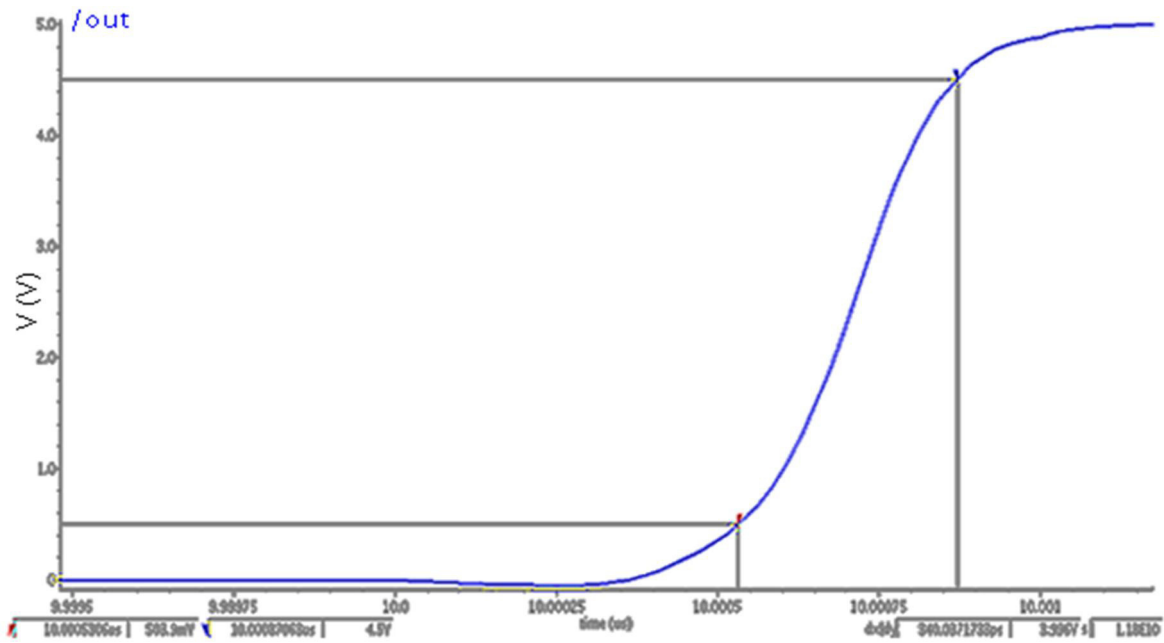


Fig. (3.12) : Le temps de la montée  $t_m$  (rising time)

❖ Temps de propagation à la montée  $t_{pm}$

Le temps de propagation  $t_{pm}$  est estimé entre 50% du signal d'entrée et 50% du signal de sortie. La figure (3.13) représente le temps de propagation à la montée  $t_{pm}$  dans l'inverseur INV1XL.

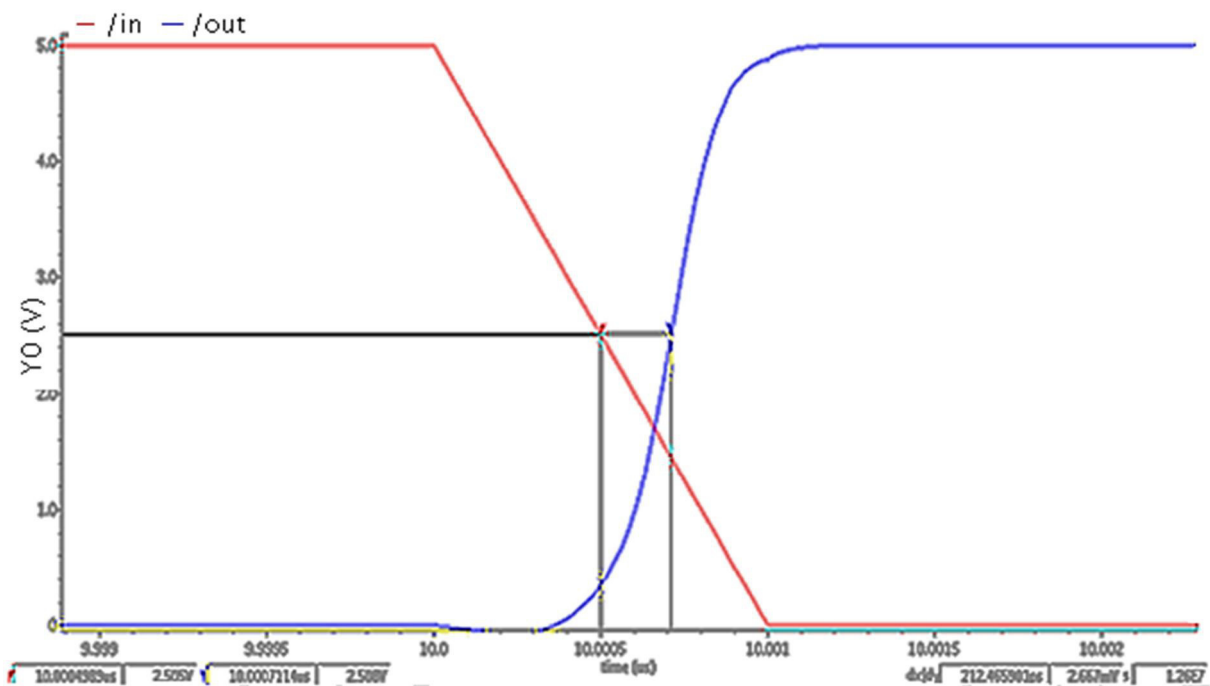


Fig. (3.13) : Le temps de propagation à la montée  $t_{pm}$

❖ Temps d propagation à la descente  $t_{pd}$

Le temps de propagation  $t_{pd}$  est estimé entre 50% du signal d'entrée et 50% du signal de sortie. La figure (3.14) représente le temps de propagation à la montée  $t_{pd}$  dans l'inverseur INV1XL.

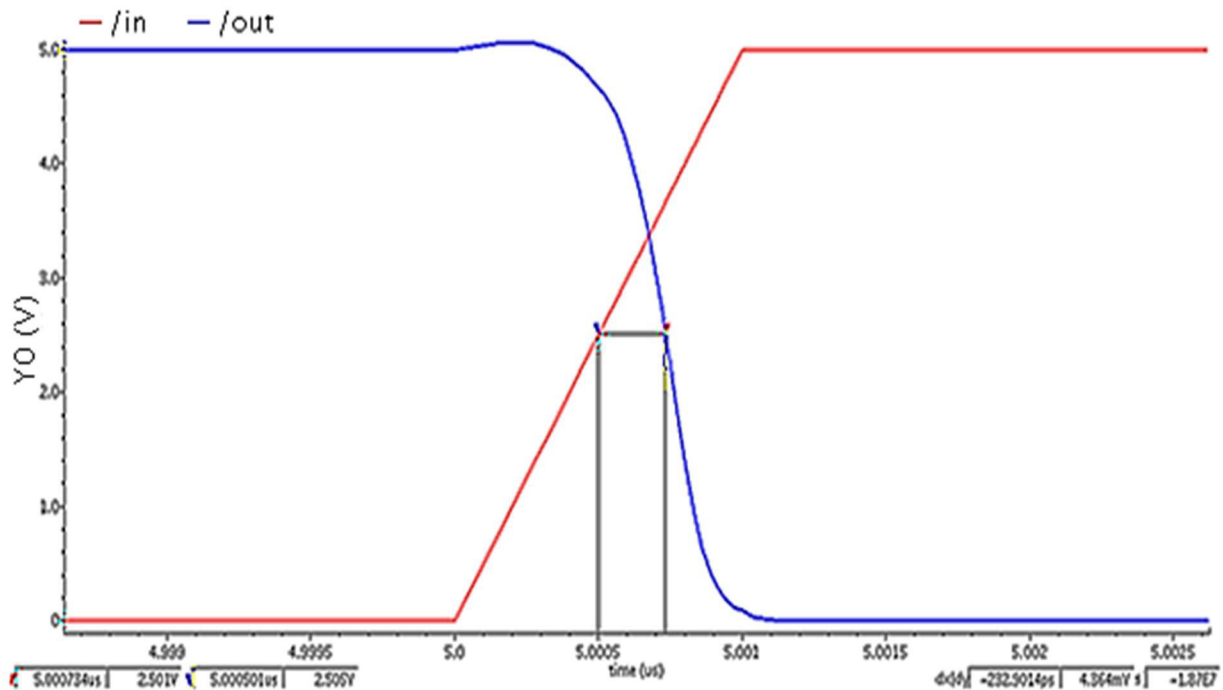


Fig. (3.14) : Le temps de propagation à la descente  $t_{pd}$

Pour les autres inverseurs (INV2XL, INV3XL, INV4XL), on résume les différentes simulations dans les tableaux ci-après. Le tableau (3.1) représente les caractéristiques électriques et le comportement dynamique de l'inverseur dans une période est égale 10ms.

Paramètres	INV1XL	INV2XL	INV3XL	INV4XL
Temps de montée $t_m$	333.35ps	276.25ps	255.31ps	242.85ps
Temps de descente $t_d$	340.65ps	264.55ps	236.34ps	218.64ps
Temps de propagation à la montée $t_{pm}$	233.45ps	173.54ps	145.50ps	131.48ps
Temps de propagation à la descente $t_{pd}$	211.75ps	151.46ps	133.60ps	121.17ps
Consommation de courant	21.9pA	46.10pA	61.01pA	76.90pA
Puissance dynamique $P_{dyn}$	109.5 pW	230.5pW	305pW	384.5pW
Puissance statique $P_{stat}$	25.01pW	25.05pW	25.10pW	25.15pW
Puissance de court-circuit $P_{cc}$	10.95pW	23.05pW	30.5pW	38.45pW
Puissance totale $P_{tot}=P_{dyn}+P_{stat}+P_{cc}$	120.4pW	278.6pW	360.6pW	444.1pW

**Table (3.1) : Les caractéristiques d'inverseurINV1XL (fréquence 100 Hz)**

Le tableau (3.2) représente les caractéristiques électriques et le comportement dynamique de l'inverseur dans une période est égale 10ns.

Paramètres	INV1XL	INV2XL	INV3XL	INV4XL
Temps de montée $t_m$	334.25ps	276.35ps	254.45ps	240.15ps
Temps de descente $t_d$	339.75ps	262.45ps	236.34ps	221.75ps
Temps de propagation à la montée $t_{pm}$	231.55ps	174.70ps	145.25ps	131.75ps
Temps de propagation à la descente $t_{pd}$	213.15ps	151.50ps	134.50ps	121.1ps
Consommation de courant	24.7 $\mu$ A	34.40 $\mu$ A	57.90 $\mu$ A	74.90 $\mu$ A
Puissance dynamique $P_{dyn}$	123.5 $\mu$ W	172.1 $\mu$ W	289.5 $\mu$ W	374.5 $\mu$ W
Puissance statique $P_{stat}$	25.01pW	25.05pW	25.10pW	25.15pW
Puissance de court-circuit $P_{cc}$	12.35 $\mu$ W	17.21 $\mu$ W	28.95 $\mu$ W	37.45 $\mu$ W
Puissance totale $P_{tot}=P_{dyn}+P_{stat}+P_{cc}$	135.8 $\mu$ W	189.3 $\mu$ W	318.4 $\mu$ W	444.9 $\mu$ W

**Table (3.2) : Les caractéristiques d'inverseur INV1XL (fréquence 100 MHz)**

Lorsqu'on augmente la taille des transistors dans les inverseurs (1XL, 2XL, 3XL, 4XL), les temps de montée  $t_m$  et la descente  $t_d$  et le temps de propagation  $t_{pm}$  et  $t_{pd}$  sont diminués, mais la consommation de courant et la puissance totale seront augmentée.

Lorsqu'on augmente la fréquence du signal d'entrée dans les inverseurs(1XL, 2XL, 3XL, 4XL), la consommation de courant augmente progressivement, tel que la puissance.

**Remarque** : On répète les mêmes étapes précédentes pour les simulations des portes (NAND, NOR,...) et les calculs des temps de montée  $t_m$  et la descente  $t_d$  et le temps de propagation  $t_{pm}$  et  $t_{pd}$ , et la consommation de courant.

## b. porte NAND2XL

C'est une porte à deux entrées (2XL) et une sortie.

### ✓ Fonctionnement

Cette porte réalise la fonction NON-ET, elle passe à 0 seulement dans le cas où ces deux entrées sont à 1. La pile P de cette porte est constituée de deux transistors PMOS montés en parallèle, elle transmet l'état 1 si l'un des deux transistors est fermé, donc, si l'une des entrées est à 0. La pile N est constituée de transistors NMOS montés en série, elle transmet l'état 0 seulement dans le cas où les deux transistors sont fermés, donc, les deux entrées sont à 1. La figure (3.15) représente le schéma électrique et le symbole de la porte NAND2XL.

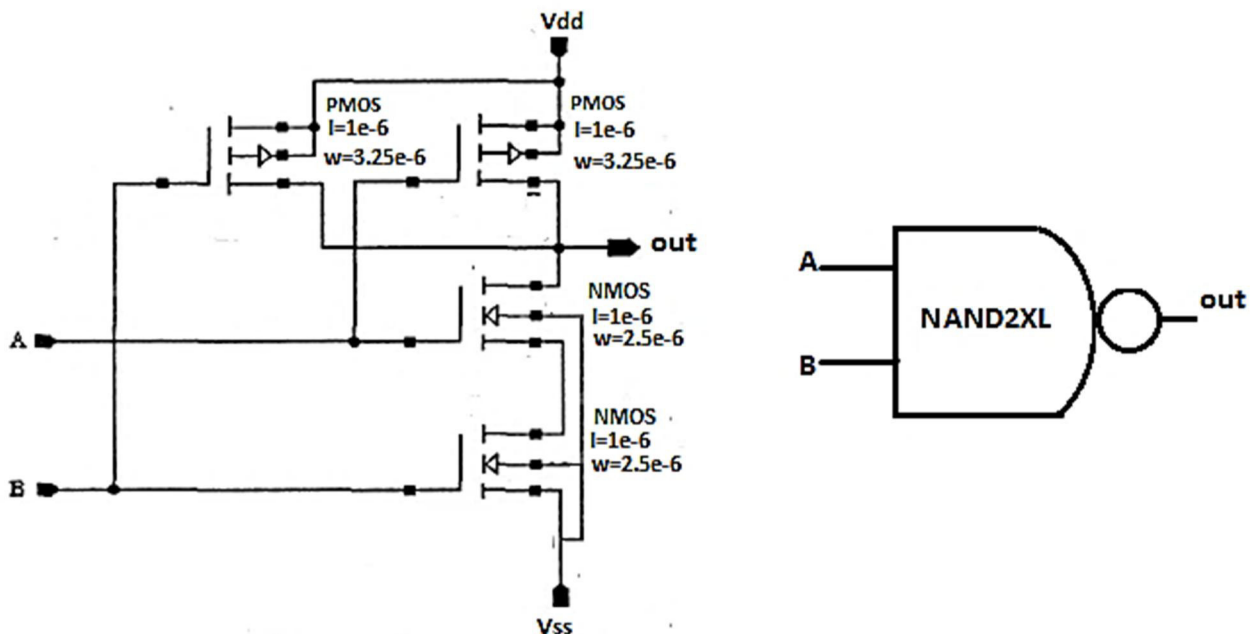


Fig. (3.15) : Schéma électrique et le symbole de la porte NAND2XL

### ✓ Simulation

Le rôle de ces simulations est la validation du fonctionnement de la porte NAND2XL, estimation de la consommation du courant et estimation du temps de la montée, de la descente de la sortie et le temps de propagation dans la porte (période est égale 10 ns). La figure (3.16) représente les courbes de transfert de tension(VTC) à chaque transition des entrées dans la porte NAND2XL.

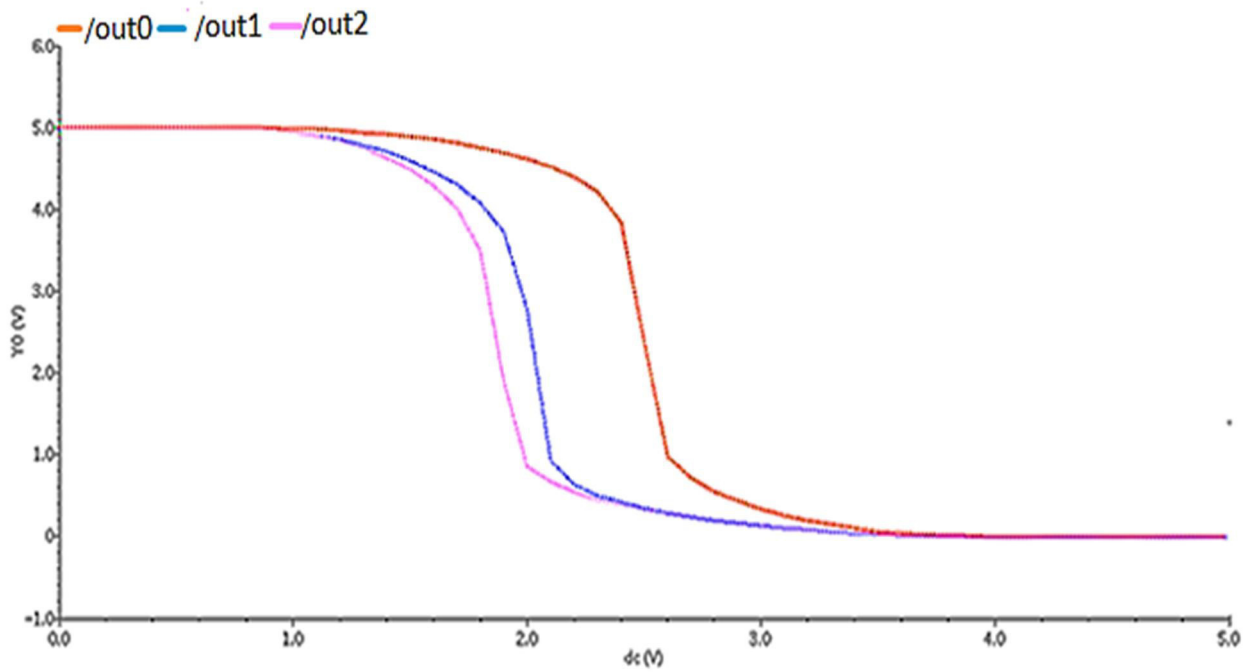


Fig. (3.16) : Les courbes de transfert de tension (NAND2XL)

La figure (3.17) représente les courbes de fonctionnement en régime transitoire de la porte NAND2XL.

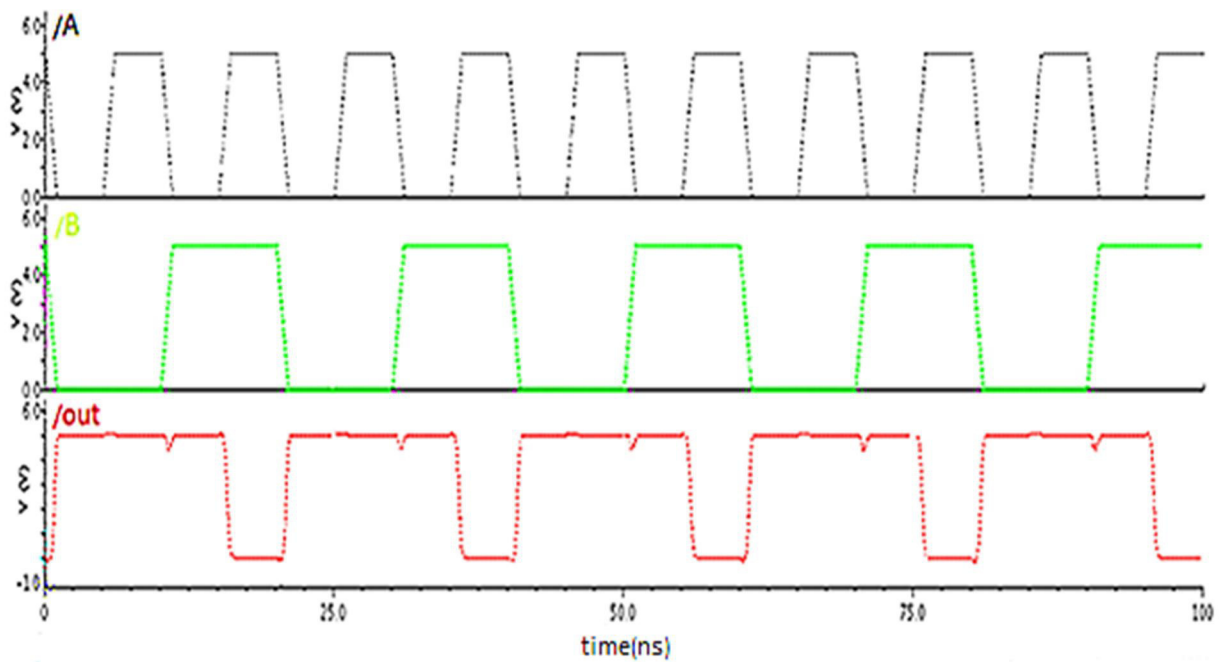
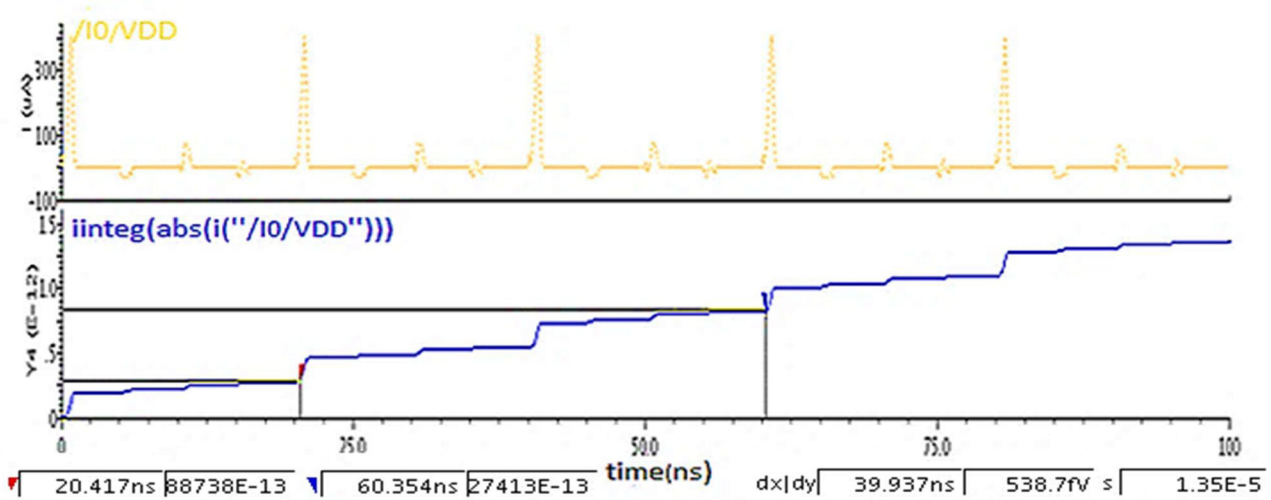


Fig. (3.17) : Courbes de fonctionnement de la porte NAND2XL

La figure (3.18) représente le courant consommé par la porte NAND2XL.



**Fig. (3.18) : Consommation de courant(NAND2XL)**

Le tableau (3.3) résume les différentes simulations de la porte NAND2XL dans les périodes suivantes : 10ms, 10µs, 1µ, 10ns, où f est la fréquence du signal d'entrée.

Paramètres	f=100Hz	f=100KHz	f=1MHz	f=100MHz
Temps de montée $t_m$	366.45ps	366.25ps	368.31ps	368.15ps
Temps de descente $t_d$	433.15ps	433.55ps	429.34ps	429.45ps
Temps de propagation à la montée $t_{pm}$	207.95ps	207.75ps	207.45ps	207.65ps
Temps de propagation à la descente $t_{pd}$	286.40ps	286.54ps	286.34ps	286.24ps
Consommation de courant	18.80pA	13.50nA	135nA	13.5µA
Puissance dynamique $P_{dyn}$	94 pW	67.5nW	675nW	67.5µW
Puissance statique $P_{stat}$	19.45pW	19.45pW	19.45pW	19.45pW
Puissance de court-circuit $P_{cc}$	9.4pW	6.75nW	67.5nW	6.75µW
Puissance totale $P_{tot}=P_{dyn}+P_{stat}+P_{cc}$	103.4pW	74.25nW	742.5nW	74.25µW

**Table (3.3) : Les caractéristiques de la porte NAND2XL**



Lorsqu'on augmente la fréquence du signal d'entrée dans la porte NAND2XL, la consommation de courant augmente progressivement, tel que la puissance, mais les temps de montée  $t_m$  et la descente  $t_d$  et le temps de propagation  $t_{pm}$  et  $t_{pd}$  reste constants.

### c. Porte AND2XL

C'est une porte à deux entrées (2XL) et une seule sortie.

#### ✓ Fonctionnement

Cette porte réalise la fonction ET, elle passe à 0 seulement dans le cas où l'une de ces deux entrées est à 0. Elle est constituée d'une porte NAND à deux entrées avec un inverseur à la sortie. La figure (3.19) représente le schéma électrique et le symbole de la porte AND2XL.

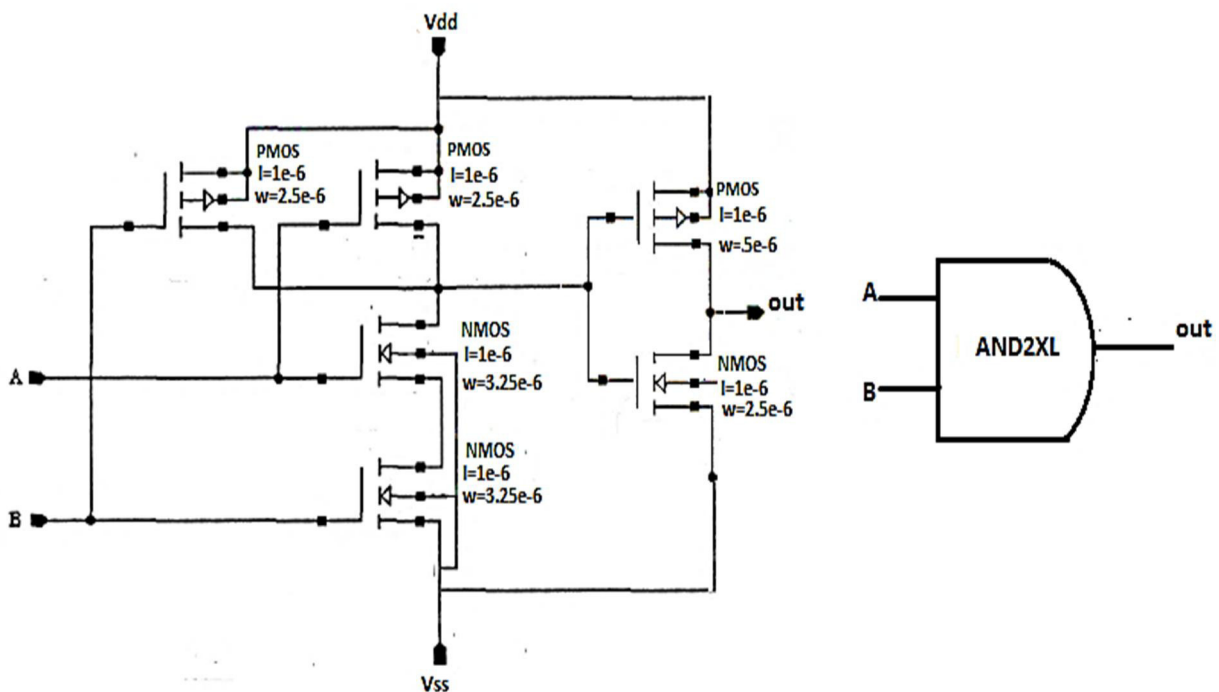


Fig. (3.19) : Schéma électrique et le symbole de la porte AND2XL

#### ✓ Simulation

Le rôle de ces simulations est la validation du fonctionnement de la porte AND2XL, estimation de la consommation du courant et estimation du temps de la montée, de la descente de la sortie et le temps de propagation dans la porte (période est égale 10 ns). La figure (3.20) représente la courbe de transfert de tension (VTC) à chaque transition des entrées dans la porte AND2XL.

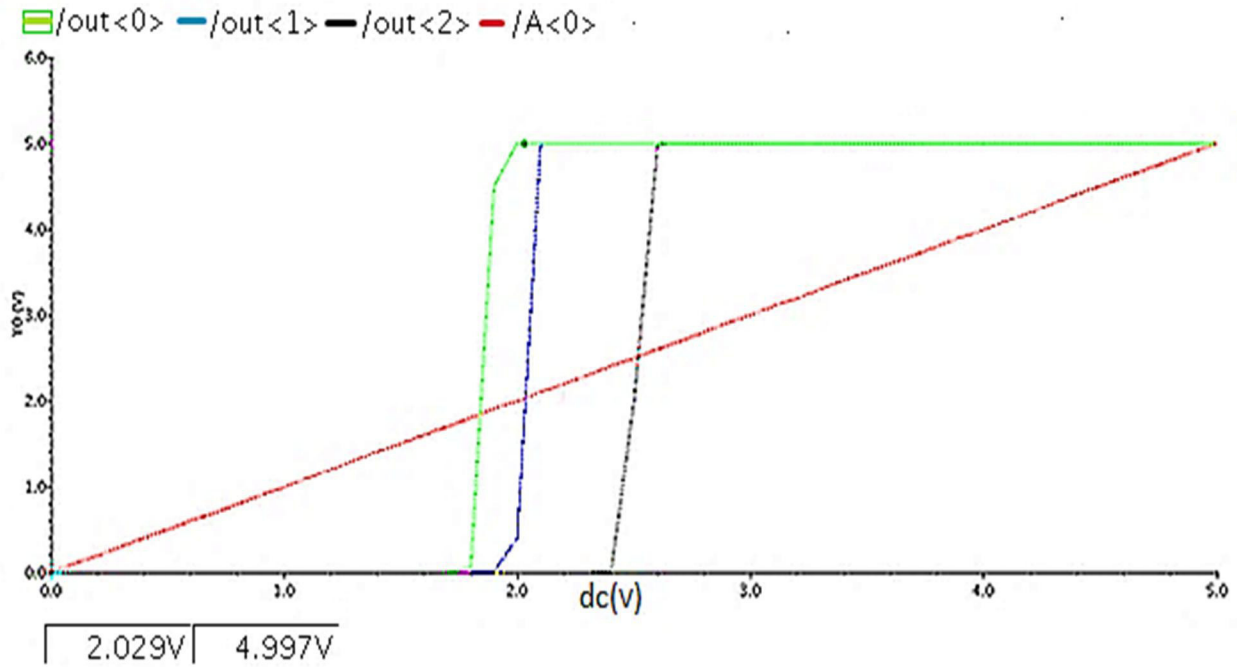


Fig. (3.20) : Les courbes de transfert de tension (AND2XL)

La figure (3.21) représente les courbes de fonctionnement en régime transitoire de la porte AND2XL.

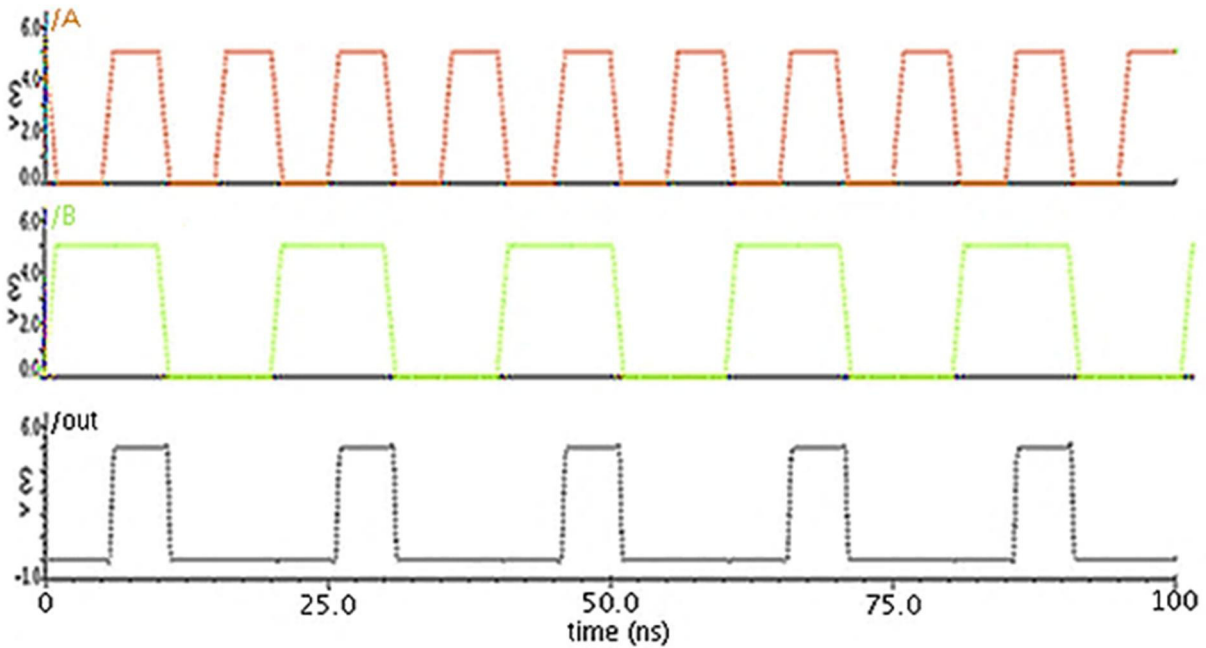


Fig. (3.21) : Courbes de fonctionnement de la porte AND2XL

La figure (3.22) représente le courant consommé par la porte AND2XL.

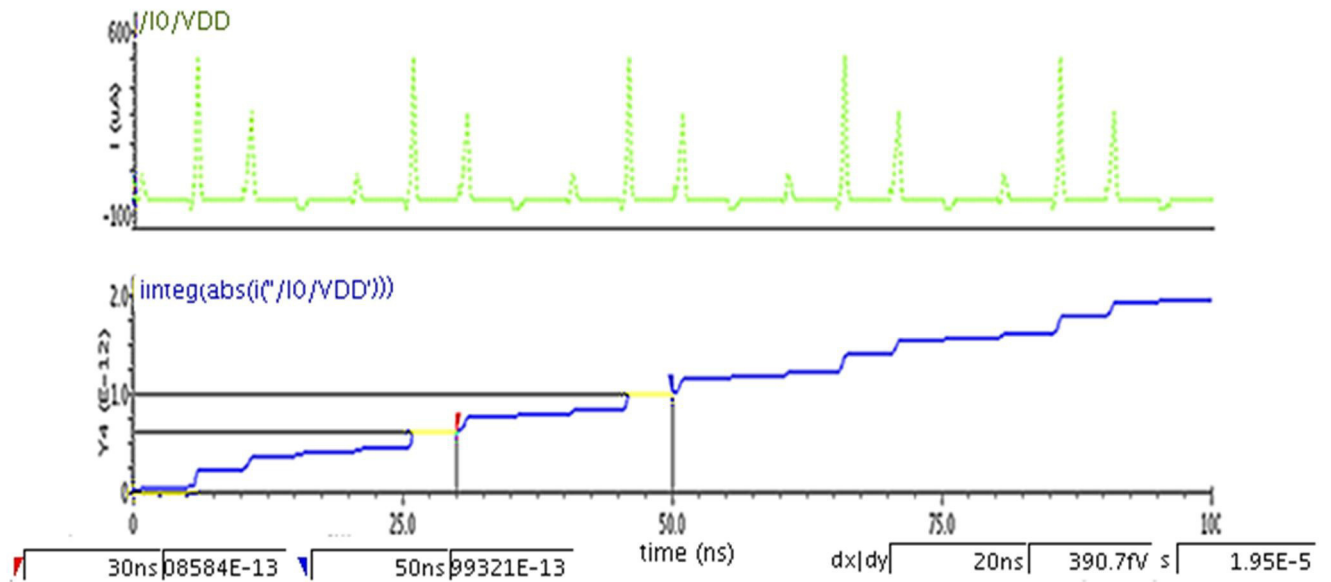


Fig. (3.22) : Consommation de courant(AND2XL)

Le tableau (3.4) résume les différentes simulations de la porte AND2XL dans les périodes suivantes : 10ms, 10µs, 1µ, 10ns, où f est la fréquence du signal d’entrée.

Paramètres	f=100Hz	f=100KHz	f=1MHz	f=100MHz
Temps de montée $t_m$	259.15ps	259.25ps	259.09ps	259.19ps
Temps de descente $t_d$	210.35ps	210.15ps	210.10ps	210.15ps
Temps de propagation à la montée $t_{pm}$	348.20ps	348.40ps	348.20ps	348.35ps
Temps de propagation à la descente $t_{pd}$	421.10ps	421.20ps	421.15ps	421.25ps
Consommation de courant	29.70pA	19.40nA	195nA	19.5µA
Puissance dynamique $P_{dyn}$	148.5pW	97nW	975nW	97.5µW
Puissance statique $P_{stat}$	37.50pW	37.50pW	37.50pW	37.50pW
Puissance de court-circuit $P_{cc}$	14.85pW	9.7nW	97.50nW	9.75µW
Puissance totale $P_{tot}=P_{dyn}+P_{stat}+P_{cc}$	163.35pW	106.7nW	1.7µW	107.25µW

Table (3.4) : Les caractéristiques de la porte AND2XL

Lorsqu'on augmente la fréquence du signal d'entrée dans la porte AND2XL, la consommation de courant augmente progressivement, tel que la puissance, mais les temps de montée  $t_m$  et la descente  $t_d$  et le temps de propagation  $t_{pm}$  et  $t_{pd}$  reste constants.

#### d. porte NOR2XL

C'est une porte à deux entrées (2XL) et une seule sortie

##### ✓ Fonctionnement

Cette porte réalise la fonction NON-OU, elle passe à 1 seulement dans le cas où ces deux entrées est à 0. La pile P de cette porte est constituée de deux transistors PMOS montés en série, elle transmet l'état 1 seulement dans le cas où les deux transistors sont à 0. La pile N est constituée de transistors NMOS montés en parallèle, elle transmet l'état 0 si l'un des deux transistors sont fermés, donc, si l'une des entrées sont à 1. La figure (3.23) représente le schéma électrique et le symbole de la porte OR2XL.

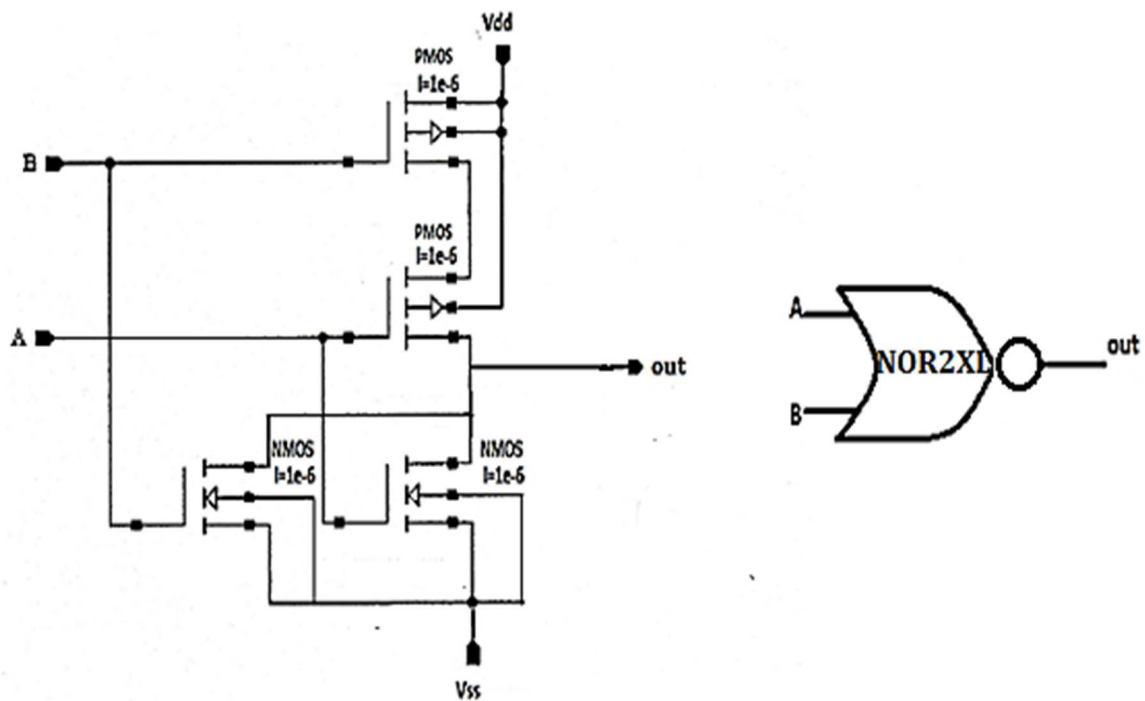


Fig. (3.23) : Schéma électrique et le symbole de la porte NOR2XL.

Le tableau (3.5) résume les différentes simulations de la porte OR2XL dans les périodes suivants :  $10\mu s$ ,  $1\mu s$ ,  $10ns$  où  $f$  est la fréquence du signal d'entrée.

Paramètres	f=100KHz	f=1MHz	f=100MHz
Temps de montée $t_m$	176.21 ps	176.67ps	176.61ps
Temps de descente $t_d$	164.55 ps	164.45ps	164.2ps
Temps de propagation à la montée $t_{pm}$	153 ps	153.58 ps	154.68 ps
Temps de propagation à la descente $t_{pd}$	281 ps	281.13 ps	281.6 ps
Consommation de courant	17.12nA	171.6 nA	17.52 $\mu$ A
Puissance dynamique $P_{dyn}$	87.6nW	858 nW	87.6 $\mu$ W
Puissance statique $P_{stat}$	29.32pW	29.32pW	29.3255pW
Puissance de court-circuit $P_{cc}$	8.76nW	17.16nW	8.76 $\mu$ W
Puissance totale $P_{tot}=P_{dyn}+P_{stat}+P_{cc}$	96.61nW	875.45nW	96.37 $\mu$ W

**Table (3.5) : Les caractéristiques de la porte NOR2XL**

#### e. Porte OR2XL

C'est une porte à deux entrées (2XL) et une seule sortie.

##### ✓ Fonctionnement

Cette porte réalise la fonction OU, elle passe à 0 seulement dans le cas où ces deux entrées est à 0. Elle est constituée d'une porte NOR à deux entrées avec un inverseur à la sortie. La figure (3.24) représente le schéma électrique et le symbole de la porte OR2XL.

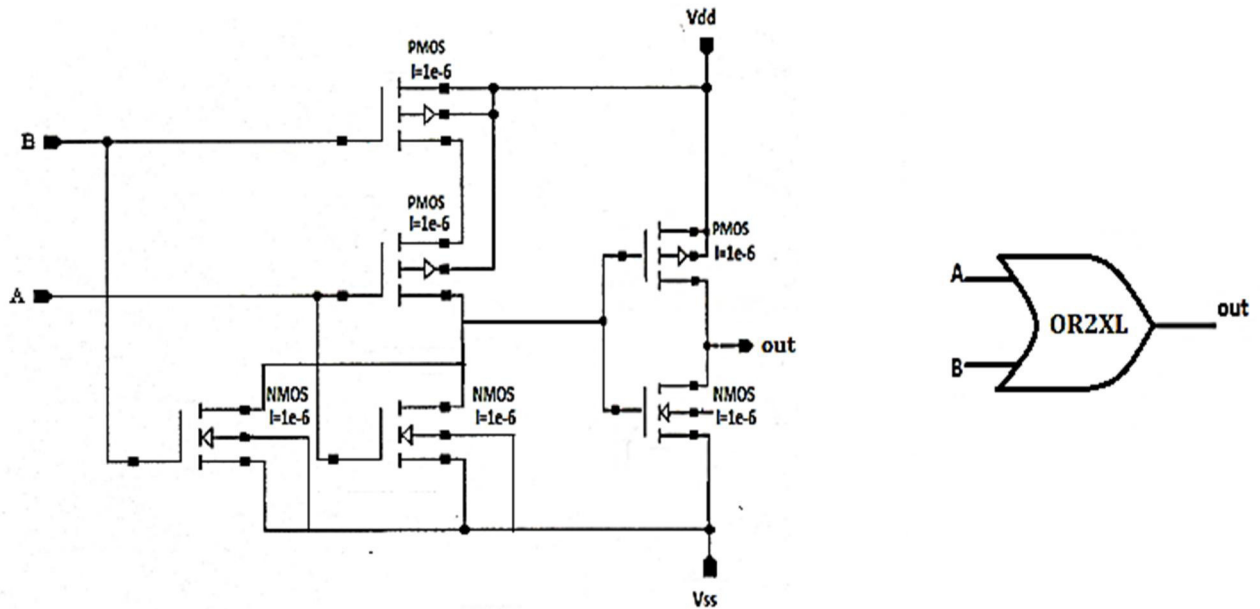


Fig. (3.24) : Schéma électrique et le symbole de la porte OR2XL.

Le tableau (3.6) résume les différentes simulations de la porte OR2XL dans les périodes suivants :10 $\mu$ s, 1 $\mu$ s,10ns où f est la fréquence du signal d'entrée.

Paramètres	f=100KHz	f=1MHz	f=100MHz
Temps de montée $t_m$	223.67 ps	223.67ps	223.61ps
Temps de descente $t_d$	246.55 ps	246.55ps	246.02ps
Temps de propagation à la montée $t_{pm}$	443.13 ps	443.58 ps	443.68 ps
Temps de propagation à la descente $t_{pd}$	624.31 ps	624.48 ps	624.39 ps
Consommation de courant	1,48 $\mu$ A	148 $\mu$ A	14.8mA
Puissance dynamique $P_{dyn}$	7.4 $\mu$ W	74 $\mu$ W	740 nW
Puissance statique $P_{stat}$	27.55 $\mu$ W	27.55 $\mu$ W	27.55 $\mu$ W
Puissance de court-circuit $P_{cc}$	0.74 $\mu$ W	7.4 $\mu$ W	27.55 $\mu$ W
Puissance totale $P_{tot}=P_{dyn}+P_{stat}+P_{cc}$	35.65 $\mu$ W	108.95 $\mu$ W	774.95 $\mu$ W

Table (3.6) : Les caractéristiques de la porte OR2XL

Lorsqu'on augmente la fréquence du signal d'entrée dans la porte OR2XL, la consommation de courant augmente progressivement, tel que la puissance, mais les temps de montée  $t_m$  et la descente  $t_d$  et le temps de propagation  $t_{pm}$  et  $t_{pd}$  reste constants.

### 3.4.2 Cellules complexes

La technique de réalisation des fonctions Nor et Nand peut être utilisée pour la réalisation des fonctions plus complexes.

#### a. NAND3XL

C'est une porte complexe à 3entrées (3XL).

##### ✓ Fonctionnement

La pile P de cette porte est constituée de trois transistors PMOS montés en parallèles, elle transmet l'état 1 si l'une des trois entrées est à 0. La pile N est constituée de trois transistors NMOS montés en séries, elle transmet l'état 0 seulement dans le cas où les trois entées sont à 1 simultanément. La figure (3.25) représente le schéma électrique et le symbole de la porte NAND3XL.

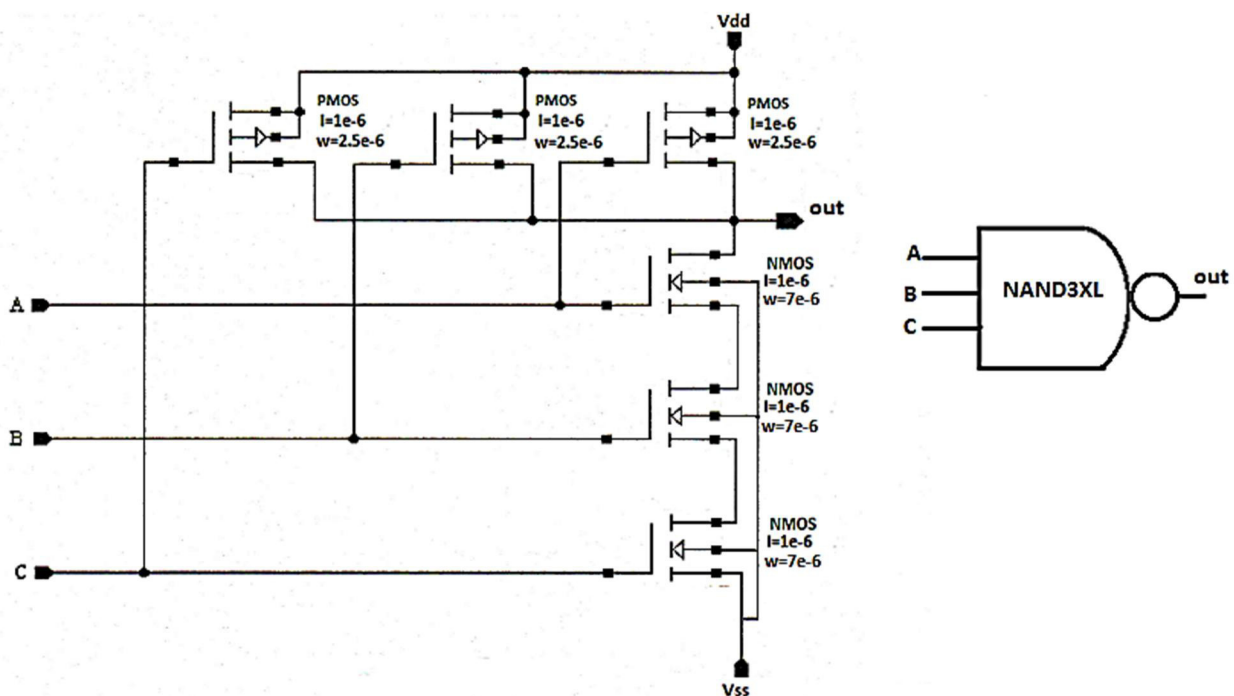
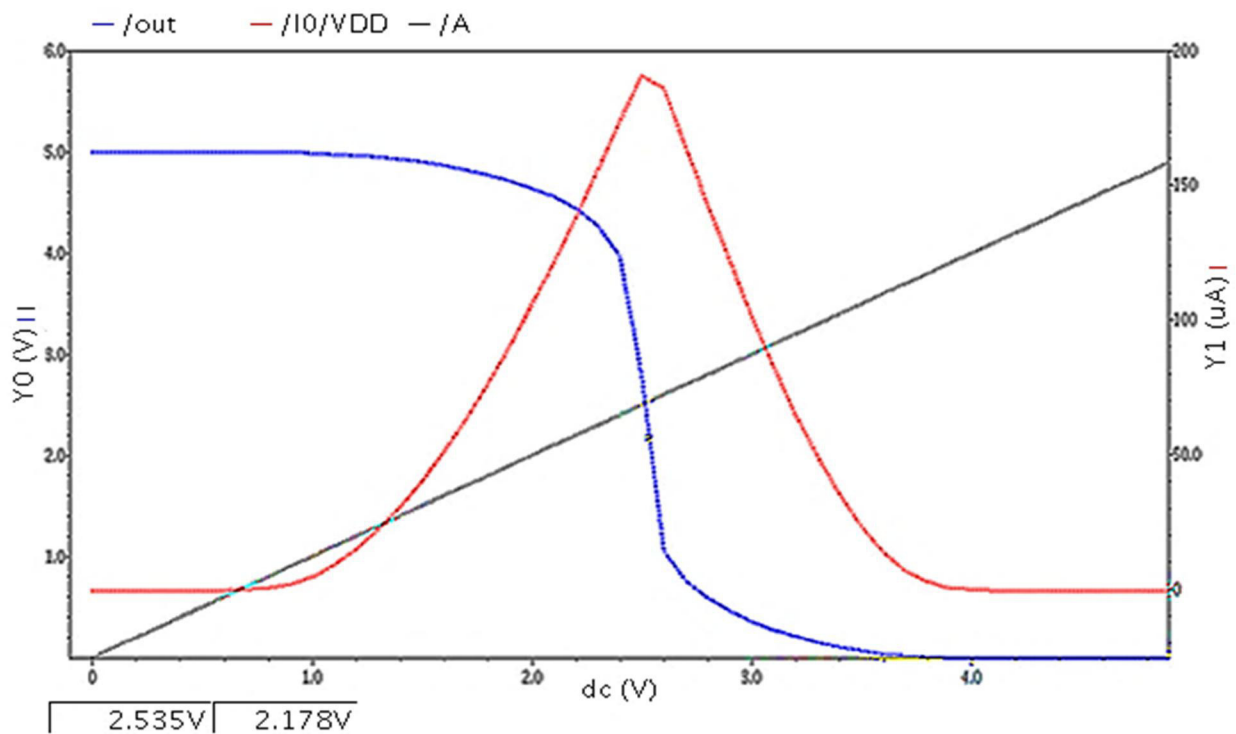


Fig. (3.25) : Schéma électrique et le symbole de la porte NAND3XL

✓ **Simulation**

Le rôle de ces simulations est la validation du fonctionnement de la porte NAND3XL, estimation de la consommation du courant et estimation du temps de la montée, de la descente de la sortie et le temps de propagation dans la porte (période est égale 10 ns). La figure (3.26) représente la courbe de transfert de tension(VTC) de la porte NAND3XL.



**Fig. (3.26) : Courbe de transfert de tension (NAND3XL)**

La figure (3.27) représente les courbes de transfert de tension(VTC) à chaque transition des entrées dans la porte NAND3XL.



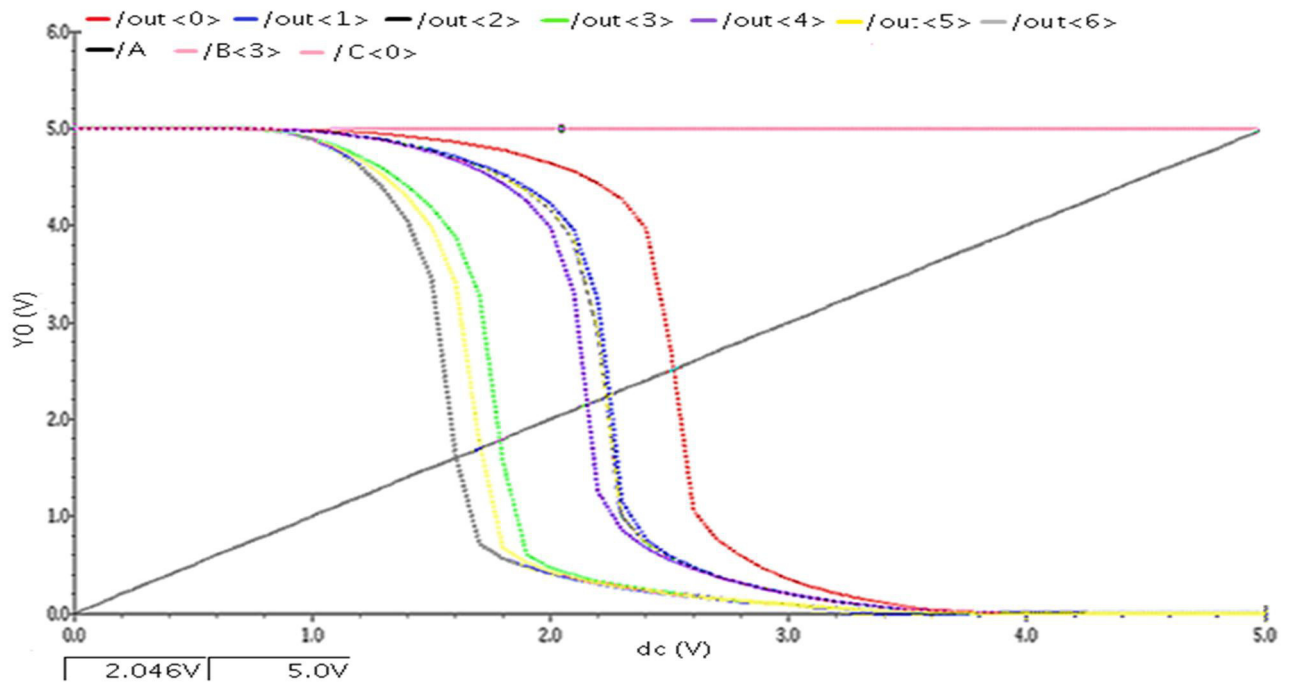


Fig. (3.27) : Les courbes de transfert de tension (NAND3XL)

La figure (3.28) représente les courbes de fonctionnement en régime transitoire de la porte NAND3XL.

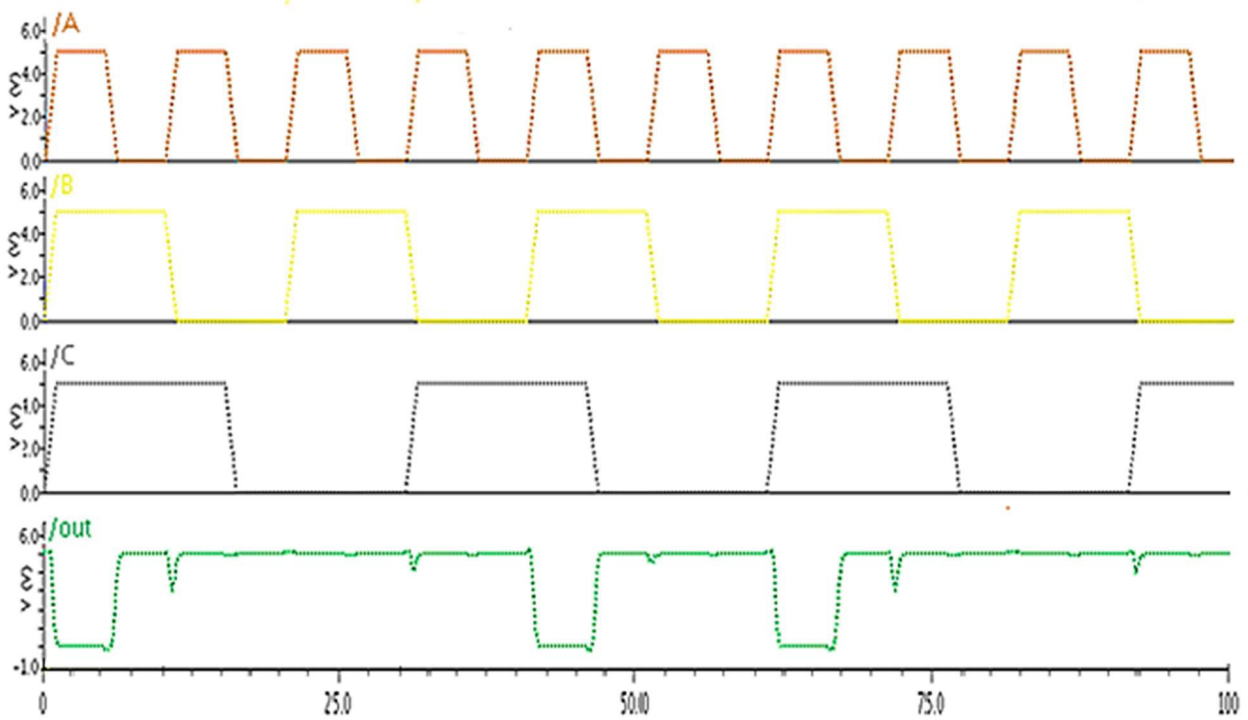
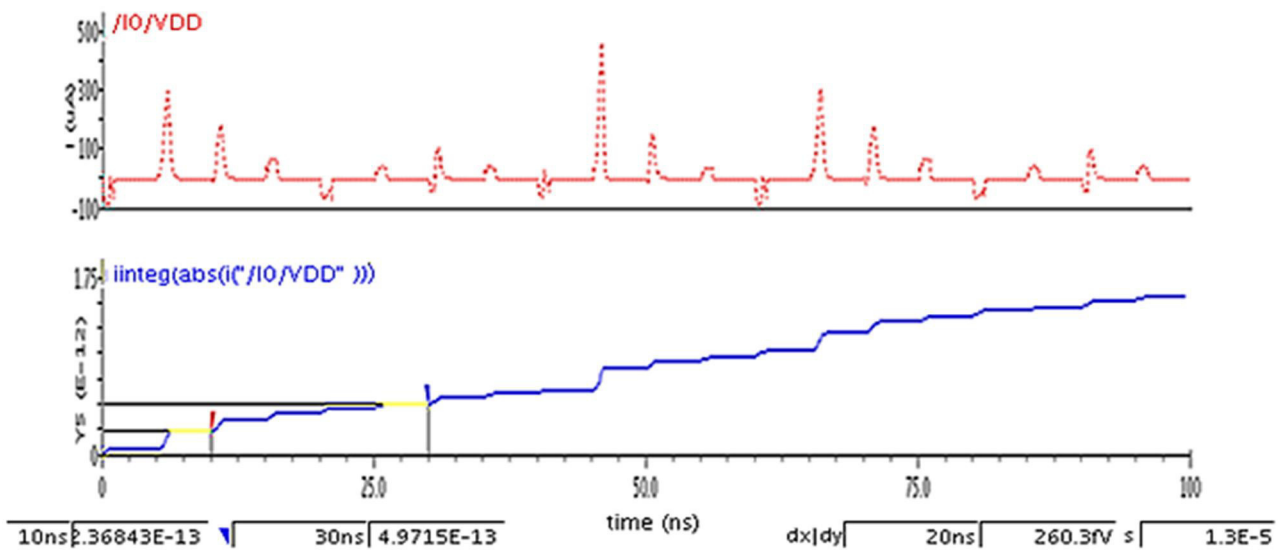


Fig. (3.28) : Courbes de fonctionnement de la porte NAND3XL

La figure (3.29) représente la consommation de courant dans la porte NAND3XL.



**Fig. (3.29) : Consommation de courant(NAND3XL)**

Le tableau (3.7) résume les différentes simulations de la porte NAND3XL dans les périodes suivants : 10ms, 10µs, 1µ, 10ns, où f est la fréquence du signal d'entrée.

Paramètres	f=100Hz	f=100KHz	f=1MHz	f=100MHz
Temps de montée $t_m$	495.10ps	495.90ps	495.50ps	496.40ps
Temps de descente $t_d$	430.15ps	436.10ps	437.20ps	382.32ps
Temps de propagation à la montée $t_{pm}$	490.25ps	490.35ps	491.43ps	490.15ps
Temps de propagation à la descente $t_{pd}$	231.30ps	231.10ps	228.94ps	300.24ps
Consommation de courant	20.20pA	12.90nA	128nA	13µA
Puissance dynamique $P_{dyn}$	101pW	64.50nW	640nW	65µW
Puissance statique $P_{stat}$	08.35pW	08.35pW	08.35pW	08.35pW
Puissance de court-circuit $P_{cc}$	10.10pW	06.45nW	64nW	06.50µW
Puissance totale $P_{tot}=P_{dyn}+P_{stat}+P_{cc}$	111.10pW	70.95nW	704nW	71.50µW

**Table (3.7) : Les caractéristiques de la porte NAND3XL**

Lorsqu'on augmente la fréquence du signal d'entrée dans la porte NAND3XL, la consommation de courant augmente progressivement, tel que la puissance, mais les temps de montée  $t_m$  et la descente  $t_d$  et le temps de propagation  $t_{pm}$  et  $t_{pd}$  reste constants.

### 3.5. Vues géométriques (Layout)

L'étape de finalisation des cellules de la bibliothèque, la représentation de chaque composant du circuit est convertie en une représentation géométrique. Les connexions entre les différents composants sont également exprimées en tant qu'un modèle géométrique. L'étape de la réalisation géométrique d'un circuit s'appelle layout. Les détails exacts d'un layout dépendent des règles de conception, qui sont basées sur les limitations du processus de fabrication et les propriétés électriques des matériaux de fabrication. Le layout d'un circuit est un processus très complexe, en conséquence, il est toujours décomposé en diverses étapes secondaires afin de pouvoir manipuler la complexité du problème.

#### 3.5.1. Les étapes de layout

Les étapes nécessaires pour transformer le schéma électrique vers une représentation layout sont : la planification, placement, routage et vérification. (figure3.30)

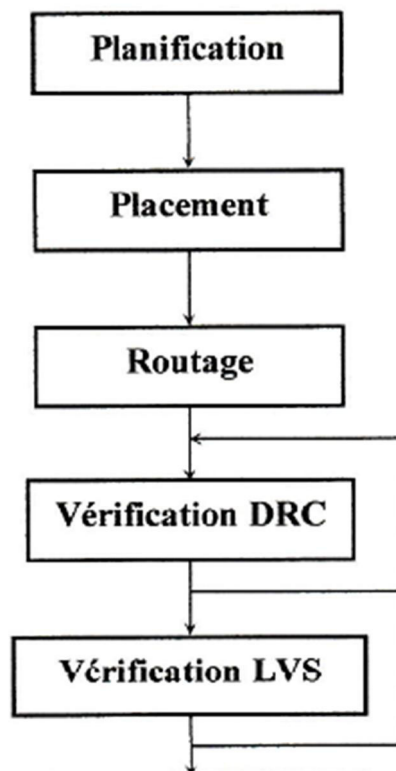


Fig. (3.30) : Les étapes des dessins des masques

### a. Planification

Dans cette étape, le concepteur estime la forme primaire de la cellule de façon que le dessin soit le plus simple à réaliser. Donc, dans cette étape, on prévoit les emplacements des composants, sans accès aux règles de dessin, pour que les interconnexions soient les plus courts possibles et de prévoir aussi l'emplacement des entrées et les sorties de la cellule.

### b. Topologie de la forme générale

Dans cette étape, s'effectue le dessin des différentes zones communes pour toutes les cellules (l'emplacement des rails d'alimentation, l'emplacement des contacts métal 1/métal2, les zones où les transistors PMOS et NMOS seront dessinés).

### c. Placement des composants

L'avantage primaire d'un bon placement est de minimiser la surface de la cellule, car par un bon arrangement des composants on facilite l'étape prochaine qui est le routage entre les composants. C'est une étape très difficile et prend beaucoup de temps, dans cette phase le concepteur doit tenir compte du type de composant et leurs connexions dans le schéma électrique et ainsi que les règles de layout.

Le premier placement n'est pas forcément le bon, mais peut être modifié au fur et à mesure que des problèmes dans les autres étapes s'interviennent. Un bon placement permet de : minimiser les retards, rendre la cellule plus dense et assurer l'étape suivante, afin d'avoir : une dissipation minimale de puissance et minimisation de la transmodulation (crosstalk) entre les signaux.

### d. Routage

Le routage est l'étape dans laquelle le concepteur réalise les interconnexions entre les différents composants de la cellule en respectant les règles de dessin. L'espace laissé entre les composants lors de l'étape de placement s'appelle un canal. On peut trouver des canaux horizontaux et verticaux, le routage est établie dans ces canaux.

### e. Vérification d'un layout

#### ✓ Vérificateur DRC (Design Rule Check)

Le layout créé doit se conformer à un ensemble complexe de règles de conception, pour

assurer une probabilité minimale de défauts de fabrication. Un outil est implanté dans la fenêtre de layout, appelé Design Rule Checker, qui est employé pour détecter n'importe quelles violations de règle de conception pendant et après la conception des masques. Les erreurs détectées sont montrées sur la fenêtre de layout par des marqueurs et les règles correspondantes sont aussi montrées dans une autre fenêtre. Le concepteur doit exécuter le DRC fréquemment avant que la conception entière ne soit achevée et s'assurer que toutes les erreurs de layout sont finalement enlevées.

#### ✓ **Circuit Extract**

L'extraction du circuit est exécutée après l'achèvement du layout, pour créer un net-list détaillée (ou description de circuit) pour les outils de simulation. L'extracteur de circuit est capable d'identifier les transistors seuls et leurs interconnexions (sur des couches diverses), aussi bien que les résistances parasites et les capacités qui sont inévitablement présente entre ces couches. Ainsi, "le net-list extrait" peut fournir une évaluation très précise des dimensions du circuit réel et qui détermine en fin de compte les performances du circuit. Le fichier net-list extrait et les paramètres sont par la suite employés dans LVS et dans des simulations au niveau transistor.

#### ✓ **Vérificateur LVS (Layout Versus Schematic Check)**

Après que le layout du circuit est achevé, la conception doit être vérifiée par rapport à la description de circuit dans le schématique créé avant. L'outil appelé "Layout-Versus-Schematic" comparera le circuit original avec celui extrait du layout et indiquera qu'ils sont identiques. L'étape LVS fournit un niveau complémentaire de sûreté pour l'intégrité du design et assure que la disposition des masques dans le layout est une réalisation correcte du schématique du circuit en question.

Les erreurs qui peuvent être marqué pendant l'étape LVS (comme dans le cas d'une interconnexion manquante soit au niveau schematic ou layout.. etc.) Doit être corrigé dans le layout avant de lancer une simulation post-layout. Notez aussi que l'étape d'extraction doit être répétée à chaque modification du layout.

#### ✓ **Optimisation de la taille**

Une fois le layout d'une cellule est achevé, plusieurs interventions et modifications seront apportées sur la cellule afin de minimiser sa taille, cette étape est appeler l'optimisation (rendre la cellule la plus dense possible). On doit vérifier à chaque modification qu'il n'y a pas un viol des règles de dessins et la similitude avec le circuit du schématique.

### 3.5.2. Layout et règles de dessin

#### a. les différentes couches utilisées dans un layout

Un masque est les diverses couches employées pour définir l'endroit et la taille des composants et les lignes d'interconnexions. Chaque couche peut être traitée individuellement (pas de liaisons électriques dans le cas de chevauchement de deux couches). Les couches sont de couleurs différentes (indiquées dans une fenêtre de sélection de couche LSW).

Les différentes couches utilisées dans un layout sont :

##### ✓ Les interconnexions

Les interconnexions sont « métalliques » ; c'est-à-dire conductrices. Chaque niveau d'interconnexion est séparé par une couche d'isolant épais, de l'oxyde de silicium ( $\text{SiO}_2$ ). Les interconnexions sont de 2 types :

##### ❖ Les interconnexions avec l'extérieur de la cellule :

- Les entrées et les sorties en métal niveau 2, avec une broche spécifique à chaque extrémité.
- L'alimentation positive en métal niveau 1, avec une broche "Vdd" à chaque extrémité.
- L'alimentation négative en métal niveau 1, avec une broche "Gnd" à chaque extrémité.

##### ❖ Les interconnexions internes à la cellule :

- Métal niveau 2.
- Métal niveau 1, diffusion fortement dopée, poly-cristallin, ou poly-silicium.

##### ✓ Les diffusions

Les "diffusions" sont des zones dopées du substrat. Le substrat est isolé des 3 couches supérieures (interconnexions) par une couche d'isolant épais. Avec les conventions utilisées, on peut considérer que le substrat et les diffusions se situent au niveau 1. Les diffusions sont de 4 types (dans l'ordre du dessin):

- La diffusion P est une zone fortement dopée P. Cette zone est creusée dans la première couche d'isolant épais (isolation substrat/poly-silicium, entre niveau 0 et niveau 1) déposée sur le substrat physique. Quand le Poly-silicium traverse cette région il est sûr qu'il y est un isolant mince (isolant de grille), au-dessus du substrat, c'est donc la grille d'un PMOS.
- La diffusion N est une zone fortement dopée N. Cette zone est creusée dans la première couche d'isolant épais (isolation substrat/poly-silicium, entre niveau 0 et niveau 1) déposée sur

le substrat physique. Quand le Poly-silicium traverse cette région il est sûr qu'il y est un isolant mince (isolant de grille), au-dessus du substrat, c'est donc la grille d'un NMOS.



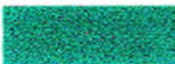



- Le caisson N est faiblement dopé N. Les transistors PMOS sont implantés sur le caisson N.
- Le substrat physique est faiblement dopé P, il est appelé caisson P. Les transistors NMOS sont implantés sur le caisson P.

#### ✓ Les contacts

Ce sont des trous dans l'isolant épais. Ils servent à relier deux différents niveaux. Il y a 2 classes de contact :

- ❖ À partir du métal 1
  - Contact de caisson.
  - Contact de diffusion.
  - Contact de poly-silicium.
- ❖ À partir du métal 2
  - Contact de métal 1.

Les couleurs attribuées aux différentes couches utilisées sont indiquées sur le tableau (3.8).

Couleur	La couche correspondante
	Couche poly
	Couche de diffusion
	Metal 1
	N-well
	Metal 2
	Substrat

**Table (3.8) : Représentation en couleur des différentes couches utilisées par Vertuoso cadence**

## b. Règles de Conception d'un layout

Le layout de n'importe quel circuit, qui tend à être fabriqué en employant un certain processus, doit se conformer à un jeu de règles liées aux contraintes géométriques, qui sont généralement appelées des règles de conception d'un layout. Ces règles spécifient d'habitude les largeurs minimales des lignes permises de différentes couches physiques dans un circuit (comme les interconnexions en métal ou en poly-silicium et les surfaces de diffusion), les dimensions minimales des différents dispositifs et les séparations minimales permises entre ces deux dispositifs. Si la largeur d'une ligne, par exemple, de métal est réalisée trop petite, il y a une probabilité d'existence d'une coupure au niveau de cette ligne pendant le processus de fabrication ou bien, aboutissant à un circuit ouvert. Si deux lignes sont placées trop proche dans un layout, ils peuvent former un court-circuit indésirable pendant ou après le processus de fabrication. L'objectif principal des règles de conception est d'avoir un rendement maximal et une fiabilité importante en employant sur une surface de silicium réduite.

Les règles de conception de layout qui sont spécifiées pour un processus de fabrication particulier représentent normalement un point raisonnable optimum en terme de rendement et de la densité. Il doit être souligné, cependant, que les règles de conception ne représentent pas de frontières strictes qui séparent les designs corrects de ceux incorrects. Un layout qui viole certaines des règles de conception indiquées peut toujours aboutir à un circuit opérationnel avec un rendement raisonnable, tandis qu'un autre layout respectant toutes les règles de conception indiquées peut aboutir à un circuit non fonctionnel et/ou a un rendement bas. Pour récapituler, nous pouvons dire, en général, que le respect des règles de conception de layout augmente significativement la probabilité de fabriquer un produit couronné de succès avec un rendement élevé.

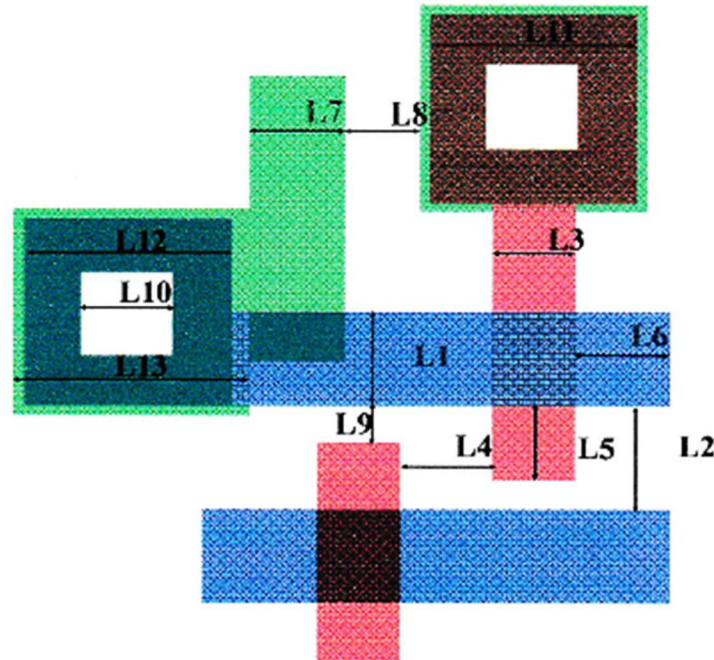
Les règles de conception sont d'habitude décrites de deux façons :

- Micron-rules, dans lequel les contraintes de layout comme les tailles des dispositifs minimales et les distances minimale permises entre eux, sont exposées en termes de dimensions absolues en micromètres.
- Lambda-rules, qui spécifie les contraintes de layout en termes d'un paramètre ( $\lambda$ ) simple et, ainsi, permet la graduation linéaire, proportionnelle de toutes les contraintes géométriques.

La conception des layouts basées sur la règle lambda a été, à l'origine, inventée pour simplifier la fabrication des conceptions basées sur les règles standards micron-rules qui permet de mesurer la capacité de processus divers. Il doit être souligné, cependant, que la plupart les règles de conception des



circuits CMOS submicronique ne peuvent pas être réalisés suivant une graduation directe linéaire. L'utilisation de règle Lambda dans la conception de ces circuits doit être soigneusement faite. La figure (3.31) présenter un jeu de règles de conception de layout imposé par CMOS dans la technologie 1 $\mu$ m schématisé dans un layout de deux transistors.



**Fig. (3.31) : Loi des dessins de masque des différentes couches (active, poly-silicium, métal et les contacts)**

- L1 : Largeur minimale d'une zone active.....1 $\mu$ m
- L2 : Espace minimale entre deux zones actives.....2 $\mu$ m
- L3 : Largeur minimale du poly.....1 $\mu$ m
- L4 : Espace minimale entre deux polys.....1.5 $\mu$ m
- L5 : Extension minimale du poly en dehors de la zone active..... 1 $\mu$ m
- L6 : Extension minimale d'une zone active en dehors du poly.....3 $\mu$ m
- L7 :.Largeur minimale d'un métal.....1.5 $\mu$ m
- L8: Espace minimale entre deux métal..... 1.5 $\mu$ m

- L9: Distance minimale entre zone active et poly.....0.5µm
- L10: Taille minimale d'un contact.....1\*1µm
- L11: Espace minimal d'un contact poly.....1\*1µm
- L12: Espace minimal d'un contact zone active.....1\*1µm
- L13 : Espace minimal d'un contact métal.....1\*1µm

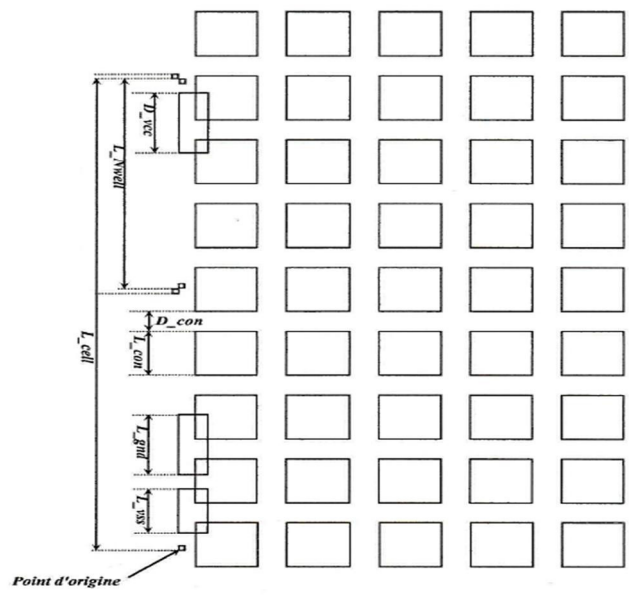
**c. Les points communs entre les différentes cellules formants la bibliothèque**

Les cellules standards devant avoir toutes la même hauteur, cette dimension est donnée par le pire cas, la cellule la plus grande. Une fois cette contrainte est satisfaite, les cellules peuvent être juxtaposées tout en assurant la continuité des lignes d'alimentation.

La longueur des cellules est définie par le nombre de plots d'entrées/sorties. Elle est donnée par la formule.

$$\text{Longueur} = N_{\text{plot}} (\text{Taille}_{\text{plot}} + \text{Espace}_{\text{plot}}) = N_{\text{plot}} (2.5+1.5) \mu\text{m}$$

Pour raison de simplicité, une grille dans toutes les hauteurs sont indiquées joue le rôle d'une plateforme pour le dessin de ces cellules, cette grille est montrée sur la figure (3.32).



**Fig. (3.32) : La grille utilisée dans les layout**

Le rôle de la grille et de définir :

- Les dimensions et emplacements des contacts Métal 1\_Metal2.
- L'emplacement et les largeurs ( $L_{vss}$ ,  $L_{gnd}$  et  $L_{vdd}$ ) des rails d'alimentation (Vdd, Gnd et Vss) par rapport au les limites de la cellule.
- La Largeur de la cellule  $L_{cell}$ .
- La largeur des zones implantation p et les zones du caisson N (N-well).
- Les grands carreaux, dans la grille, définies les emplacements possibles des contacts métal1 et metal2 appelés plots d'entrées/sorties. Ces contacts doivent appartenir dans des endroits bien précis afin d'assurer le routage automatique.

#### d. Les étapes de dessins

##### ✓ La bordure de la cellule

C'est la première étape de layout, on définit approximativement la surface de la cellule après planification, la longueur de la cellule est fixe mais la largeur peut être modifié après la phase d'optimisation. La figure (3.33) représente les limites de la cellule.

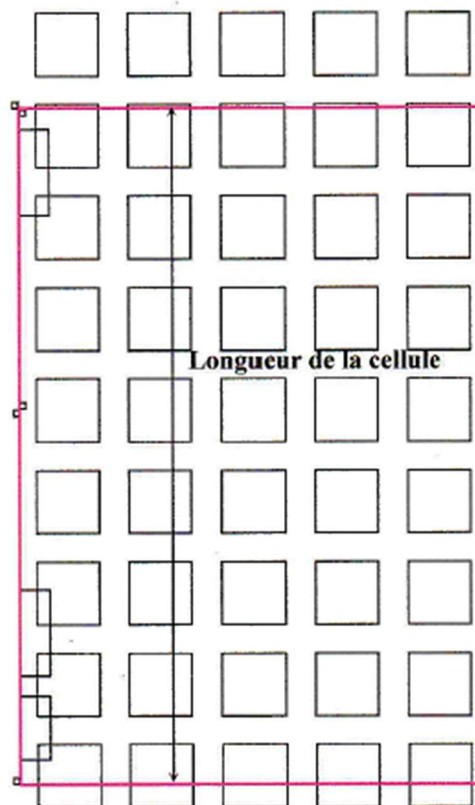
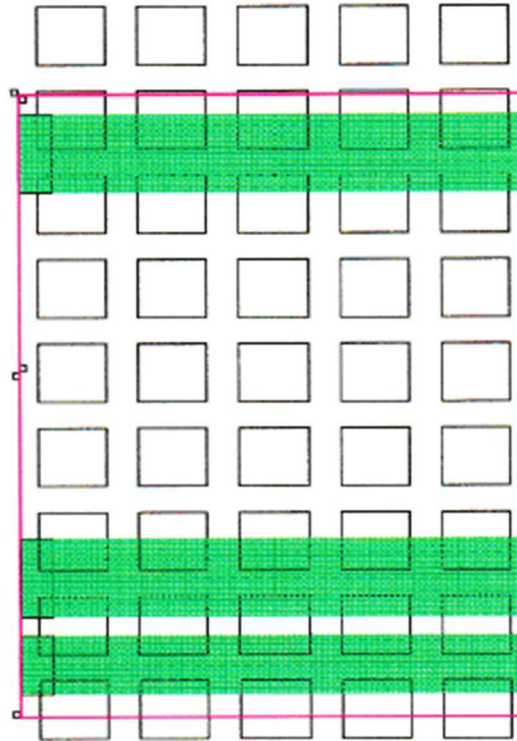


Fig. (3.33) : Les limites de la cellule

### ✓ les rails d'alimentation VDD, VSS

Les rails d'alimentation VDD, VSS (en vert sur la figure 3.34) doivent être sur la même hauteur pour toutes les cellules pour assurer leurs continuités après juxtapositions. Ces rails doivent d'être aussi dessinés le long de la cellule (s'étendre entre les deux extrémités de la cellule).



**Fig. (3.34) : Dessin des rails d'alimentation**

### ✓ Dessin des couches N-Well

Les couches N-well définissent les régions sur lesquelles les transistors PMOS peuvent être placés. Les couches actives couverte par une couche d'implantation P+ change à une région active d'implantation P+ qui annule la couche N+ (car la couche ACTIVE est considérée par défaut comme une couche active de type N+). Comme les rails d'alimentation, on doit assurer la continuité de ces deux couches .voir figure (3.35.a)

L'étape à suivre est l'implantation des contacts N-well à VDD est Substrat à VSS. La figure (3.35.b) représente la forme générale d'une cellule. Les transistors constituant la cellule doivent être dessinés.

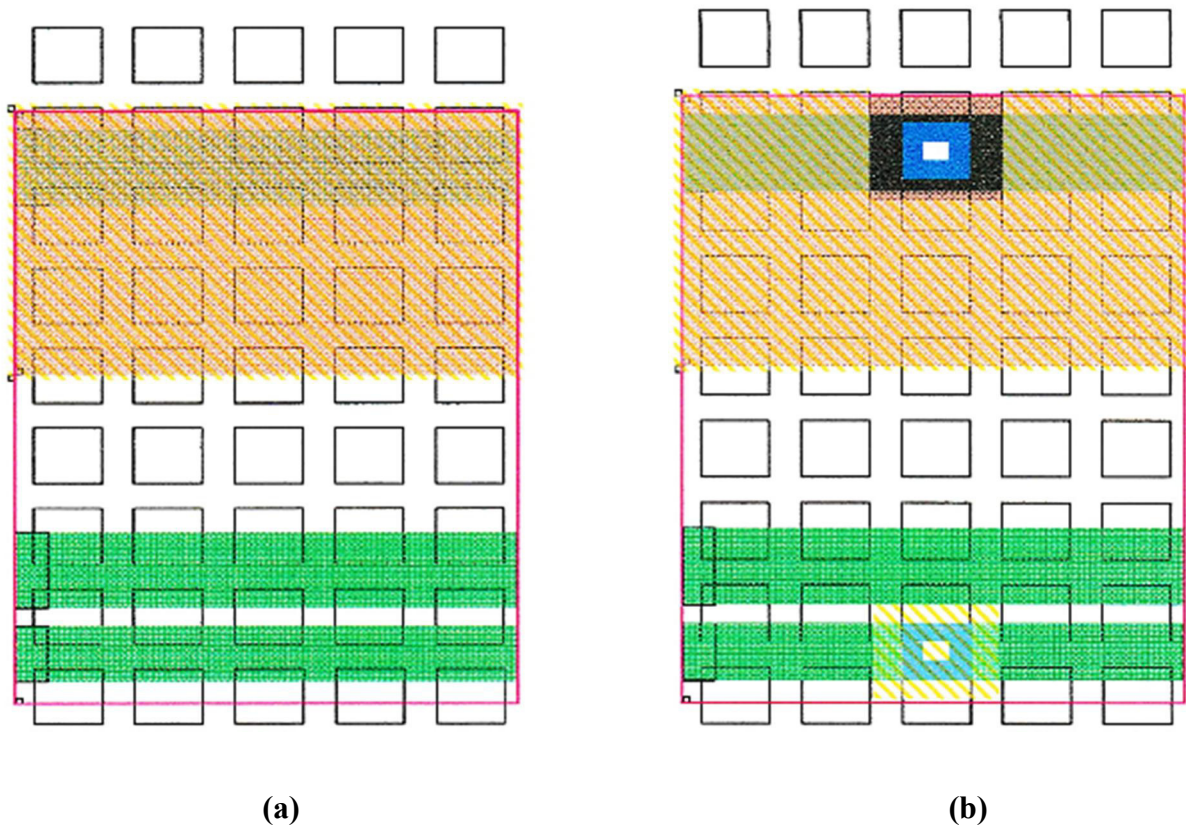


Fig. (3.35) : Dessin des couches NWELL

La figure (3.36) représente Layout de l'inverseur INV1XL

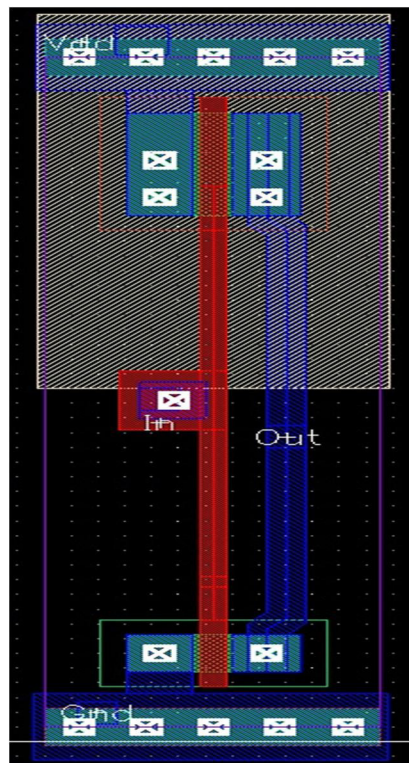


Fig. (3.36) : Layout de l'inverseur INV1XL



La figure (3.37) représente Layout de l'inverseur INV3XL

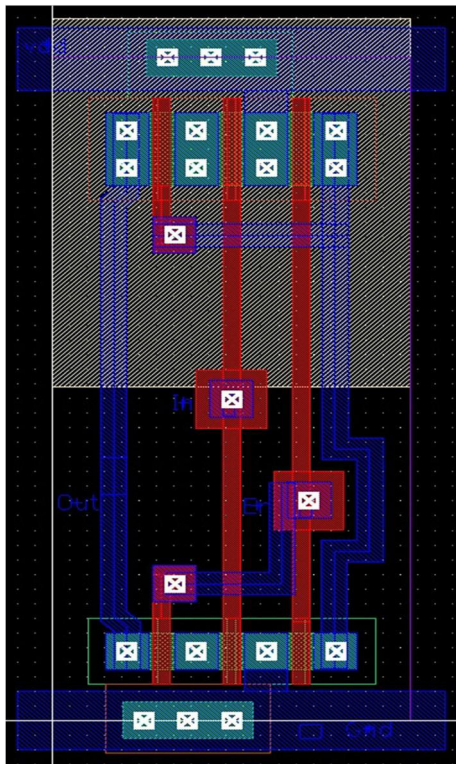


Fig. (3.37) : Layout de l'inverseur INV3XL

La figure (3.38) représente Layout de l'inverseur INV4XL

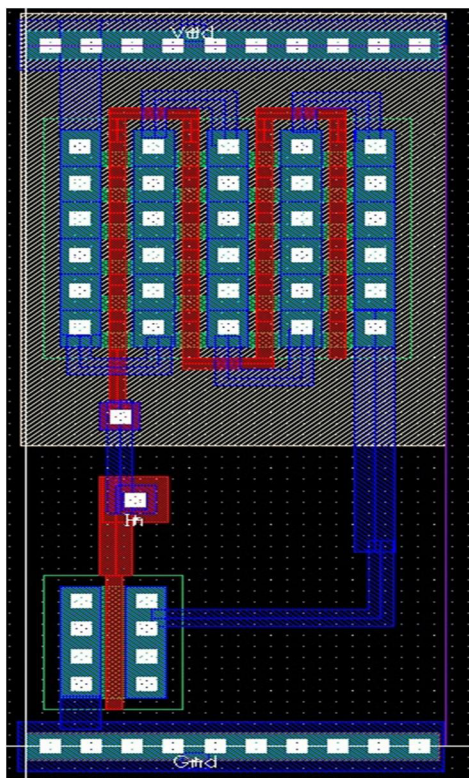


Fig. (3.38) : Layout de l'inverseur INV4XL

### **3.6. Conclusion**

Dans ce chapitre, nous avons examinés la consommation de courant des portes pour différents fréquences. Puis, nous avons estimés les temps des transitions : temps de la montée et de la descente du signal de sortie, et le temps de propagation à la montée et à la descente entre le signal d'entrée et le signal de sortie pour chaque porte. Enfin, nous avons illustrés la représentation géométrique (Layout) des portes réalisées.

## *Conclusion générale*

Les méthodologies de conception des circuits intégrés basées sur l'utilisation de cellule standard pré-caractérisée sont utilisées avec succès dans l'univers industriel depuis plusieurs décennie.

Dans ce travail, nous avons réalisé des cellules logiques d'une bibliothèque standard qui sera utilisées par la suite dans la partie digitale des circuits intégrés logiques. La bibliothèque standard est constituée de plusieurs portes logiques simples ( and, nand, or, nor...) et complexes (MUX, bascule, additionneur, mémoire..) avec la technologie CMOS 1 $\mu$ m.



Nous avons étudié plusieurs facteurs, consommation (courant, puissance), timing (délais de propagation, temps de montée temps de descente) et dimension. Nous avons développé toute la théorie en prenant compte du cahier de charge de la bibliothèque. Pour la réalisation de ces cellules logiques, on a trois étapes nécessaires : conception, dessin de masque (layout), et vérification des règles de dessin.

Ce travail sur ce sujet nous a permis de vérifier et d'élargir nos connaissances dans le domaine de la microélectronique et la physique des semi-conducteurs. Ce travail nous a permis d'acquérir la notion de logique de raisonnement dans l'étude et la conception de cellule standard.

### **Bibliographie**

- [01] Y. Sorrel « Méthodes et architectures pour le TSI en temps réel, chapitre méthodologie d'adéquation algorithme architecture » Kluwer Academic Publishers, 2001.
- [02] L. Duterieux, D.D. Emigny, " Logique programmable, architecture FPGA et CPLD, méthodes de conception, le langage VHDL " Eyrolles, Paris 1997.
- [03] D. J. Kinniment, E. Kappos, P.P. Acarnley « Experience of the use of ASIC methods in a motor control application » European conference on Power Electronics and applications(EPE), pp.458-463, Brighton, 1993.
- [04] A. A. Jerraya, H. Ding, P.Kission, M. Rahmouni « Behavioral synthesis and component reuse with VHDL » Kluwer academic Publishers, 1997.
- [05] T. Riesgo, Y. Torroja, E. De la Torre Design methodologies based on hardware description languages IEEE Transaction On Industrial Electronics, Vol. 46, n°1, February 1999.
- [06] M. CAND, E. DEMOULIN, J.LL LARDY, and P. SENN. "Conception des circuits intégrés MOS". Eyrolles, 1986.
- [07] M.J.M. PELGROM, A.C J. DUINMAIJER, and A.P.G. WELBERS. « Matching properties of MOS transistors ». IEEE Journal of Solid-State Circuit, vol. 24(NO.5):pp.1433-1440, Oct. 1989.
- [08] P. Naish, P. Bishop «Conception des ASICS » Masson, 1990.
- [09] A. Grebne « Bipolar and MOS integrated circuit design » Wiley Inter-science, 1994.
- [10] T. SKOTNICKI " Circuits intégrés CMOS sur silicium " techniques de l'ingénieur, E2432, 1999.
- [11] Paul Gray, Paul J. HURST, Stephen H.LEWIS, R.G.MEYER« Analysis and design of analog integrated circuits » 4eme edition, JHON WILY & SONGS, INC, 2001.
- [12] T. SKOTNICKI " Transistor MOS et sa technologie de fabrication " techniques de l'ingénieur, E2432, 1999.
- [13] S. Naidu and E. Jacobs « Minimizing stand-by leakage power in static CMOS circuits» In proceeding of the conference on design, automation and test in Europe, pages 370-376, IEEE Press, 2001.

[14] P. Macken, M. Degrauwe, M. Van Paemel, and H. Oguey « A voltage reduction technique for digital systems ». In 37<sup>th</sup> International Solid-State Circuits Conference, Digest of Technical Papers, pages 238-239, IEEE International, 1990.

[15] R.R.TRAUTMAN« Latch up in CMOS technology »New York, Kluwer Academic, 1986.

[16] M. HYVERNAUD, F. WIEST « Bibliothèque de cellule pour circuits intégrés » techniques de l'ingénieur, E3510, 1999.

[17] J.G. Hansen « Design of CMOS cell libraries for minimal leakage currents » Master's thesis, Informatics and Mathematical Modeling, Technical University of Denmark, 2004.