

**cnet**

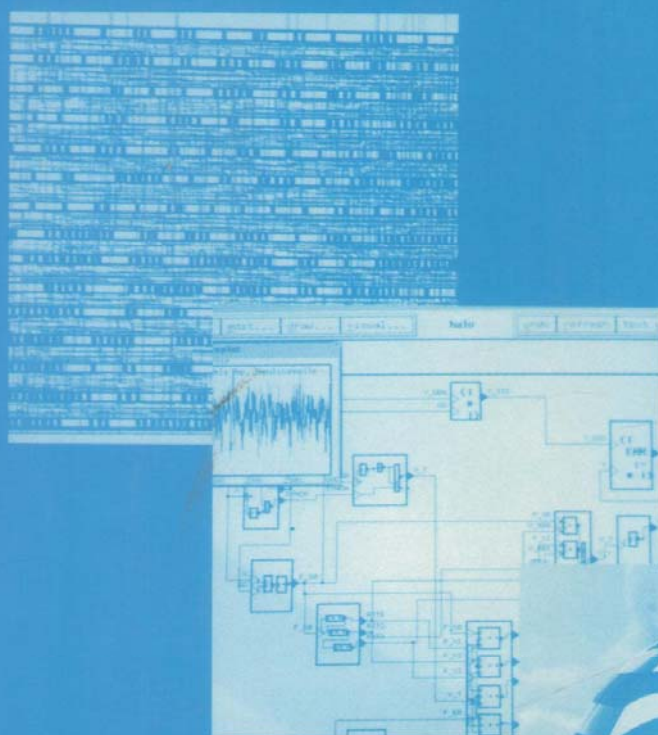
COLLECTION TECHNIQUE ET SCIENTIFIQUE DES TÉLÉCOMMUNICATIONS

**enst**

# Ingénierie des systèmes à microprocesseurs

## Application au traitement du signal et de l'image

Éric Martin  
Jean-Luc Philippe



MASSON 





# Table des matières

|                                                                                             |           |
|---------------------------------------------------------------------------------------------|-----------|
| <b>1. Matérialisation des systèmes numériques.....</b>                                      | <b>1</b>  |
| 1.1. De l'application à l'architecture.....                                                 | 1         |
| 1.2. Architectures générales.....                                                           | 2         |
| 1.2.1. Le processeur.....                                                                   | 2         |
| 1.2.2. Multiprocesseur.....                                                                 | 12        |
| 1.3. Architectures dédiées.....                                                             | 15        |
| 1.3.1. Adéquation architecture à algorithme.....                                            | 15        |
| 1.3.2. Modèle de description.....                                                           | 18        |
| 1.3.3. Cas particulier de modèle de description : les "Hardware Description Language (HDL)" | 19        |
| 1.3.4. Modèle de conception.....                                                            | 23        |
| 1.3.5. Cibles architecturales.....                                                          | 25        |
| 1.3.6. Les outils de conception d'architectures VLSI.....                                   | 28        |
| <b>2. Analyse de machines générales.....</b>                                                | <b>31</b> |
| 2.1. Evaluation des machines Von Neumann.....                                               | 31        |
| 2.1.1. Critères généraux.....                                                               | 32        |
| 2.1.2. Critères de temps.....                                                               | 32        |
| 2.1.3. Les mesures des opérations de complexité moyenne.....                                | 33        |
| 2.1.4. Les algorithmes de comparaison.....                                                  | 34        |
| 2.1.5. Bilan des évaluations macroscopiques.....                                            | 35        |
| 2.2. Machine Von Neumann.....                                                               | 36        |
| 2.2.1. Présentation du modèle général.....                                                  | 36        |
| 2.2.2. Instructions de contrôle.....                                                        | 38        |
| 2.2.3. Instructions de traitement.....                                                      | 40        |
| 2.2.4. Instructions de transfert.....                                                       | 40        |
| 2.3. Présentation du processeur 68000.....                                                  | 46        |
| 2.4. Gestion des mémoires.....                                                              | 50        |
| 2.4.1. Principe de mémoire hiérarchisée.....                                                | 50        |
| 2.4.2. Mémoire cache.....                                                                   | 52        |
| 2.4.3. Unité de gestion mémoire.....                                                        | 59        |
| 2.4.4. Exemple de gestionnaire mémoire.....                                                 | 66        |
| 2.5. Gestion des entrées - sorties.....                                                     | 68        |
| 2.5.1. Contraintes.....                                                                     | 68        |
| 2.5.2. Principes de gestion.....                                                            | 68        |
| 2.6. Les coprocesseurs.....                                                                 | 71        |
| 2.6.1. Principes de gestion.....                                                            | 71        |
| 2.6.2. Exemples : cas de la famille Motorola.....                                           | 72        |
| 2.7. Applications au traitement du signal et de l'image.....                                | 76        |
| Implantation optimale d'un algorithme donné sur une machine cible.....                      | 76        |
| <b>3. Optimisation de l'architecture Von Neumann.....</b>                                   | <b>81</b> |
| 3.1. Introduction.....                                                                      | 81        |
| 3.2. Modèle d'architectures Harvard.....                                                    | 81        |
| 3.3. Processeurs RISC.....                                                                  | 84        |
| 3.3.1. Etude des contrôleurs : modèle général.....                                          | 84        |
| 3.3.2. Etude des contrôleurs : optimisation.....                                            | 87        |
| 3.3.3. Processeurs RISC.....                                                                | 90        |



|                                                                                                                |            |
|----------------------------------------------------------------------------------------------------------------|------------|
| 3.3.4. Aléas de fonctionnement.....                                                                            | 98         |
| 3.3.5. Exemple d'optimisation de code.....                                                                     | 101        |
| 3.4. Pipeline et parallélisme .....                                                                            | 103        |
| 3.4.1. Introduction .....                                                                                      | 103        |
| 3.4.2. Parallélisme et pipeline des processeurs élémentaires.....                                              | 104        |
| 3.4.3. Influence des flots finis de données .....                                                              | 107        |
| 3.4.4. Influence des registres de pipeline.....                                                                | 109        |
| 3.4.5. Optimisation des ressources .....                                                                       | 113        |
| 3.4.6. Pipeline et récursivité .....                                                                           | 115        |
| <b>4. Processeurs de traitement du signal.....</b>                                                             | <b>119</b> |
| 4.1. Contraintes temporelles et limitations des processeurs standards .....                                    | 119        |
| 4.2. Caractéristiques générales des processeurs de traitement du signal.....                                   | 120        |
| 4.3. Etude d'un processeur : le TMS320C25 .....                                                                | 121        |
| 4.3.1. La famille des TMS : résumé des caractéristiques .....                                                  | 122        |
| 4.3.2. Architecture interne du processeur TMS320C25.....                                                       | 123        |
| 4.4. Problèmes d'adressage des données dans le domaine du traitement du signal.....                            | 133        |
| 4.4.1. Filtre RIF.....                                                                                         | 133        |
| 4.4.2. Epannage.....                                                                                           | 136        |
| 4.5. Etat de l'art et évolution des processeurs de traitement du signal .....                                  | 138        |
| 4.6. Sélection et programmation optimale de processeurs de traitement du signal : approche méthodologique..... | 142        |
| 4.6.1. Introduction .....                                                                                      | 142        |
| 4.6.2. Approche méthodologique pour la mise en œuvre d'un algorithme de traitement du signal .....             | 143        |
| 4.6.3. Algorithme de transformée de Fourier rapide TFR.....                                                    | 148        |
| <b>5. Panorama de quelques processeurs.....</b>                                                                | <b>157</b> |
| 5.1. Introduction du panorama.....                                                                             | 157        |
| 5.2. Le processeur Alpha de Digital.....                                                                       | 158        |
| 5.2.1. Présentation générale .....                                                                             | 158        |
| 5.2.2. Architecture interne .....                                                                              | 158        |
| 5.2.3. Instructions et parallélisme .....                                                                      | 161        |
| 5.3. le processeur I860 d'Intel .....                                                                          | 162        |
| 5.3.1. Présentation générale .....                                                                             | 162        |
| 5.3.2. Architecture interne .....                                                                              | 163        |
| 5.3.3. Langage et parallélisme .....                                                                           | 164        |
| 5.3.4. Unité graphique .....                                                                                   | 166        |
| 5.4. Le Transputer d'Inmos.....                                                                                | 166        |
| 5.4.1. Présentation générale .....                                                                             | 166        |
| 5.4.2. Architecture interne .....                                                                              | 167        |
| 5.4.3. Langage et parallélisme.....                                                                            | 169        |
| 5.4.4. Conclusions.....                                                                                        | 170        |
| 5.4.5. Perspectives d'évolution : le processeur T9000 et le composant C104 .....                               | 171        |
| 5.5. le système Iwarp d'Intel.....                                                                             | 175        |
| 5.5.1. Introduction .....                                                                                      | 175        |
| 5.5.2. Architecture interne .....                                                                              | 176        |
| 5.5.3. Instruction et parallélisme.....                                                                        | 178        |
| 5.6. Le processeur Gapp de NCR.....                                                                            | 181        |
| 5.6.1. Présentation générale .....                                                                             | 181        |
| 5.6.2. Architecture interne .....                                                                              | 182        |
| 5.6.3. Langage et parallélisme .....                                                                           | 183        |
| 5.7. Le processeur TMS320C40 de Texas Instrument .....                                                         | 184        |
| 5.7.1. Présentation générale.....                                                                              | 184        |
| 5.7.2. Architecture interne .....                                                                              | 184        |
| 5.7.3. Instructions et parallélisme .....                                                                      | 187        |
| <b>6. Machines parallèles.....</b>                                                                             | <b>191</b> |
| 6.1. Introduction.....                                                                                         | 191        |
| 6.2. Les multiprocesseurs à mémoire partagée.....                                                              | 192        |



|                                                                                  |            |
|----------------------------------------------------------------------------------|------------|
| 6.2.1. Introduction .....                                                        | 192        |
| 6.2.2. Mise en évidence des problèmes .....                                      | 192        |
| 6.2.3. Quelques solutions .....                                                  | 195        |
| 6.2.4. Choisir un bus .....                                                      | 208        |
| 6.3. Les multiprocesseurs faiblement couplés .....                               | 211        |
| 6.3.1. Origine du besoin .....                                                   | 211        |
| 6.3.2. Mise en évidence des problèmes .....                                      | 212        |
| 6.3.3. Les réseaux de communication .....                                        | 213        |
| 6.3.4. Les machines cellulaires .....                                            | 216        |
| 6.3.5. Les multiprocesseurs à passage de messages .....                          | 217        |
| 6.3.6. Architecture hétérogène .....                                             | 218        |
| 6.3.7. Comment choisir une architecture .....                                    | 221        |
| 6.4. Les machines vectorielles .....                                             | 222        |
| 6.4.1. Introduction .....                                                        | 222        |
| 6.4.2. Accélération .....                                                        | 223        |
| 6.4.3. Limitation des performances .....                                         | 224        |
| 6.4.4. Le système mémoire .....                                                  | 227        |
| 6.5. Les multisystèmes .....                                                     | 229        |
| 6.5.1. Introduction .....                                                        | 229        |
| 6.5.2. Mise en évidence des problèmes, analyse des besoins .....                 | 232        |
| 6.5.3. Quelques solutions .....                                                  | 232        |
| <b>7. Présentation de quelques systèmes .....</b>                                | <b>233</b> |
| 7.1. Multiprocesseur à base du système VME et du processeur Motorola 68030 ..... | 233        |
| 7.1.1. Introduction .....                                                        | 233        |
| 7.1.2. Constitution d'un processeur élémentaire .....                            | 234        |
| 7.1.3. Utilisation du bus de transfert : Data Transfert Bus (DTB) .....          | 235        |
| 7.1.4. Mécanismes d'arbitrage .....                                              | 235        |
| 7.1.5. Gestion des interruptions .....                                           | 237        |
| 7.1.6. Gestion de la cohérence .....                                             | 239        |
| 7.1.7. Exemple d'utilisation .....                                               | 239        |
| 7.2. La machine à connexions de TMC .....                                        | 240        |
| 7.2.1. Introduction .....                                                        | 240        |
| 7.2.2. Architecture de la machine à connexions CM1 .....                         | 240        |
| 7.2.3. Mode de fonctionnement et performances .....                              | 242        |
| 7.2.4. Autres versions de machines à connexions .....                            | 242        |
| 7.3. Une machine à passage de messages : le Supercluster de Parsitech .....      | 244        |
| 7.3.1. Introduction .....                                                        | 244        |
| 7.3.2. L'unité de base .....                                                     | 245        |
| 7.3.3. Performances .....                                                        | 247        |
| 7.4. La carte B008 d'Inmos .....                                                 | 248        |
| 7.4.1. Présentation .....                                                        | 248        |
| 7.4.2. Le module vectoriel TRAM d'Inmos .....                                    | 249        |
| 7.4.3. Association transputer/IMSA100 .....                                      | 250        |
| <b>8. Parallélisme et traitement du signal et de l'image .....</b>               | <b>253</b> |
| 8.1. Comment paralléliser .....                                                  | 253        |
| 8.1.1. Introduction .....                                                        | 253        |
| 8.1.2. Mise en œuvre du parallélisme .....                                       | 256        |
| 8.1.3. Quelques langages parallèles .....                                        | 260        |
| 8.2. Notion d'imagerie .....                                                     | 266        |
| 8.2.1. Introduction .....                                                        | 266        |
| 8.2.2. Quelques composants .....                                                 | 267        |
| 8.3. Le traitement d'images .....                                                | 270        |
| 8.3.1. Les différentes étapes du traitement d'images .....                       | 270        |
| 8.3.2. Le traitement parallèle des images .....                                  | 271        |
| 8.3.3. Application .....                                                         | 274        |
| 8.4. Synthèse d'images .....                                                     | 280        |
| 8.4.1. Introduction .....                                                        | 280        |



|                                                        |            |
|--------------------------------------------------------|------------|
| 8.4.2. Algorithme du lancer de rayon .....             | 282        |
| 8.5. Parallélisme et traitement du signal.....         | 288        |
| 8.5.1. Application d'annulation d'écho acoustique..... | 289        |
| 8.5.2. Algorithme GMDF .....                           | 290        |
| 8.5.3. Mise en œuvre sur architecture multi-PTS .....  | 291        |
| <b>Bibliographie.....</b>                              | <b>293</b> |
| <b>Index .....</b>                                     | <b>297</b> |