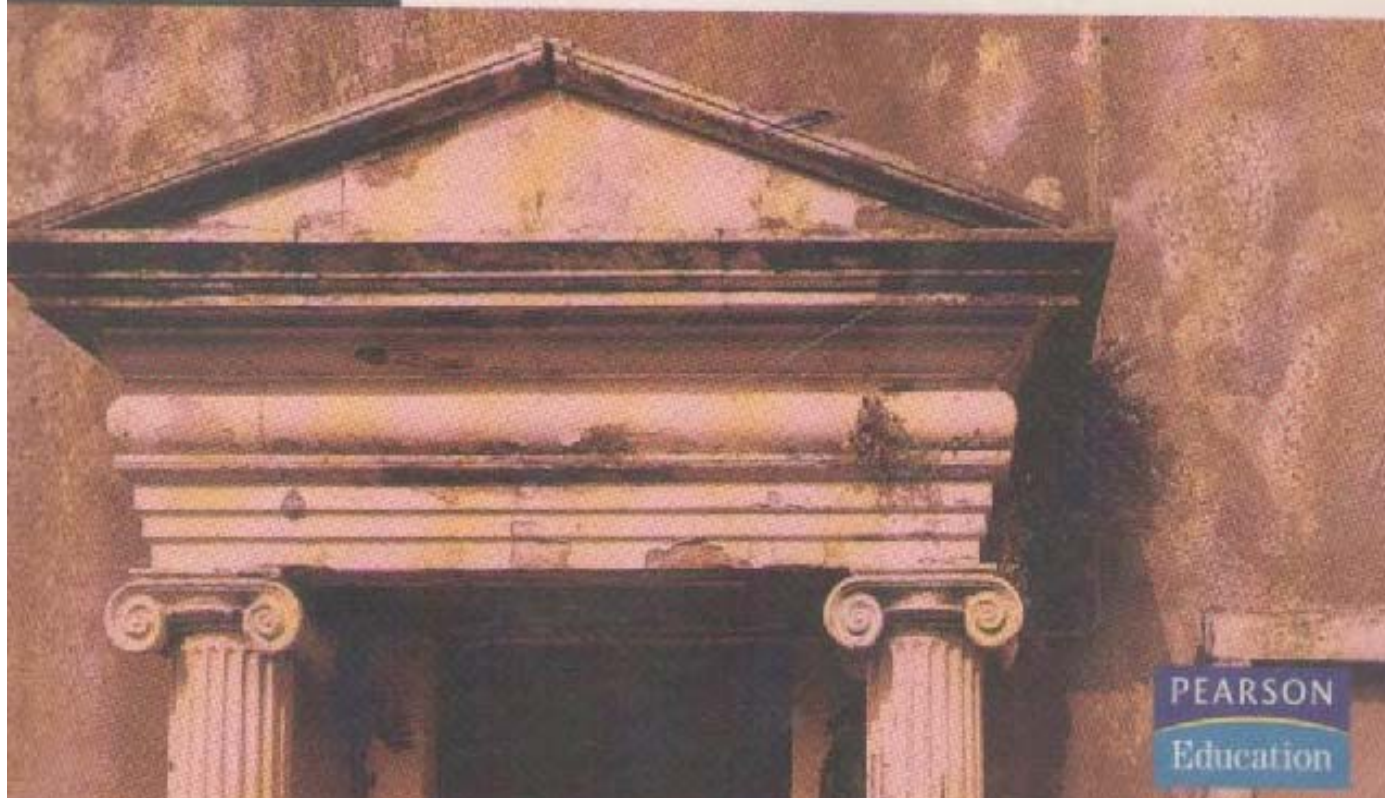




William Stallings

Organisation et architecture de l'ordinateur

6^e édition



PEARSON
Education

2-004-296-1

William Stallings

Organisation et architecture de l'ordinateur



6^e édition

Relecture et validation technique : Daniel Etienne,
université Paris-Sud

Traduction : Emmanuelle Burr, Véronique Campillo,
Véronique Warion

PEARSON
Education

Table des matières

Préface	XV
---------------	----

Partie I Tour d'horizon

1. Introduction	3
1.1 Organisation et architecture	3
1.2 Structure et fonction	5
Fonction	5
Structure	7
1.3 Plan du livre	12
2. Évolution et performances des ordinateurs	13
2.1 Bref historique des ordinateurs	14
Première génération : les tubes à vide	14
Deuxième génération : les transistors	23
Troisième génération : les circuits intégrés	26
Nouvelles générations	33
2.2 Conception pour la performance	36
Vitesse des microprocesseurs	37
Équilibre des performances	38
2.3 Évolution des Pentium et des PowerPC	41
Pentium	42
PowerPC	43
Questions et problèmes	45

Partie II L'ordinateur

3. Vue d'ensemble de l'ordinateur : fonction et interconnexion ...	49
3.1 Composants de l'ordinateur	50

3.2	Fonction de l'ordinateur	52
	Lecture et exécution d'une instruction	54
	Interruptions	58
	Fonction d'E/S	67
3.3	Structures d'interconnexion	68
3.4	Interconnexion par bus	69
	Structure de bus	70
	Hierarchies à plusieurs bus	72
	Éléments de la conception d'un bus	75
3.5	PCI	80
	Structure du bus	82
	Commandes PCI	85
	Transferts de données	86
	Arbitrage	89
	Questions et problèmes	91
	Annexe	94
3A	chronogrammes	94
4.	La mémoire cache	97
4.1	Aperçu du système mémoire	98
	Caractéristiques des systèmes mémoire	98
	Hierarchie mémoire	101
4.2	Principes de la mémoire cache	105
4.3	Éléments de la conception du cache	108
	Taille du cache	108
	Fonction de correspondance	110
	Algorithmes de remplacement	119
	Stratégie d'écriture	120
	Taille de ligne	121
	Nombre de caches	122
4.4	Organisations des caches du Pentium 4 et du PowerPC	123
	Organisation des caches du Pentium 4	123
	Organisation des caches du PowerPC	126
	Questions et problèmes	128
	Annexe	133
4A	Performances des mémoires à deux niveaux	133

Localité	133
Fonctionnement d'une mémoire à deux niveaux	136
Performances	137
5. La mémoire interne	141
5.1 Mémoire principale à semi-conducteurs	142
Organisation	142
DRAM et SRAM	143
Types de ROM	146
Logique de la puce	147
Conditionnement de la puce	149
Organisation du module	151
5.2 Correction des erreurs	153
5.3 Organisation avancée de DRAM	159
DRAM synchrone	159
DRAM Rambus	162
DRAM cache	164
Questions et problèmes	165
6. La mémoire externe	167
6.1 Disque magnétique	168
Mécanismes magnétiques de lecture et d'écriture	168
Organisation et formatage des données	169
Caractéristiques physiques	173
Paramètres de performance du disque	176
6.2 RAID	179
Niveau RAID 0	183
Niveau RAID 1	185
Niveau RAID 2	186
Niveau RAID 3	187
Niveau RAID 4	187
Niveau RAID 5	188
Niveau RAID 6	189
6.3 Mémoire optique	189
Disque compact	190
DVD	193
6.4 Bande magnétique	195

Questions et problèmes	198
7. Les entrées/sorties	201
7.1 Périphériques externes	202
Clavier/écran	204
Lecteur de disque	207
7.2 Modules d'E/S	208
Fonction du module	208
Structure du module d'E/S	210
7.3 E/S programmées	211
Description rapide des E/S programmées	212
Commandes d'E/S	212
Instructions d'E/S	214
7.4 E/S gérées par interruption	215
Traitement des interruptions	216
Problèmes de conception	218
Contrôleur d'interruption Intel 82C59A	220
Interface programmable pour périphériques Intel 82C55A	222
7.5 Accès direct à la mémoire	225
Inconvénients des E/S programmées et gérées par interruption ...	225
Fonction DMA	225
7.6 Canaux et processeurs d'E/S	227
Évolution de la fonction d'E/S	227
Caractéristiques des canaux d'E/S	229
7.7 Interface externe : FireWire et InfiniBand	230
Types d'interfaces	230
Configurations point à point et multipoint	231
Bus série FireWire	232
InfiniBand	237
Questions et problèmes	242
8. Support du système d'exploitation	247
8.1 Vue d'ensemble du système d'exploitation	248
Objectifs et fonctions du système d'exploitation	248
Types de systèmes d'exploitation	252
8.2 Ordonnancement	261
Ordonnancement à long terme	261

	Ordonnancement à moyen terme	262
	Ordonnancement à court terme	262
8.3	Gestion mémoire	268
	Permutation	268
	Partitionnement	270
	Pagination	272
	Mémoire virtuelle	275
	TLB (<i>Translation Lookaside Buffer</i>)	278
	Segmentation	280
8.4	Gestion mémoire des Pentium II et PowerPC	281
	Matériel de gestion mémoire du Pentium II	281
	Matériel de gestion mémoire du PowerPC	288
	Questions et problèmes	292

Partie III

Le processeur

9.	Arithmétique des ordinateurs	299
9.1	L'unité arithmétique et logique	300
9.2	Représentation entière	301
	Représentation signe et valeur absolue	301
	Représentation en complément à deux	302
	Conversion entre différentes longueurs de bits	305
	Représentation en virgule fixe	307
9.3	Arithmétique entière	307
	Négation	307
	Addition et soustraction	309
	Multiplication	312
	Division	321
9.4	Représentation flottante	323
	Principes	323
	Norme IEEE pour la représentation flottante	328
9.5	Arithmétique en virgule flottante	332
	Addition et soustraction	333
	Multiplication et division	335
	Problèmes de précision	336
	Norme IEEE pour l'arithmétique binaire flottante	339

Questions et problèmes	342
10. Jeux d'instructions : caractéristiques et fonctions	347
10.1 Caractéristiques des instructions machine	348
Éléments d'une instruction machine	349
10.2 Types des opérandes	355
Nombres	355
Caractères	356
Données logiques	357
10.3 Types de données du Pentium et du PowerPC	358
Types de données du Pentium	358
Types de données du PowerPC	360
10.4 Types d'opérations	360
Transfert des données	364
Arithmétique	365
Logique	366
Conversion	369
Entrées/sorties	370
Contrôle du système	370
Transfert du contrôle	370
10.5 Types des opérations du Pentium et du PowerPC	376
Types d'opérations du Pentium	376
Types d'opérations du PowerPC	387
10.6 Langage assembleur	389
Questions et problèmes	392
Annexes	399
10A Piles	399
Définition	399
10B Processeurs petit, gros et bi-boutistes	404
Ordre des octets	404
Ordre des bits	408
11. Jeux d'instructions : modes et formats d'adressage	409
11.1 Adressage	410
Adressage immédiat	412
Adressage direct	413
Adressage indirect	413

	Adressage par registre	414
	Adressage indirect par registre	414
	Adressage par déplacement	415
	Adressage par pile	417
11.2	Modes d'adressage du Pentium et du PowerPC	418
	Modes d'adressage du Pentium	418
	Modes d'adressage du PowerPC	421
11.3	Formats d'instructions	424
	Longueur des instructions	424
	Allocation de bits	425
	Instructions de longueur variable	429
11.4	Formats d'instructions des processeurs Pentium et PowerPC	434
	Formats d'instructions du Pentium	434
	Formats d'instructions du PowerPC	437
	Questions et problèmes	440
12.	Structure et fonction du processeur	443
12.1	Organisation du processeur	444
12.2	Organisation des registres	446
	Registres visibles par l'utilisateur	446
	Registres de contrôle et d'état	448
	Exemples d'organisations de registres du microprocesseur	449
12.3	Cycle d'instructions	452
	Cycle indirect	452
	Flots de données	454
12.4	Pipeline d'instructions	456
	Stratégie des pipelines	456
	Performance du pipeline	462
	Traitement des branchements	463
	Pipeline du processeur Intel 80486	471
12.5	Le processeur Pentium	473
	Organisation des registres	473
	Registre EFLAGS	474
	Traitement des interruptions	480
12.6	Le processeur PowerPC	483
	Organisation des registres	483
	Traitement des interruptions	488

Questions et problèmes	492
13. Architectures RISC	495
13.1 Caractéristiques de l'exécution des instructions	498
Opérations	499
Opérandes	500
Appels de procédure	501
Implications	502
13.2 Utilisation d'un grand ensemble de registres	502
Fenêtres de registre	503
Variables globales	505
Différences entre grand ensemble de registres et mémoire cache ..	506
13.3 Optimisation des registres par la compilation	507
13.4 Architecture à jeu d'instructions réduit	510
Pourquoi CISC?	510
Caractéristiques des architectures à jeu d'instructions réduit	512
Différences entre les caractéristiques CISC et RISC	516
13.5 Pipeline RISC	517
Pipeline avec instructions régulières	517
Optimisation du pipeline	519
13.6 MIPS R4000	523
Jeu d'instructions	523
Pipeline d'instructions	528
13.7 SPARC	533
Ensemble de registres SPARC	533
Jeu d'instructions	534
Format d'instructions	538
13.8 RISC ou CISC : la controverse	539
Questions et problèmes	541
14. Parallélisme d'instructions et processeurs superscalaires	545
14.1 Tour d'horizon	546
Superscalaire contre superpipeline	547
Limitations	547
14.2 Problèmes de conception	551
Parallélisme d'instructions et parallélisme machine	551
Stratégie d'émission des instructions	552

	Renommage des registres	556
	Parallélisme machine	557
	Prédiction de branchement	558
	Exécution superscalaire	559
	Implémentation superscalaire	560
14.3	Pentium 4	560
	Frontal	564
	Logique d'exécution non ordonnée	566
	Unités d'exécution entières et flottantes	567
14.4	PowerPC	568
	PowerPC 601	568
	Traitement des branchements	572
	PowerPC 620	574
	Questions et problèmes	577
15.	Architecture IA-64	581
15.1	Concepts	582
15.2	Organisation générale	584
15.3	Prédicats, spéculation et pipeline logiciel	585
	Format des instructions	586
	Format du langage assembleur	588
	Exécution par prédicat	590
	Spéculation sur le contrôle	594
	Spéculation sur les données	598
	Pipeline logiciel	600
15.4	Architecture du jeu d'instructions IA-64	604
	Pile de registres	607
	Marqueur de bloc d'activation en cours et état de la fonction antérieure	607
15.5	Organisation de l'Itanium	610
	Questions et problèmes	612

Partie IV

L'unité de contrôle

16.	Fonctionnement de l'unité de contrôle	617
16.1	Micro-opérations	618

A.3	Circuits combinatoires	752
	Implémentation de fonctions booléennes	753
	Multiplexeurs	764
	Décodeurs	766
	Réseau logique programmable	768
	Mémoire morte	770
	Additionneurs	770
A.4	Circuits séquentiels	775
	Bascules	775
	Registres	779
	Compteurs	782
A.5	Problèmes	786
B.	Systèmes numériques	789
B.1	Système décimal	789
B.2	Système binaire	790
B.3	Conversion entre binaire et décimal	790
	Entiers	790
	Fractions	791
B.4	Notation hexadécimale	793
B.5	Problèmes	795
	Glossaire	797
	Index	811