

A ma famille
A mes amis



REMERCIEMENTS

Mes remerciements vonts à :

* MM K. DJELLABI et L. SELMANI mes directeurs de recherche, pour leur suivi, leur assistance, leur aide et leur patience.

* Mr A. HASSAM pour son aide, son soutien et ses encouragements.

* Mr C. LAKEHAL pour ses conseils et pour m'avoir fourni une précieuse documentation.

* MM S. SAHLI, F. KRIM et F. DJAHLI pour avoir accepté d'examiner mon travail et d'être membre du jury.

Et enfin, à tous ceux qui ont contribué de près ou de loin à ce travail.

SOMMAIRE

INTRODUCTION	1
CHAPITRE I :	
MODELE ELECTRIQUE DU VDMOS	3
1) Introduction	3
2) Structure du VDMOS	3
3) Modèle électrique du VDMOS	8
3-1) Région de la zone active du canal de conduction	9
3-1-1) Tension de seuil V_T	10
3-1-2) Le courant du drain I_D	13
3-1-3) Les éléments capacitifs	15
3-2) La résistance d'accès	17
3-3) La résistance drift	18
3-4) La capacité grille-drain	19
3-5) La capacité de jonction CDS	21
3-6) La diode Dbody	21
3-7) L'inductance L_s	23
4) Conclusion	23
CHAPITRE II:	
PRISE EN COMPTE DE L'EFFET DE	
LA TEMPERATURE	24
1) Introduction	24
2) Influence de la température sur les paramètres électriques	25
2-1) La bande interdite, le potentiel de Fermi et la concentration intrinsèque	26
2-2) La zone active du canal de conduction	26
2-3) Les diverses résistances	27
2-4) La capacité de diffusion CDS	28

2-5) La capacité grille-drain	28
2-6) La diode Dbody	29
3) Evolution de la chaleur dans le transistor	29
3-1) Résistance thermique	30
3-2) Impédance thermique	35
3-3) Utilisation d'un radiateur	39
3-4) Dissipation thermique	40
3-4-1) Conduction	40
3-4-2) Convection	41
3-4-3) Radiation	41
3-5) Stresses thermiques	42
4) Conclusion	43

CHAPITRE III :

RESULTATS DES SIMULATIONS	44
1) Introduction	44
2) Comportement en statique	45
3) Evolution de la caractéristique transitoire VGS et VDS sur charge résistive	59
4) Evolution de la caractéristique transitoire VGS, VDS et ID sur charge inductive	62
5) Evolution des températures des différentes couches	70
6) Bras d'onduleur	78
7) Conclusion	81
CONCLUSION	82
BIBLIOGRAPHIE	84

INTRODUCTION

L'électronique de puissance est définie comme étant une technologie multidisciplinaire qui englobe les composants semi-conducteurs de puissance, les circuits convertisseurs, les machines électriques et les signaux électroniques. L'un des plus importants aspects de son utilisation dans l'industrie, est la conservation de l'énergie, ce qui veut dire, une plus grande efficacité dans l'utilisation de l'énergie électrique. Elle procure aussi une amélioration de la productivité et de la qualité du produit qui ne peuvent être obtenues par l'utilisation d'autres méthodes.

Les composants semi-conducteurs constituent le coeur de l'électronique de puissance. Toutefois, ils sont l'élément le plus complexe, délicat et fragile dans un convertisseur. Un ingénieur a donc besoin de bien comprendre le composant pour pouvoir faire une conception fiable et efficace. Dans cette optique, la conception assistée par ordinateur (C.A.O), prend une importance grandissante dans l'engineering. Les recherches s'orientent de plus en plus vers l'élaboration de simulateurs puissants et de modèles physiques qui traduisent au mieux le comportement des composants lors du fonctionnement.

Ces dernières années, les composants de puissance ont vu une évolution rapide et dynamique. On a vu l'avènement de différents types de composants comme les thyristors (PNPN), les bipolaires (BJT), les métal-

oxyde-semiconducteurs (MOS) et les bipolaires à grille isolée (IGBT). Les transistors MOS de puissance en général et le VDMOS en particulier, présentent relativement aux autres composants des avantages, comme l'absence d'effets de stockage des charges, la conductivité par les porteurs majoritaires et la grande impédance d'entrée d'où un contrôle par la tension. Ils sont en plus beaucoup plus rapides et peuvent opérer à des fréquences de commutation de quelques milliers de KHZ. Ces propriétés font que les VDMOS trouvent des débouchés d'applications grandissants dans des domaines aussi différents que l'automobile, les télécommunications et l'aéronautique.

Le but de ce travail est l'étude des propriétés statiques et dynamiques du transistor VDMOS. Nous présentons un modèle électrothermique, c'est à dire, un modèle qui traduit le comportement électrique du composant en prenant en compte l'influence de la température sur les différents paramètres physiques.

Ce travail est planifié comme suit :

Au premier chapitre nous développerons un modèle électrique du VDMOS adapté au fonctionnement en statique et en dynamique en mode de commutation.

Au chapitre 2, nous étudierons l'influence de la température sur les différents paramètres du modèle électrique. Nous modéliserons l'habillage du transistor par un réseau de cellules Rth-Cth. Le modèle électrothermique complet sera obtenu par le couplage du modèle électrique et du réseau thermique Rth-Cth.

Au troisième chapitre, nous effectuerons différentes simulation de différents transistors VDMOS. Les résultats ainsi obtenus seront confrontés aux mesures expérimentales.

CHAPITRE I :

MODELE ELECTRIQUE DU VDMOS

1) INTRODUCTION :

Au cours de ce chapitre, nous allons établir un modèle électrique du transistor VDMOS de puissance. Ce modèle tiendra compte du courant sous le seuil de la conduction et des effets du canal court et de l'abaissement de la barrière de potentiel sur la tension de seuil. Nous devons aussi établir une formulation plus adéquate pour les différentes capacités non linéaires (CGD, C1 C2 etc.). Notre modèle devra traduire le comportement électrique Du VDMOS.

2) STRUCTURE DU VDMOS :

La figure 1, présente une coupe d'une cellule élémentaire d'un transistor VDMOS à canal N à grille en poly-silicium. Sa structure est non coplanaire (verticale), c'est à dire que la source et le drain sont sur les faces opposées de la puce. Cette structure est réalisée par un processus de double diffusion qui permet un meilleur contrôle de la longueur du canal (qui est actuellement inférieure au micron). La figure 2 montre les étapes principales de la fabrication. Sur un substrat fortement dopé N⁺, une couche dopée N- est épitaxiée. Sur celle-ci, on fait croître une couche épaisse d'oxyde (étape

1) qui sert de masque à une première diffusion P+ (étape 2). L'oxyde mince de grille est réalisé et une couche de poly-silicium est ensuite déposée. Des fenêtres sont ensuite ouvertes à travers l'oxyde mince et le poly-silicium, définissant ainsi un motif à deux couches qui formera la région de grille (étape 3). Une deuxième diffusion de type P à travers ces fenêtres est effectuée pour former la zone du canal (étape 4). Après une étape de masquage par laque photoresist, les zones N+ de contacts de source sont diffusées en utilisant les motifs de grille comme partie du masque (étape 5). Ces diffusions successives P et N+ permettent à travers leurs extensions latérales d'une part et le procédé d'auto-alignement d'autre part, un contrôle précis de la longueur du canal. Par la suite, un dépôt d'oxyde à basse température (silox) sur la surface de la plaquette suivie d'une gravure de ce silox permettent d'enterrer la grille et de l'isoler. Les zones de contacts sont ensuite gravées. Enfin, une métallisation des zones de source et de drain est réalisée et est suivie d'un dépôt d'un matériau de passivation.

Il peut exister plusieurs configurations géométriques pour les formes des diffusions P comme par exemple la structure hexagonale (HEXFET), le carré (SIPMOS, TMOS) ou le triangle (TRIMOS). Ces géométries découlent de la volonté d'obtenir la plus forte densité d'intégration possible pour une certaine surface de la puce et par là un courant plus élevé par unité de surface [1,2].

Le transistor peut être fabriqué sur un matériau de n'importe quelle orientation cristalline. Mais le choix d'une direction $\langle 100 \rangle$ s'avère être le plus judicieux, du moment qu'il en résulte l'augmentation de 20% de la mobilité et de 15% de la vitesse limite des électrons dans la zone d'inversion et en la diminution des charges d'oxyde et états d'interface [3].

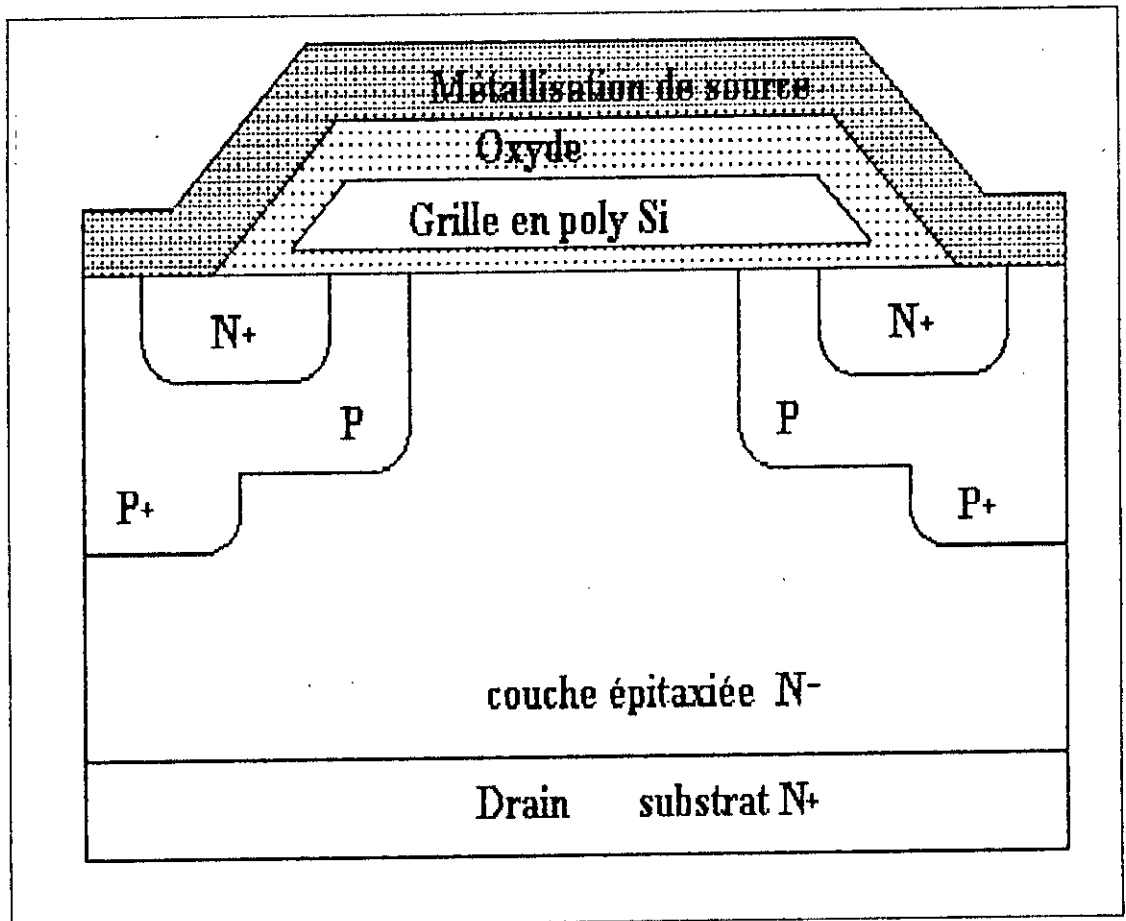


Figure 1 : Coupe schématique d'une cellule élémentaire du transistor VDMOS à canal N et à grille en poly-Si

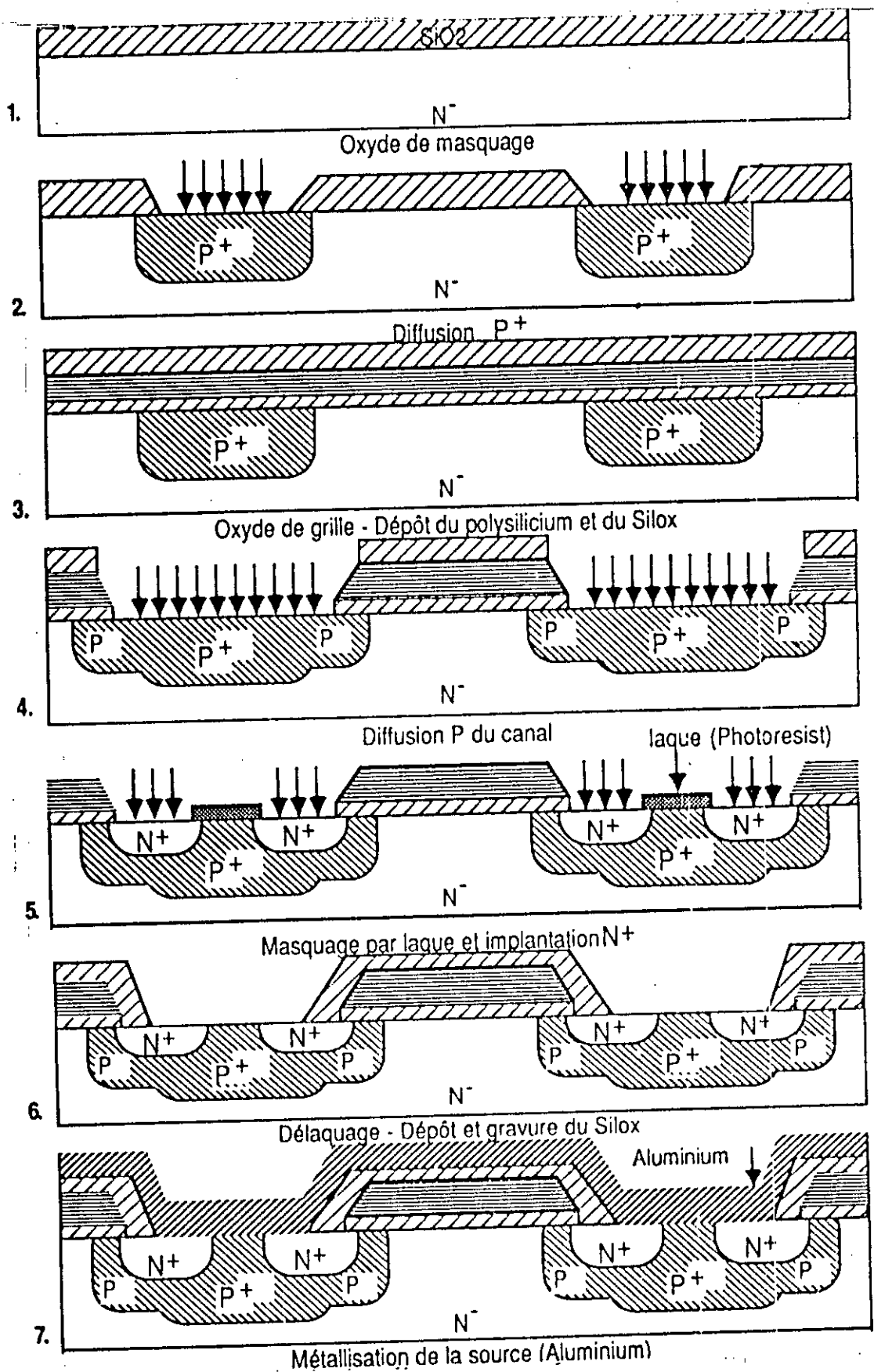


Figure 2 : Etapes principales d'un process de réalisation d'une structure VDMOS

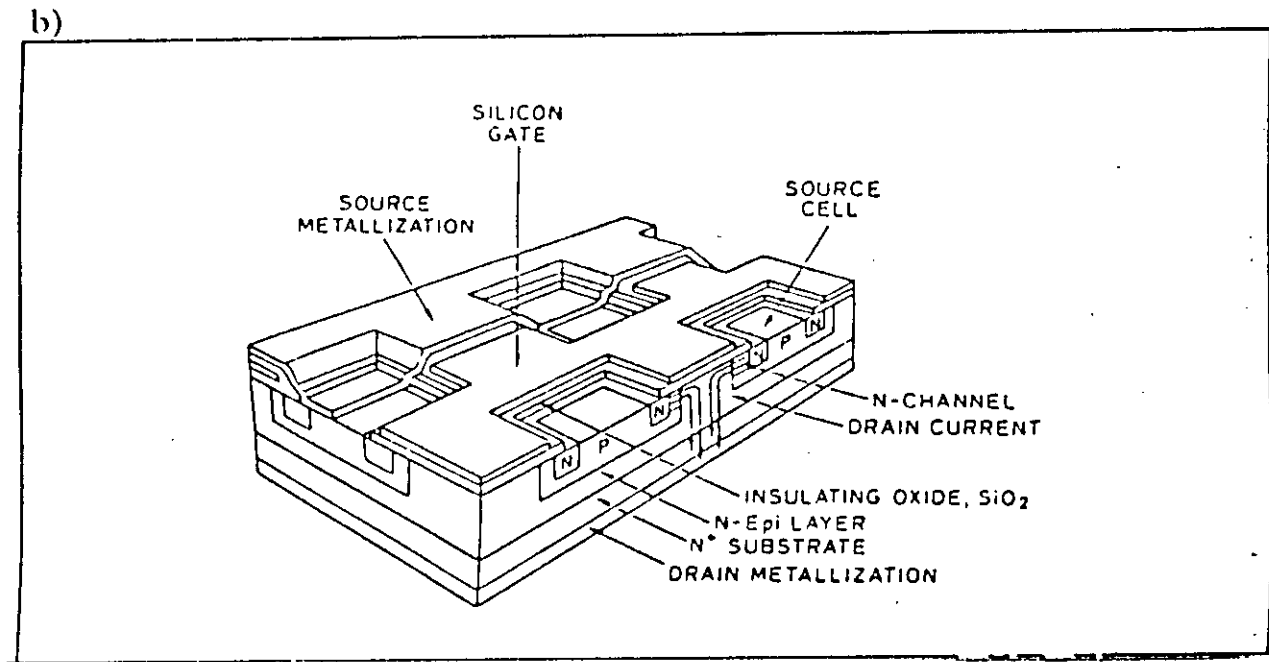
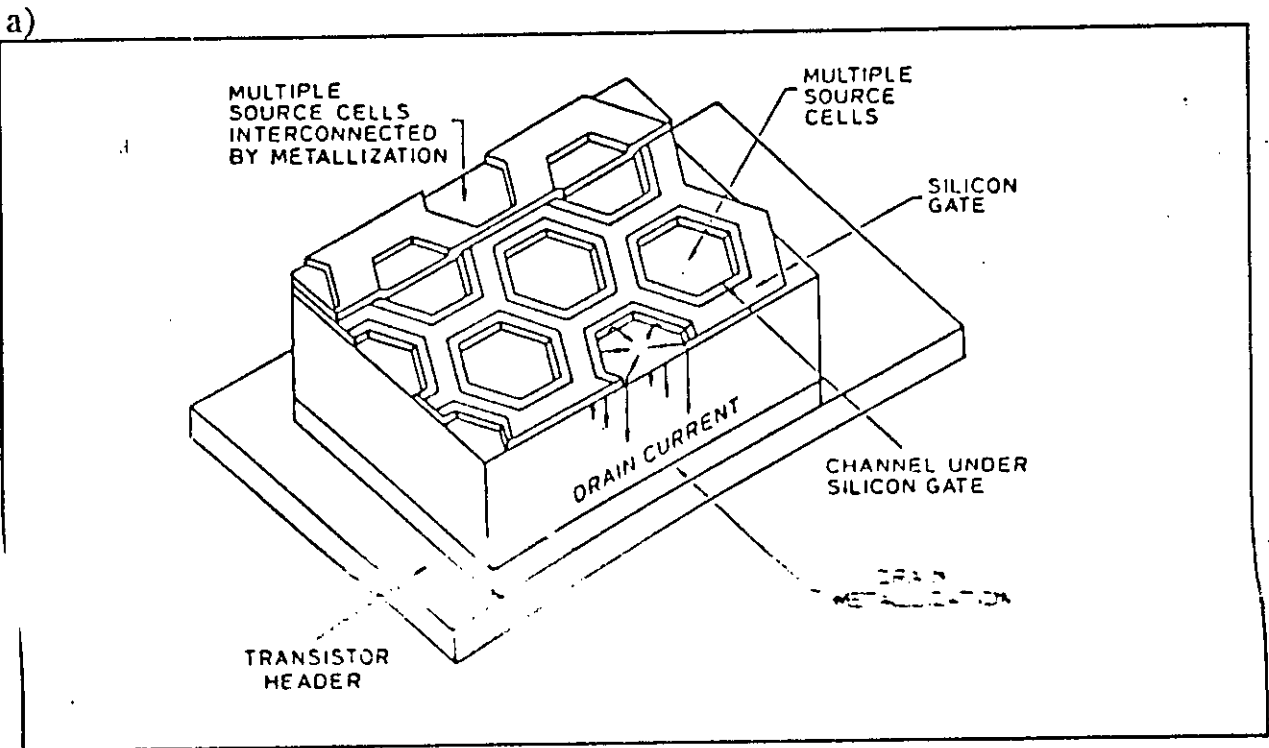


Figure 3 :a) Structure hexagonale (HEXFET) b) Structure carrée (TMOS) [3]

3) MODELE ELECTRIQUE DU VDMOS :

La figure 4 présente une coupe du VDMOS. Nous pouvons le diviser en plusieurs régions comme suit :

- * la région de la zone active du canal de conduction (MOS intrinsèque).
- * la région dite "drift"
- * la jonction P_N-
- * la région de la diode Dbody

Pour chaque région, nous avons fait correspondre des éléments qui décrivent son comportement.

- 1: Zone active (Mos intrinsèque)
- 2: Résistance d'accès Ra
- 3: Capacité de désertion CGDdes
- 4: Capacité d'oxyde CGDox
- 5: Résistance de drain Rd
- 6: Résistance de grille Rg
- 7: Résistance de source Rs
- 8: Capacité de débordement Cgs1
- 9: Capacité d'oxyde épais de grille Cgs2
- 10: Capacité de jonction drain-substrat CDS
- 11: Inductance de source Ls
- 12 : Diode Dbody

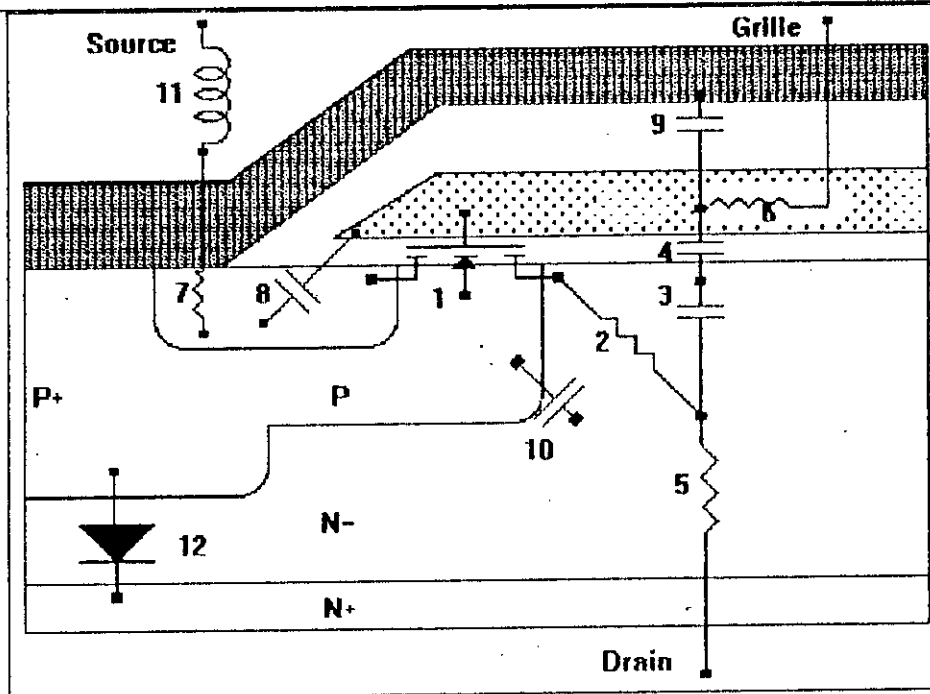


Figure 4: Eléments du modèle du VDMOS

3-1) Région de la zone active du canal de conduction :

Cette zone est le siège de l'effet de champ. La conduction du courant est assurée par des porteurs minoritaires dans le substrat mais majoritaires dans la couche d'inversion. Celle-ci est créée lorsqu'une tension de grille adéquate est appliquée. Nous prenons la source qui est court-circuitée avec le substrat comme référence des potentiels (figure 5).

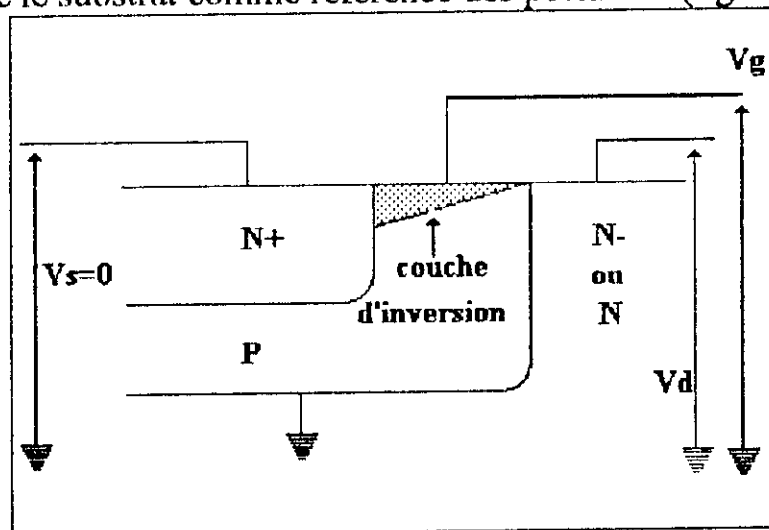


Figure 5 : Région de la zone active (MOS intrinsèque)

3-1-1) Tension de seuil V_T :

Pour avoir la conduction, une zone d'inversion doit être présente à l'interface Si-SiO₂. La tension de seuil V_T est alors définie comme étant la tension V_{GS} qui doit être appliquée (pour $V_{DS}=0$) pour provoquer une inversion de la population des porteurs. Elle s'écrit sous la forme :

$$V_T = \Phi_{ms} - \frac{Q_{ss}}{C_{ox}} + 2\Phi_F + \sqrt{2\Phi_F\Phi_B} \quad (1)$$

où :

$$\text{Le potentiel du substrat } \Phi_B = \frac{2 \cdot q \cdot N_A \cdot \epsilon_0 \cdot \epsilon_{Si}}{(C_{ox})^2} \quad (2)$$

$$\text{Le potentiel de Fermi } \Phi_F = U_T \cdot \ln\left(\frac{N_A}{ni}\right) \quad (3)$$

Pour obtenir le plus fort courant possible, la longueur L du canal a été ramené à moins de 1 μ m. A cet ordre de grandeur, se manifestent les effets du canal court sur la tension de seuil.

Pour un dispositif à canal long, la profondeur de la zone de charge d'espace est donnée par :

$$W = \sqrt{\frac{2 \cdot \epsilon_0 \cdot \epsilon_{Si} \cdot (2\Phi_F)}{q \cdot N_A}} \quad (4)$$

et la charge du substrat est :

$$Q_B = \sqrt{2 \cdot \epsilon_0 \cdot \epsilon_{Si} \cdot q \cdot N_A \cdot (2\Phi_F)} \quad (5)$$

Lorsque le canal est court, contrairement à l'hypothèse de l'approximation graduelle du canal, les lignes du champ électrique ne sont pas partout perpendiculaires à la surface du silicium et particulièrement celles qui sont originaires de la source et du drain. Il apparaît alors que la zone contrôlée par la grille (zone où les lignes du champ sont perpendiculaires à la surface) est un trapèze ABCD. La figure 6 montre que la charge moyenne par unité de surface Q_B dans la région sous le contrôle de

la grille diminue sous l'effet de l'expansion de la zone de déplétion de la source et dans une moindre mesure de celle du drain. Il en résulte alors une chute de potentiel du substrat $\Delta\phi_B$ et par conséquent une diminution de la tension de seuil ΔV_T . On aura :

$$\Delta V_T = \frac{-q \cdot N_A \cdot W}{2 \cdot C_{ox}} \cdot \left(1 - \frac{L''}{L}\right)$$

avec :

$$L'' = L + X_j - a \quad (7)$$

d'où :

$$\Delta V_T = f_{ce} \cdot \sqrt{2 \cdot \Phi_F \cdot \Phi_B} \quad (8)$$

et où :

$$f_{ce} = \frac{X_j}{L} \cdot \left(1 - \sqrt{1 + \frac{2 \cdot W}{X_j}}\right) \quad (9)$$

f_{ce} : facteur traduisant l'effet du canal court sur la charge d'espace contrôlée par la grille.

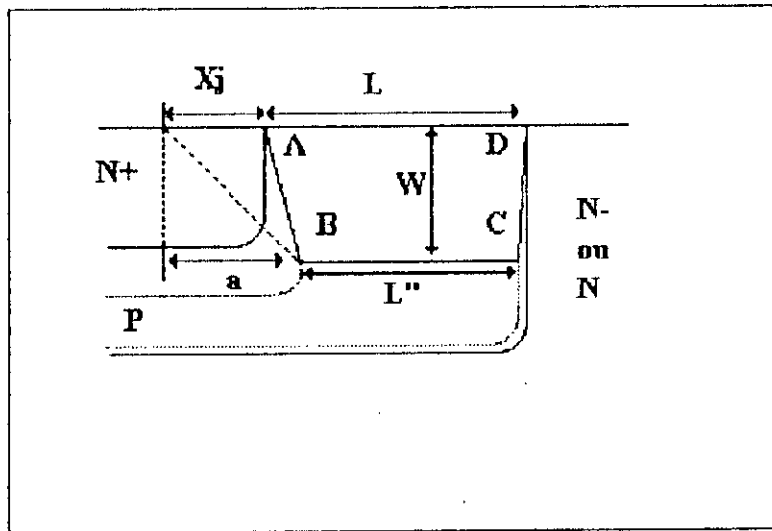


Figure 6 : Construction géométrique utilisée pour estimer la chute de la tension de seuil ΔV_T induite par le canal court

Considérons à présent les niveaux d'énergie des électrons tout au long du canal près de la surface du silicium. La figure 7 montre que

lorsque la tension de grille est suffisamment grande pour créer une zone d'inversion, l'application d'une tension de drain contribue à abaisser encore plus la barrière de potentiel entre la source et la région 'drift' du drain. La conséquence immédiate de ceci est l'augmentation du flux d'électrons traversant le canal. Le courant ainsi obtenu est l'équivalent du courant obtenu pour une tension de seuil V'_T inférieure à la tension de seuil V_T . Il devient clair alors que l'abaissement de la barrière de potentiel induit par le drain (**Drain Induced Barrier Lowering** ou effet D.I.B.L) introduit une chute supplémentaire ΔV_T de la tension de seuil qui est donnée par : [4-6]

$$\Delta V_T = f_{DIBL} \cdot V_{DS} \quad (10)$$

où :

$$f_{DIBL} = \frac{8,14 \cdot 10^{-22} \cdot \text{ETA}}{C_{ox} \cdot L^3} \quad (11)$$

ETA : un facteur correctif

La tension de seuil effective sera donc :

$$V'_T = \Phi_{ms} - \frac{Q_{ss}}{C_{ox}} + 2\Phi_F + f_{DIBL} \cdot V_{DS} + f_{ce} \cdot \sqrt{2\Phi_F\Phi_B} \quad (12)$$

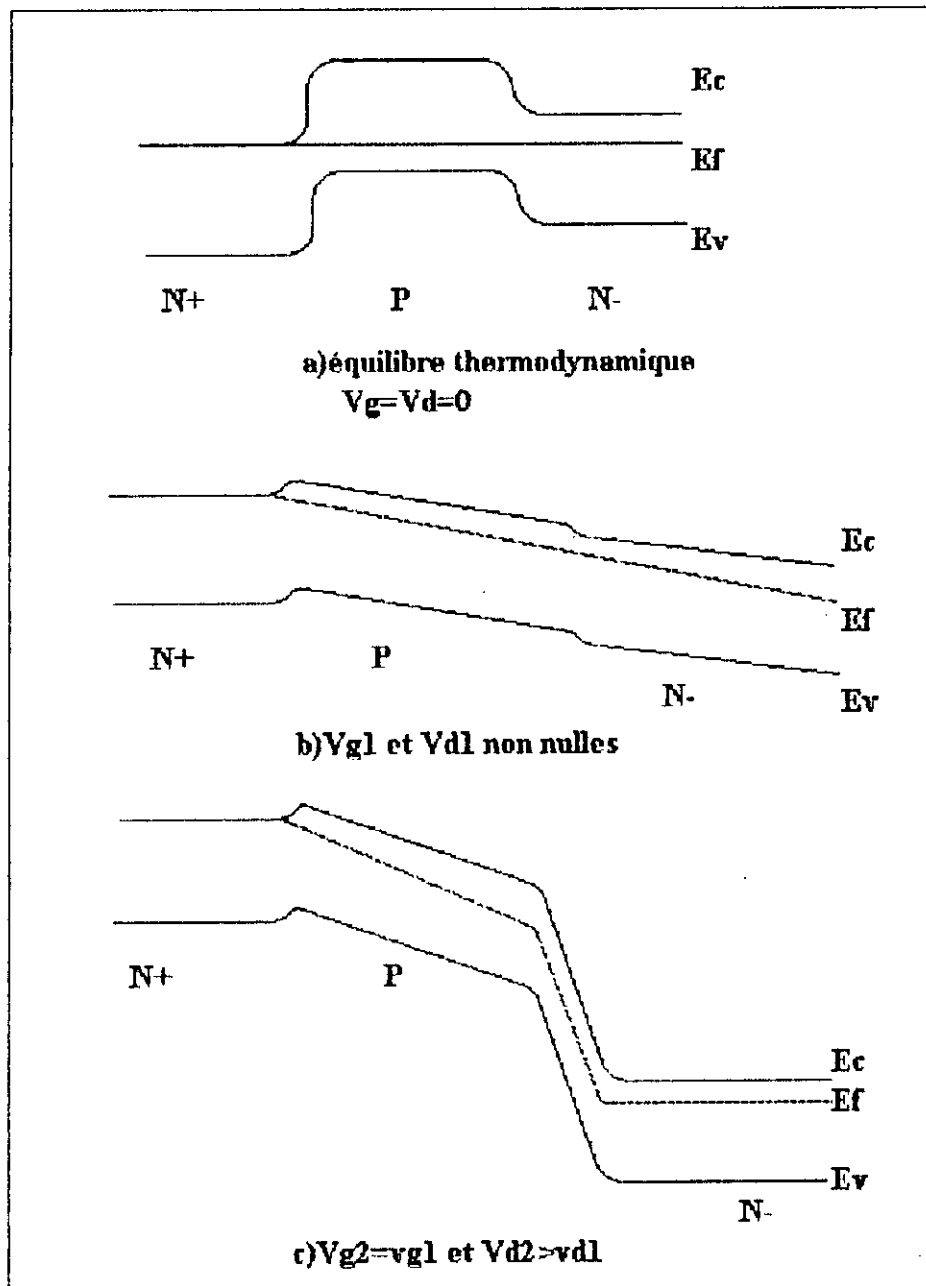


Figure 7 : diagramme énergétique le long du canal

3-1-2) Le courant du drain I_D :

Lorsqu'il y a faible inversion, c'est à dire que la tension V_{GS} est inférieure à la tension de seuil V'_T , il se manifeste deux types de courant, le courant de conduction et le courant de diffusion. Le courant total I_D qui est la

somme de ces derniers, dépend fortement de la température et de la densité des états de surface à l'interface oxyde-silicium. Il est décrit par : [4,5,7]

$$I_D = I_{DON} \cdot \exp \left(\frac{V_{GS} - V_{ON}}{U_T \left[1 + \frac{Q_{FS}}{C_{OX}} + \frac{f_s \cdot \sqrt{2\Phi_F\Phi_B}}{4 \cdot \Phi_F} \right]} \right) \quad (13)$$

avec :

$$V_{ON} = V_T + U_T \cdot \left[1 + \frac{Q_{FS}}{C_{OX}} + \frac{f_{sc} \cdot \sqrt{2\Phi_F\Phi_B}}{4 \cdot \Phi_F} \right] \quad (14)$$

et

$$I_{DON} = I_D \text{ pour } V_{GS} = V_{ON}$$

En mode de conduction, c'est à dire que $V_{GS} > V_{ON}$, le courant I_D est décrit comme suit :

$$I_D = \beta \cdot \left(V_{GS} - V_{ON} - \frac{1 + f_b}{2} \cdot V_{de} \right) \cdot V_{de} \quad (15)$$

avec :

$$V_{de} = \min(V_{DS}, V_{DSat})$$

$$\beta = \frac{KP}{(1 + \theta(V_{GS} - V_{ON})) \cdot \left(1 + \frac{V_{de}}{V_C} \right)} \quad (16)$$

$$KP = \mu_0 \cdot C_{ox} \cdot \frac{W}{L} \quad (17)$$

$$V_c = \frac{V_{max} \cdot L}{\mu_0 \cdot (1 + \theta(V_{GS} - V_{ON}))} \quad (18)$$

$$fb = \frac{\sqrt{\Phi_B} \cdot f_{ce}}{4 \cdot \sqrt{2} \cdot \Phi_F} \quad (19)$$

Et la tension de pincement qui est due à phénomène de la saturation de la vitesse des porteurs s'écrit :

$$V_{DSat} = \frac{V_{GS} - V_{ON}}{1 + fb} + V_c - \sqrt{\left(\frac{V_{GS} - V_{ON}}{1 + fb}\right)^2 + V_c^2} \quad (20)$$

3-1-3) Les éléments capacitifs :

La figure 8 représente le modèle dynamique de la zone active du canal de conduction.

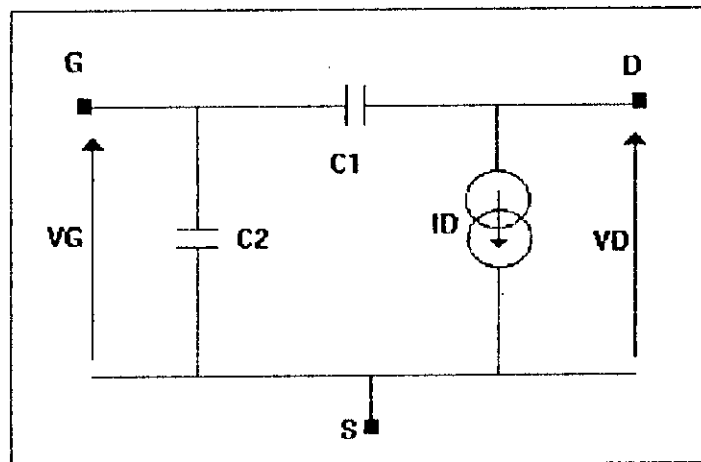


Figure 8 : Modèle dynamique de la zone active du canal de conduction

Les capacités C1 et C2 sont décrites par le modèle de MEYER :

En mode bloqué :

* lorsque $(V_{GS}-V_{ON}) \leq -2\Phi_F$

$$\begin{aligned} C2 &= W.L.C_{OX} \\ C1 &= 0 \end{aligned} \quad (21)$$

* et lorsque $(V_{GS}-V_{ON}) \leq -\Phi_F$

$$\begin{aligned} C2 &= \frac{-(V_{GS} - V_{ON}) \cdot W \cdot L \cdot C_{OX}}{2 \cdot \Phi_F} \\ C1 &= 0 \end{aligned} \quad (22)$$

En mode de faible inversion, lorsque $(V_{GS}-V_{ON}) \leq 0$

$$\begin{aligned} C2 &= \frac{(V_{GS} - V_{ON}) \cdot W \cdot L \cdot C_{OX}}{6 \cdot \Phi_F} + \frac{2 \cdot W \cdot L \cdot C_{OX}}{3} \\ C1 &= 0 \end{aligned} \quad (23)$$

En mode saturé, lorsque $(V_{DSat}-V_{DS}) \leq 0$

$$\begin{aligned} C2 &= \frac{2 \cdot W \cdot L \cdot C_{OX}}{3} \\ C1 &= 0 \end{aligned} \quad (24)$$

Et enfin en mode ohmique, lorsque $(V_{DSat}-V_{DS}) > 0$

$$\begin{aligned} C2 &= \frac{2}{3} \cdot \left(W \cdot L \cdot C_{OX} \cdot \left(1 - \left(\frac{V_{DSat} - V_{DS}}{2 \cdot V_{DSat} - V_{DS}} \right)^2 \right) \right) \\ C1 &= \frac{2}{3} \cdot \left(W \cdot L \cdot C_{OX} \cdot \left(1 - \left(\frac{V_{DSat}}{2 \cdot V_{DSat} - V_{DS}} \right)^2 \right) \right) \end{aligned} \quad (25)$$

Pour assurer une certaine continuité et traduire au mieux l'évolution des capacités C1 et C2, nous les avons décrites par l'équation (25) en mode ohmique et par l'équation (24) en mode saturé et en mode bloqué.

3-2) La résistance d'accès au drain :

La combinaison de l'effet :

* de la présence d'une couche accumulée en surface de la zone N- du drain induite par la tension de grille.

* de la résistance intrinsèque du matériau situé au dessous de la zone accumulée sur une profondeur h de la diffusion P.

* de l'évolution des lignes du courant d'une direction horizontale vers une direction verticale.

* de l'influence de la profondeur de la zone de déplétion sur celles-ci.
nous donne l' expression de la résistance d'accès au drain : [8-13]

$$R_a = \frac{2 \cdot \rho \cdot h}{W \cdot L_{acc}} \cdot \sqrt{\frac{L_{acc}^2}{4 \cdot h \cdot \mu_{acc} \cdot C_{ox} \cdot V'_G}} \cdot \frac{1}{\tanh\left(\frac{L_{acc}}{2} \cdot \sqrt{\frac{1}{\rho \cdot h \cdot \mu_{acc} \cdot C_{ox} \cdot V'_G}}\right)} \quad (26)$$

où:

$$\rho = \frac{1}{q \cdot \mu_n \cdot N_D} \quad (27)$$

et

$$V'_G = V_G + \frac{Q_{ss}}{C_{ox}} - \Phi_{ms} \quad (28)$$

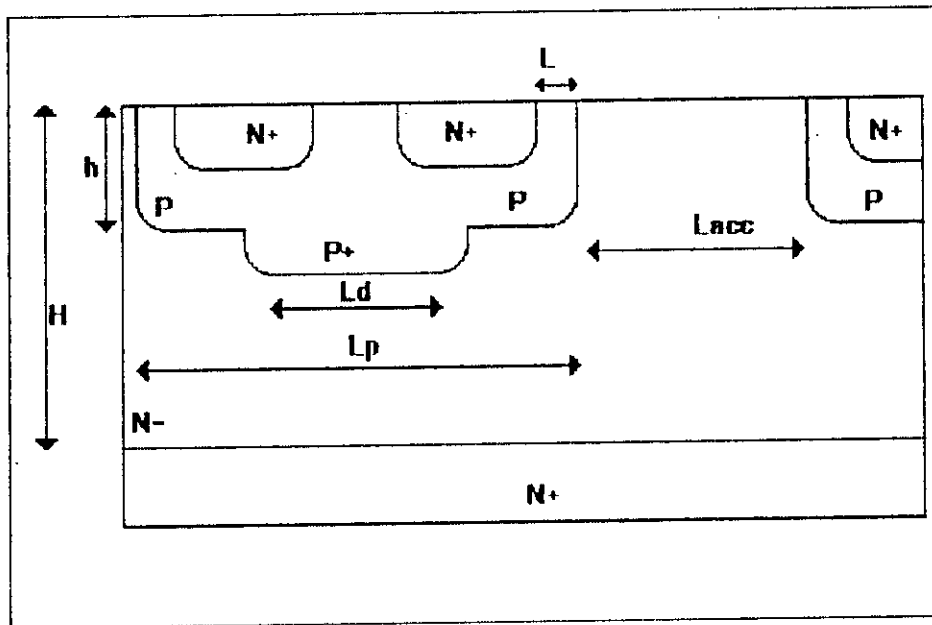


Figure 9: dimensions du VDMOS

3-3) La résistance drift :

La résistance de drift R_d est due à la conjugaison des effets de la défocalisation des lignes du courant et de la résistivité intrinsèque du matériau. Elle est donnée par : [8-13]

$$R_d = \Gamma' \cdot \frac{2 \cdot \rho_s \cdot (H - h)}{W \cdot (L_p + L_{acc})} \quad (29)$$

avec:

$$\Gamma' = \frac{L_{acc}}{H - h} \cdot \frac{1 + \frac{L_p}{L_{acc}}}{\pi} \cdot \text{Argsinh} \left[\frac{\sinh \left(\pi \left(\frac{\pi(H - h)}{L_p + L_{acc}} \right) \right)}{\sin \left(\frac{\pi}{2} \cdot \frac{1}{1 + \frac{L_p}{L_{acc}}} \right)} \right] \quad (30)$$

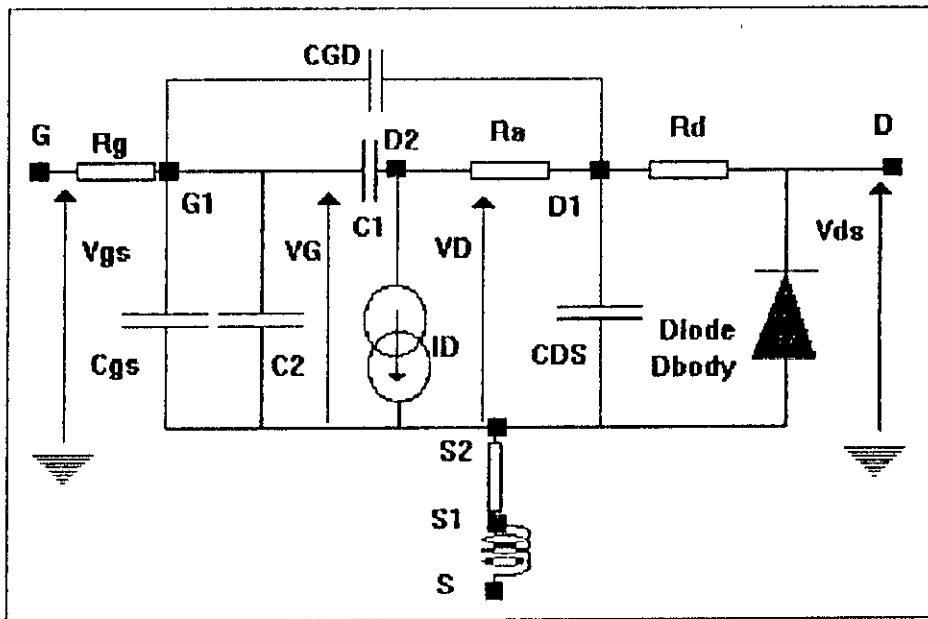


Figure 10: Modèle dynamique du VDMOS

3-4) La capacités Grille-Drain :

La capacité CGD est la mise en série de deux capacités CGDox (de valeur constante) et CGDdes (capacité variable) [8,10,14,15]. Elle est décrite par :

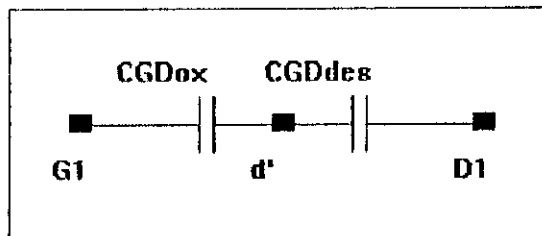


Figure 11: Capacité CGD

la capacité de désertion :

$$CGDdes = \frac{CGDox}{\left[1 + \frac{VD1d' - Vseuil}{Vj1} \right]^M} \tag{31}$$

la capacité d'oxyde :

$$CGD_{ox} = \frac{\epsilon_{ox} \cdot L_{acc} \cdot W}{t_{ox}} \quad (32)$$

ET vu que le simulateur ESACAP [18] est ouvert et nous permet de décrire les éléments non linéaire par des expressions mathématiques complexes, la solution que nous avons envisagé et adopté est que CGD est une seul capacité qui s'écrit comme suit :

* lorsque $V_{D1G1} < 0$:

$$CGD = CGD_{ox} \quad (33)$$

* et lorsque $V_{D1G1} \geq 0$:

$$CGD = \frac{CGD_{ox}}{\left[1 + \frac{V_{D1G1}}{V_{j1}}\right]^M} \quad (34)$$

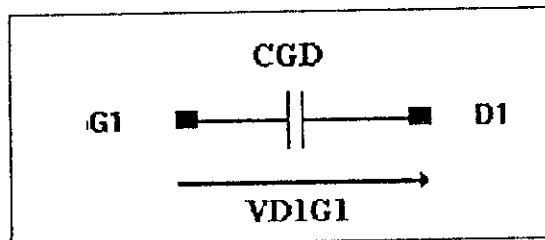


Figure 12 : Modèle de la capacité CGD adopté

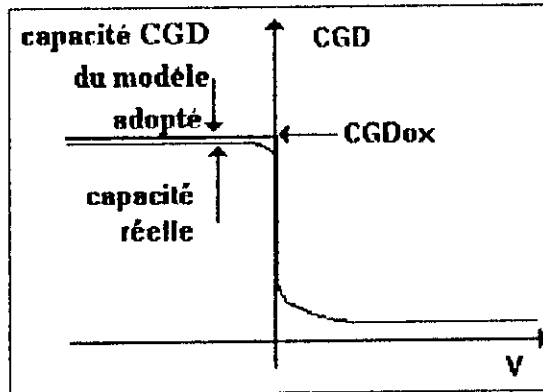


Figure 13: Evolution de la capacité CGD

3-5) La capacité de jonction CDS :

La capacité de jonction CDS est modélisée par :

$$CDS = \frac{Cj0}{\left[1 + \frac{V_{DIS2}}{Vj2}\right]^m} \quad (35)$$

3-6) La diode Dbody :

La diode Dbody est décrite comme suit :

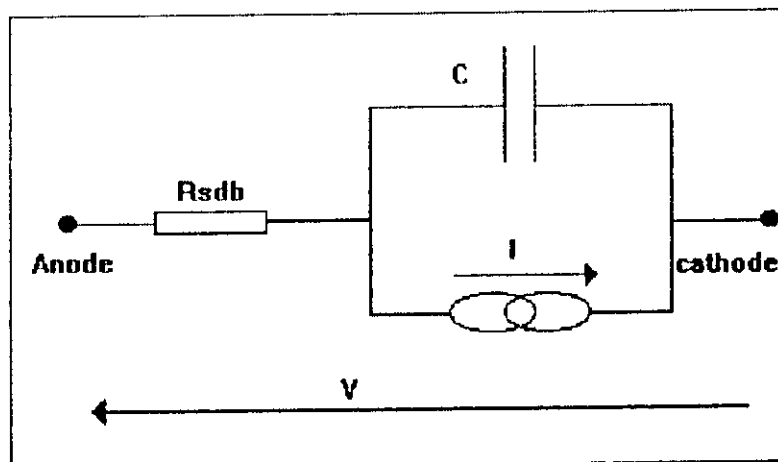


Figure 14: Diode Dbody

en mode de claquage, lorsque $V \leq -V_{BR}$:

$$\begin{aligned} I &= -I_s \cdot \exp\left(\frac{-(V_{BR} + V)}{N \cdot U_T}\right) + g_{min} \cdot V \\ g &= \frac{I_s}{N \cdot U_T} \cdot \exp\left(\frac{-(V_{BR} + V)}{N \cdot U_T}\right) + g_{min} \end{aligned} \quad (36)$$

en mode de polarisation inverse, lorsque $-V_{BR} < V < 0$:

$$\begin{aligned} I &= -I_s + g_{min} \cdot V \\ g &= g_{min} \end{aligned} \quad (37)$$

et enfin, en mode de polarisation directe, lorsque $V > 0$

$$\begin{aligned} I &= I_s \cdot \left(\exp\left(\frac{V}{N \cdot U_T}\right) - 1 \right) + g_{min} \cdot V \\ g &= \frac{I_s}{N \cdot U_T} \cdot \exp\left(\frac{V}{N \cdot U_T}\right) + g_{min} \end{aligned} \quad (38)$$

l'élément capacitif :

en polarisation directe, lorsque $V > F_C \cdot V_{j0}$

$$C = TT \cdot g + C_{j0} \cdot \left(1 - \frac{V}{V_{j0}} \right)^{-m} \quad (39)$$

et en polarisation inverse, lorsque $V \leq F_C \cdot V_{j0}$:

$$C = TT \cdot g + \frac{C_{j0}}{F_2} \cdot \left(F_3 + \frac{m \cdot V}{V_{j0}} \right) \quad (40)$$

avec :

$$\begin{aligned} F_2 &= (1 - FC)^{1-m} \\ F_3 &= 1 - FC \cdot (1 + m) \end{aligned} \quad (41)$$

3-7) L'inductance L_s :

Elle est formulée par : [17]

$$L_s = 2.l. \left[\log\left(\frac{2.l}{r}\right) - \frac{3}{4} \right] \quad (42)$$

4) Conclusion :

Au cours de ce chapitre, nous avons établi un modèle électrique du VDMOS dont la topologie ne diffère pas de celle du modèle LAAS/MOTOROLA implanté dans le simulateur 'ASTECH III'. Cependant, notre modèle tient compte de l'influence du canal court et de l'effet D.I.B.L. sur la tension de seuil. Le courant sous le seuil est formulé et pris en compte. Nous avons aussi décrit les différentes capacités (CGD...) de façon adaptée au simulateur 'ESACAP' et de telle sorte qu'on obtienne les résultats les plus exactes possibles.

Notre modèle est adapté au fonctionnement en statique et en dynamique en mode de commutation.

CHAPITRE II :

PRISE EN COMPTE DE L'EFFET DE LA TEMPERATURE

1) INTRODUCTION :

Pour un composant semi-conducteur de puissance, la température de la puce de silicium influe directement sur ses caractéristiques statiques et dynamiques. Elle limite ainsi la puissance maximum qu'il peut délivrer du fait qu'elle peut varier très rapidement (de l'ordre de 10^6 °K/sec [24,25]), d'où l'importance d'un habillage de la puce pouvant faciliter l'évacuation de la chaleur. Ces variations en température quand elles sont répétitives, peuvent également provoquer des fatigues mécaniques des différents matériaux constituant le composant et se finaliser par des défaillances.

Il est donc clair que l'établissement d'un modèle traduisant le comportement thermique du transistor est capital pour avoir une bonne connaissance du comportement électrique. Plusieurs solutions ont été proposées et la plupart d'entre elles sont basées sur la création d'un modèle purement thermique assemblé avec le modèle électrique. Les approches sont basées sur le concept des impédances thermiques, sur les méthodes des éléments finis et des différences finies ou bien sur des méthodes purement analytiques [17,25-31].

Au cours de ce chapitre, nous allons tout d'abord examiner les interactions entre la température et les différents paramètres du modèle électrique déjà développé. Ensuite nous établirons un modèle qui peut décrire l'évolution de la chaleur à travers les différentes couches de matériaux constituant l'habillage du transistor. Le couplage du modèle thermique et du modèle électrique de manière à ce que la température de la puce et la puissance instantanée dissipée soient liées, nous fait aboutir au modèle électrothermique complet.

2) INFLUENCE DE LA TEMPERATURE SUR LES PARAMETRES ELECTRIQUES :

La figure 1, représente les différents éléments du modèle électrique sensibles à la température. Ils sont marqués d'une flèche :

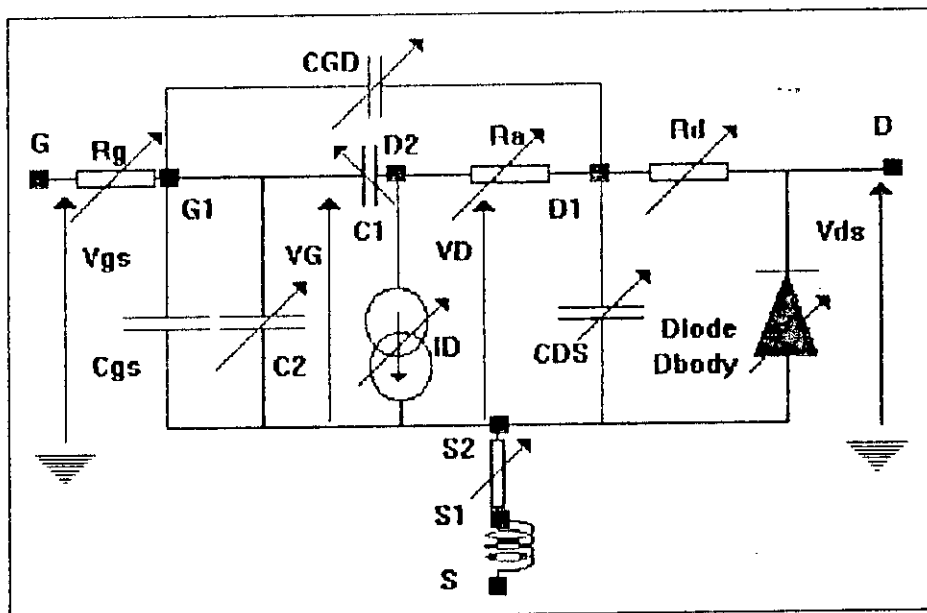


Figure 1 Les différents éléments du modèle sensibles à la température

2-1) La bande interdite, le potentiel de FERMI et la concentration intrinsèque des porteurs :

L'influence de la température sur ces grandeurs est donnée par [5,7] :

* la largeur de la bande interdite :

$$EG(T1) = 1,16 - 7,02 \cdot 10^{-4} \cdot \frac{T^2}{T + 1108} \quad (1)$$

* le potentiel de FERMI :

$$\Phi_F(T1) = \Phi_F(T0) \left(\frac{T1}{T0} \right) - U_T(T1) \left[3 \cdot \ln \left(\frac{T1}{T0} \right) + \frac{EG(T0)}{U_T(T0)} - \frac{EG(T1)}{U_T(T1)} \right] \quad (2)$$

* la concentration intrinsèque n_i :

$$n_i(T1) = 1,45 \cdot 10^{16} \cdot \left(\frac{T1}{T0} \right)^{1,5} \cdot \exp \left[EG(T0) \cdot \left(\frac{T1}{T0} - 1 \right) \cdot \left(\frac{1}{2 \cdot U_T(T1)} \right) \right] \quad (3)$$

2-2) La zone active du canal de conduction :

* l'influence de la température sur la tension de seuil :

$$V_T(T1) = V_T(T0) \cdot [1 - \text{tcv} \cdot (T1 - T0)] \quad (4)$$

où :

tcv est de l'ordre de 5,2mV/K [19] à 6mV/K [6].

* l'influence de la température sur la mobilité dans la zone d'accumulation [17] :

$$\mu(T1) = \mu(T0) \cdot \left(\frac{T1}{T0} \right)^{-1.5}$$

* et la mobilité dans le volume du semi-conducteur :

$$\mu(T1) = \mu(T0) \cdot \left(\frac{T1}{T0} \right)^{-2.5} \quad (6)$$

* la vitesse limite des électrons dans le réseau cristallin [21,22]:

$$V_{max} = A - B \left(\frac{T1}{T0} \right) \quad (7)$$

où :

pour la direction <100> :

$$A = 9,8 \cdot 10^6 \text{ cm/s}$$

et

$$B = 3,3 \cdot 10^6 \text{ cm/s}$$

2-3) Les diverses résistances :

Une élévation de la température entraîne une augmentation des valeurs de la résistance d'accès R_a , de la résistance de drift R_d , de la résistance série de la diode D_{body} , de la résistance de grille R_g et de la résistance série de la source R_s . Celles-ci sont décrites par :

$$R(T1) = R(T0) \left[1 + tr1(T1 - T0) + tr2(T1 - T0)^2 \right] \quad (8)$$

où [20] :

$tr1 = 5 \cdot 10^{-3} / K$ pour les structures basses tensions

$tr1 = 8,33 \cdot 10^{-3} / K$ pour les structures hautes tensions .

$tr2$ est utilisé pour les composants travaillant pour des gammes de température très élevées ou encore pour améliorer la précision.

2-4) La capacité de diffusion CDS :

L'influence de la température se manifeste sur :

* le potentiel de diffusion :

$$V_j(T1) = V_j(T0) \left(\frac{T1}{T0} \right) - U_T(T1) \left[3 \cdot \ln \left(\frac{T1}{T0} \right) + \frac{EG(T0)}{U_T(T0)} - \frac{EG(T1)}{U_T(T1)} \right] \quad (9)$$

* et la capacité de jonction à polarisation nulle :

$$C_{j0}(T1) = C_{j0}(T0) \cdot \left[1 + m \cdot \left(0,0004 \cdot (T1 - T0) - \frac{V_j(T1)}{V_j(T0)} + 1 \right) \right] \quad (10)$$

2-5) La capacité grille-drain CGD :

Vu que la valeur de la capacité d'oxyde CGDox est constante, l'effet de la température ne se manifeste que sur le potentiel de diffusion :

$$V_{jCGD}(T1) = V_{jCGD}(T0) \left(\frac{T1}{T0} \right) - U_T(T1) \left[3 \cdot \ln \left(\frac{T1}{T0} \right) + \frac{EG(T0)}{U_T(T0)} - \frac{EG(T1)}{U_T(T1)} \right] \quad (11)$$

2-6) La diode Dbody :

La température influe sur la tension de claquage V_{BR} , sur le courant de saturation I_s et sur la résistance série R_{sdb} :

* le courant de saturation :

$$I_s(T1) = I_s(T0) \cdot \exp \left[\frac{1}{N} \cdot \left(\frac{EG(T0)}{U_T(T0)} - \frac{EG(T1)}{U_T(T1)} + 3 \cdot \ln \left(\frac{T1}{T0} \right) \right) \right] \quad (12)$$

* la tension de claquage :

$$V_{BR}(T1) = V_{BR}(T0) + \frac{K}{q} (T1 - T0) \cdot \frac{\log(1 + I_s(T0) \cdot V_{BR}(T0))}{I_s(T0)} \quad (13)$$

* le potentiel de diffusion de la capacité :

$$V_{jDbody}(T1) = V_{jDbody}(T0) \left(\frac{T1}{T0} \right) - U_T(T1) \left[3 \cdot \ln \left(\frac{T1}{T0} \right) + \frac{EG(T0)}{U_T(T0)} - \frac{EG(T1)}{U_T(T1)} \right] \quad (14)$$

* la capacité à polarisation nulle :

$$C_{jDbody}(T1) = C_{jDbody}(T0) \cdot \left[1 + m \cdot \left(0,0004 \cdot (T1 - T0) - \frac{V_{jDbody}(T1)}{V_{jDbody}(T0)} + 1 \right) \right] \quad (15)$$

3) EVOLUTION DE LA CHALEUR DANS LE TRANSISTOR:

Lors du fonctionnement du transistor, l'énergie électrique ($V.I.t$) est transformée en énergie thermique au niveau de la puce de silicium. La chaleur ainsi créée, se propage à travers les différentes couches de l'habillage

du transistor pour atteindre le milieu ambiant. Il existe alors une différence de température entre la puce et le milieu externe qui se traduit par

$$T_j = T_a + \Delta T$$

(16)

3-1) Résistance thermique :

Considérons que nous sommes en régime permanent et supposons que la chaleur se propage de manière unidirectionnelle, comme le suggère la figure 2.

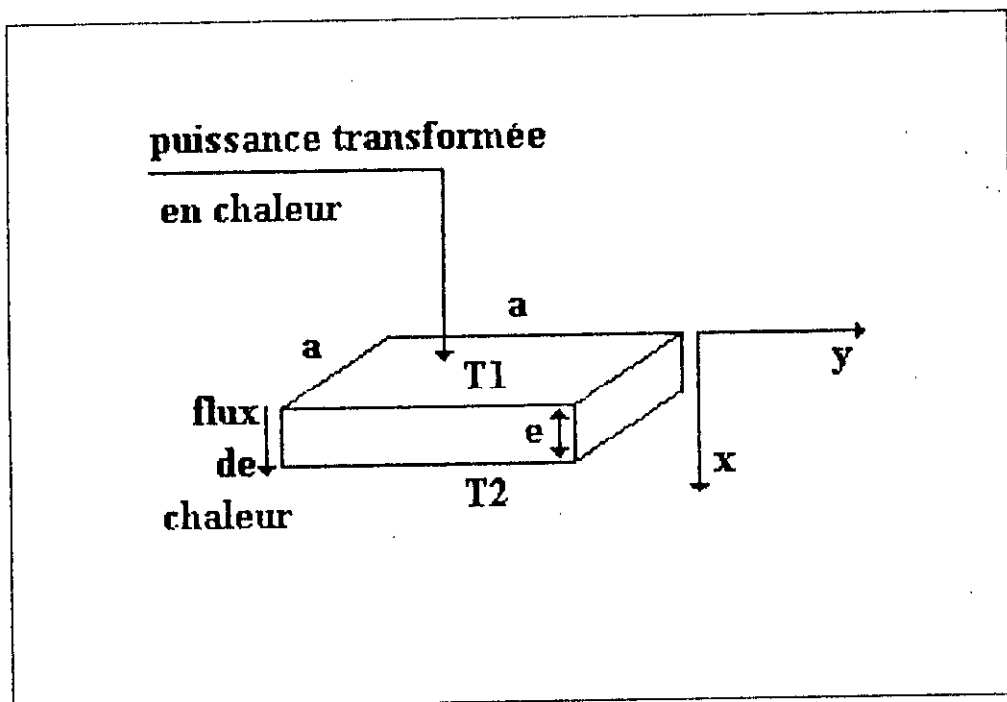


Figure 2

La loi de la conductivité de la chaleur de FOURRIER donne :

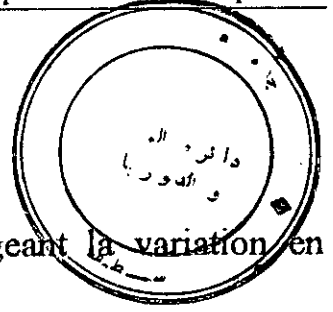
$$P_{\text{tot}} = K_{\text{th}} \cdot A \cdot \frac{dT}{dx} \quad (17)$$

où :

P_{tot} : puissance totale dissipée

K_{th} : conductivité thermique du matériau

A : a^2 (surface normale au flux de chaleur)



En intégrant l'équation (17) et en négligeant la variation en température de K_{th} , on obtient :

$$P_{tot} \frac{e}{K_{th} \cdot A} = \Delta T \quad (18)$$

Par analogie entre la propagation de la chaleur et celle d'un signal électrique, le terme $e/K_{th} \cdot A$ représente alors la résistance thermique.

THERMIQUE			ELECTRIQUE		
Symbole	Quantité	Unité	Symbole	Quantité	Unité
P	puissance	W	I	courant	A
T	température	°K	V	tension	V
R_{th}	résistance	°K/W	R	résistance	Ω
K_{th}	conductivité	W/(°K.cm)	σ	conductivité	1/(Ω .cm)
C_{th}	capacité	J/°K	C	capacité	F
q	chaleur	J	Q	charge	C

Tableau 1 : Analogies électriques-thermiques

Les boîtiers peuvent être considérés comme une structure multicouches, dans laquelle la chaleur provient de la surface active du silicium (figure 3).

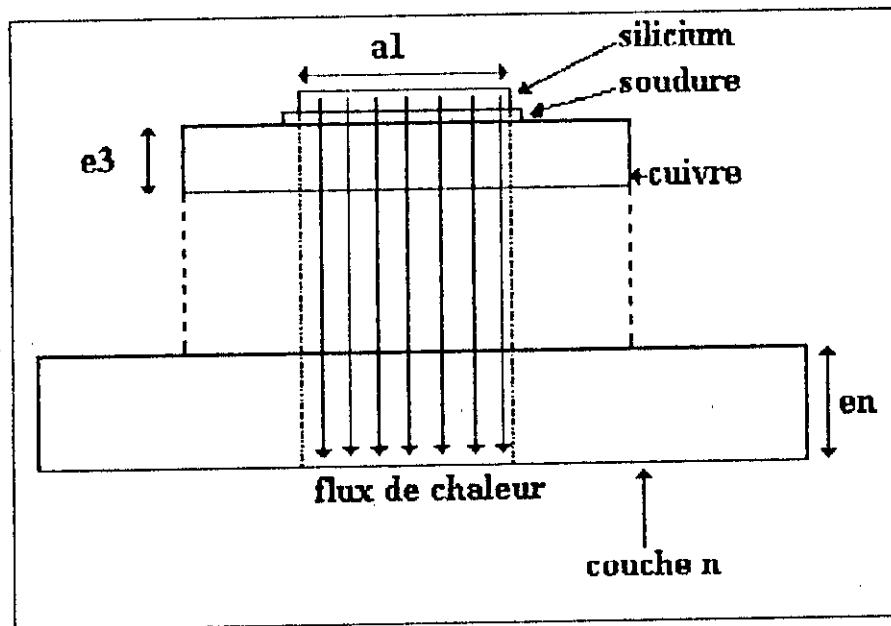


Figure 3 : Diffusion verticale dans une structure multicouche

La conduction de chaleur entre la puce de silicium (ou la jonction) et la couche externe de l'habillage peut être alors représenté par le circuit thermique équivalent de la figure 4 :

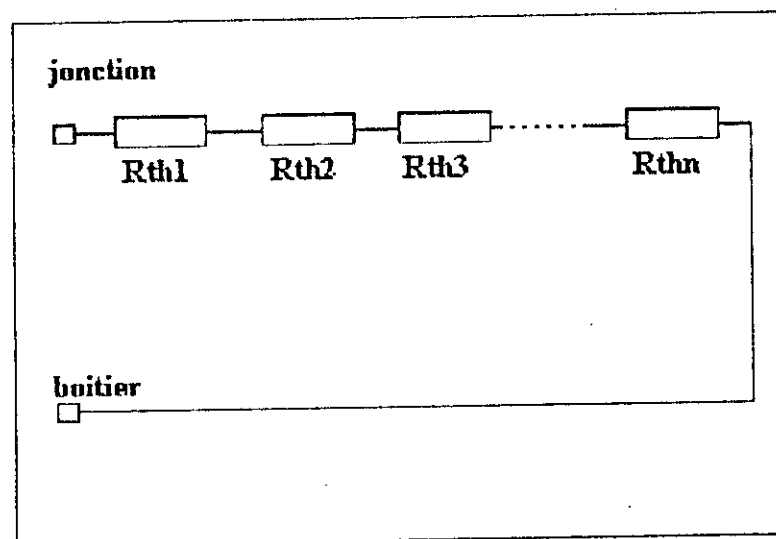


Figure 4 : Circuit thermique équivalent en régime statique établi

où pour chaque couche i :

$$R_{thi} = \frac{e_i}{K_{thi} \cdot a_i^2} \quad (19)$$

Dans le cas réel, du fait de la haute conductivité du matériau utilisé, la chaleur diffuse aussi latéralement suivant un angle θ_i [23,31]. Celui-ci dépend des dimensions géométriques de la couche.

$$\theta_i = \frac{1}{2} \cdot \tan^{-1} \left[\frac{e_i}{a_i} \right] \quad (20)$$

Si l'épaisseur de la couche est grande devant le côté a_i de la surface, la chaleur a plus tendance à diffuser latéralement. Et réciproquement, plus la couche est mince, plus la chaleur diffuse verticalement.

e_i/a_i	θ_i
0.01	0.285
0.1	2.85
0.5	13.3
1	22.5
1.5	28.15
2	31.7
3	35.9
5	39.4
10	42.1
20	43.6
100	44.7
infini	45

Tableau 2 : Valeurs d'angle en fonction du rapport e_i/a_i

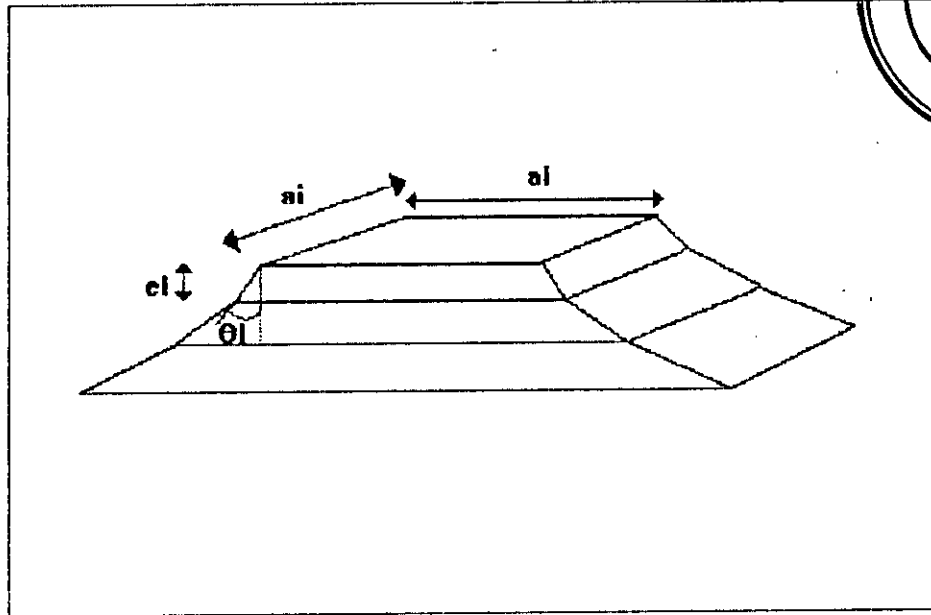
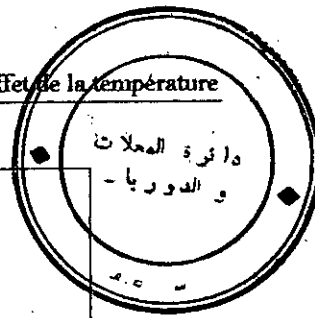


Figure 5: Diffusion latérale dans une structure multicouches

Ainsi, le calcul des résistances thermiques sera modifié par la prise en compte de la diffusion latérale. On obtient alors:

$$R_{thi} = \frac{1}{K_{thi}} \cdot \frac{c_i}{a_i \cdot a_i + 2 \cdot a_i \cdot c_i \cdot \tan(\theta_i)} \quad (21)$$

L'angle θ_i dépend aussi des conductivités thermiques. Lorsque deux couches successives i et $i+1$ ont des conductivités très proches, θ_i ne dépend que du rapport c_i/a_i . Par contre, lorsque la couche i est moins résistive que la couche $i+1$, la chaleur aura plus de difficulté à traverser la couche $i+1$ et diffusera encore plus latéralement dans la couche i . Ce cas se présente pour le boîtier TO-3 lors du passage du cuivre vers l'acier.

La résistance thermique totale R_{thj-c} entre la puce et le boîtier (figure 4) sera calculée comme suit :

$$R_{th.j.c} = R_{th.1} + R_{th.2} + \dots + R_{th.n} \quad (22)$$

Lorsque le transistor est monté sur un radiateur parfait (aux dimensions infinies), c'est à dire que $R_{th.rad}=0$, la puissance maximum totale que le transistor peut dissiper est :

$$P_{tot} = \frac{T_{jmax} - T_a}{R_{thjc}} \quad (23)$$

Cette puissance diminue lorsqu'on considère un cas plus réel (résistance du radiateur non nulle $R_{th.rad}=2,8^\circ\text{K/W}$) ou que la température du milieu ambiant est plus élevée :

$$\begin{aligned} P_{tot} &= \frac{T_{jmax} - T_a}{R_{thjc}} > P_{tot} = \frac{T_{jmax} - T_a}{R_{thjc} + R_{thrad}} \\ P_{tot} &= \frac{T_{jmax} - T_a}{R_{thjc}} > P_{tot} = \frac{T_{jmax} - (T_a + \Delta T)}{R_{thjc}} \\ P_{tot} &= \frac{T_{jmax} - T_a}{R_{thjc}} > P_{tot} = \frac{T_{jmax} - (T_a + \Delta T)}{R_{thjc} + R_{thrad}} \end{aligned} \quad (24)$$

Cette limitation de la puissance totale dissipée, se manifeste clairement par un fléchissement de la caractéristique statique courant-tension.

3-2) Impédance thermique :

La figure 4 représente le circuit thermique équivalent à l'état permanent lorsqu'une source continue de chaleur est appliquée. Lorsque la chaleur est initialement appliquée, le gradient de température $\Delta T = T_j - T_a$ augmente comme le montre la figure 6 :



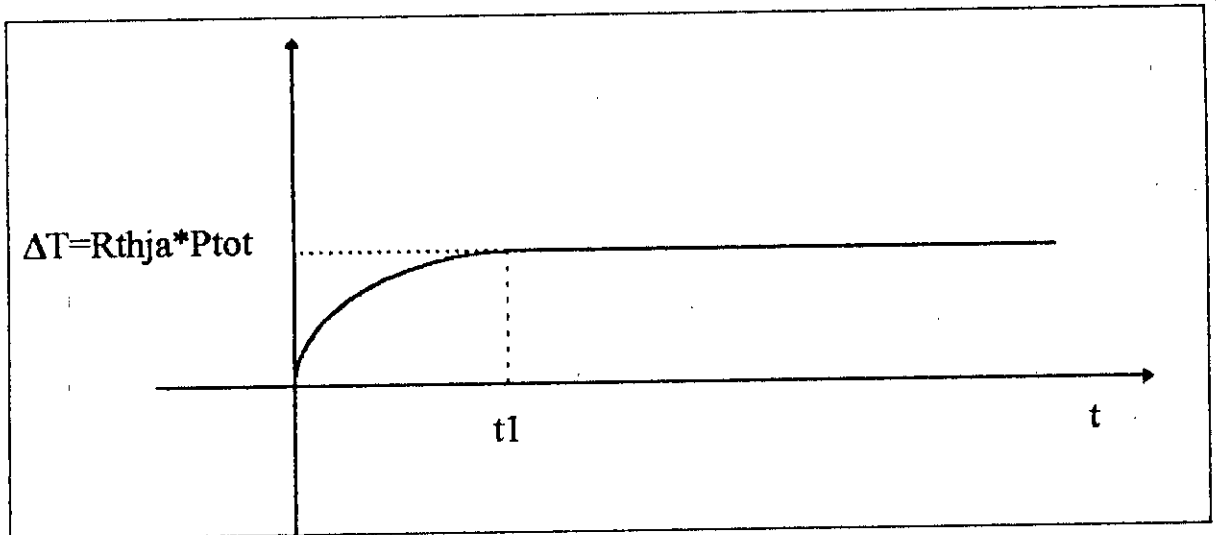


Figure 6 : Evolution de la température en fonction du temps

Ceci montre que pour atteindre le gradient de température ΔT final (permanent), un temps t_1 est alors nécessaire.

En effet, lorsqu'un objet solide est exposé à un échelon de puissance 'P', l'augmentation à l'instant t de la température à la surface vaut [23,32] :

$$\Delta T(t) = P \cdot \sqrt{\frac{4}{\pi} \cdot \frac{t}{K_{th} \cdot \rho \cdot C_p}} \quad (25)$$

K_{th} : conductivité thermique

C_p : chaleur spécifique du matériau

ρ : densité du matériau

t : durée

Et la température évolue comme le montre la figure 7.

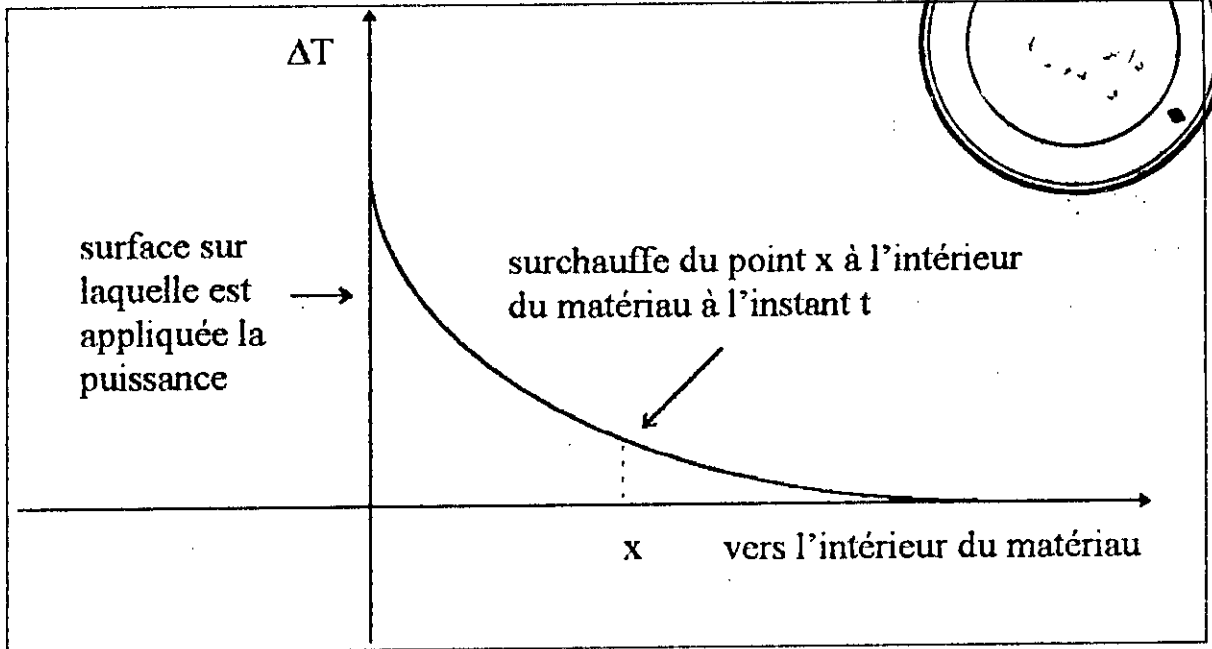


Figure 7: réponse en température d'une puissance appliquée à la surface d'un solide

Lorsqu'on coupe la puissance à l'instant t_1 , la température revient à sa valeur initiale durant l'intervalle de temps de t_1 à t_2 (figure 8).

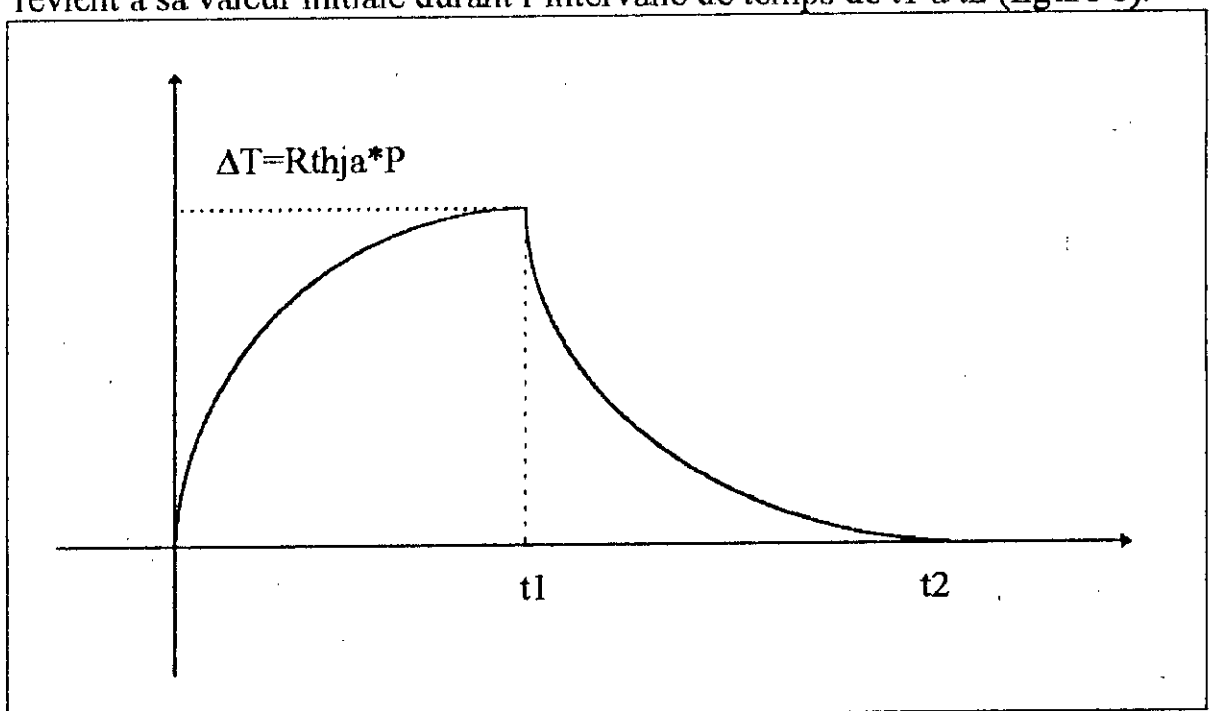


Figure 8: réponse thermique transitoire

Cette courbe est similaire à un cycle de charge et décharge d'une cellule R-C. Donc l'équation (25) peut alors s'écrire :

$$\Delta T(t) = P \cdot \sqrt{\frac{4}{\pi} \cdot \frac{t}{R_{th} \cdot C_{th}}} \quad (26)$$

où C_{th} est la capacité thermique. Elle est donnée par [23] :

$$C_{thi} = \rho_i \cdot c_i \cdot e_i \cdot \left[a_i^2 + 2 \cdot a_i \cdot e_i \cdot \tan(\theta_i) + \frac{4}{3} \cdot e_i^2 \cdot \tan^2(\theta_i) \right] \quad (27)$$

La température de la puce T_j est fonction de la température ambiante T_a , de la puissance appliquée P_{tot} et de la vitesse à laquelle la chaleur est dégagée vers l'extérieur à travers les différentes couches de la structure du composant. Le taux d'évacuation de la chaleur dépend principalement des résistances R_{thi} et des capacités C_{thi} des matériaux constituant l'habillage du transistor. Ainsi, tant que la puissance est appliquée, la température T_j continue d'augmenter jusqu'à atteindre l'équilibre thermique (fig.6), c'est à dire jusqu'à ce la quantité de chaleur générée soit égale à la quantité évacuée. Nous pouvons alors écrire que la température de la puce T_j vaut :

$$T_j(t) = T_a + P_{tot} \left[R_{th1}(1 - \exp(-t / \tau_1)) + \dots + R_{thn}(1 - \exp(-t / \tau_n)) \right] \quad (28)$$

ou encore la variation de la température de la jonction ΔT_j est :

$$\Delta T_j(t) = P_{tot} \sum_{i=1}^n R_{thi}(1 - \exp(-t / \tau_i)) \quad (29)$$

où τ_i est le produit de la résistance thermique et de la capacité thermique de la couche i :

$$\tau_i = R_{thi} \cdot C_{thi} \quad (30)$$

En mode dynamique (ou transitoire), les propriétés thermiques d'un composant peuvent alors être décrites par le circuit équivalent de la figure 9 :

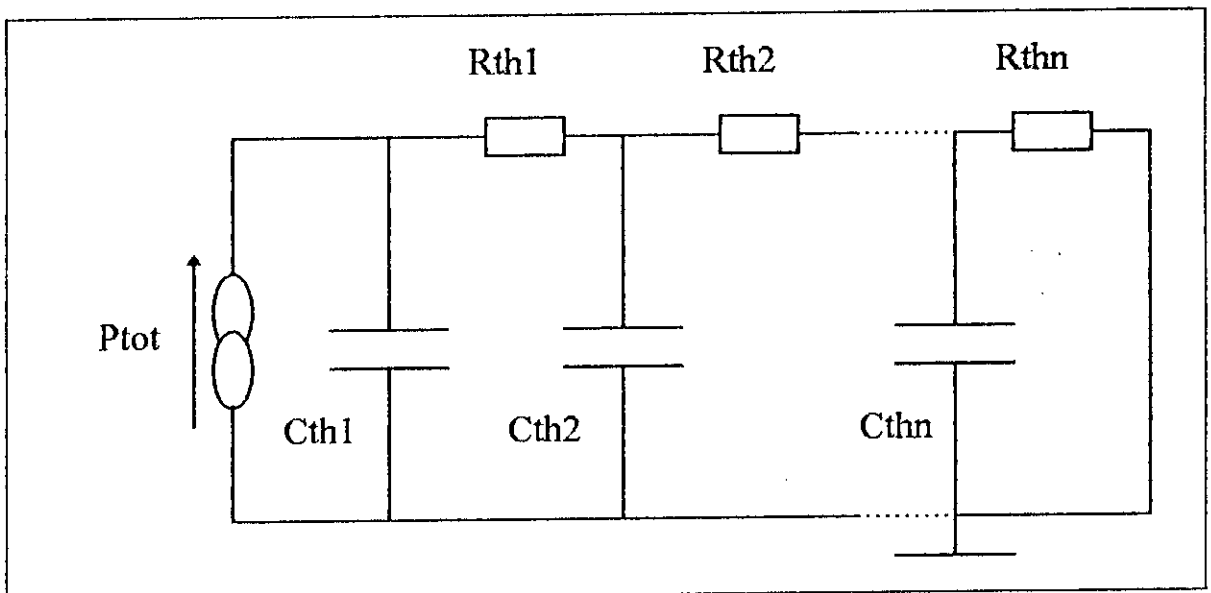


Figure 9

3-3) Utilisation d'un radiateur :

Le transistor est monté sur un radiateur afin d'accroître la surface effective dissipatrice de la chaleur. L'utilisation d'un radiateur rajoute alors pour le flux de chaleur, un chemin supplémentaire entre le boîtier et l'air ambiant dont la résistance thermique est basse (figure 10).

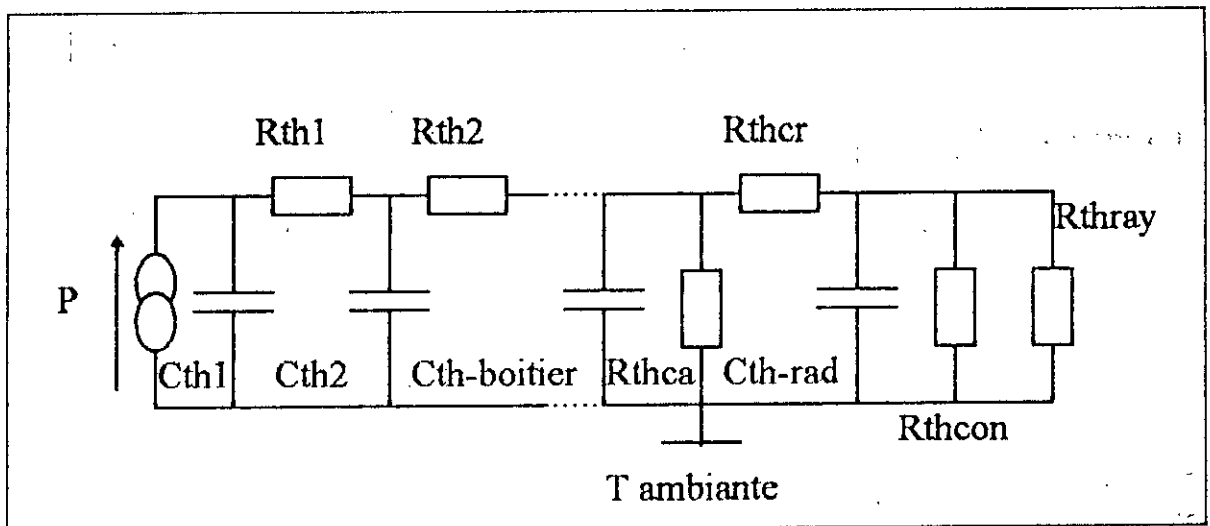


Figure 10 : Circuit thermique équivalent en dynamique d'un transistor monté sur un radiateur

R_{thca} est la résistance thermique entre le boîtier et l'air ambiant. La résistance du radiateur R_{thrad} est constituée de R_{thcr} la résistance entre le boîtier et le radiateur due à la conduction et de R_{thcon} et R_{thray} résistances entre le radiateur et l'air ambiant dues respectivement à la convection et à la radiation.

3-4) Dissipation thermique :

La chaleur peut être transférée par trois processus : la conduction, la convection et la radiation.

3-4-1) Conduction :

Un atome qui possède une certaine énergie thermique vibre autour de sa position d'origine. On dit qu'il y a conduction de chaleur, lorsque cet atome communique son énergie à l'atome voisin qui se met à osciller et ainsi de suite. La résistance thermique due à ce phénomène se calcule par l'équation (21).

3-4-2) Convection :

Ce terme est employé lorsqu'il y a transfert de chaleur par les corps en mouvement.

La convection est libre lorsque l'air ambiant est calme. Le transfert se fait grâce à la différence de densité des corps en présence (air, radiateur). Le coefficient de transfert pour la convection libre est donné par :

$$H_c = \frac{1}{2300} \left(\frac{T_s - T_{amb}}{L} \right) \quad (31)$$

où :

T_s : température de la surface dissipatrice

T_{amb} : température ambiante

L : longueur de la partie verticale (cm)

La convection est dite forcée si l'air est déplacé par un ventilateur. Le coefficient de transfert vaut :

$$H_f = 4.10^{-3} \sqrt{\frac{v}{L}} \quad (32)$$

où v : vitesse de déplacement de l'air (cm/s)

La résistance thermique totale due à la convection vaut alors :

$$R_{thcon} = \frac{1}{(H_c + H_f).A} \quad (33)$$

où A : surface exposée à l'écoulement de l'air

3-4-3) Radiation : [33]

La chaleur est transférée par rayonnement électromagnétique. L'énergie rayonnée n'est importante que si le corps est très chaud. La résistance thermique due à la radiation se calcule comme suit :

$$R_{thray} = \frac{1}{4 \cdot \sigma \cdot A \cdot T_{amb}^3} \quad (34)$$

3-5) Stresses thermiques :

Lorsque le transistor est alternativement chauffé et refroidi, des stresses mécaniques sont exercés sur le composant du fait de la différence des coefficients de dilatation des matériaux le constituant. Dans la plupart des composants semi-conducteurs de puissance, la puce de silicium est soudée sur une couche de cuivre. La variation de la température produit des stresses cycliques au niveau de la soudure. Lorsque celle-ci est dure, ces stresses sont directement transmis à la puce et peuvent y engendrer des fissures. En général, la soudure est du type non dure et les stresses sont absorbés par des déformations non-élastiques à son niveau mais des fissures peuvent néanmoins y apparaître. Ces fatigues affecteront la résistance thermique en la rendant plus importante. Ceci augmentera encore plus la fatigue jusqu'à rupture totale entre la puce et le cuivre.

Une formule empirique nous donne le nombre de cycle thermique maximum [34] :

$$N = B \cdot \exp\left(\frac{\Psi_0}{\Delta T \cdot D \cdot (\alpha_A - \alpha_B)}\right) \quad (35)$$

N: nombre de cycles thermiques

Ψ_0 : énergie mécanique d'activation

D : diagonale de la puce

B : constante

α_A et α_B : coefficients de dilatation des matériaux A et B

ΔT : différence de température entre les matériaux A et B

4) CONCLUSION :

Nous avons mis en évidence la dépendance des différents paramètres électriques vis à vis de la température. Nous avons aussi modéliser l'habillage du transistor par un réseau thermique de cellules Rth-Cth. Le modèle complet est le couplage de ce réseau thermique et du modèle électrique de sorte à avoir une interaction Température-paramètres électriques.

CHAPITRE III :

RESULTATS DES SIMULATIONS

1) INTRODUCTION :

Au cours de ce chapitre, nous allons étudier le comportement des transistors MTP25N06L, du MTM15N40 et du MTP4N85 dans différents modes de fonctionnement, en statique et en dynamique sur charge résistive et inductive et dans un convertisseur d'énergie (bras d'onduleur). Nous allons étudier le comportement thermique dans différents cas de figures: avec ou sans l'effet D.I.B.L et dans un environnement idéal ou ordinaire (radiateur infini ou non)

Nous attirons l'attention sur notre choix des ces trois transistor. En effet, ils ont été choisis pour englober les différents types de transistors, basse tension et série logique (MTP25N06L), moyenne tension (MTM15N40) et haute tension (MTP4N85); et pour donner différents exemples d'habillages : boîtier TO-220 (MTP25N06L et MTP4N85) et boîtier TO-03 (MTM15N40).

Nous avons aussi choisi de mener deux types d'études thermiques en considérant que l'angle de propagation thermique θ_i est égale à zéro pour le MTP25N06L et le MTP4N85 (une étude "worst case") et que l'angle θ_i est égale à 45° pour le MTM15N40.

Nous donnons dans le tableau 1 et le tableau 2 les valeurs calculées des différentes résistances et capacités thermiques des réseaux thermiques du MTP25N06L ($\theta_i=0$, TO-220) et du MTM15N40 ($\theta_i=45^\circ$, TO-03).

Cellule	Matériau	Valeur calculée
1	Silicium	Rth=0.266 K/W Cth=0.0059 J/K
2	Soudure	Rth=0.18 K/W Cth=0.0014 J/K
3	Cuivre	Rth=0.268 K/W Cth=0.0526 J/K

Tableau 1 : Réseau thermique du MTP25N06L, boîtier TO-220, $\theta_i = 0$

Cellule	Matériau	Valeur calculée
1	Silicium	Rth=0.0846 K/W Cth=0.02218 J/W
2	Soudure	Rth=0.0395 K/W Cth=0.00362 J/W
3	Cuivre	Rth=0.0631 K/W Cth=0.3263 J/W
4	Acier	Rth=0.21 K/W Cth=0.6364 J/W

Tableau 2 : Réseau thermique du MTM15N40, boîtier TO-03, $\theta_i=45^\circ$

2) COMPORTEMENT EN STATIQUE :

D'abord, nous présentons la caractéristique de sortie $I_D=f(V_{DS})$ et la surchauffe de la puce. Pour cette étude, les transistors sont placés dans un environnement idéal (Radiateur infini : $R_{rad}=0$) et l'effet D.I.B.L est négligé ($ETA=0$) (figures 1, 2 et 3).

Nous donnons dans le tableau 1 et le tableau 2 les valeurs calculées des différentes résistances et capacités thermiques des réseaux thermiques du MTP25N06L ($\theta_i=0$, TO-220) et du MTM15N40 ($\theta_i=45^\circ$, TO-03).

Cellule	Matériau	Valeur calculée
1	Silicium	Rth=0.266 K/W Cth=0.0059 J/K
2	Soudure	Rth=0.18 K/W Cth=0.0014 J/K
3	Cuivre	Rth=0.268 K/W Cth=0.0526 J/K

Tableau 1 : Réseau thermique du MTP25N06L, boîtier TO-220, $\theta_i = 0$

Cellule	Matériau	Valeur calculée
1	Silicium	Rth=0.0846 K/W Cth=0.02218 J/W
2	Soudure	Rth=0.0395 K/W Cth=0.00362 J/W
3	Cuivre	Rth=0.0631 K/W Cth=0.3263 J/W
4	Acier	Rth=0.21 K/W Cth=0.6364 J/W

Tableau 2 : Réseau thermique du MTM15N40, boîtier TO-03, $\theta_i=45^\circ$

2) COMPORTEMENT EN STATIQUE :

D'abord, nous présentons la caractéristique de sortie $I_D=f(V_{DS})$ et la surchauffe de la puce. Pour cette étude, les transistors sont placés dans un environnement idéal (Radiateur infini : $R_{rad}=0$) et l'effet D.I.B.L est négligé ($ETA=0$) (figures 1, 2 et 3).

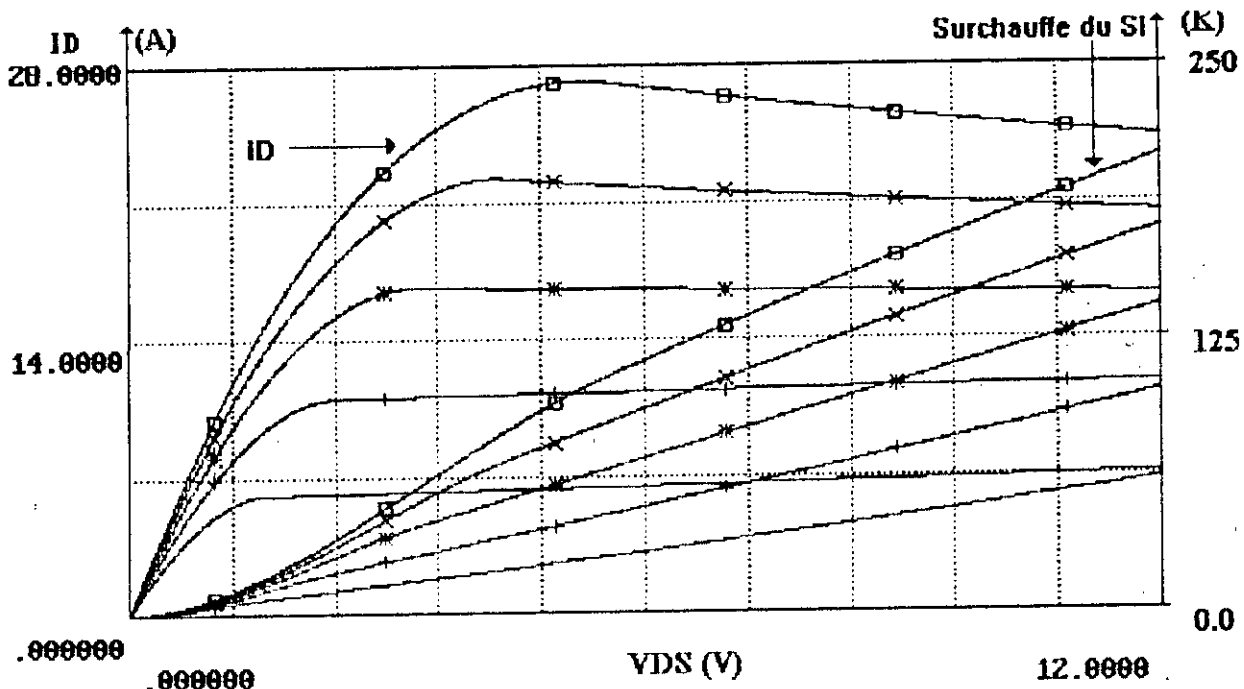


Figure 1 : Caractéristique statique du MTP25N06L (ETA=0, Rrad=0).
 $V_{GS}=3,3.5,4,4.5,5$ (V)

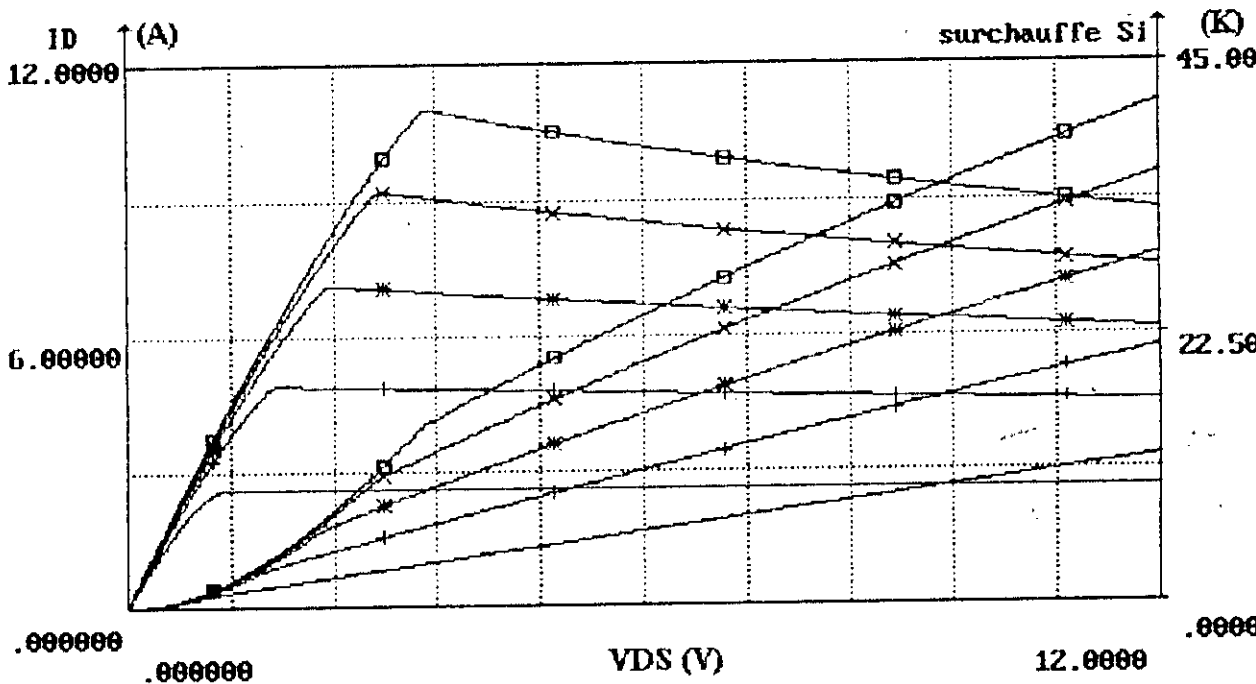


Figure 2 : Caractéristique statique du MTM15N40 (ETA=0, Rrad=0).
 $V_{GS}=4.5,5,5.5,6,6.5$ (V)

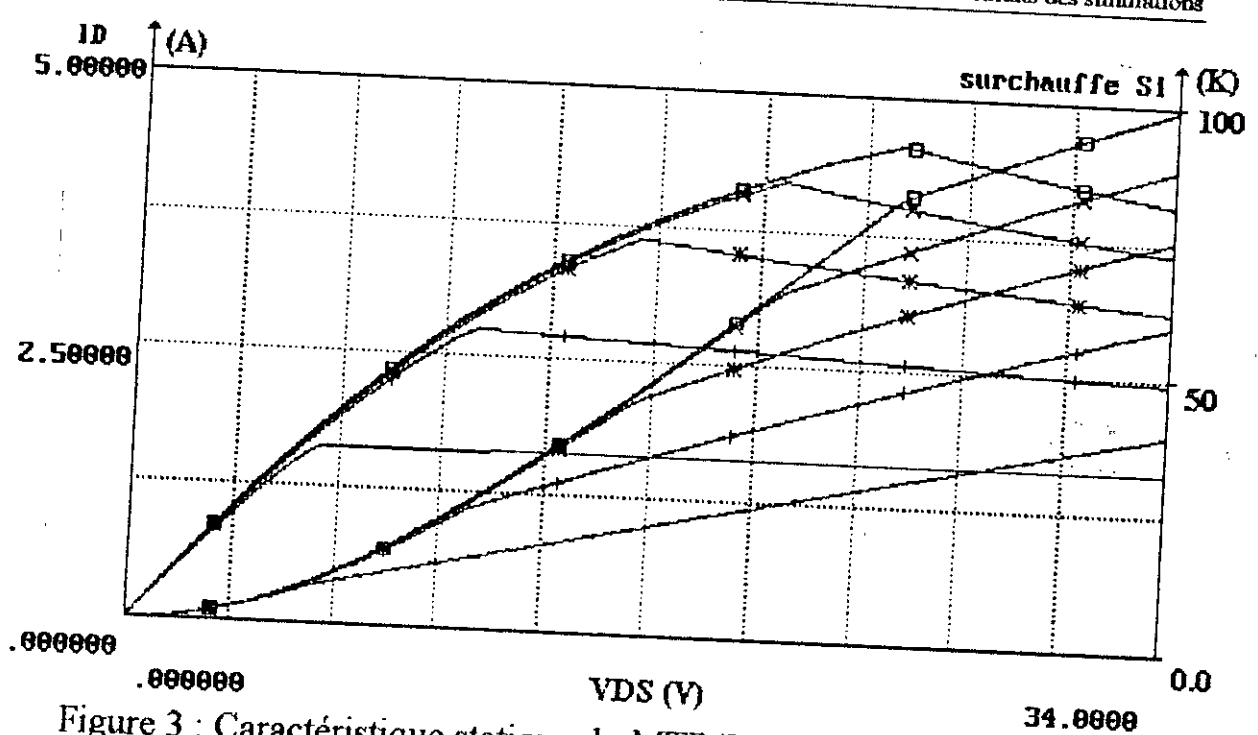


Figure 3 : Caractéristique statique du MTP4N85 ($\text{ETA}=0, \text{Rrad}=0$).
 $V_{GS}=4.5, 5, 5.5, 6, 6.5$ (V)

Nous observons que pour des valeurs faibles de V_{GS} , le phénomène de la diminution de la tension de seuil avec une température qui augmente (loi en $-tcv.T$) est dominant, ce qui fait que la pente de la caractéristique dans la région de saturation augmente avec V_{DS} . Pour des valeurs plus élevées de V_{GS} , Cette pente fléchit (diminue) du fait que le processus dominant cette fois est la variation de la mobilité (loi en $T^{-1.5}$). Ceci nous amène à dire, que bien que les deux phénomènes interviennent simultanément, il existe une température critique T_c qui marque la fin ou le commencement de la domination de l'un ou l'autre phénomène.

Pour des températures inférieures à T_c , l'effet de l'abaissement de la barrière de potentiel est marquant (figures 4, 5 et 6).



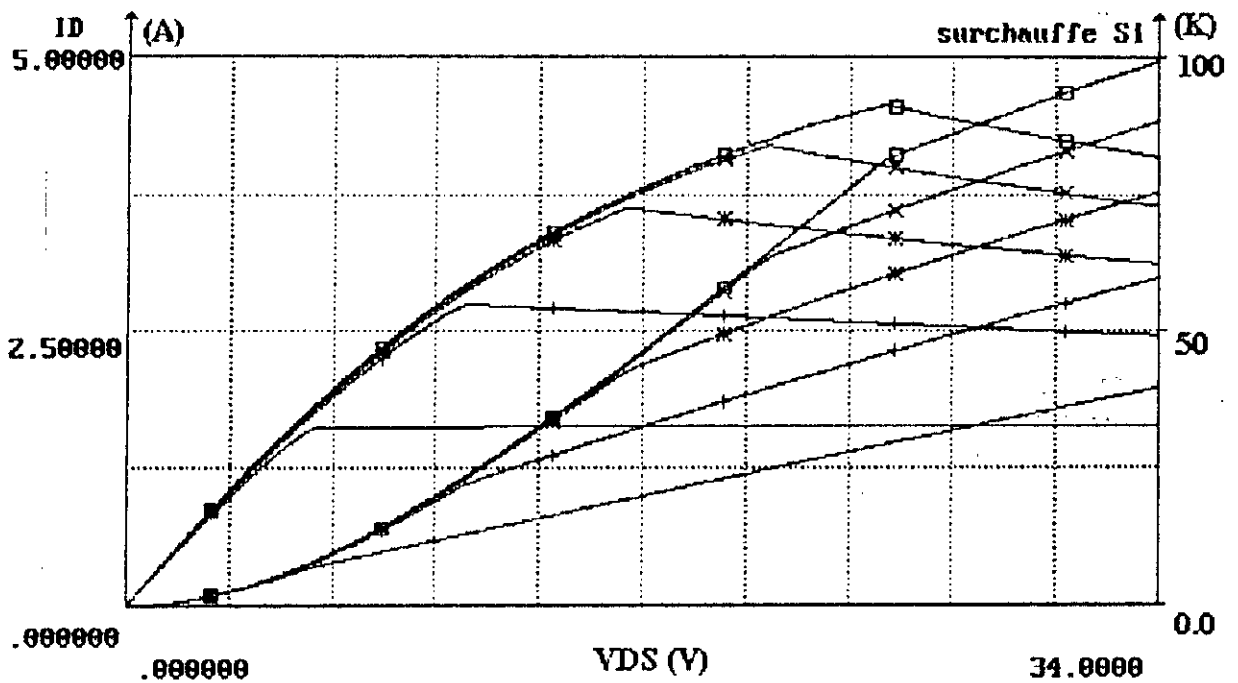


Figure 3 : Caractéristique statique du MTP4N85 ($\text{ETA}=0$, $\text{Rrad}=0$).
 $V_{GS}=4.5, 5, 5.5, 6, 6.5$ (V)

Nous observons que pour des valeurs faibles de V_{GS} , le phénomène de la diminution de la tension de seuil avec une température qui augmente (loi en $-tcv.T$) est dominant, ce qui fait que la pente de la caractéristique dans la région de saturation augmente avec V_{DS} . Pour des valeurs plus élevées de V_{GS} , Cette pente fléchie (diminue) du fait que le processus dominant cette fois est la variation de la mobilité (loi en $T^{-1.5}$). Ceci nous amène à dire, que bien que les deux phénomènes interviennent simultanément, il existe une température critique T_c qui marque la fin ou le commencement de la domination de l'un ou l'autre phénomène.

Pour des températures inférieures à T_c , l'effet de l'abaissement de la barrière de potentiel est marquant (figures 4, 5 et 6).



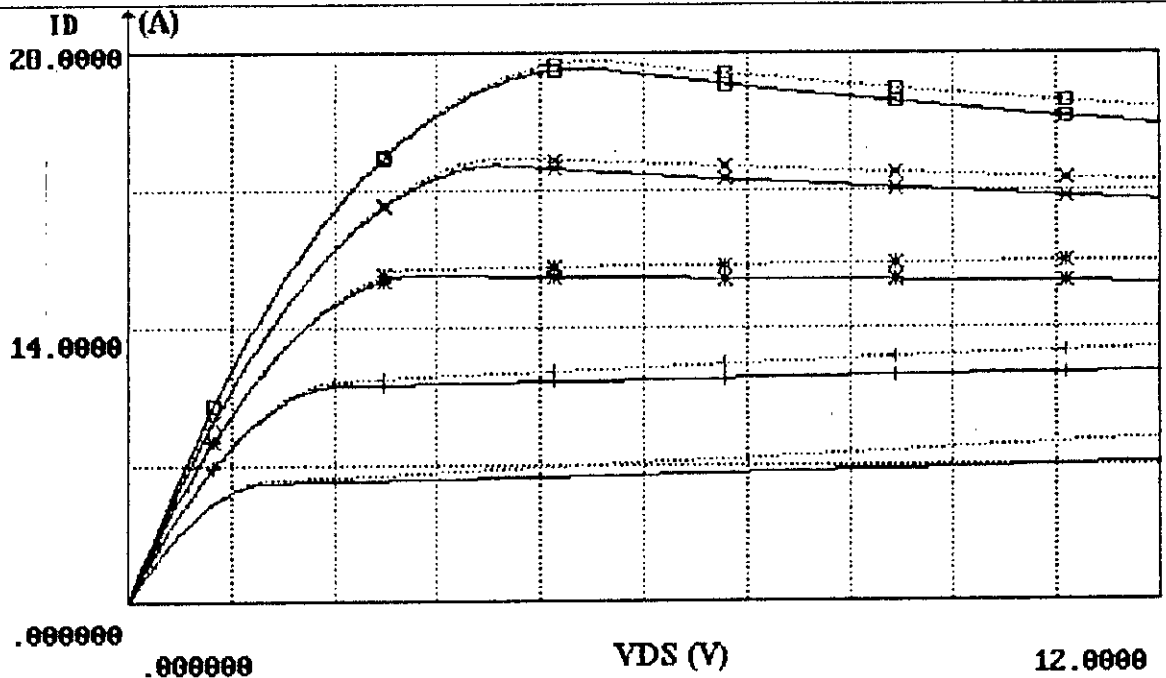


Figure 4 : MTP25N06L. Evolution de $I_D=f(V_{DS})$ pour $R_{rad}=0$
 traits pleins $\eta=0$; points $\eta=0.01$

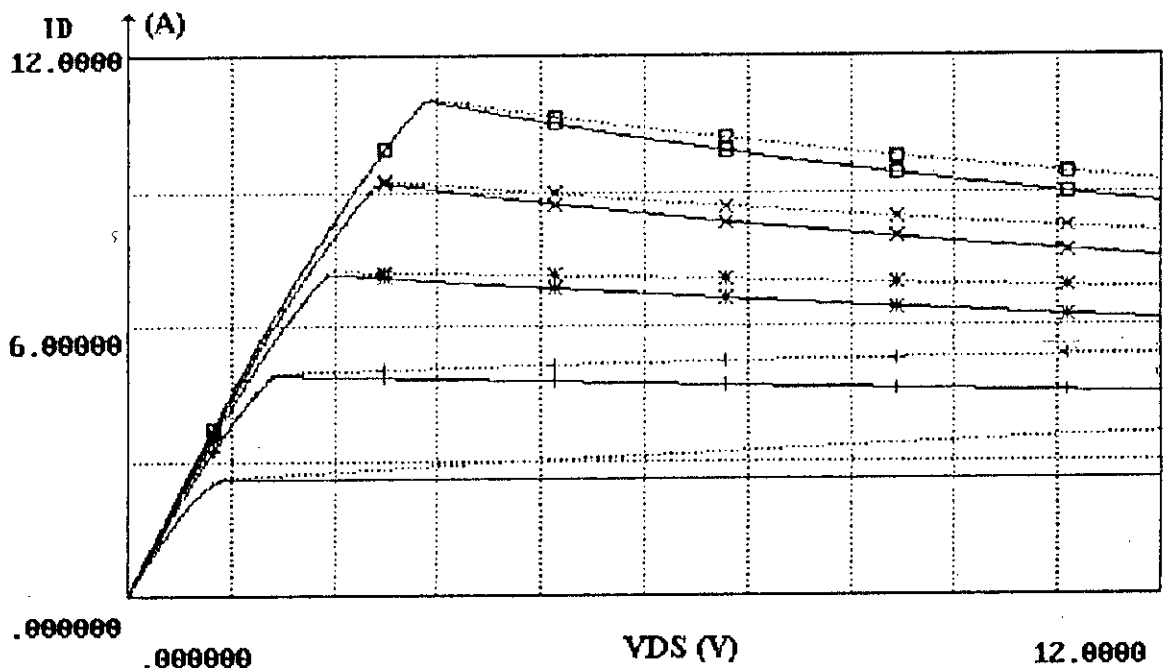


Figure 5 : MTM15N40. Evolution de $I_D=f(V_{DS})$ pour $R_{rad}=0$
 traits pleins $\eta=0$; points $\eta=0.01$

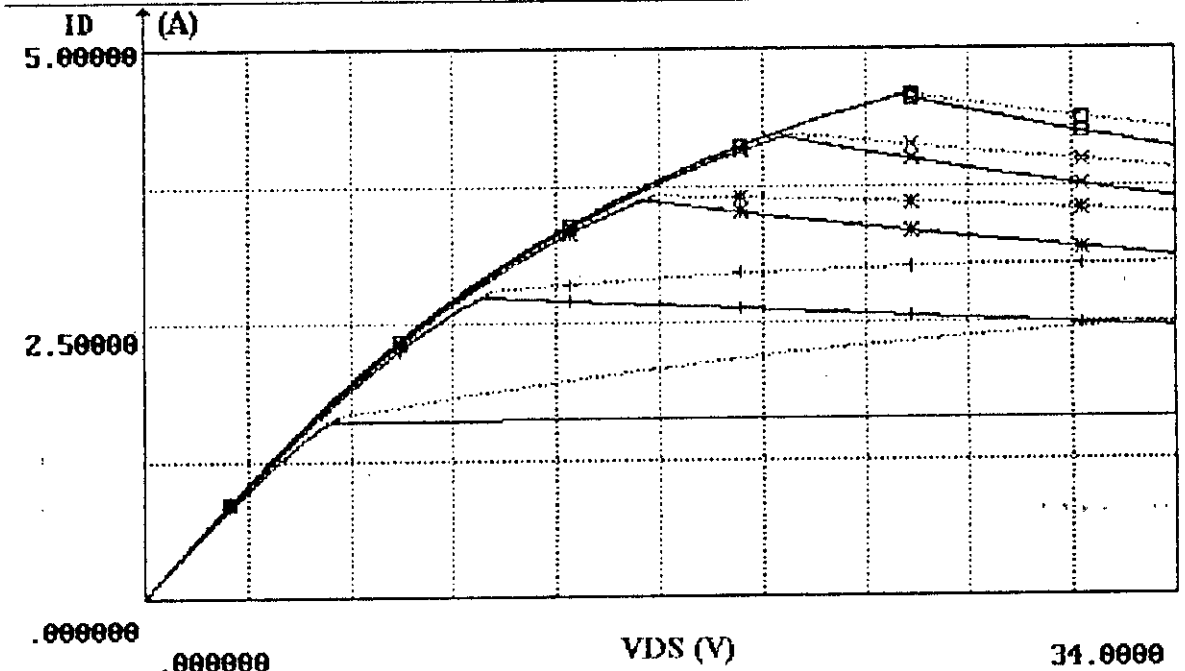


Figure 6 : MTP4N85. Evolution de $I_D=f(V_{DS})$ pour $R_{rad}=0$
traits pleins $\text{ETA}=0$; points $\text{ETA}=0.01$

L'effet D.I.B.L et l'augmentation de la température font que la pente de la caractéristique (dans la région saturée) augmente encore plus. Lorsque la température excède T_c , l'écart entre les caractéristiques avec ou sans effet de l'abaissement de la barrière de potentiel ($\text{ETA}=0$ ou >0) diminue quelque peu. Cette diminution est due à la compensation apportée par l'évolution en température de la mobilité.

Les figures 7, 8 et 9 et les figures 10, 11 et 12, montrent l'influence de la qualité du radiateur.

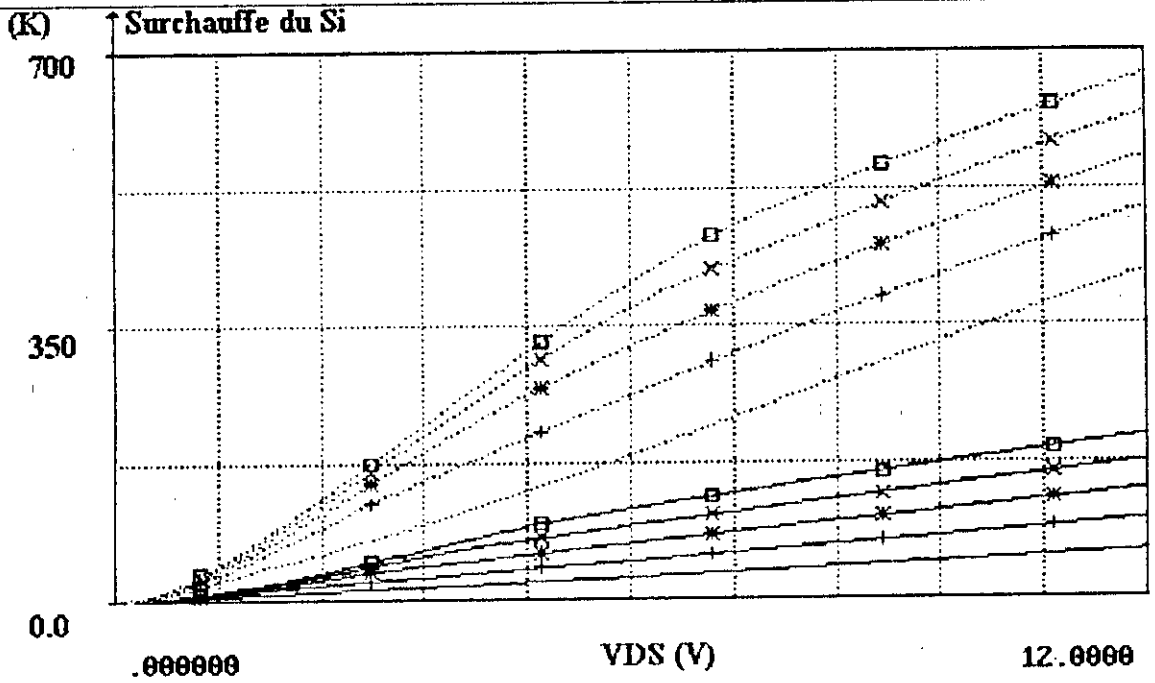


Figure 7 : MTP25N06L. Evolution de la température de la puce trait plein $R_{rad}=1\mu^{\circ}K/W$; points $R_{rad}=2.8^{\circ}K/W$

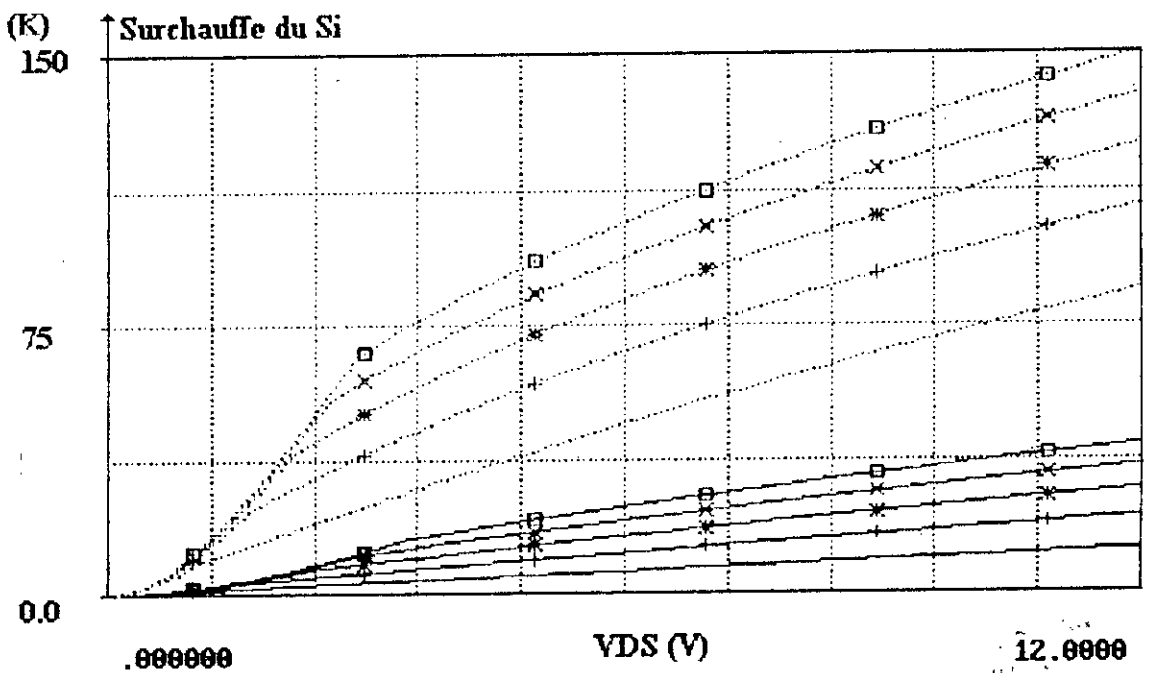


Figure 8 : MTM15N40. Evolution de la température de la puce trait plein $R_{rad}=1\mu^{\circ}K/W$; points $R_{rad}=2.8^{\circ}K/W$

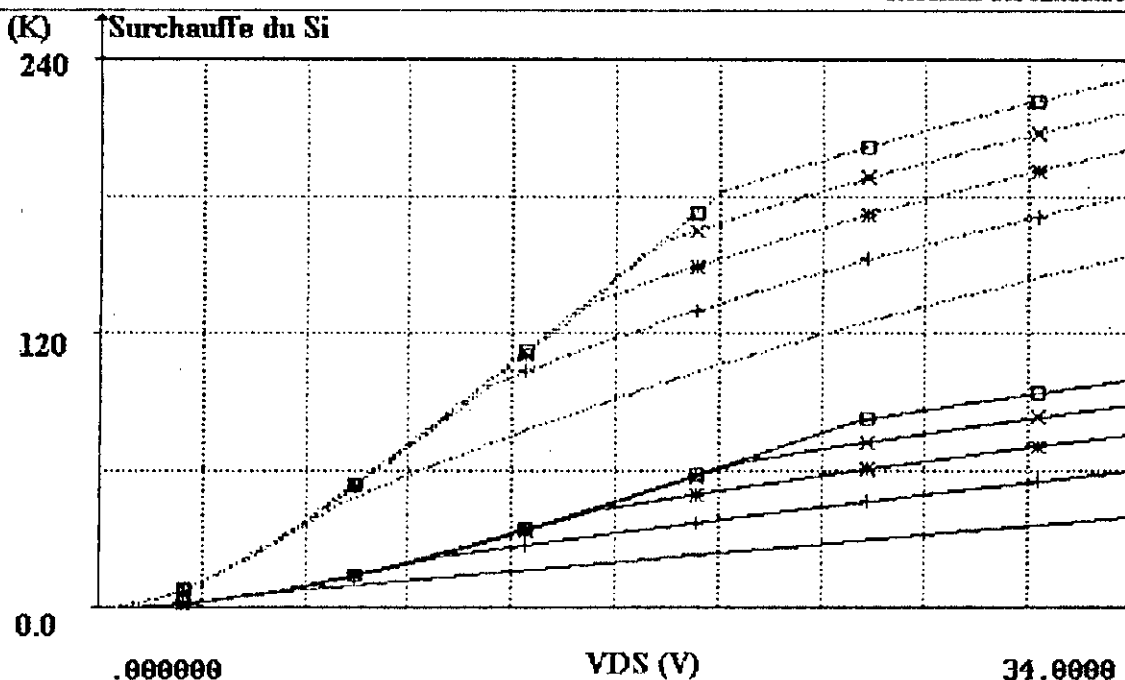


Figure 9 : MTP4N85. Evolution de la température de la puce
 trait plein Rrad=1μ°K/W ; points Rrad=2.8°K/W

Nous avons d'abord placé les transistors sur un radiateur parfait
 Rrad=1μ K/W, ensuite sur un autre de Rrad=2.8 K/W.

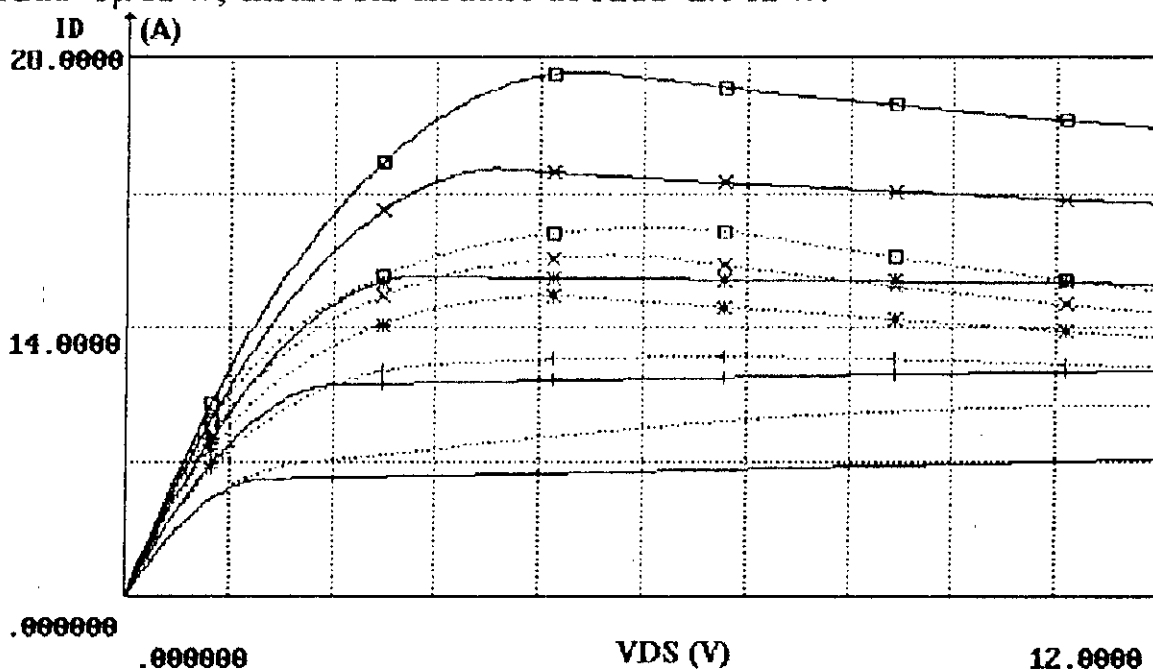


Figure 10 : MTP25N06L. Evolution de la caractéristique $I_D=f(V_{DS})$
 trait plein Rrad=1μ°K/W ; points Rrad=2.8°K/W

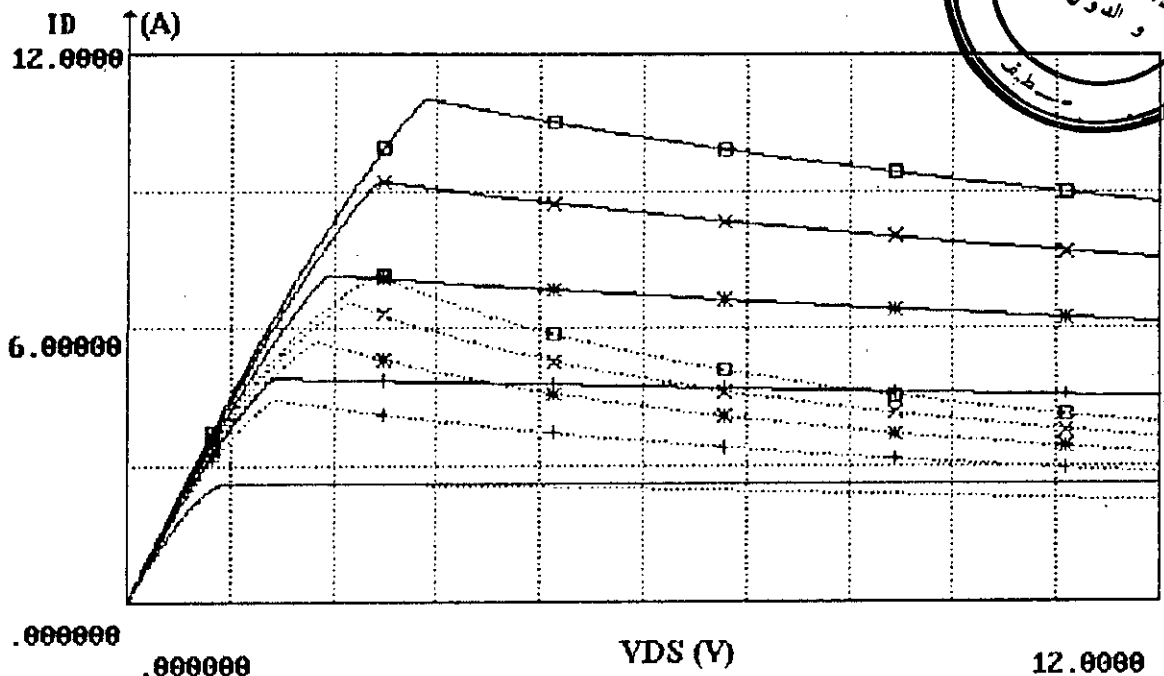


Figure 11 : MTM15N40. Evolution de la caractéristique $I_D=f(V_{DS})$
 trait plein $R_{rad}=1\mu^{\circ}K/W$; points $R_{rad}=2.8^{\circ}K/W$

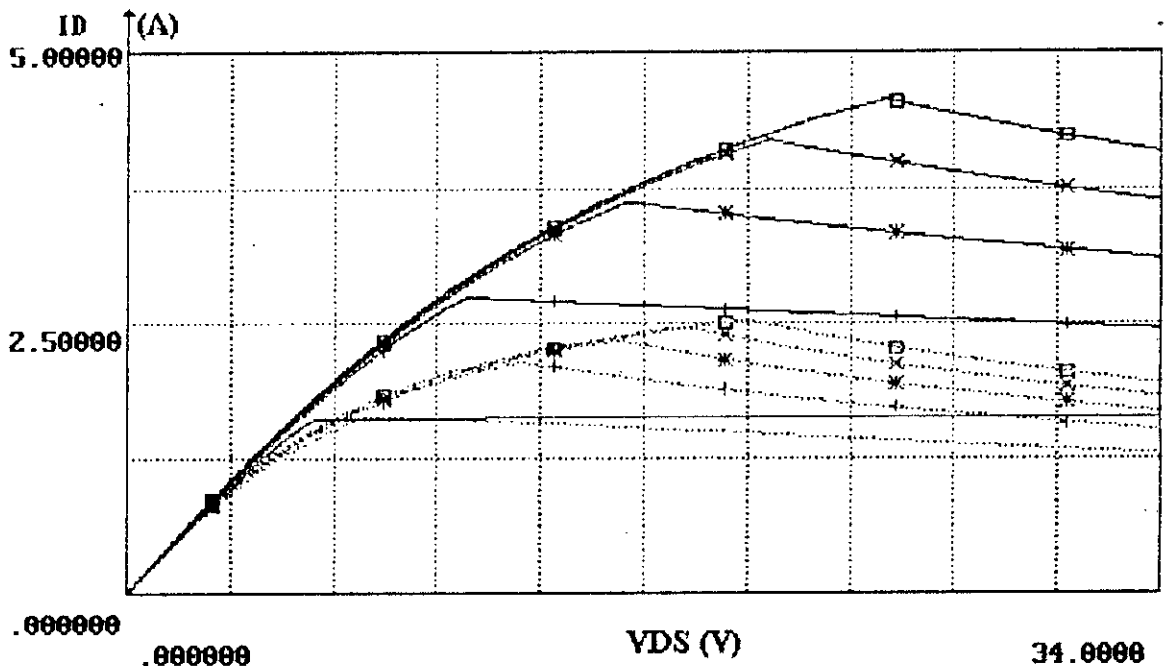


Figure 12 : MTP4N85. Evolution de la caractéristique $I_D=f(V_{DS})$
 trait plein $R_{rad}=1\mu^{\circ}K/W$; points $R_{rad}=2.8^{\circ}K/W$

Ces simulations nous montrent d'abord que meilleur est la qualité de l'environnement des transistors, moins est importante la surchauffe des puces; et ensuite plus grande est la température, plus importantes sont les modifications des caractéristiques $I_D=f(V_{DS})$.

Considérons à présent l'évolution de la capacité de grille CGD. Pour une température et une tension V_{GS} constantes, CGD dépend essentiellement de la tension V_{DS} . La figure 13 nous montre la variation $CGD=f(V_{DS})$.

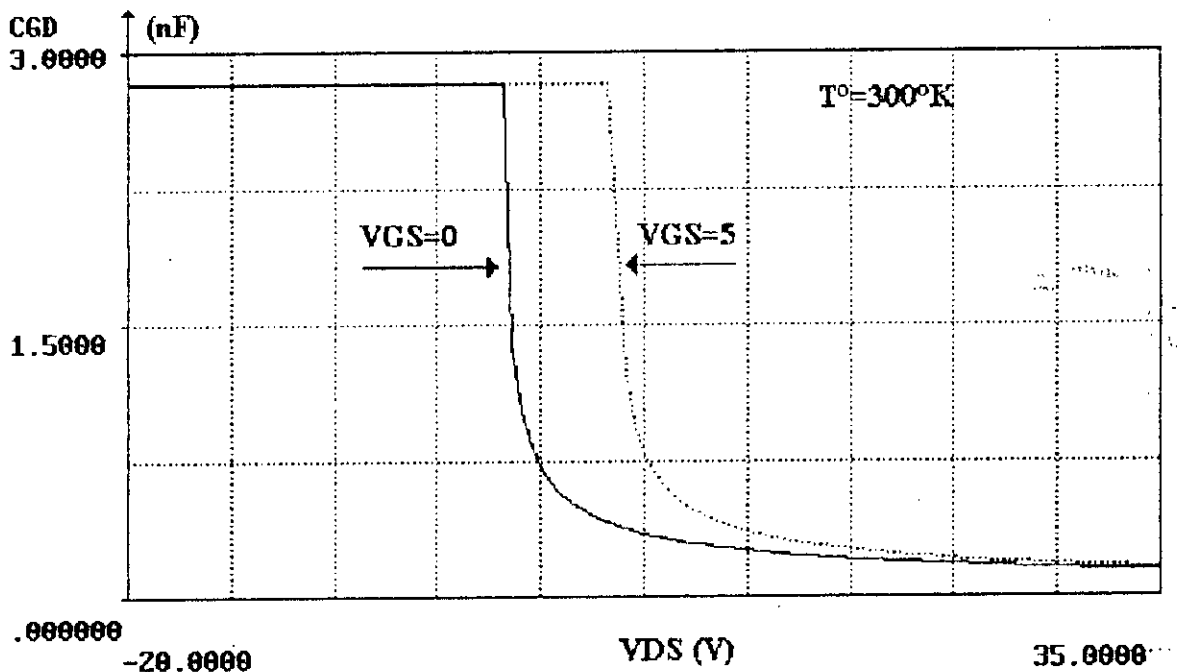


Figure 13 : Evolution de CGD en fonction de V_{DS} pour une température constante et des tensions V_{GS} différentes

La figure 14 nous montre la variation de l'allure de $CGD=f(V_{DS})$ pour deux températures différentes. Cette variation est due à ce que le potentiel de jonction à polarisation nulle V_{j1} dépend de la température.

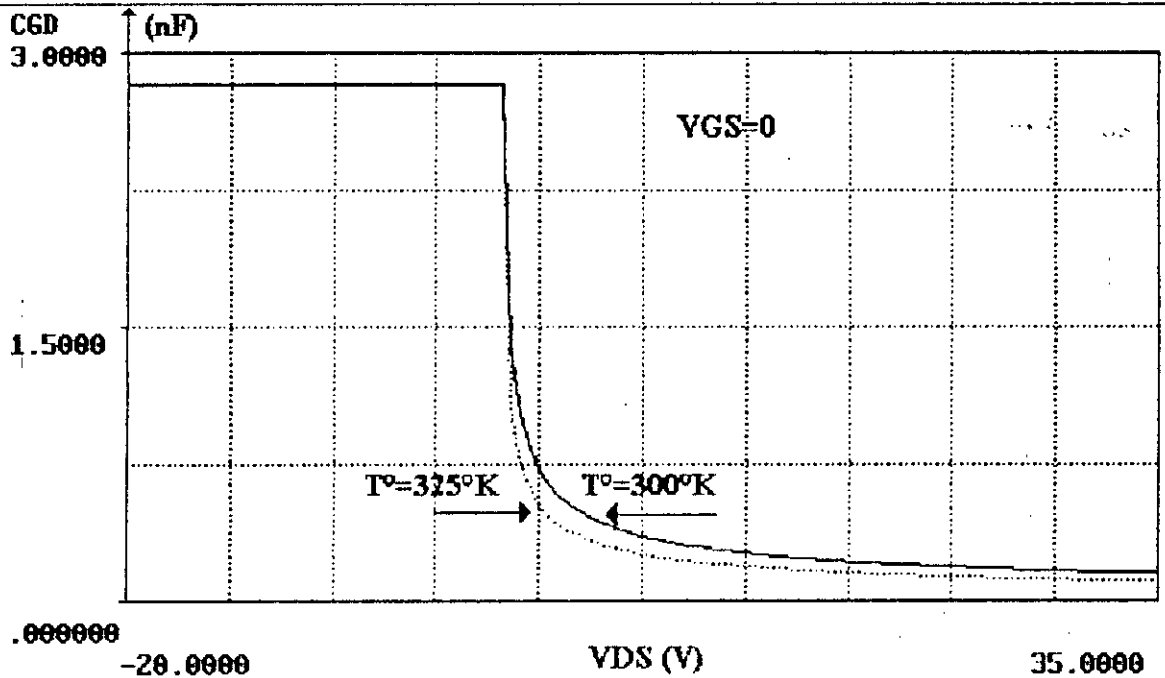


Figure 14 : Evolution de CGD en fonction de V_{DS} pour une tension V_{GS} constante et des températures différentes

Les capacités $C1$ et $C2$, lorsque la température est constante, dépendent de la tension V_{DS} . Celle-ci détermine la tension de pincement et ainsi le seuil séparant les différents modes de fonctionnement (saturé, ohmique ou bloqué). La figure 15 nous montre cette dépendance.

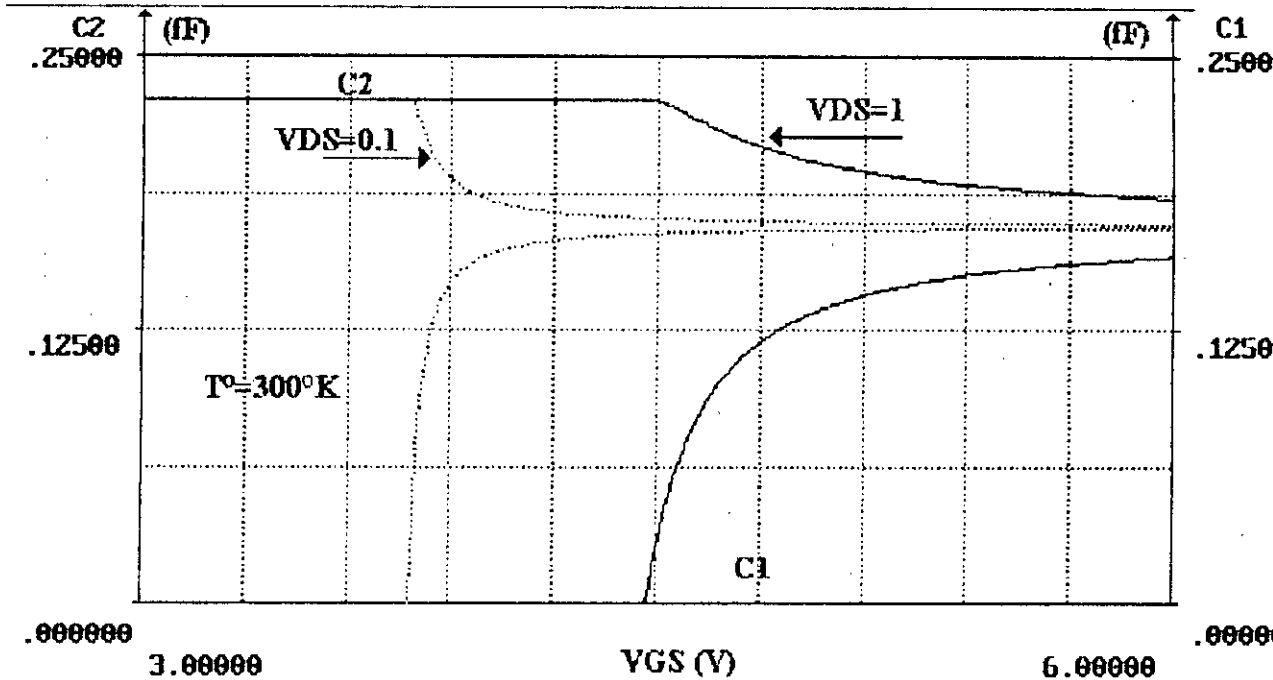


Figure 15 : Evolution de $C1$ et $C2$ en fonction de V_{GS} pour une température constante et des tensions V_{DS} différentes

Par contre, lorsque V_{DS} est constante et la température varie, la variation dans l'allure de $C1=f(V_{GS})$ et de $C2=f(V_{GS})$ est due à la variation de la mobilité, de l'énergie de fermi et de la tension V_{on} avec la température.

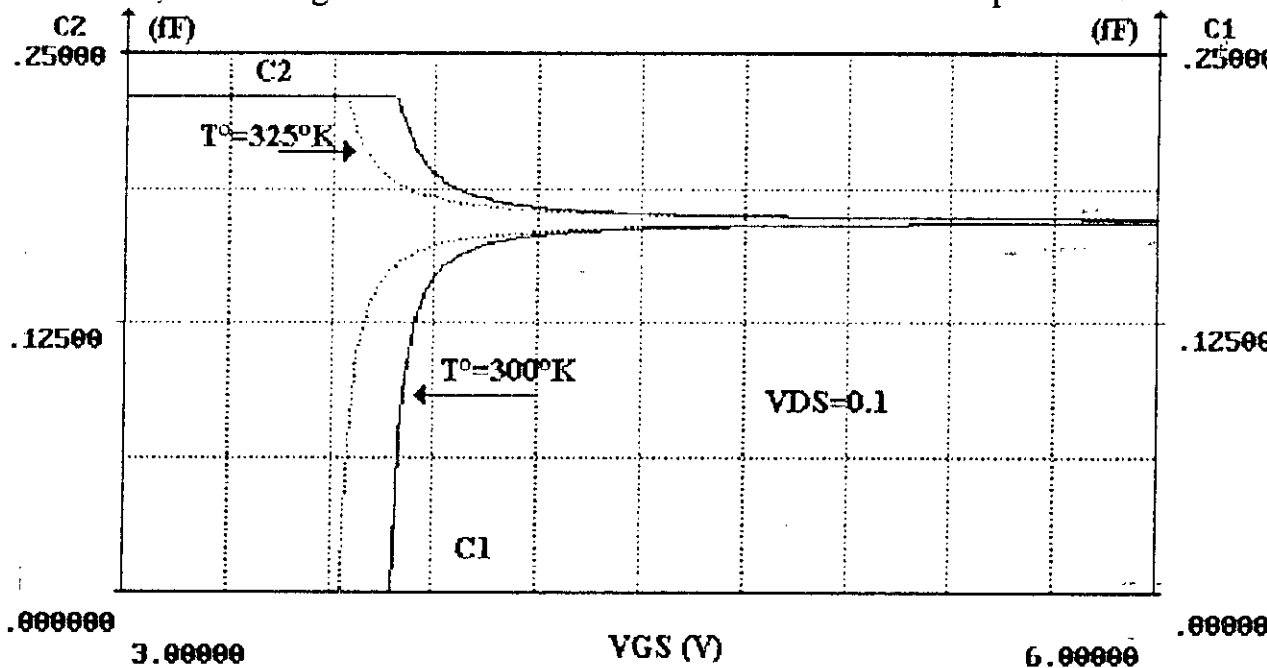


Figure 16 : Evolution de $C1$ et $C2$ en fonction de V_{GS} pour une tension V_{DS} constante et des températures différentes

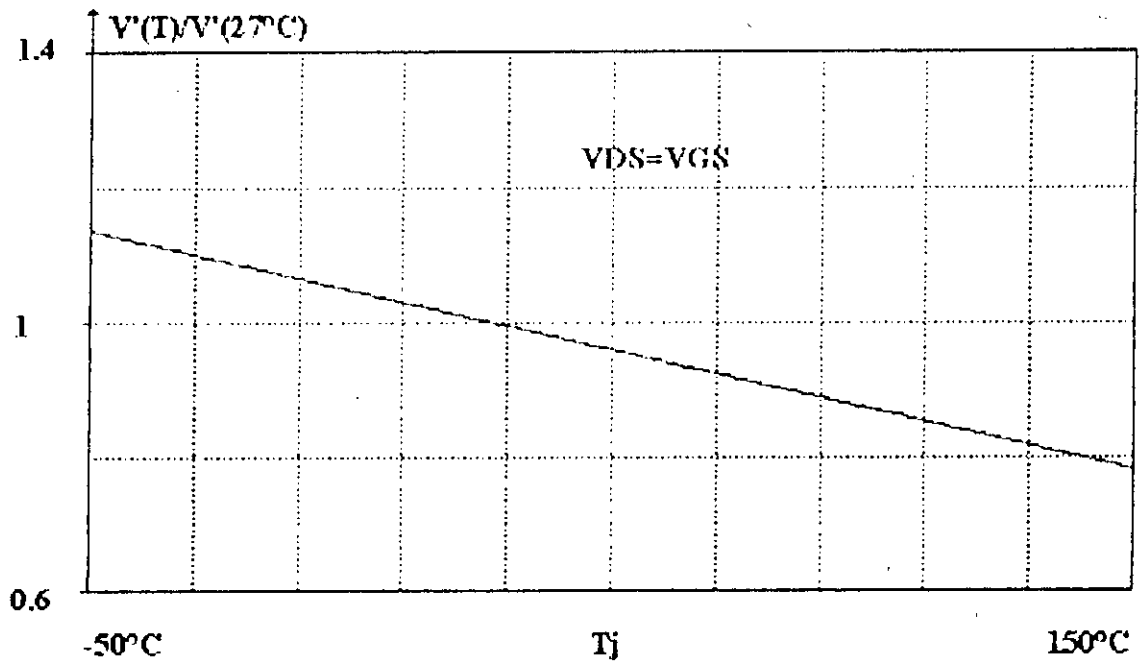
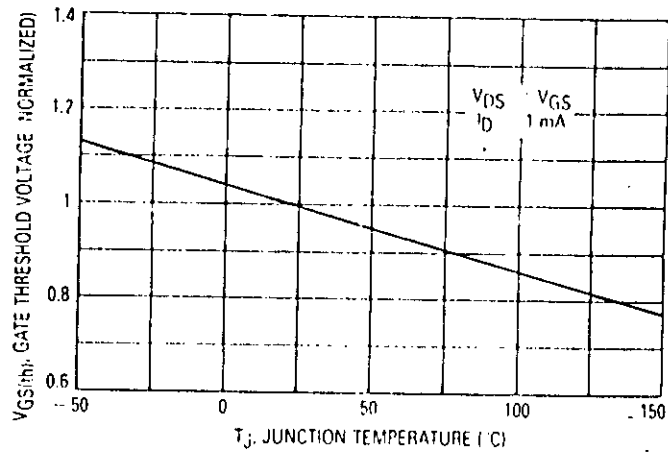


Figure 17 : Variation du rapport $V'_T(T)/V'_T(27^\circ\text{C})$ en fonction de la température pour le transistor MTP10N10M

a) Constructeur b) Simulation

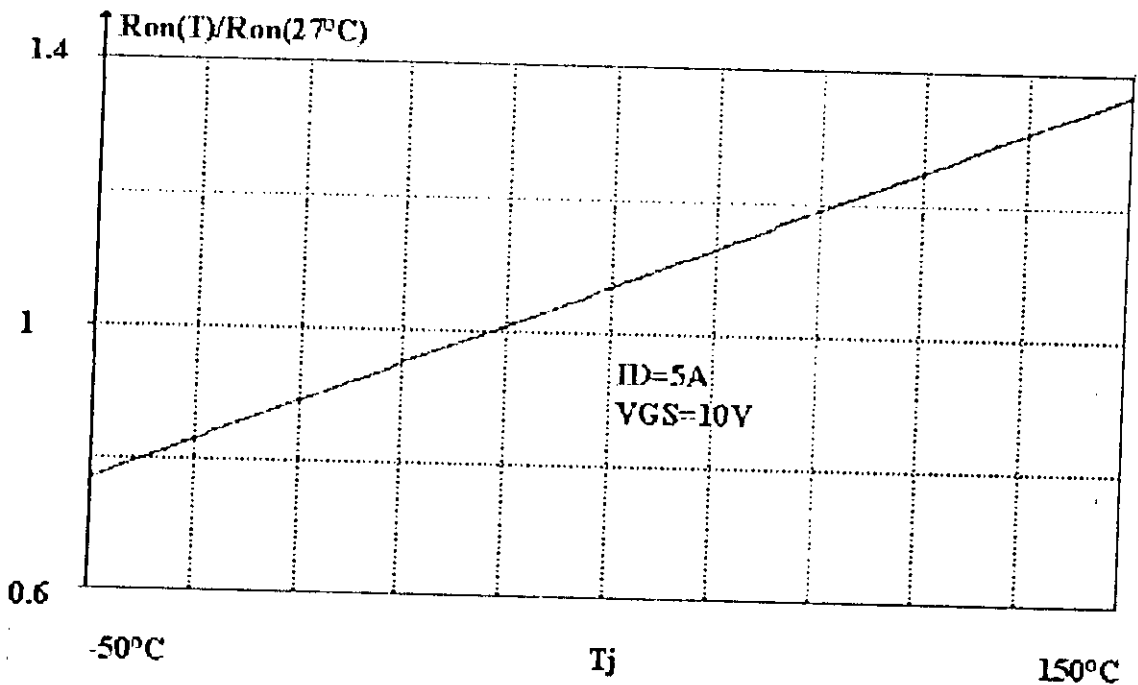
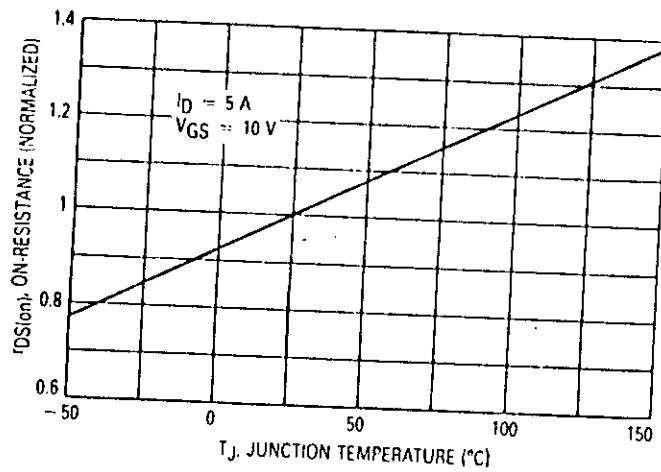


Figure 18 : Variation du rapport $R_{on}(T)/R_{on}(27^{\circ}\text{C})$ en fonction de la température pour le transistor MTP10N10M

a) Constructeur b) Simulation

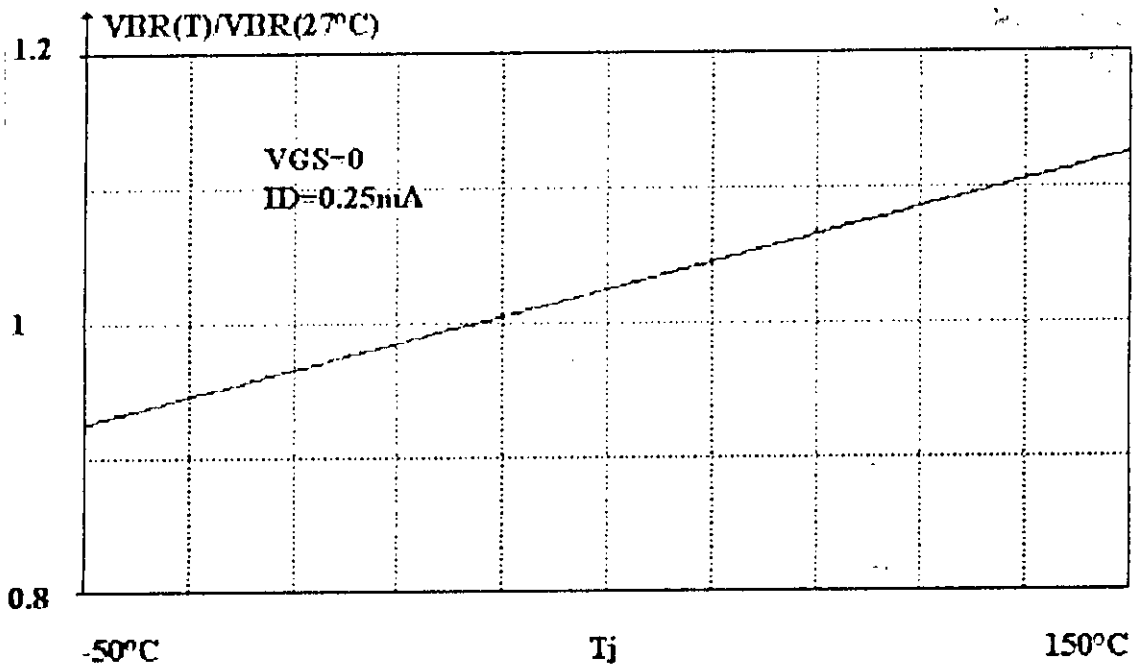
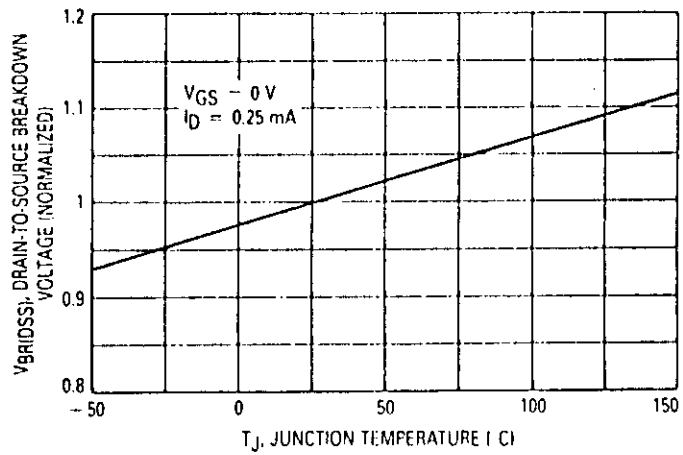


Figure 19 : Variation du rapport $V_{BR}(T)/V_{BR}(27^\circ C)$ en fonction de la température pour le transistor MTP10N10M

a) Constructeur b) Simulation

3) EVOLUTION DE LA CARACTERISTIQUE TRANSITOIRE V_{GS} ET V_{DS} SUR CHARGE RESISTIVE :

La figure 20 représente le circuit d'étude en régime de commutation sur charge résistive .

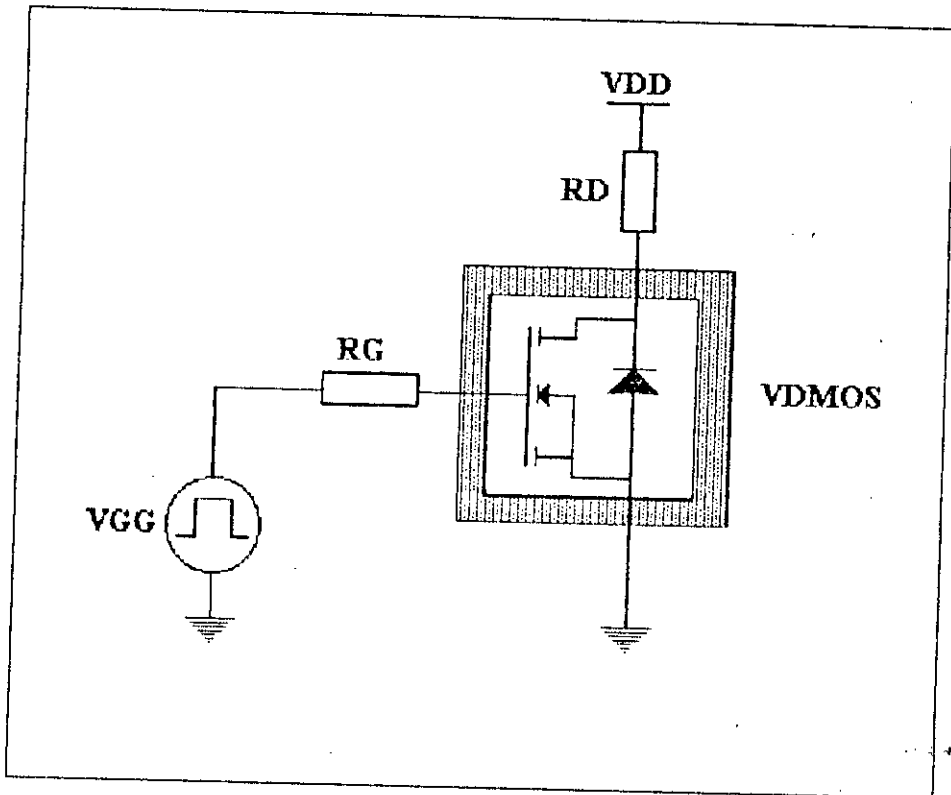


Figure 20 : circuit d'étude en régime de commutation sur charge résistive

Cette étude est effectuée sans tenir compte de la contre réaction de V_{DS} ($ETA=0$) et en plaçant les transistor sur des radiateurs infinis ($R_{rad}=0$).

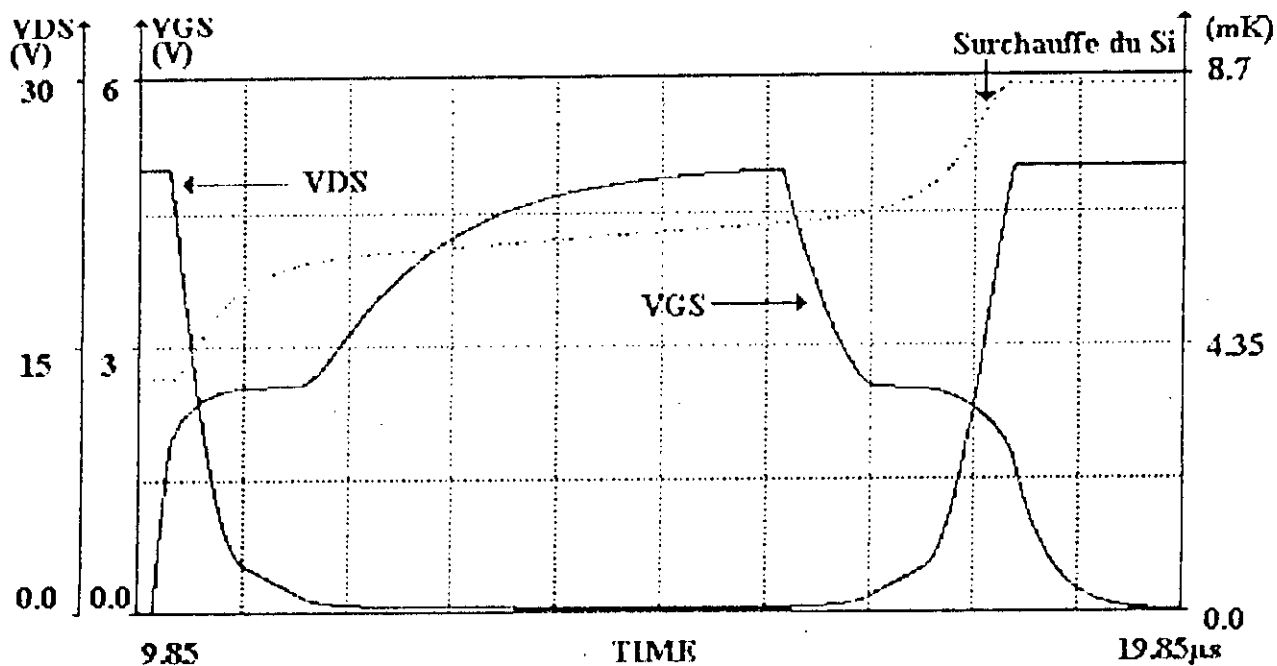
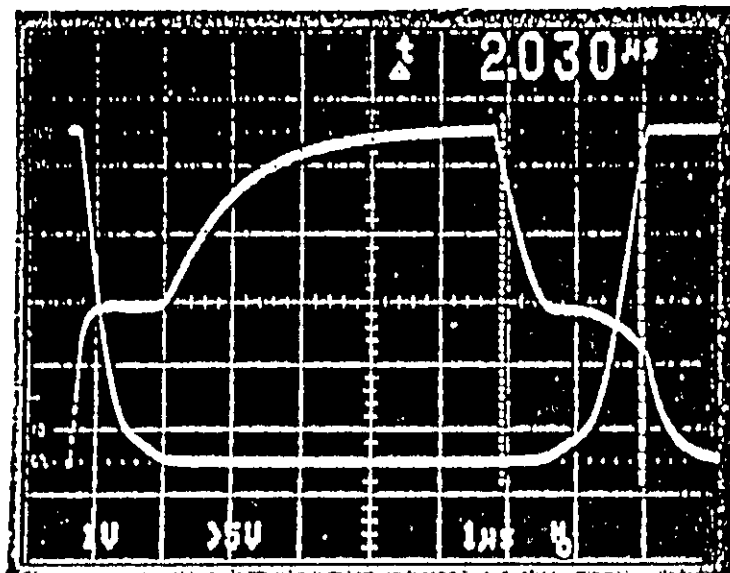


Figure 21 : MTP25N06L en commutation sur charge résistive
 a) mesures ; b) simulation

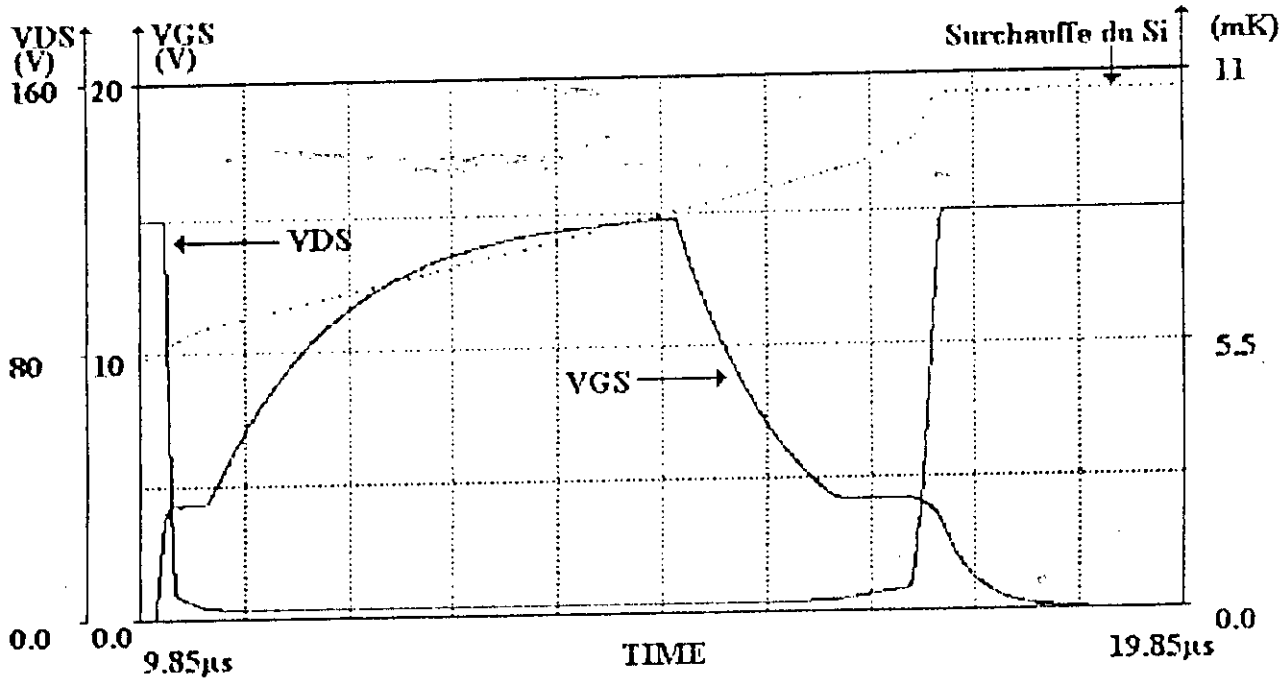
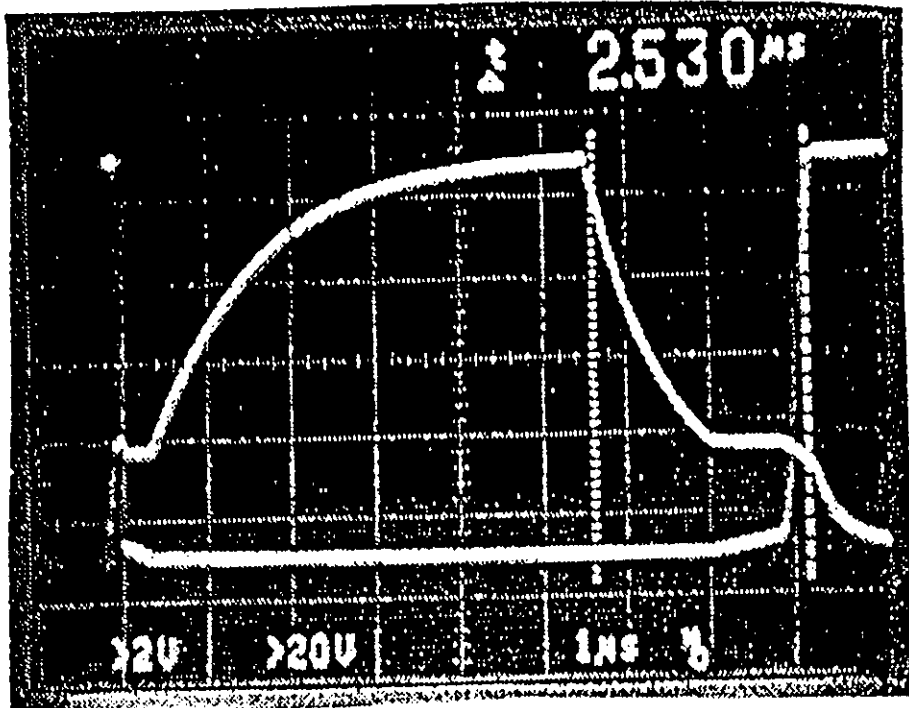


Figure 22 : MTP4N85 en commutation sur charge résistive
 a) mesures ; b) simulation

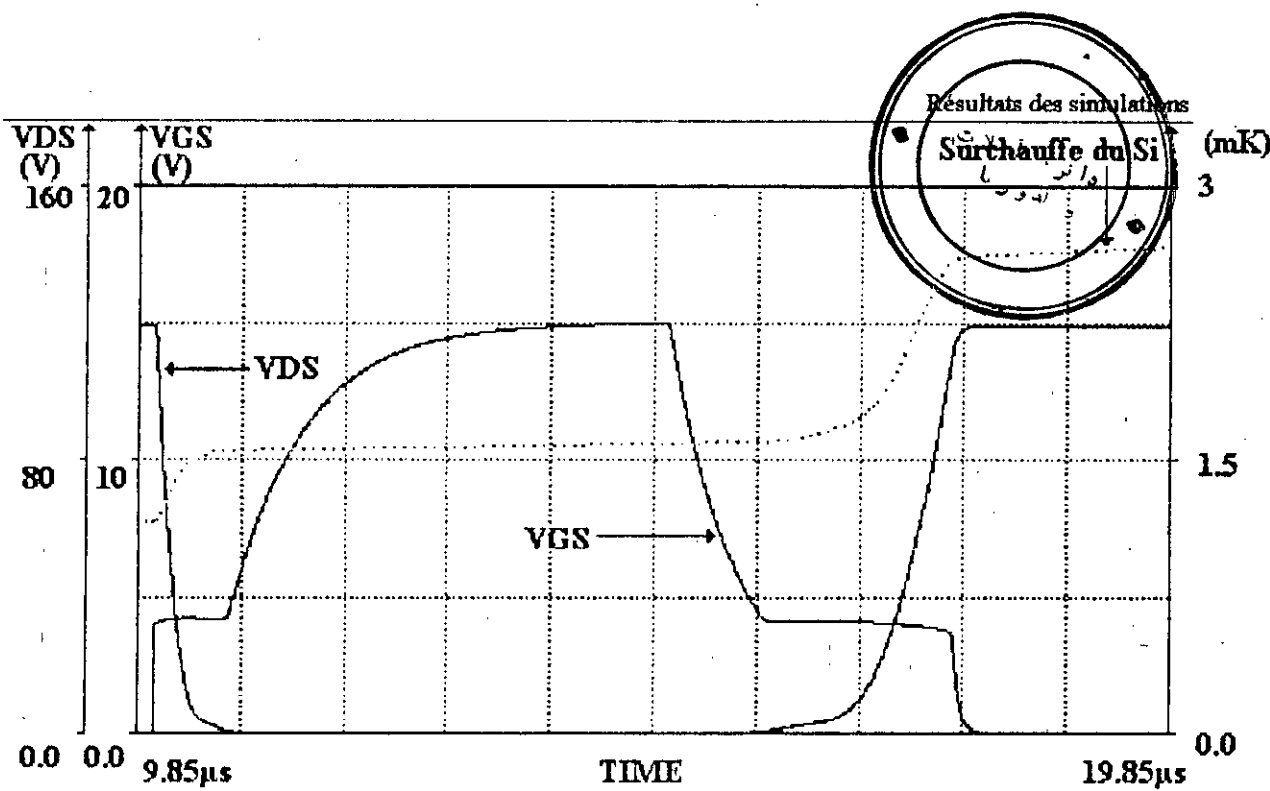


Figure 23 : MTM15N40 en commutation sur charge résistive

Nous constatons que la température augmente fortement lors des commutations. Ceci s'explique par le fait que lors de ces instants, la puissance dissipée est très grande.

Nous constatons aussi que les résultats simulés et mesurés sont en bon accord.

4) EVOLUTION DE LA CARACTERISTIQUE TRANSITOIRE V_{DS} , V_{GS} ET I_D SUR CHARGE INDUCTIVE :

La figure 24 représente le circuit d'étude en régime de commutation sur charge inductive.

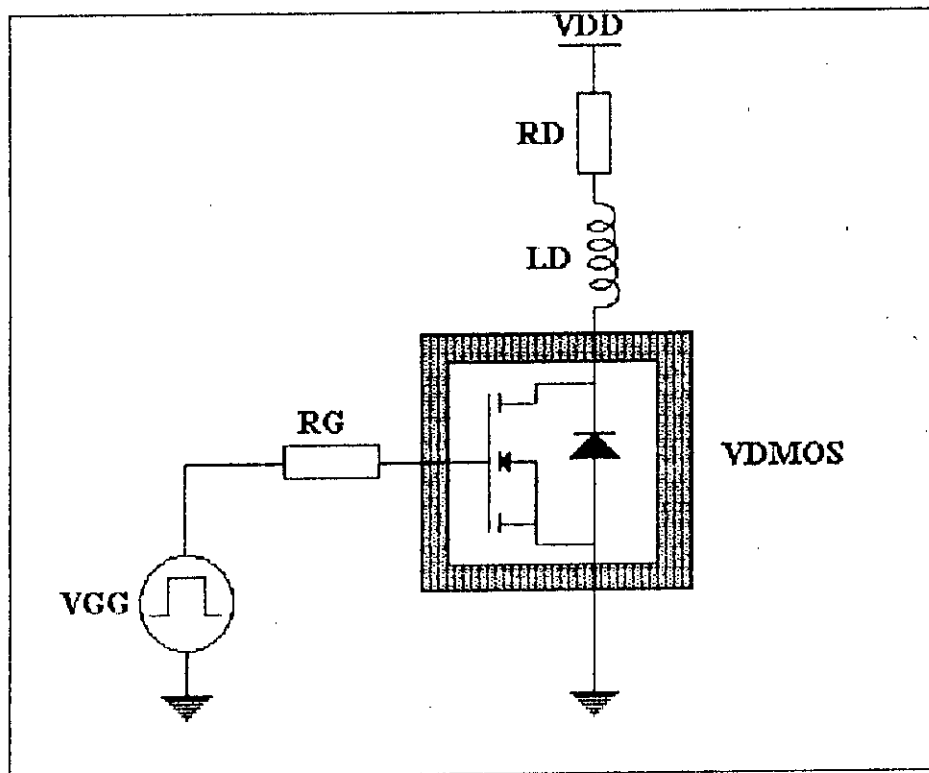


Figure 24 :circuit d'étude en régime de commutation sur charge inductive.

Cette étude a été menée en plaçant les transistors dans un environnement idéal ($R_{rad}=0$).

Les figures 25, 26 et 27, représentent l'évolution des tensions V_{DS} et V_{GS} et le courant I_D . Les simulations sont en bon accord avec les mesures.

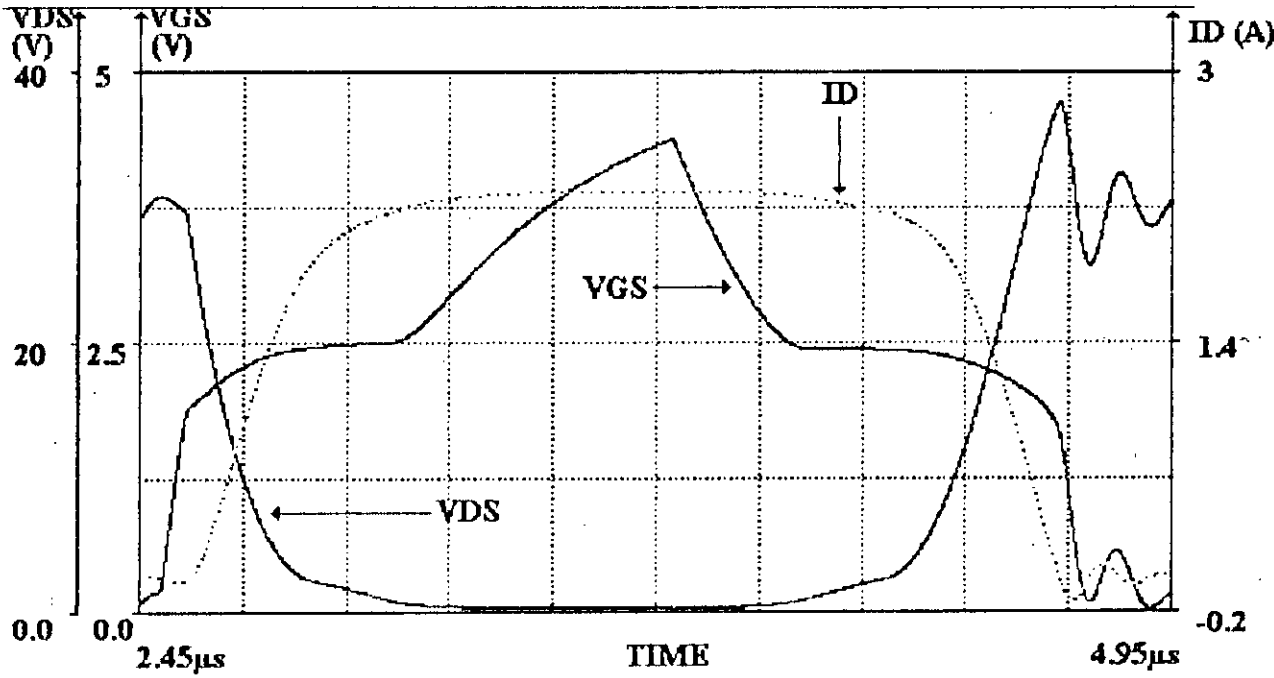


Figure 25 : MTP25N06L. Evolution de I_D , V_{GS} et V_{DS} (charge inductive)
ETA=0

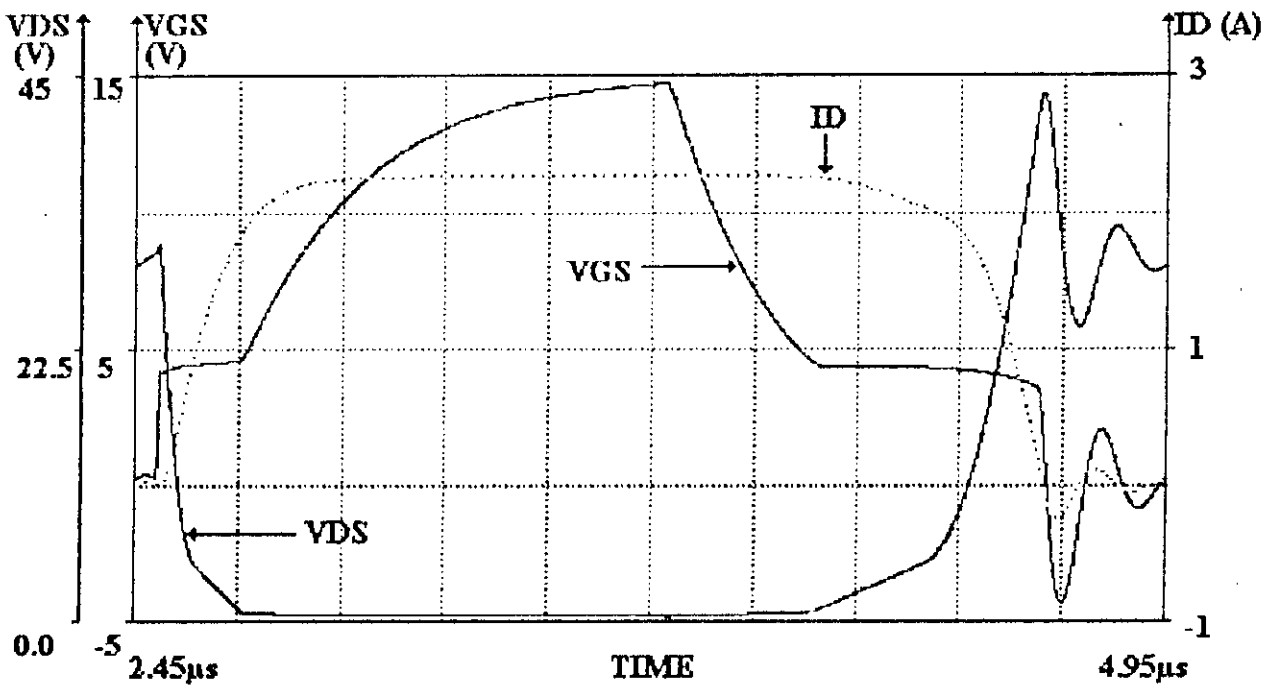


Figure 26 : MTM15N40. Evolution de I_D , V_{GS} et V_{DS} (charge inductive)
ETA=0

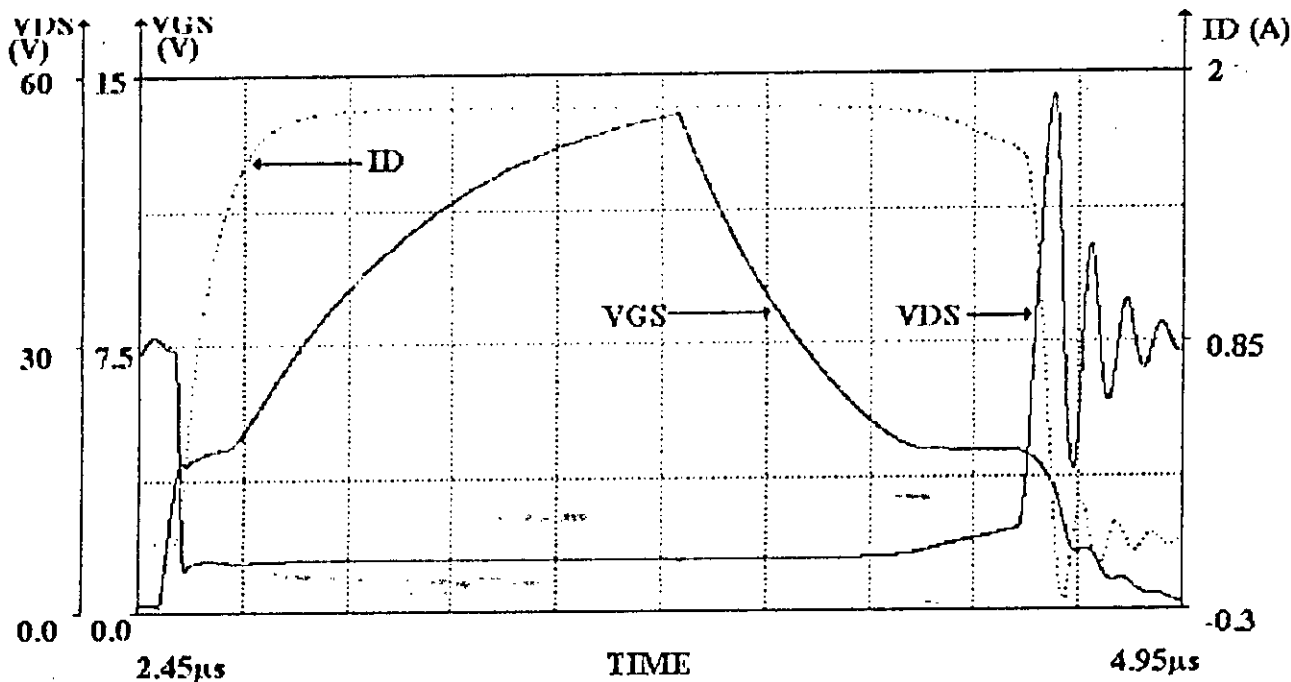
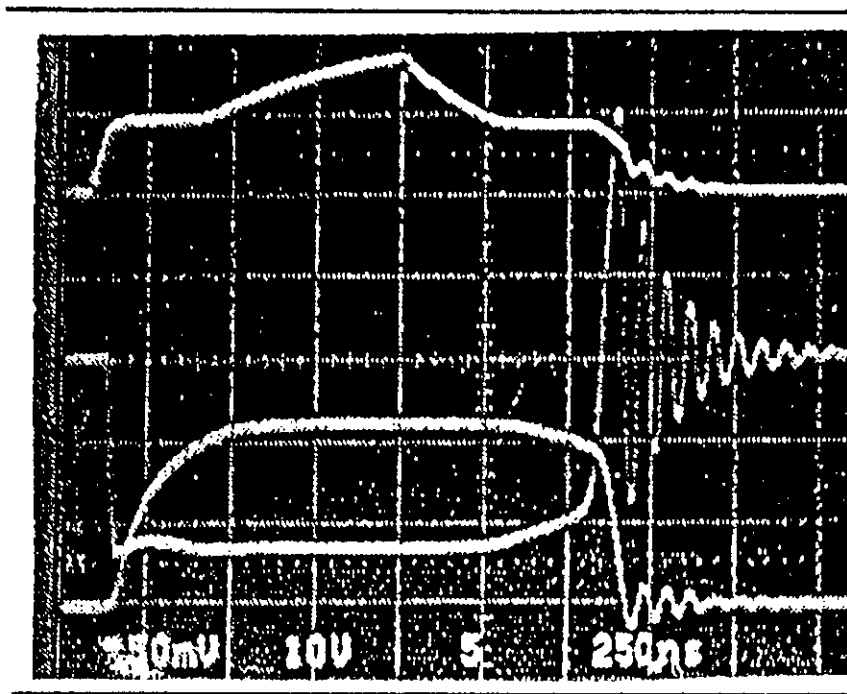


Figure 27 : MTP4N85. Evolution de I_D , V_{GS} et V_{DS} (charge inductive)
ETA=0.

Pour des fréquences de commutation de l'ordre de 1MHz, la couche de silicium est la plus concernée par l'auto-échauffement (figures 23, 28 et 29). Ceci vient des constantes de temps des cellules thermiques R_{th} - C_{th} (de l'ordre de 10ms). Le flux de chaleur n'a pas assez de temps pour pénétrer les autres couches.

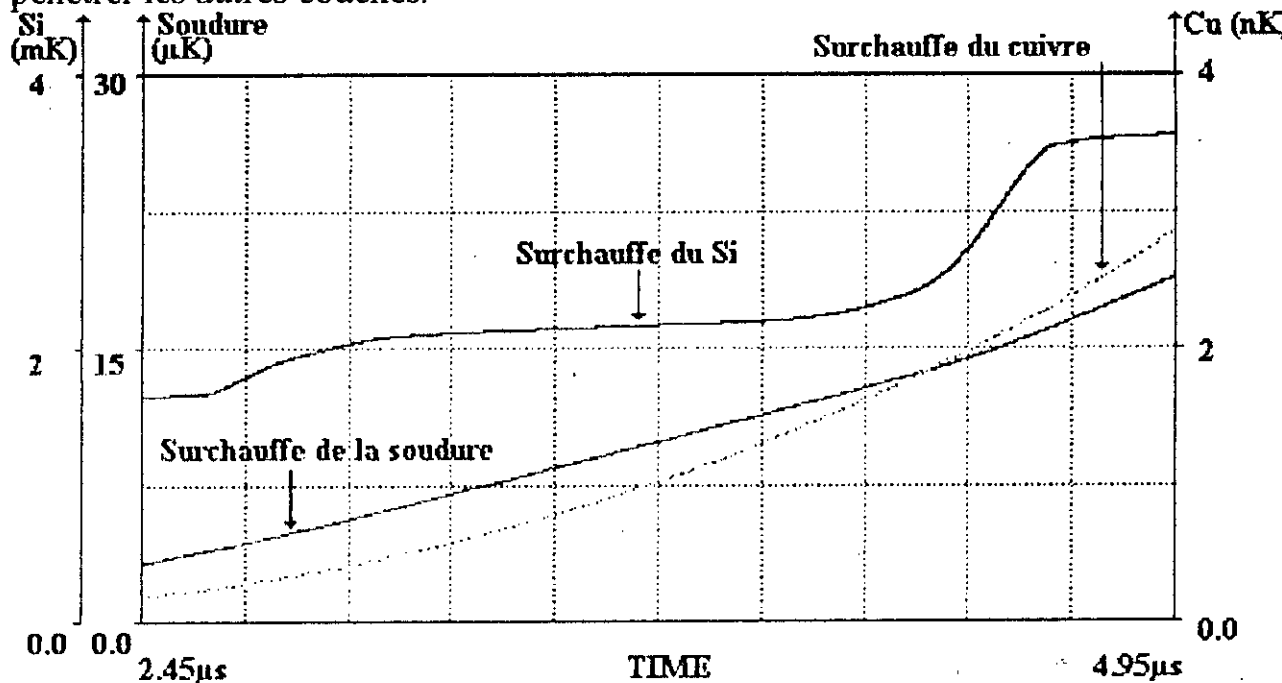


Figure 28 : MTP25N06L. Evolution des la température des couches. $\text{ETA}=0$

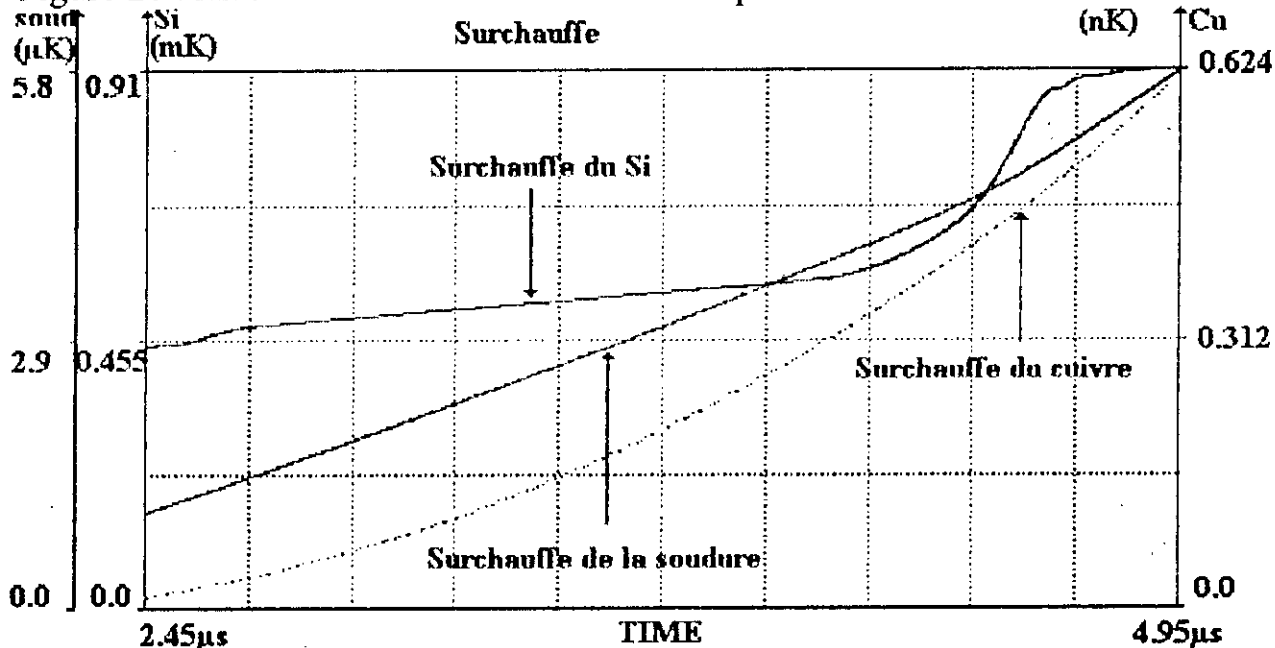


Figure 29 : MTM15N40. Evolution des la température des couches. $\text{ETA}=0$

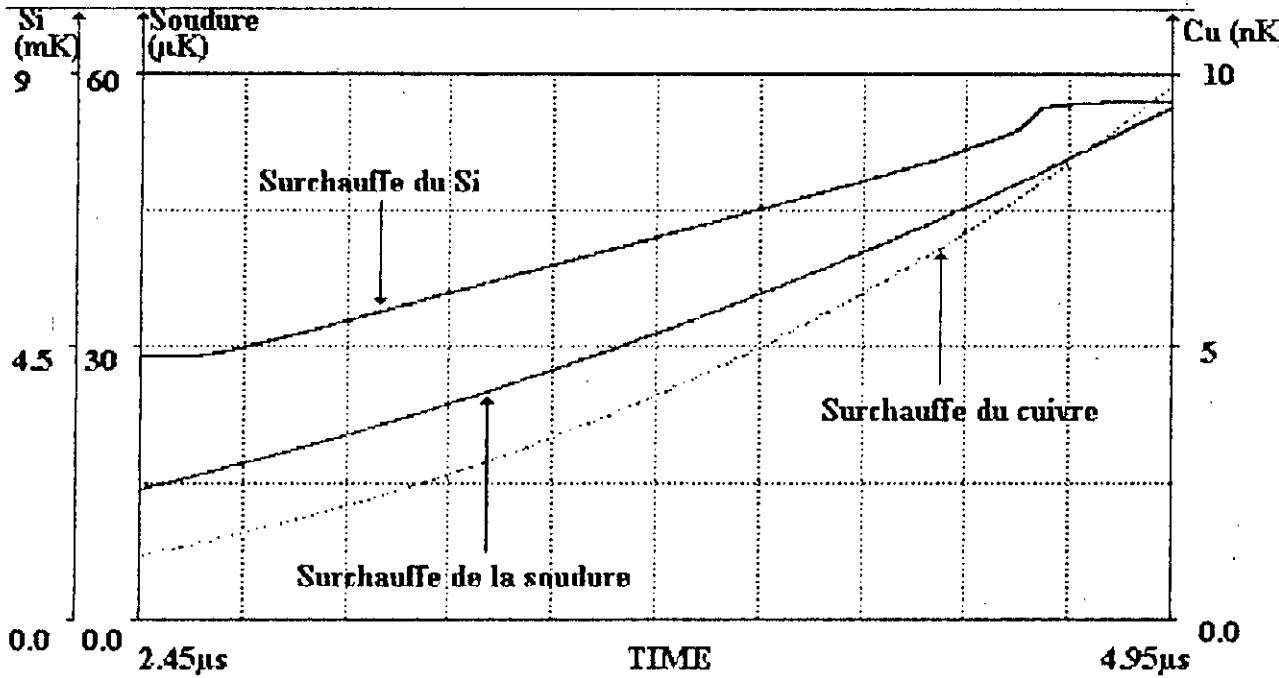


Figure 30 : MTP4N85. Evolution des la température des couches. $\text{ETA}=0$

Lorsqu'on tient compte de l'effet de l'abaissement de la barrière de potentiel ($\text{ETA}>0$), nous constatons que lorsque I_D augmente (du fait de cet effet) V_{DS} diminue (figures 31 et 32, 33 et 34, 35 et 36). Ceci est dû à ce que la puissance dissipée lors des commutations reste constante.

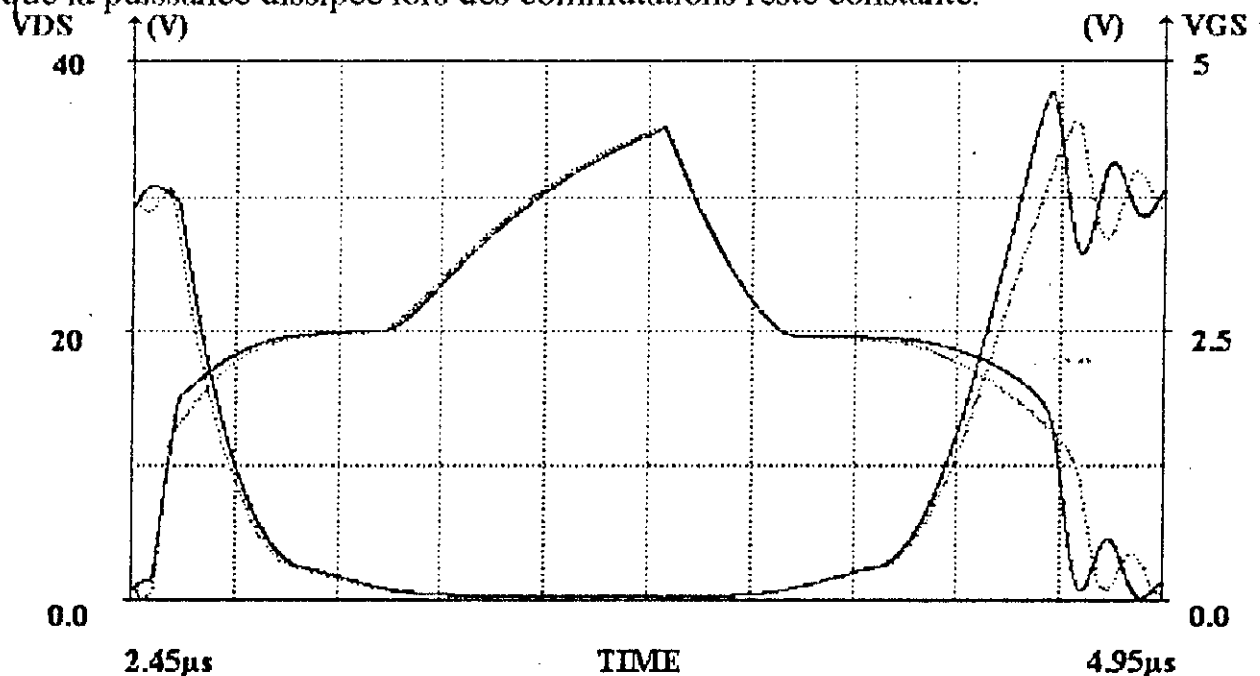


Figure 31 : MTP25N06L. Evolution de V_{DS} et V_{GS} . trait plein $\text{ETA}=0$; points $\text{ETA}=0.01$



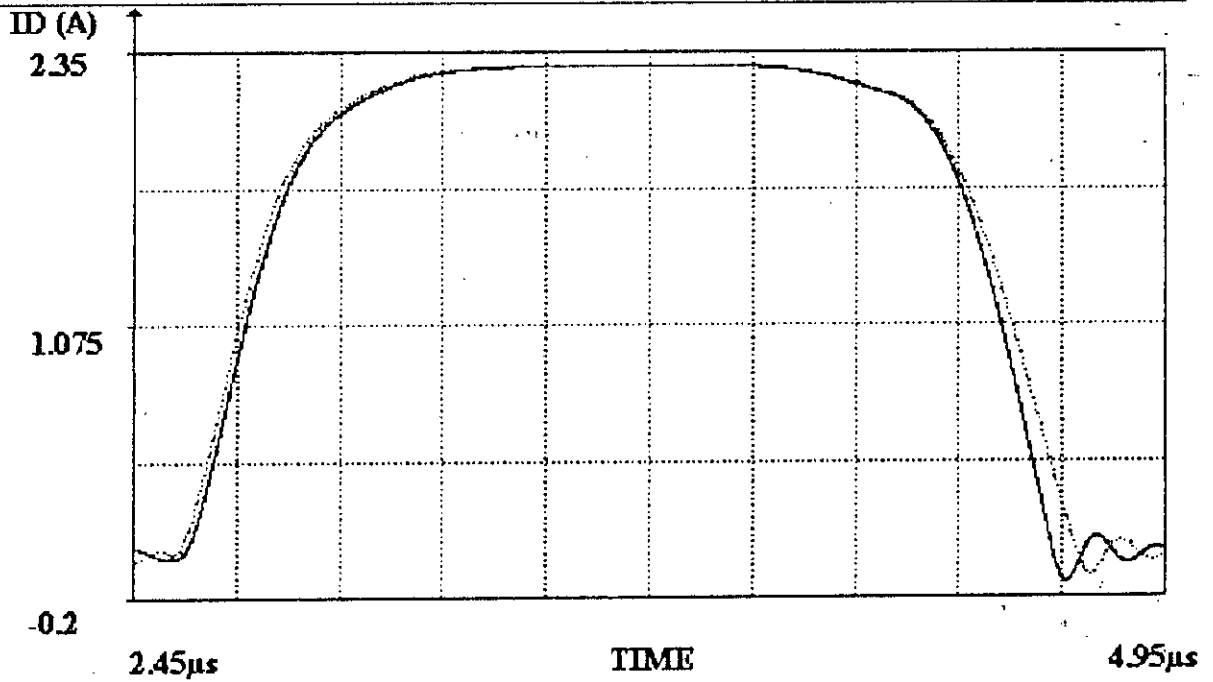


Figure 32 : MTP25N06L. Evolution de I_D . trait plein $\eta = 0$; points $\eta = 0.01$

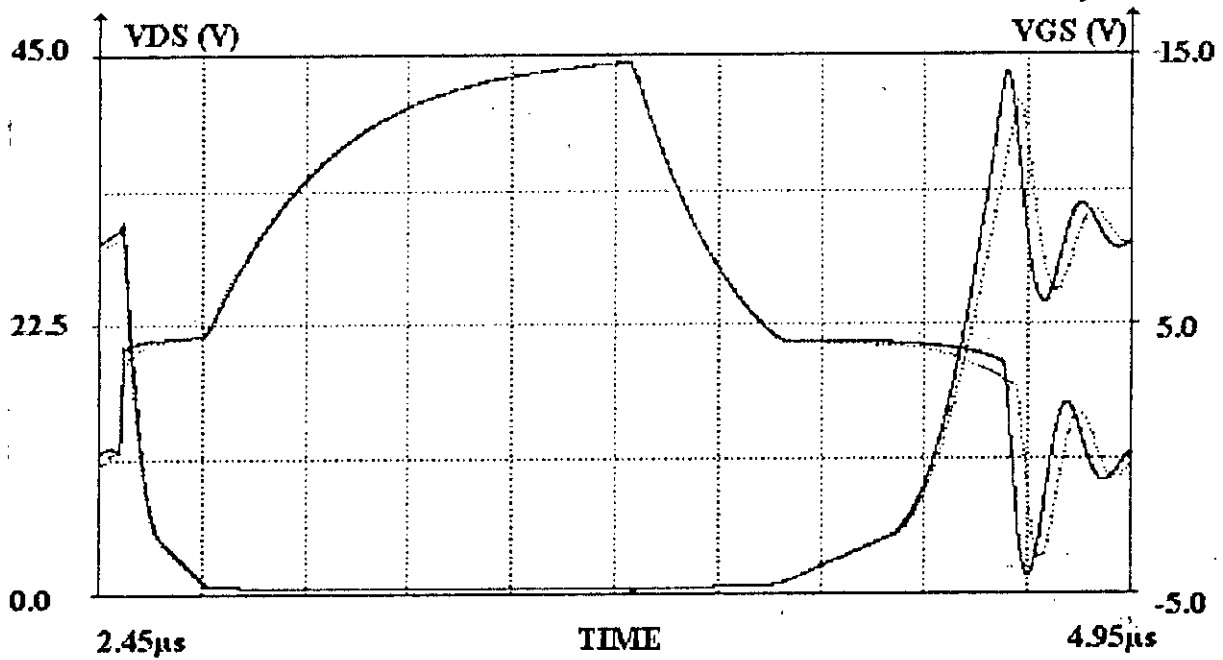


Figure 33 : MTM15N40. Evolution de V_{DS} et V_{GS} . trait plein $\eta = 0$; points $\eta = 0.01$

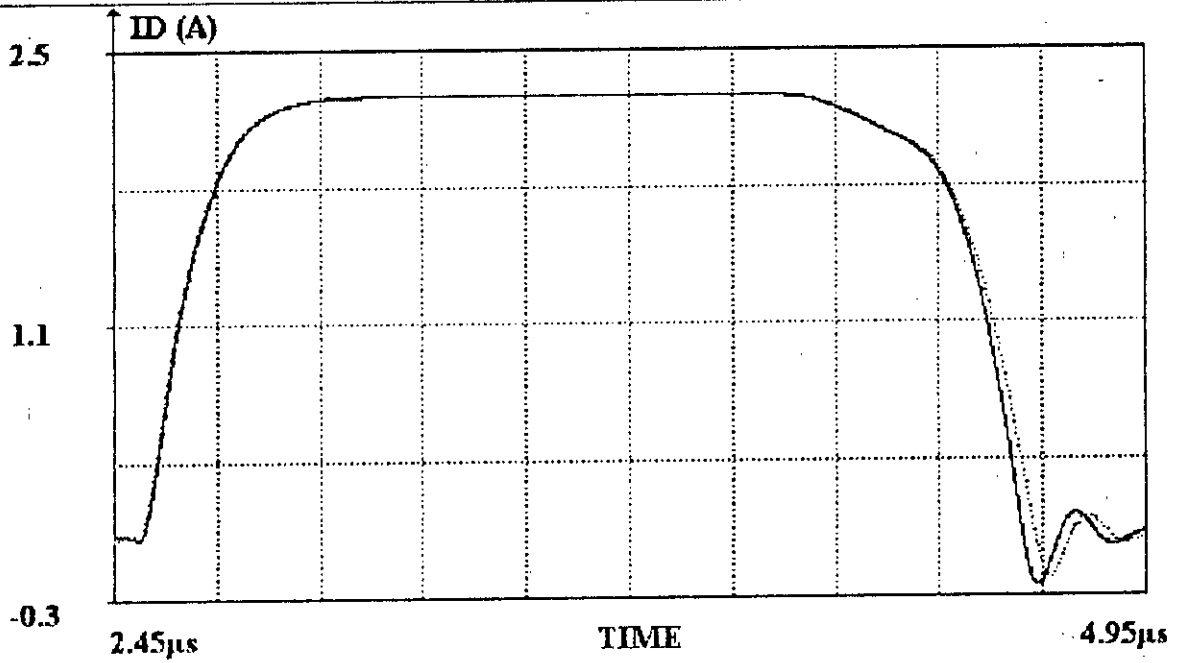


Figure 34 : MTM15N40. Evolution de I_D . trait plein ETA=0; points ETA=0.01

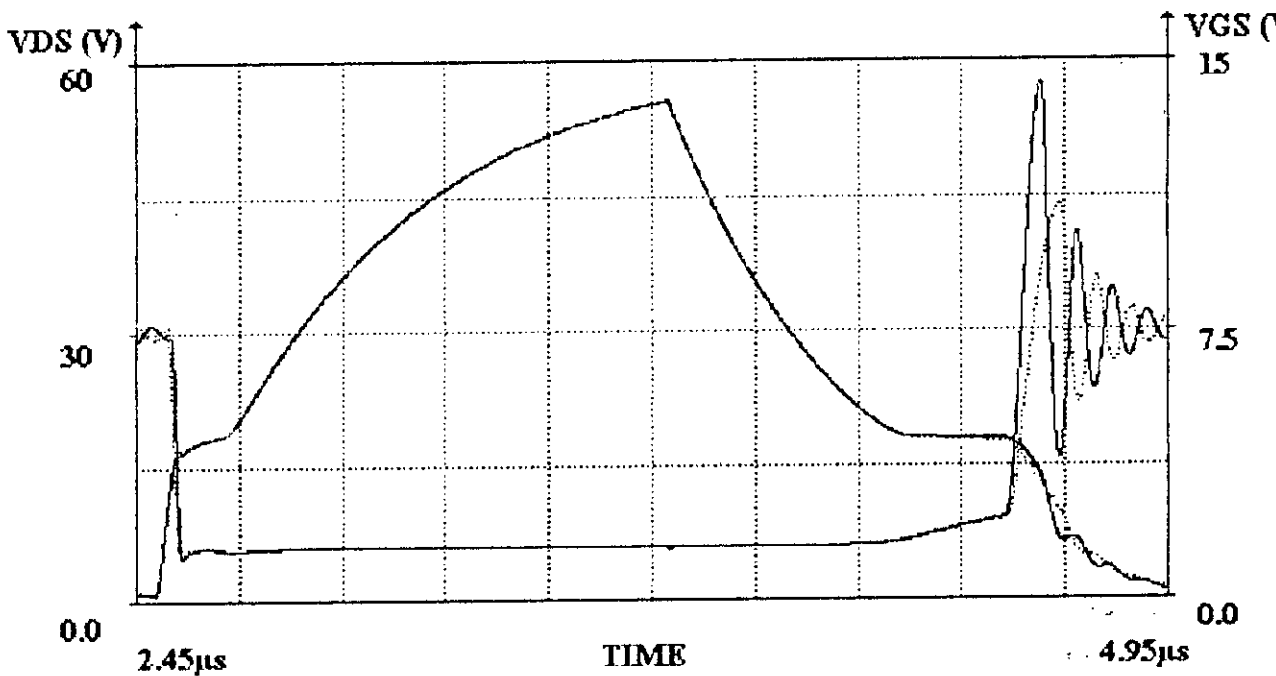


Figure 35 : MTP4N85. Evolution de V_{DS} et V_{GS} . trait plein ETA=0; points ETA=0.01

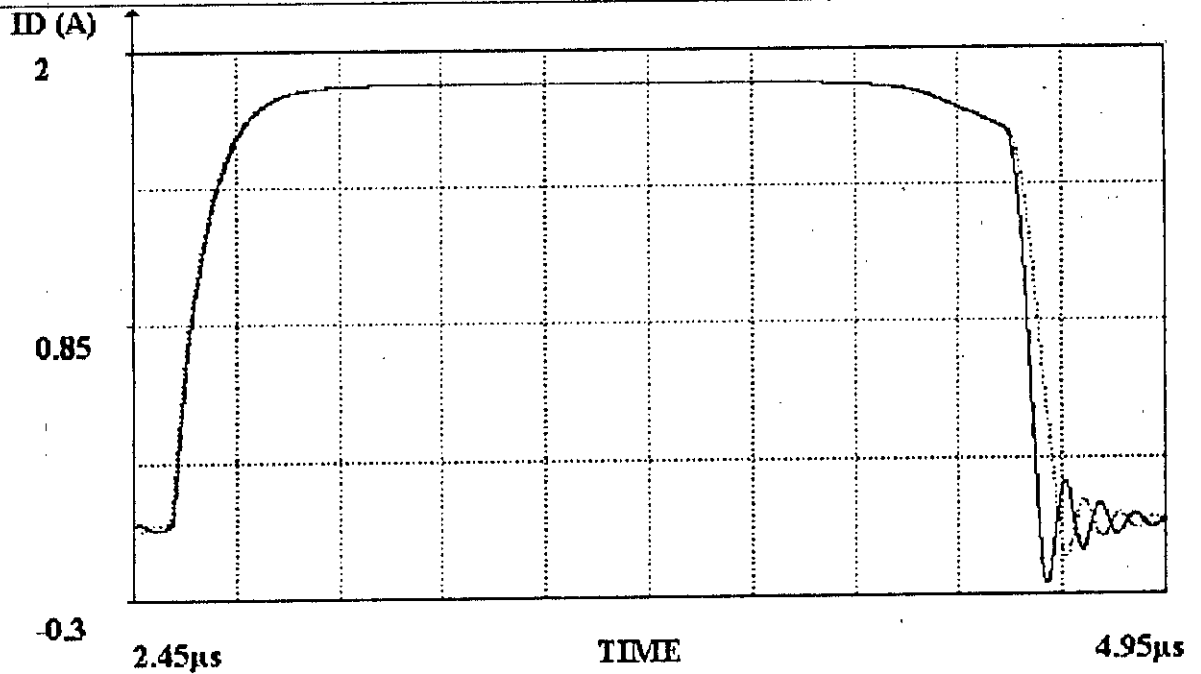


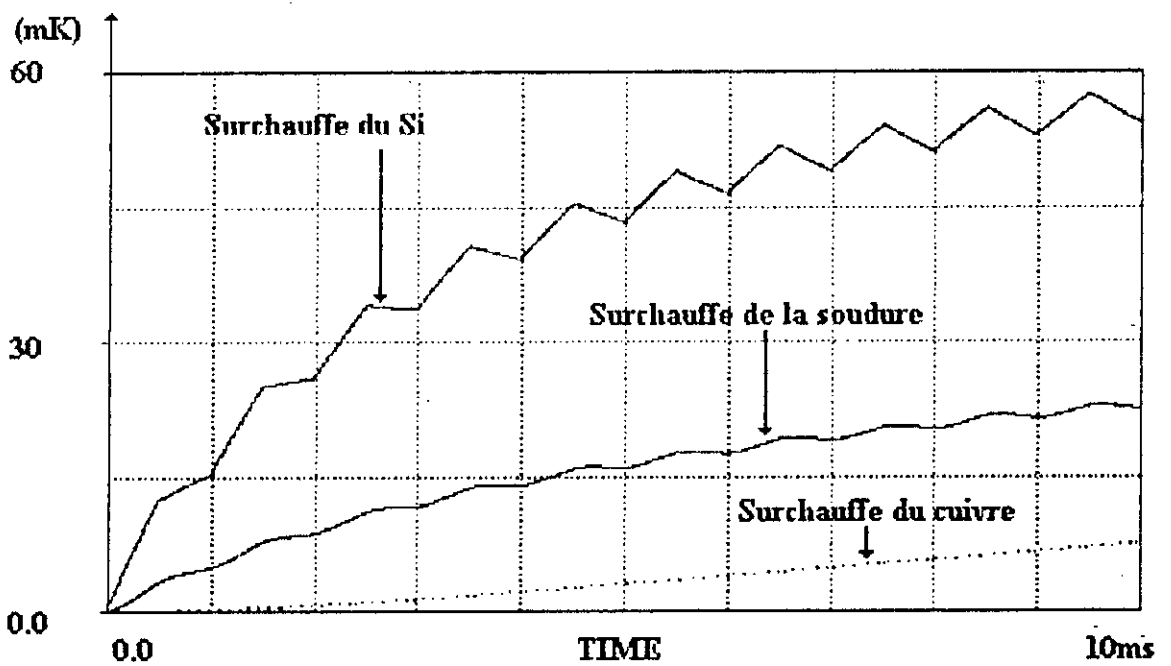
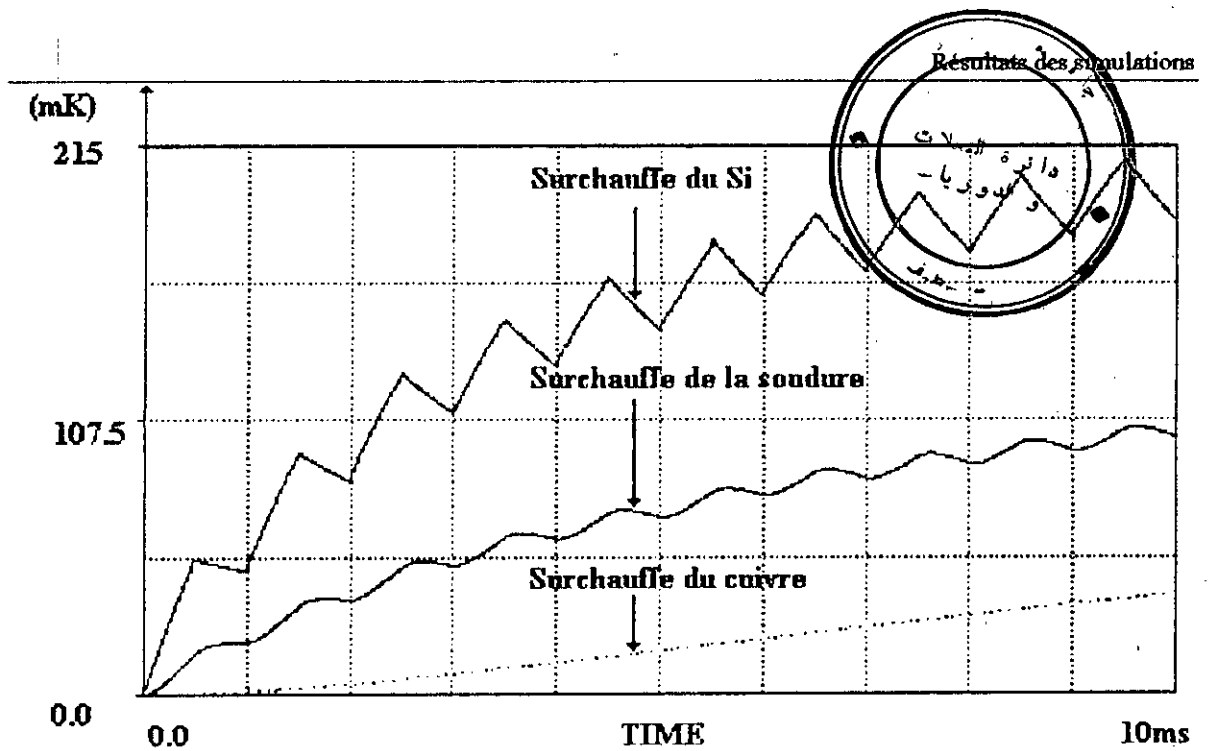
Figure 36 : MTP4N85. Evolution de I_D . trait plein $\text{ETA}=0$; points $\text{ETA}=0.01$

5) EVOLUTION DES TEMPERATURES DES DIFFERENTES COUCHES :

Pour mener cette étude, nous avons utilisé le circuit de la figure 24.

Nous menons cette étude pour mettre encore plus en évidence l'influence des constantes de temps des cellules R_{th} - C_{th} .

En premier, le signal d'attaque (de commande) est à VGG durant 0.5ms et à 0V durant 0.5ms. Nous constatons que la chaleur est localisée surtout dans la couche de silicium et la couche de soudure (figures 37, 38 et 39).



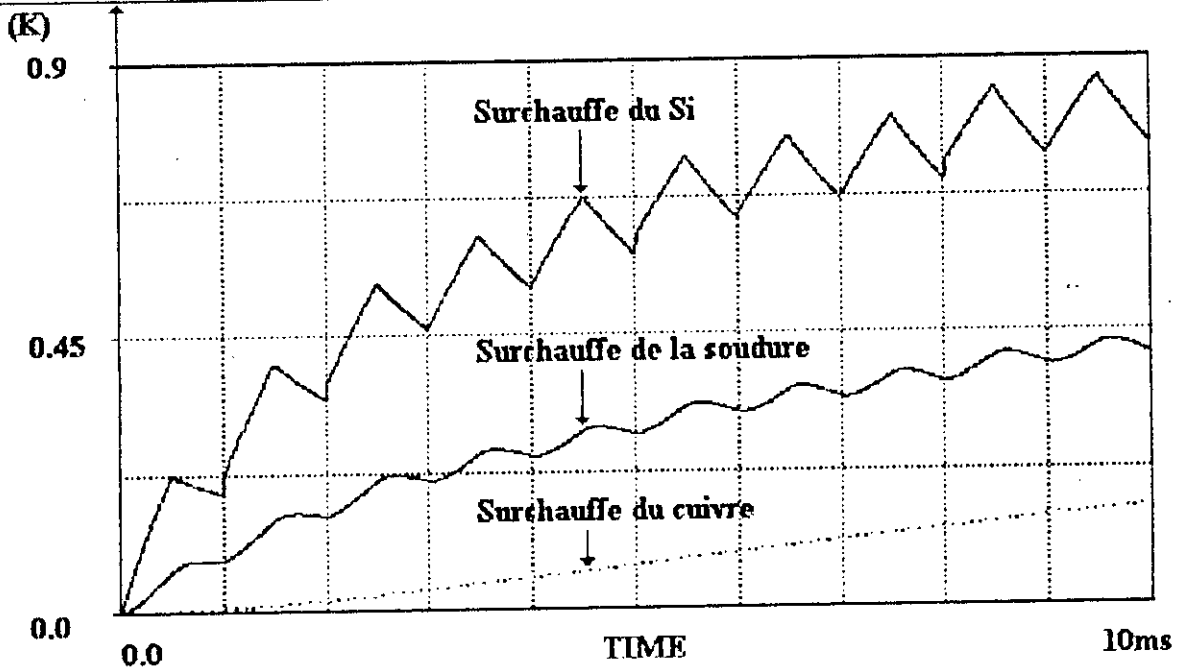


Figure 39 : MTP4N85. Evolution des températures des couches.
période=1ms, $\eta_{TA}=0$ et $R_{rad}=0$

Le signal d'attaque est maintenu pendant 5ms à V_{GG} et à 0V pendant 5ms. Le flux de chaleur cette fois pénètre encore plus dans les différentes couches (figures 40, 41 et 42).

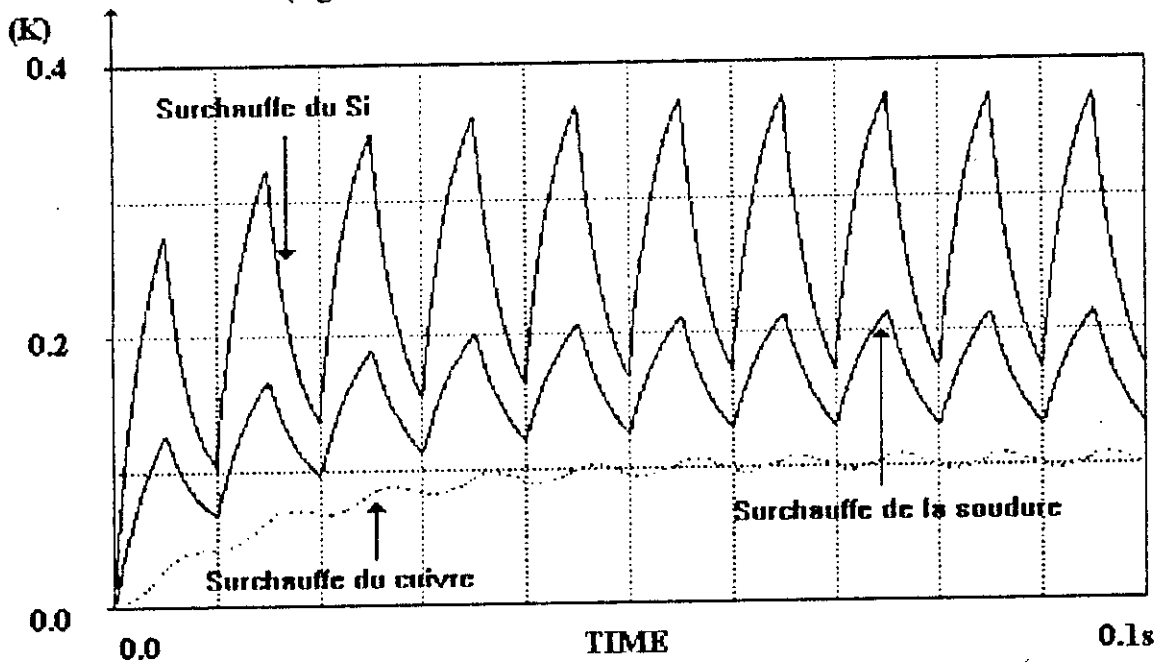


Figure 40 : MTP25N06L. Evolution des températures des couches.
période=10ms, $\eta_{TA}=0$ et $R_{rad}=0$

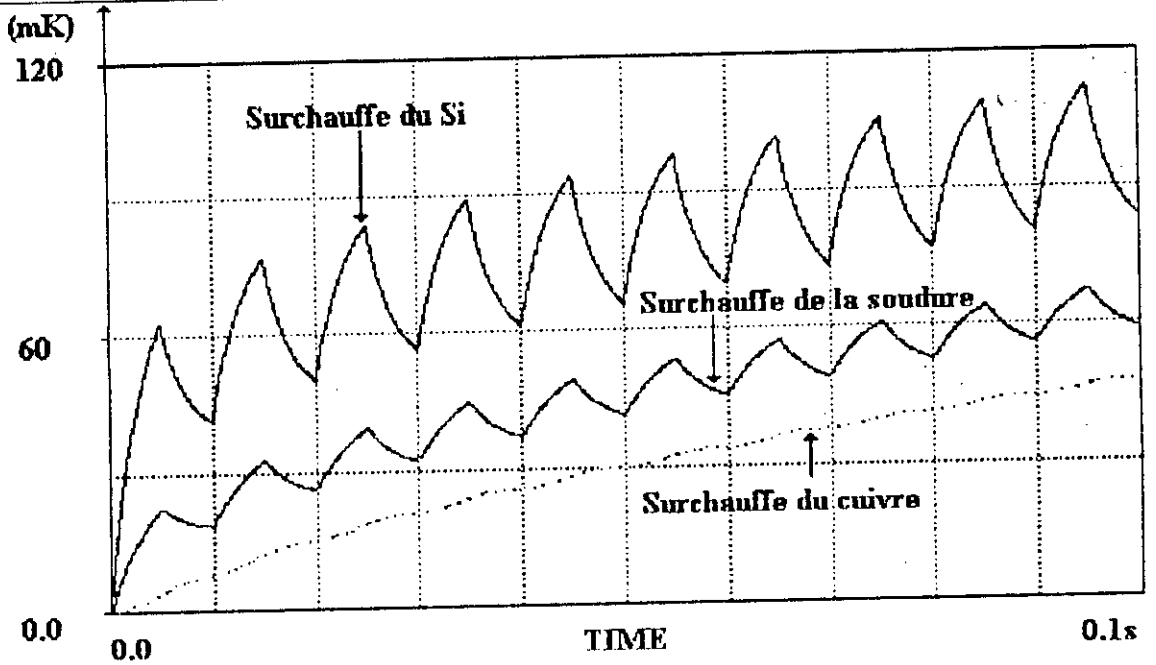


Figure 41 : MTM15N40. Evolution des températures des couches.
période=10ms, ETA=0 et Rrad=0

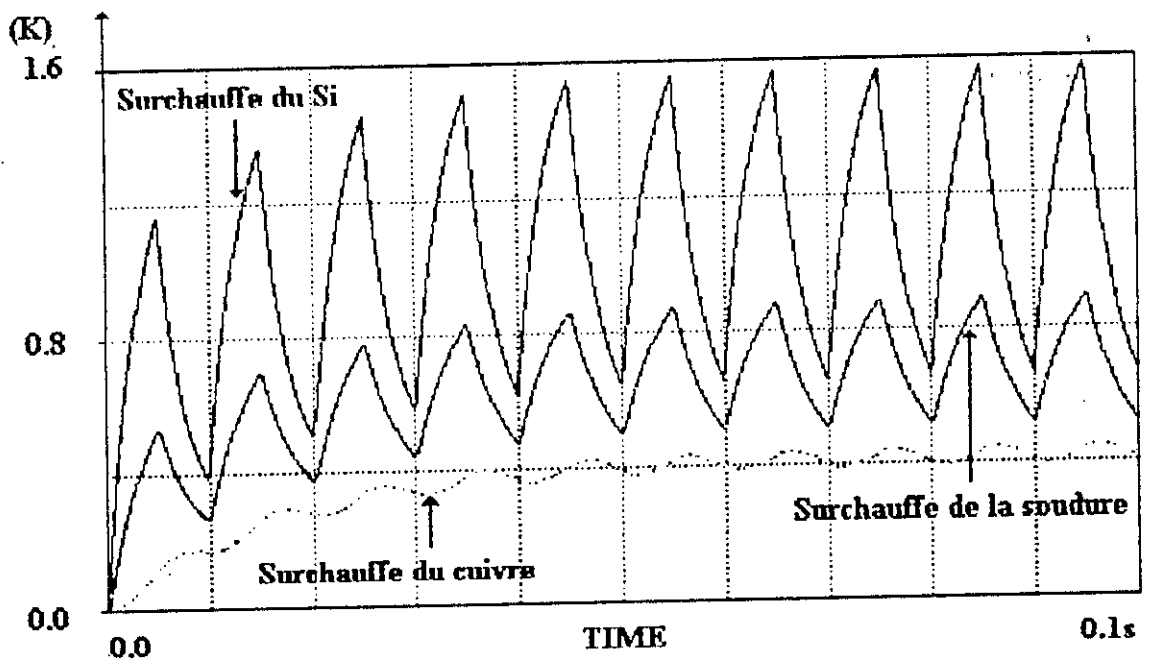


Figure 42 : MTP4N85. Evolution des températures des couches.
période=10ms, ETA=0 et Rrad=0



Nous maintenons le signal pendant 50ms à V_{GG} et 50ms à 0V. Nous constatons que toutes les couches sont concernées par l'échauffement (figures 43, 44 et 45).

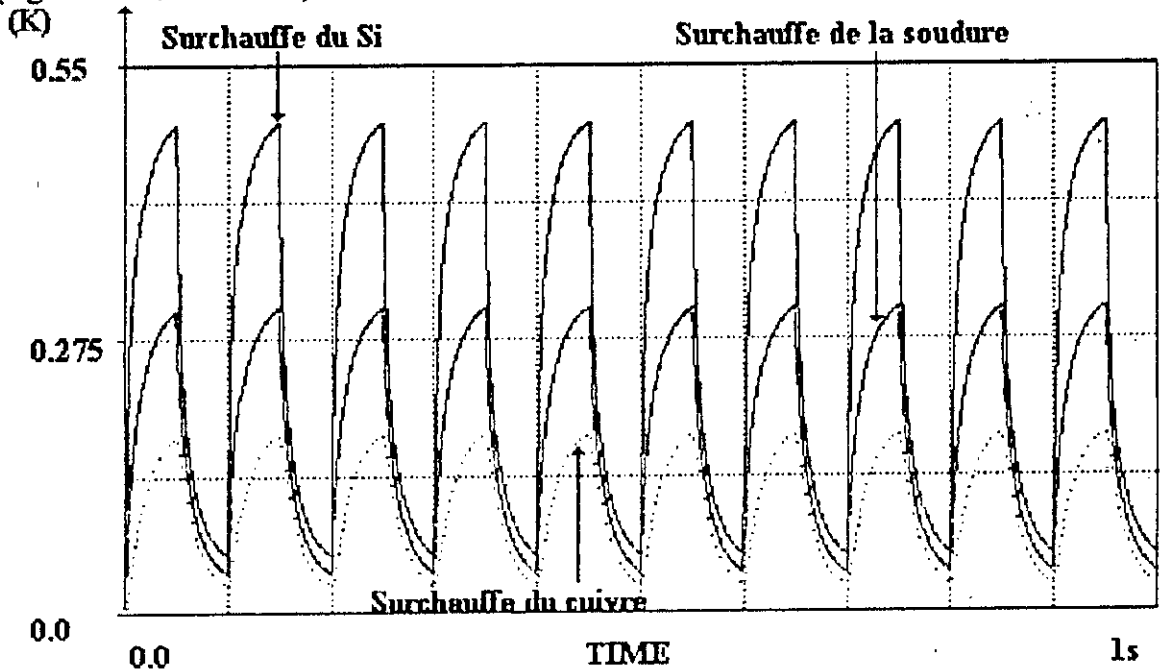


Figure 43 : MTP25N06L. Evolution des températures des couches. période=100ms, ETA=0 et Rrad=0

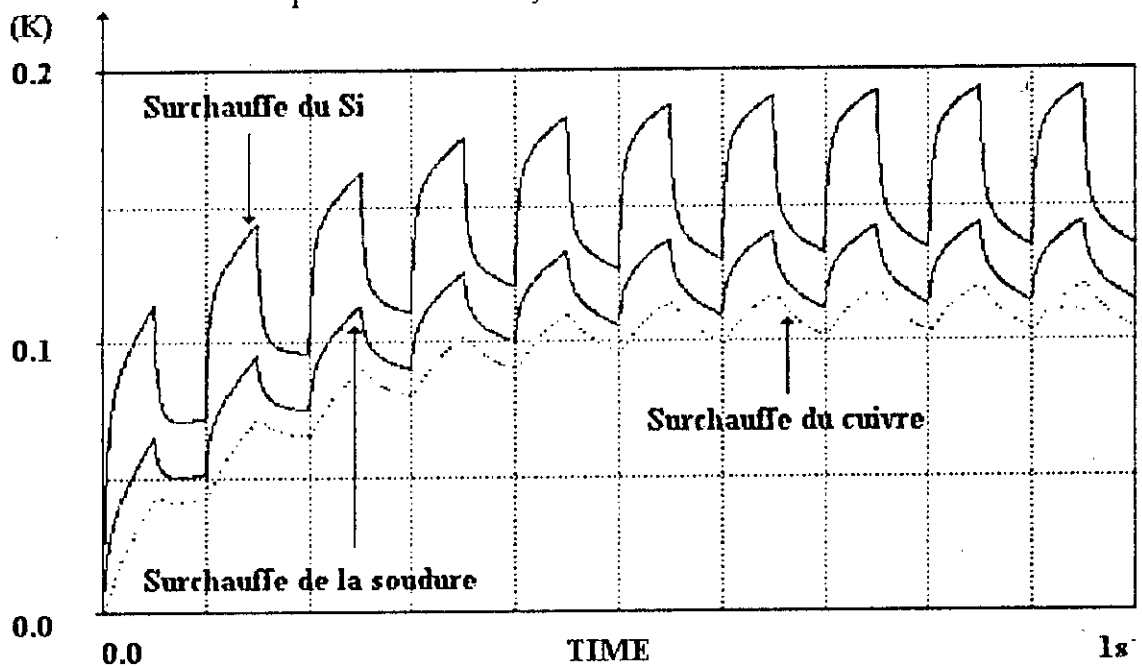


Figure 44 : MTM15N40. Evolution des températures des couches. période=100ms, ETA=0 et Rrad=0

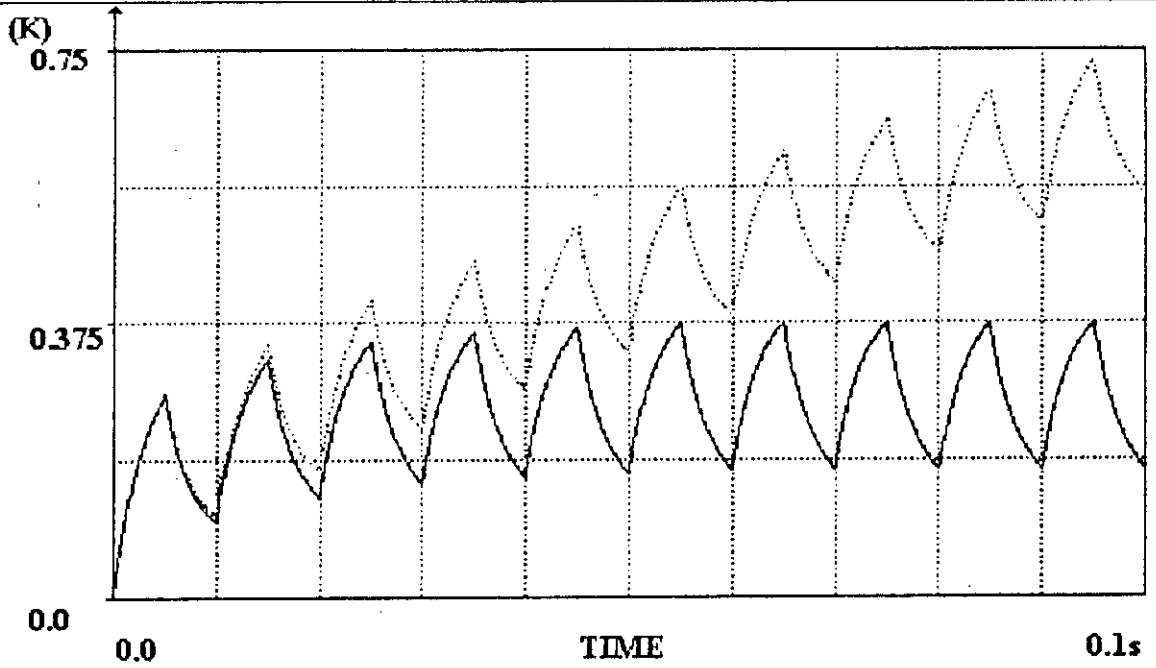


Figure 46 : MTP25N06L. Evolution de la températures du silicium. période=10ms, ETA=0; trait Rrad= $1 \mu\text{K/W}$; points Rrad= 2.8K/W

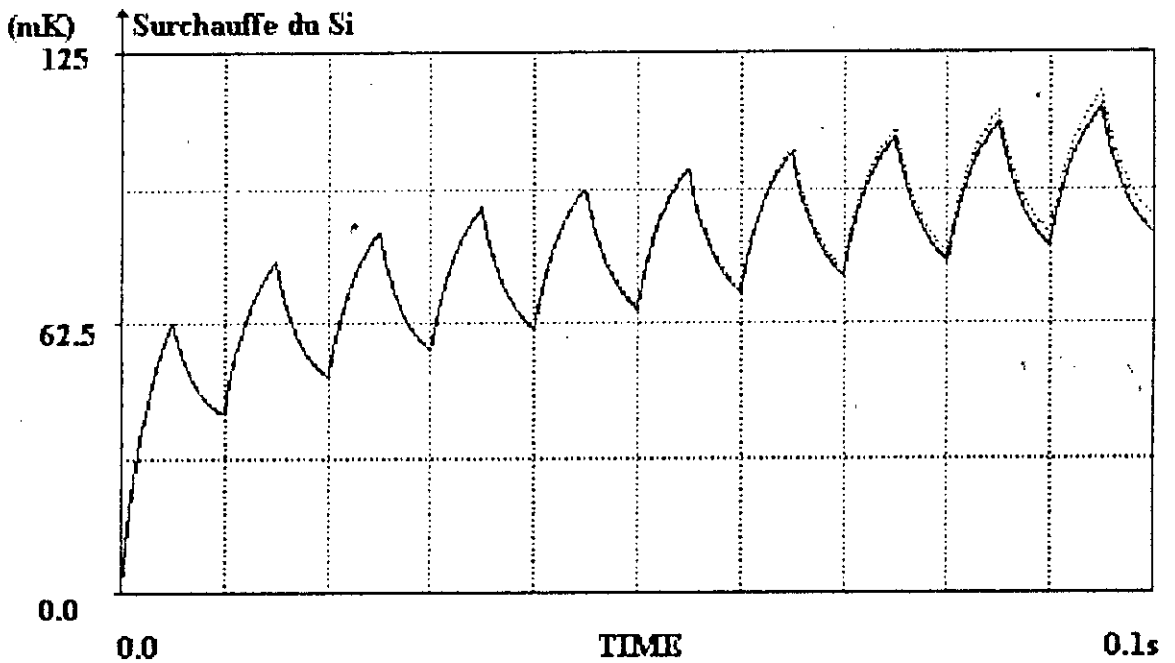


Figure 47 : MTM15N40. Evolution de la températures du silicium. période=10ms, ETA=0 trait; Rrad= $1 \mu\text{K/W}$; points Rrad= 2.8K/W

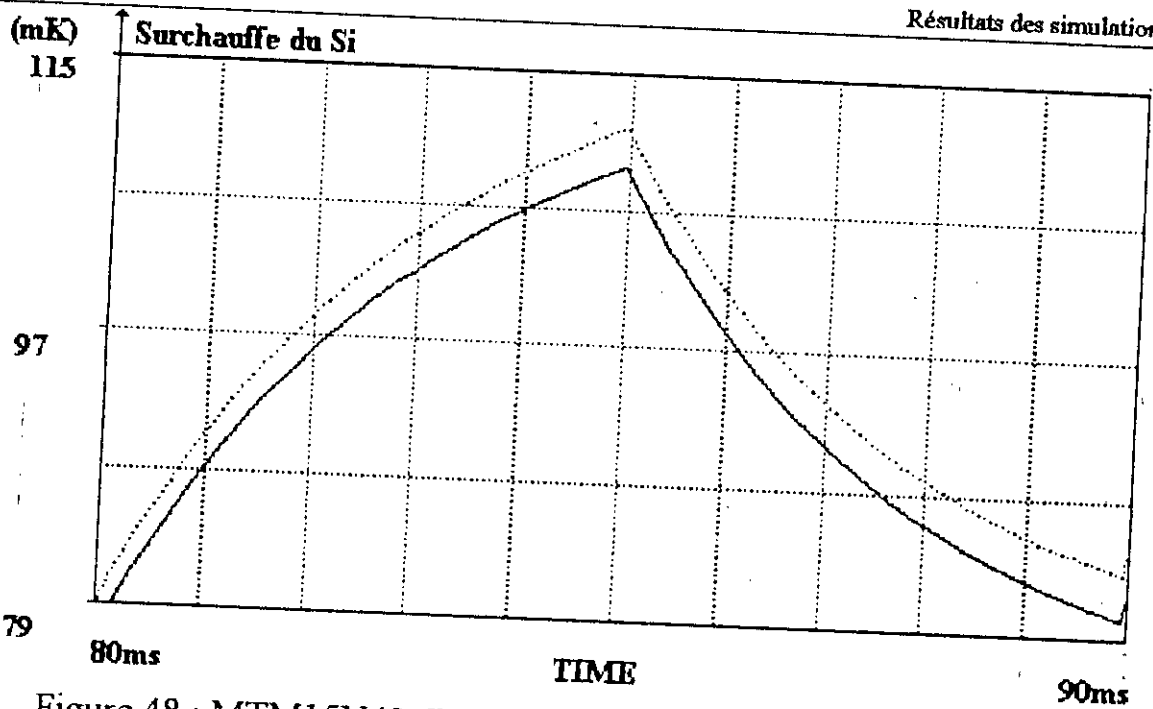


Figure 48 : MTM15N40. Evolution de la températures du silicium.
 période=10ms, ETA=0; trait Rrad=1 μ °K/W; points Rrad=2.8°K/W
 (grossissement)

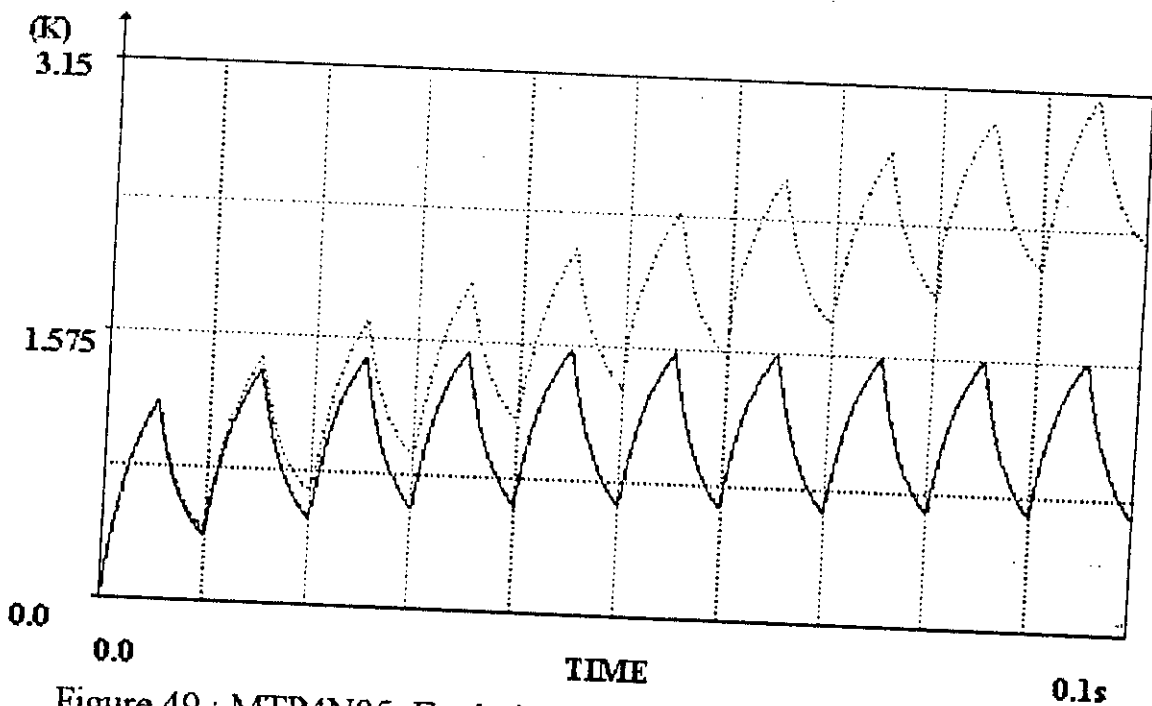


Figure 49 : MTP4N85. Evolution de la températures du silicium.
 période=10ms, ETA=0; trait Rrad=1 μ °K/W; points Rrad=2.8°K/W

6) BRAS D'ONDULEUR :

Le montage de la figure 50 et les mesures ont été réalisées au laboratoire d'Electrotechnique et d'Electronique Industrielle de l'Institut National Polytechnique (Paris) dans l'équipe du professeur H.FOSH [35]. Il s'agit d'un bras d'onduleur à résonance.

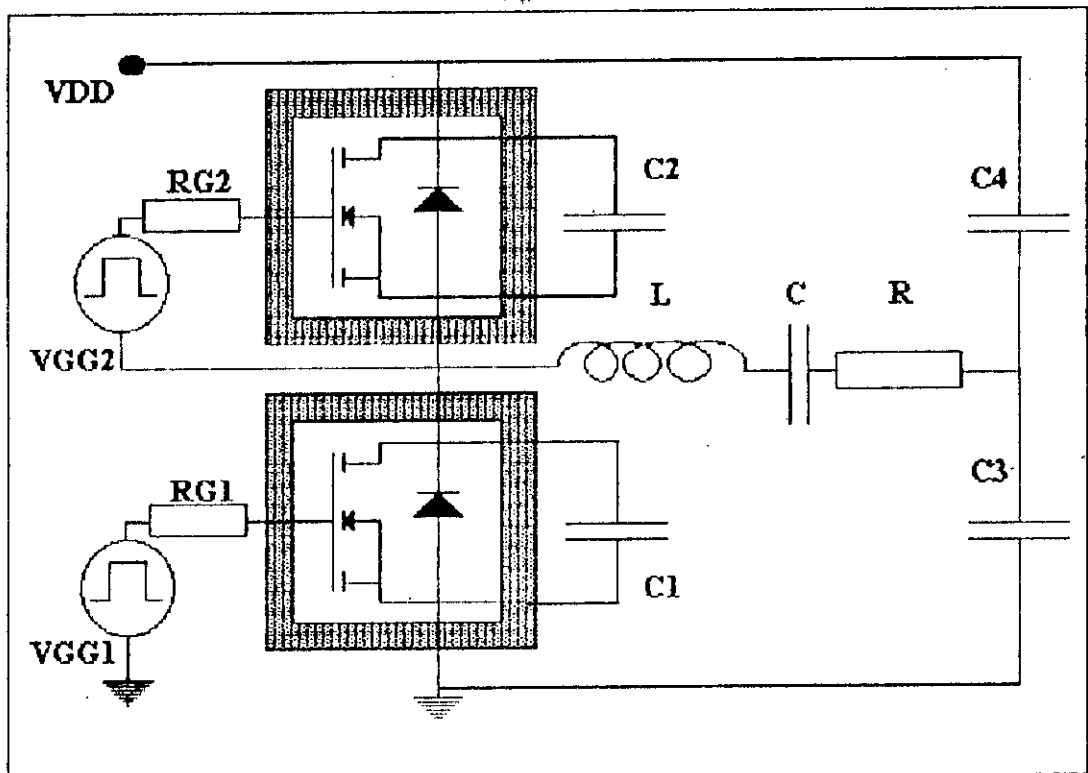
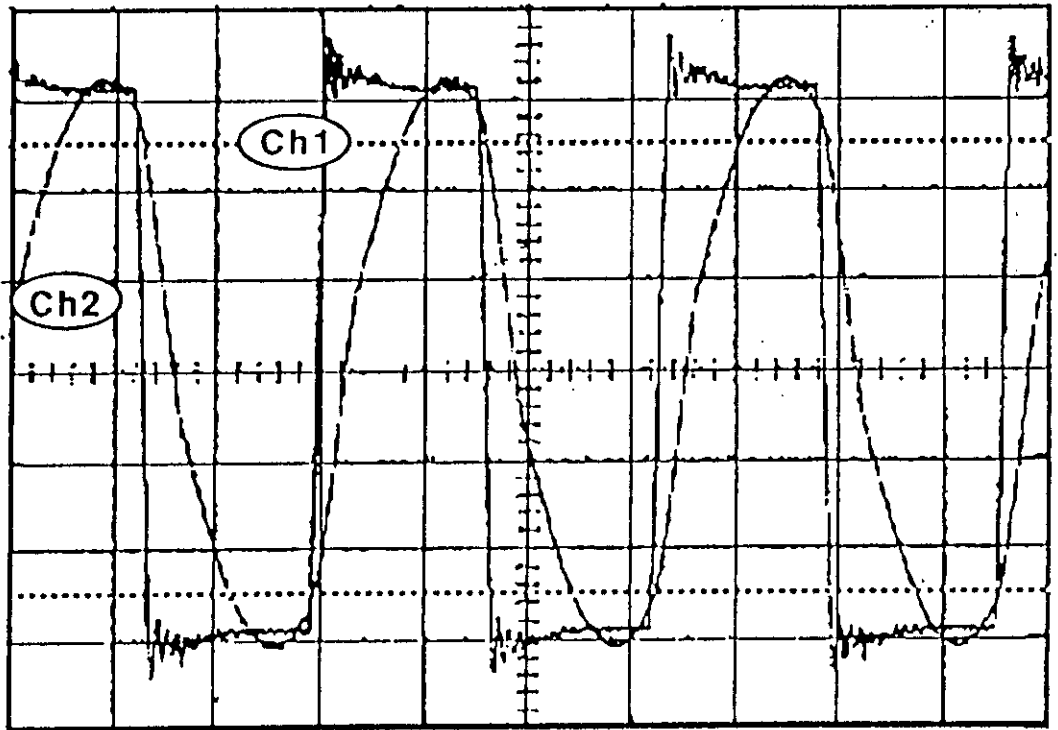


Figure 50 : Bras d'onduleur

Le but de la simulation est d'étudier l'allure de la tension et du courant dans la charge et la surchauffe dans les transistors.



Ch1:50v/div , Ch2:5A/div T:1 μ s/div

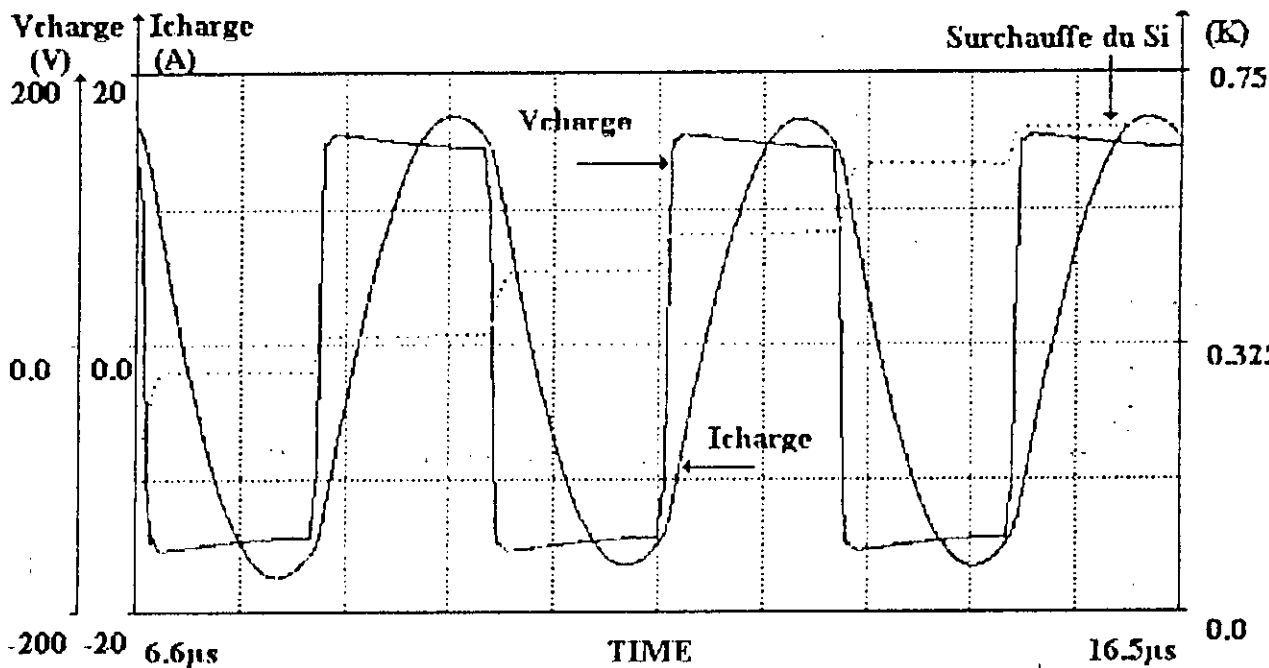


Figure S1 : a) mesures; b) simulation; évolution de la tension et du courant dans la charge et de la surchauffe de la puce. $\text{ETA}=0.045$, $\text{Rrad}=0$, pas d'integration= $1\text{E}-7$

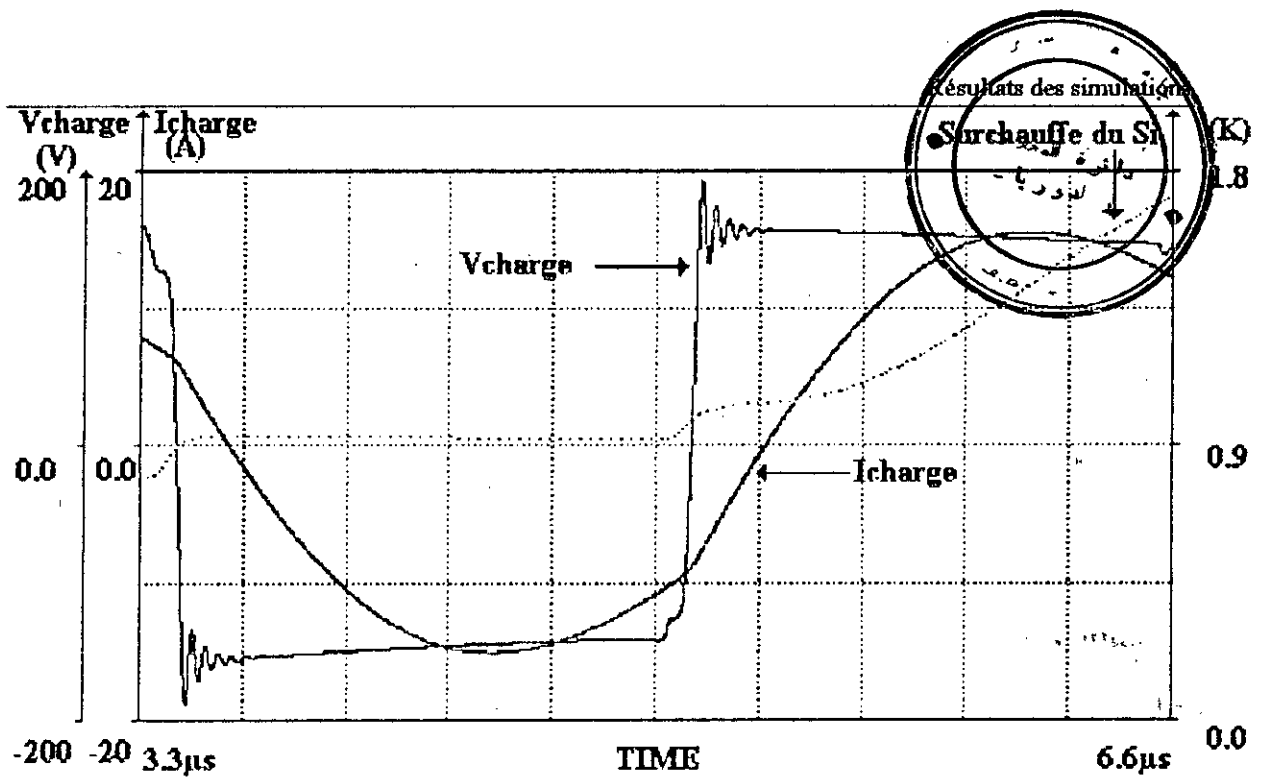


Figure 52 : Evolution de la tension et du courant dans la charge et de la surchauffe de la puce. $\text{ETA}=0$, $\text{Rrad}=0$, pas d'integration= $1\text{E}-9$

Les simulations de la tension et du courant dans la charge sont en bon accord avec les mesures. La température des puces augmente fortement lors des commutations. Elle tend à augmenter jusqu'à atteindre son point de stabilité autour duquel elle va osciller.

La figure 53 représente la simulation de la puissance instantanée dissipée dans un des deux transistors. Elle est conforme à la théorie et nous constatons que la puissance est très importante lors des commutations, ce qui explique l'évolution de la température lors de ces instants.

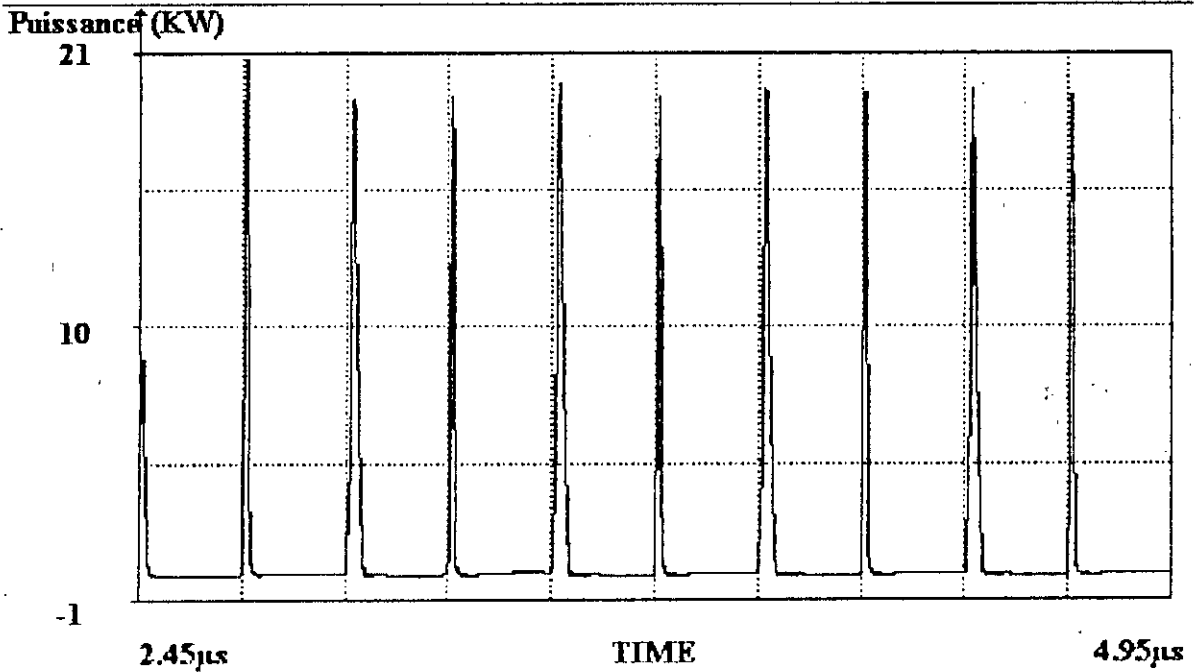


Figure 53 : Evolution de la puissance instantanée dissipée par un des transistors

7) CONCLUSION :

Nous avons simulé le comportement de différents transistors dans différents cas de fonctionnements . Les résultats de nos simulations sont en bon accord avec les mesures. Nous avons montré qu'il est possible de suivre l'évolution de la température du transistor (qui est un paramètre important) lors de son fonctionnement . Et enfin nous estimons que ce modèle est un outil qui permet l'analyse des circuit.

CONCLUSION

Le travail que nous avons présenté, porte sur le développement d'un modèle du transistor VDMOS de puissance qui tient compte des interdépendances électrothermiques en fonctionnement statique et dynamique grand signal. L'utilisation de ce modèle dans des circuits de commutation sur charge résistive ou inductive et dans un convertisseur d'énergie (onduleur à résonance) a montré ses potentialités sur le plan électrique et sur le plan thermique, dès lors que les simulations effectuées sont en excellent accord avec les mesures.

Notre modèle peut être utilisé comme outil d'analyse des performances d'un circuit de puissance. Il permet de prédire le comportement thermique du composant et son influence sur les différents paramètres électriques.

Le simulateur ESACAP présente l'avantage de ne pas recourir aux analogies électriques et thermiques. Il reconnaît les résistances et les capacités thermiques. Il s'ensuit qu'il est possible de traiter du régime thermique en ayant la température comme variable explicite particulière à chaque point du réseau simulé. Ceci fait alors qu'il devient possible de simuler un circuit groupant une partie 'froide' (logique) et une autre 'chaude' (puissance) comme c'est le cas des circuits 'SMART POWER'.

Notre modèle en plus de l'effet de la température , tient compte de la conduction sous le seuil et de l'effet du canal court et l'effet D.I.B.L sur la tension de seuil.

Enfin , une suite à ce travail peut être envisagée par l'introduction du phénomène de la forte injection de la diode Dbody .

BIBLIOGRAPHIE

[1] *Le compromis entre la résistance à l'état passant et la tenue en tension dans les transistors MOS de puissance. Application à la définition des règles de conception des structures VDMOS*

T.P.Pham

Thèse de Doctorat 3^o cycle , Université Paul Sabatier, 1982

[2] *Propriétés à l'état passant des transistors DMOS de puissance coplanaires ou verticaux.*

J.L. Sanchez

Thèse de Doctorat 3^o cycle , Université Paul Sabatier, 1984

[3] *Physics and technology of power MOSFETs*

by S.C.SUN, Technical Report N^o IDEZ696-1

[4] *Operating and modeling of the MOS transistor*

Yannis P. Tsividis

1987 McGraw-Hill

[5] *Semiconductor device modeling with SPICE*

P. Antognetti , G. Massobrio

1988 McGraw-Hill

[6] *Power MOSFETs : Theory and applications*

D.A. Grant , J. Gowar

1989 JohnWiley & Sons

[7] *SmartSpice/UTMOST III , Modeling Manual*

SILVACO International

Nov 1993

[8] *Propriétés dynamiques des transistors MOS de puissance*

M. BELABADIA

- Thèse de Doctorat de l'université Paul Sabatier, Toulouse 1988
- [9] *La résistance à l'état passant et la tenue en tension dans les transistors MOS de puissance. Définition des règles de conception des structures VDMOS.*
- T.P.Pharm, H.Tranduc, W.B.DE Moraes, P.Rossel
IV Oficina Brasileira de Microelectronica 1983
- [10] *Etude et modélisation du transistor MOS de puissance*
- C. LAKEHAL
- Thèse de Magister de l'université de Sétif, 1995
- [11] *Influence des zones d'accès sur la résistance à l'état passant des transistors moyennes tensions VDMOS de puissance*
- J. Sanchez, H.Tranduc, T.P.Pharm, M.Gharbi, P.Rossel, G.Charita et
B.Vertongen
- Revue Phys-appl, Nov 1985
- [12] *Evolution des structures des transistors MOS de puissance vers le domaine des petites dimensions*
- Thèse de Doctorat 3^o cycle , Université Paul Sabatier, 1987
- [13] *Le transistor DMOS vertical en amplification haute fréquence de puissance*
- G. Tardivo
- Thèse de Doctorat 3^o cycle , Université Paul Sabatier, 1987
- [14] *Modèle "universel" du transistor de puissance MOS pour le logiciel SPICE*
- R.Maimouni, P.Rossel, D.Allain, M.Naprielska, H.Tranduc et
C.E.Cordonnier
- Revue générale de l'électricité N^o: 1, Fevrier 1990
- [15] *SPICE Model for TMOS power MOSFETs*

AN1043, MOTOROLA

[16] *Modèles du transistor MOS de puissance*

K.Djellabi, P.Rossel, H.Tranduc, M.Naprielska et CE.Cordonnier

Rapport L.A.A.S N°: 91 025, Fevrier 1991

[17] *Hierarchie des modèles du transistor MOS de puissance*

R. Maimouni

Thèse d'état, Oujda, Maroc, rapport LAAS N°89125, juin 89

[18] *ESACAP user's manual*

Poul Stangerup

StanSim Research ApS, April 1994

[19] *Characterization and modeling of the temperature dependence of lateral DMOS transistors for high temperature applications of power ICS*

G.Dolny, G.Nostrand & K.Hill

IEDM90, IEEE 1990

[20] *Physique des semi-conducteurs*

Evolution en température de la résistance à l'état passant des transistors MOS de puissance

Note de: H.Tranduc, T.P.Pham, W.B. De Moraes & P.Rossel

[21] *Double diffused MOSFETs for CATV amplifiers*

P.McGregor

Master of applied science thesis, university of TORONTO, CANADA,
sep 1982

[22] *Negative dynamic resistance in MOS devices*

D.Sharma, J.Gautier, G.Merkel

IEEE journal of solid state circuits, vol SC-13, pp378-380, june
1978

[23] *Modèle SPICE permettant l'analyse en transitoire de la température des puces de puissance*

C.E. Cordonnier

Journée d'étude de Marseille 2,3 juin 1989

[24] *Transient thermal analysis of solid-state power devices making a dreaded process easy.*

W.E. Newell

IEEE Power electronics specialists conference, PESC 1975 pp 234-

251

[25] *Simulations électro-thermique en électronique de puissance*

J.M. Dorkel, A. Napiralski, Ph Leturcq

Journée Greco CNRS, Bordeaux mai 1989

[26] *Simulation électro-thermique*

Journée Greco CNRS :

Dispositifs et systèmes électrotechniques. Clamart (France) 21, 22 Avril 1988

A. Napiralski, Ph Leturcq

[27] *Modèle analytique à une dimension du transistor MOSFET de puissance prenant en compte les interactions thermo-électriques*

C. Lallemand

Thèse de doctorat, Ecole Nationale Supérieure des Télécommunications Paris 1993

[28] *Thermal management of integrated microsensors*

Selden.B. Crary

Sensors and Actuators 1987

[29] *Dissipation in power semiconductor devices.*

The development of the magic of $11+N$

V.L. Shper

The European power electronics Association

13-16/9/1993 Brighton

[30] *Analysis of thermal characteristics of VDMOS power transistors*

Z.L Li, X.B Chen and H.Q Yu

Solid-state electronics, vol 34 N°3 pp 225-231, 1991

[31] *Power integrated circuits : Physics, Design and applications*

Paolo Antognetti

McGraw-Hill Book Company, 1986

[33] *Thermal radiation heat transfert*

R. Siegal and J.R Howell

Ed: Hemisphere, washington DC, 1993, 3° ed

[34] *Thermal cycling rating system for silicon power transistor*

W.D. Williams

Note RCA , AN4612.371

[35] *Static and small signal analysis of a serie resonant frequency*

K. Al Haddad, Y. Cheron, H.Fosh and V. Rajagopalan

Can. Eng. J. vol 12 N°4, 1987, pp 158-164