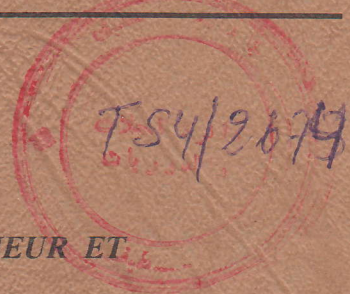


32-530-376-1

الجمهورية الجزائرية الديمقراطية الشعبية

REPUBLIQUE ALGERIENNE DEMOCRATIQUE ET POPULAIRE

وزارة التعليم العالي و البحث العلمي
MINISTERE DE L'ENSEIGNEMENT SUPERIEUR ET
LA RECHERCHE SCIENTIFIQUE



UNIVERSITE FERHAT ABBAS - SETIF-
Institut d'Electronique

THESE

En Vue d'Obtention du Diplôme de Magister
En Electronique
Option : Micro-Electronique

THEME

Modélisation et Simulation en Régimes Statique et Dynamique
du Transistor IGBT
(Insulated - Gate - Bipolar - Transistor)

Soutenu le : 30/06/ 1996

Par : Ing. BENBAHOUCHE LYNDA

Membres du jury :

Président	:	Dr A. MERZOUKI	(M.C)
Promoteur	:	Dr K. DJELLABI	(C.C)
Examineurs :		Dr F. KRIM	(C.C)
		Dr E. BOUSBIAT	(M.C)
		Dr L. SELMANI	(C.C)

Promotion 1996

الجمهورية الجزائرية الديمقراطية الشعبية

REPUBLIQUE ALGERIENNE DEMOCRATIQUE ET POPULAIRE



وزارة التعليم العالي و البحث العلمي
MINISTERE DE L'ENSEIGNEMENT SUPERIEUR ET
LA RECHERCHE SCIENTIFIQUE

UNIVERSITE FERHAT ABBAS - SETIF-
Institut d'Electronique

THESE

En Vue d'Obtention du Diplôme de Magister
En Electronique
Option : Micro-Electronique

THEME

Modélisation et Simulation en Régimes Statique et Dynamique
du Transistor IGBT
(Insulated - Gate - Bipolar - Transistor)

Soutenue le : / / 1996

Par : Ing. BENBAHOUCHE LYNDA

Membres du jury :

Président :	Dr A. MERZOUGUI	(M.C)
Promoteur :	Dr K. DJELLABI	(C.C)
Examineurs :	Dr F. KRIM	(C.C)
	Dr E. BOUSBIAT	(M.C)
	Dr L. SELMANI	(C.C)

Promotion 1996



REMERCIEMENTS

Je remercie Dieu de nous avoir ouvert les yeux à cette lumière et répondu sa clarté tout autour de nous.

Je remercie Mr A. MERZOUGUI, maître de conférence à l'institut d'électronique de SETIF, pour l'intérêt qu'il a porté à mon travail et pour l'honneur qu'il m'a fait en présidant le jury de cette thèse.

Je tiens à remercier, tout particulièrement, Mr K.DJELLABI chargé de cours à l'institut de mécanique de précision de SETIF, ainsi que Mr K.BENBAOUCHE, chargé de cours à l'institut d'électronique de SETIF, pour la confiance qu'ils ont manifestée à mon égard en me proposant ce sujet de thèse, pour m'avoir initiée à la recherche et pour m'avoir fait découvrir le monde de la simulation.

Je suis également très sensible à l'intérêt que Mr E.BOUSBIAT, maître de conférence à l'institut d'électronique d'Alger (KOBA), Mr F.KRIM chargé de cours à l'université de SETIF, Mr L.SELMANI, chargé de cours à l'université de SETIF, ont accordé à mon travail en acceptant de se porter juges de celui-ci.

LISTES DES SYMBOLES

A	Device active area (cm ²).
I_n, I_p	Electron, hole current (A).
n, p	Electron, hole carrier concentration (cm ⁻³).
δ_p	Excess carrier concentration (cm ⁻³).
Q	Total excess carrier base charge (C).
ϕ_n, ϕ_p	Electron, hole quasi-fermi potential (V).
E	Electric field (V/cm).
ϵ_s	Dielectric constant of silicon (F/cm).
q	Electronic charge (1.6×10^{-19} C).
μ_n, μ_p	Electron, hole mobility (cm ² /Vs).
D_n, D_p	Electron, hole diffusivity (cm ² /s).
τ_{HL}	High level excess carrier lifetime (s).
$I_T = I_n + I_p$	Total current (A).
$b = \mu_n / \mu_p$	Ambipolar mobility ratio.
$D = 2(D_n \cdot D_p / (D_n + D_p))$	Ambipolar diffusivity (cm ² /s).
$L = \sqrt{D \cdot \tau_{HL}}$	Ambipolar diffusion length (cm).
x	Distance in base from emitter (cm).
W_B	Metallurgical base width (cm).
W	Quasi-neutral base width (cm).
W_{bcj}	Base - collecteur depletion width (cm).
C	Base - collecteur depletion capacitance (F).



N_B	Base doping concentration (cm^{-3}).
V_{bi}	Built - in potential of base - collector junction(V).
V_{bc}	Applied base - collector potential (V).
I_{snc}	Emitter electron saturation current (A).
V_{cb}	Applied base - emitter potential (V).
V_A	Device anode voltage (V).
R_s	Device series resistance (Ω).
R	Series load resistance (Ω).
LL	Series load inductance (H).
V_{AA}	Supply voltage (V).
K_p	MOSFET channel transconductance (A/V^2).
V_T	MOSFET channel threshold voltage (V).

CHAPITRE II : MODELISATION DU TRANSISTOR IGBT DANS LE LOGICIEL ESACAP.....	29
II-Introduction.....	30
II-1 : Le logiciel ESACAP.....	30
II-1-1 : Présentation.....	30
II-1-2 : Les modèles dans ESACAP.....	31
II-1-2-1 : Le modèle du transistor MOS.....	31
A) Les équations du courant de drain I_d dans ESACAP.....	32
B) Comportement statique du transistor MOS dans l'ESACAP.....	33
II-1-2-2 : Le modèle de la diode.....	34
A) Présentation.....	34
B) Hypothèses faites pour modéliser C_{ds} , C_{gd} et la diode D_{body} avec le modèle de la diode ESACAP.....	35
II-2 : Modélisation de la capacité C_{gd} dans ESACAP.....	35
II-2-1 : Le modèle à initialisation.....	36
II-3 : Synthèse de la modélisation du transistor V.DMOS de puissance en commutation dans l'ESACAP.....	38
II-4 : Modélisation du transistor bipolaire.....	39
II-4-1 : Présentation.....	39

<i>II-4-2 : Le modèle statique EBERS-MOLL.....</i>	<i>40</i>
II-4-2-1 : Modèle statique et son implantation dans l'ESACAP.....	40
A) Formulation des équations.....	41
B) Implantation dans l'ESACAP.....	41
C) Modèle statique: effet du second ordre et son implantation.....	43
 <i>II-5 : Synthèse de la modélisation du transistor bipolaire dans l'ESACAP.....</i>	 <i>43</i>
II-5-1 : Modèle d'EBERS-MOLL.....	43
II-5-2 : Modèle de GUMMEL-POON.....	44
 <i>II-6 : Modèle du transistor IGBT.....</i>	 <i>45</i>
II-6-1 : Comportement statique de l'IGBT dans l' ESACAP.....	46
II-6-1-a : Caractéristique de sortie.....	46
II-6-1-b : Caractéristique à l'état "on".....	47
 <i>II-7 : Le comportement en commutation</i>	 <i>48</i>
II-7-1 : Etat "on".....	48
II-7-2 : Etat "off".....	50
 <i>II-8 : Conclusion.....</i>	 <i>52</i>

CHAPITRE III : VALIDATION DES MODELES	53
III-1 Introduction.....	54
III-2 : Détermination des paramètres statiques.....	54
III-2-1 : Détermination de K_p, et V_t.....	54
III-2-2 : Détermination de R_c, R_g et V_{th}.....	55
III-3 : Caractéristiques statiques de l'IGBT.....	56
III-4 : Application à l'étude en Commutation	60
III-4-1 : Généralités	60
III-4-2 : Commutation sur charge résistive.....	60
III-4-2-1 : Définition des temps de commutation.....	61
III-4-2-2 : Mesures et simulation.....	62
III-4-3 : Commutation sur charge inductive.....	63
III-5: Situation de l'IGBT par rapport aux autres composants de puissance	69
III-6 : Caractéristiques	71
III-7 : Conclusion.....	73
CONCLUSION GENERALE.....	74
BIBLIOGRAPHIE.....	78
ANNEXE.	

INTRODUCTION GENERALE

INTRODUCTION GENERALE:

L'impact de l'évolution de la technologie de haute puissance (SMART POWER) sur les systèmes électroniques a été étudié [8]. Une fois que la définition de la technologie de haute puissance est fournie, la clé du développement technologique des composants semi-conducteurs de puissance, à savoir le Mosfet de puissance et l'IGBT sont étudiés.

La technologie de haute puissance exige la combinaison de la technologie des composants de puissance avec la logique CMOS et les circuits analogiques bipolaires.

Depuis l'invention du transistor bipolaire, il y'a eu une grande motivation d'augmenter le contrôle de la puissance (handling capability) de ces composants discrets dont le but d'élargir leurs applications et leur champ d'utilisation.

L'interrupteur de puissance IGBT est né en 1982 et à suscité un grand intérêt dans le monde de l'électronique de puissance. Situé entre le transistor MOS et le transistor bipolaire, il occupe le vide laissé par ces composants en utilisant les avantages de chacune de ces technologie, à savoir:

- côté MOS, une facilité de commande et une dynamique rapide,
- côté bipolaire, un bon état passant pour des interrupteurs de tension moyenne.

L'I.G.B.T. est un semiconducteur de puissance de type composant à trois broches. Deux broches reliées au circuit de puissance, la troisième au dispositif de commande. Les deux connexions de puissance sont appelées collecteur(ou drain) et émetteur (ou source), l'électrode de contrôle grille G. Son symbole est donné par la figure (I).

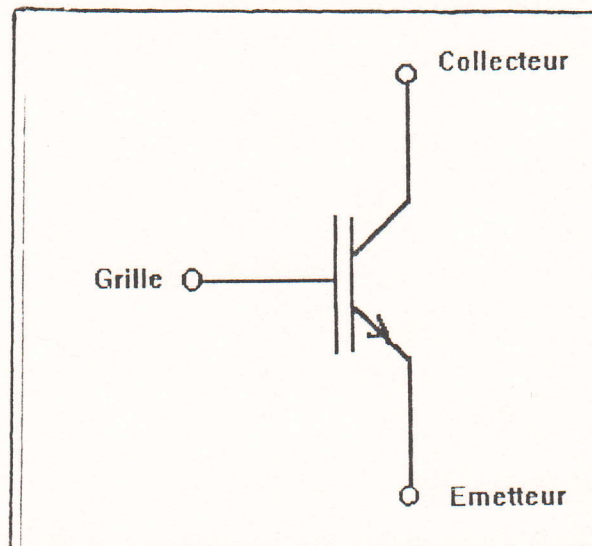


Figure I : Symbole de l'I.G.B.T.

Ainsi depuis quelques années et avec l'événement des technologies des transistors de puissance, les composants IGBT (Insulated-Gate-Bipolar-Transistor) ont vu leur champ d'utilisation s'élargir pour englober de nouveaux domaines tels que par exemple, la "*conversion et le contrôle de l'énergie*", "*ajustage des vitesses des moteurs*" , "*assure le contrôle robotique / numérique*", ainsi que dans les dispositifs de contrôle.

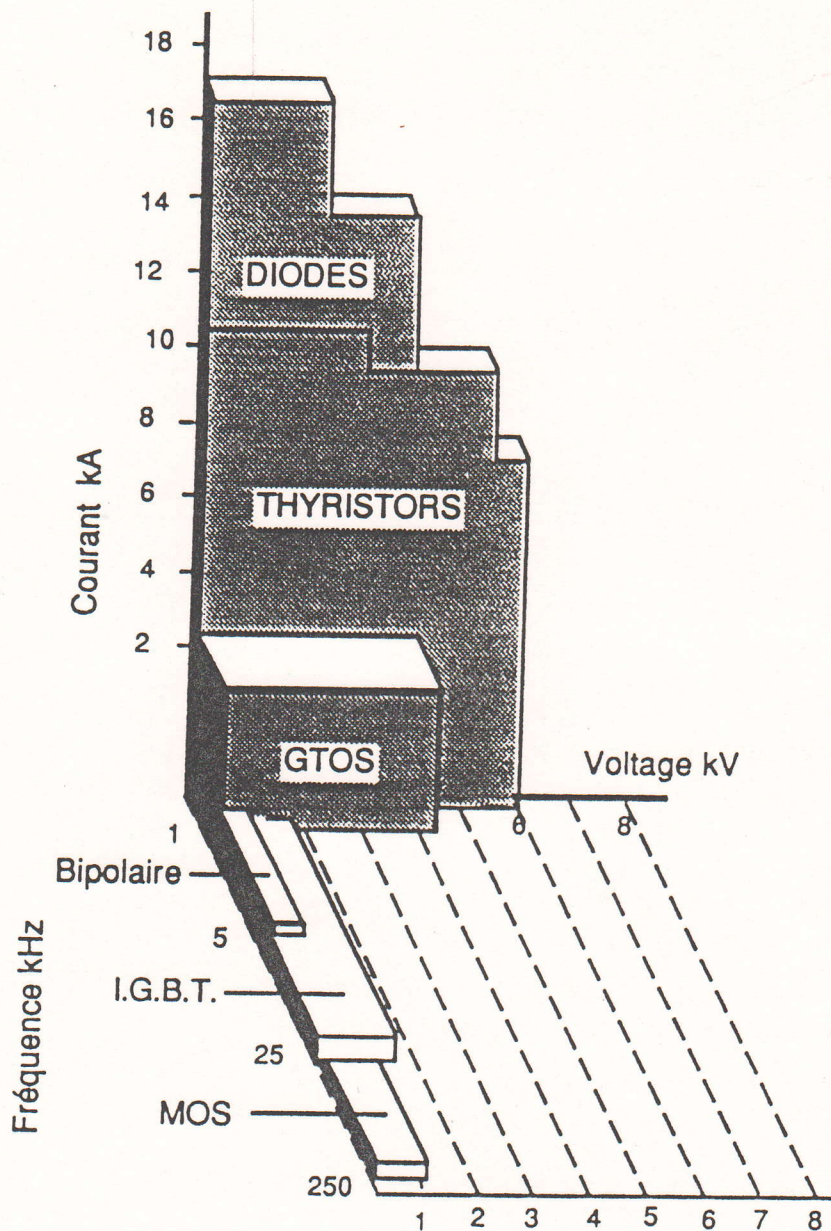
Bien que le Mosfet de puissance est mieux adapté aux applications où les tensions de blocage sont relativement faibles (inférieur à 200V), sa résistance "*on*" augmente rapidement avec l'augmentation des tensions de blocage. De ce phénomène, il n'a pas été possible d'économiser la fabrication de haute tension du Mosfet de puissance avec un taux de courant élevé. L'une des solutions à ce problème est l'invention de "Insulated Gate Bipolar Transistor" (IGBT). Il a été toujours appelé "*conductivity modulated field-effet transistor*" COMFET [1]. A cause de sa caractéristique signifiante pour les applications de basses et moyennes fréquences, lorsqu'il est comparé avec le transistor bipolaire et le Mosfet de puissance, une partie substantielle de notre travail, est prise en compte pour obtenir une bonne compréhension de sa caractéristique d'opération.

Ces composants IGBT ont le même avantage que les Mosfet de puissance qui est la grande impédance d'entrée et peuvent opérer à une densité de courant dans l'ordre de magnitude supérieure que celle des Mosfet de puissance.

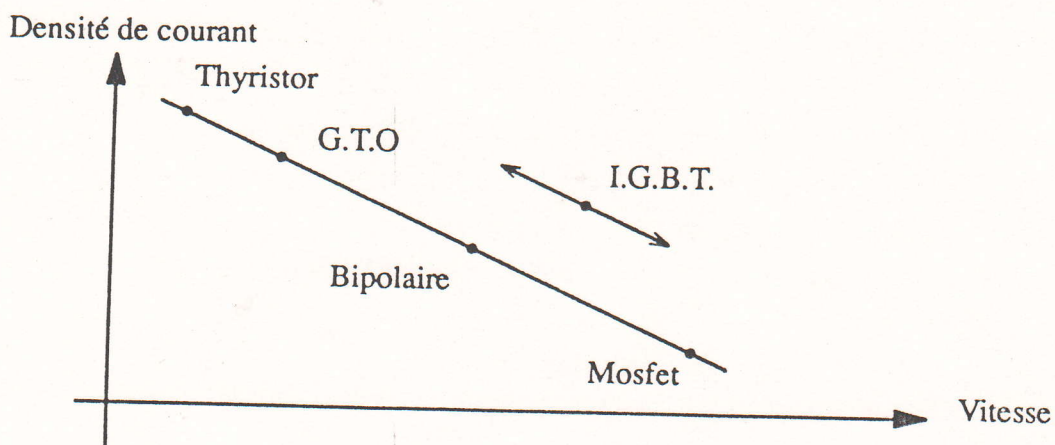
La représentation graphique de la figure(2) permet de situer l'I.G.B.T. parmi les autres composants de l'électronique de puissance. De nombreuses études mettent en avant un espace privilégié de fonctionnement de cet interrupteur qui se situe:

- Dans une gamme de fréquence moyenne $f =$ quelques 10KHz,
- pour des calibres tension $400V \leq U \leq 1200V$,
- pour des calibres courant $10A \leq I \leq 600A$.

Ce composant oscille entre les deux types de technologie MOS et bipolaire (figure (3)).



Figure(2) : Situation de l'I.G.B.T. [25]



Figure(3) : L'I.G.B.T. un compromis entre les structures "MOS" et "bipolaire".[25]

Les fabricants proposent des gammes diversifiées de transistor I.G.B.T. et créent des classes dites lentes, faible saturation ou de première génération, et des classes dites rapides ou de la seconde génération. On favorise soit la structure bipolaire et donc l'état passant du composant, soit la structure MOS et donc les caractéristiques dynamiques de l'interrupteur.

Bien que le transport du courant de l'IGBT se produit sous les conditions de haut niveau d'injection, leur vitesse de commutation est limitée par la recombinaison des porteurs minoritaires.

Leurs temps de "turn off" est de 0.1 à 10 μ s. Cela leur permet d'être adapter aux applications à fréquence moyennes où les tensions de blocage dépassent les 200V [1].

Ainsi il est apparu que la combinaison du courant de conduction du transistor bipolaire avec le courant contrôlé du Mosfet de puissance présente un avantage idéal : i) densités de courant élevées en direct (" high - operating forward current density ") et, ii) une faible puissance de l'électrode de contrôle grille G.

L'une des approches pour combiner ces avantages est d'utiliser le transistor bipolaire discret et le Mosfet de puissance l'un connecté à l'autre dans une configuration Darlington.

En plus, il a été établi théoriquement et expérimentalement que l'IGBT à canal p a des performances comparables à ceux à canal n, ainsi autorisant l'utilisation des composants complémentaires dans les systèmes de puissance.

Souvent le développement des circuits de contrôle intégrés présente un élan pour incorporer des circuits de protection sur des microcircuits de contrôle contre: la surtension, surintensité et sous des conditions de haute température. En addition, le besoin d'interface de ces composants IGBT avec un microprocesseur mène ou conduit à l'incorporation des circuits logiques.

La disponibilité du Mosfet de puissance et l'IGBT avec leurs caractéristiques du voltage contrôlé résulte d'une simplification énorme dans le circuit de contrôle. Cela a créer l'opportunité pour les développements des circuits du driver grille intégré, avec l'utilisation du développement récent de la technologie de haute tension des circuits intégrés.

Cela permet une grande réduction du coût, une augmentation significative de la fiabilité et une amélioration des performances dans les systèmes combinés.

Certes, le développement informatique a permis la réalisation de logiciels, i) de conception des composants de puissance (exp: MOS et transistor bipolaire) au niveau technologique de la puce et ii) de compréhension de mécanismes physiques réagissant les propriétés fonctionnelles de chaque zone de ces composants.

Mais les logiciels qui permettraient de manière suffisamment précise; i) de concevoir; ii) de simuler des circuits comprenant par exemple le MOS de puissance, transistor bipolaire de puissance; iii) de déterminer les contraintes internes et externes, courants et tensions à l'entrée et à la sortie de ces transistors sont inexistantes. Seule la possibilité de simuler ces transistors MOS et le bipolaire de faibles calibres en tension et en courant, par leur modèles " petits signaux " est envisageable: c'est par exemple, le cas du logiciel ESACAP .

Le but de ce mémoire est de présenter une modélisation du transistor IGBT (Insulated Gate Bipolar Transistor) de puissance allant du plus complet (valable en tout régime de fonctionnement) au plus simple (pour l'étude en commutation) qui sera implantée dans le logiciel ESACAP.

Notre étude portera principalement sur une modélisation du transistor IGBT utilisable pour traiter des régimes de commutation. Ce sera *un outil d'aide à la conception des circuits de l'électronique de puissance*. IIII

Nous réimplantons :i) un modèle du transistor VDMOS de puissance, ii) un modèle du transistor bipolaire et ainsi la combinaison de ces deux transistors en montage Darlington qui constituera le modèle complet de notre composant IGBT.

Le mémoire s'articule de la façon suivante:

Au premier chapitre, nous présenterons la "modélisation mathématique" du transistor IGBT afin d'établir un schéma équivalent dynamique, physique et complet.

Dans le deuxième chapitre nous présenterons le modèle dynamique du transistor IGBT qui n'est autre qu'une combinaison du transistors VDMOS et du transistor bipolaire, qu'il a fallu donner à chacun son propre modèle afin de représenter un modèle de l'IGBT plus simplifié et plus aisé à intégrer dans un logiciel de simulation des circuits (ESACAP). Nous allons aussi dans ce chapitre, présenter le logiciel ESACAP à travers son formalisme et décrire les

phases essentielles permettant d'aboutir à une version pour ce logiciel du *modèle simplifié* du transistor I.G.B.T. adapté à l'étude du régime de commutation et nous procéderons ainsi à la transcription du modèle simplifié de l'I.G.B.T. dans ce logiciel. Ensuite et toujours dans le formalisme ESACAP, nous montrerons comment nous réimplanterons le transistor V.DMOS de puissance, le transistor bipolaire ainsi que les éléments non linéaires tels que par exemple la capacité grille-drain et la capacité drain-source par utilisation des modèles de la bibliothèque existante dans l'ESACAP (SPICE). Il sera aussi possible de présenter trois modèles qui sont:

- *modèle du VDMOS,*
- *modèle du transistor bipolaire,*
- *donc le modèle de l'IGBT.*

L'ensemble de ces trois modèles proposés ont la même topologie qui est déduite de celle du modèle physique complet du transistor I.G.B.T. développé au premier chapitre. Il en résulte que tous les paramètres de ces trois modèles gardent un sens physique.

Dans le troisième chapitre nous développerons par ailleurs une méthodologie complète de détermination de quelques paramètres de ces modèles qui seront tous obtenus par des mesures simples ou à partir des données des fabricants des composants. Nous montrerons à cet effet comment doivent être complétés les feuilles de données de ces produits pour fournir les valeurs des paramètres nécessaires à l'étude de la commutation. Le modèle simplifié sera validé en régimes de commutation sur charge résistive et inductive (selfique) par confrontation des résultats de simulation du transistor IGBT en régime de commutation à ceux obtenus sur les maquettes expérimentales.

Ce modèle est d'un grand intérêt pour l'étude des circuits de *SMART POWER*.

CHAPITRE I

MODELE MATHEMATIQUE DU TRANSISTOR IGBT.

I- INTRODUCTION.

Le bouleversement qui s'est opéré au cours de ces dernières années dans la technologie de réalisation du transistor de puissance IGBT a permis une ouverture significative de sa réalisation en tant que composant de puissance discret.

Actuellement, la gamme de puissance de ce composant atteint des tensions bloquées de ≈ 2 Kv et des courants $> 1200A$ [25].

Le concept de ces composants est basé sur une combinaison de la physique des transistors de puissance bipolaires et des transistors V.DMOS. Ils présentent les avantages suivants :

- Grande vitesse de commutation à L'état "on" et à L'état "off" due à la partie commande représentée par le MOS qui ne nécessite pas un temps d'évacuation des charges minoritaires.
- Grande puissance due à la partie bipolaire (pour des calibres en tension $400V \leq U \leq 1200V$ et des calibres courant $10A \leq I \leq 600A$) [25],
 - pertes minimales en commutation,
 - utilisation à des fréquences moyennes ($f=10KHz$).

Notre objectif est d'établir un modèle de simulation des transistors IGBT de puissance avec le logiciel ESACAP. Il faut élaborer celui-ci (le modèle) en tenant compte des mécanismes physiques existants dans ces nouvelles structures.

Nous allons donc établir le modèle analytique du transistor IGBT. Le modèle décrit les caractéristiques statiques courant-tension de l'IGBT et en dynamiques, pour différentes charges.

Le modèle est basé sur le circuit équivalent du transistor V.DMOS qui alimente le courant de base du transistor bipolaire de puissance à un faible gain, et à un haut niveau d'injection.

L'élément de base du modèle est l'analyse détaillée du transistor bipolaire qui utilise la théorie du transport ambipolaire et n'assume pas les conditions quasi-statiques pour l'analyse transitoire.

Pour établir le modèle mathématique de l'IGBT, nous commencerons par rappeler les principales équations qui régissent les comportements statique et dynamique. Pour ce dernier, il sera fait appel à une méthode mathématique non linéaire développée au L.A.A.S [4,5] basée sur la résolution des équations de Poisson, de continuité et de neutralité électrique.

On présentera enfin un schéma électrique équivalent et complet du transistor IGBT.

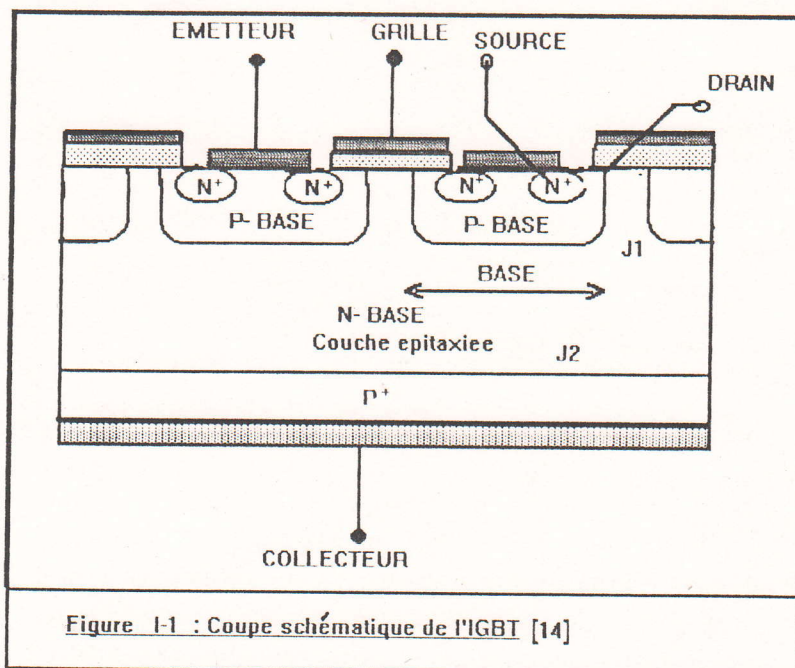
I-1) Technologie du transistor IGBT: [1,13,14,17].

Nous allons présenter un schéma de structure de l'IGBT (Insulated Gate Bipolar Transistor), ainsi que les principales étapes des processus technologiques conduisant à sa réalisation.

La technique de fabrication nécessaire pour réaliser le composant IGBT doit satisfaire les exigences combinées du traitement des composants du VDMOS et du transistor bipolaire.

La durée de vie des porteurs minoritaires doit être suffisamment grande pour assurer une bonne modulation de la conductivité de la région n légèrement dopée, durant la conduction et ainsi qu'une grande qualité de l'oxyde de grille du MOS qui doit être réalisée et maintenue durant le cycle de fabrication.

La figure I-1 représente une coupe schématique d'un transistor IGBT à grille en polysilicium. Sa structure est similaire au transistor V.DMOS (Vertical Double Diffused Mosfet) à la seule différence que le substrat fortement dopé de type P⁺ remplace le contact drain de type N du Mosfet conventionnel.



La couche épitaxiale épaisse, légèrement dopée du transistor V.DMOS est nécessaire à supporter les grandes tensions en mode de blocage, mais elle présente une grande résistance à l'état "ON".

La jonction PN additionnée J2 (substrat P, couche épitaxiale N) de l'IGBT sert pour réduire la résistance à l'état "ON" en injectant les porteurs minoritaires qui modulent sa conductivité.

L'excès des porteurs minoritaires qui sont injectés dans la couche épitaxiale (N-Base) diffusent à travers celle-ci. Le reste des porteurs minoritaires (ceux qui n'ont pas été recombinaés dans la couche N) atteint la jonction N-Base-P-Base (jonction J1) et sont collectés par la base-P, la jonction J1 étant polarisée en inverse en mode de conduction (mode positif). Le transistor MOS qui se situe sous la grille alimente le base-N en porteurs majoritaires dont une partie est recombinaée et l'autre est considérée comme le courant de base du transistor bipolaire. Ainsi l'IGBT fonctionne comme un transistor bipolaire qui est alimenté par le courant du transistor MOS. La figure (I-2) montre les étapes technologiques essentielles pour la réalisation d'une structure pour le transistor IGBT (DMOS) : le matériau de base est un substrat P⁺ fortement dopé en atomes de Bore (0.01Ω.cm) orienté(111) sur lequel une couche faiblement dopée N avec du Phosphore est épitaxiée. Les couches épitaxiales sont produites en utilisant le tétrachlorure de silicium avec un soin calibré du système de déposition de vapeur chimique.

Les niveaux de dopage dans les couches épitaxiales sont contrôlés à une tolérance $\pm 10\%$ et les variations d'épaisseurs inférieures à $\pm 10\%$ sont obtenues.

Sur cette couche N-, un oxyde (étape 1) est réalisé, qui sert de masque à une première diffusion P+ (étape 2).

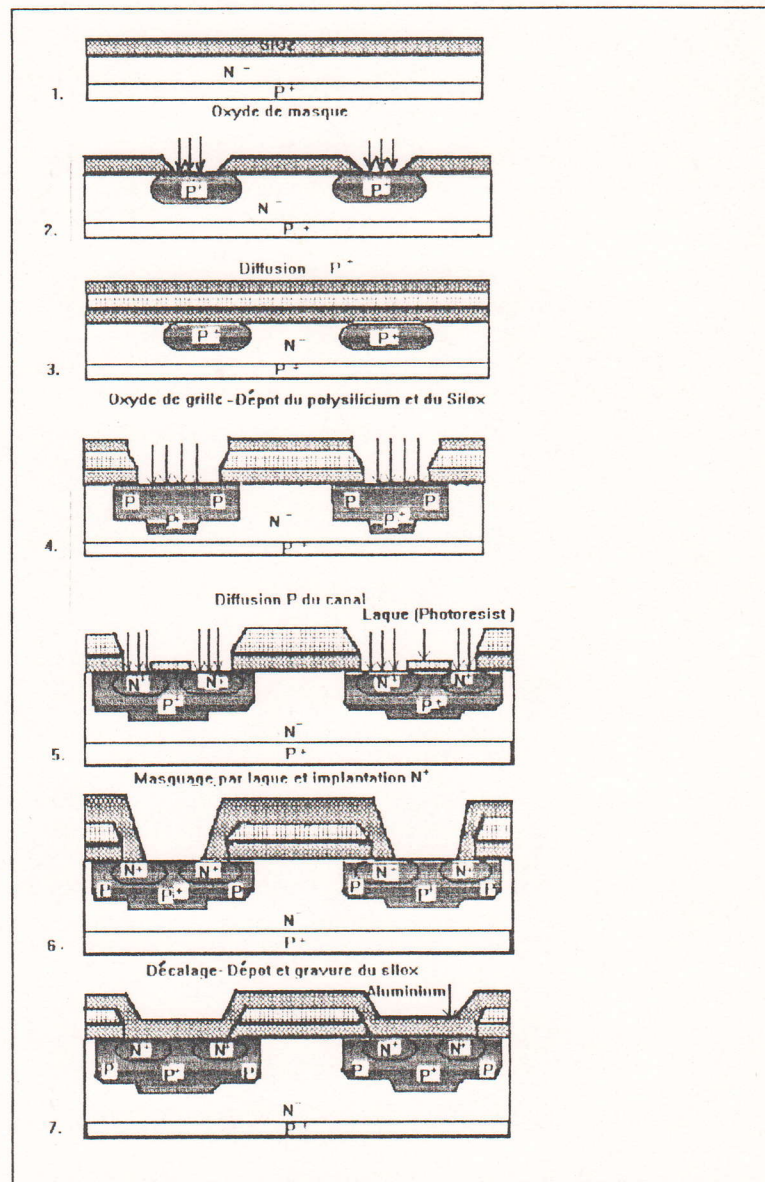
Après la réalisation de l'oxyde mince de grille une couche de polysilicium est ensuite déposée (étape 3). Des fenêtres sont ouvertes à travers le polysilicium \ l'oxyde mince \ polysilicium, définissant ainsi un motif à deux couches qui formera la région de grille, une deuxième diffusion de type P à travers ces fenêtres est effectuée pour former la zone du canal (étape 4); après une étape de masquage par laque (photorésist), les zones N+ de contacts de (l'émetteur) sont diffusées en utilisant le motif de grille comme partie du masque (étape 5). Ces diffusions successives P et N+ permettent à travers leurs extensions latérales d'une part et le procédé d'auto-alignement d'autre part, un contrôle précis de la longueur du canal.

Par la suite, un dépôt d'oxyde basse température (silox) sur la surface de la plaquette suivie d'une gravure de ce silox permettent d'enterrer



la grille et de l'isoler. Les zones de contact sont ensuite gravées, enfin une métallisation des zones de l'émetteur et de collecteur est réalisée, qui est suivie d'un dépôt d'un matériau de passivation.

Ainsi pour fabriquer des composants IGBTs, un processus standard du DMOS de puissance à grille de polysilicium est donc utilisé.

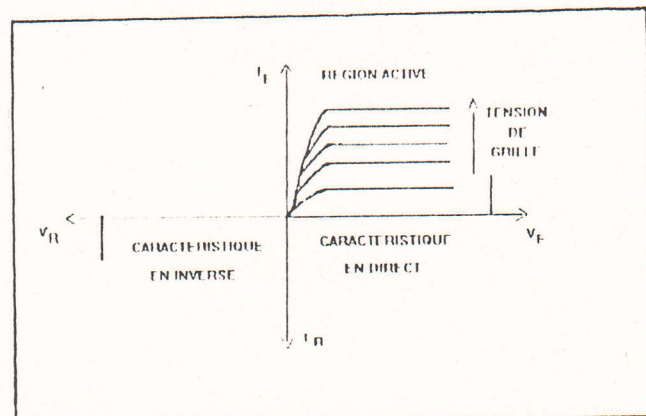
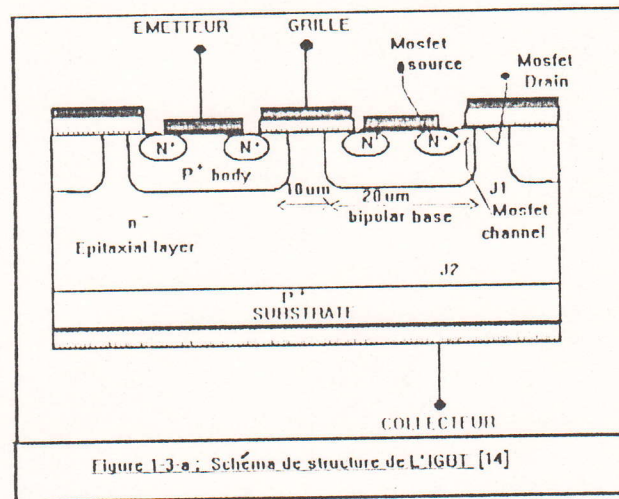


Figure(I-2): Etapes principales d'un processus typique de réalisation d'une structure pour le transistor IGBT . [4,5]

1-2) STRUCTURE DE BASE ET FONCTIONNEMENT: [1,13,14,17].

Considérons la structure du transistor IGBT montrée sur la figure (1-3-a). Dans cette structure, le courant ne peut circuler lorsque une tension négative est appliquée au collecteur (respectivement à l'émetteur) car la jonction PN J2 est alors polarisée en inverse.

Lorsque une tension positive est appliquée au terminal collecteur, avec la grille court-circuitée à l'émetteur, la jonction J2 devient polarisée en inverse et le composant opère en son " mode direct de blocage".



Avec une tension positive appliquée au collecteur, si une tension suffisamment positive est appliquée à la grille pour inverser la surface de la région P-base sous la grille, le composant opère en mode de conduction direct

("forward conduction state") car les électrons peuvent maintenant circuler de la région émetteur N^+ à la région N-base. Dans ce mode d'opération (forward conduction state) à l'état passant, la jonction J2 est polarisée en direct et la région substrat P^+ injecte les trous dans la région N-base. Lorsque la tension augmente, la concentration des trous injectés augmente aussi jusqu'à ce qu'elle dépasse le niveau de dopage de la région epitaxiée N-base. Dans ce régime d'opération, les caractéristiques du composant sont similaires à ceux de la diode P-i-N polarisée en directe. Ces composants peuvent opérer avec de grandes densités de courant même lorsqu'ils sont appelés à supporter les grandes tensions de blocage.

Une augmentation de la tension de grille provoque une augmentation de la charge dans le canal et par conséquent un accroissement du nombre d'électrons qui passent dans la base-N. La caractéristique en mode de conduction ressemble à celle de la diode P-i-N. Néanmoins si la conductivité de la couche d'inversion est faible, une chute de tension significative se produit à travers la région , comme celle observée dans les Mosfets conventionnels. Il s'en suit, une saturation du courant direct et le composant opère dans sa région active. La caractéristique électrique du transistor I.G.B.T. s'illustre sur la figure(1-3-b).

Pour commuter l'IGBT de l'état "on" à l'état "off", il est nécessaire de décharger la grille en court-circuitant celle-ci avec l'émetteur. En l'absence de la tension grille, le canal de la région inversée à la surface de la région P-base sous la grille disparaît. La disparition du canal empêche les électrons de passer dans la région N-base et initialise le processus de " turn-off". Durant celui-ci, il ya une grande concentration des électrons dans la région N-base à la jonction J2 . Il s'en suit, une injection significative des électrons dans la région collecteur P^+ pendant qu'un courant de trous correspondant circule dans la région P-base. Une fois que la concentration des électrons chute, l'injection de ces derniers dans la région collecteur P^+ continue toujours à diminuer, laissant ainsi un nombre d'électrons et de trous dans la région N-base qui doit disparaître par recombinaison ^(de plasma). Le processus de " turn off " se divise ainsi en deux phases:

La première phase dans laquelle le courant collecteur doit diminuer rapidement, et la deuxième phase le courant s'affaiblit exponentiellement en fonction du temps formant une queue(tail) dans la forme d'onde du courant collecteur.

A partir de la précédente description d'opération du transistor IGBT, on peut voir que ce circuit opère avec de grandes densités de courant dans le mode de conduction direct ("forward conduction").

En plus, le composant exige une très faible puissance de la grille, seuls les courants de chargement et de déchargement de la faible capacité de grille sont exigés. Ainsi, ce composant présente des caractéristiques électriques qui s'approchent à ceux d'un interrupteur idéal.

La structure de l'IGBT présentée dans la figure (1-3-a) contient un thyristor P-N-P-N parasite entre les terminaux collecteur et émetteur. Si le thyristor est conducteur, le courant ne peut plus être longuement contrôlé par la grille du transistor MOS. Il est important de concevoir l'IGBT de façon à ce que l'action du thyristor parasite soit supprimée. Ceci peut être fait par la l'élimination de l'injection des électrons de la région N^+ émetteur dans la région P-base durant le fonctionnement du composant. La région N^+ émetteur commence à injecter des électrons dans la région P-base, si la jonction N^+ -P devient polarisée en direct avec une tension plus de 0.7V. La de 0.7V est le résultat de la chute de tension due à la circulation d'un courant latéral dans la zone P-base. Cette injection peut être supprimée en choisissant l'épaisseur de la région N^+ émetteur étroite et en gardant la résistance Sheet de la région P-base faible.

1-3) ETUDE ANALYTIQUE DE IGBT: [15]

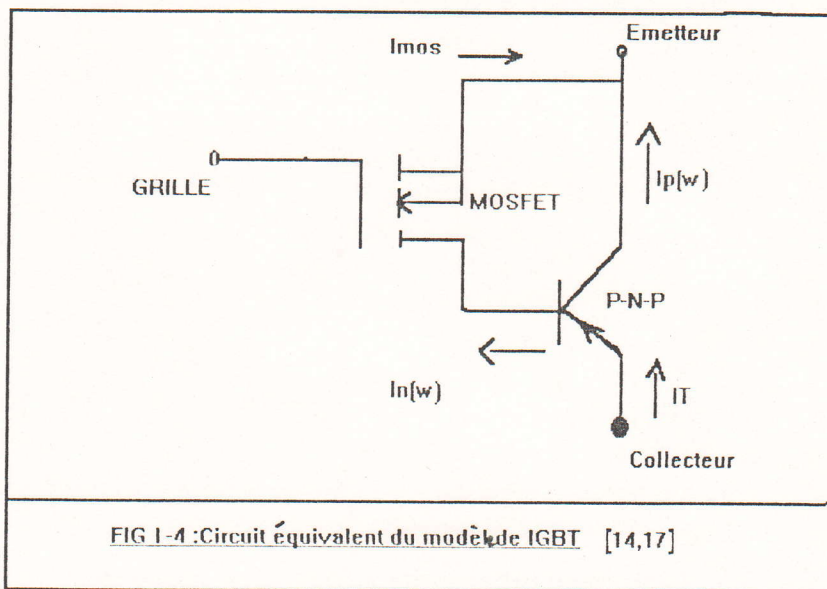
La modélisation numérique exacte peut être un outil valable lorsqu'on analyse de nouveau types de composants comme l'IGBT.

La modélisation des dispositifs semiconducteurs se fait en utilisant de différents concepts de l'implantation. La première étape est de décrire le comportement physique avec la résolution des équations de drift et de diffusion; ceci se fait généralement dans les programmes de simulation des composants. La connaissance exacte de plusieurs paramètres des composants comme l'épaisseur de la couche, la durée de vie des porteurs et la réduction de la résistance "ON" sont les facteurs motivant le développement du composant. L'équation mentionnée au dessus, peut être résolue numériquement ou analytiquement, soit à une, ou à deux, ou à trois dimensions. L'avantage de cette méthode est la précision des résultats obtenus, mais pour la simulation de grands circuits elle nécessite beaucoup de temps de calcul.

Pour l'IGBT Hefner a présenté une implantation dans [3] et [4] largement apprécié.

Nous présenterons maintenant un modèle analytique pour un IGBT qui inclue l'analyse détaillée du transport ambipolaire (voir chap. I-4-a) de la base du transistor bipolaire, partie du composant IGBT et n'assume pas la condition quasi-statique pour l'analyse transitoire.

Le modèle développé qui utilise le circuit équivalent de la figure (I-4) est le modèle analytique de l'IGBT pour décrire les formes d'ondes du courant et tension aux différentes conditions de charge.



I-4- MODELE DU TRANSISTOR IGBT :

Le courant de base circule du collecteur à travers la base dans la même direction que le courant collecteur, et le courant total (somme des courants des trous et des électrons) est constant le long de la base, ainsi les caractéristiques du haut niveau d'injection du transistor bipolaire de l'IGBT peuvent être obtenues en utilisant l'équation de transport ambipolaire à une dimension pour décrire le transport de la base. Les équations du transport ambipolaire sont généralement utilisés pour décrire le transport dans la base d'une diode P-i-N. En effet le transistor bipolaire de l'IGBT est traité similairement comme une diode P-i-N mais avec des conditions aux limites du transistor [14].

1-4-a) TRANSPORT AMBIPOLAIRE : [14]

Puisque la base est large et la concentration de dopage de la base est faible pour le transistor bipolaire de l'IGBT, la concentration des porteurs injectés dans la majorité de la base devient supérieure à la concentration de dopage de base pour de faibles densités de courant c'est à dire approximativement $0.2\text{A}/\text{cm}^2$ pour un IGBT avec une durée de vie de la couche épitaxiale de $7\mu\text{s}$ [14]. Lorsque l'excès des porteurs est supérieur à la concentration de dopage de base, le transport des électrons et le transport des trous se fait sous l'effet d'un champ électrique. Ils ne peuvent être traités séparément.

L'étude faite en [14], montre que le transport des électrons et des trous dans la base du transistor bipolaire de l'IGBT doit être décrit par le transport ambipolaire, et ne peut pas être décrit par l'approche classique de découplage des équations de transport des électrons et des trous.

En général les courants des électrons et des trous sont donnés par :

$$I_n = n \cdot q \cdot \mu_n \cdot A \cdot E + q \cdot A \cdot D_n \cdot \frac{\partial n}{\partial x} \quad (1)$$

$$I_p = p \cdot q \cdot \mu_p \cdot A \cdot E - q \cdot A \cdot D_p \cdot \frac{\partial p}{\partial x} \quad (2)$$

Le premier terme dans l'équation (1) et (2) sont dus au conduction et le second terme sont dus au diffusion.

Dans le cas du transistor bipolaire classique à gain élevé, ces équations peuvent être découplés et le transport des porteurs minoritaires dans la base est décrit par une simple expression, sous les conditions de haut et faible niveau d'injection. Pour un transistor PNP à gain élevé et au faible niveau d'injection ($p \ll n$ dans la base), les conditions de gain élevé exige un courant de conduction des trous négligeable, et le transport des trous est par diffusion seulement (le deuxième terme dans l'équation (2)).

Dans le cas du transistor bipolaire à gain élevé et au haut niveau d'injection, la quasi neutralité donne $n \approx p$ et les conditions de gain élevé exige que la conduction des électrons est approximativement celle exigé pour annuler la diffusion des électrons. Ainsi le champ électrique est obtenu en assumant $I_n = 0$. En utilisant cette expression du champ électrique et la relation d'Einstein $D_{n,p} = (k \cdot T / q) \mu_{n,p}$, une expression du courant des trous est ainsi obtenue.

Néanmoins, dans le cas d'un faible gain, et sous des conditions de haut niveau d'injection du transistor bipolaire de l'IGBT, la différence entre le courant des électrons de conduction et le courant de diffusion est important.

Dans ce cas le courant net des électrons a un effet significatif sur le courant de conduction des trous, et les équations de transport des électrons et des trous ne peuvent pas être découplés. En supposant la quasi-neutralité (c'est à dire $\delta n = \delta p$) et un niveau élevé de porteurs en excès (c-à-d $\delta n \gg N_B$), les courants peuvent être écrits dans le cas du transport ambipolaire en éliminant le champ électrique entre les équations (1) et (2) :

$$I_n = b \cdot I_T / (1 + b) + q \cdot D \cdot A \cdot \partial n / \partial x \quad (3)$$

$$I_p = I_T / (1 + b) - q \cdot D \cdot A \cdot \partial p / \partial x \quad (4)$$

Ces deux expressions dépendent du courant total, ainsi le transport des électrons et des trous sont couplés.

Dans le cas d'un gain élevé (courant des électrons négligeable), le courant total est approximativement égal au courant des trous et l'équation (4) est consignée au modèle à gain élevé et au haut niveau d'injection décrit au dessus. L'équation de continuité est :

$$\partial \delta p / \partial t = -(\delta p / \tau_{HL}) - (\partial J_p / \partial x) \cdot 1/q$$

A partir de cette équation, et l'équation (4), on obtient l'équation de diffusion ambipolaire en fonction du temps:

$$\partial^2 \delta p / \partial x^2 = (\delta p / L^2) + (1/D) \cdot \partial \delta p / \partial t \quad (5)$$

L'exigence de la résolution de cette équation est que le courant total I_T est indépendant de la position de la base. Cette exigence est satisfaite pour l'IGBT car le courant de base (courant des électrons) circule du collecteur à travers la base dans la même direction que le courant des trous injectés.

1-4-a-1) L'ETAT STATIQUE :

Dans cette partie, un système d'équations paramétrique est dérivé pour décrire les densités de courant des électrons et des trous, l'excès de concentration des porteurs, et la tension base-émetteur V_{BE} à l'état statique. Ces équations sont obtenues en résolvant l'équation de transport ambipolaire pour les conditions aux limites du transistor bipolaire. L'analyse décrit aussi:

- a) l'effet du facteur de transport de base,
- b) l'efficacité de l'émetteur pour un faible gain , et le cas du haut niveau d'injection ,

c) la modulation de la conductivité de la base.

Les caractéristiques du transistor bipolaire sont combinées avec le modèle du transistor MOS pour décrire la caractéristique statique tension-courant de l'IGBT.

1-4-a-2) CONCENTRATION DES PORTEURS ET DENSITE DE COURANT :

L'analyse a donné des performances en utilisant le système de coordonnées définie par la figure(1-4-a).

On défini :

$x=0$, comme le niveau émetteur au bord de la base.

$x=w$, comme le bord du collecteur de la base quasi-neutre.

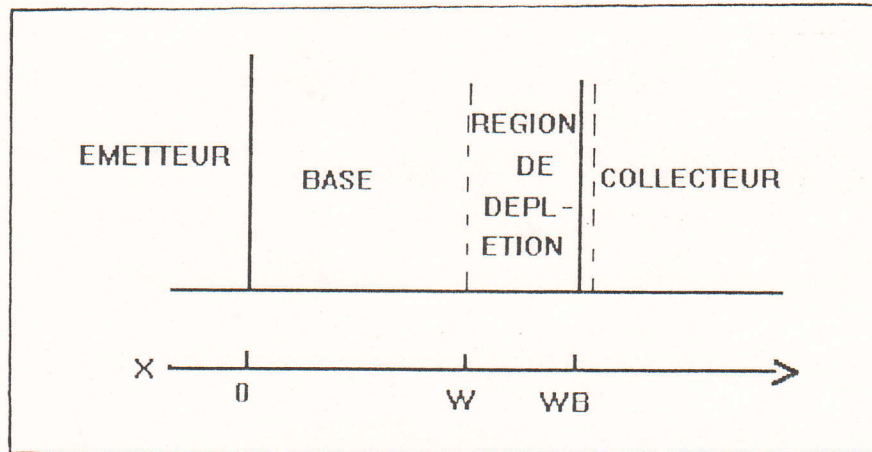


Figure (1-4-a): Système de coordonnées utilisé pour le développement du transistor IGBT [14].

Les conditions aux limites pour la répartition des porteurs en excès sont :

$$\delta p(w) = 0 ,$$

$\delta p(0) \equiv p_0$ où p_0 est utilisé comme un paramètre pour le développement du modèle et il est éventuellement éliminé dans le terme du courant.

La largeur de la base quasi-neutre est donnée par :

$$W = W_B \cdot [2 \cdot \xi_{si} \cdot (V_{bc} + V_{bi}) / q \cdot N_B]^{1/2} \quad (6)$$

Largeur de déplétion
de la jonction base-collecteur

où $V_{bi} \approx 0.7V$.

L'effet des porteurs mobiles sur la charge de la région de déplétion n'est pas considéré dans l'équation (6).

La résolution de l'équation de diffusion ambipolaire à l'état statique (équ(5) avec $\partial\delta p/\partial t=0$) dans la base avec ces conditions aux limites donne:

$$\delta p(x) = P_0 \cdot \sinh\left[\frac{(w-x)/L}{\sinh(w/L)}\right] \quad (7)$$

Cette équation décrit à l'état statique la distribution des porteurs excédentaires dans la base du transistor bipolaire à large base, et à haut niveau d'injection.

En tenant compte du quasi-équilibre simplification (c'est à dire que la différence entre les potentiels quasi-Fermi des électrons et des trous est la même sur les deux côtés de la jonction) et en supposant un haut niveau d'injection des trous dans la base, le courant des électrons à la jonction émetteur-base $I_n(0)$ est donné en fonction de P_0 par la relation :

$$I_n(0)/I_{sne} = \exp(q/kT) \cdot (\Phi_{pej} - \Phi_{nej}) = P_0(N_B + P_0)/n_i^2 \approx P_0^2/n_i^2 \quad (8)$$

I_{sne} = courant de saturation des électrons (mesuré).

En utilisant les équation (3),(4),(7)et(8), on obtient les courants des électrons et des trous dans la base pour une surface A :

$$I_n(x) = P_0^2 \cdot I_{sne}/n_i^2 + q \cdot P_0 \cdot A \cdot D/L \cdot \left[\coth(w/L) - \cosh[(w-x)/L]/\sinh(w/L) \right] \quad (9)$$

$$I_p(x) = P_0^2 \cdot I_{sne}/b \cdot n_i^2 + q \cdot P_0 \cdot A \cdot D/L \cdot \left[(\coth(w/L)/b) + \cosh[(w-x)/L]/\sinh(w/L) \right] \quad (10)$$

Ces équations sont évaluées au niveau collecteur de la base ($x=w$) donnant à l'état statique le courant collecteur $I_p(w)$ et le courant de base $I_n(w)$ figure(I-4).

1-4-a-3) TENSION BASE -EMETTEUR :

Le contact base a été définie à être au bord du collecteur de la base quasi-neutre où le potentiel quasi-Fermi des électrons coïncide avec ses charges neutres, la valeur de l'équilibre thermique relative au potentiel électrostatique au deux contacts base et émetteur, la tension V_{be} est donnée par.

$$V_{be} = (\Phi_{pej} - \Phi_{nej}) + (\Phi_{nej} - \Phi_{nb}) \quad (11)$$

$\Phi_{nej} - \Phi_{nb}$ = chute de tension des électrons quasi-Fermi à travers la base quasi-neutre.

Le gradient de potentiel des électrons quasi-Fermi est en relation avec le courant et la concentration des électrons par [14] est:

$$d\Phi_n(x)/dx = -I_n(x)/q.A.\mu_n.n(x)$$

La chute de potentiel des électrons à travers ou le long de la base quasi-neutre est déterminée en intégrant cette équation entre l'émetteur et le bord du collecteur de la base avec $I_n(x)$ donné par l'équation (3) et $n(x) = N_B + \delta p(x)$, où $\delta p(x)$ est donné par l'équation (7) en supposant que la majorité des porteurs dans la base est en haut niveau d'injection. Le résultat de l'intégration est:

$$\Phi_{nej} - \Phi_{nb} = \left[I_T.W / (1 + 1/b) . \mu_n . A . q . n_{eff} \right] - (D/\mu_n) * \ln(P_0 + N_B) / N_B \quad (12)$$

où

$$1/n_{eff} \equiv 1/W \int_0^W dx / (N_B + \delta p(x)) \quad (13-a)$$

En utilisant la distribution des porteurs de l'équation (7), on obtient pour n_{eff} une solution analytique :

$$n_{eff} \equiv \left[\frac{(w/2.L).SQRT(N_B^2 + P_0^2.csch^2(w/L))}{\operatorname{arctnh}\left[\left(\frac{SQRT(N_B^2 + P_0^2.csch^2(w/L)).\tanh(w/2.L)}{N_B + P_0.csch(w/L)}. \tanh(w/2.L) \right) \right]} \right] \quad (13-b)$$

1-4-a-4) CARACTERISTIQUE I-V A L'ETAT STATIQUE :

Les équations (6) et (13) sont des équations algébriques en fonction du terme P_0 qui peuvent être combinées pour décrire la caractéristique (I-V) à l'état statique du transistor bipolaire à large base et haut niveau d'injection. Une expression pour la composante P_0 est obtenue en fonction des courants terminaux par l'équ (9) et l'équ (10), ou leur somme évaluée au bord du collecteur de la base pour obtenir le courant voulu par la résolution de l'équation quadratique résultante en terme de P_0 .

Les équations (8),(11)-(13) donnent ainsi $V_{eb} = f(P_0)$; et en utilisant l'expression trouvée de P_0 en fonction de I_T ; on trouve alors la caractéristique $V_{eb} = f(I_T)$.

$$I_T(x) = I_n(x) + I_p(x)$$

Evaluons cette équation au niveau du collecteur de la base à $x = w$:

$$I_T(x) = I_n(w) + I_p(w)$$



La chute de tension anode-cathode de l'IGBT est donnée par la somme de la : tension V_{eb} , tension du canal MOSFET et la chute aux bords de la résistance en série.

$$V_A = V_{eb} + R_{mos} \cdot I_{mos} + R_s \cdot I_T \quad (14)$$

Où $I_{mos} = I_B$ qui est obtenu en évaluant l'expression du courant des électrons donnée par l'équation (9) au côté collecteur, $I_{MOS} = I_n(w)$ selon la figure(I-4).

Le MOSFET est dans sa région linéaire lorsque l'IGBT est à l'état "ON" et la résistance du MOSFET est donnée par:

$$R_{mos} = 1/K_p \cdot (V_{GS} - V_T) \quad (15)$$

La chute de tension anode-cathode de l'IGBT à l'état "on" est donnée explicitement en terme de courant de l'anode et de la tension grille, en supposant $V_{bc} \approx 0$ (équ.6).

Le gain en courant à l'état statique du transistor bipolaire monté en émetteur commun est donné par :

$$\beta_{ss} \equiv I_p(W)/I_n(W) = f(P_0);$$

en divisant l'équ (10)/ l'équ(9); au point $x=w$.

$$I_{IGBT} = (1 + \beta_{ss}) \cdot I_{mos}$$

où $I_{mos} \equiv I_n(w)$.

En utilisant l'expression trouvée pour P_0 en terme de $I_n(w)$, on obtient une expression explicite pour I_T en terme du canal du Mosfet. Le transistor IGBT est dans sa région de courant de saturation lorsque le Mosfet est dans sa région de saturation. Le courant de saturation du transistor MOS est donné par:

$$I_{mos}^{sat} = (K_p/2) \cdot (V_{GS} - V_T)^2 \quad (16)$$

En utilisant cette expression et l'expression du courant total en fonction du courant du Mosfet, le courant de saturation de l'IGBT est décrit explicitement en termes de la tension grille V_{GS} et de la tension de l'anode en supposant $V_{bc} \approx V_A$ dans l'équation (6).

1-4-b) ANALYSE TRANSITOIRE :

Dans cette partie, le comportement transitoire du transistor bipolaire à base large et à haut niveau d'injection est étudié en accord avec le mode de commutation de l'IGBT.

Pour "ouvrir" l'IGBT, la tension grille est ramenée à une tension plus basse que la tension de seuil (V_{TH}), qui élimine rapidement le courant du canal MOSFET qui n'est autre que le courant de base du transistor bipolaire. Le courant collecteur du transistor bipolaire diminue plus longuement, étant donné que les porteurs de charge excédentaires stockés dans la base du transistor bipolaire doivent quitter la base.

L'affaiblissement de la forme d'onde du courant transitoire de l'IGBT consiste en deux phases :

- Une tombée rapide initiale associée (non égal) au courant de base.
- Un affaiblissement lent dû aux porteurs excédentaires présents dans la base.

Il est montré dans cette partie que la chute rapide initiale du courant est non égal au courant de base à l'état statique. Cette différence existe pour deux raisons :

1- La tension de l'anode et la largeur de la base quasi-neutre sont en général différentes durant l'affaiblissement du courant collecteur qu'à l'état statique.

2- La disparition du courant des électrons (courant de base) réduit toujours le courant des trous (courant collecteur), ainsi l'approximation quasi-statique est non validée pour le transport ambipolaire.

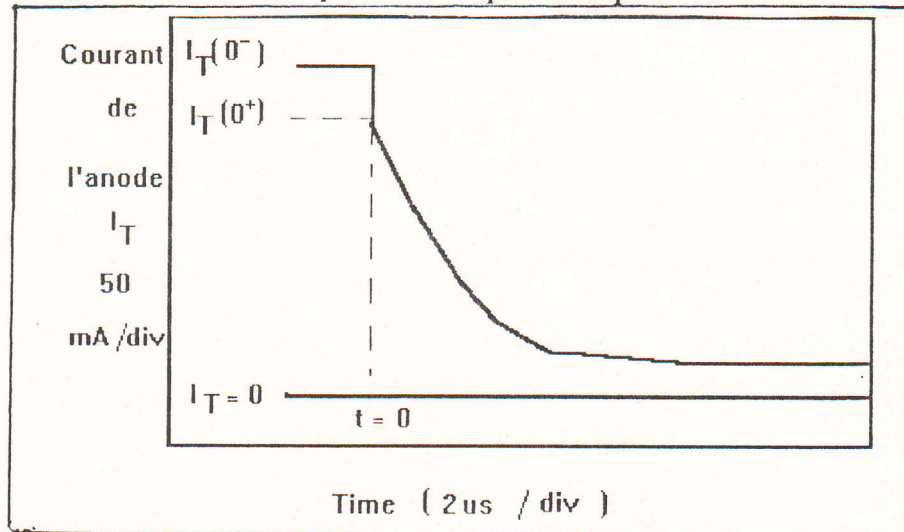


Figure (1-4-b-1): Forme d'onde du courant au turn off en notant le courant avant, après la tombée rapide initiale. [1], [14], [15]

La valeur du courant immédiatement après la tombée rapide [$I(0^+)$] de la figure(1-4-b-1) dépend :

- i) des conditions de charge et,
- ii) du courant à l'état statique avant l'initialisation du mode transitoire [$I(0^-)$] et il est tiré séparément pour les deux conditions de charge.

Un modèle à transition de la tension pour une charge inductive est ainsi développé. Il est important de noter que cette transition est plus lente pour un IGBT que pour un MOSFET. La perte de charge durant la transition lente de la tension est toujours importante pour déterminer la valeur de $I(0^+)$ de la forme d'onde du courant à charge inductive.

Finalement, l'analyse de la transition de la tension est étendue pour décrire les formes d'ondes de courant et de tension transitoires, pour une série de charges, résistance, inductance.

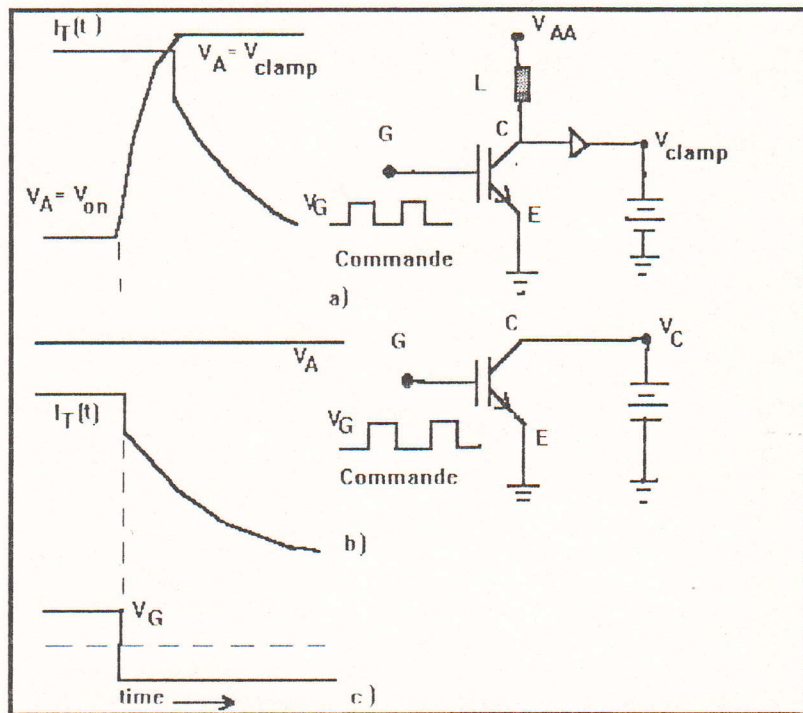


Figure (1-4-b-2) : Circuit de test et les formes d'onde du courant et tension correspondantes. [14]

1-4-b-1) Phase d'affaiblissement lent du courant collecteur à une tension constante!

A cause de l'absence de la source des porteurs majoritaires (courant de base) durant la phase d'affaiblissement lent de la forme d'onde du courant, l'excès total des porteurs majoritaires stockés dans la base s'affaiblit

soit par recombinaison ou par injection dans l'émetteur. L'excès des porteurs minoritaires dans la base continue à être alimenté par injection à partir de l'émetteur, il est appauvri par le rassemblement à la jonction base-collecteur et recombinaison dans la base de telle manière que la quasi-neutralité est maintenue entièrement dans la base.

Ce courant des porteurs minoritaires collecté (courant des trous) est égal au courant total de l'IGBT durant la phase d'affaiblissement lent du courant à une tension constante.

$$I_T(t) = 4.D_p.q(t)/w^2 \quad (17)$$

Ce courant peut être plus bas pour une charge donnée que le courant collecteur à l'état statique (c'est à dire l'approximation quasi-statique est non validée) car le courant net des électrons (courant de base) qui circule le long de la base ne dure pas longtemps, alors la portion du courant de conduction des trous associé au courant des électrons à l'état statique ne dure pas longtemps non plus. L'excès de charge des porteurs de la base s'affaiblit par recombinaison dans la base et par injection dans l'émetteur.

Le taux d'affaiblissement de la charge totale est donné par :

$$dQ/dt = -Q/\tau_{HL} - I_n(0) \quad (18)$$

En utilisant l'équation (3), (17) et (18), le taux d'affaiblissement du courant pour une distribution linéaire [$P_0 = 2.Q/(q.A.W)$] est donné par :

$$d \ln I_T/dt = (dI_T/dt)/I_T \approx -1/\tau_{HL} [1 + I_T/I\tau_k] \quad (19)$$

où $I\tau_k \equiv q^2.A^2.D_p.n_i^2/I_{sne}.\tau_{HL}$

La solution analytique de l'équation (19) est :

$$I_T(t) = I_T(0^+) \left\{ \left[1 + I_T(0^+)/I\tau_k \right]^* \exp(t/\tau_{HL}) - I_T(0^+)/I\tau_k \right\} \quad (20)$$

où $I_T(0^+)$ est le courant de charge de contrôle au début de la phase d'affaiblissement lent du courant .

I-4-b-2) Mode de commutation pour une tension anodique constante :

Dans ce cas, la tension anode et la largeur de la base neutre restent les mêmes durant l'état statique et l'état transitoire. Alors, l'excès des porteurs de charge de la base du début de la phase d'affaiblissement du

courant $[Q(0)]$ est déterminé par l'intégration de la distribution initiale des porteurs excédentaires à l'état statique (équ 7), de l'émetteur au collecteur .

$$Q(0) = q \cdot P_0 \cdot A \cdot L \cdot \tanh(W/2.L) \quad (21)$$

L'expression de $I_T(0^+)$, du courant immédiatement après la chute rapide initiale, est tirée à partir des équations (17) et (21).

En tirant l'expression du courant trouvée dans l'équation (20), le courant est décrit en fonction du temps après la redistribution.

$I_T(0^-)$ est le courant total à l'état statique avant le début du mode transitoire, il est donné par la somme des équations (9) et (10).

I-4-b-3) Transitions de la tension anodique:

En général l'équation de diffusion doit être résolue en tenant compte des conditions aux limites de déplacement de la jonction collecteur-base, pour décrire la distribution des porteurs et le courant des trous collecté durant la transition de la tension. Néanmoins, une expression analytique décrivant l'effet de redistribution des porteurs sur le courant collecté peut être obtenue en utilisant une analyse de perturbation. En général, le courant des électrons dans le collecteur au bord de la base après élimination du courant du canal du MOSFET, est égal au courant de déplacement de la jonction collecteur-base dépletée.

$$(1 + 1/b)C \cdot dV_A(t)/dt = I_T(t) + 2 \cdot q \cdot A \cdot D_p \cdot \left. \frac{\partial p}{\partial x} \right|_{x=w} \quad (21)$$

où

$$W_{bcJ} \approx (2 \cdot \epsilon_{si} \cdot V_A(t) / q \cdot N_B)^{1/2} \quad (22)$$

$$W = W_B - W_{bcJ} \quad (23)$$

$$\text{et } C = A \cdot \epsilon_{si} / W_{bcJ} \quad (24)$$

$$-2 \cdot q \cdot A \cdot D_p \cdot \left. \frac{\partial p}{\partial x} \right|_{x=w} = I_{CC} + I_R \quad (25)$$

En Annexe B, I_{CC} est équivalent au courant de contrôle de charge par l'équation (17) et la composante de redistribution est donnée par :

$$\begin{aligned} I_R &\approx -(1 + 1/b) \cdot (Q/3 \cdot W) \cdot dW/dt \\ \Rightarrow I_R &= (1 + 1/b) \cdot (Q/3 \cdot q \cdot N_B \cdot A \cdot W) \cdot C \cdot dV_A/dt, \end{aligned} \quad (26)$$

La variation de la tension est obtenue à partir des équations (21)-(26) et l'équation (17):

$$dV_A(t)/dt = \left[I_T(t) - 4 \cdot D_p \cdot Q(t) / (W_B - W_{bcJ})^2 \right] / \left(A \cdot \epsilon_{si} / W_{bcJ} \right) \cdot (1 + 1/b) \left[1 + Q(t) / (3 \cdot q \cdot N_B \cdot A \cdot (W_B - W_{bcJ})) \right] \quad (27)$$

Pour une grande charge inductive: $I_T(t) \approx I(0^-)$, alors l'état transitoire, avant que la tension clamp soit atteinte, est déterminée par la charge Q et la tension V_A . En utilisant les équations (8), (18) et (23), le taux d'affaiblissement de l'excès de charge total dans la base due à la recombinaison et à l'injection dans l'émetteur est donnée par :

$$dQ(t)/dt \approx (-Q/\tau_{HL}) - \left[4 \cdot Q^2 \cdot I_{snc} / (W_B - W_{bcJ})^2 \cdot A^2 \cdot q^2 \cdot n_i^2 \right] \quad (28)$$

En général les équations (27) et (28) doivent être résolues simultanément avec précision pour décrire l'augmentation de la tension et aussi pour décrire l'excès total de la charge initiale dans la base au début de la phase d'affaiblissement du courant pour une charge inductive.

1-4-b-4) Conditions de charge générales :

L'analyse précédente peut être facilement étendue à plusieurs conditions de charge générales où les éléments additifs résultent dans l'addition des variables d'état (c'est à dire l'addition d'une équation différentielle couplée avec les conditions initiales) . Considérons l'exemple d'un circuit de charge de la figure (1-4-c).

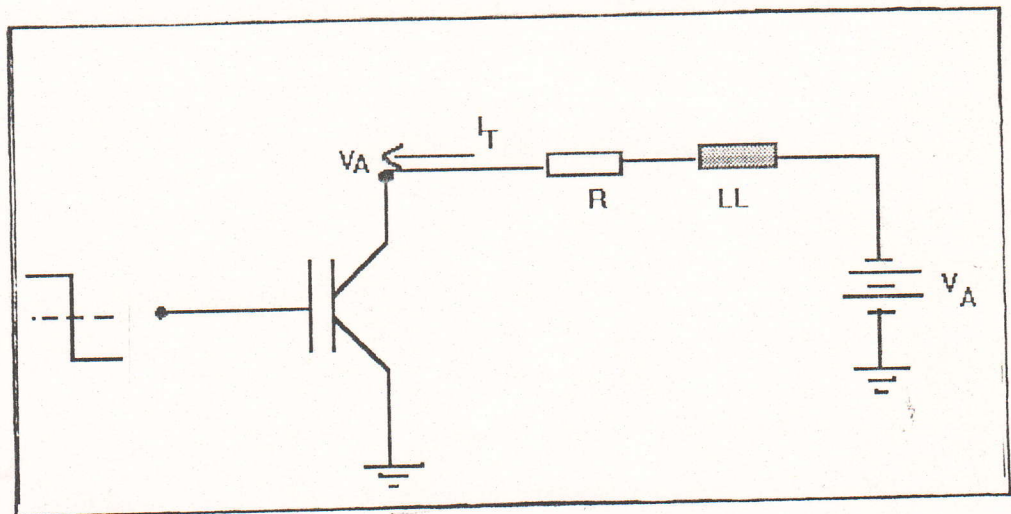


Figure (1-4-c) : Schéma de simulation de la commutation sur charge résistive et inductive de l'IGBT. [14]

La variation du courant terminal peut être écrite dans ce cas en terme de la tension terminale, en utilisant la loi de Kirchoff :

$$dI_T/dt = (V_{\Lambda\Lambda} - R \cdot I_T(t) - V_{\Lambda}) / LL \quad (29)$$

En utilisant les équations (27), (28) et (29) simultanément aux conditions initiales du courant, de tension et de charge ; le courant, la tension et la charge qui sont fonction du temps sont obtenus à partir du circuit de la figure(1-4-c). Ces équations différentielles contiennent toute l'analyse transitoire présentée auparavant.

1-5) SYNTHESE DU MODELE COMPLET :

Dans cet synthèse, le chemin présenté qui tente de combiner un temps de calcul court et une précision raisonnable.

Pour atteindre ce but, il existe des submodèles qui servent comme outils de simulation et qui sont utilisés pour designer le modèle de l'IGBT.

Le transistor IGBT peut être vu comme une connexion spéciale du transistor V.DMOS et du transistor bipolaire. Cette structure de base forme la colonne vertébrale du nouveau modèle du transistor IGBT .

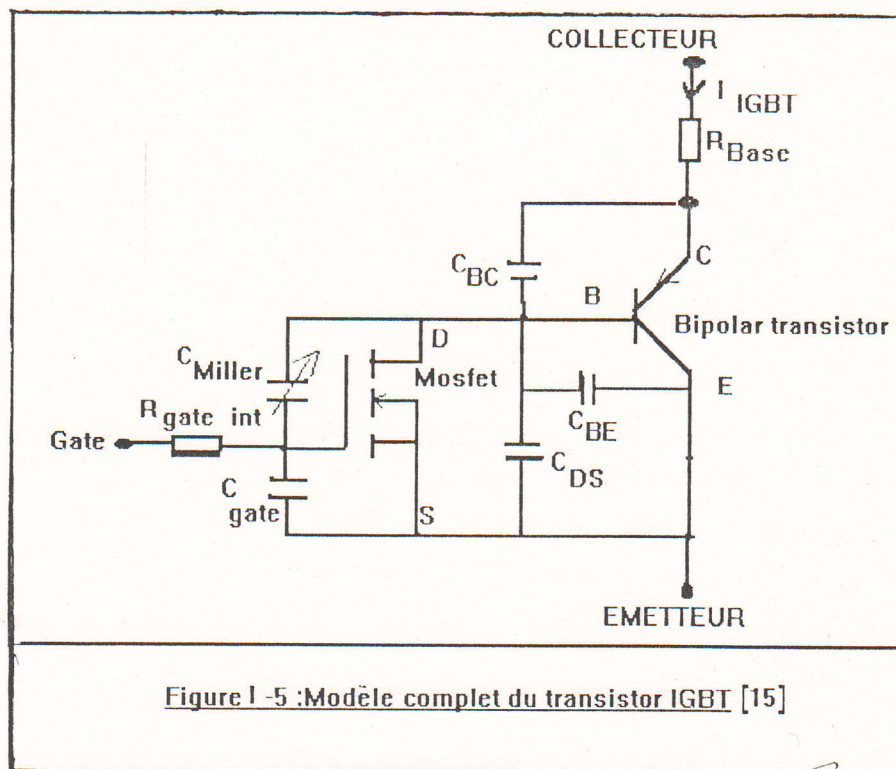


Figure 1-5 :Modèle complet du transistor IGBT [15]

I-6) CONCLUSION :

Dans ce chapitre , nous avons établi un modèle analytique de l'IGBT pour traduire son comportement aussi bien à l'état statique qu'à l'état dynamique et transitoire. Pour cela nous avons rappelé sa structure de base et son mode de fonctionnement; ensuite nous avons proposé un schéma équivalent au moyen des méthodes tant numériques qu'analytiques.

Dans un premier temps, nous avons décrit la méthode de calcul théorique des caractéristiques statiques de l'IGBT dans le cadre de deux hypothèses simplificatrices qui sont :

- i) transport ambipolaire .
- ii) l'approximation quasi-statique est non validée .

Dans un deuxième temps, une analyse transitoire théorique a été rappelée, analyse qui permet d'obtenir des équations différentielles régissant son comportement transitoire.

Cette modélisation complexe de l'IGBT est nécessaire puisque nous voulons une modélisation adaptée à l'étude des régimes de commutation.

CHAPITRE II

MODELISATION DU TRANSISTOR

IGBT DANS LE LOGICIEL ESACAP.

II- INTRODUCTION :

Le modèle physique complet qui a été décrit au premier chapitre, traduit correctement le comportement du transistor IGBT en tout régime de fonctionnement. La mise en oeuvre de ce modèle nécessite la connaissance de certaines données de technologie (longueur de dopage de la zone du canal par exemple).

Dans ce chapitre , nous allons présenter un chemin qui essaye d'assurer un temps de calcul court et une précision raisonnable. Pour assurer ce but ,l'outil de simulation utilisé est le logiciel ESACAP. Ce dernier est utilisé pour ses applications largement répondues , ainsi qu'il offre des submodèles complets pour décrire le modèle de l'IGBT .

Comme expliqué avant , l'IGBT est vu comme une connexion spéciale de VDMOS et du transistor bipolaire. Etant donné que les submodèles disponibles dans l'ESACAP ne sont pas appropriés pour les applications de l'électronique de puissance , des éléments spéciaux doivent être ajoutés dans le but d'obtenir le comportement réel.

Un des objectifs qui sera toujours gardé en mémoire lors de l'élaboration du modèle , est que les topologies doivent être directement déduites du celle du modèle physique de l'IGBT développé au chapitre précédent . Ainsi tous les paramètres du modèle gardent un sens physique .

II-1 LE LOGICIEL ESACAP:

II-1-1 PRESENTATION :

L'ESACAP est un logiciel de simulation et d'analyse des circuits électroniques initialement développé par European Space Agency en 1970. Ce logiciel est utilisé dans une large mesure pour l'analyse et la conception des circuits intégrés. La facilité de son utilisation sur les mini et micro-ordinateurs fait qu'il est aujourd'hui répondu mondialement dans les laboratoires de recherche universitaires ou industriels. L'un de ses avantages essentiels est la possibilité d'écrire des expressions arithmétiques permettant à l'utilisateur d'établir arbitrairement la dépendance non linéaire entre les systèmes des variables. Le logiciel ESACAP contient toutes les fonctions standards (racine carrée, exponentiel, trigonométriques etc....

Un autre avantage, il permet de définir des sous-circuits et de les implanter par la suite autant de fois que nous les désirons sans avoir à les redéfinir à chaque fois.

Un sous-circuit peut être un macrocomposant accessible par un certain nombre de noeuds. Cette possibilité permet de définir des modèles particuliers à partir des modèles de la bibliothèque ESACAP. En plus il permet d'être couplé avec un programme Fortran quelconque qui est compilé et exécuté par la suite à chaque pas d'intégration.

II-1-2 LES MODELES DANS L'ESACAP :

Comme nous l'avons déjà signalé, la plupart des composants à semi-conducteur sont modélisés dans l'ESACAP pour des simulations à petits signaux. Pour ce qui nous concerne, nous allons nous limiter à rappeler les modèles des composants qui intéressent cette étude, c'est à dire :

- le modèle de la diode qui servira à décrire d'une part la jonction drain-source, la capacité M.O.S grille-drain et la diode Dbody.
- le modèle du transistor M.O.S, qui n'interviendra en fait que par son générateur de courant.
- le modèle Gummel-Poon du transistor bipolaire.

II-1-2-1 le modèle du transistor M.O.S :

Trois modèles du transistor M.O.S sont proposés dans l'ESACAP; ils diffèrent par la formulation de la caractéristique statique $I_d(V_{ds})$ et sont classés suivant trois niveaux [1,3,4,5,7]:

i) le niveau 1 est associé au modèle de base; il s'agit du modèle de *Shichman-Hodges* pour le transistor M.O.S à canal long. La mobilité est constante et le courant de saturation I_{dss} varie suivant une loi parabolique en fonction de la tension de grille ($V_G - V_T$).

ii) Le niveau 2 correspond à un modèle analytique unidimensionnel qui tient compte de la majorité des phénomènes du second ordre associés aux structures de petite géométrie, les effets du canal court sont par exemple pris en compte (mobilité variable, saturation de la vitesse des porteurs etc...).

iii) Le niveau 3 est un modèle semi-empirique pour des M.O.S. de petites dimensions géométriques, $L < 2\mu m$ et $W < 2\mu m$, décrit par une série de

courbes expérimentales plutôt que par des considérations physiques (mobilité variable etc...).

Chacun de ces trois modèles est défini par un certain nombre de paramètres qui sont de deux types: i) électriques (tension de seuil, facteur de pente,...) et ii) des paramètres liés au processus technologique (physiques et géométriques). Au total, on dénombre plus de 40 paramètres pour les trois modèles du transistor M.O.S dont certains sont spécifiques à un niveau de modèle.

Le schéma équivalent du transistor M.O.S implanté dans l'ESACAP est celui de la figure (II-1):

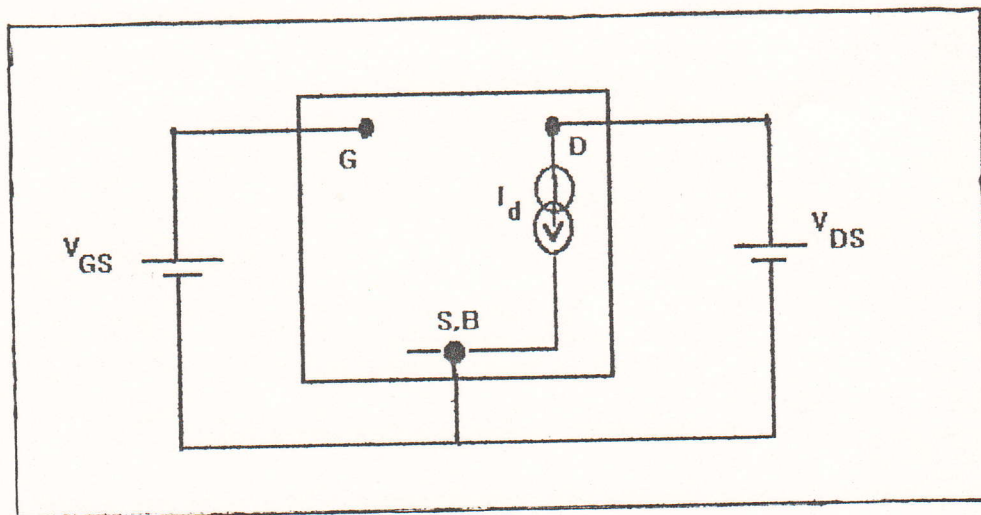


Figure (II-1) : Modèle du transistor MOS implanté dans PSPICE, [4,5].

A) Les équations de courant de drain I_d dans PSPICE et réimplantées dans ESACAP:

Les trois modèles du M.O.S diffèrent par la formulation de la caractéristique statique $I_d(V_{DS})$ qui est explicitée par le tableau de la figure (II-2) pour chacun des trois modèles.

Niveau	Formulation du courant I_d en régime ohmique	Relation
1	$I_d = \mu_0 \cdot C_{ox} \cdot Z/L \cdot [(V_G - V_T) \cdot V_D - V_D^2/2]$	(II-1)
2	$I_d = \mu_0 \cdot C_{ox} \cdot Z/L \cdot [(V_G - V_{bin} - \eta \cdot V_D/2) - (2 \cdot \gamma S/3) \cdot [(2 \cdot \phi_F + V_D)^{3/2} - (2 \cdot \phi_F)^{3/2}]]$	(II-2)
3	$I_d = \mu_{eff} \cdot C_{ox} \cdot Z/L \cdot [(V_G - V_T) \cdot V_D - (1 + F_B) \cdot V_D^2/2]$	(II-3)

Figure(II-2) : Les différentes formulations du courant de drain I_d dans le modèle SPICE du transistor M.O.S [4,5].

D'après les relations (II-1) à (II-3), nous remarquerons que le niveau 1 correspond à un modèle classique à mobilité constante (M.O.S. à canal long). Seuls les niveaux 2 et 3 tiennent compte des effets du canal court donc à mobilité variable.

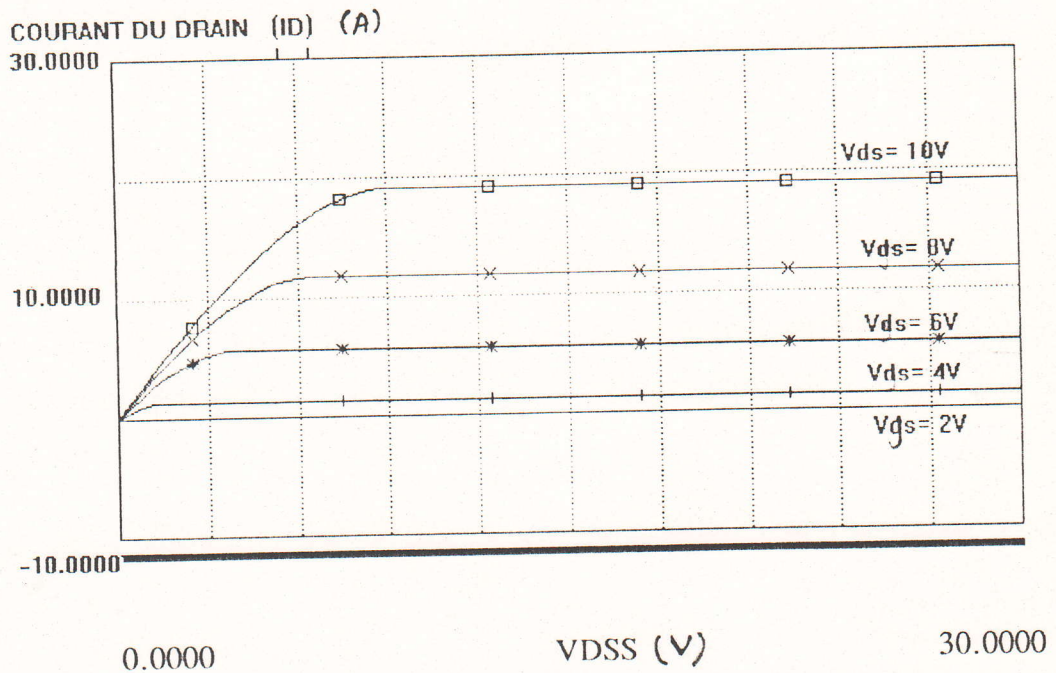
B) Comportement statique du transistor MOS dans l'ESACAP:

Nous venons de voir que le formalisme niveau 1 s'identifie assez bien au notre. Il nous faut voir maintenant les similitudes pour les relations du courant I_d . Le courant de drain est décrit pour le niveau 1 en zone ohmique par la relation suivante (figure(II-1)):

$$I_d = \mu_0 \cdot C_{ox} \cdot Z/L [(V_G - V_T) \cdot V_D - V_D^2/2]$$

$$* K_p(\text{Esacap}) = \mu_0 \cdot C_{ox} \cdot Z/L .$$

Un exemple de caractéristique $I_d(V_{DS})$ à V_{GS} constant simulées avec le niveau "1", à faible tension de drain V_{DS} , est représenté par la figure(II-3). La courbure et la saturation de ces caractéristiques sont linéaires car la mobilité est considérée comme étant constante égal à μ_0 . Ce modèle (niveau 1) n'est donc pas adéquat pour l'application aux transistors VDMOS de puissance faible ou moyenne tension, surtout à ceux dont l'épaisseur d'oxyde mince de grille est faible (500Å°, M.O.S. à niveau logique) et qui sont particulièrement sensibles aux effets dus au champ électrique transversal.



Figure(II-3) : Caractéristique statique du M.O.S niveau 1 $I_d = f(V_{ds})$ à $V_{gs} = \text{constante}$. (simulé)

II-1-2-2) Le modèle de la diode.

A) Présentation :

Le modèle de la diode disponible dans SPICE (ESACAP) est schématisé sur la figure(II-4). Ce modèle vise à décrire indifféremment plusieurs types de diodes réelles(diode Schottky, etc...). La caractéristique statique de la diode, relation(II-4), est définie par le courant de saturation inverse I_S , le facteur d'idéalité n . La résistance série R_s étant comprise dans le modèle.

$$I_{diode} = I_S [\exp[V_a/n.U_T] - 1] \quad (II-4)$$

* V_a la tension appliquée aux bornes de la diode intrinsèque et $U_T = K.T/q =$ l'unité thermodynamique.

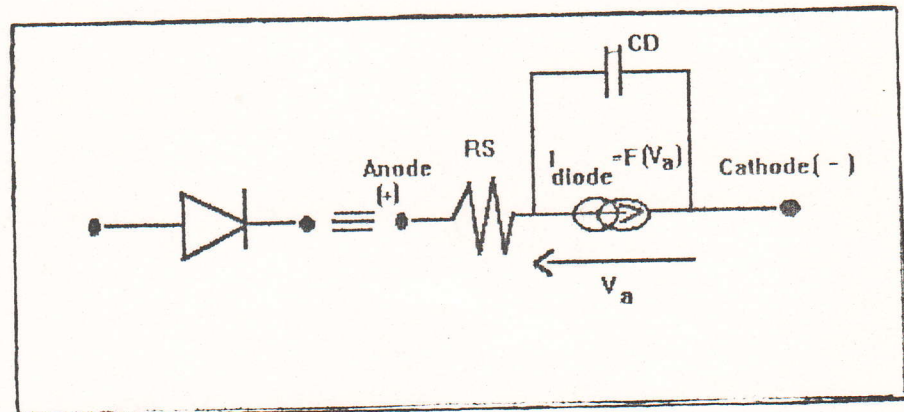


Figure (II-4) : Modèle de la diode implanté dans PSPICE réimplanté dans ESACAP. [4] ,[5]

Le comportement de la diode en régime dynamique est décrit par une capacité C_D , relation (II-5a et b), qui comporte en fait deux termes :

$$C_D = C_S + C_T :$$

$$C_D = (\tau \cdot I_S / n \cdot U_T) \cdot \exp[V_a / n \cdot U_T] + \begin{cases} C_{J0} / [1 - V_a / V_j]^m; \\ (CT1), \text{ Si } V_a < V_j \cdot F_c \\ (II-5a) \end{cases}$$

$$\begin{cases} C_{J0} / [1 + F_c]^{1+m} * \\ [1 - F_c * (1+m) + m * V_a / V_j]; \\ (CT2), \text{ Si } V_a > V_j * F_c \end{cases} \quad (II-5b)$$

Le premier terme, qui prend en compte les effets de stockage des porteurs minoritaires et qui sont directement proportionnel au temps de transit TT , représente la *capacité de stockage* C_S . Le second terme représente la *capacité de transition* C_T (capacité de déplétion), où la non-linearité est déterminée par les paramètres C_{J0} (la capacité pour une polarisation nulle), le potentiel de diffusion V_J et le coefficient m de gradualité de la jonction PN, dont la valeur est voisine de 0.5 pour une jonction réelle.

Nous utiliserons le modèle de la diode pour représenter principalement les capacités "non -linéaires" (C_{gd} et C_{ds}) et la diode D_{body} .

B) Hypothèses faites pour modéliser C_{ds} , C_{gd} et la diode D_{body} avec le modèle de la diode PSPICE (ESACAP): I I

Pour la modélisation de la *diode D_{body}* de la jonction PN drain-substrat, il faut caractériser le courant de saturation inverse I_s , la résistance R_s , le facteur d'idéalité n . Comme nous n'allons considérer cette diode uniquement que lorsqu'elle est polarisée en direct, il faut aussi déterminer sa capacité de stockage C_S qui est définie connaissant le temps de transit TT . La capacité de transition C_T est automatiquement nulle par défaut dans ESACAP si le paramètre C_{j0} n'est pas spécifié.

La capacité C_S est, aussi nulle par défaut si le temps de transition TT n'est pas défini. En outre, la relative liberté de choix de la valeur des paramètres ϕ_{DB} ($\phi_{DB} > 0$) et ($0 < m < 0.9$), permet d'utiliser ce modèle de diode pour décrire la *capacité de déplétion grille-drain C_{gds}* (C_{gd} étant composée de C_{gdmax} et de C_{gds} représentant la capacité de transition d'une jonction PN polarisée en inverse). La mise en série ou en parallèle de cette capacité avec celle de l'oxyde C_{gdmax} peut constituer la capacité grille-drain C_{gd} du V.DMOS.

La détermination des paramètres C_{gdmax} , V_J , m et C_{J0} a été faite dans [4,5].

II-2) MODELISATION DE LA CAPACITE C_{gd} DANS L'ESACAP :

Parmi les capacités que nous avons à modéliser C_{gd} , C_{ds} et C_{gs} , c'est la capacité C_{gd} qui pose le plus de problème. Cela provient du fait qu'elle est l'association de deux capacités. L'une est la capacité d'oxyde C_{gdmax} (de valeur constante) qui est prépondérante lorsque la tension V_D est

inférieure à la tension V_G . La deuxième est la capacité de déplétion de la zone sous la grille C_{gddes} qui n'a d'influence que lorsque la tension V_D est supérieure à la tension V_G . Nous remarquons de ce fait que la plus forte variation en valeur de la capacité C_{gd} se fait lorsque $V_D = V_G$. Nous allons donc proposer dans l'ESACAP trois possibilités de représentation de la capacité C_{gd} , qui seront plus au moins fidèles à la capacité réelle (expérimentale).

- Le modèle à initialisation.
- Le modèle à interrupteurs.
- Le modèle simple à interrupteurs.

On se limitera à la simulation du premier modèle, vu qu'il est le plus "rapide" de 30% à peu près par rapport aux modèles à interrupteurs, sa topologie est la plus simple mais il nécessite cependant l'utilisation d'un de ses noeuds. Il sera ainsi comparé en tant qu'exemple, aux résultats expérimentaux provenant du transistor V.DMOS de MOTOROLA (25 ampères, 60volts).

II-2 MODELE A INITIALISATION :

Ce modèle est une représentation "série" de la capacité C_{gd} . Il est surnommé à initialisation car lors de l'intégration pour une simulation de cette branche capacitive dans la modélisation ESACAP du transistor V.DMOS, il faudra calculer le potentiel initial du point "A" pour une tension $V_{DS}=E_D$ donnée à $V_{GS}=0$ donc pour un tension $V_{DG}=E_D$. Ceci est dû au fait que lorsque le point de fonctionnement ($V_{DS}=E_D$ et $V_{GS}=0$) est évalué par le programme, celui-ci remplace toutes les branches capacitives par circuit

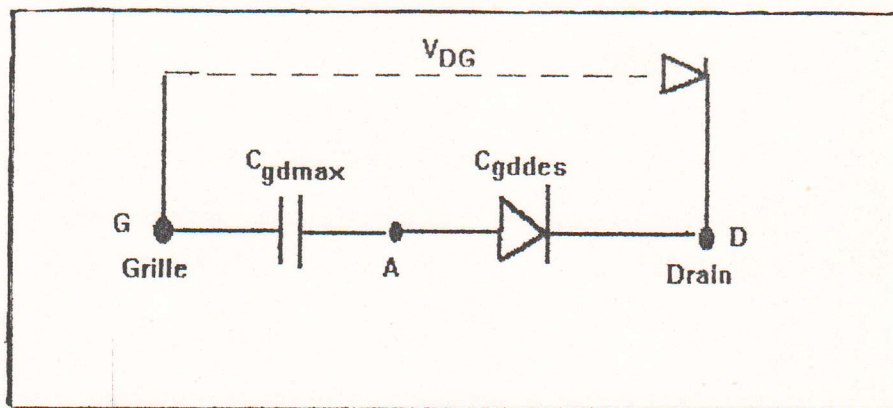


Figure (II-5) : Modèle à initialisation de la capacité C_{gd} , [4],[5].

ouvert et toutes les inductances par un court circuit.

Il s'en suit que si une branche du réseau contient deux capacités en série comme c'est le cas ici, le calcul transitoire n'est plus correctement initialisé dans cette branche, cela conduit particulièrement à des erreurs sur le calcul des formes d'onde de tension. Ceci est dû essentiellement aux algorithmes de calcul utilisés par l'ESACAP. Nous pouvons résoudre ce problème d'initialisation de la branche capacitive grille-drain de la façon suivante:

Détermination des tensions d'initialisation :

Si nous partons d'un état initial($t=0$) où le transistor est bloqué($V_{GS}=0$), celui-ci ne fait transiter aucun courant dans la charge. Il s'en suit que la tension continue E_D se trouve entièrement supportée par la capacité C_{gd} et se distribue d'une part aux bornes de $C_{gd\text{des}}$ (diode en inverse) et d'autre part aux bornes de $C_{gd\text{max}}$. Ces tensions aux bornes des capacités peuvent être déterminées de trois manières différentes:

i) - Par calcul en appliquant la relation suivante:[4,5]

$$V = V \left[1 - C_{gd\text{des}} / C_{gd\text{max}}(1-m) \right]$$

ii) - A l'aide du logiciel ESACAP : pour cela, il faut traiter la branche capacitive grille-drain isolée du reste du modèle du V.DMOS. Cette branche est attaquée par un générateur de rampe de tension (0 à E_D) de telle sorte que la diode, symbolisant la capacité $C_{gd\text{des}}$, soit toujours polarisée "en inverse". Le réseau ainsi défini est simulé en régime transitoire à partir des conditions initiales nulles. Le programme ESACAP calcule alors les tensions aux bornes des capacités et détermine les résultats à chaque pas de sortie. Il nous faudra alors attribuer ces tensions pour initialiser les capacités, $C_{gd\text{des}}$ et $C_{gd\text{max}}$, par $IC=XX\text{Volts}$ lors de l'implantation du modèle dans l'ESACAP pour une tension de polarisation choisie.

iii)- La troisième méthode consiste en une "auto-initialisation" de la tension par le programme lui-même. Sur le principe, elle est similaire à la deuxième méthode, mis à part le fait que la polarisation continue de drain E_D est remplacée par une rampe de tension qui monte de 0 à la valeur E_D et se stabilise à cette valeur pendant toute la durée de la simulation proprement dite. Pendant que la tension de drain "monte", la grille subit une variation dV_{DS}/dt , il faudra donc laisser un temps de retard pour que celle-ci se décharge avant d'appliquer le signal de commande.

Cette dernière méthode est particulièrement utile dans le cas où le circuit contient plusieurs transistors (bras d'onduleur, etc..).

II-3) SYNTHÈSE DE LA MODELISATION DU TRANSISTOR V.DMOS DE PUISSANCE EN COMMUTATION DANS L'ESACAP :

Pour synthétiser le modèle dynamique du V.DMOS pour la commutation, il suffit de compléter le modèle statique du transistor M.O.S dans l'ESACAP, réduit au générateur de courant, par les éléments dynamiques c'est à dire les capacités inter électrodes C_{gs} , C_{gd} , et C_{ds} . La capacité drain-source C_{ds} sera représentée par la capacité de transition d'une diode, la capacité grille-drain C_{gd} quant à elle, sera représentée par l'une ou l'autre des trois configurations présentées dans le paragraphe précédent (§-II-2). Quant à la capacité grille-source C_{gs} , elle sera considérée en première approximation, constante, du fait qu'elle varie peu avec les tensions de grille et de drain. Il faut compléter avec les éléments parasites liés aux électrodes de grille, de drain et de source. Dans notre cas, les résistances R_g et R_s et l'inductance L_s . Ainsi, trois modèles ESACAP du transistor V.DMOS en commutation peuvent être proposés. Ils sont représentés sur la figure (II-6). Le nom des modèles du transistor M.O.S est directement lié à la modélisation choisie de la capacité C_{gd} , nous avons donc :

- Le modèle du transistor V.DMOS à initialisation .
- Le modèle du transistor V.DMOS à interrupteurs .
- Le modèle du transistor V.DMOS simple à interrupteurs

Au niveau de l'ESACAP, les modèles M.O.S sont implantés sous forme des sous-circuit afin de pouvoir créer une bibliothèque qui comprend les éléments suivants :

- Un transistor MOS de l'ESACAP qui intervient uniquement par son générateur de courant J_d défini par les paramètres suivants : K_p , V_T , V_{max} et θ dans le cas du niveau 3 et par K_p V_T dans le cas du niveau 1 (produits haute-tension).

- Deux diodes *DDS* et *DGD* pour représenter les capacités non-linéaires drain-source C_{ds} et grille-drain C_{gds} définies par les paramètres : C_{j0} , m , V_j .

- Des éléments linéaires R_a , R_d , R_s , R_g , L_s , C_{gs} et C_{gdmax} .
- La diode D_{body} définie par : R_s , I_s , N , TT .

Ces paramètres ont été déterminés dans [4,5].

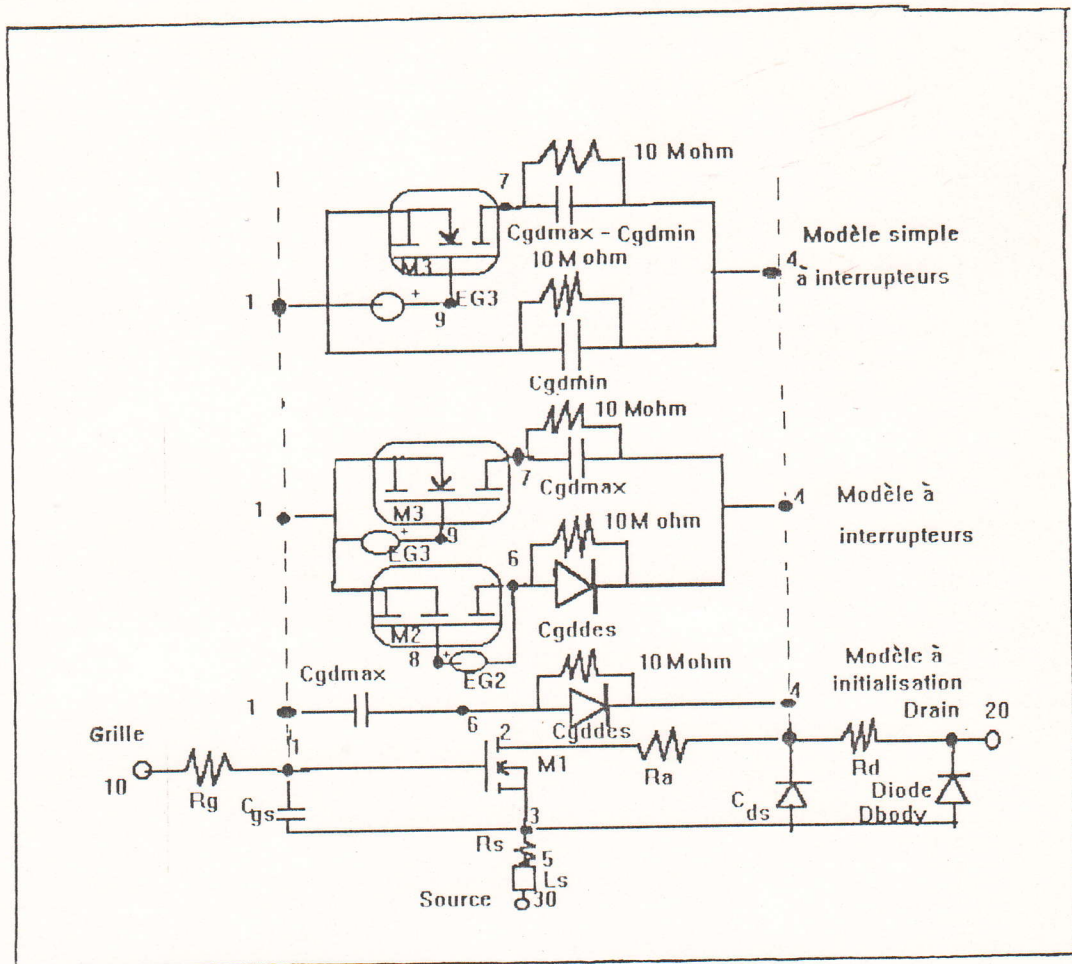


Figure (II-6): Modélisation du transistor V.DMOS implanté dans l'ESACAP [4,5].

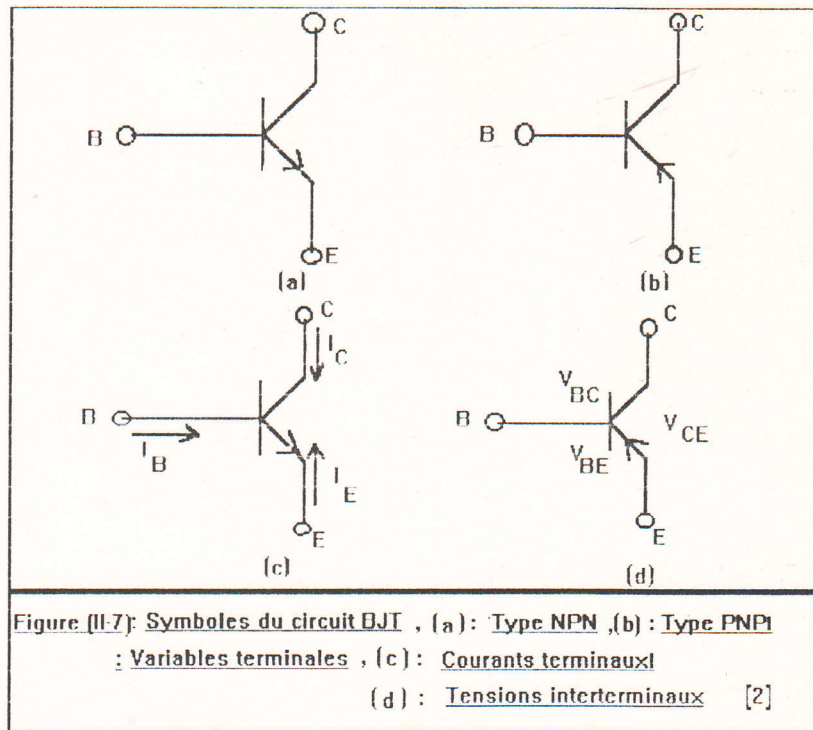
II-4) LE MODELE DU TRANSISTOR BIPOLAIRE.

II-4-1) Présentation :

Le transistor bipolaire(BJT) a une configuration physique de deux jonctions liées à une région mince de type n ou p entre eux. En concordance avec l'ordre des couches des deux jonctions, on a deux types de structure: npn ou pnp(figure(II-7)). La couche interne est appelée base à travers laquelle circule les porteurs minoritaires.

De part et d'autre de la base, l'une des couches qui est l'origine des porteurs minoritaires est appelée émetteur, et l'autre est appelée collecteur.

Dans notre analyse du fonctionnement de BJT, on utilise un modèle à une dimension du transistor npn. Le fonctionnement est similaire pour les BJT de type p, seulement les rôles des trous et des électrons sont inversés, ainsi que les polarités des courants et tensions terminaux .



II-4-2) MODELE STATIQUE EBERS-MOLL.

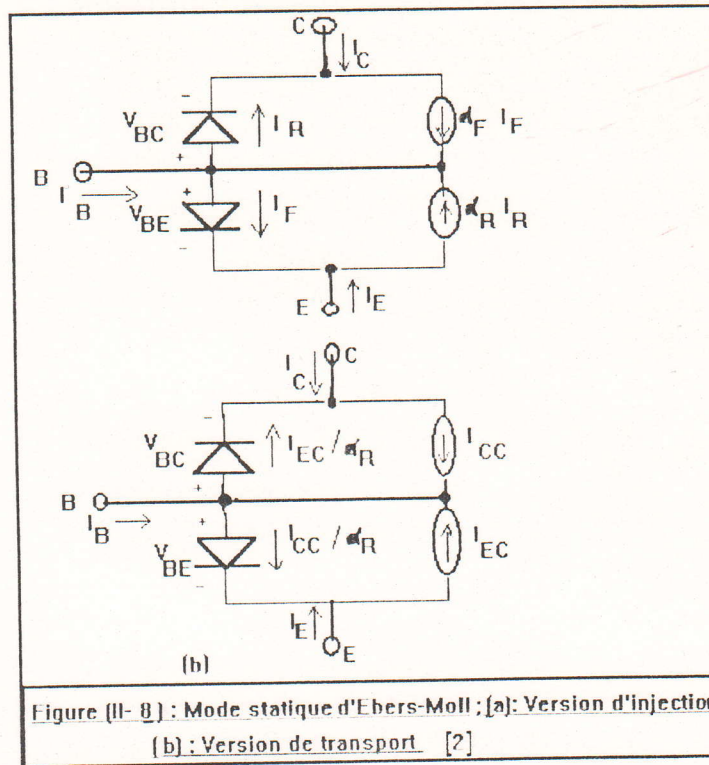
Le BJT est considéré comme une interaction paire de deux jonctions P-N, l'approche au problème est la même que celle utilisé pour la diode. Les équations de Ebers-Moll expriment cette formalité, elles donnent l'expression du courant I_E et I_C de BJT en fonction des tensions des diodes V_{BE} et V_{BC} .

II-4-2-1) Le modèle statique et son implantation dans l'ESACAP.

A) Formulation des équations :

Généralement, il ya deux versions du modèle Ebers-Moll: La version d'injection (figure(II-8-a)) et la version transport (figure(II-8-b)). Ces deux versions sont mathématiquement les mêmes, néanmoins la seconde version est préférée pour la simulation et est la base de l'analyse du comportement de BJT.





Dans la version d'injection :

$$I_F = I_{ES} (e^{q \cdot V_{BE} / k \cdot T} - 1)$$

$$I_R = I_{CS} (e^{q \cdot V_{BC} / k \cdot T} - 1)$$

Où

I_{ES} = Courant de saturation base-émetteur

I_{CS} = Courant de saturation base-collecteur

Les courants terminaux sont donnés par :

$$I_C = \alpha_F \cdot I_F - I_R$$

$$I_E = \alpha_R \cdot I_R - I_F$$

$$I_B = (1 - \alpha_F) \cdot I_F + (1 - \alpha_R) \cdot I_R$$

α_F = Le gain de courant du "forward large signal") de la base

α_R = Le gain de courant du "reverse large signal") commune BJT

B) Implantation dans l'ESACAP :

Les courants terminaux du modèle des quatre régions de la figure (II-9) peuvent être écrits et ainsi implantés dans l'ESACAP. Pour assurer la convergence, une petite conductance G_{MIN} (10^{-12}mh) est additionnée automatiquement par l'ESACAP et elle est mise en parallèle à chaque jonction PN:

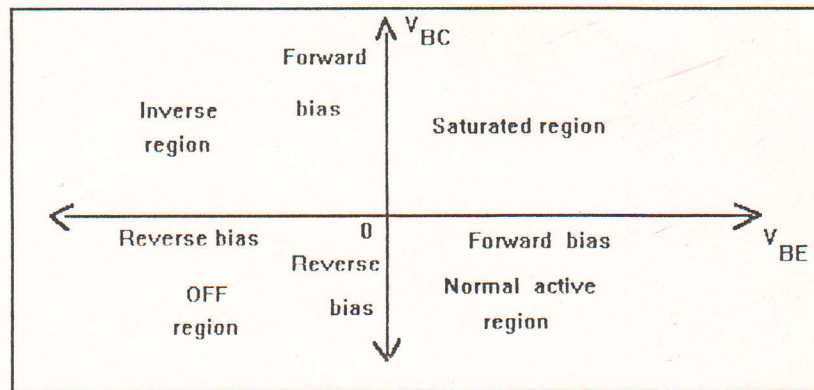


Figure (II-9) : REGION D'OPERATION DE BJT [2]

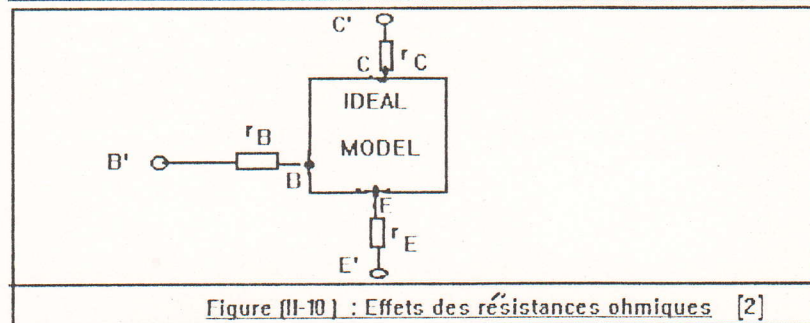


Figure (II-10) : Effets des résistances ohmiques [2]

Région active normale:

$$\begin{aligned}
 & \text{Si } V_{BE} > -5k.T/q \quad \text{et Si } V_{BC} \leq -5k.T/q \\
 I_C &= I_S \cdot (e^{q \cdot V_{BE}/k.T} + 1/\beta_R) + |V_{BE} - (1 + 1/\beta_R) \cdot V_{BC}| \cdot G_{MIN} \\
 I_B &= I_S \cdot |(1/\beta_F) \cdot (e^{q \cdot V_{BE}/k.T} - 1) - (1/\beta_R)| \\
 & \quad + |V_{BE}/\beta_F + V_{BC}/\beta_R| \cdot G_{MIN} \quad (II-6)
 \end{aligned}$$

Région inverse :

$$\begin{aligned}
 & \text{Si } V_{BE} \leq -5k.T/q \quad \text{et Si } V_{BC} > -5k.T/q \\
 I_C &= -I_S \cdot |e^{q \cdot V_{BC}/k.T} + (e^{q \cdot V_{BC}/k.T}) \cdot (1/\beta_R)| \\
 & \quad + |V_{BE} - (1 + 1/\beta_R) \cdot V_{BC}| \cdot G_{MIN} \\
 I_B &= -I_S \cdot |(1/\beta_F) - (1/\beta_R) \cdot (e^{q \cdot V_{BC}/k.T} - 1)| \\
 & \quad + |V_{BE}/\beta_F + V_{BC}/\beta_R| \cdot G_{MIN} \quad (II-7)
 \end{aligned}$$

Région de saturation :

$$\begin{aligned}
 & \text{Si } V_{BE} > -5k.T/q \quad \text{et Si } V_{BC} > -5k.T/q \\
 I_C &= I_S \cdot |(e^{q \cdot V_{BE}/k.T} - e^{q \cdot V_{BC}/k.T}) - (e^{q \cdot V_{BC}/k.T}) \cdot (1/\beta_R)| \\
 & \quad + |V_{BE} - (1 + 1/\beta_R) \cdot V_{BC}| \cdot G_{MIN}
 \end{aligned}$$

$$I_B = I_S \cdot [(1/\beta_F)(e^{q \cdot V_{BE}/k \cdot T} - 1) + (1/\beta_R) \cdot (e^{q \cdot V_{BC}/k \cdot T} - 1)] + |V_{BE}/\beta_F + V_{BC}/\beta_R| \cdot G_{MIN} \quad (II-8)$$

Région off (blocage):

$$\begin{aligned} & \text{Si } V_{BE} \leq -5k \cdot T/q \quad \text{et Si } V_{BC} \leq -5k \cdot T/q \\ I_C &= (I_S/\beta_R) + |V_{BE} - (1 + 1/\beta_R) \cdot V_{BC}| \cdot G_{MIN} \\ I_B &= -I_S \cdot [(\beta_F + \beta_R)/\beta_F \cdot \beta_R] + |V_{BE}/\beta_F + (V_{BC}/\beta_R)| \cdot G_{MIN} \quad (II-9) \end{aligned}$$

La limitation de ce modèle simple se situe principalement dans la négligence de la charge de stockage (nom des capacités de diffusion et de la jonction) et les résistances ohmiques aux terminaux .

C) Modèle statique :

** effet du second ordre et son implantation :*

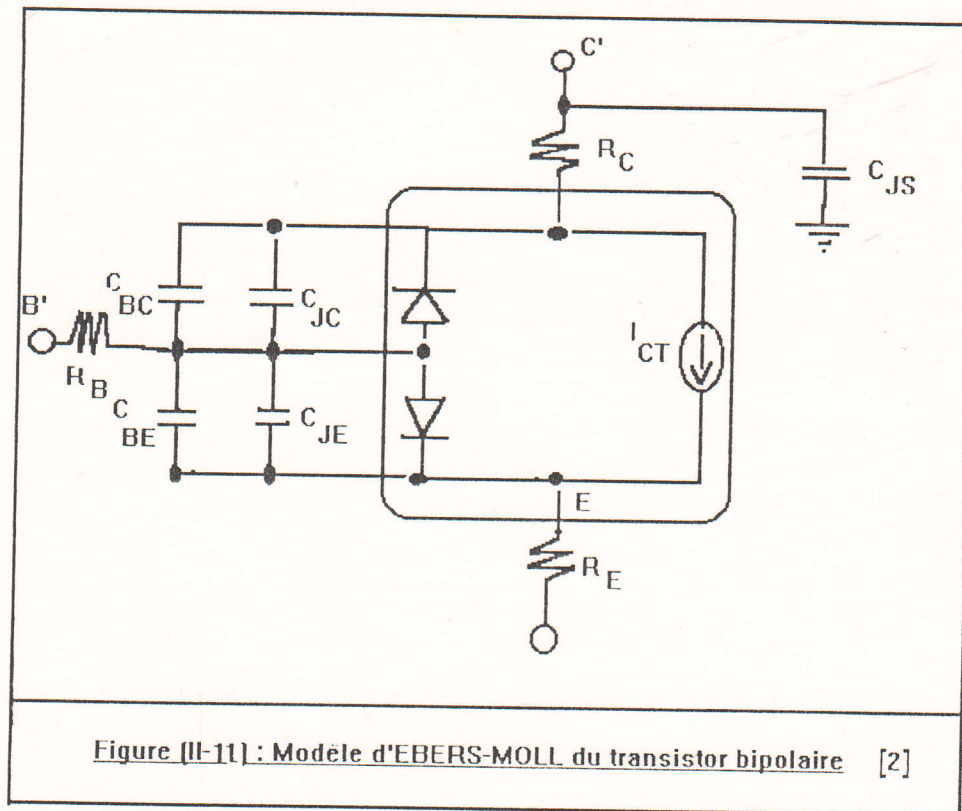
Dans cette partie, le modèle de BJT est développé avec plus de précision: on introduit quatre nouveaux paramètres R_E, R_B, R_C et V_A (fonction de I_S sur V_{BC}), selon la figure (II-10). La résistance R_C fait diminuer la pente des courbes dans la région de saturation pour la tension V_{CE} basse.

Dans le modèle idéal, $R_C = 0$; alors que dans le comportement actif, elle est une fonction du courant collecteur et de la tension V_{BC} , donc R_C peut limiter le courant de "handling capability" de BJT .

II-5) SYNTHÈSE DE LA MODELISATION DU TRANSISTOR BIPOLAIRE DANS L'ESACAP.

II-5-1) Modèle d'Ebers - Moll :

Le modèle BJT discuté, maintient strictement la nature non linéaire du composant, en plus il est capable de décrire le comportement statique et dynamique de BJT. La figure(II-11) illustre le modèle complet du transistor bipolaire implanté dans le logiciel ESACAP(SPICE).



II-5-2) Modèle de Gummel-Poon :

Le modèle d'Ebers-Moll présente un manque considérable de plusieurs effets de second ordre qui sont présents dans les composants actuels; les deux effets les plus importants sont : i) haut niveau d'injection, ii) et un faible courant . Le faible courant résulte du courant de base additionné, qui est dû à la recombinaison; celle-ci a un effet négatif sur le gain de courant. Alors que l'effet du haut niveau d'injection réduit toujours le gain de courant et provoque en plus une augmentation de τ_F et τ_R .

Pour tenir compte de ces effets secondaires, un modèle *Gummel-Poon* a été implanté dans l'ESACAP.

La figure(II-12) représente le modèle complet du BJT à fort signal avec l'addition de l'effet de distribution de la capacité base-collecteur. Le modèle statique de Gummel-Poon implanté dans l'Esacap est le suivant (figure(II-13)):

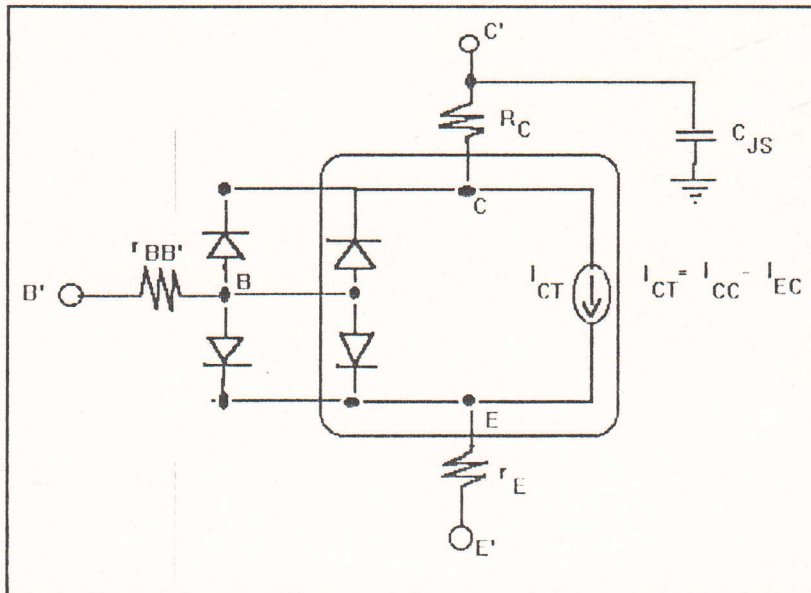


FIGURE (II-12) : MODELE COMPLET DE BJT LARGE SIGNAL AVEC L'ADDITION DE L'EFFET DE DISTRIBUTION DE LA CAPACITE BASE-COLLECTEUR [2]

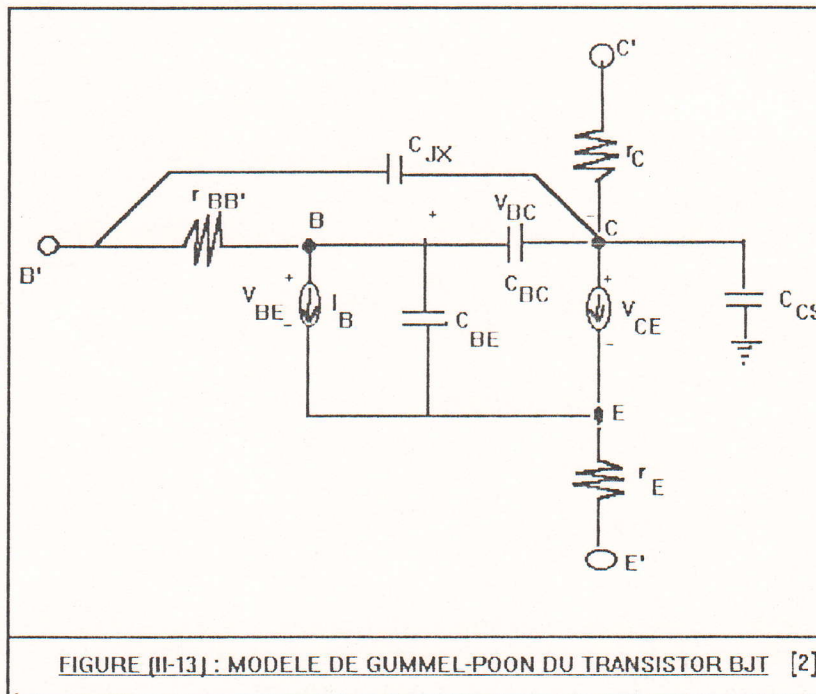
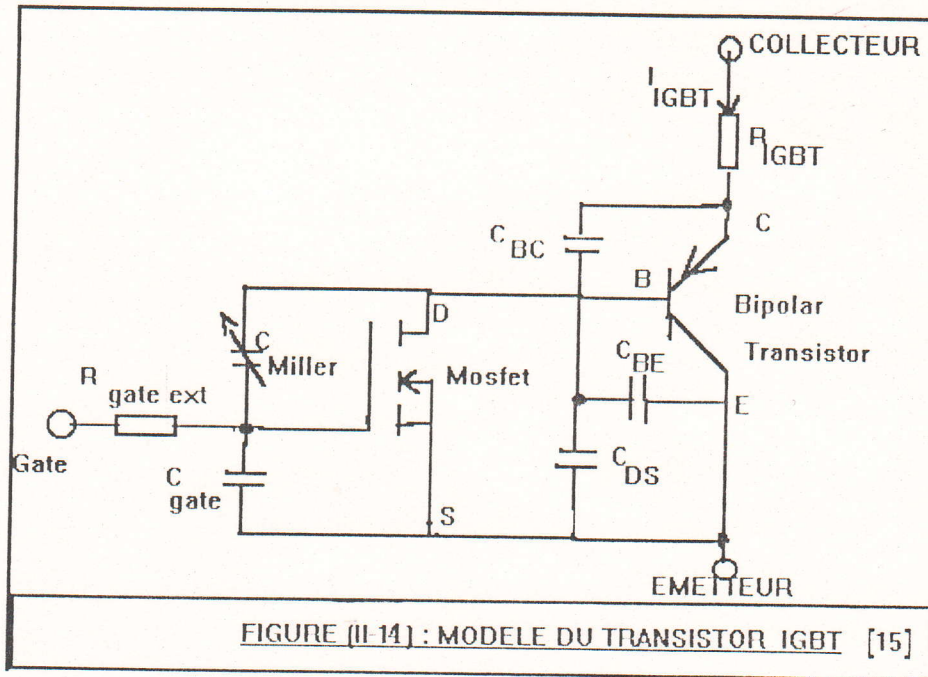


FIGURE (II-13) : MODELE DE GUMMEL-POON DU TRANSISTOR BJT [2]

II-6) LE MODELE DU TRANSISTOR IGBT.

Le but de cette étude est d'élaborer un modèle pour le transistor IGBT, qui sera simulé dans le logiciel ESACAP avec une précision raisonnable. La figure(II-14) représente le modèle complet du transistor IGBT. Il va être discuté en détail dans les paragraphes suivants.



II-6-1) Comportement statique du transistor IGBT dans ESACAP.

L'un des critères de qualité de la modélisation des composants semi-conducteurs réside dans la comparaison des caractéristiques de sorties mesurées à celles simulées.

Le calcul de la caractéristique de sortie complet est divisé en deux étapes: modélisation de l'IGBT dans:

- i) La région de saturation, où le courant est indépendant de la tension.
- ii) La région quasi-ohmique.

II-6-1-a) La caractéristique de sortie .

Dans la région de saturation, le comportement de l'IGBT est principalement déterminé par la partie V.DMOS. Il sera ainsi décrit par les équations suivantes:

$$I_{DS} = (\beta/2) \cdot [V_{GS} - V_{th}]^2 \quad (II-10)$$

La tension de seuil (threshold) V_{th} est l'un des paramètres du transistor V.DMOS de puissance. Elle peut être facilement mesurée (dans le chapitre suivant) ou lue à partir des caractéristiques données par le fabricant. En plus le facteur β est d'une grande importance. Il est évalué en utilisant la transconductance G_{fs} donnée à partir des caractéristiques données par le fabricant ou déterminés à partir de la caractéristique de sortie.

$$G_{fs} = \left. \frac{dI_{DS}}{dV_{GS}} \right|_{V_{DS} = \text{constante}} = \beta \cdot [V_{GS} - V_{th}] \quad (II-11)$$

$$\text{Ce paramètre } \beta = K_P \cdot W / I_{eff} \quad (II-12)$$

est principalement responsable du comportement du modèle de l'IGBT, seulement lorsque les valeurs accordées à W , I_{eff} et K_P doivent être exactes. En utilisant les équations (II-10) et (II-11), β peut être ainsi calculé :

$$\beta = G_{fs}^2 / 2 \cdot I_{DS} = G_{fs}^2 / 2 \cdot I_{IGBT} \cdot [(1 + \beta_F) / \beta_F] \quad (II-13)$$

Le seul paramètre technologique qui doit être connu est I_{eff} . Pour les IGBT standard I_{eff} se situe entre $3\mu m$ et $5\mu m$. Le coefficient K_P est évalué à partir de la capacité d'oxyde de grille et la mobilité des porteurs dans le canal. Ainsi

$$W = G_{fs}^2 \cdot L_{eff} / 2 \cdot K_P \cdot I_{DS} \quad (II-14)$$

II-6-1-b) Caractéristique à l'état "ON".

La tension de l'IGBT à l'état "ON" est composée de trois parties différentes :

- La chute de tension le long du canal V_{DS} ,

- la tension de la jonction V_{EB} ,

- la chute de tension le long de la région de la base.

À l'état statique, cette région peut être considérée comme purement ohmique. Elle est décrite par la résistance R_{base} .

En se référant à la figure(II-14) la tension totale de l'IGBT à l'état "ON" est calculée comme suit:

$$V_{IGBT} = V_{DS} + V_{EB} + V_R \quad (II-15)$$

Chacune de ces tensions est exprimée analytiquement :

- Pour la partie du transistor V.DMOS, la tension est décrite par l'équation suivante:

$$I_{DS} = \beta \cdot [(V_{GS} - V_{th}) - V_{DS}/2] \cdot V_{DS} \quad (II-16)$$

- Alors que la tension V_{EB} du transistor bipolaire est calculée avec le courant de saturation comme paramètre :

$$V_{EB} = V_T \cdot \ln [(I_{IGBT}/I_S) \cdot \beta_F / (1 + \beta_F)] \quad (II-17)$$

En coordonnées logarithmiques, la tension V_{EB} varie légèrement avec le courant. On peut donc supposer que :

$$V_{EB} \approx \text{constante} \neq f(I_{IGBT}) \quad (II-18)$$

- Pour la résistance R_{base} , la loi d'Ohm est valable :

$$V_R = R_{base} \cdot I_{IGBT} \quad (II-19)$$

La caractéristique de sortie complète peut être ainsi simulée.

II-7) LE COMPORTEMENT EN COMMUTATION :

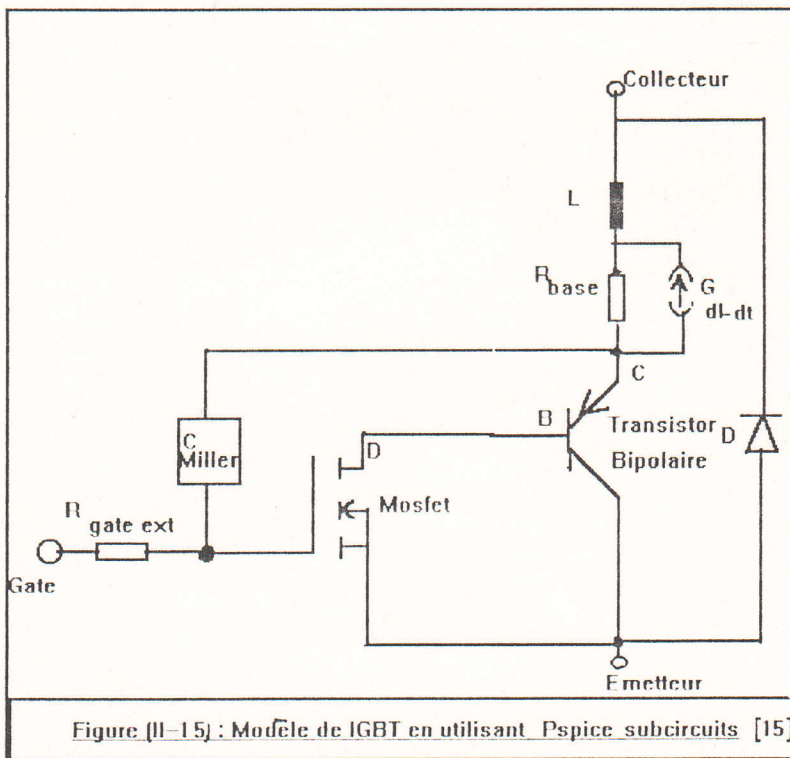
II-7-1) Etat "on" :

A ce jour il est difficile de trouver l'influence des structures MOS et bipolaire sur l'évolution des paramètres externes du composant pendant sa phase d'amorçage. Ceci peut s'expliquer par une mise en conduction plus rapide de la partie MOS devant celle de la partie bipolaire. De plus la phase de mise en conduction est fortement influencée par l'environnement électrique du composant (circuit peu ou fortement inductif). Il faut aussi souligner que la commande de grille lors de la phase d'amorçage est perturbée par le courant capacitif dû à la capacité de *MILLER* du composant et au fort dV_{ce}/dt .

L'étape importante suivante est d'implanter le comportement en commutation.

Durant l'état "on", la partie V.DMOS de l'IGBT est principalement responsable pour ses performances, alors que le transistor bipolaire agit sur l'état "off" et l'état statique.

La diode et son comportement de recouvrement inverse ont un impact décisif sur les formes d'ondes de commutation et les pertes durant l'état "on". Ainsi un modèle sophistiqué de la diode est utilisé. La figure(II-15) représente le modèle de l'IGBT en utilisant des sous-circuits construits dans l'ESACAP.



L'un des effets observés durant l'état "on" est l'effet de Miller. Cet effet est dû à la variation de la tension le long du composant, conduisant à une variation de la capacité grille-collecteur sur un grand intervalle.

Ainsi la vitesse de commutation dépend énormément de la capacité de Miller; la relation entre la tension et la capacité est donnée par :

$$C = C_0 / (1 + V/\phi_0)^{1/2} \quad (II-20)$$

La résistance de la grille a un impact majeur sur le comportement à l'état "on". La résistance de grille peut être divisée en deux résistances : une résistance externe $R_{gate\ ext}$ donnée par l'utilisateur de l'IGBT et une résistance interne $R_{gate\ int}$ fixée par le modèle.

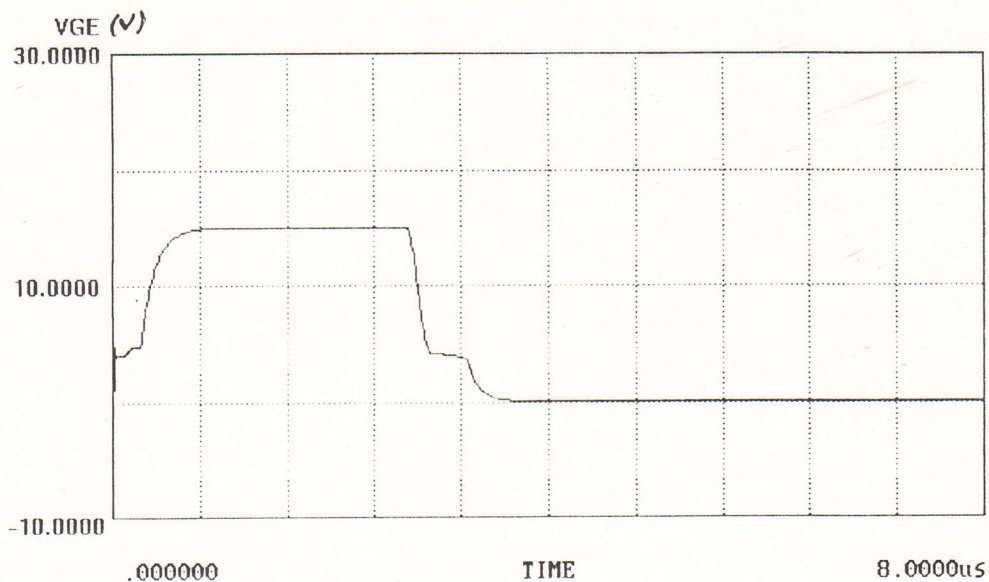


Figure (II-16) : Caractéristique principale de la tension grille-Emetteur.

II-7-2) Etat "off" :

La caractéristique importante de l'IGBT est sa capacité de blocage par commande de la grille, ainsi le courant qui circule le long du canal du transistor V.DMOS de puissance contrôle la caractéristique de sortie.

Pour déterminer les caractéristiques transitoires de l'état "on" à l'état "off", la grille est connectée à la source par un circuit externe qui prend en charge la décharge de la capacité de la grille.

Une fois que la tension V_G chute à une valeur inférieure à la tension de seuil V_{th} , la couche d'inversion du canal l'IGBT disparaît. A cet instant, le courant des électrons cesse.

Une fois que le turn "off" de la grille est obtenu en utilisant une faible résistance externe, qui réduit la tension de la grille à zéro, le courant du collecteur diminue brusquement suite à la réduction abrupte du courant I_c du canal, à une valeur zéro.

Le changement de la chute initiale du courant collecteur ΔI_c peut être modifié par la variation de la tension V_G durant le turn "off". La capacité d'entrée de la grille est déchargée à travers la résistance d'entrée de la grille, ainsi il en résulte :

- i) un temps de retard de turn "off",
- ii) un niveau contrôlé de la chute du courant collecteur durant la période initiale.

Un type de forme d'onde du courant collecteur à l'état turn "off" est montré par la figure (II-17).

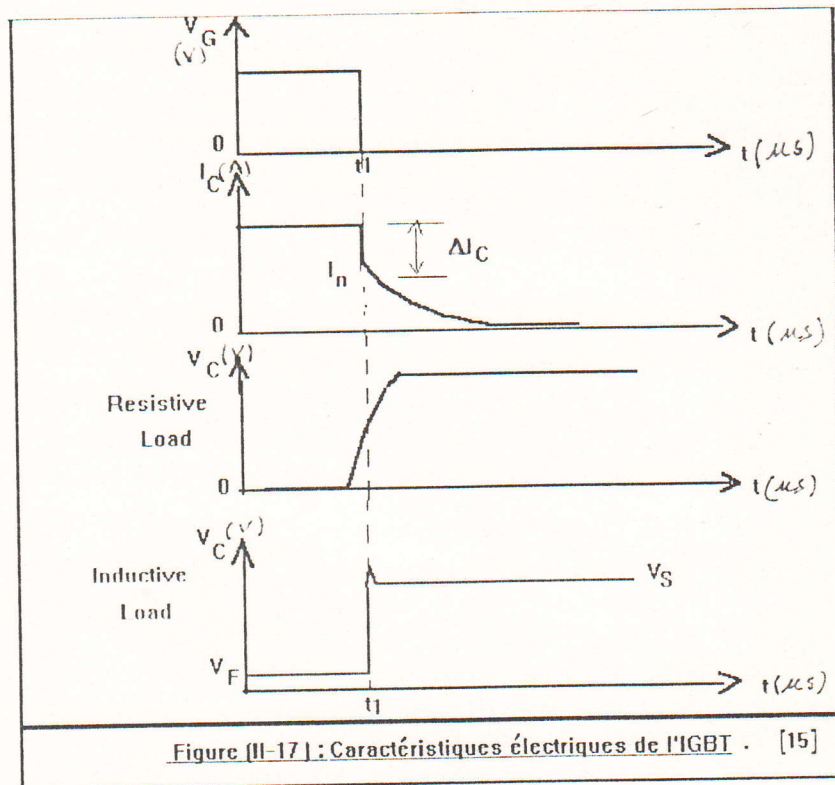


Figure (II-17) : Caractéristiques électriques de l'IGBT . [15]

Remarques :

La résistance de la grille, peut être utilisée pour agir sur le di/dt durant le turn "off" . Cette technique est principalement importante dans le cas des circuits à grandes vitesses qui présentent un changement initial large ΔI_C du courant collecteur.

A la fin des années 80 le turn "off" de l'IGBT conduisait à étant à l'origine de plusieurs problèmes durant les premiers tests dans les laboratoires simples; le verrouillage d'un thyristor parasite est la raison majeure (voir figure(I-1):coupe schématique du transistor IGBT). Ce mode d'opération est trop indésirable car il conduit à la perte de contrôle du courant collecteur en appliquant la tension V_G .

En se référant aux figures(II-14) et (II-15), cet effet n'est plus considéré depuis qu'aucune structure pnpn n'est implantée dans le modèle.

La caractéristique majeure de turn "off" d'un IGBT est son courant de tail. Sa forme dépend beaucoup de la technologie. Le courant de tail (queue) est entièrement considéré comme une partie du courant du

transistor bipolaire de l'IGBT, une partie du courant diminue moins vite que le courant du V.DMOS. Ainsi le gain en direct de courant β_F du transistor bipolaire peut être calculé lorsque le courant initial est connu.

$$\begin{aligned} I_{IGBT} &= I_{VDMOS} + I_{bipolaire} \\ \Rightarrow \beta_F &= I_{tail} / (I_{IGBT} - I_{tail}) \end{aligned} \quad (II-21)$$

La durée du courant de queue (tail) peut être ajustée par le paramètre T_f (forward transit time) dans le modèle du transistor bipolaire dans l'ESACAP.

II-8) CONCLUSION :

Ce chapitre constitue une étude complète du transistor IGBT évoluant en régime de commutation. En partant d'un modèle physique général et moyennant des simplifications, nous avons abouti à un modèle simple pour l'étude en régime de commutation.

Nous venons donc d'établir, pour les transistors IGBT, des modèles plus simples que celui du chapitre précédent; nous les avons implantés dans le logiciel ESACAP. Nous avons tout d'abord défini la forme de ce modèle en effectuant un certain nombre de simplifications sur le modèle général: topologie plus simple, équations simplifiées. L'implantation s'est faite sous la forme de macro-modèles en respectant rigoureusement les "possibilités" de l'ESACAP; les composants constituant de la bibliothèque standard de l'ESACAP ont été utilisés pour représenter les éléments non linéaires de nos macro-modèles : par exemple, pour les éléments les plus complexes à modéliser qui étaient les capacités non linéaires (C_{gd} et C_{ds}).

Les modèles ainsi créés du transistor IGBT sont introduits sous forme des sous-circuit que l'on pourra appeler lors de la programmation en vue d'une simulation, si l'on désire configurer un transistor IGBT dans un circuit donné.

CHAPITRE III

VALIDATION DES MODELES

III-1) Introduction :

Pour une meilleure connaissance des paramètres électriques du transistor IGBT, une étude pratique s'avère nécessaire.

La majorité des paramètres dont nous avons besoins pour la simulation du transistor IGBT dans l'ESACAP, peuvent être ainsi déterminés par des mesures. L'évaluation du bien fondé des modèles proposés pour le transistor IGBT dans l'ESACAP va se faire par comparaison entre la simulation et l'expérience. Divers comparaisons vont porter sur les caractéristiques statiques en "direct" et en "inverse", les caractéristiques de transfert $\{IC = f(V_{ge})\}$, ainsi que les caractéristiques de commutation sur charge résistive et inductive (selfique).

III-2) Détermination des paramètres statiques :

Par exemple, pour le méthodologie de mesure des paramètres statiques du transistor M.O.S permet d'obtenir les paramètres électriques intervenant pour la caractérisation du transistor V.DMOS, ces paramètres sont:

- La tension de seuil V_T .
- Le facteur de pente K_P .

III-2-1) Détermination de K_P et V_T du V.DMOS:

Le facteur de pente K_P , est défini dans l'ESACAP comme étant le produit $\mu_0 * C_{OX}$. *Les transistors haute-tension* ($V_{DBR} > 500V$), sont physiquement des structures à "canal long" . En effet, l'extension de la charge d'espace dans le substrat P ne peut pas être négligée pour des valeurs assez grandes de la tension bloquée. Les constructeurs sont donc amenés à réaliser des canaux suffisamment longs afin d'éviter le "perçage" de la jonction de source PN^+ . Par ailleurs la résistance série au drain est plus élevée que la résistance du canal; il en résulte que les effets de réduction de mobilité transversale sont masqués par le poids de cette résistance ($R_a + R_d \gg (K_P * \psi)^{-1}$). Dans ce cas, le modèle ESACAP du MOS (niveau 1) peut être considéré comme étant suffisant pour simuler le comportement de telles structures en régime statique. Ce modèle ne nécessite alors que deux paramètres K_P et V_T qui sont déterminés comme suit :

Selon l'analyse (&II-1-2-1-B) nous utiliserons le modèle de M.O.S niveau 1 dans l'ESACAP (à mobilité constante), pour simuler ces composants. La formulation du courant drain est la suivante :

$$I_D = K_P [(V_G - V_T) * V_D - V_D^2 / 2] \quad (III-1)$$

En régime saturé $V_{DS} > V_P = V_{GS} - V_T$, le courant de saturation de drain I_{DSS} est constant, à tension grille source constante et s'exprime par :

$$I_{DSS} = (K_P / 2) * (W/L) * (V_{GS} - V_T)^2 \quad (III-2)$$

En prenant arbitrairement $W = L = 1 \mu m$ et en reportant $\sqrt{I_{DSS}}$ en fonction de V_{GS} (figure(III-1)), on détermine K_P (pente de la caractéristique) et la tension de seuil V_T (intersection avec l'axe des V_{GS}).

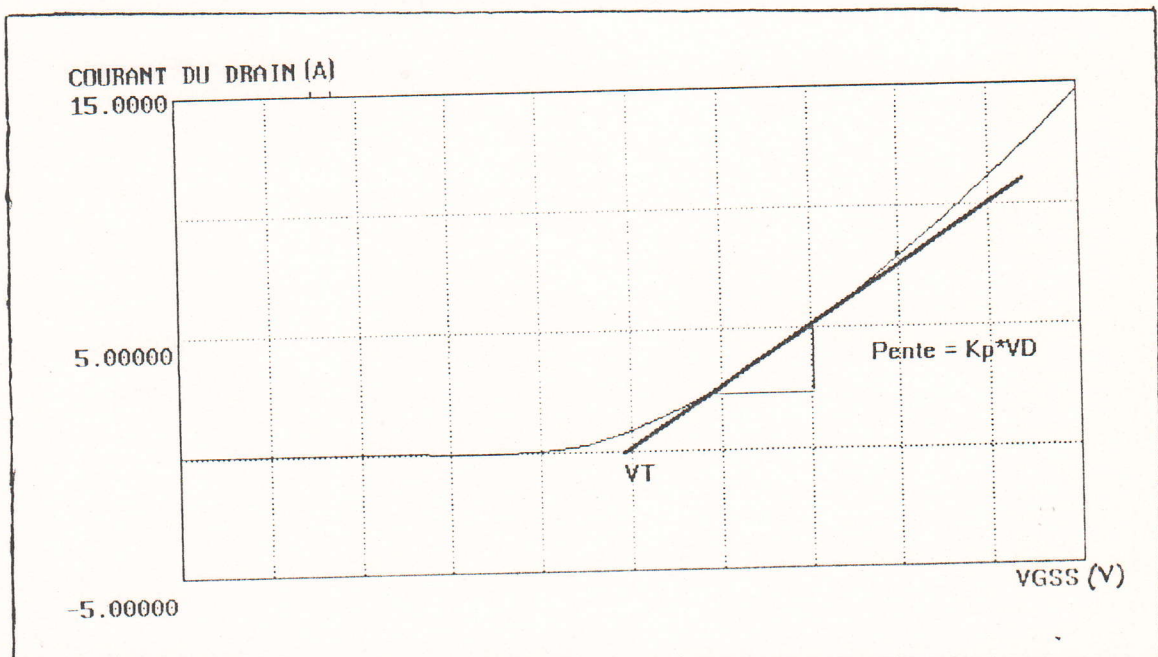


Figure (III-1) : Détermination expérimentale de K_P et V_T . [4,5]

Remarque :

Les paramètres V_T et K_P peuvent être extraits des données du constructeur (fiche DATA). La tension V_T est donnée sous forme d'une fourchette de valeurs.

K_P peut être déduit des caractéristiques statiques (en régime saturé pour les composants haute-tension, en régime ohmique près du zéro de V_D pour les composants basse-tension à condition que ces caractéristiques soient fournies).

III-2-2) Détermination de R_c , R_g et I_s : [15]

En prenant deux points de mesure c'est à dire I_{rated} et $I_{rated}/4$ les paramètres R_c et I_s peuvent être ainsi déterminer :

$$R_c = (V_{CE2} - V_{CE1} + V_{DS1} - V_{DS2}) / (I_{IGBT2} - I_{IGBT1}) \quad (III-3)$$

$$I_s = (\beta_f / (1 + \beta_f))^* I_{IGBT} e^{- (V_{EB} / V_{th})} \quad (III-4)$$

La résistance R_g a toujours un impact majeur sur le comportement du transistor IGBT à l'état "ON". Elle est vu comme deux résistances : une résistance externe $R_{Gate\ ext}$ fixé par l'utilisateur et une autre interne $R_{Gate\ int}$ fixé par le modèle. En analysant la tension grille-émetteur durant le turn ON, la résistance de la grille interne est calculée en utilisant la formule du Mosfet dans sa région active.

$$R_{Gate\ int} = (V_{GE} - V_{GE} / I_{Gate}) - R_{Gate\ ext} \quad (III-5)$$

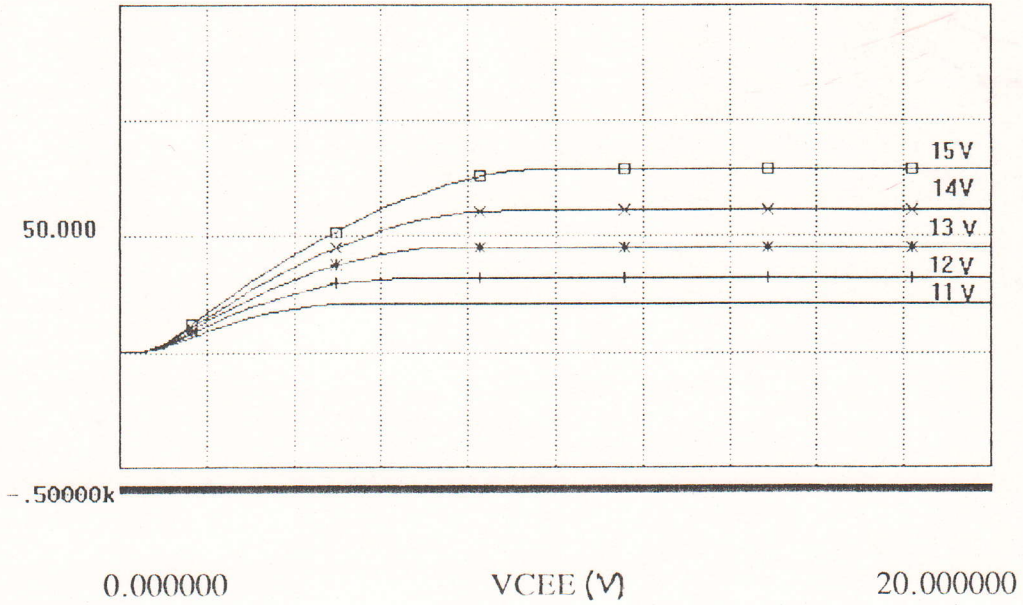
III-3 LES CARACTERISTIQUES STATIQUES :

Le programme qui permet de simuler les caractéristiques statiques fait appel à un sous-programme de modélisation du transistor V.DMOS et un autre pour le transistor bipolaire dans l'ESACAP tels que ceux décrit au chapitre &II.

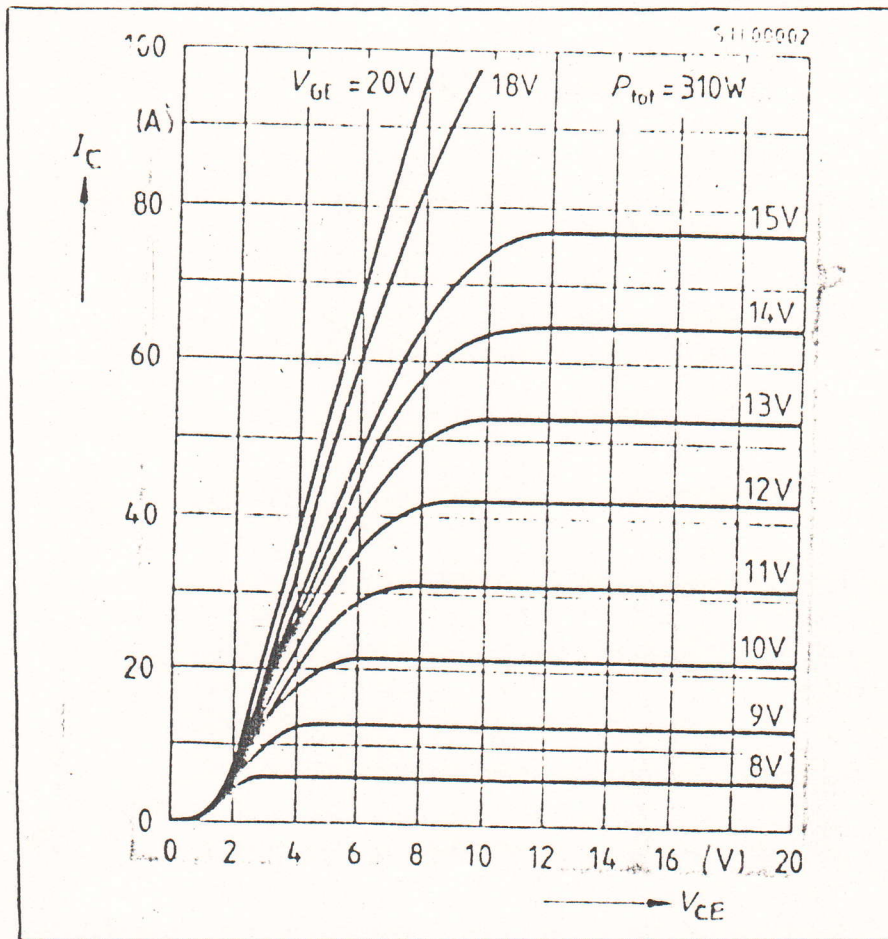
Avec ce programme le composant subit un balayage de la tension VCE pour différentes valeurs paramétriques de tension grille VG (l'émetteur est à la masse). Par ailleurs, les électrodes de l'émetteur et du substrat sont court-circuitées. En tant que données, nous fournissons les valeurs des paramètres L , Z (notée W dans l'ESACAP), μ_0 et K_p (facteur de pente).

Par le même principe de simulation mais pour des tensions VCE négatives, nous obtenons les caractéristiques inverse du transistor IGBT. La mesure et simulation(direct et en inverse) sont présentées à la figure (IV-1)(a), (b) et (c).

Courant de l'IGBT (I_C) (A)



Figure(III-2),(a) : Simulation des caractéristiques statiques en direct de l'IGBT .



Figure(III-2),(b):Caractéristiques statiques expérimentales du transistor IGBT MG50J2YS9 [18].

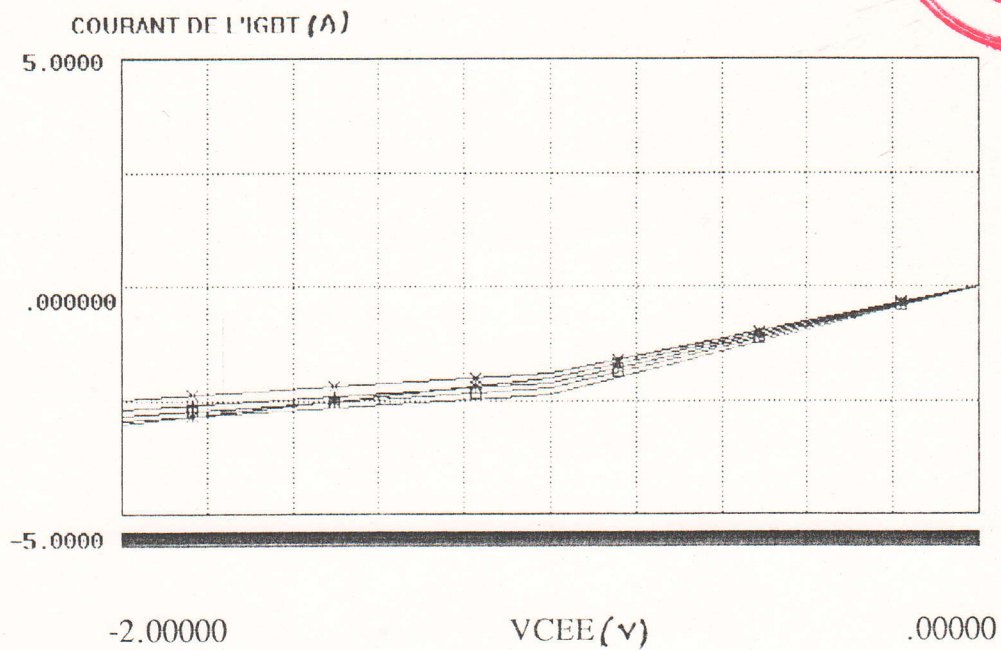
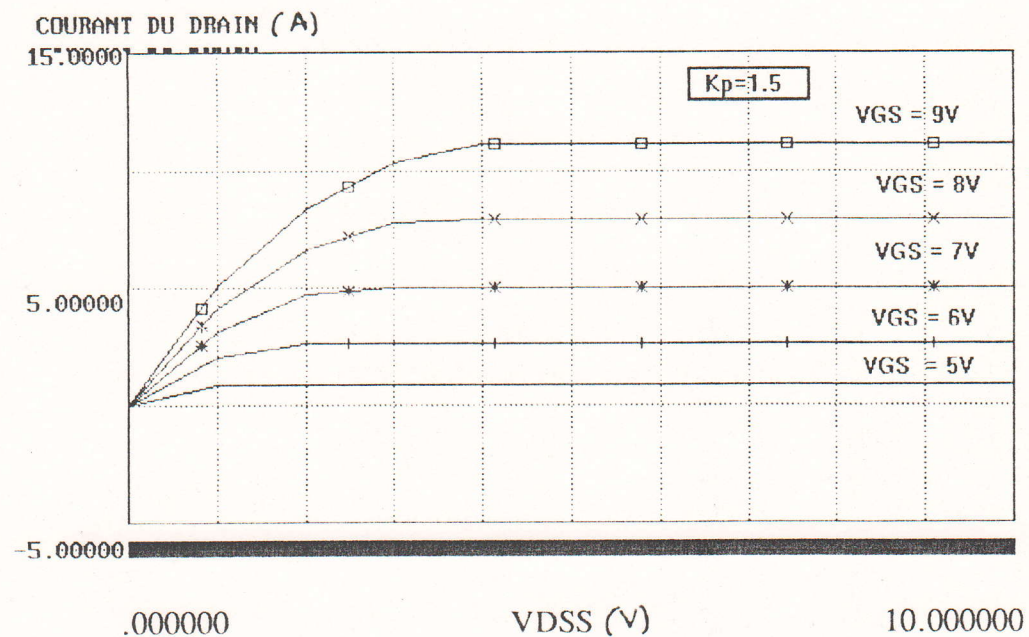


Figure (III-2), (c) : Simulation des caractéristiques statiques en inverse de l'IGBT.

A titre de comparaison, sont représentées les caractéristiques statiques $I_{ds}(V_{ds})$ du transistor V.DMOS de puissance pour la même valeur du facteur de pente K_p ($K_p=1.5$) du transistor IGBT (voir figure(III-2)(d)).



Figure(III-2),(d): Simulation des caractéristiques statiques du transistor V.DMOS MTP4N85.

La conclusion qu'on peut tirer de cette comparaison entre ces deux composants est que l'IGBT présente les avantages suivants:

- * capacité de blocage en direct et en inverse,
- * densité de courant élevée à l'état de conduction.

Passons à la comparaison entre les caractéristiques de transfert $I_C = f(V_{GE})$ simulées et mesurées du transistor IGBT, illustrées dans la figure (III-2),(e).

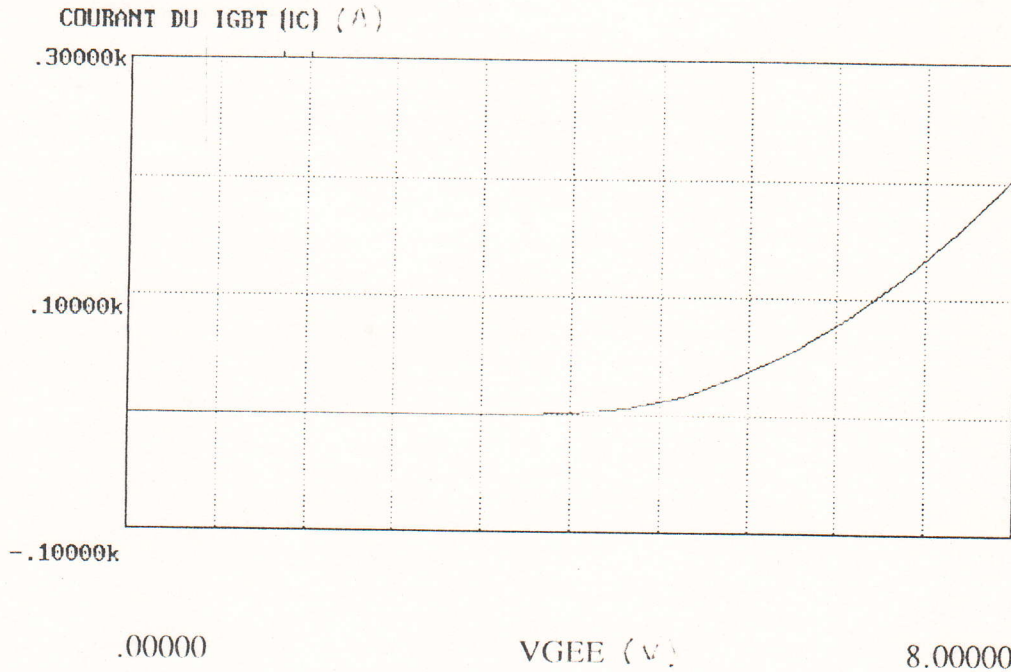


Figure (III-2),(e): Simulation de la caractéristique de transfert $I_C = f(V_{GE})$ du transistor IGBT.

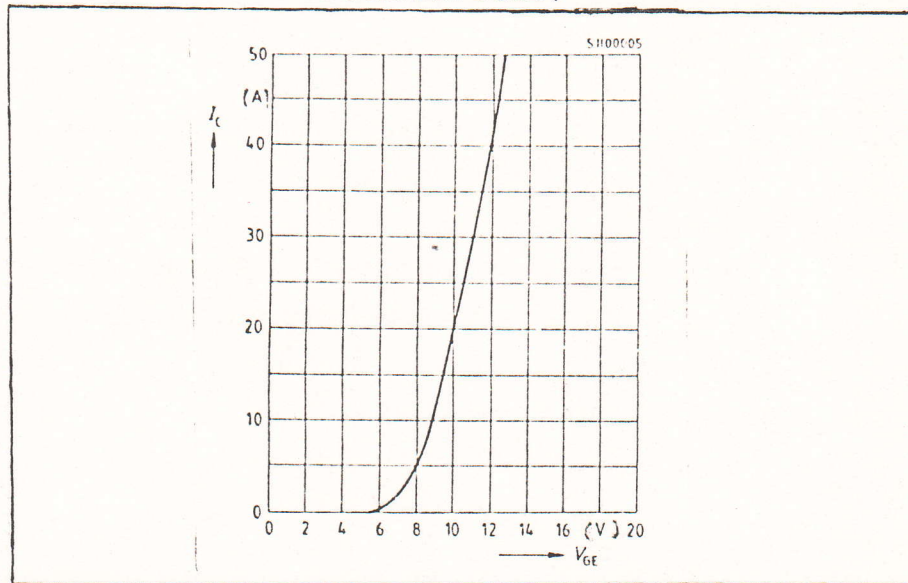


Figure (III-2), (e) : Caractéristique de transfert expérimentale du transistor IGBT MG50J2YS9 [18].

III-4) APPLICATION A L'ETUDE EN COMMUTATION :

Lorsque le transistor IGBT évolue en régime de commutation dans un circuit électrique, il y réalise essentiellement la fonction interrupteur, ceci est assuré par la partie V.DMOS du transistor IGBT.

Dans tous les cas d'utilisation, le transistor se reboucle côté grille sur un circuit de commande et côté collecteur sur un circuit de charge. Les deux circuits de commande et de charge, seront représentés dans cette étude, et respectivement, par un générateur d'impulsion de tension VGG et de résistance interne R_g et par une impédance Z_L . Cette impédance sera purement résistive dans un premier temps et inductive par la suite.

Dans tous les cas d'étude, les résultats de simulation sont directement comparés aux mesures expérimentales.

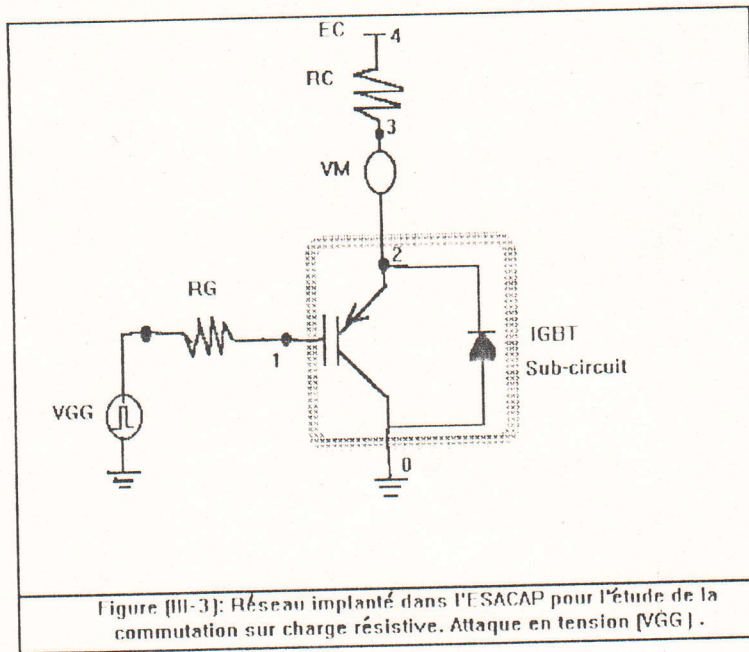
III-4-1) GENERALITES :

Le montage d'étude du transistor IGBT en commutation sur charge résistive est schématisé sur la figure(III-3). La grille du transistor est commandée par un générateur d'impulsion de tension VGG, et son collecteur est chargé par une résistance R_c , sa polarisation est assurée par un générateur continu E_c . L'étude est faite en régime transitoire, est basée sur la détermination des allures d'onde de tension à l'entrée et en sortie du transistor.

III-4-2) COMMUTATION SUR CHARGE RESISTIVE :

Le réseau de commutation décrit par la figure(III-3) est simulé par le logiciel "ESACAP" en régime transitoire. La commutation sur charge résistive avec un attaque en tension nous permet d'évaluer l'importance en valeur de la résistance de grille du composant. La valeur de cette résistance reste cependant toujours raisonnable(de l'ordre de quelques ohms(Ω)).





III-4-2-1) Définition des temps de commutation :

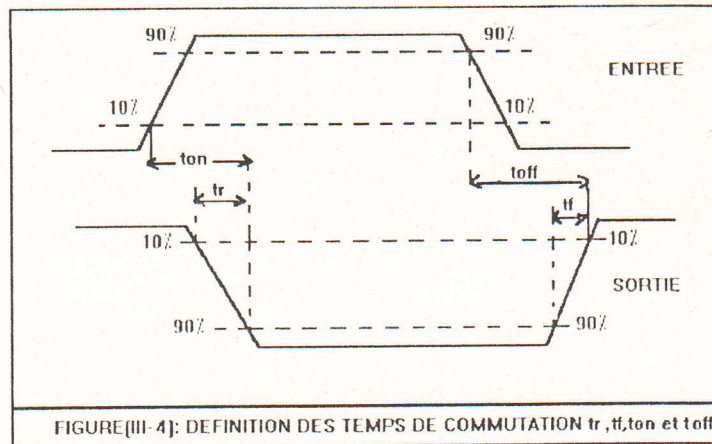
Différents temps de réponse peuvent être définis comme le montre le schéma de la figure(III-4).

tr : temps de montée (rise time) est le temps nécessaire au signal de sortie pour passer de 10% à 90% de la valeur maximale, phase OFF → ON.

tf : temps de descente (fall time) est le temps nécessaire au signal de sortie pour passer de 90% à 10% de la valeur maximale, phase ON → OFF.

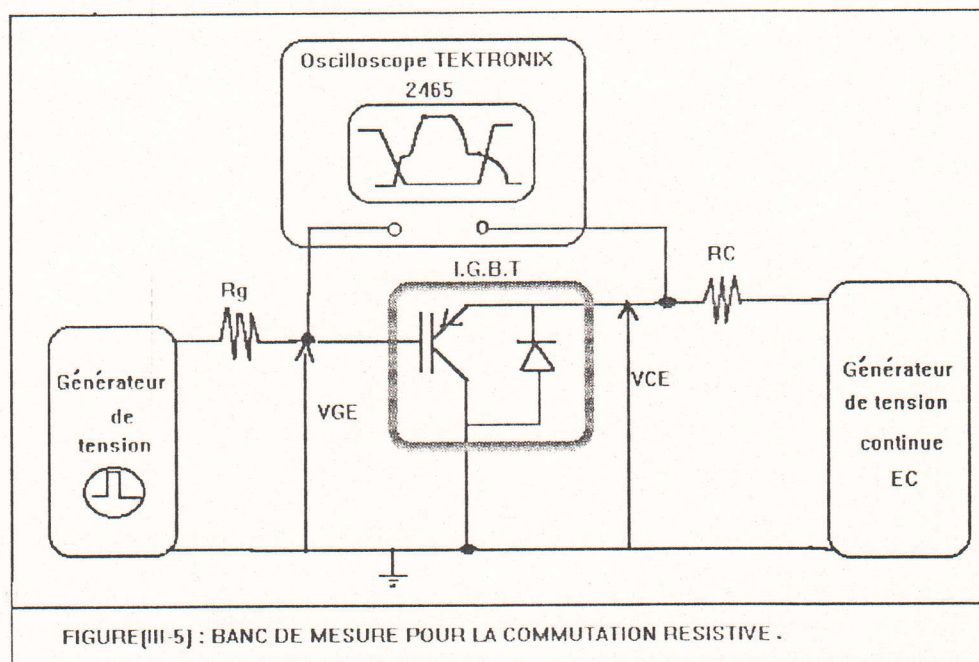
ton : temps de réponse à la fermeture effective de l'interrupteur . C'est le temps qui sépare dans la phase OFF → ON, le début de l'excursion du signal d'entrée, à 10% de sa valeur maximale, et la fin de l'excursion du signal de sortie, à 90% de la valeur maximale.

toff: temps de réponse à l'ouverture effective de l'interrupteur . C'est le temps qui sépare dans la phase ON → OFF, le début de l'excursion du signal d'entrée, à 90% de la valeur maximale, et la fin de l'excursion du signal de sortie, à 10% de sa valeur maximale.



III-4-2-2) MESURES ET SIMULATION : [22]

Le banc de mesure utilisé est schématisé sur la figure(III-5). Celui-ci est composé d'un générateur de tension continu, d'un générateur d'impulsion (en tension) et d'un oscilloscope tektronix 2465 .



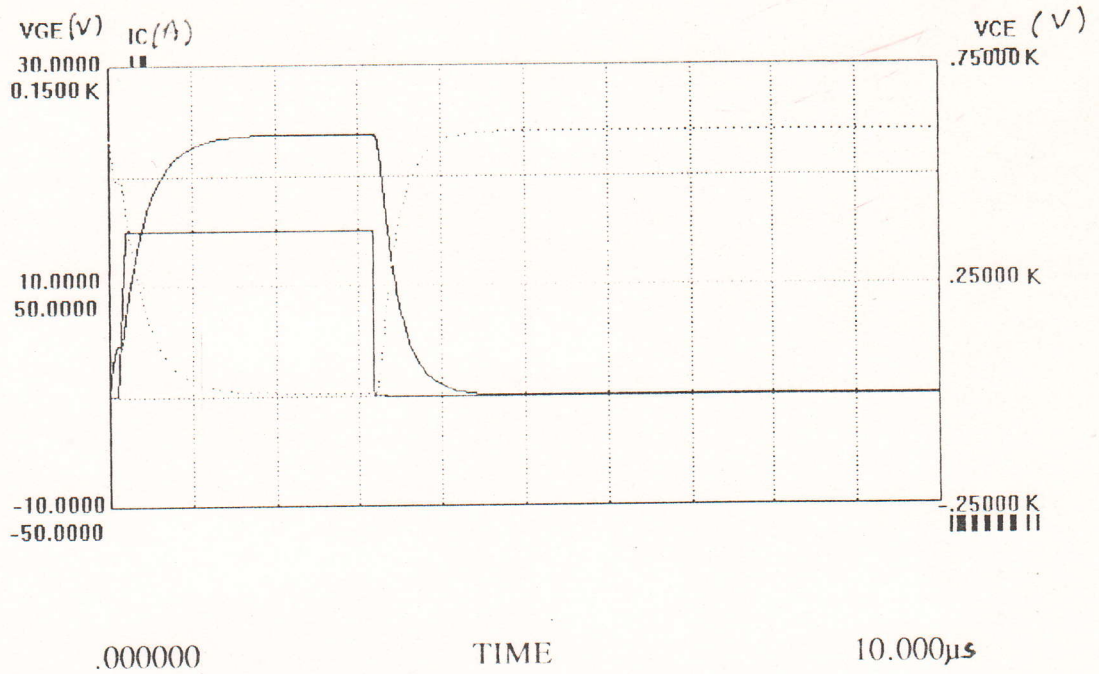
La résistance R_g a une valeur de 25ohm. Pour la résistance de charge R_c sa valeur dépend des conditions que l'on choisit.

Le logiciel ESACAP ne permet pas le calcul automatique des temps de commutation t_r , t_f , t_{on} , et t_{off} . Mais il permet la génération sur un écran des caractéristiques que l'on désire observer.

Les figures (III-6)(a) et (b) présentent un exemple typique des formes d'ondes de tension et de courant mesurées et simulées. On remarque que les résultats obtenus sont une traduction suffisamment fidèle des formes d'onde réelles obtenues sur maquette par mesures expérimentales.

III-4-3) COMMUTATION SUR CHARGE INDUCTIVE :

L'étude de commutation sur charge inductive est fondamentale en ce sens qu'elle correspond à des cas pratiques d'utilisation du transistor IGBT comme interrupteur (commande des moteurs, onduleurs, etc....). Dans cette étude, le transistor IGBT est associé à un réseau de commande identique à celui utilisé dans le cas d'une charge résistive, seule la charge est différente. La charge est constituée par la mise en parallèle d'une inductance pure L_C de valeur 120nH et d'une résistance R , en série avec une résistance R_C .



Figure(III-6), (a) : Simulation des caractéristiques en commutation sur charge résistive du transistor IGBT.
 ($E_c = 600V$, $R_c = 2.5\Omega$, $R_g = 25\Omega$).

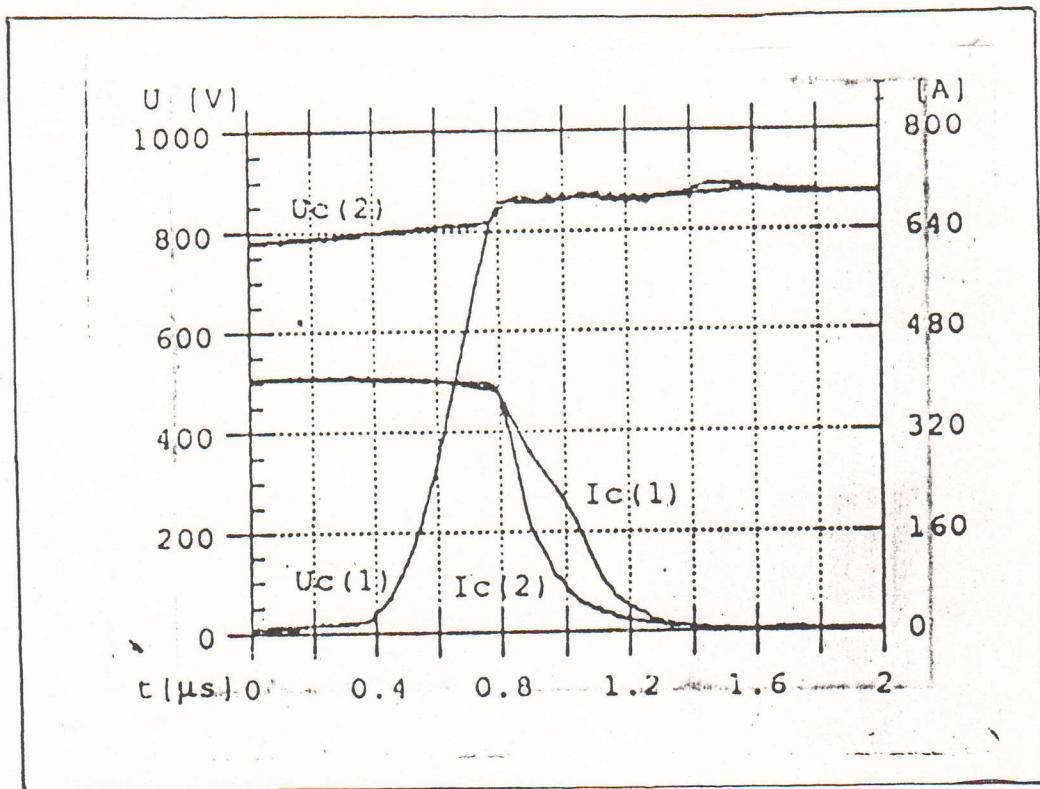


Figure (III-6),(b) : Caractéristique expérimentale du transistor IGBT en commutation sur charge resistive.[12]

Le réseau implanté dans l'ESACAP pour faire cette étude est représenté à la figure(III-7).

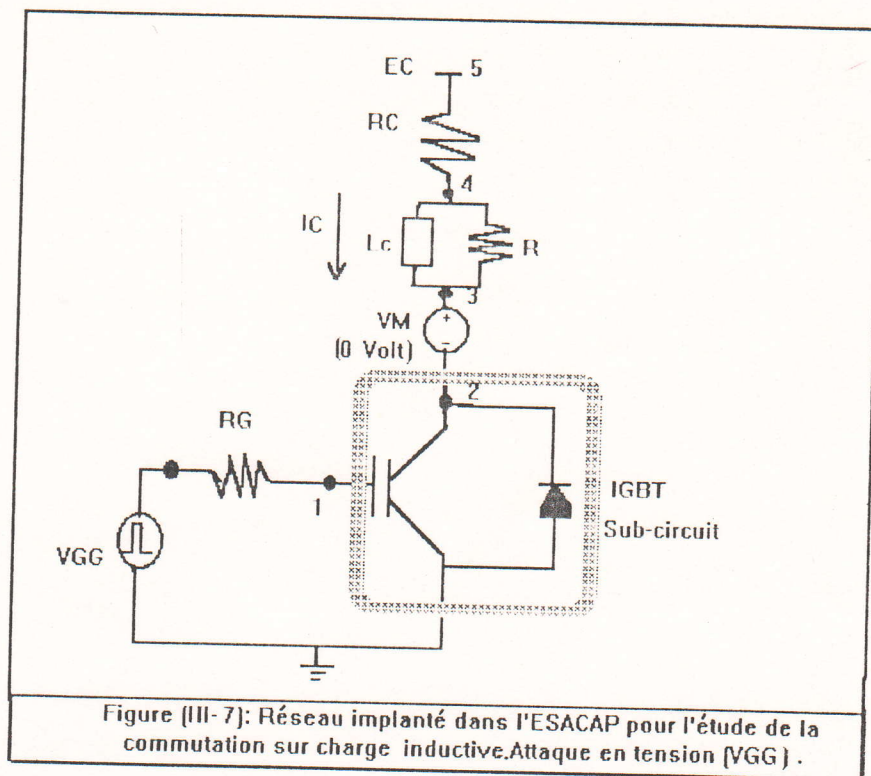


Figure (III-7): Réseau implanté dans l'ESACAP pour l'étude de la commutation sur charge inductive. Attaque en tension $[V_{GG}]$.

REMARQUE :

Dans le cas d'une charge inductive le circuit de sortie de l'IGBT présente un caractère oscillant; il s'avère souvent nécessaire de bien connaître le comportement de l'inductance sur une large gamme de fréquences. En effet il faut un schéma électrique convenable de l'inductance pour rendre compte, en simulation, des allures d'onde observées dans le cas de ces circuits.

Si un signal n'est appliqué sur la grille du transistor IGBT (figure(III-8)), celui-ci est bloqué et toute la tension E_C se retrouve entre le collecteur et l'émetteur. L'application d'une impulsion V_{GG} ($V_{GG} > V_T$) fait conduire le transistor si celle-ci est maintenue suffisamment de temps. Dès que le transistor se met à conduire ($I_C > 0$), il apparaît une chute de potentiel ($L_C \cdot dI_C/dt$) aux bornes de l'inductance de charge L_C ; le temps d'établissement du courant collecteur dans le circuit dépend de la configuration de celui-ci. En effet, si on assimile simplement et en première approximation le transistor, vu de sa sortie, à une seule résistance R_{ON} , durant cette phase de conduction (figure(III-8)), le courant collecteur s'exprime par :

$$I_C(t) = (E_C / (R_{ON} + R_C)) * [1 - \exp(-t/\tau)]$$

avec $\tau = L_C / (R_{ON} + R_C)$.

Jusqu'à cet instant, l'inductance L_C n'a introduit aucun régime transitoire et rien ne distingue vraiment ce cycle de commutation OFF → ON de ce que l'on a vu dans le cas d'une charge purement résistive.

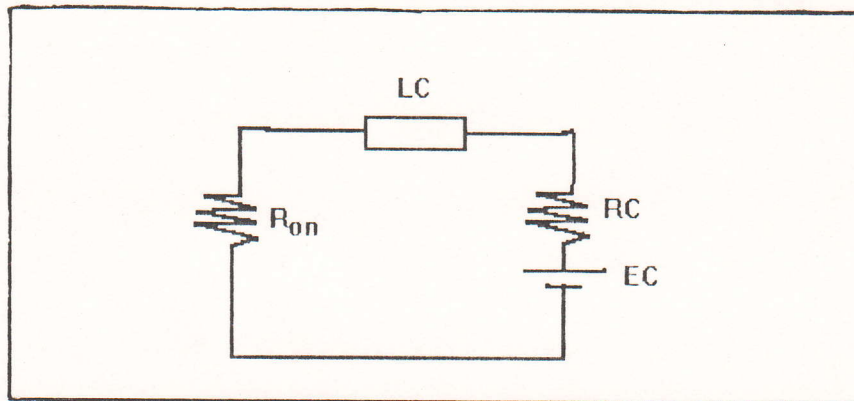


Figure (III-8) : Schéma équivalent simplifié de la maille collecteur-émetteur lorsque le transistor conduit.

La tension aux bornes de l'inductance, nulle au blocage, passe par une valeur maximale et s'annule à nouveau en régime permanent. Ce qui est encore plus important, c'est que durant ce cycle, la quantité dI_C/dt est restée positive ou nulle; il s'en suit que le potentiel aux bornes de l'inductance de charge L_C est opposé à E_C .

Tant que le signal reste appliqué sur la grille, rien ne se passe de particulier. Le cycle ON → OFF commence au moment où l'on supprime le signal de la grille. Celle-ci va se décharger dans le circuit du générateur (éteint), la chute de tension V_{GE} induit (à travers la transconductance g_m) une chute de courant collecteur I_C . Cela correspond à un dI_C/dt non nul et donc, à nouveau, il en résulte une apparition de tension aux bornes de l'inductance L_C ; mais cette fois elle est dans le même sens que E_C .

Les mesures effectuées sur maquette confirment la validité de notre modèle pour ce type d'application. On peut apprécier sur les figures

(III-9)(a) et (b) qui constituent une comparaison théorie-expérience, la précision du modèle "ESACAP" du transistor IGBT et cela tant au niveau des formes d'onde qu'au niveau des valeurs des tensions.

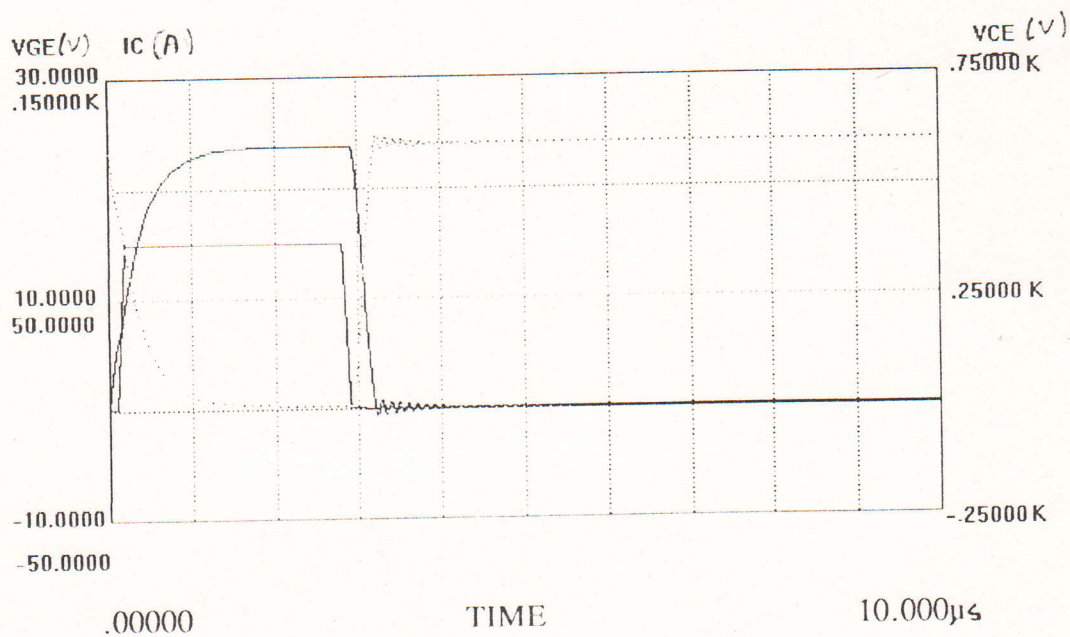


Figure (III-9), (a): Simulation des caractéristiques en commutation sur charge inductive ("selfique") du transistor IGBT.

($E_c=600V$, $L_c=120nH$, $R_c=2.7\Omega$, $R=12.5\Omega$, $R_g=10\Omega$).

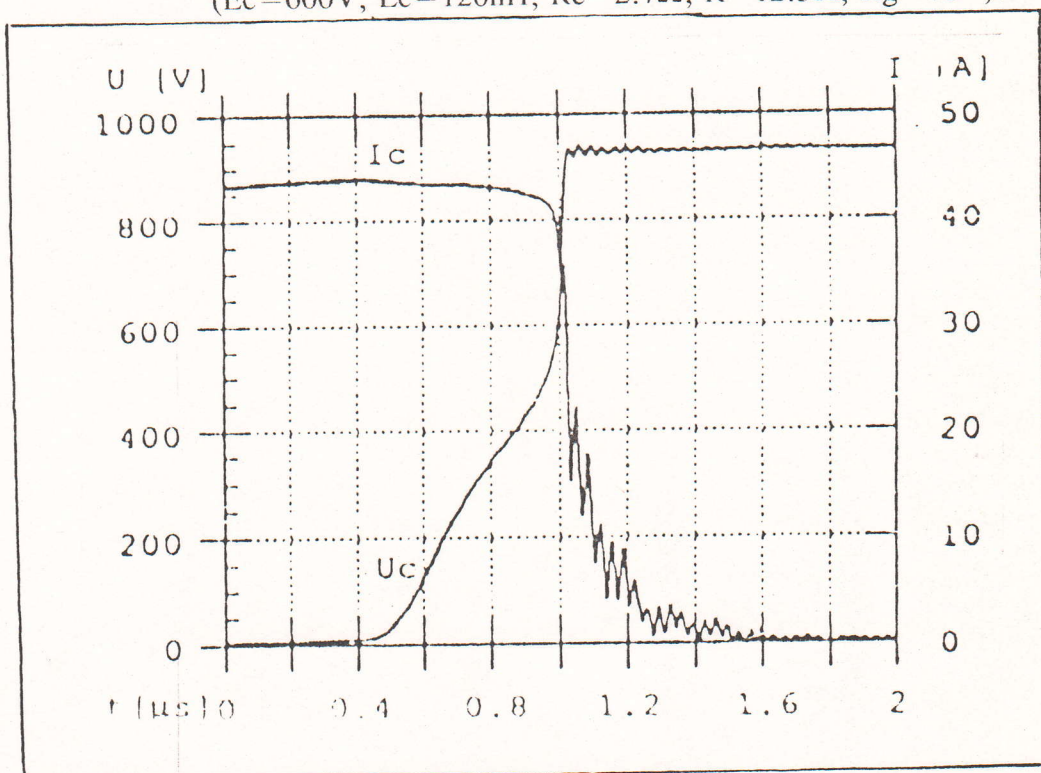


Figure (III-9), (b) : Caractéristique expérimentale du transistor IGBT en commutation sur charge inductive [12] .

دائرة الدراسات
والدراسات

L'ensemble des mesures expérimentales ont été effectuées au laboratoire de l'institut d'électrotechnique générale de l'Université Technique de Berlin, Allemagne par K.benbaouche dans le cadre de sa promotion en thèse de doctorat. Dirigé par Prof Dr-Ing. M. Michel.

Notre but n'a pas été de faire une étude de circuit, ce qui n'est pas notre propos, mais bien plus de démontrer la validité des modélisations proposées du transistor IGBT.

REMARQUE ^(P) :

□ *Caractéristique statique :*

Un nouveau modèle pour le transistor IGBT a été bien représenté. Ce modèle utilise les fruits des logiciels PSIPCE et ESACAP. Les valeurs des composants additionnels ou spécifiques peuvent être dérivés des équations décrivant le comportement physique du composant en utilisant les données de mesure. On remarque que les résultats de simulation à l'état statique montrent une bonne concordance avec les données de mesure.

□ *Caractéristique transitoire :* [13], [17].

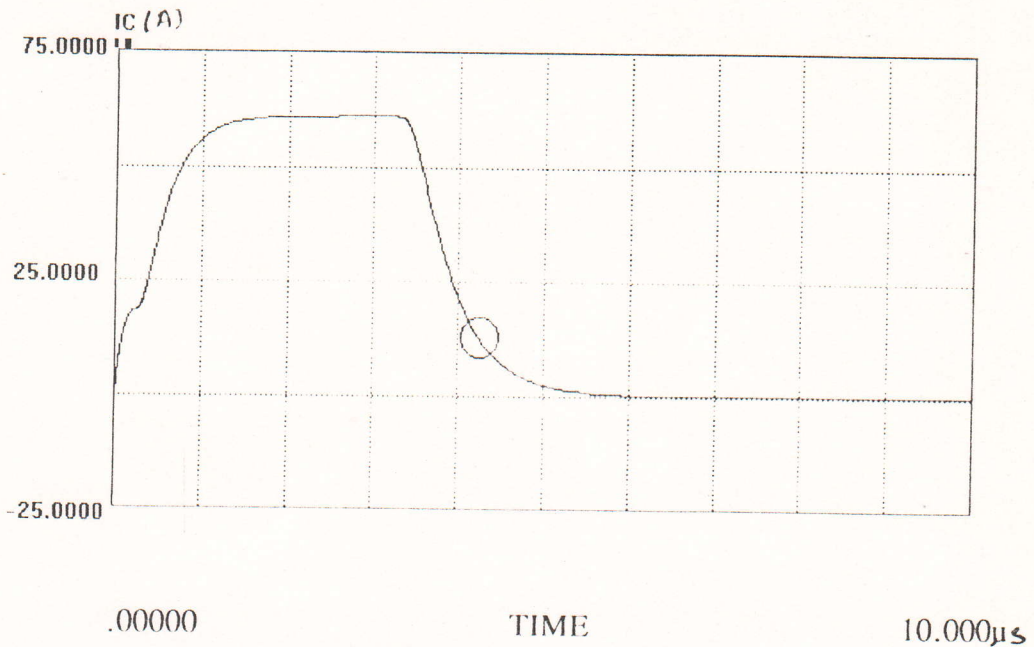
Ces composants IGBT ont été testé pour voir la capacité de la grille à L'état "off". Pour performer ces mesures, le composant est à l'état "on" ou à l'état "off" en soumettant la grille à une impulsion de largeur 1 à 2 μ s (15v) où une tension continue de 50 -600v est connecté entre le collecteur et l'émetteur avec une série de charge résistance, inductance qui détermine le courant collecteur.

Le courant collecteur est observé à être complètement contrôlé par la tension de la grille. La forme d'onde du courant collecteur est montré en figure (III-10). Le courant collecteur est vu comme une tombée initiale, suivi par un affaiblissement lent du courant.

Ce tail dans la forme d'onde du courant collecteur est due à la recombinaison des charges stockées dans la région n-base comme discuté avant.

Le temps de turn-off a été définie comme étant le temps mis par le courant collecteur de chuter de 10% de sa valeur de conduction au temps où la tension grille est réduite de 15V à 0V. Ce temps de turn-off est composé en réalité de deux temps: temps de stockage et le temps de la tombée comme a été toujours définie pour les composants dont le turn-off est assuré par la grille. Le temps

de stockage des composants IGBTs est trouvé à être très court ($< 100\text{ns}$) et le temps de turn-off est déterminé principalement par le tail du courant collecteur. Dans le cas des IGBT, on a remarqué qu'en augmentant le courant collecteur, la chute initiale de ce dernier augmente sans aucune augmentation significative du tail dans la phase d'affaiblissement du courant collecteur.



Figure(III-10): Commutation à l'ouverture et à la fermeture du transistor IGBT (simulé).

L'explication de ceux-ci est la suivante: la chute initiale du courant collecteur est due à l'injection des électrons dans la région collecteur P^+ où une grande concentration des électrons dans la région n-base. En conséquence lorsque le courant collecteur de turn-off est élevé, beaucoup des électrons sont chassés durant la chute initiale du courant collecteur.

III-5) Situation de l'IGBT par rapport aux autres composants de puissance:

Indépendamment de la limitation économique, le Mosfet peut être considéré comme un composant parfait [19]:

- facile à conduire,
- son comportement à la commutation très rapide (quelques pertes en commutation) ,
- la chute de tension suit la loi résistive (d'ohm); s'il n'ya pas de contrainte du prix, le Mosfet opérant à des

- densités de courant faibles, est le meilleur composant pour réduire les pertes de conduction,
- possibilité d'avoir un courant de surcharge très grand avec le même comportement ultra rapide en commutation.

L'inconvénient majeur du Mosfet est son rapport élevé (R_{on} / surface de silicium), conduisant à un coût très élevé pour les interrupteurs de puissance figure(III-11).

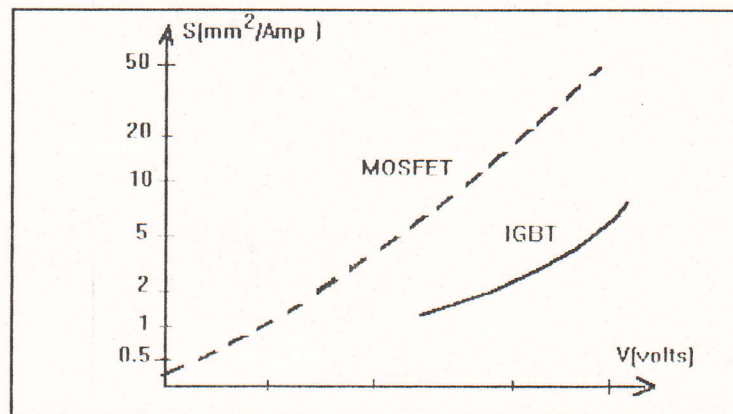


Figure (III-11) : Surface du silicium en fonction de la tension [19].

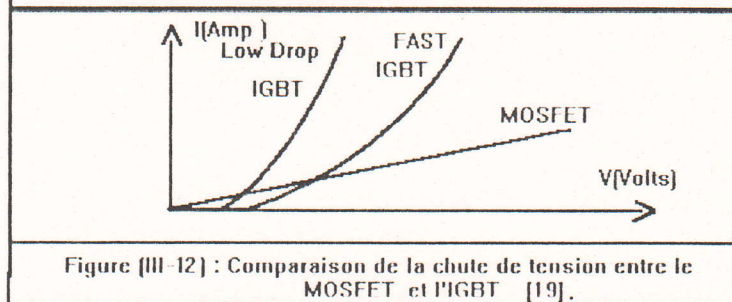


Figure (III-12) : Comparaison de la chute de tension entre le MOSFET et l'IGBT [19].

L'IGBT, le premier enfant du mariage du MOS/Bipolaire . Il a les avantages de ses parents:

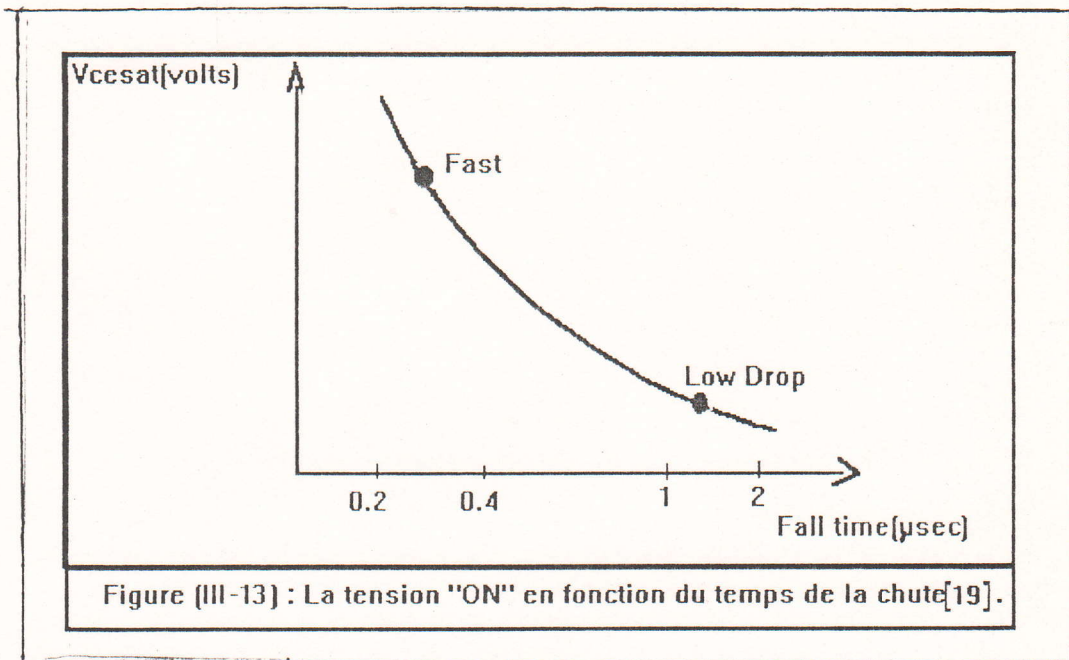
- facile à conduire, comme le Mosfet,
- son rapport (puissance de commutation/ surface de silicium) très élevé, conduisant à une solution effective du prix figure((III-11)).

Ces avantages sont contrebalancés par le fait que le "tail du courant" durant l'état Off introduit des pertes durant cet état.

جامعة الزيتونة
وإدارة المحلات

- la chute de tension est (même pour un montage Darlington) toujours supérieure à 1V [L'IGBT a plus de pertes en conduction aux faibles densités de courant que le Mosfet (figure(III-12))].

L'étude d'un IGBT est vue comme un résultat d'un compromis (figure(III-13)) entre deux paramètres : la vitesse caractérisée par le temps de la chute et la chute de tension (tension à état "on") au courant nominal. La fabrication des semi-conducteurs propose deux familles de l'IGBT :



- L'IGBT à basse chute pour les applications basse fréquence, le but est d'atteindre la faible tension à état "on", pour minimiser les pertes en conduction .
- L'IGBT rapide pour les applications haute fréquence, le but est de réduire le temps de la chute afin de minimiser les pertes à l'état "off" .

III- 6) CARACTERISTIQUES : [22]

Le tableau suivant(document Toshiba) présente les caractéristiques de l'I.G.B.T. par rapport à celle du MOSFET et du transistor bipolaire.

Bon sur tous les critères, mais sans y être les premiers, les I.G.B.T. constituent la meilleure solution dans la zone des 500V/50A.

Technologie	Fréquence (KHz)	Commutation (μ s)	Tension de saturation(V)	Prix (indice)
Transistor bipolaire (450V/50A)	5	12	1.5 à 2	1
<u>IGBT</u> 1ère génération (550V/50A)	5 à 10	2	3	1.3 à 1.4
<u>IGBT</u> 2ème génération <u>Faible Vce sat.</u> (600V/50A)	5 à 10	2	2.3	1.3
<u>IGBT</u> 2ème génération <u>Haute vitesse.</u> (600V/50A)	10 à 20	1	3	1.4
Mosfet (500V/50A)	20	0.5	5 à 10	2

Tableau I: Caractéristiques des I.G.B.T. par rapport aux Mosfet et transistors bipolaires.[22]

Les performances en commutation de l'I.G.B.T. font qu'il surpasse dans de nombreuses applications le transistor bipolaire en permettant l'élévation de la fréquence de fonctionnement et la réduction de l'encombrement. Sa tension de déchet réduite par rapport au transistor MOS permet de réduire les pertes par conduction et de diminuer le volume des dispositifs de refroidissement. Sa facilité de commande et son endurance aux courts-circuits sont aussi des atouts de l'I.G.B.T.. Actuellement la gamme de puissance de ce composant atteint des tensions bloquées de ≈ 2 KV et des courants > 1200 A.

III-7) Conclusion :

Nous avons analysé dans ce chapitre le point relatif à la validation de nos modélisations du transistor IGBT dans l'ESACAP. Ceci a été fait pour différents montages spécifiques par comparaison des résultats de simulation et d'expérimentation.

Ainsi les résultats de simulations présentés, montrent clairement que l'IGBT constitue la meilleure solution dans la zone des 500V/50A.

Tout ceci devrait conduire dans le futur à la possibilité de simuler différents circuits de l'électronique de puissance avec un degré de précision, surtout en ce qui concerne les caractéristiques des composants, non encore égalée.

CONCLUSION GENERALE

CONCLUSION GENERALE :

L'intérêt majeur des composants de puissance à tension contrôlé a été observé dans les années récentes. Le DMOS vertical est un composant de puissance très utilisé depuis qu'il présente une grande impédance d'entrée, et de performances de commutation rapide. Néanmoins ses grandes pertes de conduction, due à sa résistance "ON" limite la capacité du courant ("current handling capability"), spécialement pour les composants de grande et moyenne tensions. De cette manière, plusieurs efforts ont été adressés pour marier ou combiner les avantages du transistor V.DMOS et ceux du transistor bipolaire.

Ces composants MOS-Bipolaire de puissance offrent comme avantages principales : une grande impédance d'entrée et une capacité au grande puissance ("high power handling capability"). Le composant le plus représentative pour cette catégorie est l'IGBT (Insulated-Gate-Bipolar-Transistor). Ce composant a un grand courant par unité de surface que le Mosfet de puissance, mais il souffre du phénomène de "latch-up" et d'une réponse fréquentielle pauvre.

Ces composants sont trouvés pour opérer à une densité de courant en direct qui est 20 fois supérieure que celle des Mosfets de puissance et 5 fois supérieure que celle du transistor bipolaire [17]. Cependant, ces composants ont les avantages suivants :

- 1- Capacité de blocage en direct et en inverse,
- 2- grande densité de courant à l'état de conduction,
- 3- grande impédance de la grille du Mosfet,
- 4- capacité d'entrée de la grille faible,
- 5- grande tension de claquage praticable.

Ces avantages met IGBT spécialement attractive pour la phase des circuits de contrôle opérant aux basses fréquences où la possibilité de turn-off de la grille est exigé.

De façon plus précise, le travail présenté dans ce mémoire s'articule autour de deux axes principaux qui sont :

- i) la modélisation physique et mathématique du transistor IGBT de puissance, en vue de rendre compte de son comportement statique et dynamique

ii) l'application des modèles mathématiques et la simulation du transistor IGBT, au moyen du simulateur électrique ESACAP. Le déroulement des étapes de notre travail et les résultats obtenus sont les suivants :

Dans un premier chapitre, nous avons tout d'abord, rappelé l'essentiel des formalismes physiques sur lesquels sont basés les comportements statique et dynamique du transistor IGBT .


Dans un deuxième chapitre, une étude détaillée de la modélisation *pour les régimes de commutation* a été effectuée sur la base du modèle physique générale du transistor IGBT de puissance et moyennant des simplifications justifiées, nous avons abouti à une forme bien adaptée à étude de ce régime. *Le modèle simplifié* ainsi obtenu, présente l'avantage que tous ses éléments, ont un sens physique et qu'ils sont accessibles à partir des fiches "DATA" des composants ou à partir des mesures spécifiques qu'ont été détaillées.

Dans un troisième chapitre, nous avons présenté les méthodes de détermination de quelques paramètres lors de l'implantation dans le logiciel ESACAP. Ces paramètres peuvent être déterminés, pour un grand nombre d'entre eux, soit par des mesures, que nous avons explicitée, soit ainsi, par les données du constructeur de transistors.

Nous avons validés les modèles du transistor IGBT par la comparaison des caractéristiques expérimentales et théoriques relevées sur plusieurs circuits de commutation correspondant à diverses configurations des réseaux et de charge : circuit de commutation sur charge résistive et inductive, et on terminera par une comparaison des caractéristiques du transistor V.DMOS de puissance et celles de l'IGBTs.

En ce qui concerne l'implantation "logicielle" des modèles on peut dire que l'utilisation de l'outil informatique qu'est le logiciel "ESACAP" n'est pas un obstacle à l'utilisation de la bibliothèque de macromodèles et ceux pour deux raisons:

i) Aujourd'hui, tous les laboratoires et toute les entreprises grandes ou petites, possèdent des micro-ordinateurs pour lequel de nombreuses versions de l'ESACAP existent.



ii) "l'ESACAP" est un logiciel mondialement distribué par un grand nombre de sociétés de services ce qui fait que l'ESACAP est utilisé dans des laboratoires universitaires ou industriels, et ceci par un coût d'acquisition ou d'utilisation très compétitif.

Ainsi, sur la base de travail que nous venons d'effectuer et dont les résultats sont consignés dans ce mémoire, les concepteurs de circuits électroniques de puissance disposent, maintenant, de moyens nouveaux, pour simuler ces circuits utilisant des transistors IGBTs et ceci avant de les "expérimentés" .

Enfin et pour terminer, nous proposons une approche de construction d'un modèle "universel" permettant de définir et d'implanter les paramètres du modèle des différents composants IGBTs disponibles aujourd'hui dans le marché.

BIBLIOGRAPHIE

BIBLIOGRAPHIE

- [1] *B. JAYANT BALIGA*, " Modern power devices", General Electric Company , Shenectady New York.
- [2] *POUL. STANGERUP*, " The Simulation Program- ESACAP PC - Implemented Network And System Simulation demonstrated by Applications " , Examples (2 volumes).
- [3] *PAOLO. ANTOGNETTI , GIUSEPPE. MASSOBRIO* , "Semiconductor Devices Modeling with Spice " , New York , McGraw Hill , 1988.
- [4] *M. RABAH. MAIMOUNI*, " Hiérarchie des modèles du transistor M.O.S de puissance " , Thèse de doctorat, Université Mohamde Premiers Faculté des Sciences, Oujda, Juin 1989.
- [5] *M. DOMINIQUE ALLAIN*, " Bibliothèque des modèles du Transistor V. DMOS pour la simulation des circuits de l'électronique de puissance " , Thèse d'ingeniorat de centre régional Agrée de Toulouse, Mai 1989.
- [6] *FIRENZE*, " Proceedings 4th European Conference On Power Electronics And Application" , Vol.1, 3-6 September 1991.
- [7] *ANDRE VAPAILLE, RENE CASAGNE*, " Dispositifs et Circuits Intégrés Semi-conducteurs Physique et Technologie " , Edition Dunod, 1990.
- [8] *B. JAYANT .BALIGA*, " An Overview Of Smart Power Technology " , IEEE Transactions, on Electron Devices, Vol.38, N° 7, July 1991, pp 1568-1575.
- [9] Power Devices
 - " Finer geometries, greater cell densities improve MOSFET performance"
 - " Conductivity modulation : An enhancement provides a better of bipolar and FET for high voltage, high current applications",

- " Smart Power Companies provide variety on route to a universal bipolar-CMOS-DMOS process", Product Focus , Electronic Engineering, July 1987, pp 48-68.
- [10] *L. PHILIP HOWER*, " Semiconductor Devices : "An overview " , Proceedings Of The IEEE, Vol.76, N° 4, April 1988 , pp 334 - 341.
- [11] *SIMON . ERANEN, MARKO M. GRONLUND, M. BLOMBERG, And JYRKI KIIHAMAKI*, " The Kirk Effect in the LIGHT Devices " , IEEE Transactions on Electron Devices, Vol 38 , N°8, August 1991, pp 1919-1924.
- [12] *T. NILSON*, " The Insulated Gate Bipolar Transistor Response in different short circuit situations ". Chalmers University of Technology, The European Power Electronics Association , Sweden, 1993, pp 328- 330.
- [13] *P. GODIGNON, X. JORDA, D. FLORES, J. FERUANDEZ, S. HIDALOGO, J. A. REBOLLO And J. MILLAN*, " Physical Behaviour And Electrical Characteristics Of the Insulated Base Transistor " , Centro National de Microelectronica (CNM), (*) CSIC-UAB, Spain, (*) ECPA-CEGELY, INSA de lyon , France. 1993, pp 255 - 260
- [14] *R. ALLEN, J.R. HEFNER And L. DAVID BLACKBURN*, " An Analytical Model for the Steady State and Transient Characteristics of the Power Insulated Gate Bipolar Transistor " ; Semiconductor Electronics Division, Vol. 31, N°10, U.S.A , May 1988, pp 1513-1532.
- [15] *F.F PROTIWA, O. APELDOOM, N. GROOS*, " New IGBT Model for Spice", The European Power Electronics Association , University of Technology Germany, 1993, pp 226 - 231 .
- [16] Smart Spice / UTMOST III, Modeling Manual SILVACO International, Nov 1993.



- [17] *B. JAYANT .BALIGA, FELLOW, MICHAEL.S ADLER, ROBERT P. LOVE,PETER V. GRAY, NATHAN D. ZOMMER*, IEEE, " The Insulated Gate Transistor" : "A New Three-Terminal MOS-Controlled Bipolar Power Device" , IEEE Transactions on Electron Devices, Vol.ED-31, N°6, June 1984, pp 821 - 828.
- [18] DATA BOOK, Siemens Artiengesellschaft.
- [19] *JEAN-MARIE PETER, JEAN-MARIE CHARRETON* , "Components: Reducing conduction Losses ", SGS-THOMSON-Z.I Rousset/Peynier - 13106 Rousset Cedex- France. 1993
- [20] *J.M. BOURGEOIS* , " A New Isolated - Gate Drive for power Mosfets and IGBTs". SGS - THOMSON Microelectronics Z.I.Peynier Rousset, 13006 Rousset Cedex , France , 1991.
- [21] *K.HEUMANN, CH.KELLER, R. SOMMER*, " IGBT Devices in a Voltage Mode Resonant DC Link Inverter " . Institut Für Allgemeine Elektrotechnik Technische Universität Berlin Einsteinufer 19, D-1000 Berlin 10 FRG, 1991.
- [22] *Professeur CHANTE* , Rapport developpé à l'INSA de Lyon , Paris.
- [23] *T. Paul Chow, David Lau*, " Performance Of 600-V Channel IGBT's at Low Temperatures " , IEEE Electron Device Letters, Vol .12, N°9, September 1991, pp 498 - 499.
- [24] *ROGER. LEGROS*, " Physique des semicomducteurs Technologie - Diodes" , Edition Eyrolles , 1974.
- [25] *S. M. SZE*, " Semiconductor Devices Physics and Technology ", Murray Hill , New Jersey 1985.

ANNEXES

ANNEXE A1

LISTINGS DES INSTRUCTIONS ESACAP DU MODELE A
INITIALISATION DU TRANSISTOR V.DMOS .

*

* Modèle du transistor V.DMOS MTP4N85 (VDBR = 850V).

SUBCIRCUIT MTP4N85 (D,G,S)

***** Paramètres de la capacité de sortie \Rightarrow CDS *****

```
CDS0 = 615E-12;
VJDS = 0.428;
MDS = 0.507;
IF(V(4,SII).GE.0) THEN
    CDS(4,SII) = CDS0*(1 + V(4,SII)/VJDS)**(-MDS);
ELSE
    CDS(4,SII) = CDS0;
ENDIF;
```

***** Paramètres de la capacité MOS \Rightarrow CGD *****

```
CGD0 = 20696E-12;
VJGD = 4.45E-5;
MGD = 0.48;
IF(V(GII,4).GE.0) THEN
    CGD(GII,4) = CGD0;
ELSE
    CGD(GII,4) = CGD0*(1 + V(GII,4)/VJGD)**(-MGD);
ENDIF;
RGD(GII,4) = 1.E7;
CGDMAX(6,GII) = 3420;
X1(DII,GII,SII,SII) = MOSFET(KP=7,VT0= 3.36,PHI=0.6, THETA = 0.04);
X3(SII,D) = DIODE(IS=2.5E-11,N=1.02,RS=0.041, M=0.5, TT= 2200E-9);
CGS(GII,SII) = 1200p;
RA(4,DII) = 1E-3;
RD(D,4) = 2.8;
RS(SII,5) = 1E-3;
LS(5,S) = 5.2E-9;
RG(G,GII) = 1;
END;
```

ANNEXE A2

LISTINGS DES INSTRUCTIONS ESACAP DU MODELE DU TRANSISTOR
IGBT .(Insulated Gate Bipolar Transistor)

*

SUBCIRCUIT IGBT :

X1(4,3,0,0)= GUMPOON(TYPE=PNP,IS=1E-16,BF=0.5,BR=15,TF=0.5n,
TR=6N,CJE=0.9N,CJC=1.6N,CCS=2P,CBS=1P,VJE=1,
VJC=0.85,VLIN=0.7);

X2(3,2,0)=VDMOS;

C_{millier}(2,4)=0.06n;

Lc(7,4)=1U;

Rc(8,7)=5;

X3(0,8)=DIODE(IS=2.5E-11,N=1.02,RS=0.041,M=0.5,TT=2200E-9);

EVcc(8,0)=600V;

RG(2,1)=1;

EVG(1,0)=TABLE(TIME,(0,0),(0.1u,0),(0.2u,15),(2.8u,15),(2.801u,0),(5u,0));

END;

APPENDIX B

Moving Boundary Redistribution Current

The carrier distribution under the conditions of the moving boundary consists of a charge control component plus a redistribution component. Assuming the current injected into the emitter is much less than the total current, the charge control component is linear. After a short redistribution time upon changing the relative boundary velocity, the redistribution component is due to the moving boundary. The redistribution component is assumed to be a small perturbation on the linear distribution so that the local accumulation of excess carriers due to the moving boundary is approximately equal to that due to the movement of the linear distribution. This is illustrated in Fig. 26. For the linear excess carrier distribution, the local accumulation of excess carriers due to the moving boundary is:

$$\frac{\partial p(x)}{\partial t} = \frac{dP_0}{dt} \left[1 - \frac{2x}{W} \right]; \quad 0 \leq x \leq W(t), \quad (\text{B1})$$

where this is related to the boundary velocity by:

$$\frac{dP_0}{dt} = \frac{P_0}{W} \frac{dW}{dt} \quad (\text{B2})$$

After a short redistribution time upon changing the relative boundary velocity $[(dW/dt)/W]$, the accumulation of carriers due to the moving boundary [given in terms of the boundary velocity by eqns (B1) and (B2)] is equal to the divergence of hole current given by eqn (5) (recombination is supplied by depletion of the local excess carrier concentration because the base current is zero):

$$\frac{\partial^2 p(x)}{\partial x^2} = -\frac{P_0}{WD} \frac{dW}{dt} \left[1 - \frac{2x}{W} \right]. \quad (\text{B3})$$

Integrating this equation twice and applying the boundary conditions of $\delta p(W) = 0$ and $\delta p(0) = P_0$ gives:

$$\delta p(x) = P_0 \left[1 - \frac{x}{W} \right] - \frac{P_0}{WD} \frac{dW}{dt} \left[\frac{x^2}{2} - \frac{Wx}{6} - \frac{x^3}{3W} \right], \quad (\text{B4})$$

which is the sum of the linear charge control component (first term) and the redistribution component (second term). Notice that the redistribution component vanishes for small boundary velocities and the charge control component is equivalent to that for the constant anode voltage case after the short redistribution time (Appendix A). Notice also that if the boundary velocities were very large, the carrier distribution would be largely affected by the redistribution component and eqn (B1) would have to be modified resulting in components with a higher order dependence on the boundary velocity. However, this is unnecessary for the purposes of this work.

The hole current at the collector defined by eqn (29) is obtained in terms of the boundary velocity from eqn (B4):

$$-2qAD_r \left. \frac{\partial p}{\partial x} \right|_{x=b} = \frac{4D_r}{W^2} Q - \left(1 + \frac{1}{b}\right) \frac{Q}{3W} \frac{dW}{dt} \equiv I_{CC} + I_R \quad (B5)$$

where $P_0 = 2Q/(qAW)$ has been used because the integral charge of the redistribution component is zero. Notice that the charge control component is equivalent to eqn (17). The

relative significance of the redistribution component of current is ascertained by dividing the second term of eqn (B5) by the first:

$$\frac{I_R}{I_{CC}} = \left(\frac{1 + (1/b)}{3} \right) \frac{\tau_b}{W} \frac{dW}{dt} \quad (B6)$$

where $\tau_b \equiv 4D_r/W^2$ is the base transit time. This indicates that the redistribution component of current is comparable to the charge control component when the base width changes relative to the present width in a time on the order of the base transit time.

Handwritten notes and diagrams at the bottom of the page, including a schematic of a transistor with labels for collector, base, and emitter regions, and some numerical values or equations.