

الجمهورية الجزائرية الديمقراطية الشعبية  
République Algérienne démocratique et populaire

وزارة التعليم العالي و البحث العلمي  
Ministère de l'enseignement supérieur et de la recherche scientifique

جامعة سعد دحلب البليدة  
Université SAAD DAHLAB de BLIDA

كلية التكنولوجيا  
Faculté de Technologie

قسم الإلكترونيك  
Département d'Électronique



## Mémoire de Master

Filière Électronique  
Spécialité Instrumentation

présenté par

Bouda Sofiane

&

Berkane Abderaouf

---

# Génération et implémentation sur FPGA de signaux PWM pour la commande des onduleurs multi-niveaux

---

Proposé par : Boudissa E. & Gabour N.E.H

Année Universitaire 2019-2020.

## **Remerciements**

---

*Nous remercions avant tout DIEU Allah tout puissant, qui nous a donné la volonté, la santé et la patience pour arriver au bout de nos études.*

*Nous tenons à exprimer notre profonde gratitude et nos remerciements les plus sincères à notre encadreur M<sup>me</sup>Boudissa et M<sup>elle</sup> Nour El Houda Gabour pour ses conseils, sa présence, sa disponibilité, sa patience et ses encouragements.*

*Nous exprimons également notre gratitude à tous les professeurs et enseignants qui ont collaboré de notre premier cycle d'étude jusqu'à la fin de notre cycle universitaire.*

*Nous tenons également à remercier vivement Monsieur Bounekhka M'hamed et Monsieur Chikhi Mohammed Lazhar, qui nous ont apporté un soutien moral avec leurs précieux conseils, encouragements et aides.*

*Enfin, nous tenons à remercier profondément tous ceux qui ont contribué de près ou de loin à la réalisation du présent travail.*

## Dédicace

*Je dédie ce travaille à mes chers et magnifiques parents*

*"FARID et DALILA" pour leur patience et leurs  
encouragements qui m'ont bien soutenu pour arriver  
jusqu'ici.*

*A MON frère BOUDA HOUSSEM qui était ma raison de  
bonheur dans ma vie*

*Ainsi qu'a mon cousin*

**BOUDA ABDELBASSET**

*A mes meilleurs amis sans oublier mes camarades de  
promotion*

*A tout ce qui comptent pour  
moi*

*Bouda sofiane.*

## Dédicace

*Je dédie ce travail à mes chers et magnifiques parents*

*"ABDERAHMANE et FATIMA ZAHRA " pour leur patience*

*et leurs encouragements qui m'ont bien soutenu pour arriver*

*jusqu'ici.*

*A mes chères sœurs RIMA, AMEL, ChAIMA, AMRA, et mon*

*frère ABDERAZEK qui était ma raison de bonheur dans ma*

*vie*

*Ainsi à ma petite nièce*

*SERINE et mon petite neveu*

*ANES*

*A mes meilleurs amis sans oublier mes camarades de*

*promotion*

*A tout ce qui comptent pour*

*moi*

*Berkane Abderaouf.*

## General Summary

Inverters are converters that convert a DC input voltage or current to an AC output voltage or current. With the development of semiconductor components and the emergence of multi-level inverters which allow the generation of alternating currents and voltages with better spectral quality, the use of these converters are increasing more and more in the industry.

The objective of this work is to generate PWM (Pulse Width of Modulation) signals by MATLAB and ISE and implement those signals on the VIRTEX 5 FPGA board for the three types of inverters namely; signal-phase, two level inverter–three phase and three level inverter–three phase. The current manuscript is organized into four (4) chapters and each chapter is related to the other.

In the first chapter we give all the details related to inverters and we cite its classifications like single-phase and three-phase inverters, autonomous and non-autonomous inverters, and finally voltage inverters and current inverters. After that, we give some information about the most important topologies of inverters in our work and we define the NPC loopback diode inverters, the FC floating capacitor inverters, the H-bridge cascaded inverters, and finally we end our chapter with some applications in the industrial sectors.

At the beginning of the second chapters, we start with an explanation of the sinusoidal PWM control then we outline its characteristics as well as its advantages. Then, simulations using MATLAB/SIMULINK of this control for single-phase and three-phase two-level inverters were carried out. Three voltage levels of the NPC types were used in order to analyze the influence of the modulation index ( $m$ ) and the tuning coefficient ( $r$ ), as well as the number of levels on the spectral quality of the voltage and the output current of the first arm of these three types of inverters.

After running simulations via MATLAB/SIMULINK on the sinusoidal PWM control for these three types of inverters, we made a table of values to compare the values of THD obtained according to the modulation index ( $m$ ), and then we concluded that the most efficient inverter is the one which contains a small value of THD, that is to say, its output voltage is purely sinusoidal.

Chapter 3 is divided into two (2) parts; the first part presents a state of the art of the various PLD programmable logic circuits, then we study the FPGA circuits of the XILINX family in details, especially the VIRTEX 5 FPGA card which was used in this present work to facilitate the control of these static inverters thanks to their great prospects in real time control.

The second part presents the concepts and the basic structure of the VHDL hardware description language as well as its advantages and disadvantages.

Chapter 4 covers the main objective of the present work. In this chapter, simulations are run on the VIRTEX 5 FPGA card the sinusoidal PWM control, the application of this algorithm will allow the generation of PWM signals intended for the control of Single-phase, two and three voltage level inverters of the NPC type. The language we have chosen to program our VIRTEX 5 FPGA card is VHDL (very high speed integrated circuit).

To generate these PWM signals intended for controlling a single-phase H-bridge inverter, we will go through three essential steps, first the Numerically Controlled Oscillators (NCO) block of the library (hdllib) are configured and then the HDL coder tool in MATLAB/SIMULINK is used. The HDL tool presents another method for the rapid prototyping of electronic circuits while the NCO block allows to generate sinusoidal signals according to our phase and frequency configuration. In this part a description of the VHDL program for the triangular signal is provided, and finally the behavioral description with the instructions (if...then) is used to compare the two previous signals and obtain the four PWM signals.

To generate the 6 PWM signals intended for controlling a two-level inverter, we go through the same previous steps, the only difference is the inverter which is three-phase, hence the NCO block needs to be configured three times to obtain three sinusoidal signals phase shifted between them by  $120^\circ$ . At each step, the HDL code tool was used to obtain the VHDL code of each sinusoidal signal. The software used in this work are ISE 14.2, VIVADO 2019.1 and MATLAB/SIMULINK.

To generate the 12 PWM signals intended for controlling a three-level inverter of the NPC type, a control diagram was created using MATLAB / SIMULINK software, then the HDL coder tool was to obtain the VHDL code for the whole system.

After the simulations in MATLAB /SIMULINK this VHDL code is synthesized and simulated in ISE 14.2 to see the digital signals (the control signals), and additionally, simulations in VIVADO Design Next were run to see the analog signals (three sinusoidal signals phase shifted between them by  $120^\circ$  and the triangular signal).

The final step after the simulations is the implementation step on the VIRTEX 5 FPGA board and seeing the PWM signals on the oscilloscope. This is done by adding a 100 Mhz input and 20 KHz output frequency divider (on configured the NCO block with a 20 KHz clock) to our design because the clock frequency on pin AD8 of the VIRTEX 5 FPGA board is 100 Mhz.

The PWM signals obtained after the implementation on the VIRTEX 5 FPGA card are intended to control the switches of the single-phase and three-phase inverter at two and three voltage levels so the VIRTEX 5 FPGA card will facilitate the control of the inverters and increase the performance of these converters in the industrial field.

---

## ملخص:

المحولات هي أجهزة تستخدم للتحويل من الجهد أو التيار المستمر إلى الجهد أو التيار المتردد. مع تطور مكونات أشباه الموصلات وظهور محولات متعددة المستويات، والتي تولد جهدًا وتيارات متناوبة بجودة طيفية أفضل؛ زاد استخدام هذه المحولات أكثر فأكثر في الصناعة. المشكلة الوحيدة في محولات متعددة المستويات هو التحكم في القواطع هادًا راجع لكثرة عددها لذا يعتبر التحكم فيها من الأشياء الصعبة ولكن مع تطوير رقائق FPGA فان استخدامها في مجال التحكم فيها يعد من الأمر الهين .

الهدف من هذا العمل هو دراسة ومحاكاة وتنفيذ عنصر التحكم في تعديل عرض النبضة الجيبية (PWM) لبطاقة VIRTEX 5 FPGA ، من أجل توليد الإشارات المعدة للتحكم مفاتيح للعاكسات أحادية الطور وثلاثية الطور ذات مستويين وثلاثة مستويات مع هيكل الصمام الثنائي مثبت بواسطة محايد (NPC) .  
كلمات المفاتيح: العاكس ثلاثة مستويات NPC ، MATLAB ، NCO ، HDL Coder

---

## Résumé :

Les onduleurs sont des convertisseurs permettant de faire la conversion d'une tension ou courant continu, vers une tension ou courant alternative. Avec le développement des composants semi conducteurs et l'apparition des onduleurs multi niveaux, qui permettent de générer des tensions et des courants alternatifs avec une meilleure qualité spectrale ; l'utilisation de ces convertisseurs a de plus en plus augmenté dans l'industrie.

L'objectif de ce travail est de faire l'étude, la simulation et l'implémentation sur carte FPGA VIRTEX 5 de la commande de modulation à largeur d'impulsions (MLI) sinusoïdale, dans le but de générer les signaux destinés à la commande des interrupteurs des onduleurs monophasé et triphasé à deux, et de trois niveaux à structure de diodes clampés par le neutre (NPC).

**Mots clés :** Onduleur trois niveaux NPC; FPGA ; MATLAB/SIMULINK ; NCO ; HDL Coder.

---

---

**Abstract:** Inverters are converters used to convert a DC voltage or current to an AC voltage or current. With the development of semiconductor components and the appearance of multi-level converters, which allow the generation of alternating voltages and currents with better spectral quality, the use of these converters has tremendously increased in the industry.

The aim of this work is to study, simulate and implement on a VIRTEX 5 FPGA card sinusoidal pulse width modulation (PWM) control, in order to generate signals intended for the control switches of the single-phase and three-phase inverters with two, and three levels inverter with neutral clamped diode structure (NPC).

**Keywords:** three-level inverter NPC; MATLAB/SIMULINK; NCO; HDL Coder.

---

## Listes des acronymes et abréviations

**A** : Nœud A du 1<sup>er</sup> Bras.

**B** : Nœud B du 2<sup>ème</sup> Bras.

**C** : Nœud C du 3<sup>ème</sup> Bras.

**M** : Point Milieu du bus continu.

**K** : Indice de bras.

**i** : Indice d'interrupteur.

**N** : Nombre de niveaux d'onduleur Multi niveau.

**n** : Point neutre de la charge.

**R** : Résistance.

**L** : Inductance.

**C** : Condensateur.

**TR1**: Transistor 1.

**TR2**: Transistor 2.

**D** : Drain.

**G** : La grille

**S** : La source.

**VGS** : Tension Grille-Source.

**V<sub>L</sub>(t)** : Tension de la charge.

**V<sub>ds</sub>** : Tension de source.

**D1** : Diode 1.

**D2**: Diode 2.

**V<sub>cn</sub>** : Tension aux bornes des condensateurs.

**V<sub>K3</sub>** : La tension inverse appliqué aux interrupteurs.

**V<sub>ao</sub>** : La tension de sortie d'onduleur cascadié en pont H.

**V<sub>ref(t)</sub>** : Signal sinusoïdale.

**V<sub>p</sub>** : Signal triangulaire (porteuse).

**F<sub>r</sub>** : La fréquence de la modulant.

**F<sub>p</sub>** : Fréquence de la porteuse.

**m** : Indice de modulation.

**r** : Coefficient de réglage en tension.

**A<sub>r</sub>** : Amplitude de la référence.

**A<sub>p</sub>** : Amplitude de la porteuse.

**V<sub>s</sub>** : La tension de sortie.

**V<sub>Ki</sub>** : Tension de base du transistor T<sub>Ki</sub>.

**I<sub>Ki</sub>** : Courant de base du transistor T<sub>Ki</sub>.

**B<sub>Ki</sub>** : Etant le signal de commande du transistor **T<sub>Ki</sub>**.

**F<sub>Ki</sub>** : Fonction de connexion.

**THD** : Total Harmonic Distortion (taux de distorsion harmonique).

**F<sup>D</sup><sub>KS</sub>** : Fonction de connexion du demi-bras.

**V<sub>AM</sub>** : Tension de bras A.

**V<sub>BM</sub>** : Tension de bras B.

**V<sub>CM</sub>** : Tension de bras C.

**T<sub>p</sub>** : La période de la porteuse.

**UAB** : Tension composé du 1<sup>er</sup> bras.

**UBC** : Tension composé du 2<sup>emme</sup> bras.

**UCA** : Tension composé du 3<sup>emme</sup> bras.

**Van** : Tension simple de 1<sup>er</sup> bras.

**Vbn** : Tension simple de 2<sup>emme</sup> bras.

**Vcn** : Tension simple de 3<sup>emme</sup> bras.

**Ich1** : Courant de la charge1 a la sortie de l'onduleur.

**Ich2** : Courant de la charge2 a la sortie de l'onduleur.

**Ich3** : Courant de la charge3 a la sortie de l'onduleur.

**DC** : Direct current.

**AC** : Alternatif current.

**FC** : Flaying Capacitor (condensateur flottante).

**CHB** : (cascade H bridge) onduleur cascadé en pont H.

**NPC** : Neutral point clamped.

**IGBT** : Transistor bipolaire à grille isolée.

**MOSFET**: Metal Oxyde Semiconductor Field Effect.

**MLI** : Modulation largeur impulsion.

**PWM** : Pulse Width Modulation.

**ASI** : Alimentation sans interruption.

**PV**: Photovoltaïque.

**VHDL**: Very High Speed Integrated circuit, hardware Description Language

**HDL**: High Description Language.

**FPGA:** Field Programmable Gate Array.

**PLD:** Programmable Logic Device.

**CMOS:** Complementary metal oxide semi – conductor.

**PROM:** Programmable Read Only Memory.

**PLA:** Programmable Logic Array.

**PAL:** Programmable Array Logic.

**GAL:** Generic Array Logic.

**CPLD:** Complex programmable Logic Device.

**LUT:** Look up table.

**SRAM:** Static Random Access Memory.

**EPROMs:** Erasable Read Only Memory.

**EEPROM:** Electrically Erasable Programmable Read Only Memory.

**CLB:** Configurable Logic Block.

**IOB:** Input Output Block.

**SM:** Switch Matrix.

**ISE:** Integrated Software Environment.

**LE:** Logic Element.

**PIP:** Programmable Interconnect Point.

**JTAG:** Joint Test Action Group.

**PCB:** Printed Circuit Board.

**IEEE:** Institute Of Electric and Electronics Engineers.

**CAO :** Outil de conception par ordinateur.

**NCO:** Numerical Convert Oscillator.

**RTL:** Register Transfer Logic.

# Table des matières

---

<b>Introduction générale</b> .....	1
<b>Chapitre 1 : Etude théorique des différents types et topologies des onduleurs de tensions.</b>	
1.1 Introduction .....	4
1.2 Définition de l'onduleur .....	4
1.3 Choix et commande des semi-conducteurs par MLI sinusoïdale.....	5
1.3.1 Les principaux interrupteurs électroniques.....	5
1.3.1.1 Le thyristor .....	5
1.3.1.2 Le mosfet (Metal Oxide Semi-conductor Field Effect) .....	6
1.3.1.2.1 La caractéristique statique .....	7
1.3.1.2.2 Fonctionnement du transistor mosfet en commutation .....	8
1.3.1.2.3 Avantage et inconvénient .....	8
1.3.1.3 Le transistor bipolaire à grille isolée : L'IGBT .....	8
1.3.1.3.1 Amorçage et le blocage du transistor IGBT .....	9
1.3.1.3.2 Avantage et inconvénient de L'IGBT.....	9
1.3.1.4 La comparaison entre les semi-conducteurs de puissance principale utilisé dans les onduleurs .....	9
1.4 Classification des onduleurs .....	10
1.4.1 Selon leur nombre de phase (monophasé ou triphasé).....	10
1.4.1.1 Onduleur de tension monophasé en demi-pont .....	10
1.4.1.1.1 Le principe de fonctionnement .....	10
1.4.1.1.2 Avantage et inconvénient de l'onduleur monophasé en demi-pont.....	11
1.4.1.2 Onduleur de tension monophasé en pont (4 interrupteur) .....	12
1.4.1.2.1 Principe de fonctionnement .....	12
1.4.1.2.2 Avantage et inconvénient de l'onduleur monophasé en pont .....	13
1.4.1.3 Onduleur de tension triphasé .....	14
1.4.2 Selon la nature de la grandeur (tension ou courant) à transformé .....	15
1.4.2.1 Les onduleurs de tensions .....	15
1.4.2.2 Les onduleurs de courants .....	15

1.4.3	Selon le mode de commutation de leur interrupteur .....	15
1.4.3.1	Les onduleurs autonomes .....	15
1.4.3.2	Les onduleurs non autonomes .....	16
1.5	Introduction aux onduleurs multi-niveaux .....	16
1.6	Principe de fonctionnement des onduleurs multi-niveaux .....	17
1.7	Différents topologies des onduleurs multi-niveaux .....	18
1.7.1	Les onduleurs multi-niveaux à diode de bouclage NPC.....	18
1.7.1.1	Structure générale d'un onduleur de type NPC à N niveau de tension.....	20
1.7.1.2	Les avantages et les inconvénients des onduleurs multi-niveaux de type NPC ..	21
1.7.2	Les onduleurs multi-niveaux à condensateur flottant.....	21
1.7.2.1	Onduleur de tension à condensateur flottante à trois niveaux.....	22
1.7.2.2	Généralisation de la structure .....	24
1.7.2.3	Les avantages et les inconvénients des onduleurs de tension à condensateurs flottants .....	25
1.7.2.4	Dynamique idéale de tension des condensateurs flottants .....	26
1.7.3	Onduleur multi-niveaux à structure cascadié.....	27
1.7.3.1	Onduleur à trois niveaux de type cascadié en pont H.....	27
1.7.3.2	Principe de fonctionnement .....	27
1.7.3.3	Généralisation de la structure cascadié en pont H à N niveaux de tension.....	29
1.7.3.3.1	Structure .....	29
1.7.3.3.2	Principe de fonctionnement .....	30
1.7.3.4	Les avantages et les inconvénients des onduleurs multi-niveaux cascadié en pont H.....	31
1.8	La comparaison entre les différentes topologies de base des onduleurs multi-niveaux ...	31
1.9	Les applications des onduleurs de tension .....	33
1.9.1	Configuration typique à une fréquence fixe .....	33
1.9.2	Configuration typique à fréquence variable .....	35
1.9.2.1	Application dans le domaine de contrôle de la vitesse de rotation des machines à courant alternative .....	35
1.9.2.2	Application dans le domaine de transfert d'énergie entre deux réseaux de fréquence différents .....	36

1.9.2.3 Les applications des onduleurs dans les systèmes photovoltaïques .....	36
1.10 Conclusion .....	37

**Chapitre 2 : La commande MLI sinusoïdale des différents types d'onduleurs de tension.**

2.1 Introduction .....	38
2.2 Onduleur de tension commandé par la modulation de largeur d'impulsion .....	38
2.2.1 Caractéristique de la modulation de largeur d'impulsion MLI .....	39
2.2.2 Principaux avantages de la MLI.....	39
2.3 Modèle de l'interrupteur bidirectionnel en courant .....	39
2.4 La structure d'un onduleur monophasé en pont H.....	40
2.4.1 Signal de sortie bipolaire .....	41
2.5 Simulation des résultats .....	41
2.5.1 L'analyse spectrale.....	42
2.6 Onduleur triphasé en pont .....	44
2.6.1 Configuration électrique d'un bras d'onduleurs à deux niveaux .....	44
2.6.2 Fonction de connexion.....	45
2.6.3 Fonction de conversion .....	45
2.6.4 Les tensions de bras .....	46
2.7 Commande triangulo-sinusoïdale à une seule porteuse d'un onduleur à deux niveaux de tension .....	47
2.8 Simulation des résultats sous MATLAB/ Simulink .....	48
2.8.1 Analyse spectrale .....	50
2.8.2 Interprétation des résultats .....	52
2.9 Onduleur de tension à trois niveaux à structure série NPC .....	53
2.9.1 Structure de l'onduleur à trois niveaux .....	53
2.9.2 Configuration et fonctionnement d'un bras de l'onduleur à trois niveaux.....	54
2.9.3 Commande complémentaire des interrupteurs de l'onduleur à trois niveaux .....	57
2.9.4 Fonction de connexion des interrupteurs .....	58
2.9.5 Fonction de conversion .....	58
2.10 Commande triangulo-sinusoïdale à deux porteuses unipolaires d'un onduleur à trois niveaux de type NPC.....	60

2.11 Simulation des résultats de la commande triangulo-sinusoïdale à deux Porteuses unipolaires.....	61
2.11.1 Analyse spectrale .....	62
2.12 Modulation triangulo-sinusoïdale à deux porteuses bipolaires d'un onduleur à trois niveaux de type NPC.....	64
2.13 Résultats de la simulation sous MATLAB/Simulink .....	65
2.13.1 Analyse spectrale .....	67
2.13.2 Interprétation des résultats .....	69
2.14 Comparaison des amplitudes du fondamental et du taux du THD de la tension et du courant sortie de l'onduleur monophasé, à deux et à trois niveaux de tension pour différents indice de modulation .....	70
2.14.1 Interprétation des résultats de la comparaison .....	70
2.15 Conclusion .....	71

### **Chapitre 3 : Les circuits logiques programmables et le langage VHDL.**

3.1 Introduction .....	73
3.2 Présentation de la logique programmée .....	73
3.3 Les réseaux logiques programmables .....	74
3.3.1 Présentation d'un PLD .....	74
3.3.2 La structure des réseaux logique programmables .....	74
3.3.3 Les différentes familles des PLDs .....	75
3.3.3.1 Les PROM (programmable Read Only Memory).....	76
3.3.3.2 Les PLA (Programmable Logic Array).....	76
3.3.3.3 Les PAL (Programmable Array Logic).....	76
3.3.3.4 Les GAL (Generic Array Logic ).....	77
3.3.3.5 Les CPLD (Complex Programmable Logic Device) .....	77
3.3.3.6 Les FPGA (Field Programmable Gate Array) .....	78
3.4 Technologie de Programmation .....	79
3.5 Architecture interne des FPGA .....	79
3.6 Configuration des FPGA .....	81
3.7 Application des FPGA .....	82

3.8 Les avantages et les inconvénients des FPGA .....	82
3.8.1 Les avantages .....	82
3.8.2 Les inconvénients .....	83
3.9 Choix de la carte FPGA .....	83
3.10 Plateforme de la carte FPGA VIRTEX 5 (ML501) .....	83
3.11 Le langage de description matérielle VHDL .....	84
3.12 Objectif d'utilisation du langage VHDL .....	85
3.13 Structure de base d'un langage VHDL .....	85
3.13.1 Déclaration des bibliothèques et des paquetages .....	85
3.13.2 Déclaration de l'entité de conception.....	86
3.13.3 Déclaration de l'architecture .....	87
3.14 Les instructions concurrentes en VHDL .....	88
3.14.1 L'affectation simple .....	88
3.14.2 L'affectation conditionnelle .....	88
3.14.3 L'affectation Sélectionnée .....	89
3.14.4 L'instanciation des composants .....	89
3.14.4.1 Instanciation par position .....	89
3.14.4.2 Instanciation par nom .....	89
3.14.4.3 Instruction mixte .....	90
3.14.5 L'instruction process .....	90
3.15 Les différents types de description d'une architecture .....	90
3.15.1 Description par flot de données .....	91
3.15.2 Description comportementale .....	91
3.15.2.1 Description avec l'instruction <if>.....	91
3.15.2.2 Description avec l'instruction <case>.....	92
3.15.3 La Description structurelle .....	92
3.16 Les avantages et les inconvénients du VHDL .....	94
3.16.1 Les Avantages .....	94
3.16.2 Les Inconvénients .....	94
3.17 Conclusion.....	94

## Chapitre 4 : Implémentation FPGA de la commande MLI Sinusoïdale.

4.1	Introduction .....	95
4.2	Les outils de développement .....	95
4.3	Les outils de CAO (Conception Assisté par Ordinateur).....	96
4.4	Intégration et Implémentation .....	97
4.5	Les logiciels et les outils utilisés dans notre travail.....	98
4.5.1	Environnement de développement ISE 14.2 (Integrated software Environnement)...	99
4.5.2	Xilinx Vivado Design Suite .....	100
4.5.3	Simulink HDL coder .....	101
4.6	Implémentation sur FPGA de la commande MLI sinusoïdale pour un onduleur monophasé en pont H .....	101
4.6.1	Le bloc NCO (Numerically Controlled oscillator) .....	102
4.6.2	Configuration du Bloc NCO en PHASE et en Fréquence sur Matlab /Simulink .....	103
4.6.3	Simulation des Résultats .....	106
4.7	Implémentation sur FPGA de la commande MLI sinusoïdale pour un onduleur à deux niveaux de tension .....	107
4.7.1	Technique de configuration de l'oscillateur à commande numérique pour obtenir trois signaux sinusoïdaux déphasé entre eux de 120 degré .....	107
4.7.1.1	Configuration de l'oscillateur pour obtenir le premier signal sinusoïdale (sin a) ....	107
4.7.1.2	Configuration de l'oscillateur pour obtenir le deuxième signal sinusoïdale (sin b)..	108
4.7.1.3	Configuration de l'oscillateur pour obtenir le troisième signal sinusoïdale (sin c) ..	108
4.8	Implémentation sur FPGA de la commande MLI sinusoïdale pour un onduleur à trois niveaux de type NPC .....	111
4.8.1	Bloc (po –Sawtooths ).....	112
4.9	Partie Simulation .....	114
4.9.1	Simulation sous l'environnement ISE 14.2 .....	115
4.10	Conclusion .....	117
	<b>Conclusion générale</b> .....	<b>118</b>
	<b>Bibliographie</b>	
	<b>Annexe</b>	

## Liste des figures

---

<b>Figure (1.1).</b> Schéma de principe de la conversion continue – Alternative (DC – AC) .....	4
<b>Figure (1.2).</b> A : le thyristor, B : décomposition en couche SC, C : symbole .....	6
<b>Figure (1.3).</b> Représentation des caractéristiques du thyristor .....	6
<b>Figure (1.4).</b> Schéma représentatif d'un transistor MOSFET à canal N et à canal P.....	7
<b>Figure (1.5).</b> Caractéristiques statiques d'un transistor MOSFET .....	7
<b>Figure (1.6).</b> IGBT A : symbole électrique (B) : circuit équivalent .....	8
<b>Figure (1.7).</b> Schéma de principe et la tension de sortie à la borne de la charge d'un onduleur monophasé en demi –pont .....	10
<b>Figure (1.8).</b> Schéma de principe et la tension de sortie d'un onduleur de tension monophasé en pont H .....	12
<b>Figure (1.9).</b> Structure d'un onduleur triphasé à deux niveaux .....	14
<b>Figure (1.10).</b> Représentation d'une période de commutation avec temps mort .....	15
<b>Figure (1.11).</b> Schéma d'un bras d'onduleurs à : (a) deux niveaux, (b) trois niveaux, (c) N niveaux.....	17
<b>Figure (1.12).</b> Topologies de base des onduleurs multi niveaux.....	18
<b>Figure (1.13).</b> Bras d'un onduleur à trois niveaux à structure NPC.....	19
<b>Figure (1.14).</b> Bras d'un onduleur de type NPC à N niveaux.....	20
<b>Figure (1.15).</b> Structure d'un bras d'onduleur à condensateur flottant (a) représentation 1, (b) représentation 2 .....	22
<b>Figure (1.16).</b> Schéma d'un bras d'onduleur multi niveaux à condensateurs flottant à P cellules de commutation .....	24
<b>Figure (1.17).</b> Dynamique idéale de tensions flottantes.....	26
<b>Figure (1.18).</b> Structure d'un onduleur à trois niveaux en pont H cascadi.....	27
<b>Figure (1.19).</b> Bras d'onduleur cascadi à trois niveaux en pont H.....	28
<b>Figure (1.20).</b> Séquence de fonctionnement d'un bras d'onduleur à trois niveaux en pont H...28	
<b>Figure (1.21).</b> Forme d'onde d'un bras d'onduleur triphasé en pont H .....	29
<b>Figure (1.22).</b> Structure d'un onduleur cascadi en pont H à N niveaux de tension.....	30
<b>Figure (1.23).</b> Schéma de principe de l'alimentation sans interruption.....	34

<b>Figure (1.24).</b> Schéma de principe d'un onduleur d'alimentation de machine à courant alternatif.....	35
<b>Figure (1.25).</b> Transfert de l'énergie entre deux réseaux de fréquences différentes .....	36
<b>Figure (1.26).</b> Installation de l'onduleur dans un système photovoltaïque.....	37
<b>Figure (2.1).</b> Interrupteur de puissance bidirectionnel en courant, (a) : caractéristique statique (b) mise en parallèle d'un transistor et d'une diode .....	40
<b>Figure (2.2).</b> Structure de l'onduleur monophasé en pont H sous Simulink.....	40
<b>Figure (2.3).</b> Principe de la MLI sinusoïdale pour un bras de l'onduleur en pont H.....	41
<b>Figure (2.4).</b> Comparaison entre le signal triangulaire et le signal sinusoïdal et obtention des signaux de commande.....	41
<b>Figure (2.5).</b> Tension et de courant de sortie au niveau de la charge.....	42
<b>Figure (2.6).</b> Spectre d'harmoniques de la tension de sortie pour un onduleur monophasé en pont H.....	42
<b>Figure (2.7).</b> Spectre d'harmoniques du courant aux bornes de la charge pour un onduleur monophasé en pont H.....	43
<b>Figure (2.8).</b> Variation du THD et de l'amplitude du fondamentale en fonction du coefficient de réglage $r$ pour $m = 30$ .....	43
<b>Figure (2.9).</b> Onduleur de tension triphasé à deux niveaux .....	44
<b>Figure (2.10).</b> Configurations électriques possibles pour un bras d'onduleur à deux niveaux ...	45
<b>Figure (2.11).</b> Génération des signaux de commande MLI triangulo-sinusoïdale d'un onduleur à deux niveaux de tension.....	47
<b>Figure (2.12).</b> Principe de la MLI à une seule porteuse pour un onduleur à deux niveaux .....	48
<b>Figure (2.13).</b> Tension simple Van, Vbn et Vcn à la sortie de l'onduleur à deux niveaux.....	48
<b>Figure (2.14).</b> Représente les courants Ich1, Ich2 et Ich3 à la sortie de chaque bras de l'onduleur à deux niveaux .....	49
<b>Figure (2.15).</b> Tension composé UAB, UBC, et UCA à la sortie de l'onduleur à deux niveaux ....	49

<b>Figure (2.16).</b> Tension de bras $V_{am}$ , $V_{bm}$ , et $V_{cm}$ de l'onduleur à deux niveaux .....	49
<b>Figure (2.17).</b> Spectre d'harmoniques de la tension simple $V_{an}$ pour un onduleur à deux niveaux de tension.....	50
<b>Figure (2.18).</b> Spectre d'harmoniques du courant $I_{ch1}$ d'un onduleur à deux niveaux de tension.....	51
<b>Figure (2.19).</b> Variation du THD et de l'amplitude du fondamentale en fonction du coefficient de réglage $r$ pour $m = 30$ .....	51
<b>Figure (2.20).</b> Onduleur de tension triphasé à trois niveaux de type NPC.....	53
<b>Figure (2.21).</b> Présentation d'un bras de l'onduleur de trois niveaux de type NPC.....	54
<b>Figure (2.22).</b> 1 <sup>ère</sup> configuration du 1 <sup>ère</sup> bras .....	55
<b>Figure (2.23).</b> 2 <sup>ème</sup> configuration du 1 <sup>ère</sup> bras .....	55
<b>Figure (2.24).</b> 3 <sup>ème</sup> configuration du 1 <sup>ère</sup> bras .....	56
<b>Figure (2.25).</b> Forme d'onde de la tension de sortie d'un bras de l'onduleur à trois niveaux de type NPC.....	57
<b>Figure (2.26).</b> Principe de la commande traingulo-sinusoïdale à deux porteuses unipolaires de l'onduleur à trois niveaux .....	60
<b>Figure (2.27).</b> Principe de la MLI à deux porteuses unipolaires d'un onduleur à trois niveaux...	61
<b>Figure (2.28).</b> Tension simple $V_{an}$ , $V_{bn}$ et $V_{cn}$ à la sortie de l'onduleur à trois niveaux .....	61
de type NPC .....	61
<b>Figure (2.29).</b> Représente les courants $I_{ch1}$ , $I_{ch2}$ et $I_{ch3}$ à la sortie de l'onduleur à trois niveaux.....	61
<b>Figure (2.30).</b> Représente les tensions composées $U_{AB}$ , $U_{BC}$ et $U_{CA}$ à la sortie de l'onduleur à trois niveaux .....	62
<b>Figure (2.31).</b> Spectre d'harmoniques de tension simple $V_{an}$ .....	62

<b>Figure (2.32).</b> Spectre d'harmoniques de courant $I_{ch1}$ .....	63
<b>Figure (2.33).</b> Variation du THD et de l'amplitude du fondamentale en fonction du coefficient de réglage $r$ pour $m = 30$ .....	63
<b>Figure (2.34).</b> Principe de la commande traingulo-sinusoidale à deux porteuses bipolaires d'un onduleur de trois niveaux de type NPC .....	64
<b>Figure (2.35).</b> Principe de la MLI à deux porteuses bipolaires pour un onduleur à trois niveaux .....	65
<b>Figure (2.36).</b> Tension simple $V_{AN}$ , $V_{bn}$ et $V_{cn}$ à la sortie de l'onduleur de 3 niveaux de type NPC.....	66
<b>Figure (2.37).</b> Les tensions composé $U_{AB}$ , $U_{BC}$ et $U_{CA}$ à la sortie de l'onduleur de 3 niveaux de type NPC .....	66
<b>Figure (2.38).</b> Tension de bras $V_{am}$ , $V_{bm}$ et $V_{cm}$ de l'onduleur à trois niveaux de type NPC ...	66
<b>Figure (2.39).</b> Représente les courants de charge $I_{ch1}$ , $I_{ch2}$ et $I_{ch3}$ de l'onduleur à trois niveaux .....	67
<b>Figure (2.40).</b> Spectre d'harmoniques de la tension simple $V_{an}$ d'un onduleur à trois niveaux commandé par la modulation triangulo-sinusoidal à deux porteuses bipolaires.....	67
<b>Figure (2.41).</b> Spectre d'harmoniques de courant $I_{ch1}$ d'un onduleur à trois niveaux commandé par la modulation triangulo-sinusoidale à deux porteuses bipolaires .....	68
<b>Figure (2.42).</b> Variation du THD et de l'amplitude du fondamentale en fonction du coefficient de réglage $r$ pour $m = 30$ .....	68
<b>Figure (3.1).</b> Structure de base d'un PLD.....	75
<b>Figure (3.2).</b> Exemple des paramètres indiqué sur le non d'un circuit PLD .....	75
<b>Figure (3.3).</b> Classification des circuits logiques programmables.....	76
<b>Figure (3.4).</b> Architecture d'un CPLD de XILINIX .....	78
<b>Figure (3.5).</b> Architecture interne des FPGA .....	80

<b>Figure (3.6).</b> Exemple de configuration d'in FPGA .....	81
<b>Figure (3.7).</b> Carte FPGA ML501 Virtex 5.....	84
<b>Figure (3.8).</b> Structure d'un programme VHDL .....	87
<b>Figure (3.9).</b> Affectation Conditionnelle en VHDL.....	88
<b>Figure (3.10)</b> .Affectation sélectionnée en VHDL.....	89
<b>Figure (3.11).</b> Description de type flot de données d'un demi-additionneur.....	91
<b>Figure (3.12).</b> Description comportementale avec l'instruction <if> .....	92
<b>Figure (3.13).</b> Description comportementale avec l'instruction <case>.....	92
<b>Figure (3.14).</b> Syntaxe générale d'une description structurelle.....	93
<b>Figure (4.1).</b> Utilité d'un outil de développement .....	95
<b>Figure (4.2).</b> Mode d'exécution matériel des outils CAO .....	97
<b>Figure (4.3).</b> Etape de programmation d'un FPGA en utilisant les outils CAO .....	97
<b>Figure (4.4).</b> Interface de l'outil de développement ISE 14.2 de Xilinx .....	99
<b>Figure (4.5).</b> Vivado Design Suite .....	100
<b>Figure (4.6).</b> Oscillateur à commande numérique .....	103
<b>Figure (4.7).</b> Signal sinusoïdale obtenu à la sortie de l'oscillateur à commande numérique ...	103
<b>Figure (4.8).</b> Schéma RTL de la commande MLI sinusoïdale pour l'onduleur monophasé en pont H.....	104
<b>Figure (4.9)</b> .Schéma RTL interne de la commande MLI sinusoïdale pour l'onduleur monophasé en pont H .....	104
<b>Figure (4.10).</b> Placement et routage à l'intérieur de la carte FPGA Virtex 5 pour l'onduleur monophasé pour l'onduleur monophasé .....	105

<b>Figure (4.11).</b> Signaux PWM pour la commande d'un onduleur monophasé sous l'environnement ISE 14.2.....	105
<b>Figure (4.12)</b> .Simulation du signal sinusoïdale, Triangulaire et les signaux PWM sous VIVADO Design Suite pour l'onduleur monophasé en pont H .....	106
<b>Figure (4.13)</b> Schéma RTL de la commande MLI Sinusoïdale de l'onduleur à deux niveaux de tension .....	108
<b>Figure (4.14).</b> Schéma RTL interne de la commande MLI sinusoïdale de l'onduleur à deux niveaux de tension .....	109
<b>Figure (4.15).</b> Affectation des broches entre les différents blocs logique à l'intérieur de la carte FPGA pour la commande de L'onduleur à deux niveaux .....	109
<b>Figure (4.16)</b> .Simulation des signaux Sinusoïdaux et Triangulaire de la commande MLI Sinusoïdale pour l'onduleur à deux niveaux .....	110
<b>Figure (4.17).</b> Simulation des signaux PWM de l'onduleur à deux niveaux sous ISE 14.2 .....	110
<b>Figure (4.18)</b> .Schéma bloc sous MATLAB/ SIMULINK de la commande d'un onduleur à trois niveaux .....	110
<b>Figure (4.19)</b> .Schéma bloc pour (PO –Sawtooths) .....	111
<b>Figure (4.20)</b> .Résultats de comparaison .....	112
<b>Figure (4.21)</b> .Résultats de counter limited 1 .....	112
<b>Figure (4.22)</b> .Représente les résultats de counter limited 2.....	113
<b>Figure (4.23)</b> .Présentation deux signaux triangulaire en opposition en phase .....	113
<b>Figure (4.24)</b> .Résultats de simulation des signaux PWM de l'onduleur à trois niveaux de type NPC sous MATLB/Simulink .....	113
<b>Figure (4.25)</b> .Schéma RTL de la commande MLI sinusoïdale de l'onduleur à trois niveaux de tension .....	114

<b>Figure (4.26)</b> .Schéma RTL interne de la commande MLI sinusoïdale de l'onduleur à trois niveaux de tension.....	115
<b>Figure (4.27)</b> .Affectation des broches entre les différents blocs logique a l'intérieur de la carte FPGA pour un onduleur à trois niveaux de type NPC .....	115
<b>Figure (4.28)</b> .Les signaux PWM de l'onduleur à trois niveaux .....	116

# Liste des tableaux

---

<b>Tableau (1.1).</b> Représentation des trois semi-conducteurs principaux utilisés dans les onduleurs.....	9
<b>Tableau (1.2).</b> Représentation de l'état de commutation des interrupteurs de l'onduleur monophasé.....	11
<b>Tableau (1.3).</b> Représentation de l'état de commutation des interrupteurs de l'onduleur monophasé en pont H .....	13
<b>Tableau (1.4).</b> Réalisation des différents niveaux de l'onduleur NPC à 3N.....	19
<b>Tableau (1.5).</b> Effet des états de commutation des interrupteurs sur la direction du courant et sur la tension aux bornes du condensateur flottant.....	23
<b>Tableau (1.6).</b> Définition des caractéristiques des grandeurs de l'association de P cellules de commutation.....	25
<b>Tableau (1.7).</b> Comparaison du nombre des composants nécessaires entre les trois topologies de base des onduleurs multi niveaux .....	32
<b>Tableau (2.1).</b> Commutation des interrupteurs d'un bras de l'onduleur à trois niveaux.....	56
<b>Tableau (2.2).</b> Tableau récapitulatif des comparaisons .....	70

# Introduction générale

---

La progression impressionnante de la technologie en électronique a permis l'expansion des équipements électroniques partout, dans l'industrie, le champ militaires, le champ médical, le champ aérospatial, le divertissement, etc. Nous vivons dans l'ère de l'électronique.

Un des domaines de l'électronique en développement est l'électronique de puissance, qui traite et contrôle la circulation de l'énergie électrique ainsi que sa conversion pour fournir des tensions et des courants adéquats aux différents types de charges que l'on trouve dans différentes applications [1]:

Sources d'énergie régulées, processus électrochimiques, compensateur statique d'énergie réactive, chauffage par induction, la transmission d'énergie électrique en courant continue à haute puissance, etc.

Les convertisseurs de puissances sont des dispositifs électroniques comprenant des éléments semi-conducteurs tels que des interrupteurs et des diodes, ainsi que les éléments passifs comme les résistances, les capacités et les inductances. Ces convertisseurs ont des structures qui permettant de faire la conversion des tensions ou des courants électriques d'une forme à une autres [1].

Deux formes de tension et de courant qui sont utilisés dans les applications électroniques actuelles : les tensions et les courants sous formes continues, et les tensions et les courants sous formes alternatives, ce qui nous donne quatre types de conversions qui sont :

- ✓ La conversion DC/AC (continue/alternative).
- ✓ La conversion DC/DC (continue/continue).
- ✓ La conversion AC/DC (alternative/continue).
- ✓ La conversion AC/AC (alternative/alternative).

Dans ce travail, nous sommes intéressés par la conversion continue-alternative, cette conversion se fait à l'aide d'un système électronique nommé l'onduleur.

Un onduleur de tension est un convertisseur statique alimenté soit par un réseau redressé, soit par une batterie d'accumulateur pour fournir une tension ou un courant alternatif de fréquence fixe ou variable selon l'application demandée [2].

L'inconvénient majeur de l'onduleur est l'obtention d'une tension de sortie très riches en harmoniques, ce qui provoque une dégradation du régime de fonctionnement de certaines charges surtout les machines électriques, d'où il nécessite de réduire ces harmoniques [2].

Pour résoudre ce problème et dans le cadre d'améliorer la qualité spectrale et d'augmenter la puissance de la tension de sortie, plusieurs travaux de recherche ont été réalisés sur deux axes. Le premier axe c'est orienter vers l'amélioration physique du convertisseur, en élevant le nombre de niveaux de l'onduleur ; ceci permet d'approcher l'allure d'une sinusoïde pure et donc réduire le résidu d'harmoniques. Des structures ont été développées par les chercheurs, ces structures sont appelées convertisseurs multi niveaux, car elles possèdent en sortie plus de deux niveaux de tension. Le second axe porte sur l'amélioration de la commande des instances de commutations des semi-conducteurs de l'onduleur d'une manière à ce que cette dernière permette l'élimination d'harmonique intrinsèquement à la structure de la commande.

Les onduleurs de tension multi-niveaux peuvent être implantés de différentes manières, dans lesquelles la tension de sortie est synthétisée de plusieurs niveaux.

Les principales topologies sont :

- La topologie à diode de bouclage clampé par le neutre (NPC) ;
- La topologie à condensateurs flottants (CF) ;
- La topologie en pont H en cascade.

Bien que les convertisseurs classiques (onduleurs à deux niveaux) soit très utilisé en industrie, mais les convertisseurs multi niveaux reste une structure plus avantageuse par rapport aux autres, parce qu'ils sont plus précis et fournissent une tension plus élevée et moins perturbée [1]. Ceci s'explique par l'amélioration de la forme d'onde de tension en escalier qui est approximatif de la forme sinusoïdale comparée à la forme rectangulaire de la tension délivrée par l'onduleur à deux niveaux. Le paramètre sur lequel on se base pour juger de la qualité spectrale de la forme d'onde de sortie est le facteur de distorsion d'harmonique THD qui permet de comparer la somme des amplitudes des harmoniques indésirables présents dans l'onde de sortie par rapport à l'amplitude du fondamental qui lui représente l'objectif de la conversion.

Notre travail est consacré à l'étude de la commande des onduleurs statiques (monophasé et triphasé de tension), à deux niveaux et multi-niveaux (trois niveaux) par la commande de modulation à largeur d'impulsions (MLI) sinusoïdale. Ensuite, de générer les signaux de commande des interrupteurs de l'onduleur à l'aide d'une carte FPGA. Cette technique est basée sur la comparaison entre un signal sinusoïdale et une porteuse (signal triangulaire) en respectant les fréquences des deux signaux.

Ce mémoire s'articule autour de quatre chapitres :

**Le premier chapitre** est basé sur la recherche bibliographique permettant de donner une large définition des différentes topologies de base des convertisseurs statiques, avec leurs avantages et inconvénients.

**Le deuxième chapitre** présente la commande MLI sinusoïdale pour les onduleurs monophasés en pont complet, et triphasé à deux et à trois niveaux à structure NPC. Suivi de simulations sur le logiciel MATLAB/SIMULINK.

**Le troisième chapitre** présente une description du langage VHDL avec la présentation des différents circuits logiques programmables qui ont conduit vers les circuits FPGA.

**Le quatrième chapitre** est basé sur la génération des signaux de commandes des onduleurs étudiés en commençant par une simulation avec le logiciel ISE 14.2 ensuite une implémentation sur la carte FPGA VIRTEX 5.

# Chapitre 1 ETUDE THEORIQUE DES DIFFERENTS TYPES ET TOPOLOGIES DES ONDULEURS DE TENSION

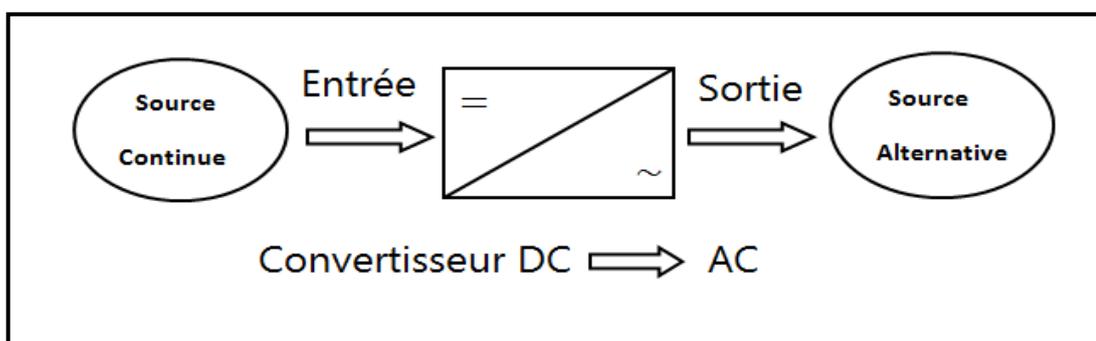
---

## 1.1 Introduction

Ce chapitre est dédié à la présentation d'un historique sur les onduleurs avec leurs classifications. Nous décrivons les trois topologies d'onduleurs multi niveaux les plus largement utilisés, à savoir l'onduleur clampé par le neutre (NPC), l'onduleur à capacité flottante (Flying Capacitor) et l'onduleur en cascade en pont H. Une étude comparative entre les trois topologies est effectuée, avec présentation des avantages et inconvénients pour chaque topologie. Finalement, un exposé sur les différentes applications des onduleurs dans différents domaines industriels est réalisé.

## 1.2 Définition de l'onduleur

Un onduleur est un convertisseur statique qui permet de faire la conversion d'une source de tension (ou de courant) d'entrée continue, vers une source de tension (ou de courant) de sortie alternative, on peut donc distinguer deux grands groupes d'onduleurs : les onduleurs de tension et les onduleurs de courants [3].



**Figure (1.1).** Schéma de principe de la conversion continue – Alternative (DC – AC).

L'amplitude et la fréquence de la tension (ou du courant) de sortie peuvent être fixe ou variable selon l'application.

Les onduleurs ayant une fréquence de sortie fixe sont principalement utilisés pour générer de l'électricité à partir des batteries dans des applications industrielles en cas de pertes du secteur (Sonalgaz par exemple).

Les onduleurs ayant une tension de sortie à fréquence variable sont généralement utilisés dans des applications où la vitesse d'un moteur doit varier afin de soulever des charges ou de les faire pousser.

### **1.3 Choix et commande des semi-conducteurs par MLI sinusoïdale**

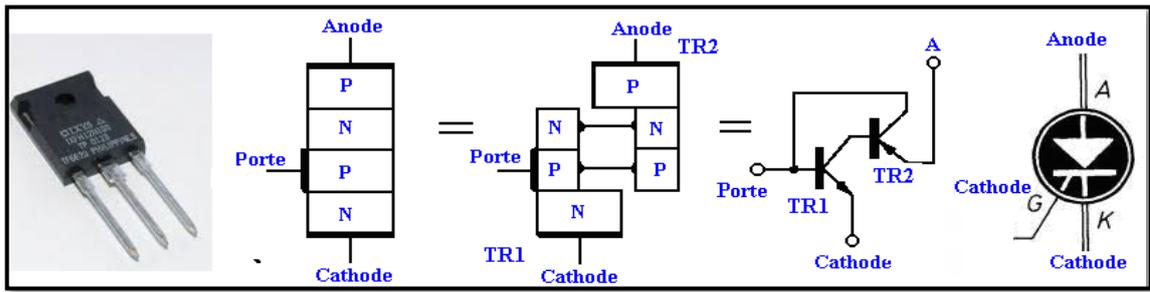
Dans cette partie on va étudier les principales caractéristiques des différents interrupteurs électroniques dits semi-conducteur utilisées dans les onduleurs, la physique des semi-conducteurs n'est pas le but de notre étude, mais nous nous intéressons seulement comment les interrupteurs peuvent commuter d'un état (ouvert ou fermé) à l'autre lorsqu'ils sont insérés dans un montage appelé onduleur [4].

Le développement des semi-conducteurs de puissance a permis de résoudre d'énormes problèmes concernant l'encombrement et le coût, notamment l'élimination des circuits d'extinction que l'on rencontre souvent dans les convertisseurs à thyristors conventionnels (par exemple les onduleurs non autonomes à base des thyristors) [4].

#### **1.3.1 Les principaux interrupteurs électroniques**

##### **1.3.1.1 Le thyristor**

Le thyristor est un semi-conducteur à quatre couches muni d'une entrée gâchette, il peut être considéré comme étant 2 transistors PNP et NPN déplacés physiquement et connectée électriquement, lorsque le courant de la gâchette est nul, le thyristor fonction comme un semi-conducteur à quatre couches.



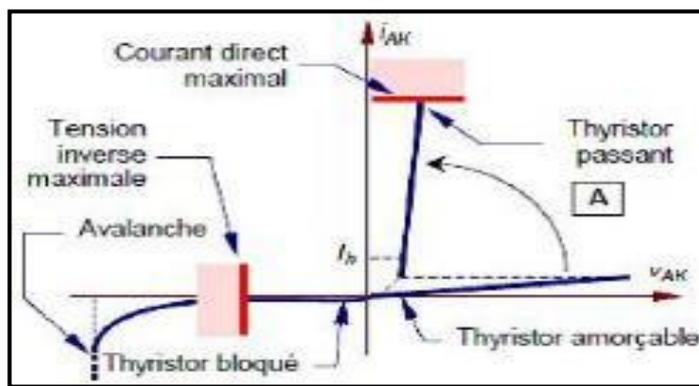
(A)

(B)

(C)

**Figure (1.2).** A : le thyristor, B : décomposition en couche SC C : symbole

Caractéristique et fonctionnement du thyristor :



**Figure (1.3).** Représentation des caractéristiques du thyristor.

Amorçage du thyristor : lorsqu'on applique une impulsion de gâchette appropriée au thyristor, les transistors TR1 et TR2 sont mis en état de conduction à condition que  $V_{AK} > 0$  ; la tension  $V_{AK}$  est considérablement réduite une fois que le thyristor est mis en état de conduction. Lorsque  $V_{AK} < 0$  le thyristor se comporte comme une diode polarisée en inverse.

Blocage du thyristor : en régime sinusoïdal le blocage du thyristor est réalisé naturellement quand le courant d'anode passe par le zéro et que la tension  $V_{AK}$  juste après est négative pendant un certain laps de temps  $t > 100 \mu s$ .

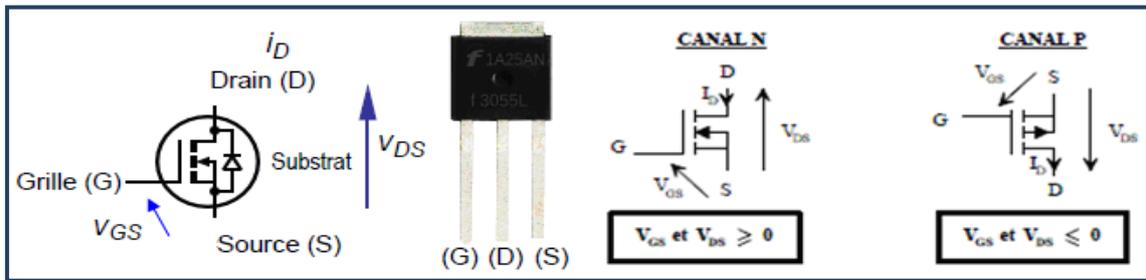
### 1.3.1.2 Le MOSFET (Metal Oxyde Semiconductor Field Effect)

Le MOSFET est un transistor à effet de champ dont la grille métallique est totalement isolée du canal par une mince couche isolante d'oxyde de silicium ( $SiO_2$ ) [5].

Le MOSFET est un composant commandé à la fermeture et à l'ouverture, il est constitué de trois pattes : le drain (D), La grille (G) et la source (S), capable de moduler et d'amplifier le courant qui le traverse.

Il existe deux types de MOSFET :

Le MOSFET à canal N, et le MOSFET à canal P.



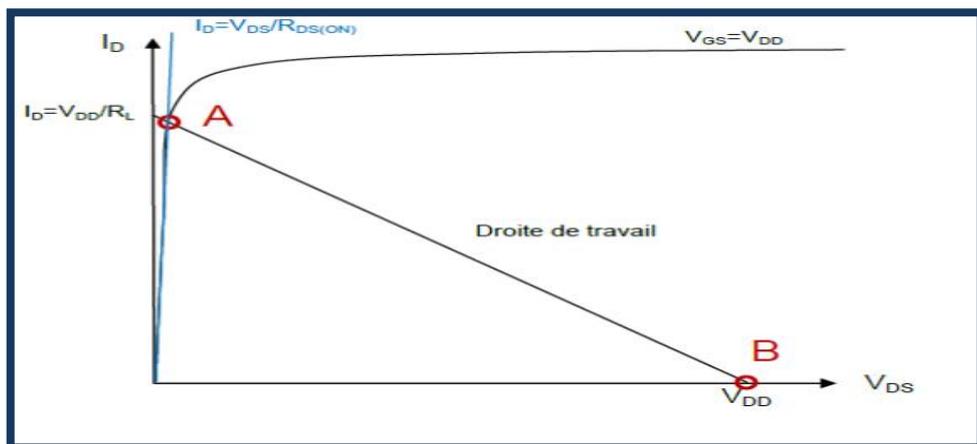
**Figure (1.4).** Schéma représentatif d'un transistor MOSFET à canal N et à canal P.

Dans le transistor MOSFET, le circuit de puissance est relié au drain D et à la source S, le circuit de commande est branché entre la grille G et la source S.

### 1.3.1.2.1 La caractéristique statique

La commande du transistor MOSFET est réalisée par la tension  $V_{GS}$ . La valeur de la tension  $V_{GS}$  qui assure le blocage du MOSFET est appelée  $V_{GSth}$  [5].

A l'état saturé, le transistor se comporte comme une résistance entre Drain et Source, Cette résistance est nommée  $R_{DS}$  et présente généralement une très faible valeur [5].



**Figure (1.5).** Caractéristiques statiques d'un transistor MOSFET.

### 1.3.1.2.2 Fonctionnement du transistor MOSFET en commutation

**Transistor MOSFET ouvert (OFF) :** le blocage du transistor MOSFET est assuré par l'annulation de la tension  $V_{GS}$  de commande, donc l'impédance drain source devient très grande, ce qui annule le courant drain  $I_D$ .

**Transistor MOSFET fermé (ON) :** pour cela la tension  $V_{GS}$  est positive ce qui rend  $R_{DS}$  très faible et permet au courant drain d'augmenter.

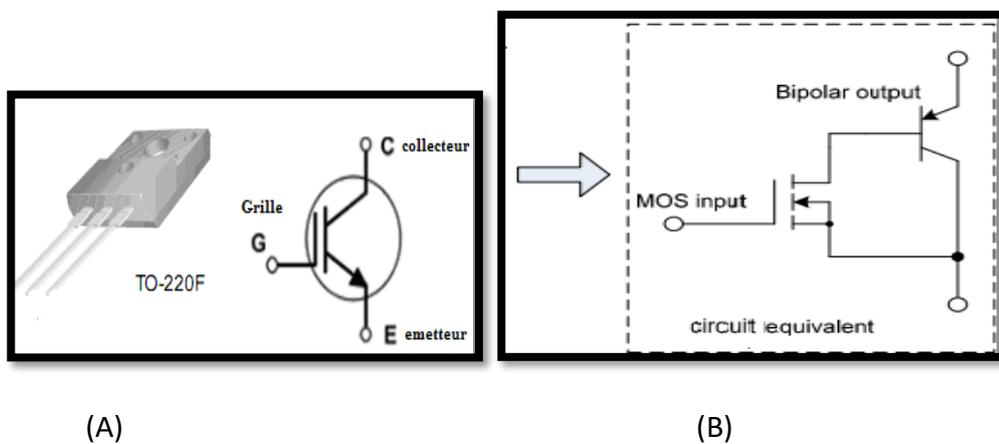
### 1.3.1.2.3 Avantages et inconvénients

Le transistor MOSFET offre de meilleures performances en termes de vitesse de commutation et donc permet de réduire les pertes par commutation. Il est malheureusement limité en puissance car on ne peut pas réaliser un composant apte à tenir une tension élevée à l'état bloqué tout en présentant une faible chute de tension à l'état passant. Donc un MOSFET à fort courant doit être un composant à basse tension et inversement [5].

### 1.3.1.3 Le transistor bipolaire à grille isolée : L'IGBT

Le transistor bipolaire à grille isolée (IGBT) est un composant semi-conducteur de puissance qui est né dans les années 1985. L'IGBT est un transistor bipolaire à commande par effet de champ, il combine un transistor bipolaire PNP et un MOSFET, profitant partiellement des avantages de chacun, respectivement faible perte en conduction et rapidité [5].

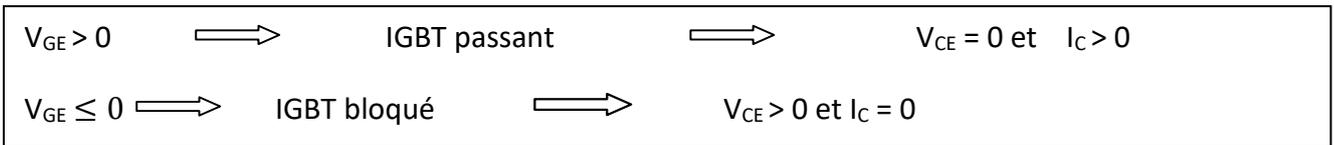
Un IGBT possède comme un transistor bipolaire un collecteur et un émetteur mais la base est remplacée par une électrode de haute impédance qui est la grille d'un MOSFET.



**Figure (1.6).** IGBT A : symbole électrique (B) : circuit équivalent

### 1.3.1.3.1 L'amorçage et le blocage du transistor IGBT

Ce transistor est commandé par la tension  $V_{GE}$ , ses conditions de commutation sont caractérisées par :



### 1.3.1.3.2 Avantage et inconvénient de L'IGBT

-Tension élevé à l'état ouvert, Tension faible à l'état fermé, facilité de commande, bonnes performances dynamiques.

-Malgré toutes les qualités de l'IGBT cités, il faut noter que le principal inconvénient est sa faible fréquence de commutation.

### 1.3.2 Comparaison entre les semi-conducteurs de puissance principaux utilisés dans les onduleurs

En électronique de puissance, le choix des semi-conducteurs destinés pour réaliser les différentes applications dans le domaine industriel dépend de plusieurs critères (le mode de commande, la puissance d'utilisation etc.).

Le tableau ci-dessous représente la comparaison entre les trois semi-conducteurs principaux utilisés dans les onduleurs :

composants	commande	Perte de Conduction	Perte de commutation	Puissance d'utilisation	Rapidité de Commutation
Thyristor	On	Faible	élevée	élevée	Lente
MOSFET	On/off	élevée	faible	faible	Rapide
IGBT	On/off	moyenne	moyenne	moyenne	Moyenne

**Tableau (1.1).** Représentation des trois semi-conducteurs principaux utilisés dans les onduleurs.

## 1.4)-Classification des onduleurs

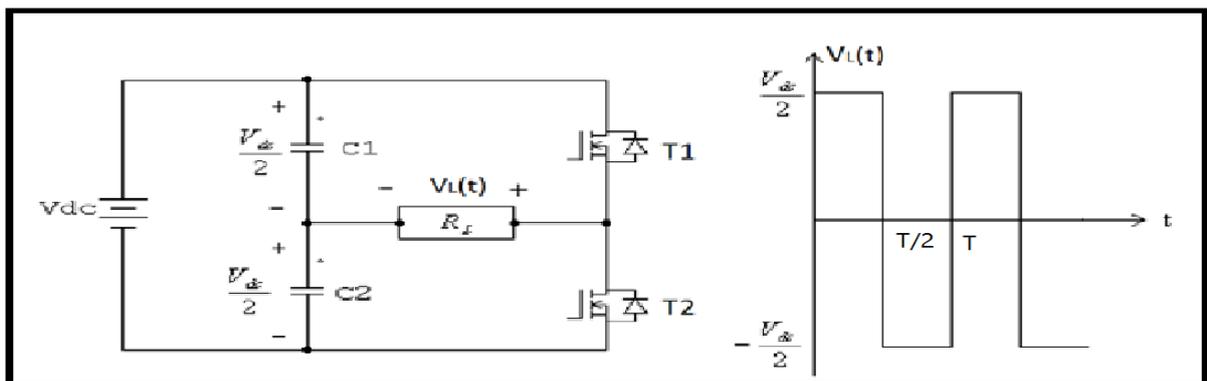
Les onduleurs sont classés en fonction du nombre de phase (monophasé ou triphasé), en fonction de la grandeur (tension ou courant) à transformer et enfin en fonction du mode de commutation des semi-conducteurs utilisés.

### 1.4.1 Selon leur nombre de phase (monophasé ou triphasé)

#### 1.4.1.1 Onduleur de tension monophasé en demi-pont

Ce type d'onduleurs délivre à sa sortie une tension alternative monophasée, on distingue deux types d'onduleurs monophasés suivant leur topologie.

La figure suivante (1.7) représente le schéma de principe et la tension de sortie aux bornes de la charge RL de l'onduleur monophasé en demi-pont :



**Figure (1.7).** Schéma de principe et la tension de sortie aux bornes de la charge d'un onduleur monophasé en demi-pont.

L'onduleur monophasé en demi pont est constitué d'un seul bras qui contient deux interrupteurs de puissance noté  $T1$  et  $T2$  à commande complémentaire, les interrupteurs de puissance peuvent être des MOSFET, IGBT, etc. Deux diodes montées en antiparallèle sur les interrupteurs permettant à la bobine de restituer l'énergie emmagasinée lors de l'ouverture des interrupteurs.

##### 1.4.1.1.1 Le principe de fonctionnement

Dans ce circuit l'opération de commutation des interrupteurs  $T1$  et  $T2$  est effectuée de telle sorte que si la première est ouverte l'autre est nécessairement fermé et inversement.

- Sur la première demi période ( $0 \leq t \leq \frac{T}{2}$ ), l'interrupteur T1 est fermé (T2 ouvert), la tension au borne de la charge inductive RL est :  $V_L(t) = \frac{V_{dc}}{2}$ . (1.1)

- Sur la deuxième demi période ( $\frac{T}{2} \leq t \leq T$ ), quand l'interrupteur T2 est fermé (T1 ouvert), la tension  $V_L(t) = \frac{-V_{dc}}{2}$ . (1.2)

La fermeture des deux interrupteurs T1 et T2 en même temps provoque un court-circuit de la tension d'entrée  $V_{dc}$ , ce qui résulte en un flux de courant élevé qui est très nocif pour les interrupteurs de puissance. Le tableau (1.2) suivant présente les états de commutations des interrupteurs [6] :

T1	T2	$V_L$
ON	OFF	$\frac{V_{dc}}{2}$
OFF	ON	$\frac{-V_{dc}}{2}$

**Tableau (1.2).** Représentation de l'état de commutation des interrupteurs de l'onduleur monophasé En demi-pont.

#### 1.4.1.1.2 Avantages et inconvénients de l'onduleur monophasé en demi- pont

##### Les avantages

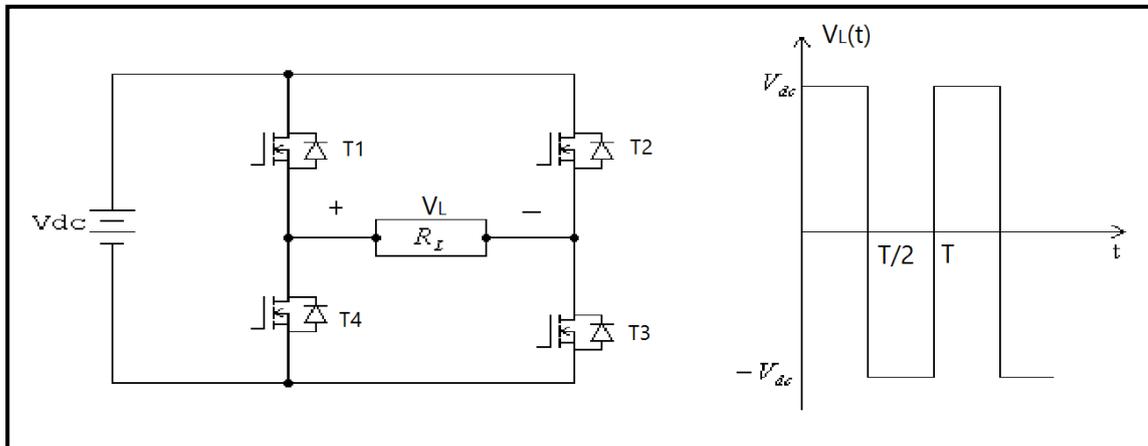
- Offre une structure simple et économique avec seulement deux interrupteurs commandés et deux diodes [7].
- Un seul interrupteur passant à chaque instant donc une chute de tension réduite.

##### Les inconvénients

- La tension de blocage des interrupteurs est égale à deux fois la tension maximale aux bornes de la charge [7].
- Le réglage de la puissance ne peut se faire que par la modulation à largeur d'impulsion.
- La durée de chaque créneau doit être grande devant les temps de commutation, ce qui limite la fréquence de fonctionnement de l'onduleur.

### 1.4.1.2 Onduleur de tension monophasé en pont H

La figure (1.8) représente un onduleur monophasé en pont H et sa forme de tension de sortie aux bornes de la charge RL :



**Figure (1.8).** Schéma de principe et la tension de sortie d'un onduleur de tension monophasé en pont H.

Cet onduleur est composé de deux bras, chaque bras contient deux interrupteurs avec une diode montée en antiparallèle, les diodes antiparallèles assurent la réversibilité du courant dans la charge.

A partir de la source principale de tension continue, l'onduleur permet d'avoir une tension de sortie plus proche de la sinusoïde.

#### 1.4.1.2.1 Principe de fonctionnement

La commande de l'onduleur monophasé en pont H est établie comme suit :

- Quand les interrupteurs T1 et T3 sont fermés pendant la première demi période ( $0 \leq t \leq \frac{T}{2}$ ), les interrupteurs T2 et T4 sont ouverts. A ce moment la tension de sortie aux bornes de la charge égale à  $V_{dc}$ .
- Quand les interrupteurs T2 et T4 sont fermés pendant le reste de la période ( $\frac{T}{2} \leq t \leq T$ ), les interrupteurs T1 et T3 sont ouverts, la tension de sortie aux bornes de la charge devient  $-V_{dc}$ .

Donc la tension de sortie alterne entre la borne positive et négative durant la première et seconde demi-période respectivement.

Pour éviter le problème de court-circuit de la tension d'entrée, un temps mort est respecté entre deux commutations [5].

Le tableau (1.2) ci-dessous représente l'état de commutation des interrupteurs de l'onduleur monophasé à pont [6] :

T1	T2	T3	T4	$V_L(t)$
ON	OFF	ON	OFF	Vdc
OFF	ON	OFF	ON	-Vdc
ON	OFF	OFF	ON	0
OFF	ON	ON	OFF	0

**Tableau (1.3).** Représentation de l'état de commutation des interrupteurs de l'onduleur Monophasé en pont H.

#### 1.4.1.2.2 Avantages et inconvénients de l'onduleur monophasé en pont H

##### Les Avantages

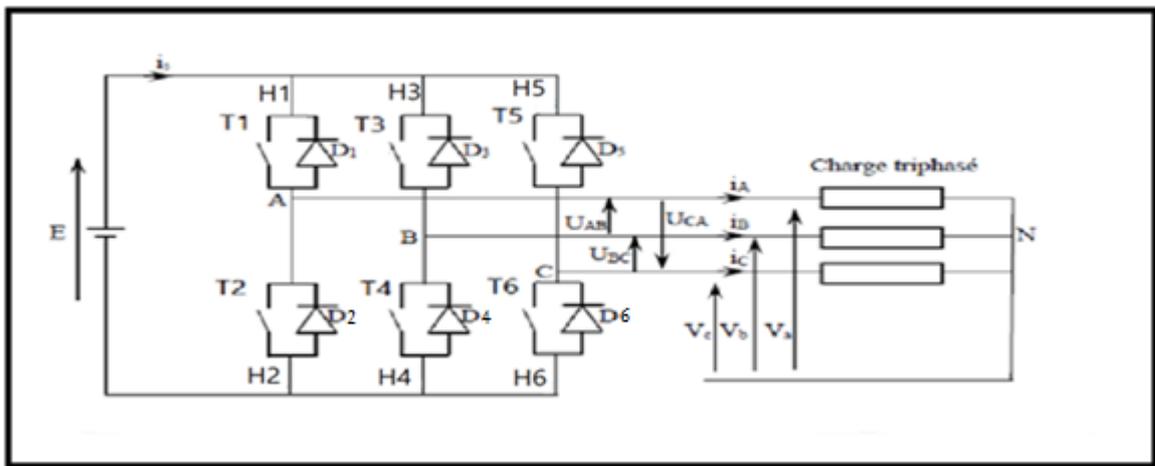
- La tension de blocage de chaque interrupteur est égale à la tension maximale aux bornes de la charge [7].
- La commande à décalage permet de régler la puissance fournie sans augmenter la fréquence de commutation [7].
- simplicité et rapidité du montage.

##### Les Inconvénients

- Influence de perte de puissance par les interrupteurs sur la tension de sortie.
- L'obtention d'une tension non sinusoïdale à la sortie ce qui provoque une dégradation du régime de fonctionnement [7].
- Ce type d'onduleur permet de fonctionné qu'avec des secteurs spécifié.

### 1.4.1.3 Onduleur de tension triphasé

L'onduleur triphasé à deux niveaux est généralement utilisé pour les applications de moyennes puissances, la structure de cet onduleur peut être obtenue par la mise en parallèle de trois onduleurs monophasés en demi-pont comme représenté à la figure (1.9). Chaque bras contient deux interrupteurs complémentaires en commande pour que la tension d'entrée ne soit jamais en court-circuit. Ce type d'onduleur est très utilisé avec la MLI pour l'alimentation des récepteurs triphasés équilibrés à tension et fréquence variables, chacune des trois tensions de sortie est décalées de  $\frac{2\pi}{3}$  l'une par rapport à l'autre. [7]



**Figure (1.9).** Structure d'un onduleur triphasé à deux niveaux.

Les caractéristiques de l'onduleur sont principalement définies par ces composants de puissance. Ceux-ci déterminent la puissance, la tension et le courant maximum commutés, aussi, la fréquence maximale de commutation et le temps mort. Ces deux dernières caractéristiques sont très importantes car elles vont influencer la conception.

La fréquence maximale de commutation est déterminée par les temps de commutation (temps d'ouverture et de fermeture des interrupteurs), et par le temps mort qui sert à prévenir les risques de courts-circuits sur un bras entre l'ouverture d'interrupteur et la fermeture de son complémentaire [7].

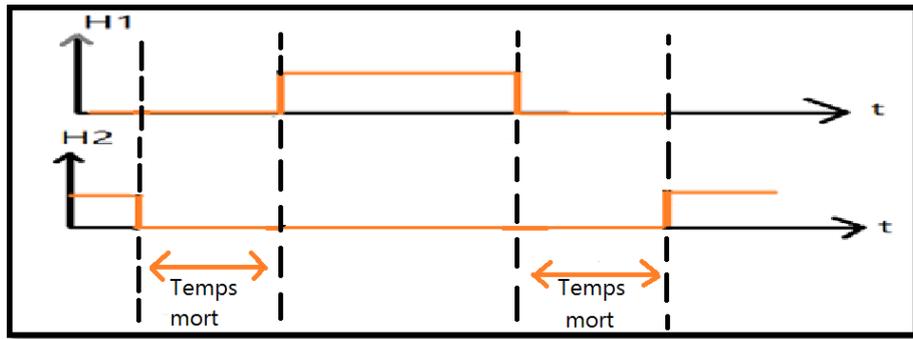


Figure (1.10). Représentation d'une période de commutation avec temps mort.

## 1.4.2 Selon la nature de la grandeur (tension ou courant) à transformer

### 1.4.2.1 Les onduleurs de tension

Les onduleurs de tension reliant une source de tension continue de faible impédance à une source de courant alternative utilisent des interrupteurs électroniques réversibles en courant. Ils fournissent une tension de sortie de fréquence fixe ou variable selon les besoins du système. La tension de sortie ne dépend pas de la charge contrairement au courant de sortie qui lui en dépend. Les onduleurs de tension sont généralement utilisés dans le domaine industriel pour la commande des moteurs de moyennes et grandes puissances [8].

### 1.4.2.2 Les onduleurs de courant

L'onduleur de courant est placé entre une source de courant continue et une source de tension alternative. Ce type d'onduleur utilise des semi-conducteurs de puissance unidirectionnels en courant et bidirectionnels en tension. Il fournit à sa sortie un courant de valeur efficace réglable qui est indépendant de la charge contrairement à la tension de sortie qui en dépend quant à elle. Les onduleurs de courant sont surtout utilisés dans les entraînements à vitesse variable de moteur à courant alternatif [8].

## 1.4.3 Selon le mode de commutation de leurs interrupteurs

### 1.4.3.1 Les onduleurs autonomes

Les onduleurs autonomes sont constitués d'interrupteurs commandés à l'ouverture et à la fermeture et dont les instants de commutations sont imposés par des circuits externes. Dans ce cas, on peut commander la fréquence de la tension de sortie de l'onduleur [9].

### 1.4.3.2 Les onduleurs non autonomes

Les onduleurs non autonomes sont constitués de simples thyristors commandés uniquement à la fermeture et la commutation est dite <<naturelle>> contrairement à l'onduleur autonome.

L'application principale de ce type d'onduleur se trouve dans les variateurs pour les moteurs synchrones de très forte puissance, de l'ordre des Mégawatts [9].

## 1.5 Introduction aux onduleurs multi niveaux

Une révision des publications de ces dernières années nous montre que l'étude des convertisseurs multi niveaux (analyse de la topologie, contrôle, modulation, etc.) est à présent un sujet très important en électronique de puissance.

Par définition, l'onduleur multi niveaux est un convertisseur statique DC-AC, il permet de générer une tension de sortie à plusieurs niveaux en forme d'escalier, en augmentant le nombre des interrupteurs de puissance et en multipliant le nombre des sources continues à l'entrée, soit par des condensateurs, soit en utilisant des sources séparées [10].

On trouve différentes topologies d'implémentation des onduleurs multi niveaux, la technique la plus simple est la connexion parallèle ou série des semi-conducteurs de puissance, les avantages les plus importants de la topologie multi niveaux par rapport à la topologie à deux niveaux sont les suivants :

- ✓ La tension de sortie est échelonnée avec aux moins trois niveaux de tension et donc elle présente un meilleur spectre fréquentiel. En conséquence, les éléments de filtrage nécessaires sont plus réduits et moins coûteux.
- ✓ L'utilisation de tensions de sortie plus élevées permet d'augmenter la puissance de l'onduleur sans augmenter le courant.
- ✓ L'augmentation de la fréquence de sortie permet une dynamique du système plus élevée.

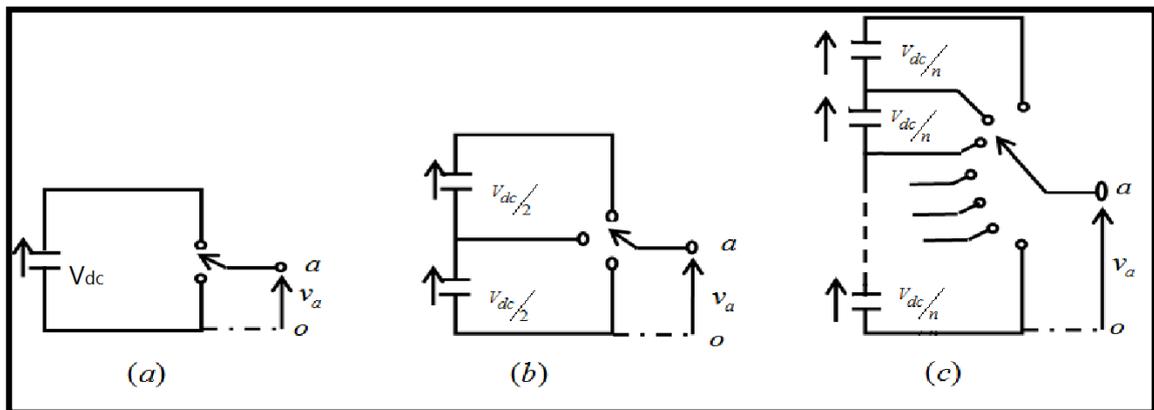
Cependant ces onduleurs possèdent aussi quelques inconvénients :

- ✓ Au fur et à mesure que les niveaux de tension augmentent, la structure de contrôle devient plus complexe.
- ✓ Des problèmes de déséquilibres de tension des condensateurs apparaissent.

Le développement de la technologie multi niveaux à été marqué par deux facteurs. D'un côté, l'évolution technologique des matériaux semi-conducteurs permettant la réalisation des convertisseurs de puissance et de tension plus élevée. D'un autre côté, même si le contrôle des convertisseurs multi niveaux est compliqué, l'évolution des processeurs numériques de signal avec une capacité de calcul et de vitesse de réaction très élevées et coût réduit ont rendu possible la mise en œuvre de ce contrôle.

## 1.6 Principe de fonctionnement des onduleurs multi niveaux

La figure (1.11) représente le schéma de base d'un seul bras d'onduleurs de différents niveaux, dont les semi-conducteurs sont remplacés par des interrupteurs idéaux.



**Figure (1.11).** Schéma d'un bras d'onduleurs à : (a) deux niveaux, (b) trois niveaux, (c) N niveaux.

L'onduleur à deux niveaux génère une tension de sortie pivotant entre deux valeurs (deux niveaux) qui sont :  $V_{dc}$  et  $0$  ; tout en respectant la borne négative du condensateur (fig. 1.11.a), alors que l'onduleur trois niveaux qui est représenté par la figure (1.11.b) génère trois niveaux de tension à sa sortie ( $V_{dc}/2, 0, -V_{dc}/2$ ), et ainsi de suite pour l'onduleur N niveaux (fig.1.11.c). En élevant le nombre de niveaux de l'onduleur, les tensions de sortie ont plusieurs niveaux induisant une forme d'onde de plus en plus proche d'une sinusoïde échantillonnée. Par conséquent, en comparant avec l'onde de tension de sortie de l'onduleur deux niveaux, celle des onduleurs multi niveaux ont un taux de distorsion plus réduit et donc une moindre pollution harmoniques [10].

## 1.7 Différentes topologies des onduleurs multi niveaux

Des nombreuses applications industrielles nécessitent des onduleurs de puissance supérieurs durant ces dernières années, donc plusieurs travaux de recherche se sont consacrés à l'étude des nouvelles topologies possibles pour les onduleurs de tension. L'objectif de notre étude est d'expliquer et de comprendre les trois topologies de base de ces onduleurs.

La figure suivante (1.12) représente les trois topologies de base des onduleurs multi niveaux :

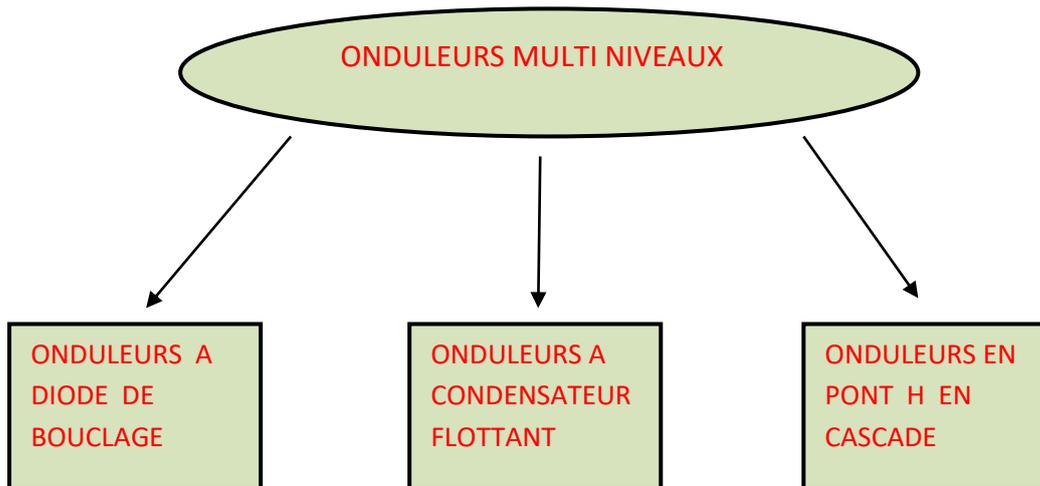
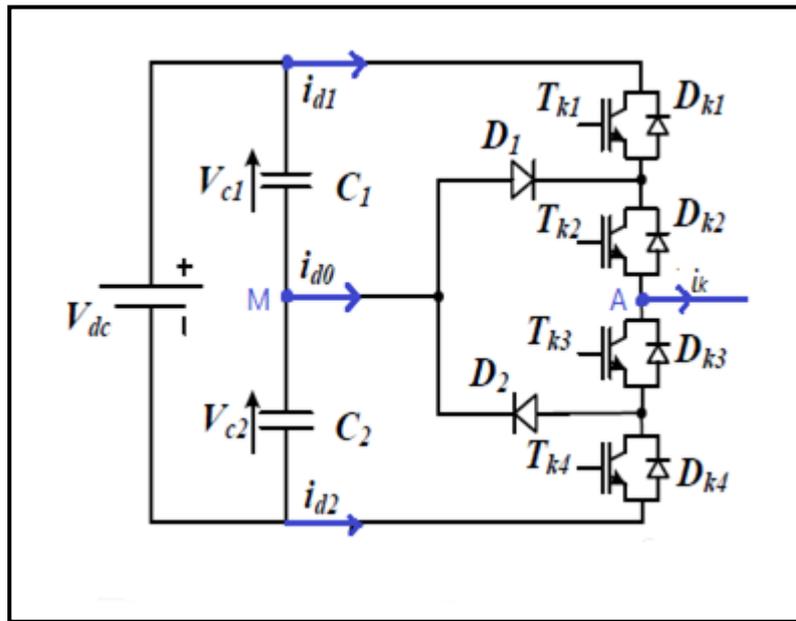


Figure (1.12). Topologies de base des onduleurs multi niveaux.

### 1.7.1 Les onduleurs multi niveaux à diode de bouclage NPC

La première structure de référence de l'onduleur est le Neutral Point Clamped (NPC) qui a été proposée par A.Nabae et H.AKagi en 1981, cette structure a été développée pour générer une tension de sortie à trois niveaux à partir de la commande complémentaire des interrupteurs de puissance alimentés chacun par une source de tension continue distincte. La figure (1.13) représente la structure d'un bras de l'onduleur 3 niveaux de type NPC.



**Figure (1.13).** Bras d'un onduleur à trois niveaux à structure NPC.

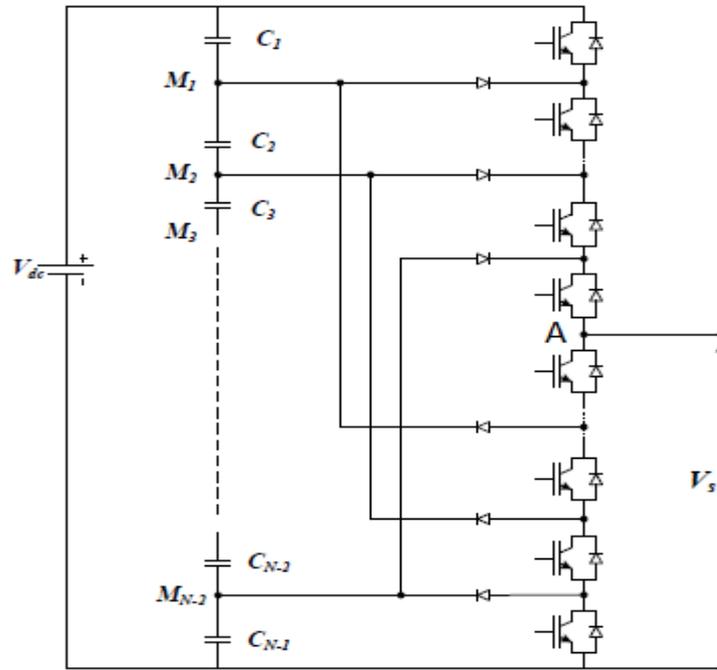
La commutation des interrupteurs de puissance permet de générer les trois niveaux de tension entre les bornes A et M. chaque branche est constitué de deux étages, chaque étage contient deux interrupteurs de puissance avec des diodes en antiparallèles. Les diodes de bouclages D1 et D2 permettent de relier les étages Intermédiaires au point milieu M [11]. Le tableau (1.4) illustre l'obtention de trois niveaux de tension avec l'état de chaque interrupteur du premier bras de l'onduleur :

Tension de Sortie	Les interrupteurs Passant	Sens du courant	Le courant circule Dans ....
V <sub>dc</sub> /2	T <sub>11</sub> et T <sub>12</sub>	$i_k > 0$	T <sub>11</sub> et T <sub>12</sub>
		$i_k < 0$	D <sub>11</sub> et D <sub>12</sub>
0	T <sub>12</sub> et T <sub>13</sub>	$i_k > 0$	D <sub>1</sub> et T <sub>12</sub>
		$i_k < 0$	D <sub>2</sub> et T <sub>13</sub>
-V <sub>dc</sub> /2	T <sub>13</sub> et T <sub>14</sub>	$i_k > 0$	D <sub>14</sub> et D <sub>13</sub>
		$i_k < 0$	T <sub>14</sub> et T <sub>13</sub>

**Tableau (1.4).** Réalisation des différents niveaux de l'onduleur NPC à 3N.

### 1.7.1.1 Structure générale d'un onduleur de type NPC à N niveaux de tension

La figure ci-dessous représente la structure générale d'un bras d'onduleur de type NPC à N niveaux de tension :



**Figure (1.14).** Bras d'un onduleur de type NPC à N niveaux.

Pour l'obtention d'une tension de N niveaux, N-1 capacités sont nécessaires. La tension aux bornes des condensateurs sont toutes égale à  $V_{dc}/(N-1)$  [11].

Une série de N-1 condensateurs permet de créer un ensemble de N-2 points milieu capacitifs ayant des potentiels de tension qui vont de  $V_{dc}/(N-1)$ ,  $2V_{dc}/(N-1)$ ... jusqu'à  $(N-2)V_{dc}/(N-1)$ . Des niveaux de tension intermédiaires de la tension de sortie du bras peuvent donc être créés en connectant chacun de ces points à la sortie, en agissant pour cela sur les signaux de commande des semi-conducteurs de puissance [11].

Concernant la comptabilisation du nombre de composants, actifs et passifs, un onduleur NPC à N niveaux triphasé comporte :

- ✓ (N-1) condensateur pour la création des points milieu capacitifs. Chaque condensateur doit être dimensionné pour supporter une tension égale à  $V_{dc}/(N-1)$  et pour un courant égale aux courant maximale de la charge.

- ✓ 6 (N-1) semi-conducteurs de puissance totalement commandable plus une diode en tête bèche pour chacun.
- ✓ 6 (N-2) diodes de bouclages.

### 1.7.1.2 Les avantages et les inconvénients des onduleurs multi niveaux de type NPC

Les avantages [10] :

- ✓ Une tension de sortie possédant une meilleure qualité spectrale par rapport à celle d'un onduleur conventionnel.
- ✓ Le fait de multiplier le nombre de niveaux intermédiaires permet de réduire l'amplitude de chaque front montant ou descendant de la tension de sortie.
- ✓ Elle Est configurable de façon à obtenir un nombre élevé de niveaux, permettant de réduire la tension bloquée par chaque interrupteur.

Par contre, les inconvénients de cette structure sont :

- ✓ Le nombre des semi-conducteurs nécessaires à la réalisation de cette topologie augmente avec le nombre de niveaux désirés, ce qui résulte en une augmentation du coût de réalisation.
- ✓ Déséquilibre de la tension des condensateurs dans certaines conditions de fonctionnement. En effet, la tension du point milieu capacitif peut avoir des variations très importantes. Afin d'assurer un bon fonctionnement, il faut prévoir une stratégie de commande pour assurer la stabilité de cette tension, ce problème devient plus complexe lorsque le nombre de niveaux est plus important [12].
- ✓ La tension inverse des diodes de bouclage est variable selon le point de potentiel de référence qu'elles fixent [12].

### 1.7.2 Onduleurs multi niveaux a condensateur flottant

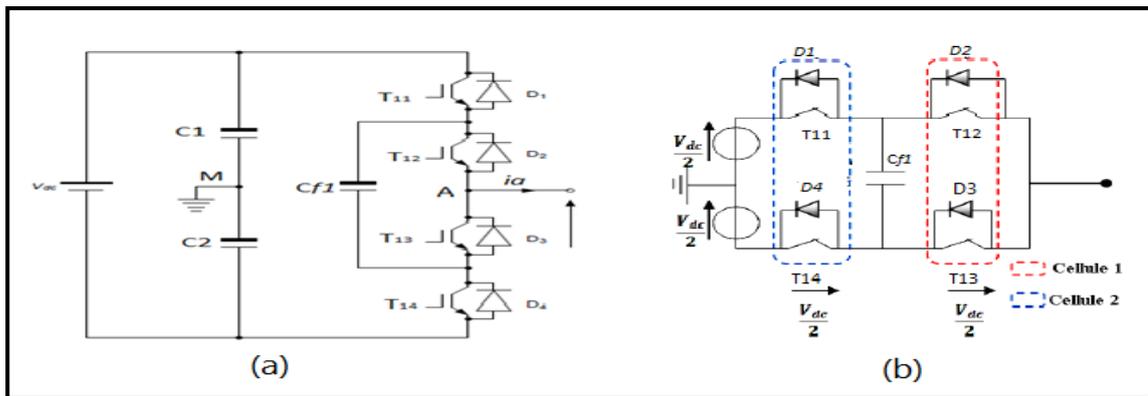
Cette structure a été proposée par T.Meynard et H.Foch en 1992, elle est généralement connue sous l'appellation <<Flying Capacitor Multilevel Inverter>> dans la littérature anglo – saxonne [13].

La structure de l'onduleur à condensateur flottant est similaire à celle de l'onduleur NPC sauf que les diodes de clamping sont remplacées par des condensateurs flottants pour résoudre d'une part le problème de balancement de tension et d'autre part le nombre excessif des diodes [14].

### 1.7.2.1 Onduleur de tension à condensateur flottant à trois niveaux

Il existe deux représentations d'un bras d'onduleur à condensateur flottant à trois niveaux. La première représentation est illustrée par la figure (1.15.a), elle est composée de quatre interrupteurs bidirectionnels en courant, un diviseur de tension capacitif permettant de diviser la tension d'entrée  $V_{dc}$  en deux parties égales, et un condensateur flottant inséré entre les deux interrupteurs  $T_{12}$  et  $T_{13}$ .

La deuxième représentation est illustrée par la figure (1.15.b) et est basée sur la mise en série de deux cellules de commutation par l'intermédiaire d'un condensateur flottant  $C_{f1}$ , chaque cellule contient deux interrupteurs de puissance complémentaires en commande pour éviter le problème de court-circuit de la source de tension d'entrée.



**Figure (1.15).** Structure d'un bras d'onduleur à condensateur flottant  
(a) représentation 1, (b) représentation 2

Les séquences qui permettent de produire une tension de sortie à trois niveaux entre les points de potentiel A et M sont comme suite [11] :

- ✓ Pour avoir le niveau de tension positive  $V_{dc}/2$ , il faut commander à la fermeture les interrupteurs  $T_{11}$  et  $T_{12}$ .
- ✓ Pour obtenir le niveau de tension négative  $-V_{dc}/2$ , il faut commander les interrupteurs  $T_{13}$  et  $T_{14}$  à la fermeture.
- ✓ Pour avoir le niveau de tension 0, on utilise soit la combinaison qui contient les paires d'interrupteurs ( $T_{11}$  et  $T_{13}$ ) ou la combinaison des interrupteurs ( $T_{12}$  et  $T_{14}$ ), à la fermeture.

Le tableau (1.5) suivant résume l'effet des différents états de commutation des interrupteurs sur la charge et la décharge du condensateur flottant  $Cf1$  et sur la direction du courant  $i_a$ .

Dans un onduleur multi niveaux en général, les combinaisons ou les états de commutation qui produisent le même niveau de tension de phase seront appelé des états de commutation redondants [15].

Tension de Sortie	Etats de commutation des interrupteurs	Le sens du courant	Le courant circule dans ...	L'état du Condensateur
$V_{dc}/2$	1100	$i_a > 0$	$T_{11}$ et $T_{12}$	Non chargé
		$i_a < 0$	D1 et D2	Non chargé
0	1010	$i_a > 0$	$T_{11}$ et $Cf1$ et D3	charge de $Cf1$
		$i_a < 0$	$T_{13}$ et $Cf1$ et D1	décharge de $Cf1$
	0101	$i_a > 0$	D4 et $Cf1$ et $T_{12}$	décharge de $Cf1$
		$i_a < 0$	D2 et $Cf1$ et $T_{14}$	charge de $Cf1$
$-V_{dc}/2$	0011	$i_a > 0$	D3 et D4	Non chargé
		$i_a < 0$	$T_{13}$ et $T_{14}$	Non chargé

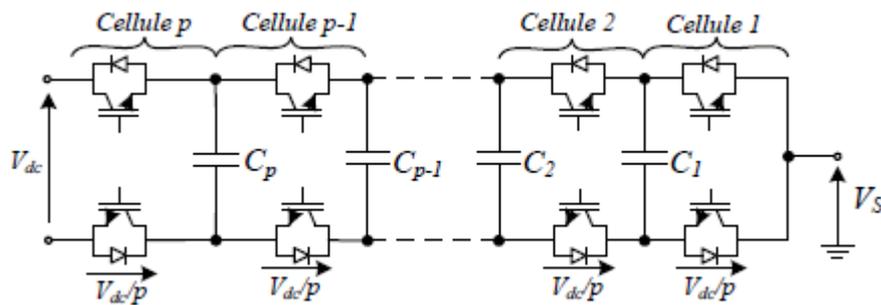
**Tableau (1.5).** Effet des états de commutation des interrupteurs sur la direction du courant et sur la tension aux bornes du condensateur flottant.

Le tableau (1.5) et la figure (1.15) montrent que le déséquilibre de tension dans l'onduleur à condensateur flottant à trois niveaux ne peut être créé que lorsque la phase de sortie (A) est connectée à un niveau de tension 0.

L'état de commutation des interrupteurs 1010 charge le condensateur  $Cf1$  lorsque  $i_a > 0$  et décharge le condensateur  $Cf1$  lorsque  $i_a < 0$ , tandis que l'état de commutation 0101 décharge le condensateur  $Cf1$  lorsque  $i_a > 0$  et charge le condensateur  $Cf1$  lorsque  $i_a < 0$ . Par conséquent, l'équilibre de tension du condensateur  $Cf1$  peut être maintenu si les états de commutations des interrupteurs sont redondants et la polarité du courant de phase est correctement utilisée.

### 1.7.2.2 Généralisation de la structure

La figure (1.17) illustre le schéma de principe d'un bras d'onduleur à P cellules de commutation séparées les unes des autres par (P-1) condensateurs flottants. Chaque cellule est constituée de deux interrupteurs fonctionnant de façon complémentaire [10].



**Figure (1.16).** Schéma d'un bras d'onduleur multi-niveaux à condensateurs flottants à P cellules de commutation.

Dans son fonctionnement habituel, il est nécessaire lors d'une association en série des composants semi-conducteurs d'assurer une répartition équilibrée de la tension d'alimentation Vdc sur les différents interrupteurs.

La tension aux bornes des condensateurs flottants de chaque cellule (noté Vcn pour la cellule n) vérifie la relation suivante [16] :

$$V_{Cn} = n \cdot \frac{V_{dc}}{P} \quad \text{Avec : } n \in 1, \dots, P \quad (1.3)$$

Chaque interrupteur bloqué doit être maintenu à ces bornes une tension maximale égale à :

$$V_b = V_n - V_{n-1} = \frac{V_{dc}}{P} \quad (1.4)$$

Donc pour résumer et généraliser toute la structure à N niveaux de tension de sortie, on va exprimer par le tableau (1.6) les grandeurs principales d'une association à P cellules de commutations [12].

Valeur de la tension principale d'alimentation	Vdc
Nombre de cellules associées	P
Nombre de condensateurs flottants associés	P-1
Nombre d'états possibles pour la commande	$2^P$
Nombre de niveaux de tension de sortie	P+1
Valeur de la source de tension de la cellule n	$V_{cn} = (n / P).V_{dc}$

**Tableau (1.6).** Définition des caractéristiques des grandeurs de l'association de P cellules de Commutation.

### 1.7.2.3 les avantages et les inconvénients des onduleurs multi-niveaux à condensateurs flottantes

Les principaux avantages des onduleurs multi niveaux à condensateurs flottants sont les suivant :

- ✓ La tension de blocage des interrupteurs est partout la même [11].
- ✓ La disponibilité des états redondants équilibre les niveaux de tension des condensateurs [11].
- ✓ Possibilité de fractionner avec des tensions d'alimentations élevées, puisque la répartition équilibrée de la tension d'entrée entre les différents interrupteurs est assurée.
- ✓ Plus de flexibilité pour obtenir les différents niveaux de tension.

D'autre part, les inconvénients de cette structure est vue comme suit [12] :

- ✓ Elle nécessite un grand nombre de condensateurs, notamment pour une configuration triphasé. Il faut aussi remarquer que les tensions de fonctionnement des condensateurs sont différentes selon la position dans la cellule multi niveaux (coût, poids, assemblage ...).
- ✓ La commande du convertisseur peut devenir compliquée afin d'équilibrer la tension de chaque condensateur, mais il faut aussi remarquer que pour une configuration triphasé la commande de chaque bras, en ce qui concerne l'équilibrage de la tension des condensateurs, peut se faire de façon indépendante, ce qui réduit la complexité de la commande et le rend plus flexible.

#### 1.7.2.4 Dynamique idéale de tension des condensateurs flottants

Afin d'assurer un bon fonctionnement des onduleurs multi niveaux à condensateurs flottants, la dynamique des tensions flottantes doit suivre celle de la tension d'alimentation principale  $V_{dc}$ , de sorte à maintenir une répartition équitable des contraintes en tension aux bornes des différents semi-conducteurs de puissance de la structure multi niveaux [17].

Cet équilibrage de tension doit être assuré dans les deux régimes, transitoire et permanent. Il est préférable que les tensions générées par les condensateurs flottants suivent la tension d'alimentation continue  $V_{dc}$ .

La figure (1.17) présente une dynamique idéale de tension des condensateurs flottants dans le cas d'une association de 5 cellules de commutation.

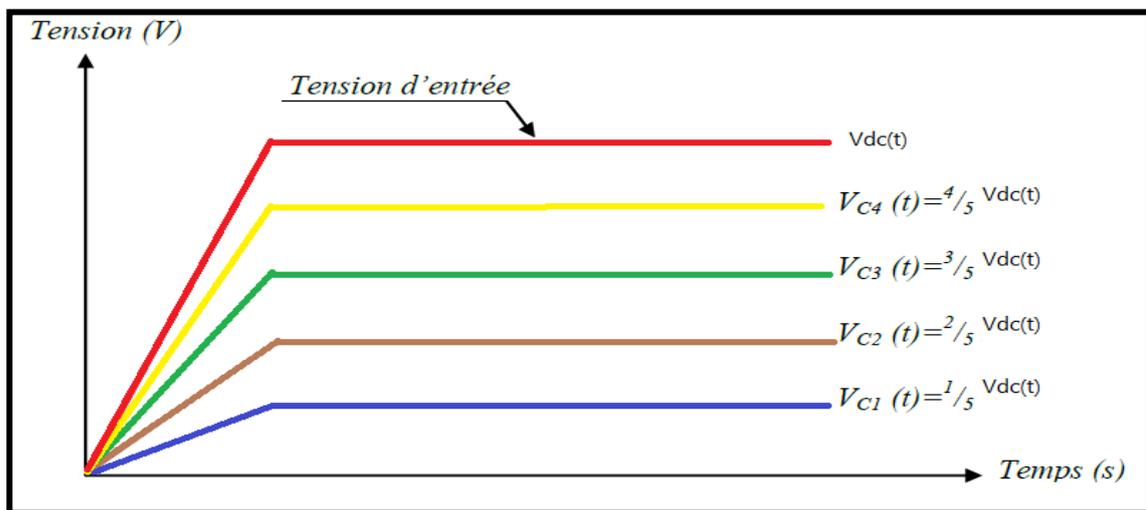


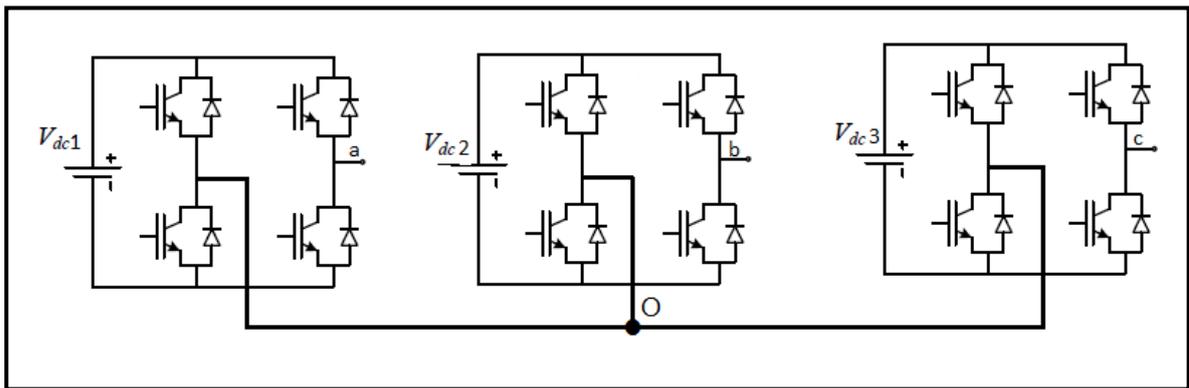
Figure (1.17). Dynamique idéale de tensions flottantes.

Ainsi, l'évolution de la dynamique des tensions aux bornes des condensateurs doit être similaire à celle de la figure (1.17), pour préserver le bon fonctionnement de l'onduleur. Car, la stabilité des tensions des condensateurs flottants assure un partage égal des contraintes en tension sur les semi-conducteurs mise en série et permet aussi à la tension de sortie d'atteindre tous ces niveaux avec une amplitude des niveaux égale à  $V_{dc}(t)/n$ .

## 1.7.3 Onduleur multi niveaux à structure cascadée

### 1.7.3.1 Onduleur à trois niveaux de type cascadié en pont H

La structure d'un onduleur de trois niveaux en pont H cascadié est basée sur la mise en série de trois onduleurs monophasés (ponts en H ou cellules partielles) comme le montre sur la figure (1.18).



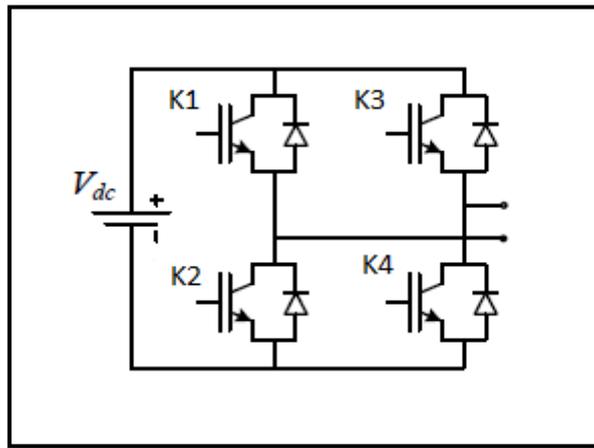
**Figure (1.18).** Structure d'un onduleur à trois niveaux en pont H cascadié.

Chaque cellule est représentée par un onduleur monophasé en pont H qui est composé de quatre interrupteurs unidirectionnels en tension et bidirectionnels en courant : il s'agit d'associations classiques d'un transistor et d'une diode en antiparallèle. Les trois cellules sont connectées en étoile, cependant il est également possible de les connecté en triangle. Les sources doivent être isolées les unes des autres, afin d'éviter un court-circuit lors de leur mise en série [18].

### 1.7.3.2 Principe de fonctionnement

Pour mieux comprendre le fonctionnement de la structure cascadié en pont H à trois niveaux de tension, nous allons nous limiter à sa structure monophasé, figure (1.19).

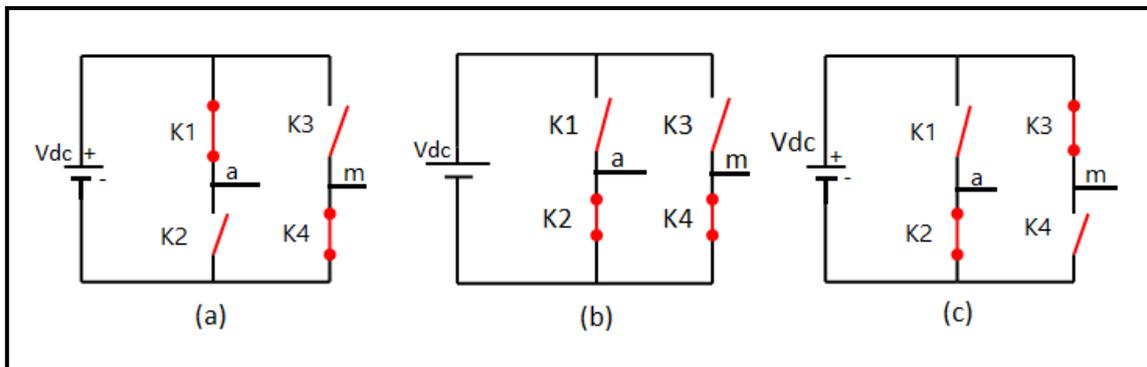
La structure d'un bras d'onduleur trois niveaux de type cascadié en pont H est identique à celui d'un onduleur classique monophasé en pont complet, cependant la technique de commande est différente ce qui permettra d'avoir les trois niveaux de tension de sortie [19].



**Figure (1.19).** Bras d'onduleur cascadié à trois niveaux en pont H.

L'objectif visé est donc de déterminer les valeurs que peut prendre la tension de sortie  $V_{am}$  pour les différents états possibles des interrupteurs, et de montrer les séquences de conduction des interrupteurs.

La figure (1.20) ci-dessous représente les trois séquences de fonctionnement possible d'un bras d'onduleur à trois niveaux en pont H :



**Figure (1.20).** Séquence de fonctionnement d'un bras d'onduleur à trois niveaux en pont H.

✓ Séquence 1 : génération du niveau maximum :

Dans ce cas, les interrupteurs  $K_1, K_4$  sont passant et  $K_2, K_3$  sont bloqués comme le montre sur la figure (1.20.a), et la tension de sortie  $V_{am}$  est :  $V_{am} = +V_{dc}$ . (1.5)

La tension inverse appliqué aux interrupteurs  $K_2, K_3$  vaut :  $V_{K3} = V_{K2} = +V_{dc}$ . (1.6)

✓ Séquence 2 : génération du niveau intermédiaire :

Dans ce cas, les interrupteurs  $K_2, K_4$  sont passants et  $K_1, K_3$  sont bloqués comme le montre sur la figure (1.20.b), et la tension de sortie  $V_{am}$  est :  $V_{am} = 0$ . (1.7)

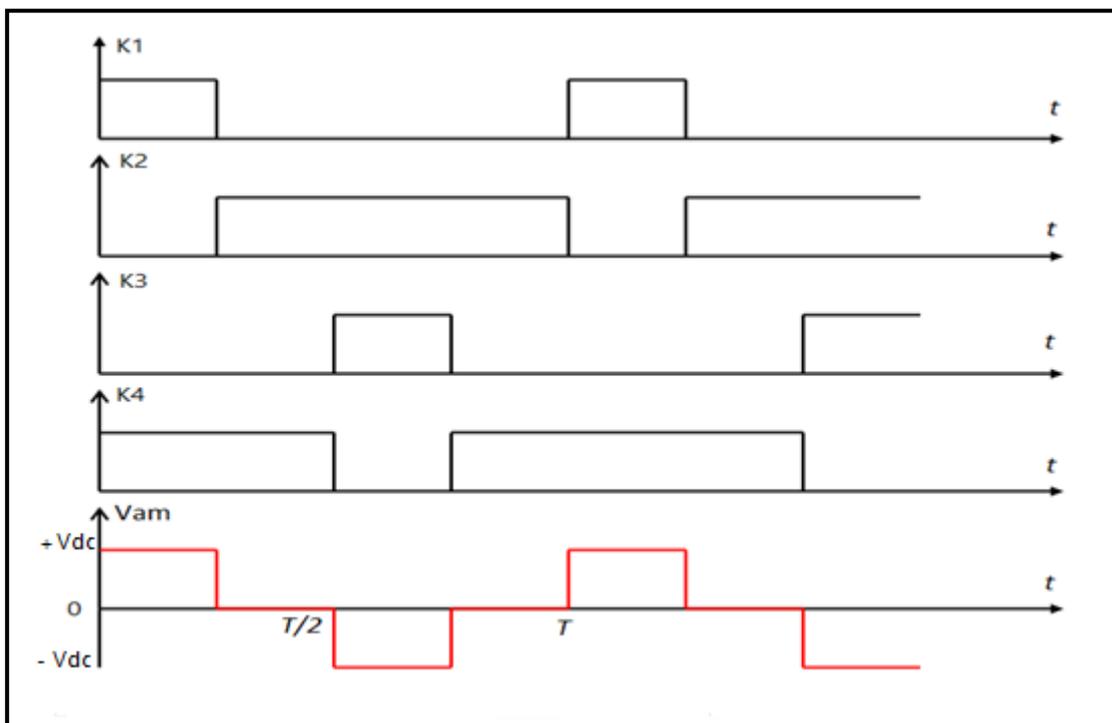
La tension inverse appliquée aux interrupteurs  $K_1, K_3$  vaut :  $V_{K1} = V_{K3} = +V_{dc}$ . (1.8)

✓ Séquence 3 : génération du niveau minimum :

Dans ce cas, les interrupteurs  $K_1, K_4$  sont bloqués et  $K_2, K_3$  sont passants comme le montre sur la figure (1.20.c), et la tension de sortie  $V_{am}$  est :  $V_{am} = -V_{dc}$ . (1.9)

La tension inverse appliquée aux interrupteurs  $K_1, K_4$  vaut :  $V_{K1} = V_{K4} = +V_{dc}$ . (1.10)

La figure (1.21) suivante représente les séquences de fonctionnement, la forme d'onde de la tension de sortie et les états de commutation des interrupteurs :

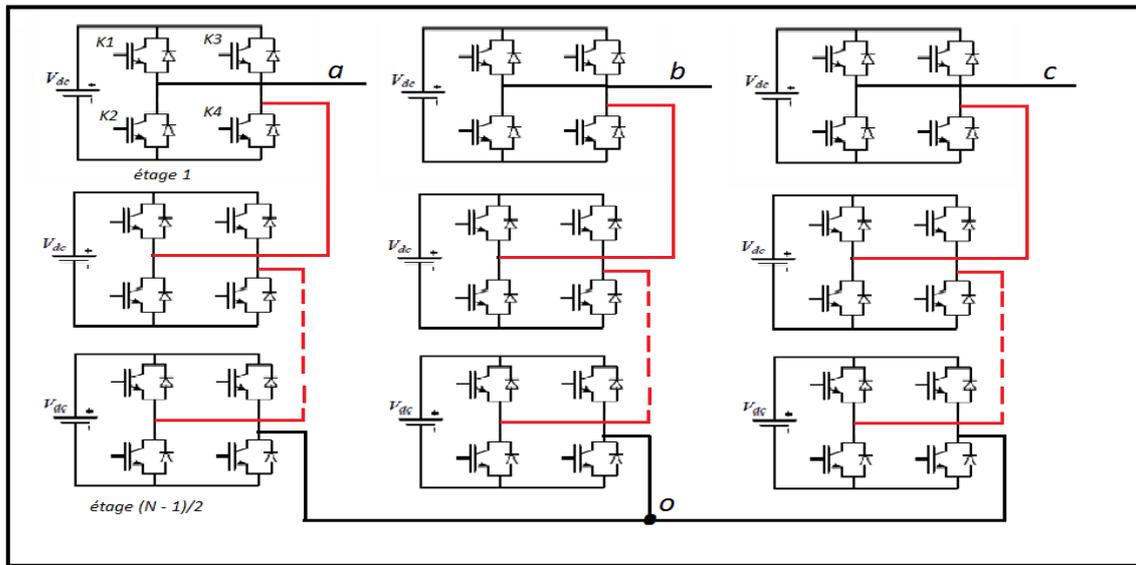


**Figure (1.21).** Forme d'onde d'un bras d'onduleur triphasé en pont H.

### 1.7.3.3) Généralisation de la structure cascadiée en pont H à N niveaux de tension

#### 1.7.3.3.1) Structure

La structure triphasée d'un onduleur de type cascadié à N niveaux de tension est représentée par la figure (1.22).



**Figure (1.22).** Structure d'un onduleur cascadié en pont H à N niveaux de tension.

Le principe de cette structure est de connecté chaque phase par  $(N-1)/2$  étages de ponts monophasé classiques, ces ponts sont montés en cascade de telle sorte que la tension de sortie de notre onduleur cascadié en pont H soit la somme des tensions de sortie de chaque pont monophasé, aussi pour chaque phase nous avons  $2(N-1)$  interrupteurs de puissances.

Chaque onduleur mis en cascade est alimenté par une source de tension isolées et indépendante, ces sources de tension peuvent être assurées par des batteries, des panneaux solaires ou par des condensateurs [19].

### 1.7.3.3.2 Principe de fonctionnement

Dans chaque pont monophasé classique, nous avons deux interrupteurs commandés en complémentaires. Ainsi, le choix des interrupteurs à fermer ou à ouvrir dépendra de la valeur de la tension de sortie. Pour obtenir le niveau  $V_{dc}$  de chaque étage, les interrupteurs  $K_1$  et  $K_4$  doivent être fermés et les interrupteurs  $K_2$  et  $K_3$  ouverts, ce qui donnera à la sortie de l'onduleur cascadié en pont une tension de sortie  $V_{ao} = \frac{(N-1)V_{dc}}{2}$ . Pour le niveau  $-V_{dc}$  de chaque étage  $K_1$  et  $K_4$  sont ouverts et  $K_2$  et  $K_3$  sont fermés. Pour le niveau 0 de chaque étage, on ferme deux interrupteurs voisins de bras différents (par exemple  $K_2$  et  $K_4$ ) et les deux autres restent ouverts. Et pour les N niveaux de tensions de l'onduleur cascadié en pont H, nous combinerons différents états de la tension de sortie de chaque étage. Le premier niveau de tension correspond à  $V_{ao} = \frac{(N-1)V_{dc}}{2}$  et le dernier niveau sera  $V_{ao} = -\frac{(N-1)V_{dc}}{2}$  [19].

#### 1.7.3.4 Les avantages et les inconvénients des onduleurs multi-niveaux cascades en pont H

Cette topologie présente plusieurs avantages et inconvénients que l'on peut résumer dans les points suivants :

Les avantages :

- ✓ L'augmentation du nombre de niveaux, ramène la tension de sortie à plusieurs paliers sous forme d'escalier, ceci permet de meilleures approches de la sinusoïde.
- ✓ La modularité de sa structure permet facilement son extension à un nombre élevé de cellules sur chaque phase, sans complexité supplémentaires [11].
- ✓ La possibilité d'avoir des états de déclenchement redondants des interrupteurs donne l'opportunité d'optimiser la stratégie de commande.
- ✓ Il devient possible d'alimenter une charge en haute ou moyenne tension à partir d'une ou plusieurs alimentations basse tension (par exemple dans le cas d'une énergie photovoltaïque) [20].
- ✓ Elle comporte moins de composants comparativement aux autres onduleurs (pour le même niveau de tension), ce qui nous conduit à une configuration simple et d'un coût plus faible.

Les inconvénients :

- ✓ Elle exige des sources de tension continue galvaniquement isolées pour chaque pont H, qui limite les possibilités d'applications [11].
- ✓ Besoin de plusieurs connecteurs/câbles pour connecter les sources de tension d'entrées DC.
- ✓ Nécessité d'équilibrer les sources DC entre les différents étages de chaque phase.

### 1.8 Comparaison entre les différentes topologies de base des onduleurs multi niveaux

Parmi les trois types d'onduleur multi niveaux (onduleur à diodes de bouclage, onduleur à condensateurs flottants et l'onduleur cascade en pont H), la topologie des onduleurs cascades en pont H est le plus facile à concevoir et à assembler. La synthèse de tension dans un onduleur à condensateurs flottants a plus de flexibilité qu'un onduleur de type NPC [21].

D'après la comparaison indiquée dans le tableau (1.7), il montre que l'onduleur cascadié en pont H est le plus avantageux par rapport aux deux autres types où des diodes et des condensateurs supplémentaires sont nécessaires. L'onduleur cascadié en pont H utilise le moins de composants de puissance, mais nécessite des tensions d'entrée isolées et indépendantes pour chaque cellule de l'onduleur, cela impliquerait normalement l'utilisation d'un gros transformateur d'isolement, mais pour cette seule exigence, un onduleur cascadié en pont H est le mieux adapté aux applications à haute puissance par rapport aux deux types des topologies précédentes [20]. Le tableau (1.7) compare les principaux besoins en composant de puissance pour chaque phase entre les trois topologies de base des onduleurs multi niveaux, où N est le nombre de niveaux de tension.

Topologies	Onduleur à diodes de bouclage (NPC)	Onduleur à condensateurs flottants (FC)	Onduleur cascadié en pont H (CHB)
Nombre d'interrupteurs de puissance	$2(N - 1)$	$2(N - 1)$	$2(N - 1)$
Nombre de diodes en Antiparallèle	$2(N - 1)$	$2(N - 1)$	$2(N - 1)$
Nombre de diodes de Bouclages	$(N-1)(N-2)$	0	0
Nombre de capacités du Bus continue	$(N - 1)$	$(N-1)$	$(N-1)/2$
Nombre de condensateurs Flottants	0	$(N - 1)(N - 2)/ 2$	0
Total des composants	$N^2 + 2N - 3$	$(N^2 + 7N - 8)/ 2$	$(9/2)(N-1)$
Exemple N = 3	12	11	9

**Tableau (1.7).** Comparaison du nombre des composants nécessaires entre les trois topologies de base des onduleurs multi niveaux.

Dans le tableau (1.7), le nombre d'interrupteurs de puissance et de diodes antiparallèles nécessaires à chaque onduleur pour atteindre le même nombre de niveaux de tension est le même [11], mais l'onduleur clampés par la neutre NPC a besoin de diodes de bouclage supplémentaires, l'onduleur à capacités flottantes à besoin de condensateurs d'équilibrage supplémentaires et l'onduleur cascadié en pont H a besoin de plus de sources de tension d'entrée séparée.

Ainsi, le nombre total des composants pour chaque phase est différents, par exemple si on prend l'onduleur à trois niveaux de tension, la topologie de type NPC nécessite 12 composants de puissance par phase, l'onduleur à condensateurs flottants (FC) a besoin de 11 composants par phase et finalement l'onduleur cascadié en pont H (CHB) qui contient le nombre minimal des composants a besoin de 9 par phase.

Pour les applications où seulement une source continue est disponible, les topologies du type NPC et FC sont avantageux par rapport à celle des ponts en H montés en cascade, qui exige la présence d'un transformateur spécial pour fournir les diverses sources continues indépendantes. Donc, quand les différents sources sont disponibles, la topologie en pont H monté en cascade pourrait être considérée comme une solution convenable puisqu'elle exige le moins de nombre de composants. Par conséquent l'application dans le domaine industriel de ces topologies diffère d'un domaine à un autre et d'une topologie à une autre [11].

Chaque structure est avantageuse dans un domaine et elle présente des inconvénients dans un autre. Il n'y a pas une topologie polyvalente, chaque structure à son domaine d'application.

## **1.9 Les applications des onduleurs de tensions**

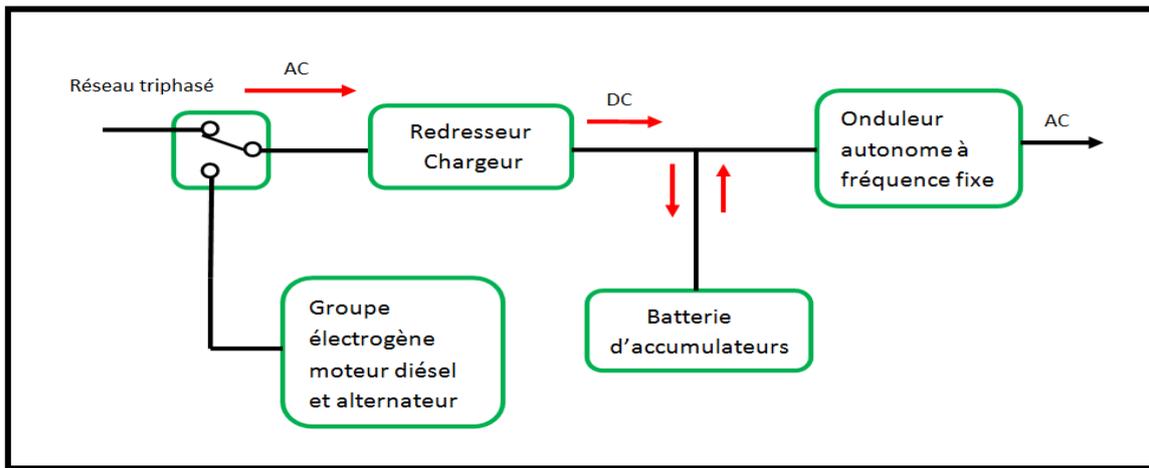
Les deux grands domaines d'application classique des onduleurs de tension sont les alimentations de secours et l'entraînement à vitesse variable. Ils sont également caractéristiques de deux grandes familles, respectivement celle des systèmes à fréquence fixe et celle des systèmes à fréquence variable.

Nous nous appuyerons donc sur une rapide description de ces deux exemples bien connus pour rappeler quelque élément fondamentaux tant sur le plan structurel que fonctionnel, élément qui seront nécessaire pour introduire une généralisation des propriétés de cette fonction de conversion [22].

### **1.9.1 Configuration typique à une fréquence fixe**

Les onduleurs autonomes à fréquence fixe sont surtout utilisés dans les alimentations de sécurité qui se substituent automatiquement aux réseaux alternatifs, comme les alimentations de secours ASI (alimentation sans interruption), qui sont apparues dans les années 1970. Elle a été le résultat de l'arrivée des semi-conducteurs de puissance et du besoin d'avoir des alimentations électriques de qualité pour alimenter les grands centres informatiques de gestion.

La figure suivante (1.23) représente le schéma de principe de l'ASI [23].



**Figure (1.23).** Schéma de principe de l'alimentation sans interruption.

Ce système comprend [23]:

- ✓ Un redresseur chargeur régulé qui charge la batterie d'accumulateurs, tout en fournissant le courant nécessaire à l'onduleur.
- ✓ Une batterie d'accumulateurs qui assure le fonctionnement autonome de l'onduleur lorsque le réseau alternatif est interrompu.
- ✓ Un onduleur autonome qui fournit une tension de sortie alternative sinusoïdale régulée à une fréquence de 50Hz avec un taux d'harmoniques qui est inférieur à 5%.
- ✓ D'un générateur Diesel (groupe électrogène) qui démarre après un court délai lors de la panne du réseau électrique et s'arrête lorsque le réseau est rétabli.

Avantages de cette topologie d'ASI [23] :

- Les perturbations du réseau électrique sont éliminées à la sortie de l'ASI.
- La charge est indépendante du réseau de distribution ce qui permet une régulation précise de la fréquence de sortie.
- Très grande tolérance admissible en tension d'entrée.
- Commutation instantanée entre l'alimentation du réseau et les batteries.

L'avantage majeur de cette ASI et la compensation des pertes d'énergie engendrées par les harmoniques dans les câbles ou par d'autres problèmes de qualité de l'énergie.

Parmi les principales applications des onduleurs à fréquence fixe, on peut citer :

- ❖ L'alimentation d'ordinateurs.
- ❖ Le système de guidage d'avion (radio, radar).
- ❖ Le fonctionnement des blocs opératoires dans les hôpitaux.

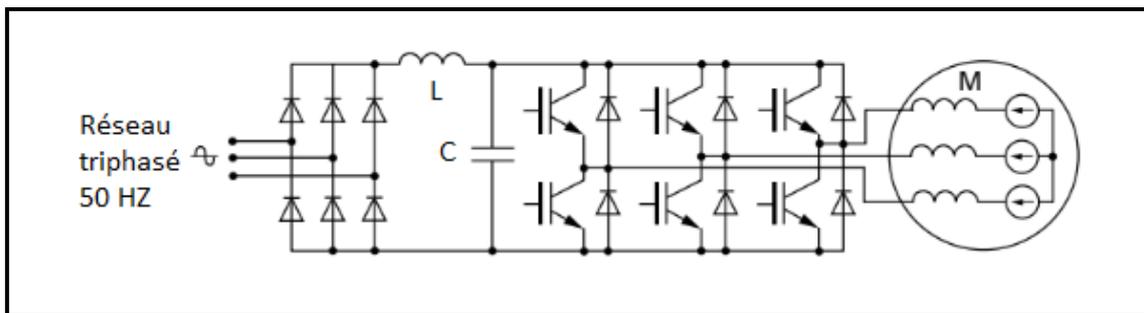
- ❖ L'éclairage de sécurité de salle de conférence.
- ❖ Les circuits d'alarme contre les incendies.
- ❖ Poste de travail Internet.
- ❖ Standards téléphoniques.
- ❖ Automatisme industriel et domotique.

## 1.9.2 Configuration typique à fréquence variable

Dans cette configuration, on va noter quelques domaines d'applications des onduleurs de tension à fréquence variable :

### 1.9.2.1 Applications dans le domaine de contrôle de la vitesse de rotation des machines à courant alternatif

Dans les différentes applications industrielles, les onduleurs à fréquence variable jouent deux rôles principaux qui sont : l'alimentation et la commande de la vitesse de rotation des machines électriques. Dans ce système, les semi-conducteurs ne supportant qu'une faible tension par rapport à celle exigée par la machine, la figure (1.24) montre le principe de réglage d'une machine à courant alternatif à partir d'un onduleur classique à fréquence variable [24].



**Figure (1.24).** Schéma de principe d'un onduleur d'alimentation de machine à courant alternatif.

D'après la figure (1.24) l'onduleur est alimenté par l'intermédiaire d'un réseau alternatif. La source continue est donc un redresseur suivi d'un filtre d'entrée qui peut avoir une double fonction, à savoir éliminer les composants harmoniques de courant issues de l'onduleur, mais également les composants harmoniques de tension dues au redressement. La structure utilisée est majoritairement triphasé, tel qu'en retrouve une cellule qui contient deux interrupteurs de puissance par phase, la machine M étant alimentée entre phases par des tensions différentielles.

Dans ce type d'applications, les tensions découpées sont directement appliquées à la machine, dont les inévitables inductances de commutation agissant comme des filtres de courant, à condition que la fréquence de découpage utilisée soit adaptée aux valeurs de ces inductances (modulation à largeur d'impulsion).

### 1.9.2.2 Applications dans le domaine de transfert d'énergie entre deux réseaux de fréquence différents

Exemple : La France fournit de l'énergie électrique à la Grande -Bretagne, mais la fréquence du réseau anglais est 60 HZ, il faut donc adapter la fréquence [25].

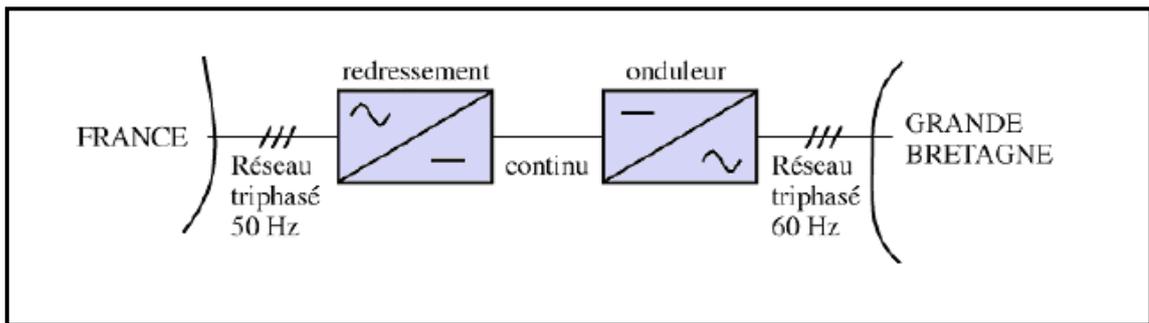


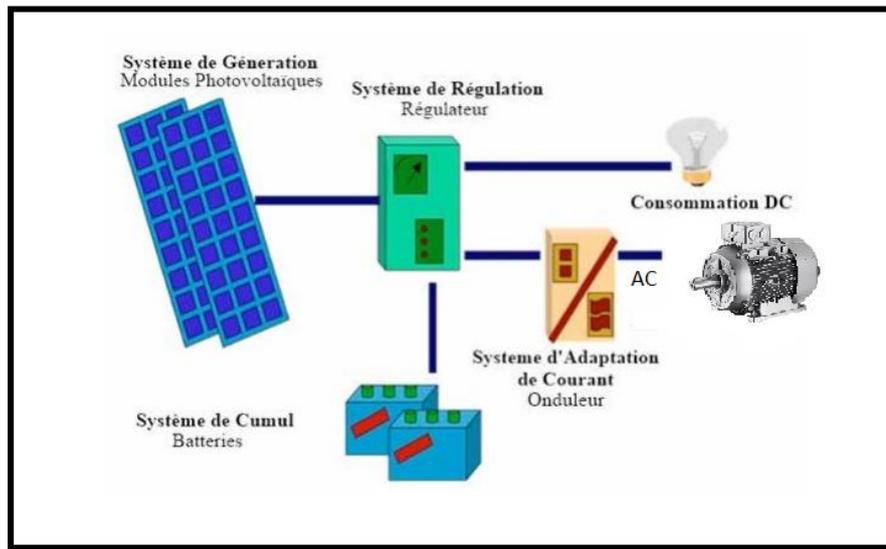
Figure (1.25). Transfert de l'énergie entre deux réseaux de fréquences différentes.

### 1.9.2.3 Applications des onduleurs dans les systèmes photovoltaïques

Dans une centrale photovoltaïque (PV) connectée au réseau électrique, l'onduleur est un élément important dans la conversion de l'énergie continue produite par les modules PV en une énergie alternative, qui sera injectée dans le réseau. Des multiples efforts de recherche et développement dans le domaine de l'électronique de puissance, ont été déployés dans le but d'améliorer les performances techniques et la fiabilité des onduleurs [26].

De nombreux onduleurs de tous types ont été développés pour augmenter le rendement et la rentabilité de la centrale PV et améliorer la qualité de l'énergie injectée au réseau.

L'onduleur connecté au réseau est un convertisseur de puissance permettant de convertir le courant continu DC, produit par le générateur photovoltaïque (PV) en courant alternatif AC avec ses circuits de puissance, de commande et de protection. Il doit être capable de supporter le courant et la tension maximum du champ photovoltaïque. L'onduleur comporte un contrôleur d'isolement côté courant continu permettant de prévenir un défaut éventuel d'isolement. La figure (1.26) montre l'installation de l'onduleur dans un système photovoltaïque.



**Figure (1.26).** Installation de l'onduleur dans un système photovoltaïque.

Les onduleurs ne se limitent plus seulement à transformer la puissance continue DC générée par les modules solaires en puissance alternative sous forme d'une tension sinusoïdale de fréquence souhaitée (220 V/380 V– 50 HZ), mais ils exploitent également la puissance délivrée par le générateur photovoltaïque en le forçant à fonctionner à son point de puissance maximum.

De plus, ils assurent une surveillance fiable du réseau pour protéger ce dernier contre les pannes et interruptions de l'alimentation en cas de problèmes survenant, soit du réseau, soit de l'installation.

## 1.10 Conclusion

Ce chapitre est consacré à l'analyse théorique des onduleurs multi niveaux, avec énumération des différents types en citant leurs avantages et inconvénients. Un survol des interrupteurs de puissance les plus communément utilisés est présenté. Finalement, nous étendons notre étude sur les applications des onduleurs et leur importance dans le secteur industriels.

### 2.1 Introduction

La conversion continue alternative est assurée par la commutation des interrupteurs de l'onduleur, les tensions de sortie de ces onduleurs sont très riches en harmoniques, d'où il nécessite de les réduire.

Dans ce chapitre on va étudier le principe de fonctionnement, les différentes configurations et le spectre d'harmoniques des onduleurs de tension monophasé en pont H, à deux et trois niveaux de type NPC (Neutral point clamped) commandé par MLI sinusoïdal.

Donc à partir de cette étude, on va montrer deux méthodes qui vont permettre de réduire les harmoniques et d'améliorer la qualité du signal de sortie, le premier consiste à augmenter le niveau des onduleurs (onduleur monophasé en pont H, onduleur à deux et trois niveaux), et le deuxième basé sur la commande de l'amorçage et le blocage des semi conducteurs (modulation de largeur d'impulsion) qui va permettre de repousser les harmoniques vers les grandes fréquences.

### 2.2 Onduleur de tension commandé par la modulation de largeur d'impulsion

La commande de l'onduleur par la modulation de largeur d'impulsion (MLI) permet de générer, par alternance de la tension alternative, une tension commutée en forme de créneaux de largeurs variables. Elle permet ainsi, d'obtenir un fondamental de tension variable en amplitude et en fréquence [27].

La technique MLI sinusoïdale est une technique de modulation par porteuse, elle est peut-être la technique la plus utilisée dans le domaine des convertisseurs industriels. Ceci est dû à la bonne qualité de l'énergie fournie et surtout à la simplicité de son implémentation.

Le principe de la MLI consiste à commuter entre les états de l'onduleur de manière à ce que la valeur moyenne de la tension commutée égale la tension de référence. La modulation est obtenue par la variation de la largeur de l'impulsion (ou de son rapport cyclique).

La réalisation de cette technique consiste à comparer un signal triangulaire  $V_p(t)$  appelé porteuse à un signal sinusoïdal  $V_{ref}(t)$  d'amplitude et de fréquence variable appelée référence. L'intersection de ces signaux donne les instances de commutation des interrupteurs [28].

### 2.2.1 Caractéristiques de la modulation de largeur d'impulsion MLI

Les paramètres essentiels de la MLI sont [28] :

- ✓ La fréquence de la modulant :  $f_r$
- ✓ La fréquence de la porteuse :  $f_p$
- ✓ L'indice de modulation :  $m = \frac{f_p}{f_r}$
- ✓ Le coefficient de réglage en tension  $r$  :  $r = \frac{A_r}{A_p}$
- ✓ Avec :  $A_r$  est l'amplitude de la référence et  $A_p$  l'amplitude de la porteuse.
- ✓ La modulation montre que plus  $\ll m \gg$  est grande et plus la neutralisation des harmoniques est efficace.
- ✓ La modulation est dite synchrones si  $\ll m \gg$  est entier, elle est dite asynchrones dans le cas contraire.
- ✓ Pour le choix de  $\ll m \gg$ , on doit tenir compte des pertes supplémentaires pendant les commutations d'un état à l'autre, ces pertes croissent lorsque la fréquence de modulation augmente.

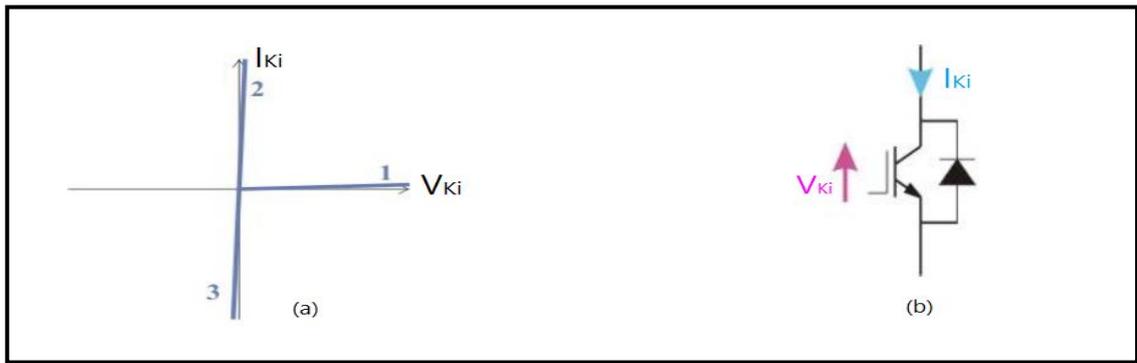
### 2.2.2 Principaux avantages de la MLI

La modulation de largeur d'impulsion présente les avantages suivants [28] :

- ✓ Une bonne neutralisation d'harmonique.
- ✓ Elle permet de repousser vers des fréquences élevées les harmoniques de la tension de sortie, ce qui facilite le filtrage.
- ✓ De faire varier la valeur du fondamental de tension de sortie.
- ✓ La MLI permet aussi l'alimentation de plusieurs ensembles onduleurs, moteurs asynchrones à partir d'une même source continue.

## 2.3 Modèle de l'interrupteur bidirectionnel en courant

L'ensemble IGBT et la diode peuvent être remplacés par un interrupteur bidirectionnel en courant, la figure suivante (2.1) représente le schéma d'un interrupteur de puissance bidirectionnelle en courant avec sa caractéristique statique [2].



**Figure (2.1).** Interrupteur de puissance bidirectionnel en courant, (a) : caractéristique statique (b) : mise en parallèle d'un transistor et d'une diode.

-Si  $V_{ki}=0$  : le transistor et la diode sont à l'état de bloqué.

-Si  $I_{ki}>0$  : le transistor est à l'état de conduction.

-Si  $I_{ki}<0$  : la diode est à l'état de conduction.

$K$  : est le nombre représentant les bras de l'onduleur.

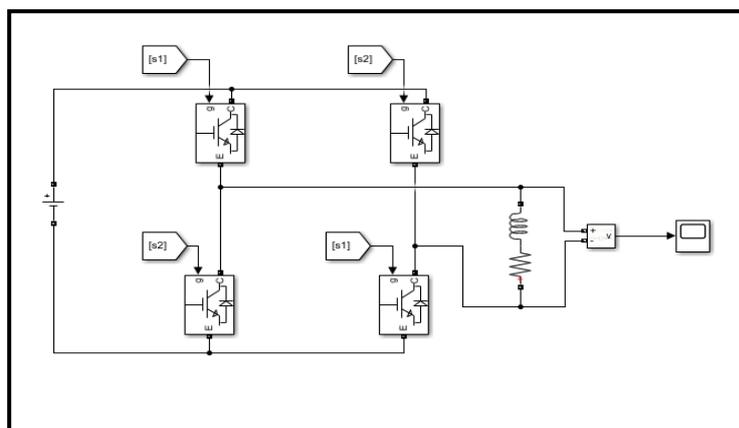
$i$  : représente la position de l'interrupteur pour chaque bras,

$i = 1$  représente l'interrupteur haut.

$i = 0$  représente l'interrupteur bas.

## 2.4 La structure d'un onduleur monophasé en pont H

La figure suivante (2.2) représente la structure d'un onduleur monophasé en pont H sous Simulink. L'onduleur est composé de deux bras, chaque bras comportant deux interrupteurs. La charge est de nature RL.



**Figure (2.2).** Structure De l'onduleur monophasé en pont H sous SIMULINK.

## 2.4.1 Signal de sortie bipolaire

On dit d'une tension qu'elle est bipolaire, si celle-ci commute entre le front positif et le front négatif respectivement durant chaque alternance du signal de référence.

Les signaux de commande par MLI sont obtenus par la comparaison d'un signal de référence d'amplitude  $A_r$  avec un signal de porteuse triangulaire  $V_p$  d'amplitude  $A_p$  (fig. 2.3).

Cette comparaison donne le signal de commande de la paire (S1, S3) des composants Tr1 et Tr3. La paire (S2, S4) qui est le signal de commande des composants Tr2 et Tr4 n'est autre que le complémentaire de la première paire. La figure (2.5) représente la tension et le courant de sortie au niveau de la charge [29].

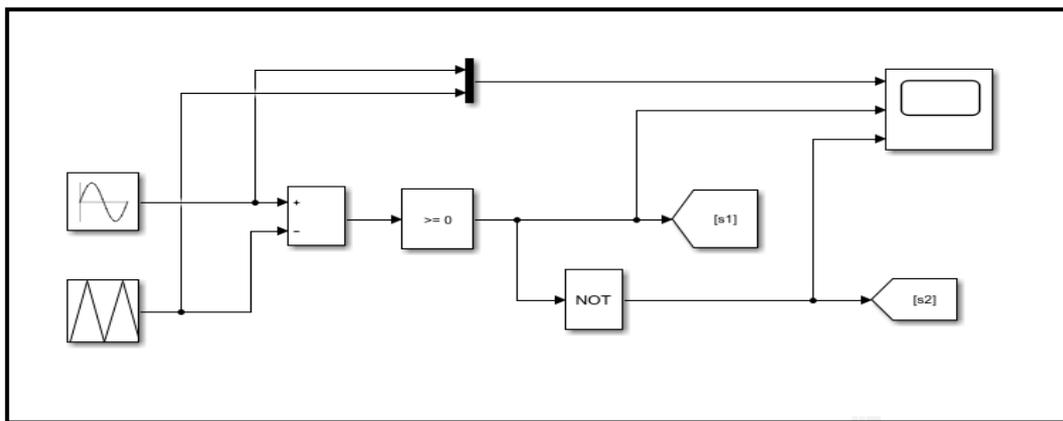


Figure (2.3). Principe de la MLI sinusoidale pour un bras de l'onduleur en pont H.

## 2.5 Simulations des résultats

Les simulations sont effectuées sous Simulink.

On prend : la source de tension d'entrée continue  $E = 200V$ , la charge RL :  $R = 10\Omega$  et  $L = 0.2 H$ .

On choisit les indices de modulation  $m = 15$  et  $m = 30$ .

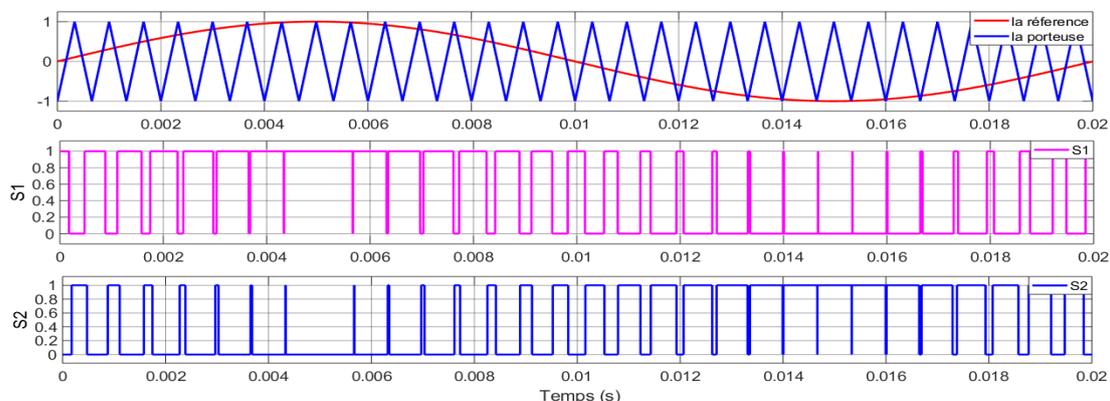


Figure (2.4). Comparaison entre le signal triangulaire et le signal sinusoidal et obtention des signaux de commande.

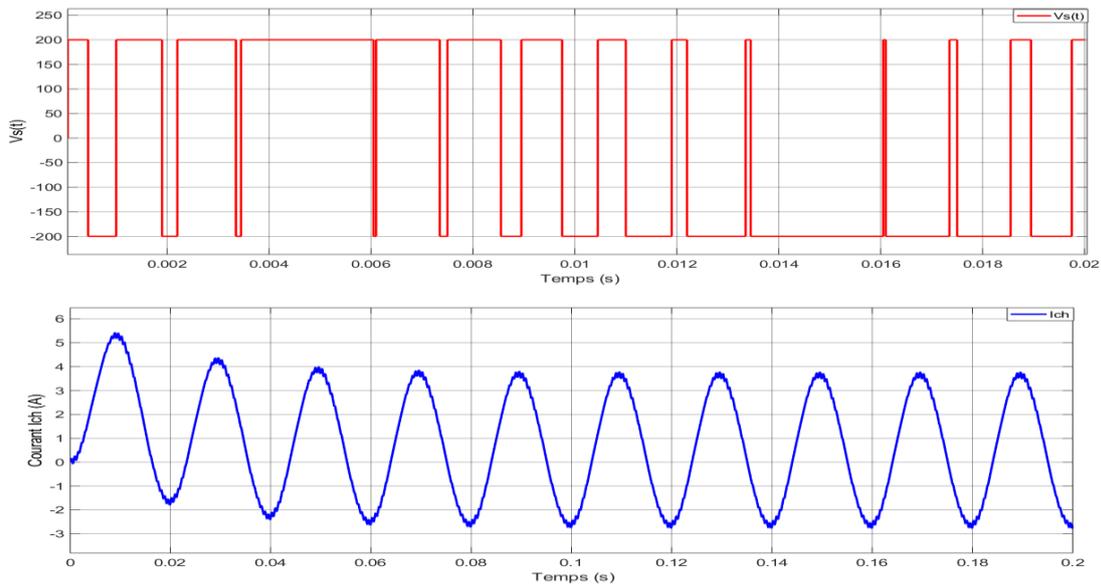


Figure (2.5). Tension et le courant de sortie au niveau de la charge.

### 2.5.1 L'analyse spectrale

Les figures (2.6) et (2.7) présentent respectivement le THD de tension et du courant de sortie pour  $m = 15$  et  $m = 30$ .

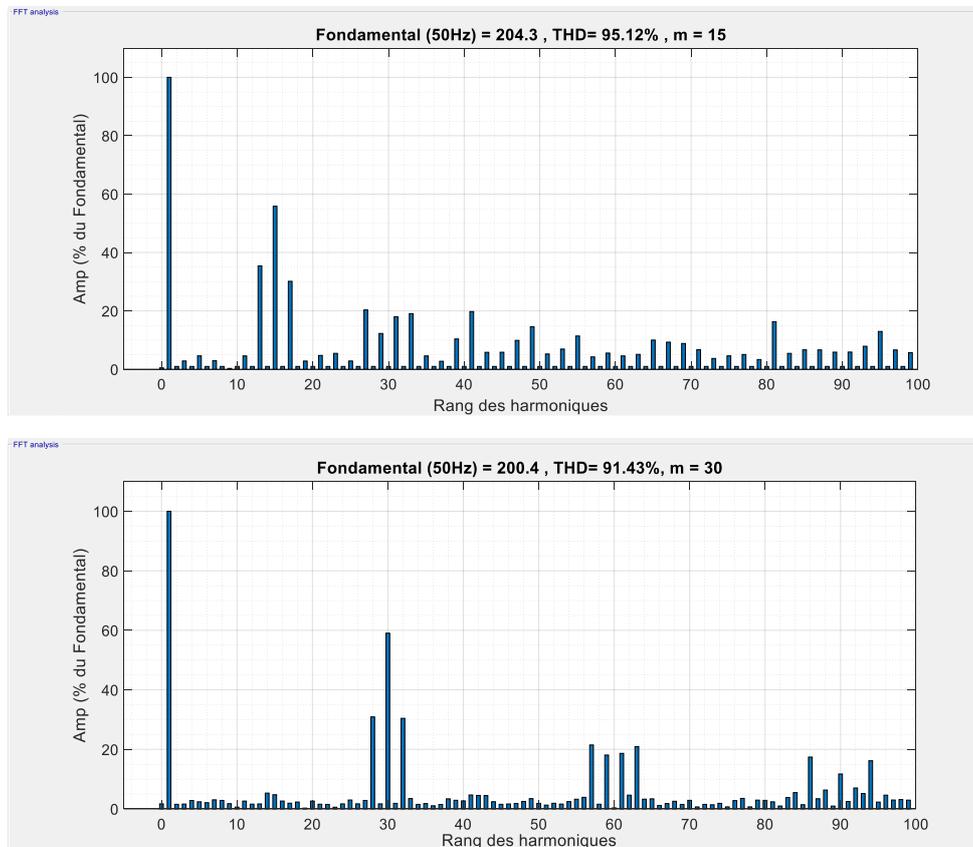
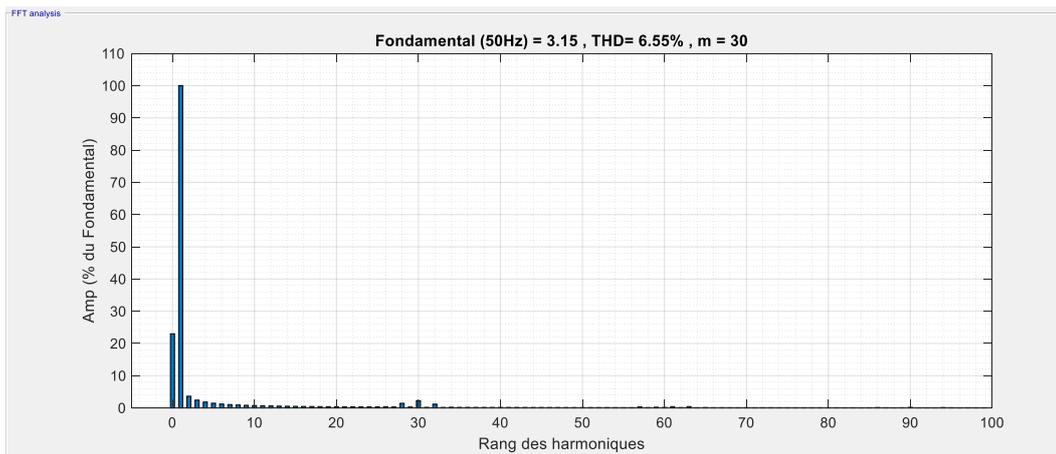
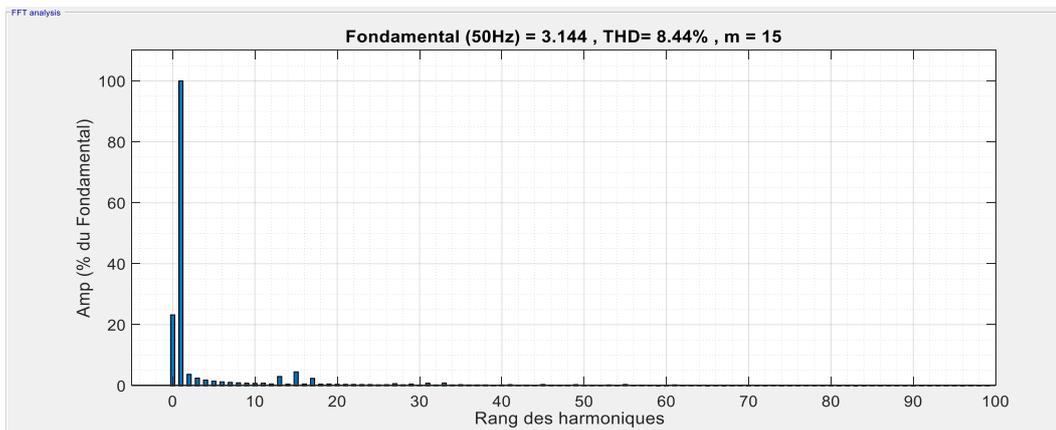
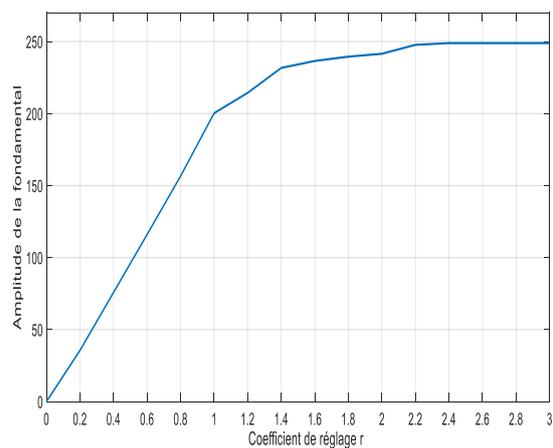
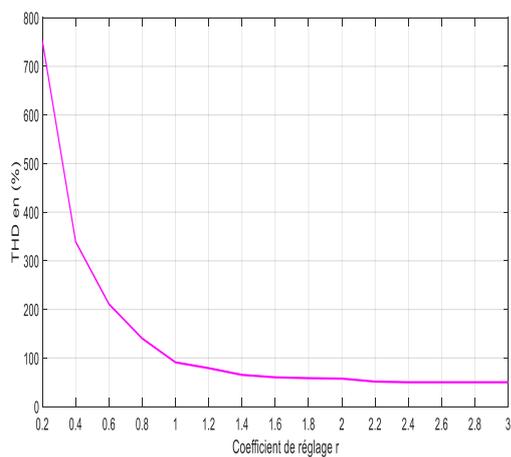


Figure (2.6). Spectre d'harmoniques de la tension de sortie pour un onduleur monophasé en pont H.



**Figure (2.7).** Spectre d'harmoniques du courant aux bornes de la charge pour un onduleur monophasé en pont H.



**Figure (2.8).** Variation du THD et de l'amplitude du fondamentale en fonction du coefficient de réglage  $r$  pour  $m = 30$ .

## 2.6 Onduleur triphasé en pont

L'onduleur de Tension triphasé est un convertisseur statique permettant la transformation d'une tension continue en une tension alternative triphasée, ils sont <<statiques>> car ils ne font intervenir aucun mouvement mécanique (contrairement aux moteurs) [2].

La figure (2.9) illustre le schéma de principe de l'onduleur triphasé à deux niveaux :

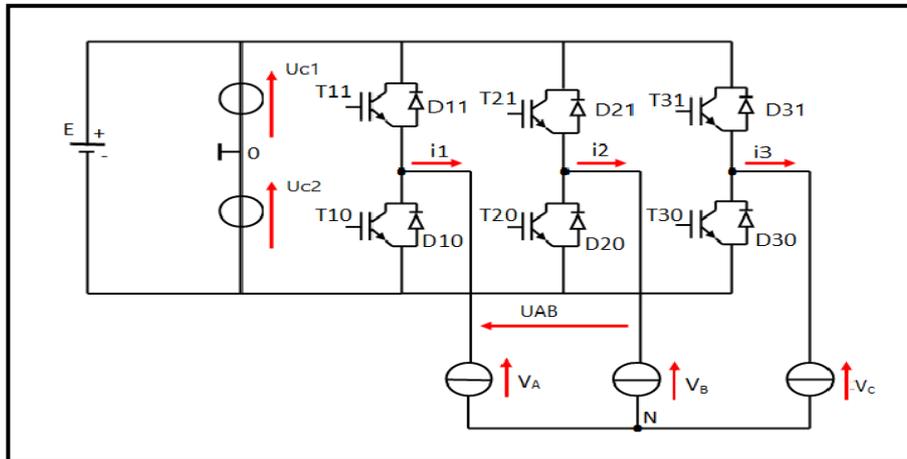


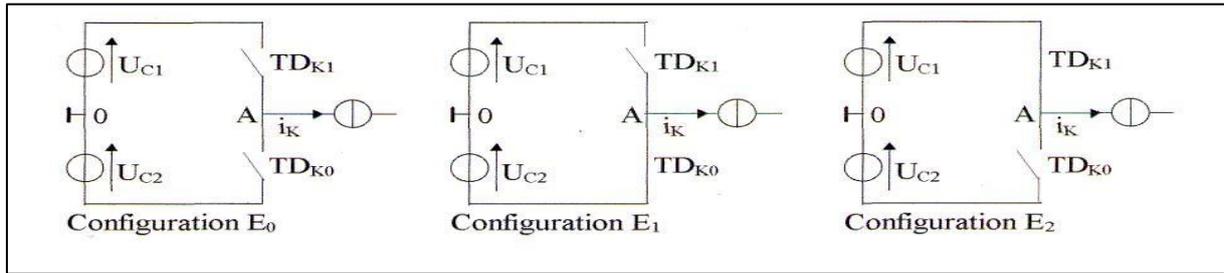
Figure (2.9). Onduleur de tension triphasé à deux niveaux.

On suppose que la source de tension d'entrée continue  $E$  est parfaite, l'onduleur triphasé est composé de trois demi pont monophasé, chacun est formé de deux Interrupteurs monté en série ( $T_{11}, T_{10}$ ), ( $T_{21}, T_{20}$ ) et ( $T_{31}, T_{30}$ ).

Chaque interrupteur se compose d'un IGBT ( $T$ ) et d'une diode ( $D$ ) montée en tête-bêche, Les interrupteurs d'un même demi pont doivent être complémentaires pour que la source de tension d'entrée  $E$  ne soit jamais en court-circuit.

### 2.6.1 Configuration électrique d'un bras d'onduleurs à deux niveaux

Pour un bras avec 2 interrupteurs, il existe  $2^2$  configurations possibles. Il n'y a que trois configurations qui sont physiquement possibles. La figure suivante (2.10) représente les configurations électriques possibles pour un bras d'onduleurs à deux niveaux de tension [30].



**Figure (2.10).** Configurations électriques possibles pour un bras d'onduleur à deux niveaux.

## 2.6.2 Fonction de connexion

Chaque interrupteur  $TD_{ki}$  ( $K = 1, 2$  ou  $3, i = 0$  ou  $i = 1$ ) supposé idéal, introduit une fonction de connections  $F_{ki}$  [30].

La commande des interrupteurs  $TD_{K1}$  et  $TD_{K0}$  sont complémentaires tel que ( $F_{K1}=1-F_{K0}$ )

$$\begin{cases} F_{11}=1-F_{10}; \\ F_{21}=1-F_{20}; \\ F_{31}=1-F_{30}; \end{cases} \quad (2.1)$$

-le courant  $I_{ki}$  qui la traverse et la tension  $V_{ki}$  à ses bornes ont respectivement pour expression :

$$I_{ki} = F_{ki} \times I_c. \quad (2.2)$$

$$V_{ki} = (1-F_{ki}) \times V_c. \quad (2.3)$$

## 2.6.3 Fonction de conversion

On appelle fonction de conversion, la fonction qui permet de passer de la tension d'entrée de l'onduleur à sa tension de sortie.

L'onduleur est alimenté par une source de tension continue constante d'amplitude  $E$ , à partir de la notation de la figure (2.9) donnant la tension aux bornes de chaque interrupteur [30], on déduit les expressions des tensions composée :

$$\begin{cases} U_{AB}=V_A-V_B=V_{11}-V_{21} \\ U_{BC}=V_B-V_C=V_{21}-V_{31} \\ U_{CA}=V_C-V_A=V_{31}-V_{11} \end{cases} \quad (2.4)$$

On introduisant les fonctions de connexion à chacun d'entre eux, nous obtenons :

$$\begin{cases} U_{AB}=V_A-V_B= (F_{11}-F_{21}) * E \\ U_{BC}=V_B-V_C= (F_{21}-F_{31}) * E \\ U_{CA}=V_C-V_A= (F_{31}-F_{11}) * E \end{cases} \quad (2.5)$$

On obtient donc :

$$\begin{pmatrix} U_{AB} \\ U_{BC} \\ U_{CA} \end{pmatrix} = E \begin{pmatrix} 1 & -1 & 0 \\ 0 & 1 & -1 \\ -1 & 0 & 1 \end{pmatrix} \begin{pmatrix} F_{11} \\ F_{21} \\ F_{31} \end{pmatrix} = E \begin{pmatrix} m_{AB} \\ m_{BC} \\ m_{CA} \end{pmatrix} \quad (2.6)$$

Où  $m_{AB}$ ,  $m_{BC}$  et  $m_{CA}$  représentant respectivement les fonctions composées de conversion propre aux grandeurs de sortie  $U_{AB}$ ,  $U_{BC}$  et  $U_{CA}$ .

#### 2.6.4 Les tensions de bras

La tension de chaque bras de l'onduleur représente la tension entre les nœuds (A ou B ou C) et le point fictif M, comme le montre le système d'équation suivant :

$$\begin{cases} V_{AM}= (F_{11}-0.5) * E \\ V_{BM}= (F_{21}-0.5) * E \\ V_{CM}= (F_{31}-0.5) * E \end{cases} \quad (2.7)$$

On obtient les expressions des tensions simples :

$$\begin{cases} V_{AN} = \frac{2}{3} V_{AM} - \frac{1}{3} V_{BM} - \frac{1}{3} V_{CM} \\ V_{BN} = -\frac{1}{3} V_{AM} + \frac{2}{3} V_{BM} - \frac{1}{3} V_{CM} \\ V_{CN} = -\frac{1}{3} V_{AM} - \frac{1}{3} V_{BM} + \frac{2}{3} V_{CM} \end{cases} \quad (2.8)$$

On remplace (2.7) dans (2.8), on trouve le modèle de l'onduleur :

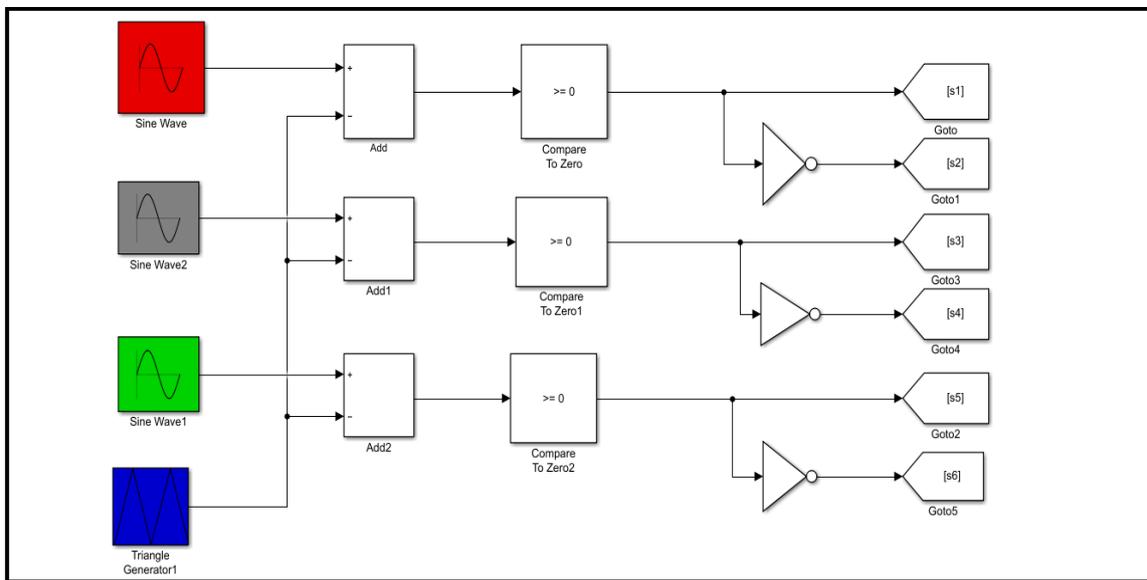
$$\begin{pmatrix} V_{AN} \\ V_{BN} \\ V_{CN} \end{pmatrix} = \frac{E}{3} \begin{pmatrix} 2 & -1 & -1 \\ -1 & 2 & -1 \\ -1 & -1 & 2 \end{pmatrix} \begin{pmatrix} F_{11} \\ F_{21} \\ F_{31} \end{pmatrix} = E \begin{pmatrix} n_A \\ n_B \\ n_C \end{pmatrix} \quad (2.9)$$

Où  $n_A$ ,  $n_B$ ,  $n_C$  représentent respectivement les fonctions simple de conversion propre aux grandeurs de sortie  $V_{AN}$ ,  $V_{BN}$  et  $V_{CN}$ .

## 2.7 Commande triangulo-sinusoidale à une seule porteuse d'un onduleur à deux niveaux de tension

Les signaux de commande des interrupteurs de l'onduleur à deux niveaux sont obtenus à partir des intersections des trois signaux de référence sinusoidaux déphasés entre eux de 120°, de fréquence  $f_r$  et d'amplitude  $A_r$  avec un signal triangulaire de fréquence  $f_p$  très élevée et d'amplitude  $A_p$ . chaque comparaison donne « 0 » si la porteuse est supérieure ou égale à la référence ; « 1 » dans le cas contraire [28].

La figure suivante (2.11) montre le principe de fonctionnement de cette commande :



**Figure (2.11).** Génération des signaux de commande MLI triangulo-sinusoidale d'un onduleur à deux niveaux de tension.

-Les équations des signaux de référence :

$$\begin{cases} V_{ref a} = A_r \cdot \sin(2\pi \cdot f \cdot t) \\ V_{ref b} = A_r \cdot \sin(2\pi \cdot f \cdot t - \frac{2\pi}{3}) \\ V_{ref c} = A_r \cdot \sin(2\pi \cdot f \cdot t - \frac{4\pi}{3}) \end{cases} \quad (2.10)$$

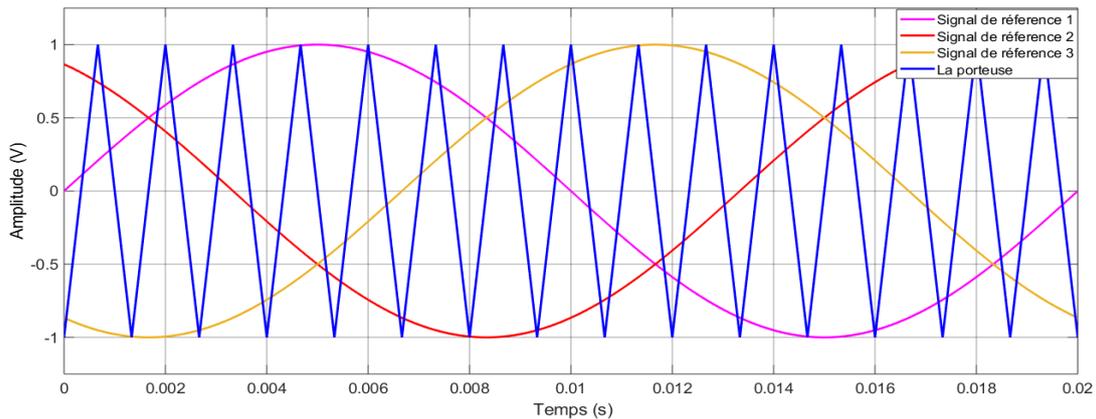
-L'équation de la porteuse :

$$V_p(t) = \begin{cases} V_p(4f_p \cdot t - 1) & \text{si } 0 \leq t \leq \frac{T_p}{2} \\ V_p(4f_p t + 3) & \text{si } \frac{T_p}{2} \leq t \leq T_p \end{cases} ; \text{ Avec } f_p = \frac{1}{T_p}. \quad (2.11)$$

## 2.8 Simulation des résultats sous MATLAB/SIMULINK

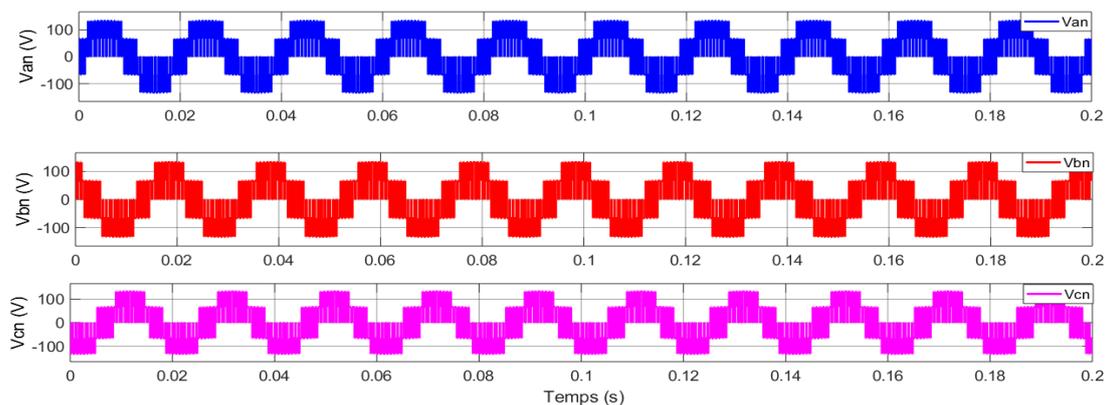
On prend : la source de tension d'entrée continue E=200 V.

La charge RL : R=10 Ω et L = 0.2 H, r = 1 ;

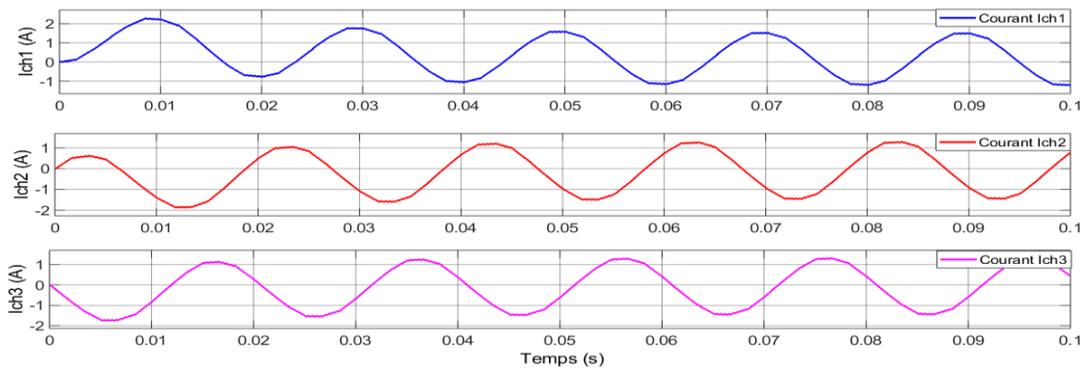


**Figure (2.12)** .Principe de la MLI à une seule porteuse pour un onduleur à deux niveaux.

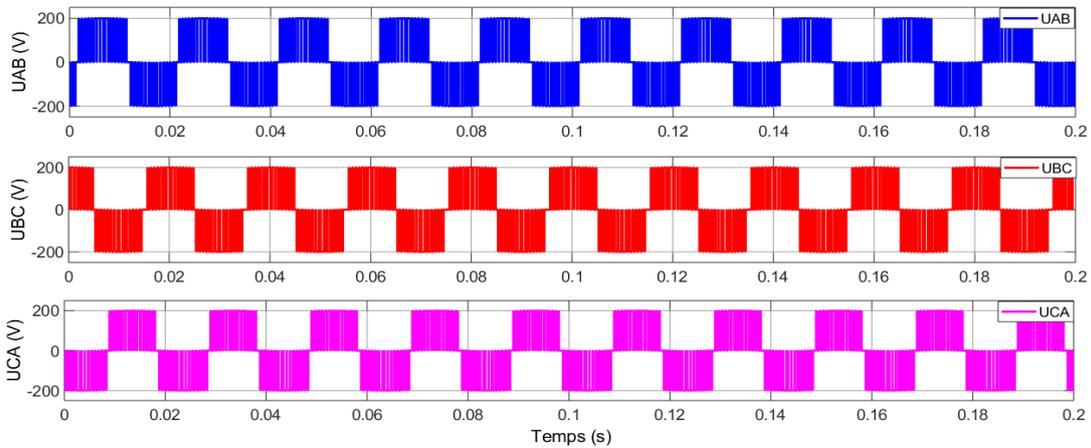
Les intersections entre les tensions de références et la porteuse donnent les instants d'ouverture et de fermeture des interrupteurs.



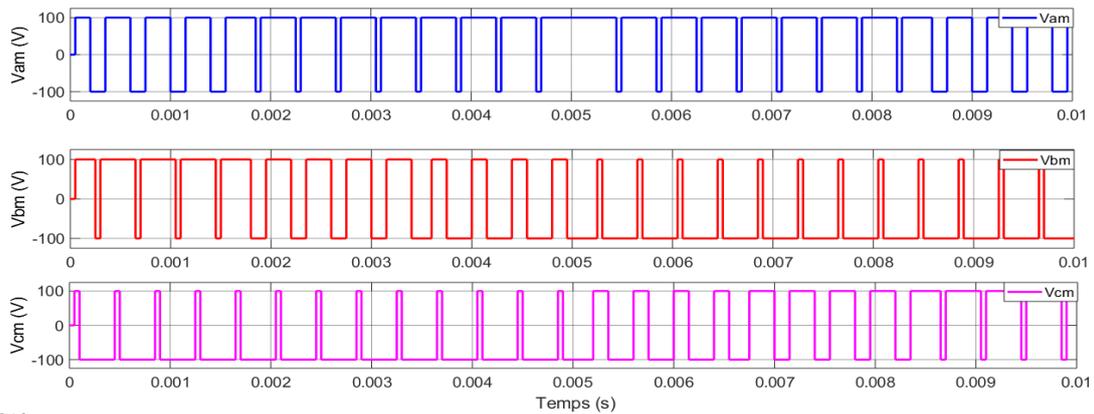
**Figure (2.13)**.Tension simple Van, Vbn et Vcn à la sortie de l'onduleur à deux niveaux.



**Figure (2.14).** Représente les courants  $I_{ch1}$ ,  $I_{ch2}$ ,  $I_{ch3}$  à la sortie de chaque bras de l'onduleur à deux niveaux.



**Figure (2.15).** Tension composé UAB, UBC et UCA à la sortie de l'onduleur à deux niveaux.

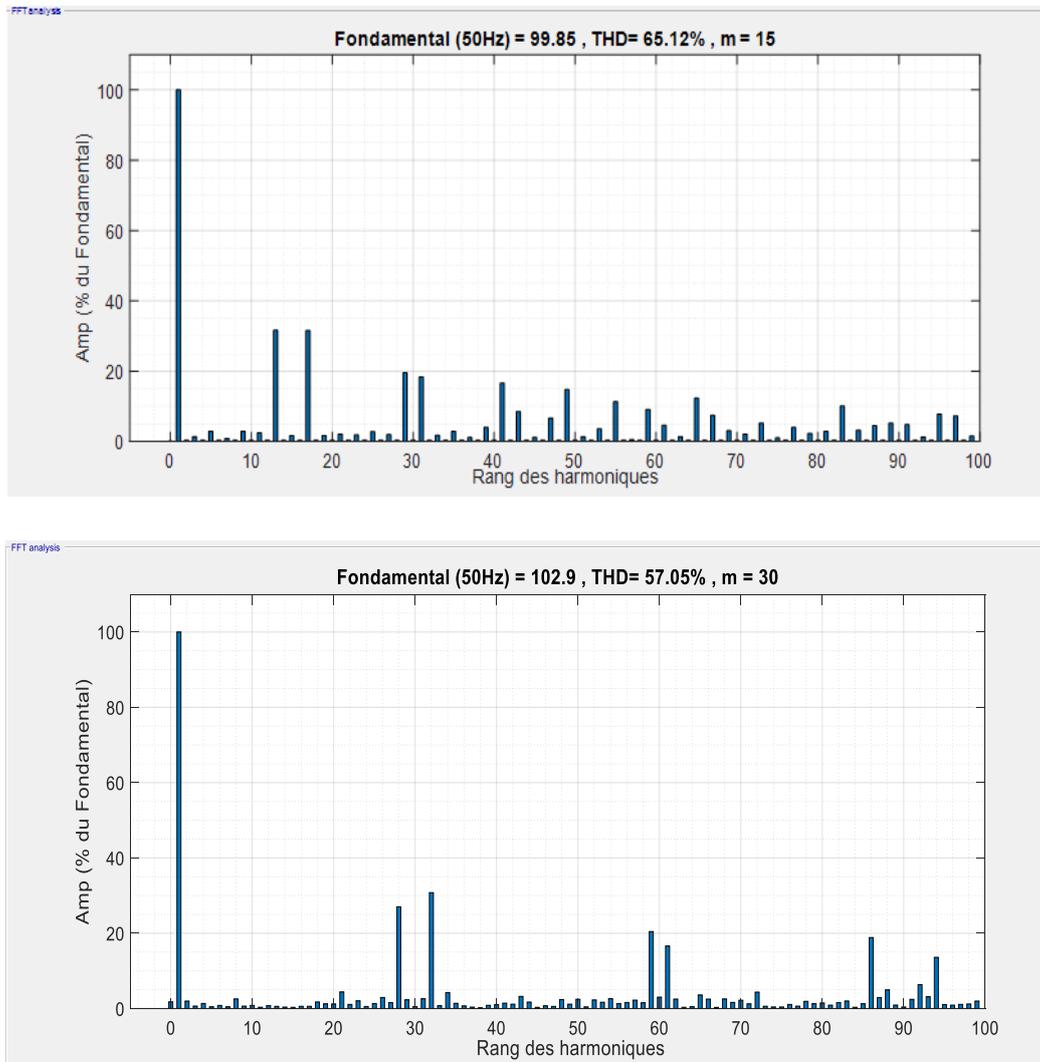


**Figure (2.16).** Tension de bras  $V_{am}$ ,  $V_{bm}$  et  $V_{cm}$  de l'onduleur à deux niveaux.

## 2.8.1 Analyse spectrale

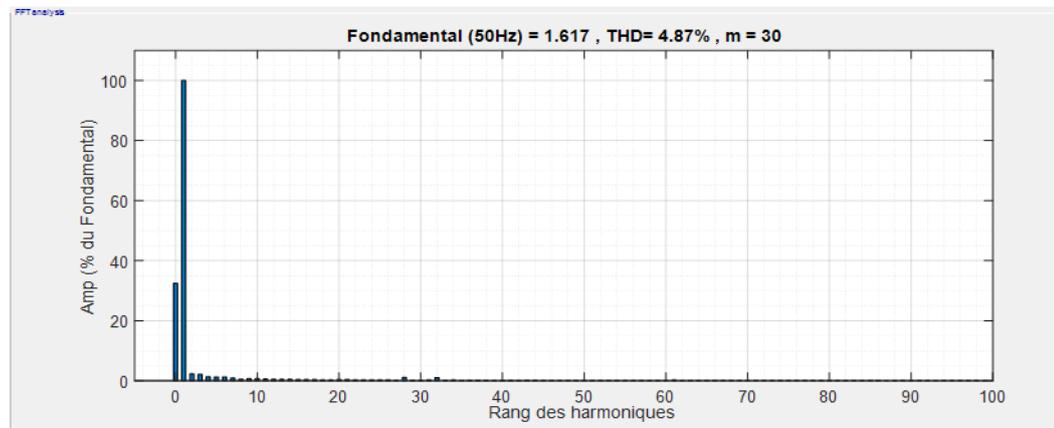
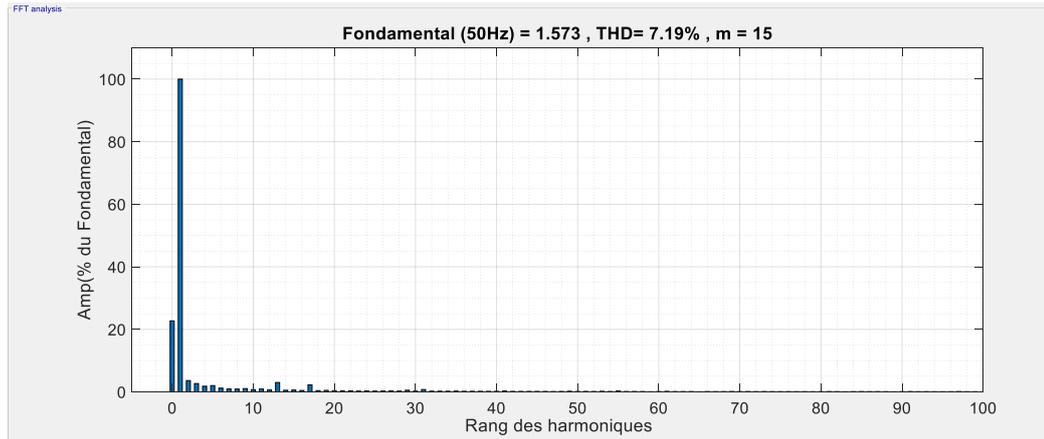
L'analyse spectrale de la tension et le courant de sortie de la première phase de l'onduleur à deux niveaux est effectuée pour différentes valeurs de  $m$ .

THD de la tension pour  $m = 15$  et  $m = 30$  :

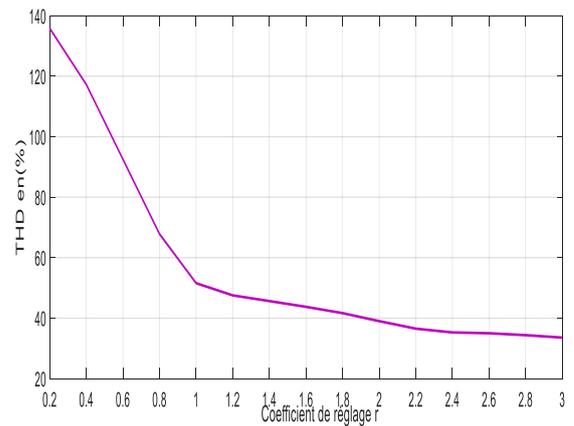
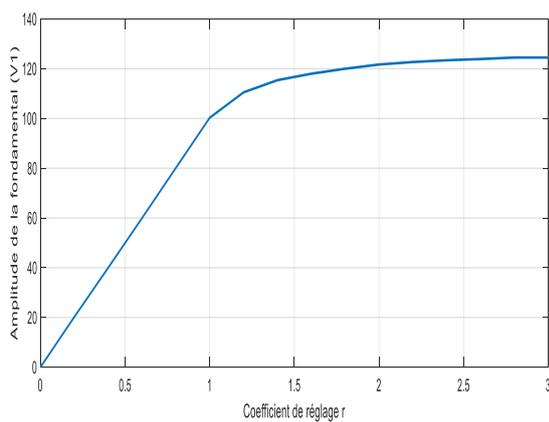


**Figure (2.17).** Spectre d'harmoniques de la tension simple Van pour un onduleur à deux niveaux de tension.

THD du courant pour :  $m = 15$  et  $m = 30$



**Figure (2.18).** Spectre d’harmoniques du courant  $I_{ch1}$  d’un onduleur à deux niveaux de tension.



**Figure (2.19).** Variation du THD et de l’amplitude du fondamentale en fonction du coefficient de réglage  $r$  pour  $m = 30$ .

## 2.8.2 Interprétation des résultats

-Effet de l'indice de modulation  $m$  :

- Le rapport de fréquence  $m$  caractérise la commande MLI. L'analyse spectrale de la tension de sortie  $V_{an}$  et du courant  $I_{ch1}$  de l'onduleur à deux niveaux pour les différentes valeurs de  $m$  ( $m=15$  et  $m=30$ ), montre que le spectre de signal obtenu est constitué de groupes de raies centrées autour des harmoniques de fréquence multiple de la fréquence de modulation.

-On remarque que plus  $m$  est grand plus les harmoniques sont repoussés vers les hautes fréquences ce qui réduit le coût du filtre, donc l'augmentation de  $m$  va réduire de façon efficace la valeur de THD (total harmonic distortion).

- Les valeurs impaires de  $m$  permettant d'éliminer toutes les harmoniques d'ordre pair, Pour les valeurs paires de  $m$  on remarque que la plupart des harmoniques obtenus sont d'ordre pair (il existe des harmoniques d'ordre impair mais avec des amplitudes très faibles par rapport à l'amplitude du fondamental).

- La figure (2.19) montre la variation de l'amplitude du fondamental de la tension de sortie  $V_{an}$  en fonction du coefficient de réglage  $r$  pour  $m = 30$ , on remarque que dans la région de la modulation linéaire ( $r < 1$ ) l'amplitude du fondamental est proportionnelle au coefficient de réglage  $r$ .

Dans la région de sur-modulation ( $1 < r < 2$ ) certaines intersections entre la porteuse et la référence sont perdues, ce qui conduit à une tension de sortie ayant un fondamental élevé  $V_1 > \frac{E}{2}$ , on remarque aussi que la relation entre l'amplitude du fondamental et le coefficient ( $r$ ) n'est plus linéaire, de plus il apparaît des harmoniques de bas ordre.

- pour  $r > 3.24$  (région de saturation) on obtient une tension pleine onde.

- Pour la variation de THD en (%) en fonction de  $r$ , on trouve après simulation que plus  $r$  est grand plus le THD en (%) est petit.

- Le taux du THD de la tension simple relative à l'onduleur à deux niveaux triphasé est plus bas que celui eu pour l'onduleur en pont H, ceci est dû principalement à la nature de la structure triphasée qui permet l'annulation intrinsèque des harmoniques multiples de 3.

## 2.9 Onduleur de tension à trois niveaux à structure série NPC

### 2.9.1 Structure de l'onduleur à trois niveaux

L'onduleur triphasé à trois niveaux à structure NPC (Neutral Point Clamped) comporte deux sources de tension continue et trois bras symétriques.

Chaque bras est constitué de quatre paires (DIODE-IGBT) représentant chacune un interrupteur bidirectionnel en courant et deux diode médiane,  $DD_{K0}$  et  $DD_{K1}$ , permettant d'avoir le niveau Zéro de la tension de sortie de l'onduleur, cette structure impose l'utilisation Des interrupteurs commandables à l'amorçage et au blocage [30].

La structure NPC utilise deux tension d'entrée :  $U_{C1}$  et  $U_{C2}$ , elle consiste à créer un point Milieu sur l'étage de tension continue de valeur  $E$  ( $U_{C1}+U_{C2}=E$ ), permettant de générer des créneaux d'amplitude  $\frac{-E}{2}$ ,  $0, \frac{E}{2}$  dont la combinaison permet d'avoir une onde plus proche de la sinusoïde que celle issue de l'onduleur classique à deux niveaux.

Le point M est connecté avec les deux diodes médianes ( $DD_{K1}$  et  $DD_{K0}$ ), la figure suivant (2.20) présente la structure d'un onduleur triphasé à trois niveaux.

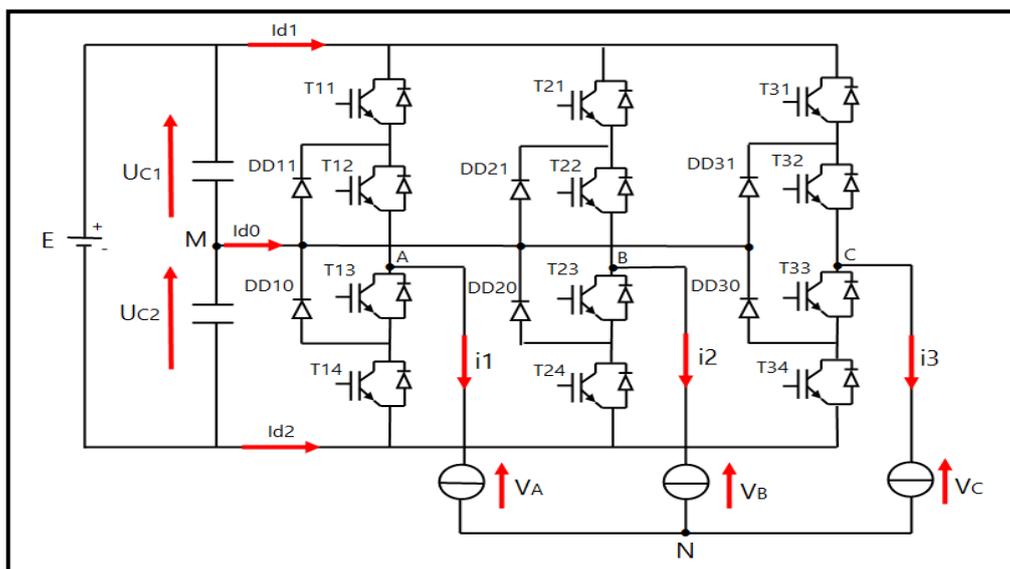
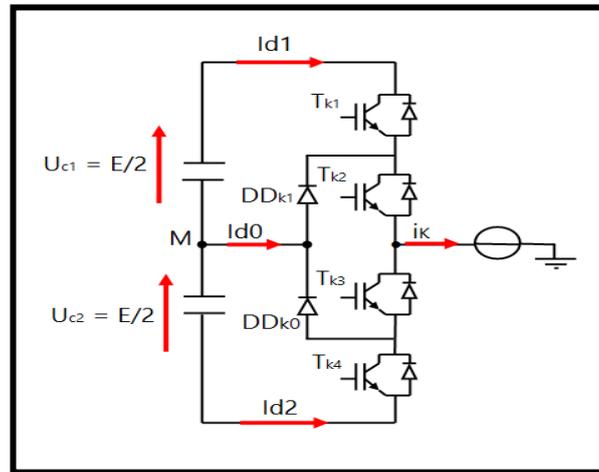


Figure (2.20). Onduleur de tension triphasé à trois niveaux de type NPC.

## 2.9.2 Configuration et fonctionnement d'un bras de l'onduleur à trois niveaux

La symétrie de l'onduleur triphasé à trois niveaux autorise sa modélisation par bras, la figure (2.21) représente la structure d'un bras de l'onduleur à trois niveaux :



**Figure (2.21).**Présentation d'un bras de l'onduleur de trois niveaux de type NPC.

Le sens positif ou négatif des courants  $I_{d0}$ ,  $I_{d1}$  et  $I_{d2}$  fixe le sens du transfert d'énergie de l'élément conducteur (IGBT-DIODE).

Lorsque la source de tension d'entrée est génératrice et la source de courant de sortie est réceptrice, La liaison des deux sources s'effectue à travers les transistors, lorsque le transfert d'énergie s'opère de La sortie vers la source d'entrée, ce sont les diodes antiparallèles qui assurent le passage du courant.

Chaque bras de l'onduleur est constitué de quatre interrupteurs montés en série, la tension du premier bras  $V_{AM}$  dépend de l'état (0 ou 1) de ces quatre interrupteurs.

Sur les  $2^4=16$  configurations possibles, seules trois configurations sont mises en œuvre. Toutes les autres séquences ne sont pas fonctionnelles et sont donc à éviter [31].

En effet, elles provoquent soit des courts-circuits des sources de tension continue [31] :

- court-circuit d' $U_{c1}$  et d' $U_{c2}$  avec les séquences [1111] et [1001].
- court-circuit d' $U_{c1}$  avec les séquences [1110], [1000] et [1010].
- court-circuit d' $U_{c2}$  avec les séquences [0111], [0001] et [0101].

Soit, la déconnexion de la charge pour la séquence [0000].

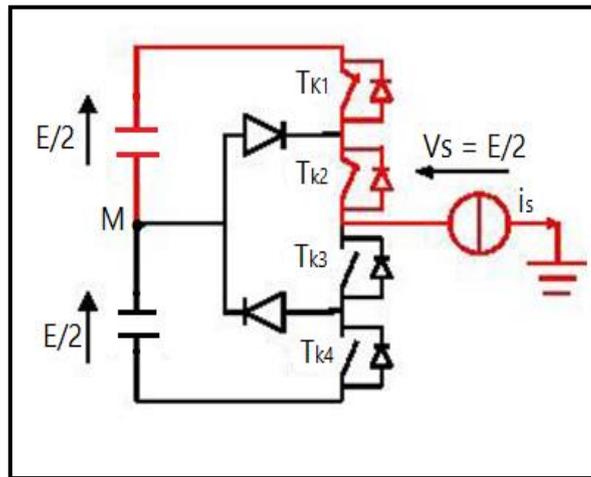
➤ **Première configuration {1100}**

$T_{K1}$ ,  $T_{K2}$  sont passants et  $T_{K3}$  et  $T_{K4}$  sont bloqués (**figure 2.22**). La valeur de la tension de bras  $V_{AM}$  Est donnée par l'équation suivante :

$$V_{AM} = +E/2 \quad (2.12)$$

La tension inverse aux bornes des interrupteurs bloqués est :

$$VT_{K3} = VT_{K4} = +E/2 \quad (2.13)$$



**Figure (2.22).**1<sup>ère</sup>configuration du 1<sup>er</sup>bras.

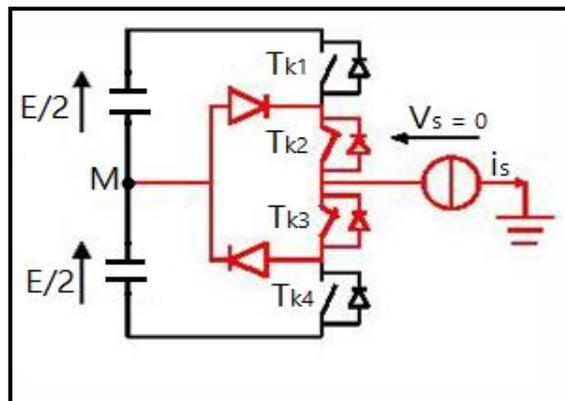
➤ **Deuxième configuration {0110} :**

$T_{K2}$ ,  $T_{K3}$  sont passants et  $T_{K1}$  et  $T_{K4}$  sont bloqués (**Figure 2.23**), le point A est relié directement au point Fictif M donne la tension de bras  $V_{AM}$  est nulle :

$$V_{AM} = 0 \quad (2.14)$$

La tension inverse aux bornes des interrupteurs bloqués est :

$$VT_{K3} = VT_{K4} = +E/2 \quad (2.15)$$



**Figure (2.23).**2<sup>ème</sup>configuration du 1<sup>er</sup> bras.

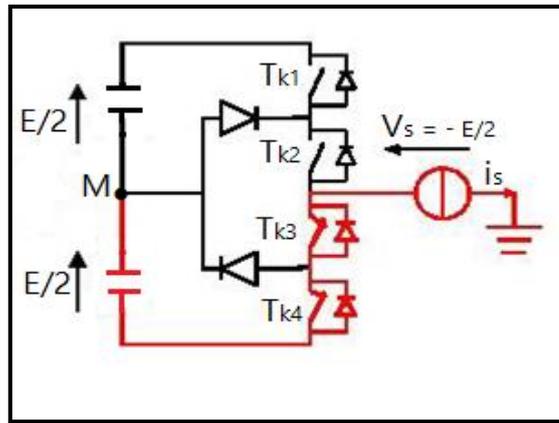
➤ **Troisième configuration {0011}**

$T_{k3}$ ,  $T_{k4}$  sont passants et  $T_{k1}$  et  $T_{k2}$  sont bloqués (**figure 2.24**), la valeur de la tension de bras  $V_{AM}$  Est donnée par l'équation suivante :

$$V_{AM} = -E/2 \quad (2.16)$$

La tension inverse aux bornes des interrupteurs bloqués est :

$$V_{T_{k1}} = V_{T_{k2}} = +E/2. \quad (2.17)$$



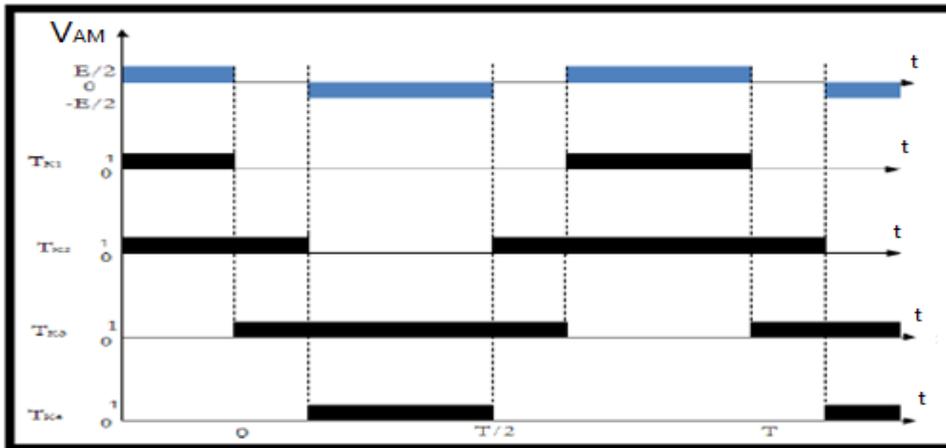
**Figure (2.24).**3<sup>ème</sup> configuration du 1<sup>ère</sup> bras.

Le tableau (2.1) représente la tension de sortie  $V_{AM}$  du premier bras de l'onduleur à trois niveaux en fonction de l'état des interrupteurs  $T_{k1}$ ,  $T_{k2}$ ,  $T_{k3}$  et  $T_{k4}$  :

Etat des interrupteurs				Tension de sortie $V_{AM}$
$T_{k1}$	$T_{k2}$	$T_{k3}$	$T_{k4}$	
1	1	0	0	$E/2$
0	1	1	0	0
0	0	1	1	$-E/2$

**Tableau (2.1).** Commutations des interrupteurs d'un bras de l'onduleur à trois niveaux.

La figure (2.25) ci-dessous représente les signaux de commande des quatre interrupteurs d'un bras, ainsi que la forme de la tension de sortie  $V_{AM}$  :



**Figure (2.25).** Forme d'onde de la tension de sortie d'un bras de l'onduleur à trois niveaux de type NPC.

### 2.9.3 Commande complémentaire des interrupteurs de l'onduleur à trois niveaux

La commande des interrupteurs de l'onduleur à trois niveaux est reliée avec les différentes configurations de ces trois bras, et dépend uniquement de la commande externe (commande des bases des semi-conducteur) et nos plus des commandes internes.

La mise en conduction des quatre interrupteurs dans un seul bras peut provoquer un court-circuit aux bornes de la source de tension continue  $E$ , ou une surtension dans le cas de l'ouverture de tous les interrupteurs. Pour éviter cela, on adopte la solution de la commande complémentaire des différents interrupteurs d'un même bras de l'onduleur [28].

Les trois commandes complémentaires qui peuvent être appliquées sur un bras sont :

$$\begin{cases} B_{K1} = \bar{B}_{K2} \\ B_{K3} = \bar{B}_{K4} \end{cases} ; \quad \begin{cases} B_{K1} = \bar{B}_{K3} \\ B_{K2} = \bar{B}_{K4} \end{cases} ; \quad \begin{cases} B_{K1} = \bar{B}_{K4} \\ B_{K2} = \bar{B}_{K3} \end{cases} \quad (2.18)$$

Où :  $B_{ki}$  est le signal de commande du transistor  $T_{ki}$  du bras  $k$ .

De ces commandes, c'est la deuxième qui donne les trois niveaux de tension  $E/2$ ,  $0$  et  $-E/2$  de façon optimale.

## 2.9.4 Fonction de connexion des interrupteurs

La fonction de connexion définit l'état ouvert ou fermé de l'interrupteur  $TD_{Ki}$  du bras K, elle vaut 1 lorsque l'interrupteur est fermé et 0 dans le cas contraire.

$$F_{Ki} = \begin{cases} 1 & \text{si } TD_{Ki} \text{ est fermé} \\ 0 & \text{si } TD_{Ki} \text{ est ouvert} \end{cases} \quad (2.19)$$

En traduisant la commande complémentaire par les fonctions de connexion des interrupteurs du bras k, on obtient :

$$\begin{cases} B_{K1} = \bar{B}_{K3} \\ B_{K2} = \bar{B}_{K4} \end{cases} \rightarrow \begin{cases} F_{K1} = \bar{F}_{K3} \\ F_{K2} = \bar{F}_{K4} \end{cases} \quad (2.20)$$

Donc la commande complémentaire pour les trois bras est exprimée par les trois relations

$$\text{suyvantes : } \begin{cases} F_{11} = \bar{F}_{13} \\ F_{12} = \bar{F}_{14} \end{cases}, \quad \begin{cases} F_{21} = \bar{F}_{23} \\ F_{22} = \bar{F}_{24} \end{cases}, \quad \begin{cases} F_{31} = \bar{F}_{33} \\ F_{32} = \bar{F}_{34} \end{cases} \quad (2.21)$$

On va définir une fonction de connexion du demi bras qu'on va noter par  $F_{KS}^D$  :

Avec : K numéro du bras, S = 1 pour le demi bras du haut et S = 0 pour le demi bras de bas.

Donc pour un bras K, on va décrire les fonctions de connexion des demi-bas à partir des fonctions de connexion des interrupteurs :

$$\begin{cases} F_{K1}^D = F_{K1} \times F_{K2} \\ F_{K0}^D = F_{K3} \times F_{K4} \end{cases} \quad (2.22)$$

Les fonctions de connexion des trois demi bras :

$$\begin{cases} F_{11}^D = F_{11} \times F_{12} \\ F_{10}^D = F_{13} \times F_{14} \end{cases}, \quad \begin{cases} F_{21}^D = F_{21} \times F_{22} \\ F_{20}^D = F_{23} \times F_{24} \end{cases}, \quad \begin{cases} F_{31}^D = F_{31} \times F_{32} \\ F_{30}^D = F_{33} \times F_{34} \end{cases} \quad (2.23)$$

## 2.9.5 Fonction de conversion

Pour l'onduleur triphasé à trois niveaux, les potentiels des nœuds : A, B, C par rapport au point M (tensions de bras) s'exprime à l'aide des fonctions de connexions comme suite :

$$\begin{cases} V_{AM} = (F_{11} \cdot F_{12} - F_{13} \cdot F_{14}) \cdot \frac{E}{2} = (F_{11}^D - F_{10}^D) \cdot \frac{E}{2} \\ V_{BM} = (F_{21} \cdot F_{22} - F_{23} \cdot F_{24}) \cdot \frac{E}{2} = (F_{21}^D - F_{20}^D) \cdot \frac{E}{2} \\ V_{CM} = (F_{31} \cdot F_{32} - F_{33} \cdot F_{34}) \cdot \frac{E}{2} = (F_{31}^D - F_{30}^D) \cdot \frac{E}{2} \end{cases} \quad (2.24)$$

Les tensions composées sont donnés par les équations suivantes :

$$\begin{cases} U_{AB} = V_{AM} - V_{BM} = (F_{11}.F_{12} - F_{21}.F_{22}).\frac{E}{2} - (F_{13}.F_{14} - F_{23}.F_{24}).\frac{E}{2} \\ U_{BC} = V_{BM} - V_{CM} = (F_{21}.F_{22} - F_{31}.F_{32}).\frac{E}{2} - (F_{23}.F_{24} - F_{33}.F_{34}).\frac{E}{2} \\ U_{CA} = V_{CM} - V_{AM} = (F_{31}.F_{32} - F_{11}.F_{12}).\frac{E}{2} - (F_{33}.F_{34} - F_{13}.F_{14}).\frac{E}{2} \end{cases} \quad (2.25)$$

On introduit les fonctions de connexion des demi-bras pour avoir les relations suivantes :

$$\begin{bmatrix} U_{AB} \\ U_{BC} \\ U_{CA} \end{bmatrix} = \begin{bmatrix} 1 & -1 & 0 \\ 0 & 1 & -1 \\ -1 & 0 & 1 \end{bmatrix} \times \left( \begin{bmatrix} F_{11}^D \\ F_{21}^D \\ F_{31}^D \end{bmatrix} \times \frac{E}{2} - \begin{bmatrix} F_{10}^D \\ F_{20}^D \\ F_{30}^D \end{bmatrix} \times \frac{E}{2} \right) \quad (2.26)$$

Admettons que les tensions simples du récepteur forment un système triphasé équilibré, il en résulte :

$$\begin{cases} V_{AN} = V_A = (U_{AB} - U_{CA})/3 \\ V_{BN} = V_B = (U_{BC} - U_{AB})/3 \\ V_{CN} = V_C = (U_{CA} - U_{BC})/3 \end{cases} \quad (2.27)$$

A partir de ce système, on obtient la matrice de transfert qui donne les tensions simple aux bornes de la charge en fonction de la tension de sortie  $V_{AM}$  de chaque bras :

$$\begin{bmatrix} V_{AN} \\ V_{BN} \\ V_{CN} \end{bmatrix} = \frac{1}{3} \times \begin{bmatrix} 2 & -1 & -1 \\ -1 & 2 & -1 \\ -1 & -1 & 2 \end{bmatrix} \times \begin{bmatrix} V_{AM} \\ V_{BM} \\ V_{CM} \end{bmatrix} \quad (2.28)$$

Si on introduit les fonctions de connexion des demi-bras on trouve :

$$\begin{bmatrix} V_{AN} \\ V_{BN} \\ V_{CN} \end{bmatrix} = \frac{1}{3} \times \begin{bmatrix} 2 & -1 & -1 \\ -1 & 2 & -1 \\ -1 & -1 & 2 \end{bmatrix} \times \begin{bmatrix} F_{11}^D - F_{10}^D \\ F_{21}^D - F_{20}^D \\ F_{31}^D - F_{30}^D \end{bmatrix} \times \frac{E}{2} \quad (2.29)$$

## 2.10 Commande triangulo-sinusoidale à deux porteuses unipolaires d'un onduleur à trois niveaux de type NPC

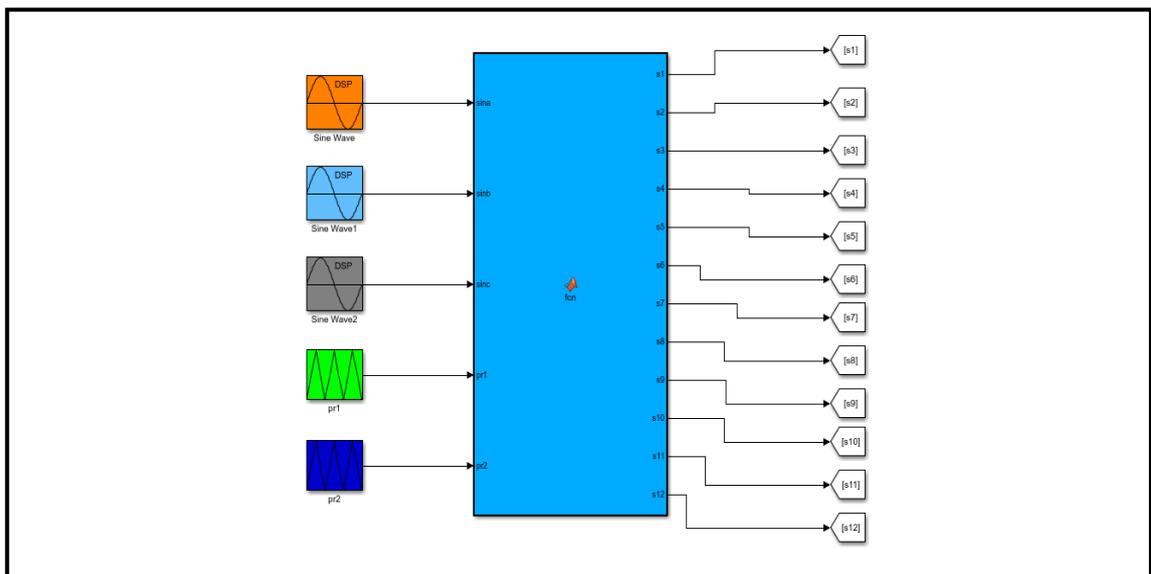
La figure (2.26) représente le schéma de principe de la commande MLI sinusoidale à deux porteuses unipolaires de l'onduleur NPC.

L'algorithme de la commande triangulo-sinusoidale à deux porteuse unipolaires pour cet onduleur s'écrit Comme suit :

$$\left\{ \begin{array}{l} (V_{refK} \geq V_{p1}) \implies S_{K1} = 1 \text{ et } S_{K2} = 1 \\ (V_{refK} < V_{p2}) \implies S_{K1} = 0 \text{ et } S_{K2} = 0 \\ (V_{refK} < V_{p1}) \text{ et } (V_{refK} \geq V_{p2}) \implies S_{K1} = 0 \text{ et } S_{K2} = 1 \end{array} \right. \quad (2.30)$$

$$\text{Avec : } \left\{ \begin{array}{l} S_{K3} = 1 - S_{K1} \\ S_{K4} = 1 - S_{K2} \end{array} \right. \quad (2.31)$$

K : représente le nombre de bras.



**Figure (2.26).** Principe de la commande triangulo-sinusoidale à deux porteuses unipolaires de l'onduleur à trois niveaux.

## 2.11 Simulation des résultats de la commande triangulo-sinusoidale à deux porteuses unipolaires

On prend :  $L = 0.2 \text{ H}$ ,  $R = 10 \ \Omega$ ,  $E = 200 \text{ V}$  et  $r = 1$  ;

La figure (2.27) représente le principe de cette stratégie de commande.

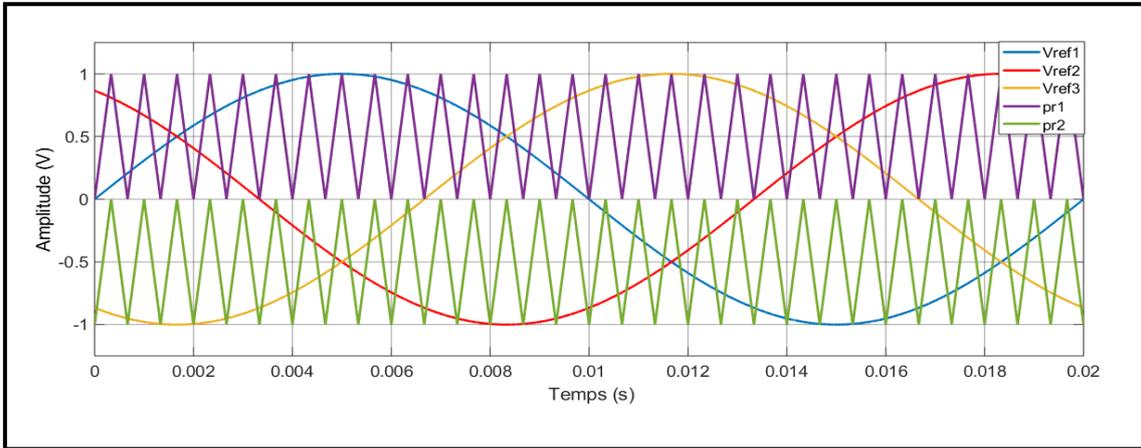


Figure (2.27). Principe de la MLI à deux porteuses unipolaires d'un onduleur à trois niveaux.

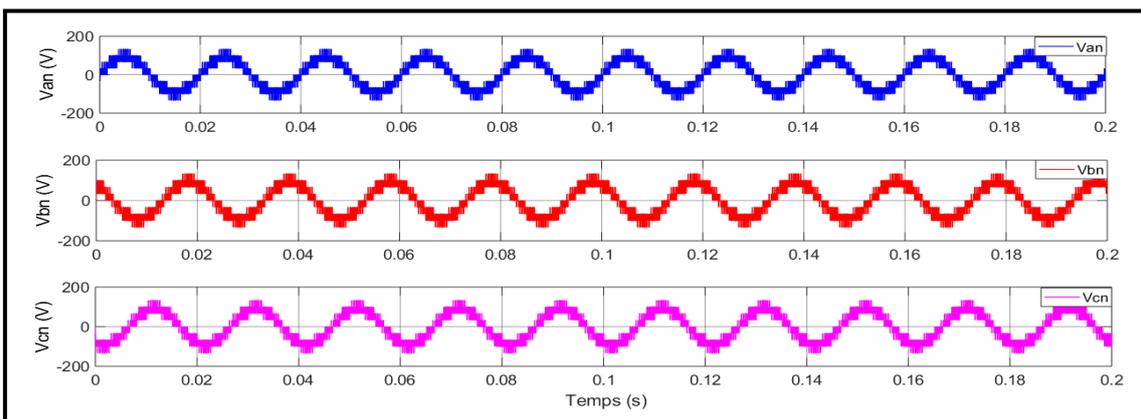


Figure (2.28). Tension simple  $V_{an}$ ,  $V_{bn}$  et  $V_{cn}$  à la sortie de l'onduleur à trois niveaux de type NPC.

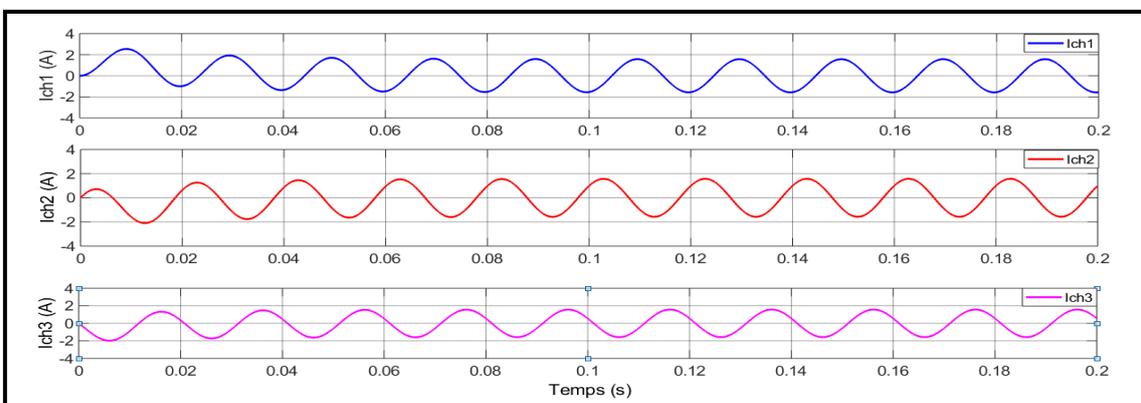
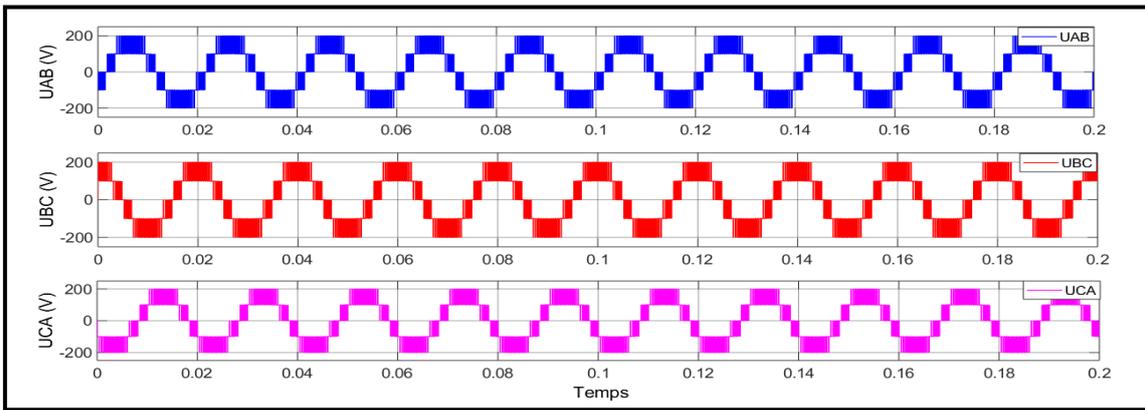


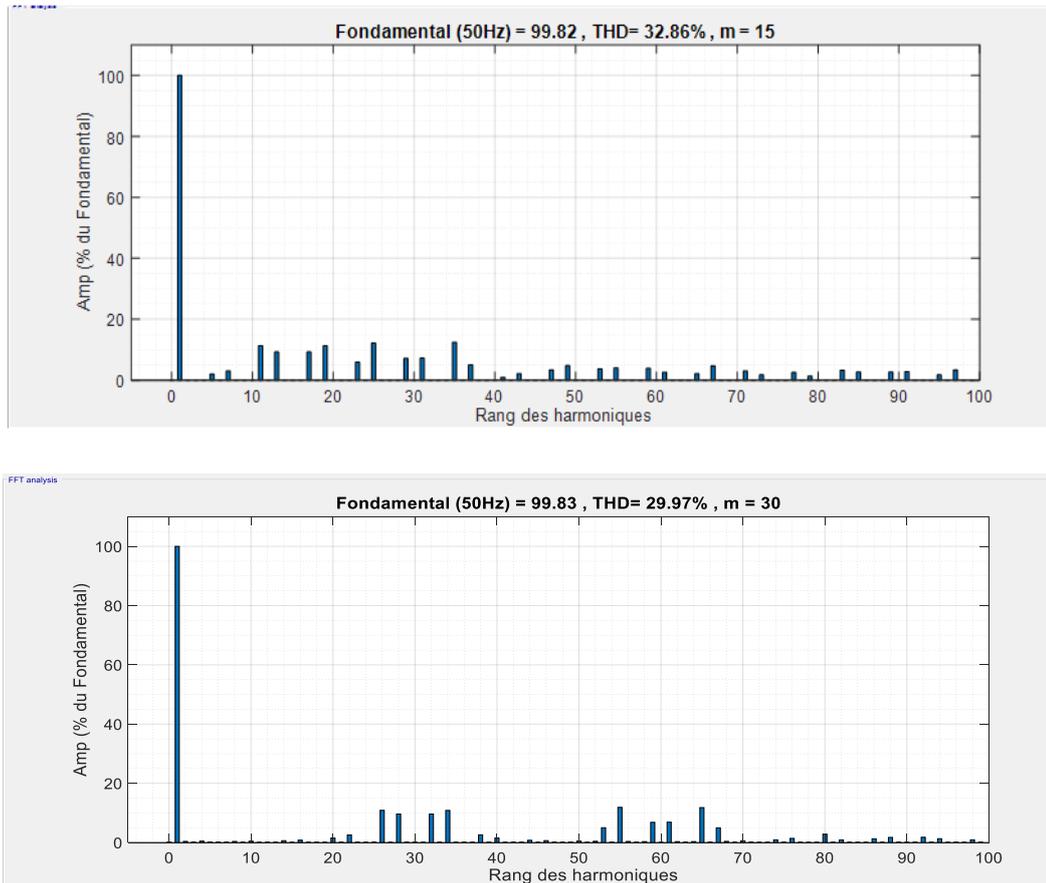
Figure (2.29). Représente les courants  $I_{ch1}$ ,  $I_{ch2}$ ,  $I_{ch3}$  à la sortie de l'onduleur à trois niveaux.



**Figure (2.30).** Représente les tensions composées UAB, UBC et UCA à la sortie de l'onduleur à trois niveaux.

### 2.11.1 Analyse spectrale

THD de tension et du courant pour  $m = 15$  et  $m = 30$ .



**Figure (2.31).** Spectre d'harmoniques de la tension simple Van.

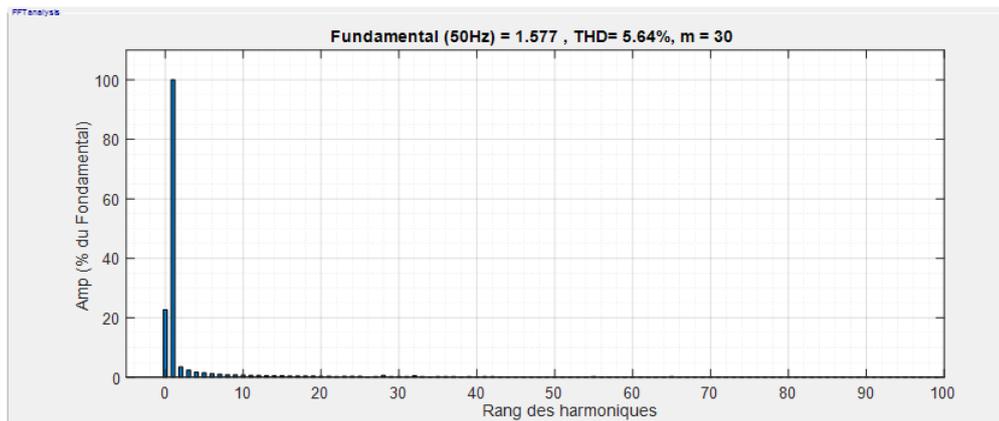
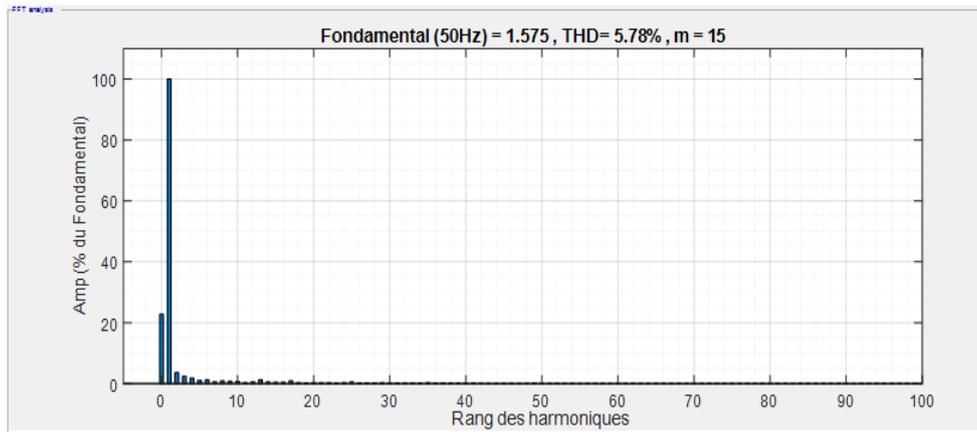


Figure (2.32). Spectre d'harmoniques de courant Ich1.

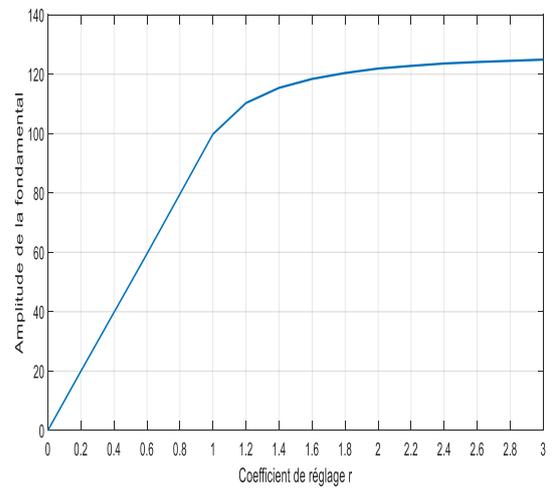
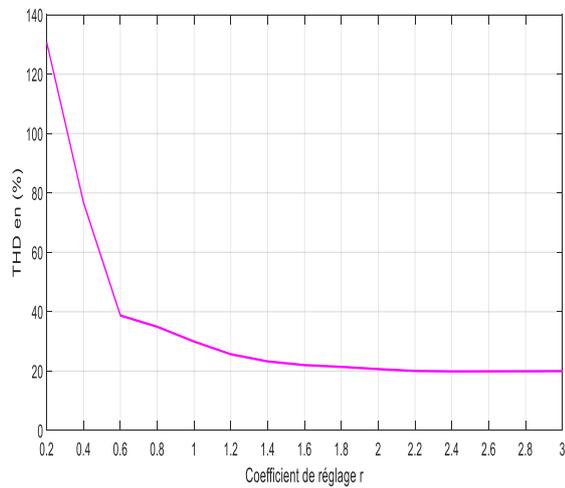
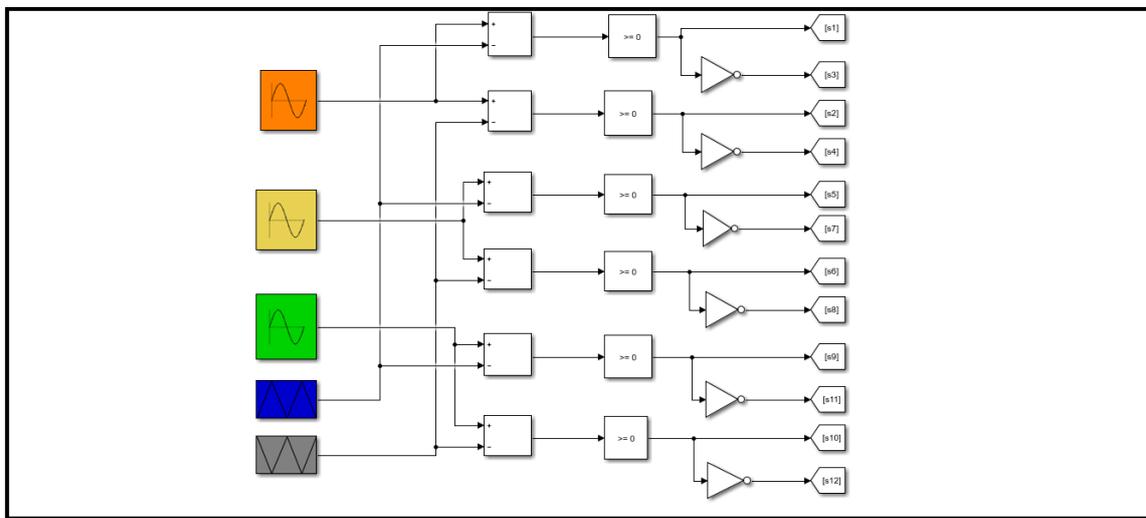


Figure (2.33). Variation du THD et de l'amplitude du fondamentale en fonction du coefficient de réglage r pour m = 30.

## 2.12 Modulation triangulo-sinusoidal à deux porteuses bipolaires d'un onduleur à trois niveaux de type NPC

Pour cette variante de commande, deux signaux triangulaires identiques et bipolaires  $V_{P1}(t)$  et  $V_{P2}(t)$ , décalés l'un de l'autre d'une demi période, sont comparés à chaque instant à trois signaux de référence  $V_{ref1}$ ,  $V_{ref2}$  et  $V_{ref3}$ . Ces signaux  $V_{refk}$  sont les images de tension que l'on souhaite appliquer sur chaque phase.

La figure suivante (2.34) présente le principe de la modulation triangulo-sinusoidal à deux porteuse bipolaire d'un onduleur de trois niveaux de type NPC.



**Figure (2.34).** Principe de la commande triangulo-sinusoidal à deux porteuses bipolaires d'un onduleur de trois niveaux de type NPC.

Les tensions sinusoïdales de référence :

$$\begin{cases} V_{ref1}(t) = A_r \cdot \sin(2\pi \cdot f \cdot t) \\ V_{ref2}(t) = A_r \cdot \sin(2\pi \cdot f \cdot t - \frac{2\pi}{3}) \\ V_{ref3}(t) = A_r \cdot \sin(2\pi \cdot f \cdot t - \frac{4\pi}{3}) \end{cases} \quad (2.32)$$

-Porteuses triangulaires bipolaires :

$$\begin{cases} V_{P1}(t) = V_p \cdot (\frac{4t}{T_p} - 1), \quad V_{P2}(t) = V_p \cdot (\frac{-4t}{T_p} + 1) & \text{pour } 0 \leq t \leq \frac{T_p}{2} \\ V_{P1}(t) = V_p \cdot (\frac{-4t}{T_p} + 3), \quad V_{P2}(t) = V_p \cdot (\frac{4t}{T_p} - 3) & \text{pour } \frac{T_p}{2} \leq t \leq T_p \end{cases} \quad (2.33)$$

L'algorithme de la stratégie de commande triangulo-sinusoïdal à deux porteuses peut être résumé comme suit :

$$\begin{cases} F_{K1} = 1 & \text{lorsque } V_{\text{ref}K}(t) \geq V_{P1} \\ F_{K2} = 1 & \text{lorsque } V_{\text{ref}K}(t) \geq V_{P2} \end{cases} \quad (2.34)$$

Avec :

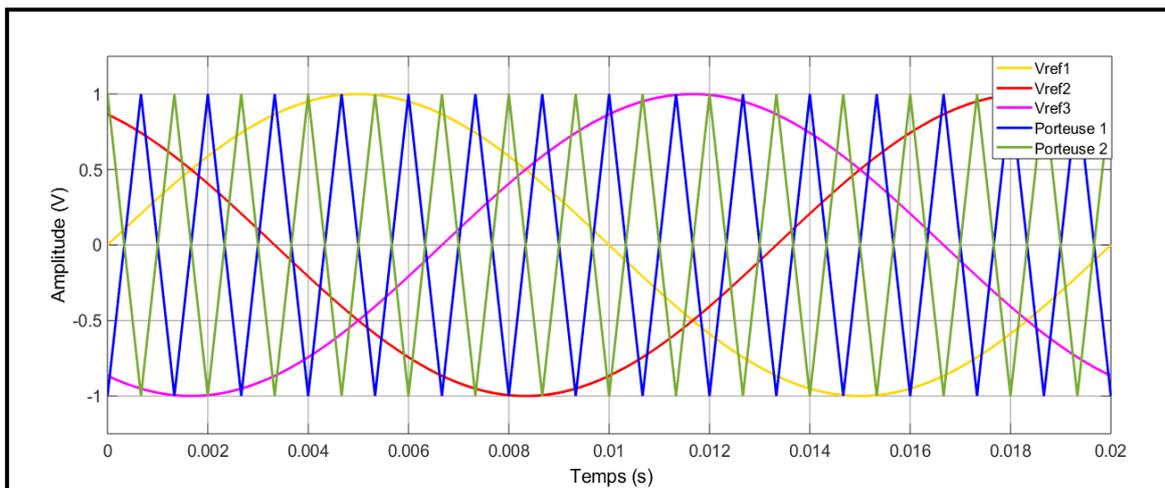
$$\begin{cases} F_{K1} = 1 - F_{K3} \\ F_{K2} = 1 - F_{K4} \end{cases} \quad (2.35)$$

## 2.13 Résultats de la simulation sous MATLAB/Simulink

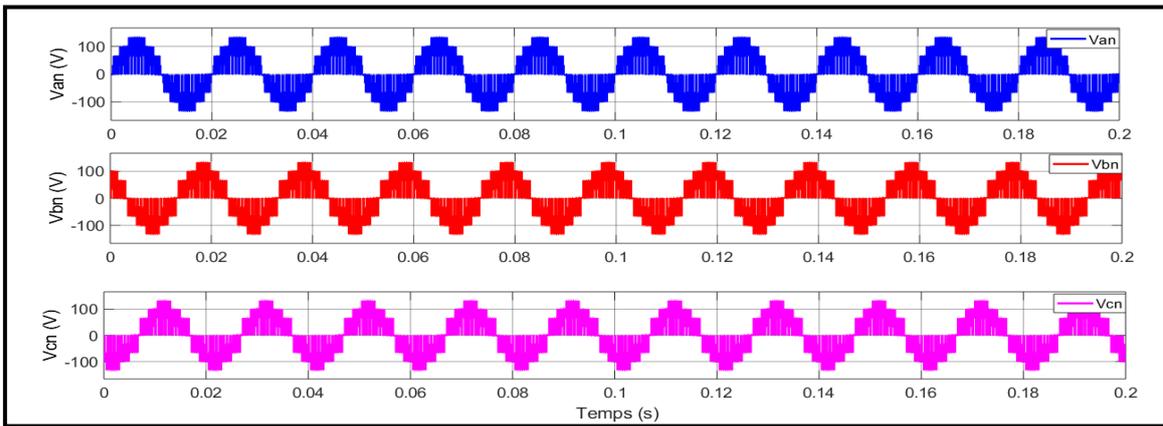
On prend : la source de tension d'entrée continue  $E=200$  V.

La charge RL :  $R=10 \Omega$  et  $L = 0.2$  H,  $r = 1$ .

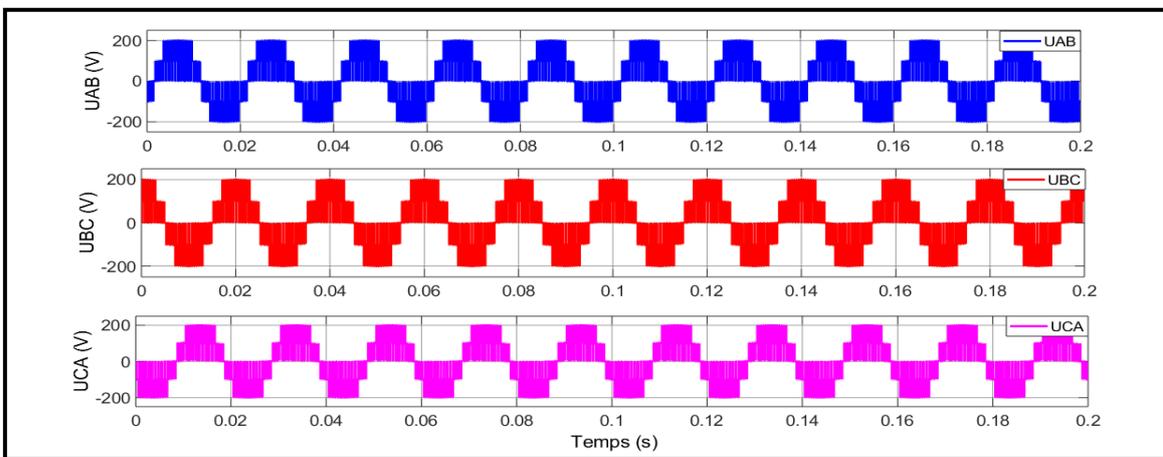
Les figures (2.36), (2.37) et (2.38) présentent respectivement les formes des différentes tensions obtenues à la sortie de l'onduleur à trois niveaux commandé par la stratégie triangulo-sinusoïdale à deux porteuses bipolaires :



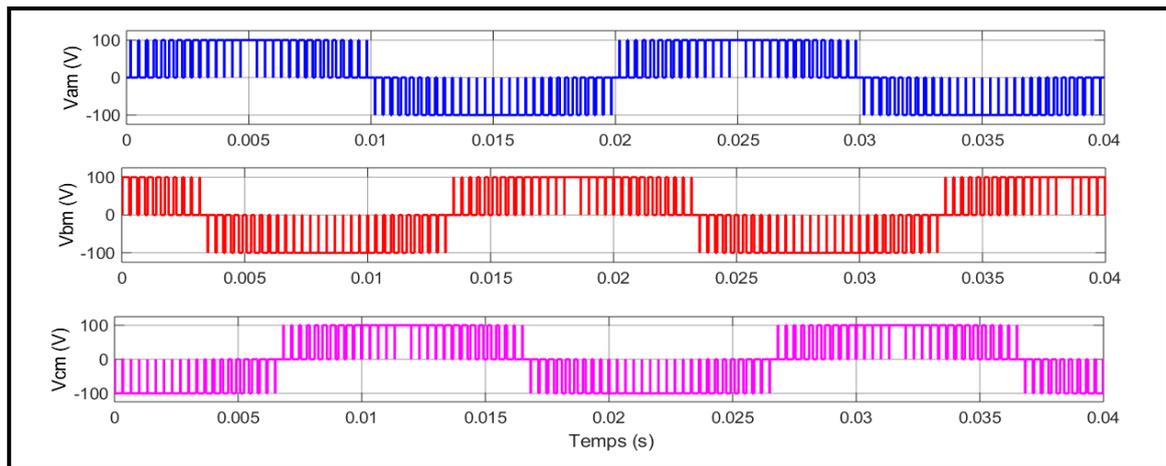
**Figure (2.35).** Principe de la MLI à deux porteuses bipolaires pour un onduleur à trois niveaux.



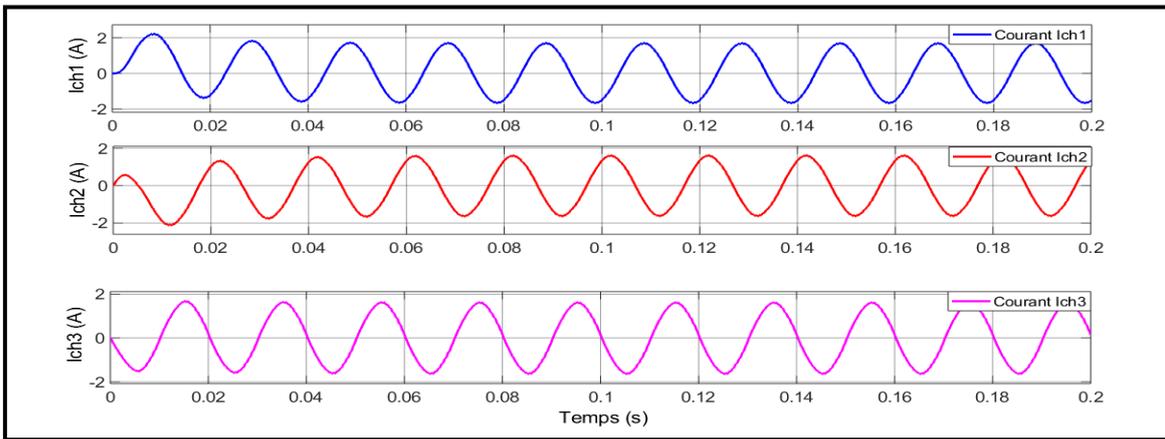
**Figure (2.36).** Tension simple  $V_{an}$ ,  $V_{bn}$  et  $V_{cn}$  à la sortie de l'onduleur de 3 niveaux de type NPC.



**Figure (2.37).** Les tensions composé  $U_{AB}$ ,  $U_{BC}$ ,  $U_{CA}$  à la sortie de l'onduleur de 3 niveaux de type NPC.



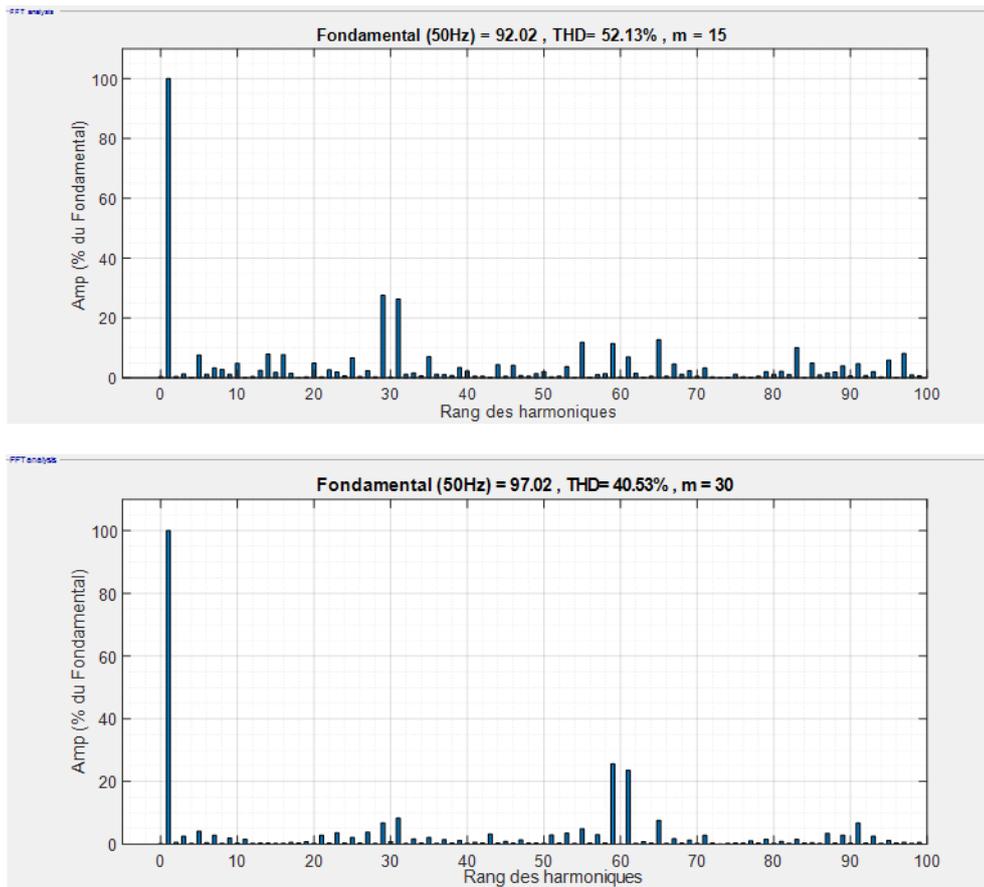
**Figure (2.38).** Tension de bras  $V_{am}$ ,  $V_{bm}$  et  $V_{cm}$  de l'onduleur à trois niveaux de type NPC.



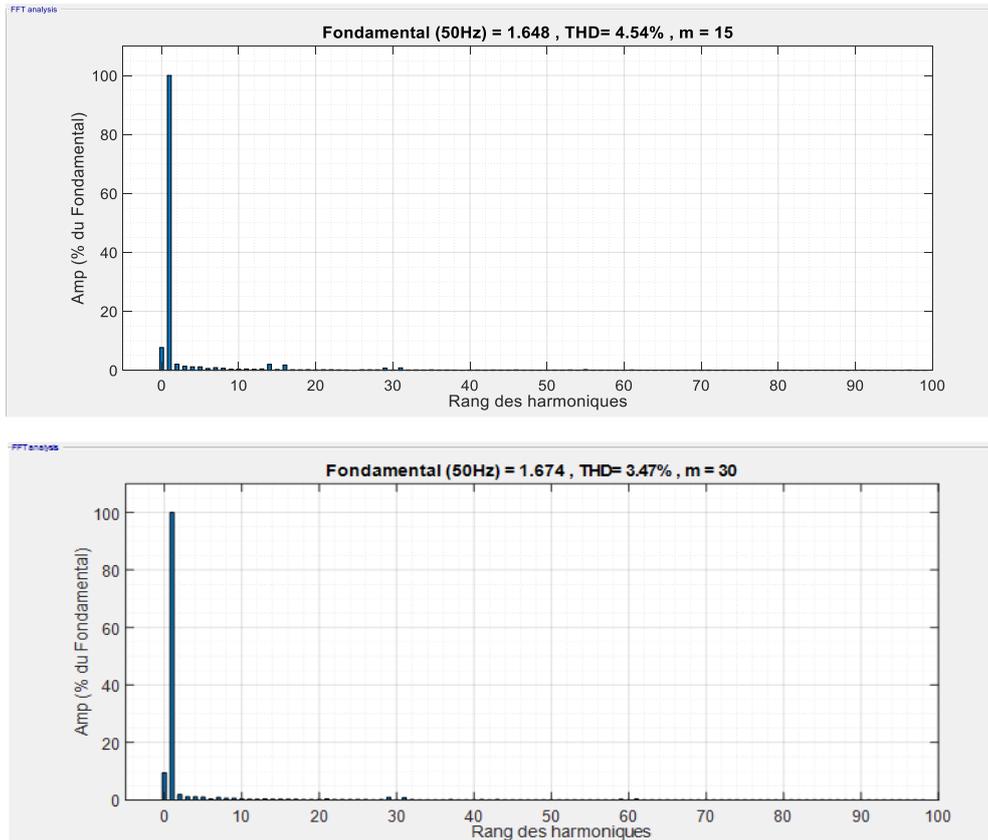
**Figure (2.39).** Représente les courants de charge  $I_{ch1}$ ,  $I_{ch2}$  et  $I_{ch3}$  de l'onduleur à trois niveaux.

### 2.13.1 Analyse spectrale

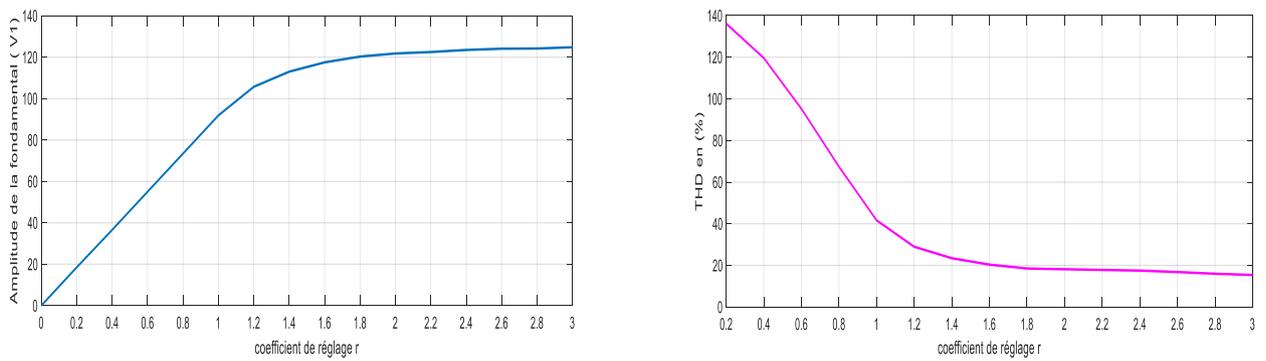
Les figures (Fig.2.40) et (Fig.2.41), représentent les spectres d'harmoniques de tensions et du courant obtenus à la sortie de l'onduleur à trois niveaux pour différents valeurs d'indices de modulation ( $m = 15$  et  $m = 30$ ).



**Figure (2.40).** Spectre d'harmoniques de la tension simple  $V_{an}$  d'un onduleur à trois niveaux commandé par la modulation triangulo-sinusoïdale à deux Porteuses bipolaires.



**Figure (2.41).** Spectre d'harmoniques de courant  $I_{ch1}$  d'un onduleur à trois niveaux commandé par la modulation triangulo-sinusoïdale à deux Porteuses bipolaires.



**Figure (2.42).** Variation du THD et de l'amplitude du fondamentale en fonction du coefficient de réglage  $r$  pour  $m = 30$ .

### 2.13.2 Interprétation des résultats

D'après les figures (2.36), (2.37) et (2.38), on constate que :

- ✓ Les tensions simples  $V_{an}$ ,  $V_{bn}$  et  $V_{cn}$  de la sortie de l'onduleur est variée entre  $\frac{2E}{3}$  et  $-\frac{2E}{3}$ , et prend aussi une forme qui est plus proche de la sinusoïde comparée à l'onde obtenue par un onduleur à deux niveaux.
- ✓ Les tensions composées  $U_{AB}$ ,  $U_{BC}$  et  $U_{CA}$  porte cinq niveaux de la tension continue :  $E$ ,  $E/2$ ,  $0$ ,  $-E/2$  et  $-E$ , sa forme est proche de la sinusoïde.
- ✓ Les tensions des trois bras  $V_{am}$ ,  $V_{bm}$  et  $V_{cm}$  de l'onduleur porte bien les trois niveaux de la tension continue :  $E/2$ ,  $0$  et  $-E/2$ .
- ✓ Plus nous augmentons la fréquence des porteuses, plus le nombre des créneaux augmente (la commutation des interrupteurs sera plus rapide) et par conséquent, les tensions de sorties de l'onduleur se rapprochent plus de la forme sinusoïdale.

-Pour voir un bon signal à la sortie de l'onduleur, il faut utiliser le plus grand indice de modulation possible, chose qui n'est pas facile dans la pratique puisque cela dépend de la fréquence maximale de commutation de l'interrupteur disponible.

L'analyse spectrale de la tension de sortie de l'onduleur pour  $m = 15$  et  $30$  ; montre que les harmoniques de rang  $m.f$  sont éliminés de la tension de phase, car il est relatif à la porteuse qui est commune à la génération des trois tensions de bras. La première famille centrée autour de la fréquence  $m.f$  est la plus importante du point de vue amplitude.

On remarque que plus l'indice de modulation ( $m$ ) est grand, plus la forme de la tension de sortie de l'onduleur sera proche de la sinusoïde, ce qui permet de repousser les harmoniques de tension vers les hautes fréquences, chose qui facilite leur filtrage par l'inductance de la machine.

L'analyse spectrale de la forme d'onde du courant de sortie montre que plus l'indice de modulation  $m$  est grand, plus la forme de signal de sortie sera plus améliorée et proche de la sinusoïde, et son THD sera plus petit.

## 2.14 Comparaison des amplitudes du fondamental et du taux du THD de la tension et du courant de sortie de l'onduleur monophasée, à deux et à trois niveaux de tension pour différents indice de modulation

	m=15				m=30			
	Tension		Courant		Tension		Courant	
	$V_f$ (V)	THD en (%)						
Monophasé	204.3	95.12	3.144	8.44	200.4	91.43	3.15	6.55
Onduleur 2 N	99.85	65.12	1.573	7.19	102.9	57.05	1.617	4.87
3N unipolaire	99.82	32.86	1.575	5.78	99.83	29.97	1.577	5.64
3N bipolaire	92.02	52.13	1.648	4.54	97.02	40.53	1.674	3.47

**Tableau (2.2).** Tableaux récapitulatif des comparaisons.

### 2.14.1 Interprétation des résultats de la comparaison

Dés de la première observation, on remarque que les THD de tension et du courant sont différents pour chaque type d'onduleur. En effet, les THD aux niveaux du courant sont très petits à cause de la présence de la charge RL qui permet de faire le filtrage des harmoniques de courant de façon efficace.

Concernant la tension fondamentale  $V_f$ , on voit que pour le monophasé  $V_f > E$  par contre la tension  $V_f$  pour un onduleur de deux niveaux et de trois niveaux est le contraire  $V_f < E$ .

L'augmentation de l'indice de modulation  $m$  s'accompagne à la décroissance du THD pour chaque type d'onduleur.

L'augmentation du nombre de niveaux de l'onduleur influe sur le THD de ce dernier. Les résultats montrent que l'onduleur à trois niveaux de type NPC est plus performant que l'onduleur à deux niveaux triphasé qui est à son tour meilleure que l'onduleur en pont H. Les harmoniques sont de plus en plus repoussés vers les hautes fréquences, ce qui permet de faciliter le filtrage et de réduire son coût.

Enfin, La variante de la commande de commutation des interrupteurs de l'onduleur qui offre le THD le plus bas pour la tension de sortie est la commande unipolaire appliquée à l'onduleur à trois niveaux triphasé de type NPC. Concernant le courant, c'est plutôt la commande bipolaire de la même structure d'onduleur qui s'avère meilleure.

En conclusion, les paramètres essentiels qui vont permettre la diminution du THD et donc l'augmentation de la qualité du signal de sortie sont :

- 1)- L'augmentation de l'indice de modulation  $m$ .
- 2)- L'augmentation du coefficient de réglage  $r$ .
- 3)- L'augmentation du nombre de niveaux de l'onduleur.
- 4)- La qualité et le type des filtres utilisés.
- 5)- La variante de la commande MLI sinusoïdale choisie.

## 2.15 Conclusion

Dans ce chapitre nous avons présentés une étude bien détaillé pour la commande MLI sinusoïdale puis on a cité ses caractéristiques ainsi que ses avantages .Ensuite on a appliqué la commande MLI sinusoïdale à trois type d'onduleur le monophasé, et le triphasé à deux et à trois niveaux.

D'après la simulation qu'on a fait sur MATLAB / Simulink, dans la première partie on a visualisé la tension de sorties pour chaque onduleur, et d'après les résultats obtenus, on a conclue pour chaque évaluation de niveaux d'onduleur, la tension de sortie devient plus proche à une forme sinusoïdale.

Dans la deuxième partie on a analysé le spectre d'harmonique de la tension de sortie pour les trois types d'onduleurs avec différentes valeurs de  $m$  « coefficient de modulation ». On a remarqué que pour des valeurs élevées de ce coefficient, le taux d'harmonique « THD » de l'onduleur à trois niveaux est plus petit que celui de l'onduleur à deux niveaux et le monophasé. Cela signifie que les harmoniques de ce type d'onduleur sont repoussés vers des fréquences élevées pour faciliter le filtrage. Et on a observé que lorsque  $m$  prend une valeur paire alors la plupart les harmoniques apparaissant sont d'ordre paires (il existe des harmoniques d'ordre impaire mais avec des amplitudes faible), et inversement lorsque  $m$  est impaire seul les harmoniques d'ordre impaire existent. Concernant le coefficient de réglage  $r$  c'est un paramètre qui est très important sur la répartition des harmoniques.

# Chapitre 3 Les circuits logiques programmables et le langage VHDL.

---

## 3.1 INTRODUCTION

La technologie moderne a touché toutes les spécialités notamment l'électronique. L'électronique s'oriente de plus en plus vers le numérique puisqu'il présente plus d'avantages par rapport à l'analogique, comme : une grande insensibilité aux parasites, circuit reconfigurable, facilite de stocker et reprogrammer les informations. Aujourd'hui l'électronique numérique couvre une surface accès importantes dans différents système soient en civiles ou bien en militaire.

Dans ce chapitre nous donnons une brève description des circuits FPGA de développement VIRTEX 5, nous introduisons les outils de FPGA et nous présentons une vue globale du langage de description VHDL et ses règles.

Le VHDL à été écrit durant les années 80, il permet au code écrit d'être portable de façons qu'une description écrite pour un circuit puisse être facilement utilisé pour un autre circuit.

Ceci permet de matérialiser les structures électroniques d'un circuit. En effet les instructions écrites dans ce langage se traduisent par une configuration logique de porte et de bascule qui est intégrée à l'intérieur des circuits PLD.

## 3-2 Présentation de la logique Programmée

Actuellement les objets techniques (O.T) utilisent de plus en plus la logique programmée ( $\mu$ P, Mémoires,  $\mu$ C....). Ces structures ont besoin de s'interfacer entre elles. Elles utilisent généralement pour réaliser ces interfaces des fonctions à base de fonctions logiques élémentaires, compteur, registres, .... Le nombre de circuits nécessaires pour remplir ces fonctions peut devenir très vite important [32].

Pour diminuer les coûts de fabrication, de développement et de maintenance, les fabricants des circuits intégrés ont donné naissance aux circuits logique programmable ou encore P.L.D (programmable logique Device). Ces circuits sont capables pour un objet technique de réaliser plusieurs fonctions logiques dans un seul circuit. Si ces fonctions étaient réalisées à base de circuits logique classique, il en faudrait plusieurs circuits [32].

Un autre avantage, l'évolution des fonctions d'un objet technique s'effectue par programmation comparée à une solution classique où il faut refaire un circuit imprimé si on veut modifier le fonctionnement.

### **3.3 Les réseaux logiques programmables**

#### **3.3.1 Présentation d'un PLD**

Les réseaux logiques programmables (programmable logique devices), sont des circuits vierge (vide), disposants d'entrées et de sorties, dont l'utilisateur peut programmer le schéma logique d'après les besoins liés à la fonction logique.

Les circuits logiques programmables sont utilisés pour remplacer l'association de plusieurs boitiers logiques. Le câblage est simplifié, l'encombrement et le risque des pannes sont réduits [33].

Certains PLD ne permettent pas la relecture de la fonction logique programmée, c'est pratique lorsque le programme doit rester confidentiel [33].

La mise en œuvre de ces circuits est très facile à l'aide d'un programmeur, d'un micro -ordinateur et d'un logiciel adapté.

#### **3.3.2 La structure des réseaux logiques programmables**

La plupart de ces composants sont constitués d'une matrice d'opérateurs ET qui génère les produits des variables d'entrée et de leur compléments, et d'une matrice d'opérateurs OU qui somme les produits. Suivant le type de circuits, l'une ou l'autre ou les deux matrices sont programmable [34].

Une matrice programmable est un ensemble de portes logiques dont les entrées sont connectées aux variables du système, vraies et inversées, au moyen d'un réseau de fusibles.

Lorsqu'un un fusible est brûlé, la connexion respective entre la variable et la porte logique disparaît.

La programmation du système se fait en choisissant que l'on laisse ou que l'on brûle le fusible.

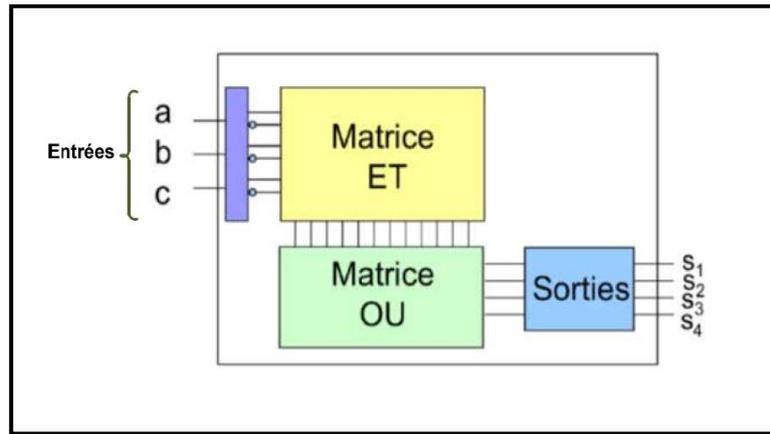


Figure (3.1). Structure de base d'un PLD.

### 3.3.3 Les différentes familles des PLDs

Il existe plusieurs familles des PLDs qui diffèrent selon leurs architectures interne. La différence réside surtout, dans la manière de programmation des deux matrice AND et OR [35].

Certains circuits PLDs possèdent, en plus de cette structure matricielle, une logique séquentielle et parfois même combinatoire, qui intervient au niveau des sorties du circuit.

Un circuit logique programmable est caractérisé par [35] :

- ✓ Le nombre d'entrées.
- ✓ Le nombre de sorties.
- ✓ Le nombre de terme de produit en sortie.
- ✓ Le retard de propagation (vitesse).
- ✓ La consommation de puissance
- ✓ La technologie.

La plupart de ces paramètres apparaissent dans le nom du circuit comme le montre l'exemple de la figure (3.2) [35] :

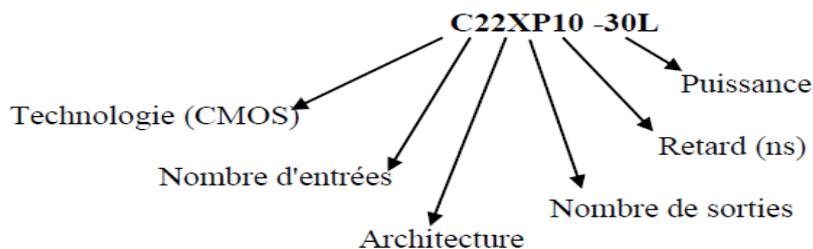
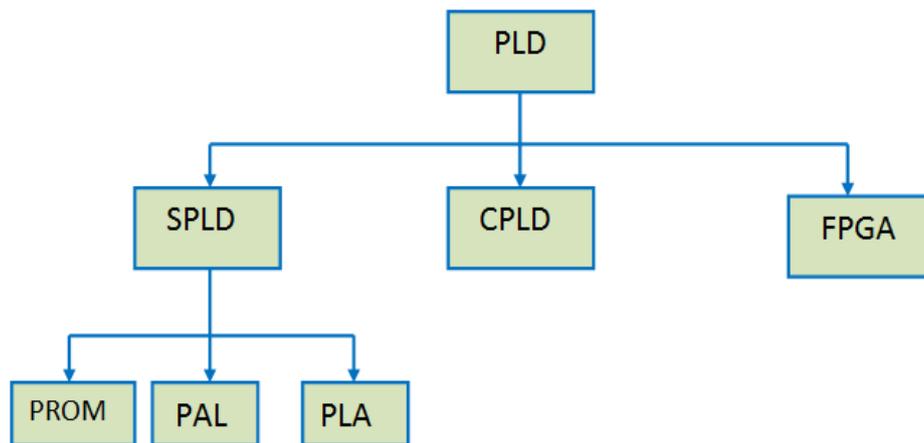


Figure (3.2). Exemple de paramètres indiqués sur le nom d'un circuit PLD.

La figure (3.3) suivante représente une des classifications des circuits logiques programmables :



**Figure (3.3).** Classification des circuits logiques programmables.

### 3.3.3.1 Les PROM (Programmable Read Only Memory)

Les premiers circuits programmables apparus sur le marché sont les PROM bipolaire à fusible. En effet les constructeurs se sont inspirés du circuit ROM, qui permettait uniquement le stockage de données, pour le rendre plus utile en lui ajoutant la possibilité d'être programmé, ce qui donne naissance au circuit PROM qui est constitué d'une matrice ET fixe et complète, dont le nombre de terme de produit est égale à  $2^n$  pour n entrées, et d'une matrice OU programmable [35].

### 3.3.3.2 Les PLA (Programmable Logic Array)

Juste après la création du circuit PROM, le concept du PLA a été introduit en se basant sur la technique des fusibles des PROM bipolaires. La programmation consiste à faire sauter ces fusibles pour la réalisation des fonctions logiques [35].

Un circuit PLA est constitué d'une matrice ET programmable, et d'une matrice OU programmable ce qui nous offre une possibilité de programmation assez large et assez souple du moment qu'on peut manipuler les deux matrice AND et OR.

### 3.3.3.3 Les PAL (Programmable Array Logic)

Ce type de circuit a été introduit dans les années 80. Son architecture a été conçue à partir d'observation indiquant qu'une grande partie des fonctions logique ne demande que quelques termes de produits en sortie. Sa structure est donc obtenue par un réseau AND qui est programmable, et un réseau OR fixe [35].

La fusion des fusibles est obtenue en appliquant à leurs bornes une tension de 12v pendant un laps de temps de 10 à 50  $\mu$ s. L'avantage de cette architecture est l'augmentation de la vitesse d'exécution des programmes par rapport aux PLA [35].

En effet, comme on diminue au niveau du nombre de connexions programmables, on arrive à faire réduire la largeur des lignes d'interconnexion, et donc le temps de propagation entre une entrée et une sortie devient beaucoup plus faible. Cependant, et come nous l'avons déjà mentionnée, les PAL sont programmées par destruction des fusibles. Ils ne sont donc programmable qu'une seule fois, ce qui peut être gênant en phase de développement.

#### **3.3.3.4 Les GAL (Generic Array Logic)**

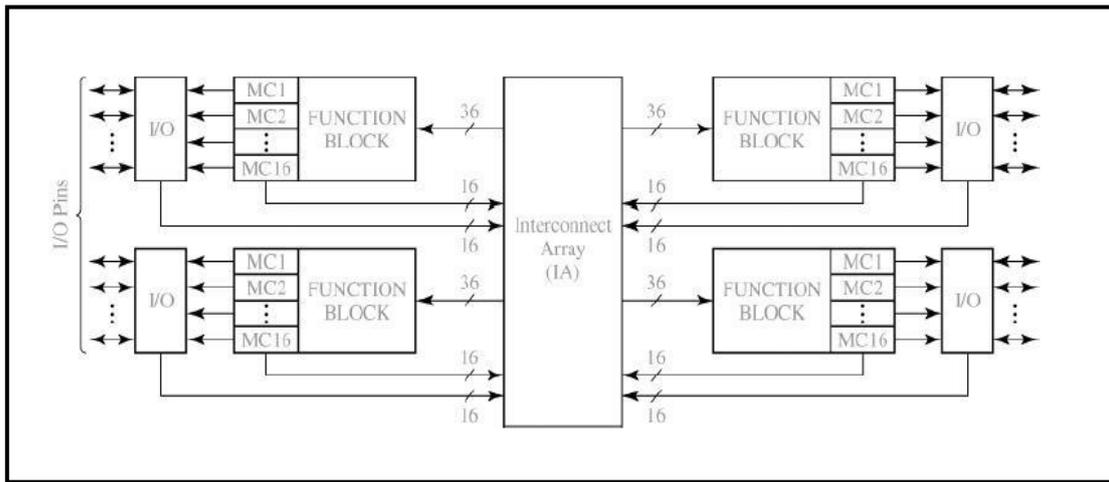
D'après la structure des PAL, il est clair que ces derniers présentent l'inconvénient d'être programmable une seule fois, ce qui cause un gaspillage important lorsqu'on veut développer un nouveau circuit. Pour remédier à ce problème, la société LATTICE a pensé à remplacer les fusibles irréversibles des PAL, par les transistors MOSFET pouvant être régénérés et atteindre les objectifs suivants [34]:

- ✓ Permettre de remplacer les PAL bipolaires dans n'importe quelle application.
- ✓ Offrir une plus faible consommation par rapport au PAL bipolaire.
- ✓ Avoir une plus grande souplesse de configuration des entrées/sorties par rapport à celle des PAL.

Tout ceci a donc donné naissance aux circuits GAL « Réseaux Logique Génériques », qui peuvent être reprogrammés à volonté, et qui sont en fait des circuits PAL CMOS programmables, mais surtout effaçable électriquement. Les GAL ont été commercialisés pour la première fois en 1985 par la société américaine Lattice semi- conducteurs [34].

#### **3.3.3.5 Les CPLD (Complex Programmable Logic Device)**

Les CPLD sont une extension des circuits PLA. Un CPLD contient plusieurs PALs et PLAs sur une seule puce avec un réseau d'interconnexions. Le réseau permet de relier les pattes de la puce à différents blocs internes, mais aussi à relier les blocs entre eux. Il est donc possible de réaliser des fonctions logiques très complexes incluant des machines d'états et de petites mémoires [34].



**Figure (3.4).** Architecture d'un CPLD de XILINX.

Le système comprend quatre blocs fonctionnels qui sont des PALs à 36 entrées et 16 sorties. Les sorties proviennent de macro – cellules contenant un élément programmable à mémoire. Le réseau d'interconnexion permet d'établir les connexions entre les blocs d'entrées/sorties, les blocs fonctionnels et les macros – cellules.

### 3.3.3.6 Les FPGA (Field Programmable Gate Array)

Lancé sur le marché en 1984 par la société XILINX, les FPGA (Field Programmable Gate Array) sont des circuits numériques programmables par l'utilisateur pour réaliser les fonctions logiques de son choix. Le concept du FPGA est basé sur l'utilisation d'une unité appelé LUT (look up table) comme élément combinatoire de la cellule de base, et d'une bascule (Flip – Flop en anglais) [35].

La LUT sert à implémenter des équations logiques combinatoires (OR, AND, XOR, etc...), elle peut toutefois être considéré comme une petite mémoire, un multiplexeur ou un registre à décalage. La bascule (encore appelé registre) permet de mémoriser un état (machine séquentielle) ou de synchroniser un signal [36].

Les circuits FPGA sont programmés en technologie SRAM qui est volatile, donc le circuit doit être reprogrammé à chaque remise sous tension, le deuxième inconvénient réside dans l'espace occupé par chaque cellule qui est composé de 4 à 6 transistors.

### 3.4 Technologie de programmation

C'est la manière utilisée pour établir ou détruire la connexion entre les variables d'entrée et la matrice de programmation, divers technologies sont utilisées :

Technologies des circuits non reprogrammables [11] :

- ✓ **Les fusibles** : c'est une des premières technologies, le principe est d'avoir des fusibles sur certains fils, et d'en brûler (ou griller) certains d'autres, on leur appliquant un courant très important, ils sont programmables une seul fois.
- ✓ **Anti-fusible** : est un composant électronique qui effectue la fonction inverse à celle d'un fusible. Les anti fusibles ne sont programmables qu'une seule fois par l'utilisateur, ils sont utilisé dans les mémoires, tel que chaque bit est représenté par un anti fusible. Dans une mémoire vierge, tous les anti – fusibles sont ouvert, donc la programmation des bits revient à bruler l'anti – fusible, c'est-à-dire le rendre passante.

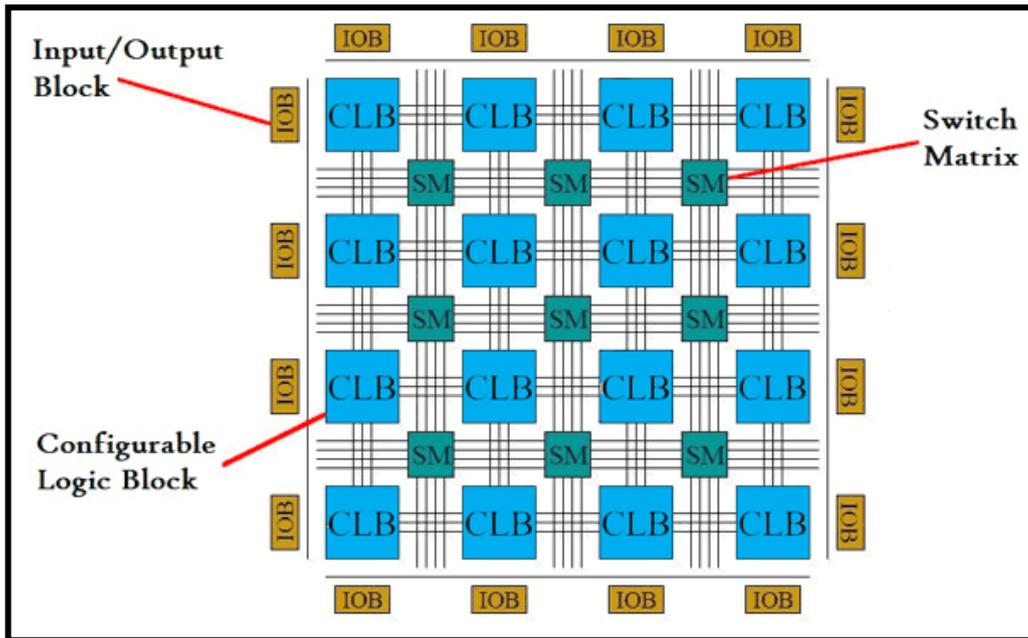
Technologie des circuits reprogrammables :

- ✓ **Les SRAM (Static Random Acces Memory)** : Mémoire volatiles avec cellules de base à plusieurs transistors (accès rapide, consommation plus couteuse). La volatilité correspond à la non disponibilité de l'information lorsqu'il n'ya pas d'alimentation.
- ✓ **Les EPROMs (Erasable Read Only Memory)** : Mémoires programmables électriquement et effaçable par des rayons ultra- violets au bout d'un certain temps (quelques minutes).
- ✓ **Les EEPROM (Electrically Erasable Programmable Read Only Memory)** : cette technologie présente l'avantage de pouvoir être reprogrammer électriquement par rapport à la technologie EPROM.
- ✓ **Les mémoires FLASH** : cette technologie possède un temps de reconfiguration plus lent par rapport au SRAM, l'avantage de cette technologie est qu'elle garde sa configuration même si l'alimentation est coupée, mais avec un nombre limite.

### 3.5 Architecture interne des FPGA

Un FPGA (Field programmable Gate Array) est un circuit intégré avec une structure adaptable par l'utilisateur, il est composé de deux types de blocs (ou cellules). Des blocs logiques programmables CLB et des blocs d'entrée sorties IOB répartis régulièrement, le passage d'un bloc à un autre se fait grâce à des connexions qui forment une matrice de routage programmable pour obtenir un comportement spécialisé du circuit dans sa globalité, car tous les éléments logiques de la cartes sont programmables [37].

La structure d'un FPGA diffère d'un constructeur à un autre, mais elle garde la même architecture globale illustrée par la figure suivante (3.5) :



**Figure (3.5).** Architecture interne des FPGA.

Les macros – cellules internes sont appelées [37] :

- ✓ Soit CLB qui est la dénomination adopté par Xilinx, et abréviation anglaise de << Configurable Logic Block >>, signifiant bloc logique configurable.
- ✓ Soit LC qui est le nom choisie par cyprès et abréviation anglaise de <<Logic Cell>>, signifiant cellule logique.
- ✓ Soit LE qui est l'appellation choisie par Altera, abréviation anglaise de <<Logic Element>>, signifiant élément logique.

Les macros – cellules sur les périphéries sont appelées : IOB, abréviation anglaise de <<Input Output Block>>

L'ensemble de point des connexions est appelé PIP, abréviation anglaise de << Programmable Interconnect Point >>.

L'architecture d'un FPGA pour la famille XILINX se présente sous forme de deux couches :

- ✓ Une couche logique ou appelé circuit configurable
- ✓ Une couche appelé réseau mémoire SRAM.

La première couche (circuit configurable) est constituée d'une matrice de blocs logiques configurables CLB.

Les CLB permettent d'exécuter des fonctions logiques combinatoires et séquentielles simples ou complexes car chaque CLB est constitué d'une partie combinatoire et d'une partie séquentielle. Chaque fonction est décomposée en petites fonctions booléennes qui peuvent être contenue par des petites cellules élémentaires SLICES, ces dernières comportent des LUT pour la partie combinatoires et des bascules pour la partie séquentielle. Autour de ces CLB, nous trouvons les blocs d'entrée - sorties IOB qui permettent de gérer les entrées et les sorties pour réaliser l'interface avec les modules extérieurs [38].

La seconde couche est un réseau de mémoire SRAM qui permet la programmation du circuit FPGA. La programmation est réalisée en appliquant les potentiels adéquats sur la grille de certains transistors à effet de champ pour interconnecter les éléments des CLB et des IOB afin de réaliser les fonctions souhaitées et d'assurer la propagation des signaux. Ces potentiels sont mémorisés dans le réseau de mémoire SRAM [39].

### 3.6 Configuration des FPGA

La Chaîne de bits de configuration (Bitstream) est envoyée depuis l'extérieur et distribuée en série à l'intérieur du FPGA. On peut voir les SRAM de configuration comme un énorme registre à décalage (dans la réalité, il est divisé en paquets de 1024 bits avec des latches). Le temps de configuration peut être très long (on a aujourd'hui des bitstream de 25MB) (figure3.6) [11].

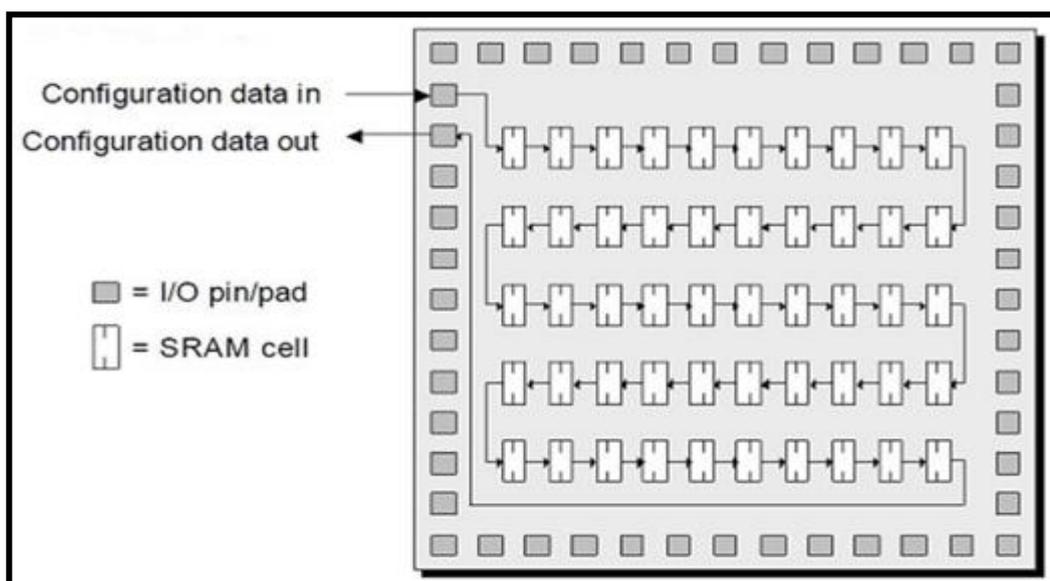


Figure (3.6). Exemple de configuration d'un FPGA.

Il existe en générale quatre mode de configuration :

- Série, avec le FPGA en maitre.
- Série, avec FPGA en esclave.
- Parallèle, avec le FPGA en maitre.
- Parallèle, avec le FPGA en esclave.

Une autre façon de configurer un FPGA est l'utilisation du port JTAG (Joint Test Action Group), Normalement, ce port est utilisé pour tester le circuit intégré grâce à la technique de boundary scan. Un Pin est utilisé pour entrer les données JTAG et un autre pour les sorties, tous les autres Pins d'entrées - sorties disposent d'un flip-flop JTAG. Tous ces Flips-Flops sont connectés en série. En plus des commandes propres au test, le port JTAG des FPGA admet aussi des commandes de configuration, permettant le chaînage du registre de configuration au registre JTAG [11].

### **3.7 Application des FPGA**

Les FPGA sont utilisés dans de nombreuses applications, on en cite dans ce qui suite quelques-unes [40] :

- ✓ Aéronautique et la défense.
- ✓ Electronique biomédicale & Médecine.
- ✓ Automatique : automate programmable industrielle.
- ✓ Diffusion.
- ✓ Centre de données.
- ✓ Calcule de performance.
- ✓ Industrie et instruments scientifique.
- ✓ Système de sécurité & traitement d'images et vidéo.
- ✓ Communication avec et sans fils.

### **3.8 Les avantages et les inconvénients des FPGA**

#### **3.8.1 Les avantages**

Les FPGA sont utilisés dans les différents domaines d'applications en raison des nombreux avantages obtenus lors de leur utilisation, on peut notamment citer [41] :

- ✓ La rapidité et la facilité de reconfigurer un FPGA autant de fois que nécessaires pour implanter les fonctionnalités désirées.
- ✓ Leur grande souplesse de programmation permet de les réutiliser à volonté pour cibler des algorithmes différents en un temps très courts, ceci à l'aide d'une même plateforme de développement.

- ✓ L'augmentation croissant du niveau de performance en temps réel tout en réduisant le coût de réalisation et d'encombrement.
- ✓ Les FPGA sont reconfigurables par logiciel. Cet avantage permet au concepteur de gagner du temps de développement en démontrant un traitement basé sur le matériel tout en préservant la possibilité de reprogrammer le FPGA pour accueillir des modifications qui sont nécessaires après les spécifications initiales.

### **3.8.2 Les inconvénients**

- ✓ Temps de réponse lent par rapport aux ASIC [42].
- ✓ Prix unitaires très élevé surtout pour les dernières versions.
- ✓ Mémoire volatile, donc doit être reprogrammée à chaque remise sous tension.
- ✓ Circuit imprimé (PCB –Printed Circuit Board) multicouches.

## **3.9 Choix de la carte FPGA**

De nos jours, il existe une grande variété de cartes FPGA qui diffèrent les unes des autres par de nombreuses caractéristiques telles que le coût, la densité d'intégration des circuits logiques, la quantité de mémoire disponible, la fréquence d'horloge maximale, le débit de transfert de données entre les portes d'entrée/sortie, le nombre de ports d'entrée /sortie, etc. [43].

Dans le cadre de notre projet de recherche, il était nécessaire de choisir une carte ayant un bon rapport qualité-prix et qui permettrait de mettre en œuvre nos algorithmes de commande, il convient de noter que la priorité a été mise sur une carte permettant d'implémenter et d'exécuter la technique de modulation de largeur d'impulsion (MLI sinusoïdale), pour générer des signaux PWM destinés à la commande des onduleurs de tension.

La carte FPGA VIRTEX 5 disponible aux niveaux du laboratoire de génie électrique et télécommande à l'université de Blida1 a permis de répondre à nos besoins pour faire notre projet de fin d'étude.

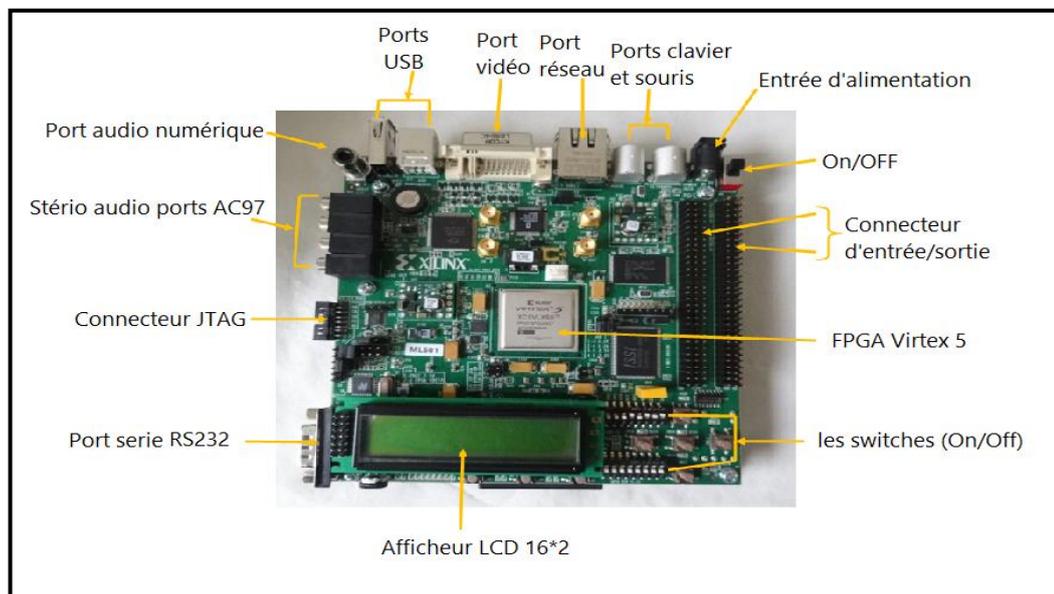
## **3.10 Plateforme de la carte FPGA VIRTEX 5 (ML501)**

La famille VIRTEX 5 de Xilinx contient cinq plateformes de développement distinct (LX, LXT, SXT, TXT et FXT), elle utilise la technologie de 65 nm.

La carte ML 501 VIRTEX 5 utilisée dans notre projet, est une plateforme de conception et de mise en œuvre des circuits numériques implémentés sur un circuit FPGA XCVLX 50, elle possède un afficheur LCD 16\*2, des portes d'entrée/sorties, des portes de communication (JTAG et USB), des boutons poussoirs, une horloge de fréquence 100 Mhz, porte série RS 232 Etc.

Parmi les principales caractéristiques de cette carte, est le fait qu'elle présente une très haute densité d'intégration, d'efficacité et de performances, la carte FPGA ML 501 est une plateforme riche en composants logiques, qui permet un accès facile et rapide aux ressources disponibles dans le circuit FPGA.

La figure suivante (3.7) représente la carte FPGA VIRTEX 5 (ML 501) utilisé dans le cadre de notre projet :



**Figure (3.7).** Carte FPGA ML 501 VIRTEX 5.

### 3.11 Le langage de description matérielle VHDL

VHDL signifie (Very High speed Integrated circuit) Hardware Description Language. Ce langage à été crée dans les années 80 pour réaliser la simulation des circuits électroniques à très hautes vitesses d'intégrations. Le VHDL est un langage de description matériel qui fourni un moyen de spécifier un système digital à travers différents niveaux d'abstraction. Il supporte une spécification comportementale durant les premières phases de la conception du processus et une spécification structurelle durant les dernières phases d'implémentation [44].

La standardisation du VHDL s'effectuera jusqu'en 1987, époque à la quelle elle sera normalisé par l'IEEE (Institute Of Electrical and Electronics Engineers). Cette première normalisation à comme objectif [44]:

- ✓ La spécification par la description de circuits de systèmes.
- ✓ La simulation afin de vérifier la fonctionnalité du système.
- ✓ La conception afin de tester une fonctionnalité identique mais décrite avec des solutions d'implémentations de différents niveaux d'abstractions.

En 1993, une nouvelle normalisation par L'IEEE du VHDL a permis d'étendre le domaine d'utilisation du VHDL vers :

- ✓ La synthèse automatique de circuit à partir des descriptions.
- ✓ La vérification des contraintes temporelles.
- ✓ La preuve formelle d'équivalence du circuit.

Le VHDL peut être divisé en 4 phases :

- ✓ Analyse des besoins et phase de spécification.
- ✓ Phase de conception.
- ✓ Implémentation et phase de test.
- ✓ Phase de fabrication industrielle.

### **3.12 Objectif d'utilisation du langage VHDL**

Le VHDL est un langage normalisé, puissant, moderne, et qui permet une excellente lisibilité, une haute modularité et une meilleure productivité des descriptions.

Le VHDL répond à deux objectifs [44] :

- ✓ Il permet d'obtenir un modèle de simulation permettant de valider une solution avant de réaliser le composant.
- ✓ Il permet la synthèse et la mise en œuvre de circuits programmables de type FPGA, CPLD.

### **3.13 Structure de base d'un langage VHDL**

Pour d'écrire en langage VHDL le comportement d'un circuit électronique, il faut spécifier trois parties essentielles qui sont : les bibliothèques et les paquetages, l'entité et l'architecture.

#### **3.13.1 Déclaration des bibliothèques et des paquetages**

Toute description VHDL utilisé pour la synthèse à besoin de bibliothèque. Tout d'abord la librairie principale qui est en générale IEEE (Institut OF Electrical and Electronics Engineers). Elle contient les définitions des types de signaux électroniques, des fonctions et sous programmes permettant de réaliser des opérations arithmétiques et logiques [45].

Les deux exemples suivants montrent comment on peut déclarer les bibliothèques et les paquetages :

Exemple1 :

-- **Déclaration de la bibliothèque avec le mot clé library**

**Library** Nom\_de\_la\_librairie ;

-- **Sélectionner le paquetage à utiliser avec la directive use**

**Use** Nom\_de\_la\_librairie.Nom\_paquetage.all;

-- **Si on ne veut pas utiliser tout le paquetage mais seulement un seul objet de ce paquetage.**

**Use** Nom\_de\_la\_librairie. Nom\_paquetage. Objet;

Exemple 2 :

**Library** ieee;

**Use** ieee.std\_logic\_1164.all;

**Use** ieee.std\_logic\_arith.all;

**Use** ieee.std\_logic\_unsigned.all;

### 3.13.2 Déclaration de l'entité de conception

L'entité est l'abstraction de base en VHDL. Elle représente une portion d'un système matériel possédant une interface entrée-sortie. Une entité de conception est constituée d'une déclaration d'entité et d'un corps d'architecture correspondant. Une entité de conception peut représenter un système matériel à plusieurs niveaux de complexité: **un système entier, un sous-système, une carte, un circuit intégré, une cellule complexe** (par exemple : ALU, mémoire, etc.), **une porte logique**. Une unité de conception est qualifiée de primaire (P) ou de secondaire (S). Une unité primaire doit être analysée (compilée) avant son unité secondaire correspondante. Toute déclaration faite dans une unité primaire (ex : dans une entité) est visible dans toute unité secondaire correspondante (ex : dans une architecture) [46].

Syntaxe générale de l'entité :

**Entity** Nom\_du\_module **is**

**Port** (Nom\_entrée\_1 : **in** type\_du\_signal ;

Nom\_entrée\_2 : **in** type\_du\_signal ;

.....

Nom\_sortie\_1 : **out** type\_du\_signal ;

Nom\_sortie\_2 : **out** type\_du\_signal ) ;

**End** Nom\_du\_module ;

### 3.13.3 Déclaration de l'architecture

L'architecture est la description interne du circuit, elle contient les instructions qui permettent de décrire le modèle du circuit. L'énoncé architecture contient un identificateur (nom) de l'architecture ainsi que l'indication du nom de l'énoncé **entity** qui définit ses entrées sorties [47] [48].

Une architecture doit être toujours attachée à une entité, comme le montre l'exemple suivant :

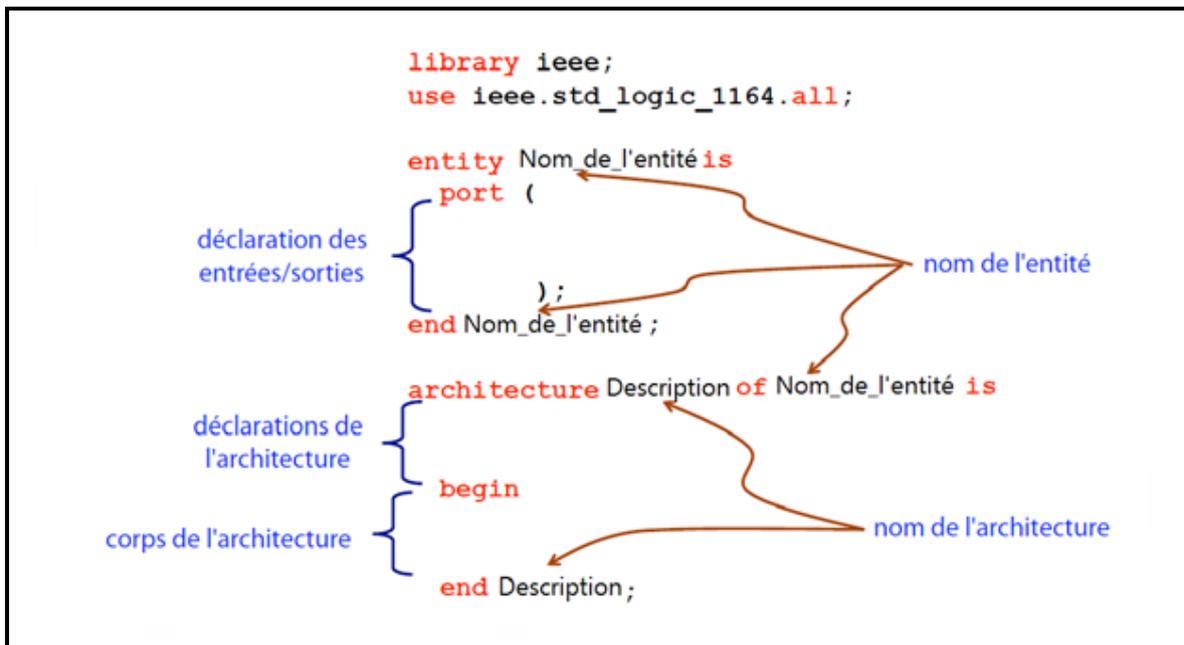
**Architecture** Nom\_Architecture **of** NOM\_entité **is**

Le nom de l'architecture est quelconque mais doit être unique, ainsi il faut noter qu'il est possible d'associer plusieurs architectures à une même entité.

L'architecture est divisée en deux parties essentielles [47] :

- ✓ **La partie déclarative** : elle est placée entre le nom de l'architecture et le mot clé BEGIN. Cette partie nous permet de déclarer les signaux intermédiaires (équipotentiels reliant les instructions et les composants) et les composants (correspondant effectivement aux composants dont on a besoin dans l'architecture pour une description structurelle).
- ✓ **La partie exécutive** : compris entre les mots – clés BEGIN et END, elle contient les instructions requises pour le fonctionnement du circuit.

La figure suivante (3.8) résume les trois parties essentielles du langage VHDL citées précédemment :



**Figure (3.8).** Structure d'un programme VHDL.

### 3.14 Les instructions concurrentes en VHDL

Dans un circuit, toutes les portes fonctionnent simultanément. Le langage VHDL contient plusieurs instructions concurrentes qui vont nous permettre de décrire le comportement d'un circuit.

Une description VHDL est constituée d'un ensemble de processus concurrents. L'ordre dans lequel ces processus apparaissent dans la description est indifférent [48].

Le langage VHDL contient 5 instructions concurrentes qui sont [48] :

- ✓ L'affectation simple.
- ✓ L'affectation conditionnelle when.....else
- ✓ L'affectation sélectionnée with.....select
- ✓ L'instanciation de composant.
- ✓ L'instruction process.

#### 3.14.1 L'affectation simple

La syntaxe générique d'une affectation simple est la suivante :

```
Signal_1 <= signal_2 fonction logique signal_3 ;
```

#### 3.14.2 L'affectation conditionnelle

L'affectation avec condition permet de tester plusieurs conditions qui sont exclusive. La seconde condition ne sera testée uniquement que si la première est fausse. La première condition est donc prioritaire sur les suivantes et ainsi de suite [48].

La syntaxe générique d'une affectation conditionnelle est décrite dans la figure (3.9) :

```
Signal_S <= signal_1 when condition_1 else  
  
    signal_2 when condition_2 else  
        .....  
    signal_x when condition_x else  
  
    signal_y ;
```

Figure (3.9). Affectation conditionnelle en VHDL.

### 3.14.3 L'affectation sélectionnée

Le format d'une assignation sélectionnée des signaux est donné par la figure (3.10) :

```
With signal select  
  
Signal_sortie <= valeur_1 when état_logique_1 ;  
  
valeur_2 when état_logique_2 ;  
  
.....  
  
Valeur_n when others ;
```

Figure (3.10). Affectation sélectionnée en VHDL.

### 3.14.4 L'instanciation des composants

L'instanciation des composants est utilisée dans la description structurelle, elle permet de mettre chaque broche de chacune des instances des composants avec les portes auxquelles elle est connectée. Il y a trois types d'instanciation [48] :

- ✓ Instanciation par position.
- ✓ Instanciation par nom.
- ✓ Instanciation mixte

#### 3.14.4.1 Instanciation par position

L'instanciation par position consiste à interconnecter pour chaque instance les signaux connectés à ses broches exactement selon l'ordre dans la déclaration « component ».

La syntaxe générale d'une instanciation par position est les suivantes :

```
Instance : Nom_de_entité port map (signal1, signal2, signal3,..., signal_n) ;
```

#### 3.14.4.2 Instanciation par nom

L'instanciation par nom consiste à interconnecter pour chaque instance les signaux connectés à ses broches sans respecter l'ordre choisi dans la déclaration « component ». Il faut cependant utiliser la flèche pour la correspondance entre les broches de l'instance et le signal auquel elle est connectée.

La syntaxe d'une instantiation par nom est la suivante :

```
Instance : Nom_de_entité port map (Nom_port => Nom_signal,...) ;
```

### 3.14.4.3 Instanciation mixte

L'instanciation mixte permet d'utiliser les instantiations par nom et par position en même temps, mais dans ce cas-là, l'instruction **port map** autorise une association par position pour commencer, ensuite une association par nom pour finir.

La syntaxe générale de cette instantiation est donnée comme suite :

```
Instance : Nom_de_entité port map (signal1, Nom_port => Nom_signal ) ;
```

### 3.14.5 L'instruction process

On utilise le process pour faciliter la modélisation d'un système, un process contient une liste appelée liste de sensibilité, cette liste contient le nom des signaux qui activent ce process [48].

Exemple de déclaration d'un process :

```
Process (liste de sensibilité)
```

```
Begin
```

```
--Instruction séquentiel ;
```

```
End process ;
```

## 3.15 Les différents types de descriptions d'une architecture

En VHDL, il existe plusieurs styles de description d'une architecture qui diffèrent les unes des autres. Les trois principales descriptions sont :

- ✓ Description par flot de données.
- ✓ Description comportementale.
- ✓ Description structurelle.

Il existe aussi des descriptions mixtes (combinaison des trois styles), et enfin une description très importante pour la simulation qui est architecture Teste.

### 3.15.1 Description par flot de données

Elle permet de décrire la façon dont transitent les données à l'intérieur du circuit, elle est aussi appelée description fonctionnelle car son objectif est d'exprimer les fonctions de sorties par des équations booléennes. C'est donc une description basée sur des expressions logiques.

La figure ci – dessous (3.11) représente un exemple qui donne la spécification d'entité et l'architecture de type flot de données d'un demi – additionneur [47].

```
Library ieee ;  
Use ieee.std_logic_1664.all ;  
  
Entity demi_add is  
Port (A, B : in std_logic ;  
      S, R : out std_logic) ;  
End demi_add ;  
  
Architecture flot_donnés of demi_add is  
Begin  
S <= A xor B ;  
R <= A and B ;  
End flot_donnés ;
```

**Figure (3.11).** Description de type flot de données d'un demi\_ additionneur.

### 3.15.2 Description comportementale

Elle décrit le comportement d'un circuit selon des conditions (IF), des cas (case, while) et des boucles (for). C'est une description qui contient des processus (process) qui s'exécutent en parallèle, les instructions à l'intérieur d'un processus s'exécutent séquentiellement [47].

#### 3.15.2.1 Description avec l'instruction < if >

La description de l'instruction (IF) commence par le mot réservé (if), et se termine avec les deux mots réservés end if, ensuite vient la condition suivie par le mot réserver then.

Quand la condition est vraie, les instructions entre « **if** » et « **end if** » sont exécutées, dans le cas contraire les instructions ne sont pas exécutées.

Un exemple d'une description avec l'instruction « **if** » est donné dans la figure ci- dessous (3.12).

```
if condition_1 then  
Séquence_ instruction_1 ;  
elsif condition_2 then  
Séquence_ instruction_2 ;  
else  
Séquence_ instruction_3 ;  
end if ;
```

**Figure (3.12).** Description comportementale avec l'instruction < if >.

### 3.15.2.2 Description avec l'instruction case

La description avec l'instruction case est utilisée lorsque la valeur d'un signal peut être utilisée pour choisir entre un certain nombre d'actions. Cette description débute avec le mot réservé « **case** » suivie par une instruction et le mot-clé « **is** ».

```
Case instruction is  
When choix_1 => instruction_1 ;  
When choix_2 => instruction_2 ;  
When choix_3 => instruction_3 ;  
When others => instruction_n ;
```

**Figure (3.13).** Description comportementale avec l'instruction <case>.

### 3.15.3 La description structurelle

Lorsqu'on a un système électronique complexe, on peut structurer et séparer ses composantes en des blocs plus petits pour le décrire plus simplement, chaque bloc est appelé « component » (composant), et d'une instance du modèle pour faire l'instanciation.

Les blocs doivent être écrits séparément, c'est-à-dire avoir une entité et une architecture associées. Dans l'architecture globale du système, on va déclarer les composantes élémentaires utilisées ainsi que leurs broches d'entrées-sorties pour faire les interconnexions nécessaires à l'aide de l'instruction « port map ».

La syntaxe générale d'une description structurelle est donnée dans la figure suivante (3.14)

```
Entity descrip_struct is
  Port (port_entrées : in type_port_entrées ;
        Port_sorties : out type_port_sorties) ;
End descrip_struct ;

Architecture description of descrip_struct is

  Component Bloc1
  Port (entrées_bloc1 : in type_entrées_bloc1 ;
        Sorties_bloc1 : out type_sorties_bloc1) ;
  End component ;

  Component Bloc2
  Port (entrées_bloc2 : in type_entrées_bloc2 ;
        Sorties_bloc2 : out type_sorties_bloc2) ;
  End component ;

  Signal signal_Int1, signal_Int2 : std_logic ;

  Begin

  G0 : Bloc1 port map (signaux_bloc1 => signaux_Int ;
                      signaux_bloc_1 => signaux_entity) ;

  G1 : Bloc2 port map (signaux_bloc2 => signaux_Int ;
                      signaux_bloc_2 => signaux_entity) ;

  End description ;
```

Figure (3.14). Syntaxe générale d'une description structurelle.

## 3.16 Les avantages et les inconvénients du VHDL

### 3.16.1 Les avantages

- ✓ Indépendant du constructeur [44].
- ✓ Indépendant de la technologie.
- ✓ Reconnu par les vendeurs d'outils CAO (outil de conception par ordinateur).
- ✓ Grand nombre de bibliothèques : de composantes, de fonction, etc.
- ✓ Langage moderne, puissant et générale.
- ✓ Contient un jeu d'instructions complète et très riche.
- ✓ Fort typage des données.

### 3.16.2 Les inconvénients

L'inconvénient principal du VHDL découle directement de ses avantages [44] :

C'est un langage puissant et très général de description du matériel et donc il est complexe. Cette complexité n'est surtout pas à négliger du fait qu'il s'adresse à priori au concepteur de systèmes électroniques qui n'a pas nécessairement de forte connaissance en logiciel.

## 3.17 Conclusion

Ce chapitre est dédié à présenter un état de l'art des FPGA et leur fonctionnement ainsi qu'une étude de plusieurs voies d'optimisation du plan de configuration et d'architecture de ces circuits. Les notions de la programmation du langage de description matériel VHDL ainsi que ces avantages et ces inconvénients sont explorés parce qu'il constitue un des programmes les plus intéressants et les plus utilisés dans la programmation de la carte FPGA.

## 4.1 Introduction

L'objectif principal de ce chapitre est de simuler et implémenter sur une carte FPGA VIRTEX 5 la commande MLI sinusoïdal. L'application de cet algorithme permet de générer des signaux PWM destinés à la commande des onduleurs monophasé, à deux et trois niveaux de tension de type NPC. Le langage qu'on a choisi pour programmer notre carte FPGA est le VHDL (Very High speed Integrated circuit).

## 4.2 Les outils de développement

Avec l'apparition des circuits logiques programmables du type SPLD, CPLD et FPGA, l'utilisateur peut créer ces dernières années toutes les fonctions logiques en utilisant des outils de développement mis à sa disposition par leurs fabricants. Ces outils doivent permettre de passer de la description du comportement d'une fonction logique à son câblage dans le circuit et cela de la manière la plus simple possible (figure 4.1) [49].

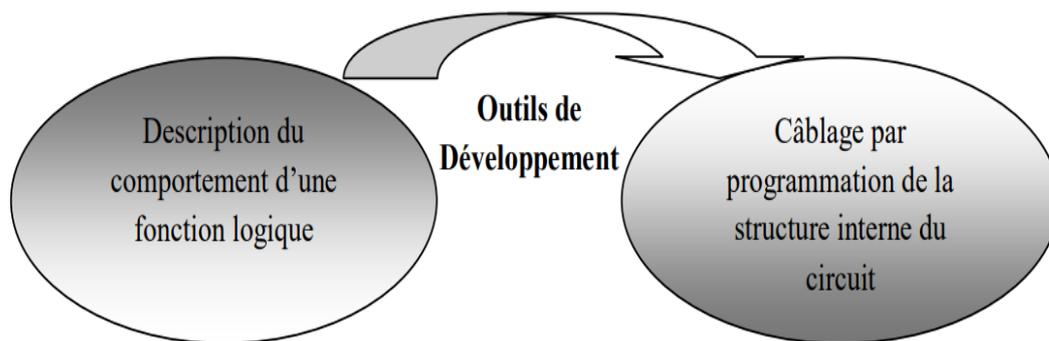


Figure (4.1). Utilité d'un outil de développement.

### 4.3 Les outils de CAO (Conception Assisté Par Ordinateur)

La conception assisté par ordinateur CAO (Electronic Design Automation : EDA) est la catégorie des outils servant à la production des systèmes électroniques allant des circuits imprimés jusqu'aux circuits intégrés [49].

Les techniques de conception CAO sont aujourd'hui très approuvées et largement employées afin de concevoir des circuits électroniques nécessaires à mettre en pratique les connaissances algorithmiques.

Avec la miniaturisation continue de la technologie des semi-conducteurs, les circuits électroniques sont devenus trop complexes pour être conçus à la main, ce qui a débouché sur la nécessité des outils informatiques adéquats et c'était la naissance des outils de CAO [49].

L'approche moderne pour la conception des circuits logiques et la manière d'introduire une fonctionnalité sur un support physique sont confiés aux outils CAO. Les principaux rôles confiés aux outils CAO sont : la description, la simulation, la synthèse, le placement et le routage et en dernière la configuration du FPGA [37].

Un design peut être conçu à l'aide d'un éditeur schématique lors de la conception des circuits simple ou d'un outil de programmation utilisé pour les circuits complexes.

Les concepteurs réalisent et testent les circuits sur ordinateur avant de lancer la fabrication. On peut distinguer trois types d'outils CAO selon les modes de descriptions trouvés dans ces derniers [49] :

- ✓ Un outil CAO utilisé que pour la synthèse et la simulation (comme MODELSIM).
- ✓ Un outil CAO qui utilise le mode schématique et textuel (comme ISE de XILINX).
- ✓ Un outil CAO qui peut utiliser le mode schématique, textuel et permet même le dessin du masque (layout) (comme CADENCE).

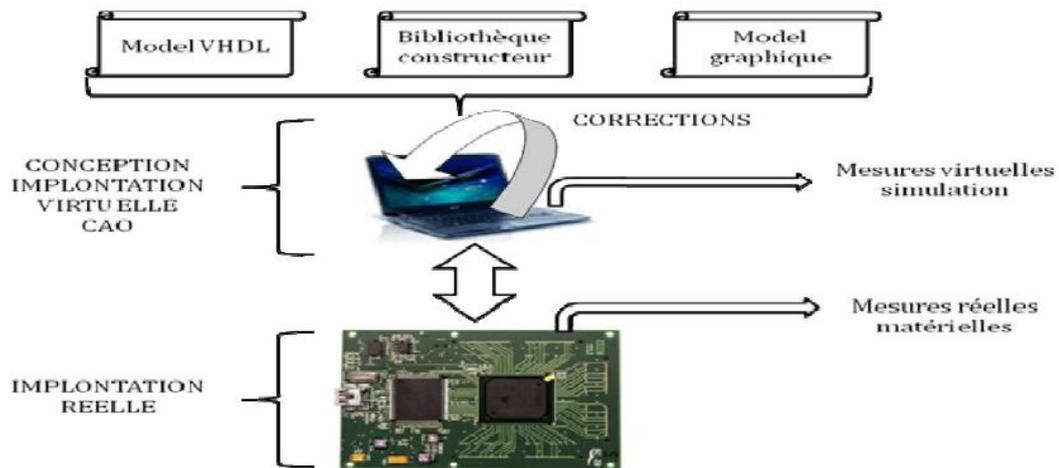


Figure (4.2). Mode d'exécution matériel des outils CAO.

## 4.4 Intégration et implémentation

La conception des architectures de commande s'effectue en utilisant les outils de conception assistés par ordinateur (CAO). La saisie est effectuée graphiquement ou via un langage de description matériel de haut niveau, nommé également langage HDL (hardware description language). Deux langages HDL sont les plus couramment utilisés, à savoir le VHDL qu'on a cité dans le chapitre précédent et le Verilog. Ces deux langages sont standardisés et offrent au concepteur différents niveaux de description, et surtout l'avantage d'être portable et compatible avec toutes les technologies FPGA précédemment introduites. La figure (4.3) résume les différentes étapes de programmation d'un FPGA [50].

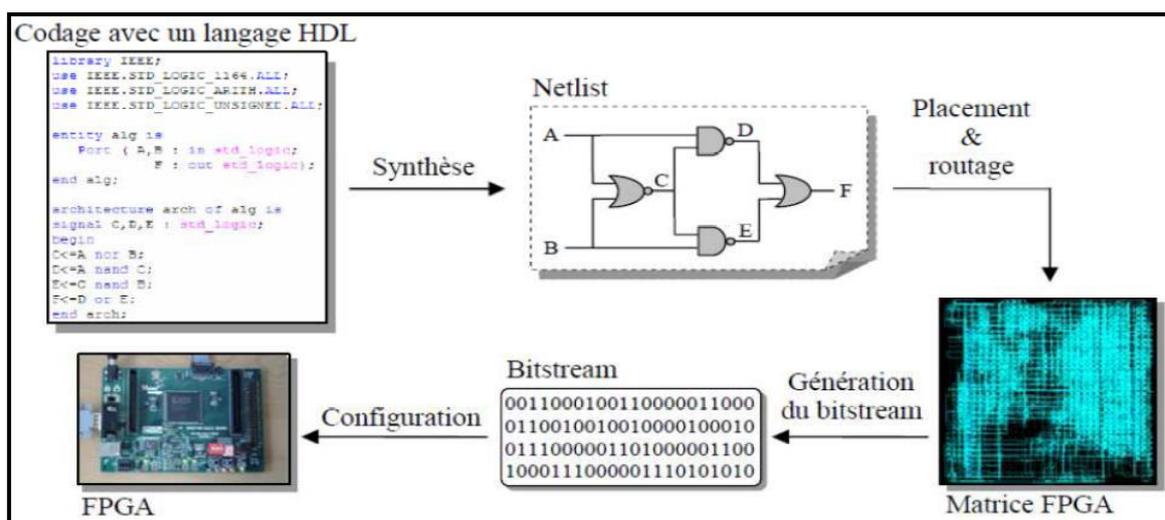


Figure (4.3). Etapes de programmation d'un FPGA en utilisant les outils CAO.

Le synthétiseur des outils CAO génère dans un premier temps une Netlist qui décrit la connectivité de l'architecture. Puis l'outil de placement- routage qui place de façon optimale tous les composants et effectue le routage entre les différentes cellules logiques. Ces deux étapes permettent de générer un fichier de configuration à télécharger dans la mémoire de configuration du FPGA. Ce fichier est appelé Bitstream et peut être directement chargé sur le FPGA à partir d'un ordinateur [50].

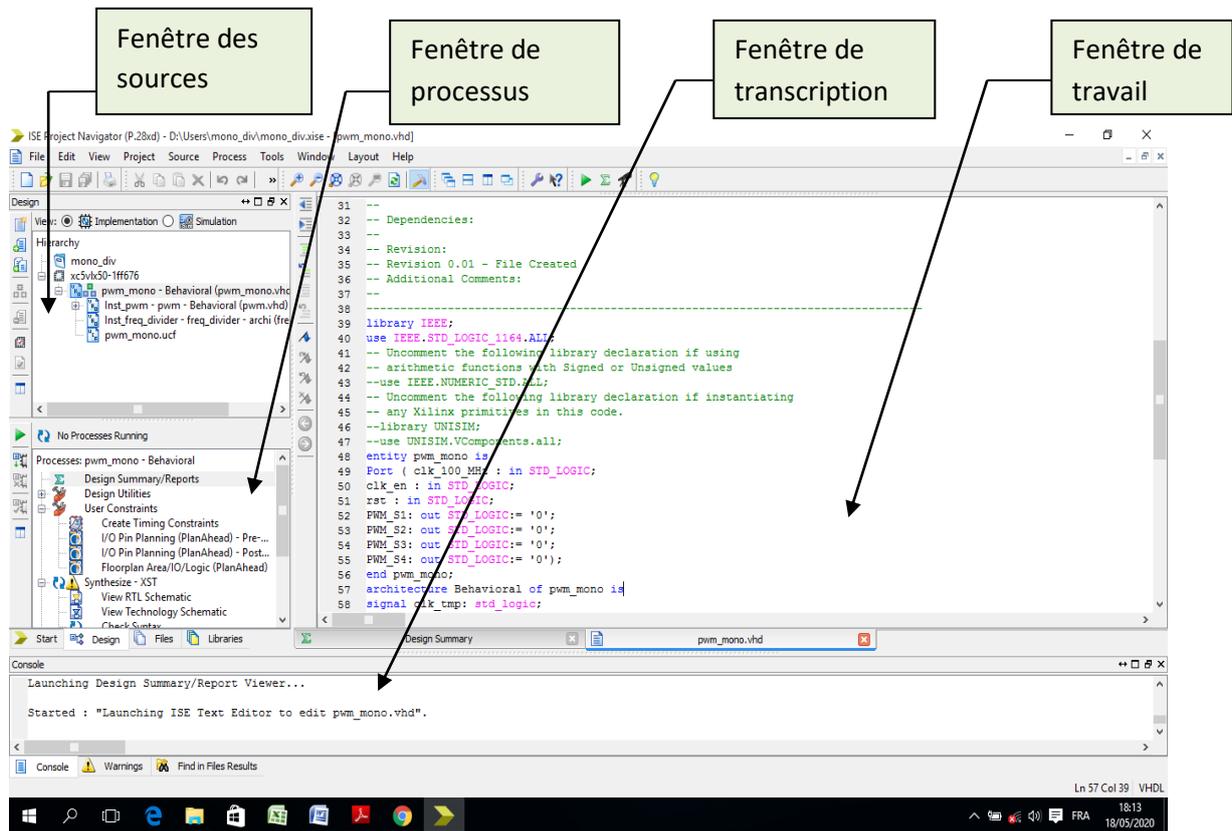
## **4.5 Les logiciels et les outils utilisés dans notre travail :**

### **4.5.1 Environnement de développement ISE 14.2 (Integrated Software Environment)**

L'environnement ISE 14.2 est un logiciel de description, de simulation et de programmation des produits de XILINX tel que les CPLD (Complex Programmable Logic Device) et les FPGA (Spartan, Virtex). Il intègre différents outils qui permettent de passer à travers le flot de conception d'un système numérique. Il dispose [11] :

- ✓ D'un éditeur de schémas, de textes et de diagrammes d'états.
- ✓ D'un compilateur VHDL et VERILOG.
- ✓ D'un simulateur.
- ✓ D'outils pour la gestion des contraintes temporelles.
- ✓ D'outil pour la synthèse.
- ✓ D'outil pour la vérification.
- ✓ D'outil pour l'implémentation sur FPGA et CPLD.

C'est un outil de développement complet pour toutes les gammes de produits XILINX.



**Figure (4.4).** Interface de l’outil de développement ISE 14.2 de XILINX.

La fenêtre par défaut de L’ISE est montrée par la figure (4.4) et est divisée en quatre sous-fenêtres qui sont [51] :

- ✓ Fenêtres des sources : affiche hiérarchiquement les fichiers inclus dans un projet.
- ✓ Fenêtre de processus : affiche les processus qui sont valables pour la source sélectionnée.
- ✓ Fenêtre de transcription : affiche les messages d’erreurs et d’avertissements.
- ✓ Fenêtre de travail : contient des fenêtres pour plusieurs documents (HDL coder, schématiques, etc.).

#### 4.5.2 Xilinx Vivado Design Suite

Le logiciel Xilinx Vivado est un outil de conception de circuit pour FPGA de Xilinx. Ce logiciel permet essentiellement d’effectuer les différentes étapes propres à la synthèse de circuits numériques sur FPGA. Il est alors possible de faire l’implémentation sur les différentes familles de puces fournies par Xilinx [52].

Le logiciel Vivado supporte les langages de description matérielle (HDL) Verilog et VHDL. Le langage VHDL a été utilisé dans notre implémentation, car il nous a permis de considérer notre conception en tant que matériel et non en tant qu’algorithme.

Vivado a été introduit en avril 2012, et est un outil de CAO avec toutes les dernières nouveautés en termes de modèle de données, d'intégration, d'algorithmes et de performances. Il contient des fonctionnalités supplémentaires par rapport à XILINX ISE pour le développement de puces et la synthèse de haut niveau.

La principale raison pour laquelle nous avons utilisé ce logiciel est qu'il nous a permis de voir les signaux analogiques qu'on a utilisés dans notre commande MLI sinusoïdale, contrairement à XILINX ISE qui simule seulement les signaux numériques qui varient entre 0 et 1.

La figure (4.5) suivante représente l'interface d'entrée pour la création des projets sur Vivado design suite.

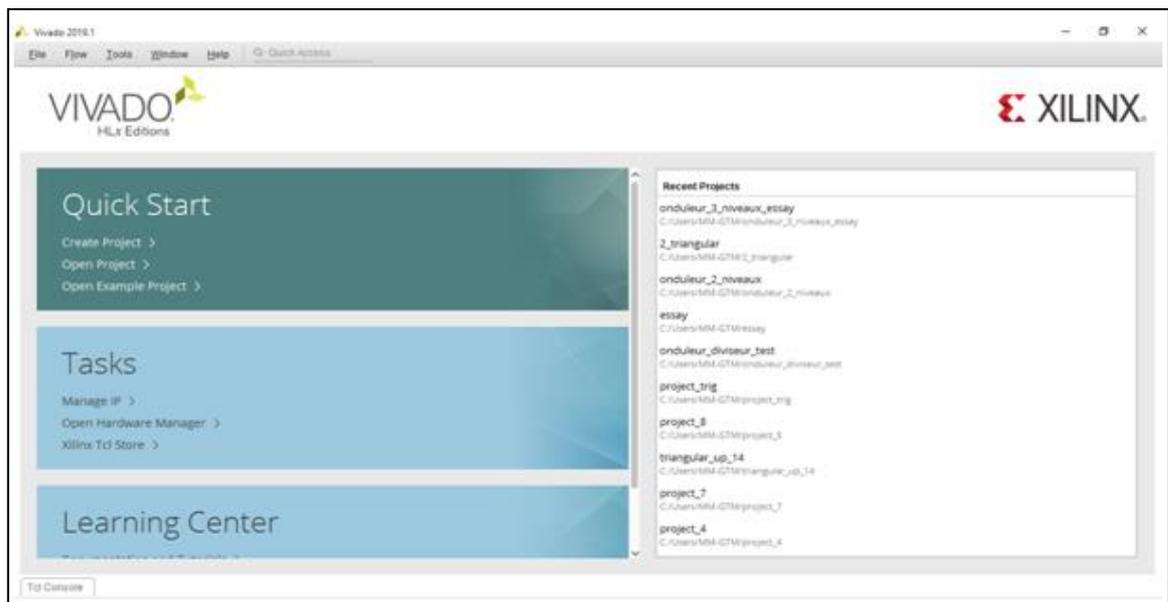


Figure (4.5). Vivado Design Suite.

### 4.5.3 Simulink HDL coder

Simulink est un outil MBD (Model Based Design) qui permet la modélisation, l'analyse et la simulation des systèmes, il fournit un environnement graphique bien structuré pour le concepteur qui lui permet de créer des designs de haut niveau des systèmes complexes en utilisant des blocs. En outre, cet outil permet à l'utilisateur de créer des blocs personnalisés flexibles à partir des fonctions MATLAB [53].

Simulink HDL coder est une fonctionnalité de Simulink qui permet au concepteur de créer un code HDL précis et synthétisable à partir du modèle développé en utilisant les blocs Simulink. Le code HDL obtenu peut être synthétisé et mappé sur la carte FPGA cible en utilisant des outils tels que Xilinx ISE, Vivado design suite, Altera Quartus, etc [53].

Simulink HDL coder à de nombreuses bibliothèques construites pour assurer la génération du code HDL. Certaines de ces bibliothèques prédéfinies comprennent des additionneurs, des multiplicateurs, des accumulateurs, des intégrateurs, des commutateurs multi-portes, etc.

## 4.6 Implémentation sur FPGA de la commande MLI sinusoïdale pour un onduleur monophasé en pont H

Pour obtenir ces quatre signaux PWM on a passé par trois étapes essentielles qui sont :

- ✓ La première étape consiste à générer un signal sinusoïdale de fréquence 50 Hz, pour cela on a utilisé le bloc NCO (Numerically Controlled Oscillator) qui est disponible sur la bibliothèque hdlLib de Matlab/Simulink, et de le configurer avec une fréquence de 50 Hz et un déphasage de zéro degré. Ensuite on a utilisé l'outil HDL coder de Matlab/Simulink qui nous permis d'obtenir le code VHDL de ce bloc.
- ✓ Dans la deuxième étape, on a écrit un programme VHDL qui nous a permis d'obtenir un signal triangulaire de fréquence 1 KHz.
- ✓ Enfin, dans la troisième étape, on a utilisé la description structurelle pour faire les interconnexions entre les deux blocs précédents (sinusoïdale et triangulaire), et la description comportementale avec les instructions (**if.....then**) pour faire la comparaison et obtenir les quatre signaux PWM à la sortie.

### 4.6.1 Le bloc NCO (Numerically Controlled Oscillator)

Un oscillateur à commande numérique (NCO) est simplement un oscillateur crée à partir d'une logique numérique qui nous permet d'obtenir un contrôle complet sur le plan numérique. En théorie, un tel oscillateur recevra en entrée la fréquence et la phase que nous souhaitons produire et il produira à la sortie une onde sinusoïdale échantillonnée numériquement selon notre configuration indiquée précédemment en entrée [54].

Les NCO sont souvent utilisés en conjonction avec un convertisseur numérique analogique (DAC) à la sortie pour crée un synthétiseur numérique direct (DDS).

La technique la plus courante pour implémenter un NCO est basée sur les LUT (look up table). La LUT est utilisé pour stocker les valeurs d'échantillonnage d'un signal sinusoïdal, qui sont lus à des intervalles de temps appropriés pour produire le signal sinusoïdal [54].

Les oscillateurs à commande numérique offrent plusieurs avantages par rapport à d'autres types d'oscillateurs en termes de précision, de stabilité et de fiabilité. Les NCO sont utilisés dans de nombreux systèmes de communication, les systèmes radio sans fil et logiciels 3G, les systèmes de radar, les pilotes pour les transmissions optiques et acoustiques, etc.

## 4.6.2 Configuration du bloc NCO en phase et en fréquence sur Matlab/Simulink

Pour configurer l'oscillateur à commande numérique en phase et en fréquence, il faut calculer en premier temps quelques paramètres essentiels de ce bloc, qui sont la phase incrément et phase offset. Ces paramètres sont calculés comme suit :

$$\text{Phase-increment} = \frac{F_{out} \times 2^N}{F_{clk}} \quad (4.1)$$

$F_{out}$  : représente la fréquence de sortie du signal sinusoïdal.

$$\text{On prend } F_{out} = 50 \text{ Hz.} \quad (4.2)$$

$N$  : est le nombre de bits nécessaires de l'accumulateur pour s'adapter à la valeur de la fréquence de résolution.

$$\text{On prend : } N = 18 \quad (4.3)$$

$F_{CLK}$  : est la fréquence de l'horloge.

$$\text{On prend } F_{CLK} = 20 \text{ KHz.} \quad (4.4)$$

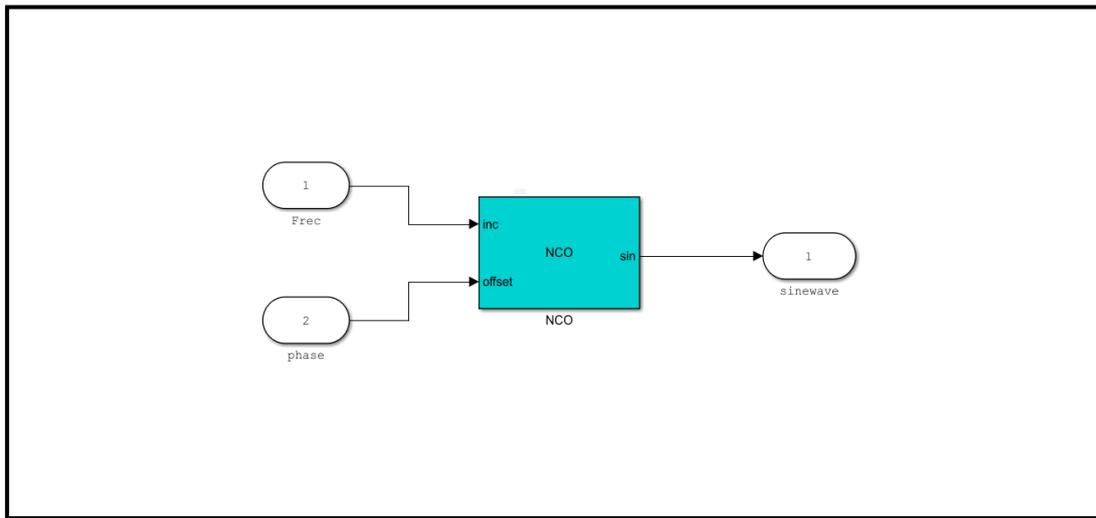
$$\text{Donc : phase-incrémente} = \frac{50 \times 2^{18}}{20000} = 655 \quad (4.5)$$

Ensuite, on va calculer le deuxième paramètre d'entrée de ce bloc qui est la phase offset :

$$\text{Phase-offset} = \frac{2^N \times \text{la phase}}{2\pi} \quad (4.6)$$

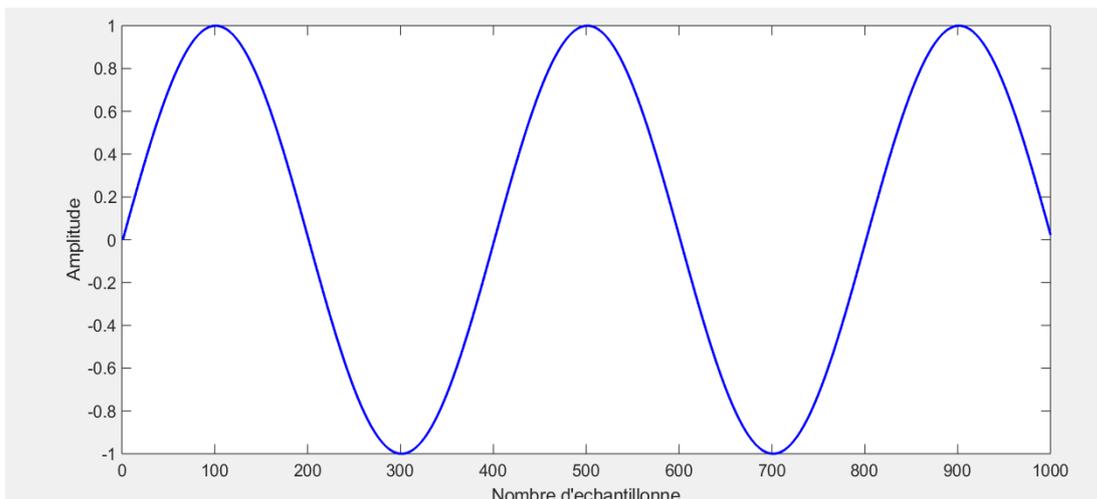
On prend la phase égale à zéro degré, donc la phase offset = 0

La figure ci-dessous (4.6) montre la configuration de l'oscillateur à commande numérique sur Matlab/Simulink.



**Figure (4.6).** Oscillateur à commande numérique.

La figure suivante (4.7) représente le signal sinusoïdal obtenu à la sortie de cet oscillateur.



**Figure (4.7).** Signal sinusoïdal obtenu à la sortie de l'oscillateur à commande numérique.

Calcul de la période du signal sinusoïdal :

La période = nombre d'échantillons sur une période  $\times$  la période d'échantillonnage.

$$= 400 \times 0.00005 = 0.02s.$$

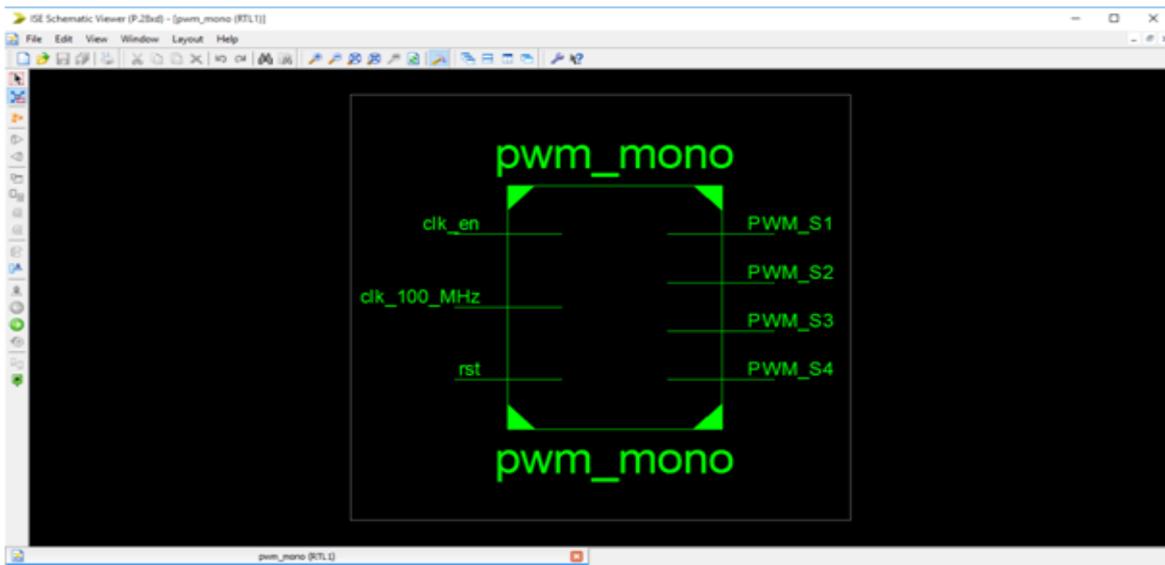
(4.7)

Et enfin, on a utilisé l'outil HDL coder pour générer le code VHDL du signal sinusoïdal.

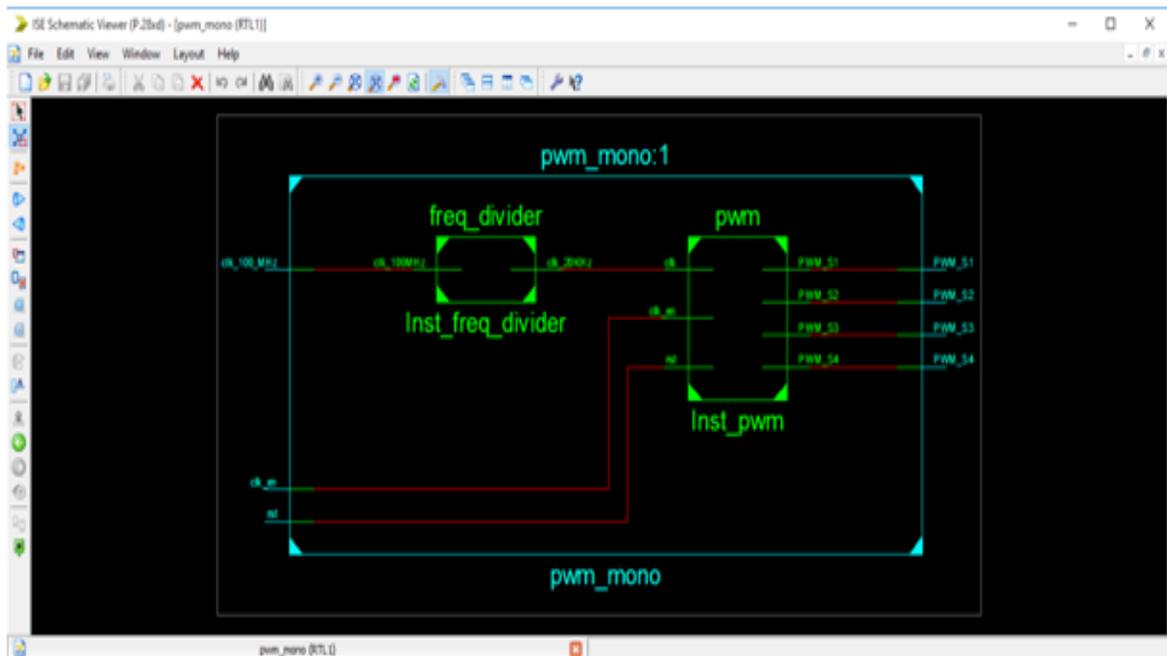
### 4.6.3 Simulation des résultats

Premièrement, avant de faire l'implémentation sur la carte FPGA VIRTEX 5, on a ajouté dans notre conception un diviseur de fréquence d'entrée 100 MHz et de sortie 20 KHz, car la fréquence d'horloge sur le pin « AD8 » de la carte FPGA VIRTEX 5 est à 100 MHz.

Les deux figures (4.8) et (4.9) représentent respectivement le schéma RTL (Register Transfert Logic) et le schéma RTL interne de notre conception sous l'environnement ISE 14.2 pour générer les quatre signaux PWM de l'onduleur monophasé en pont H.

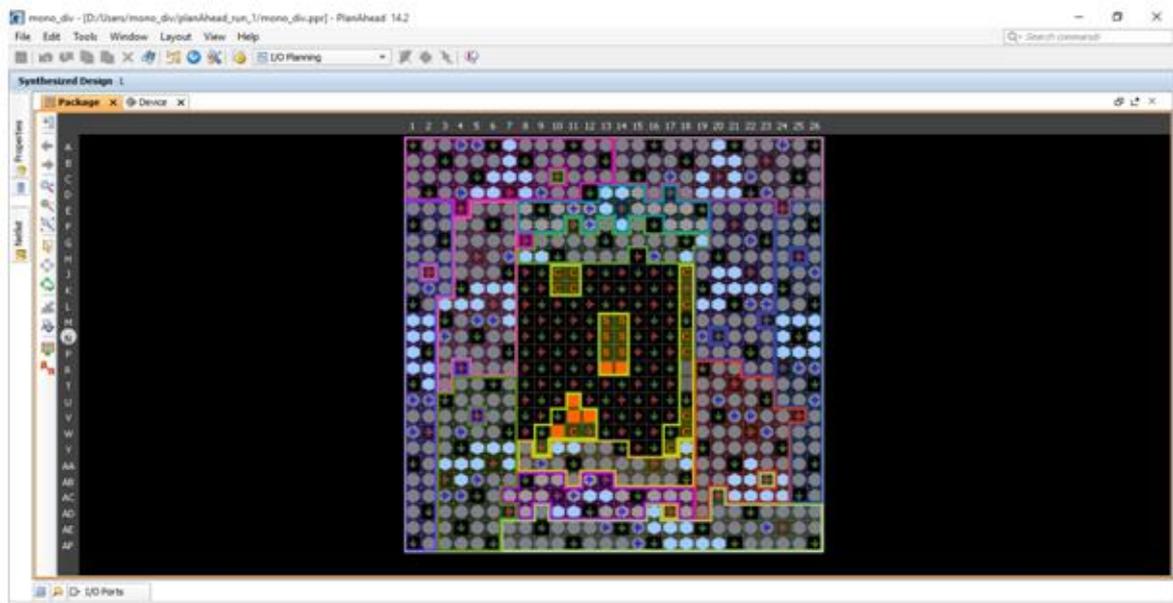


**Figure (4.8).** Schéma RTL de la commande MLI sinusoidale pour l'onduleur monophasé en pont H.



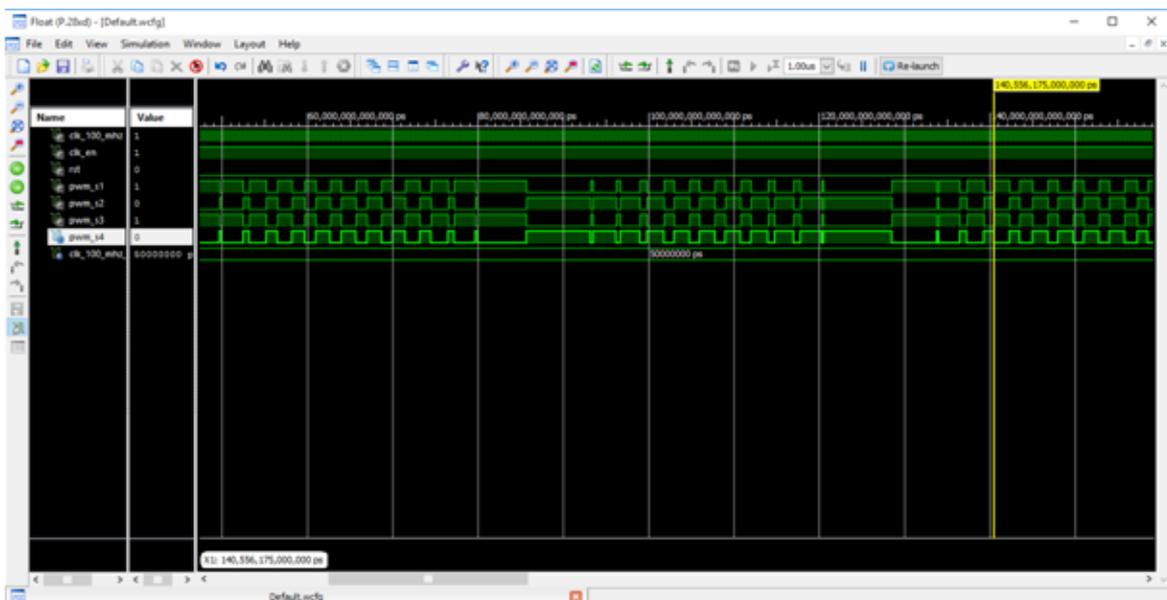
**Figure (4.9).** Schéma RTL interne de la commande MLI sinusoidale pour l'onduleur monophasé en Pont H.

La figure (4.10) représente l'emplacement et le routage entre les différents blocs logiques à l'intérieur de la carte FPGA VIRTEX 5.



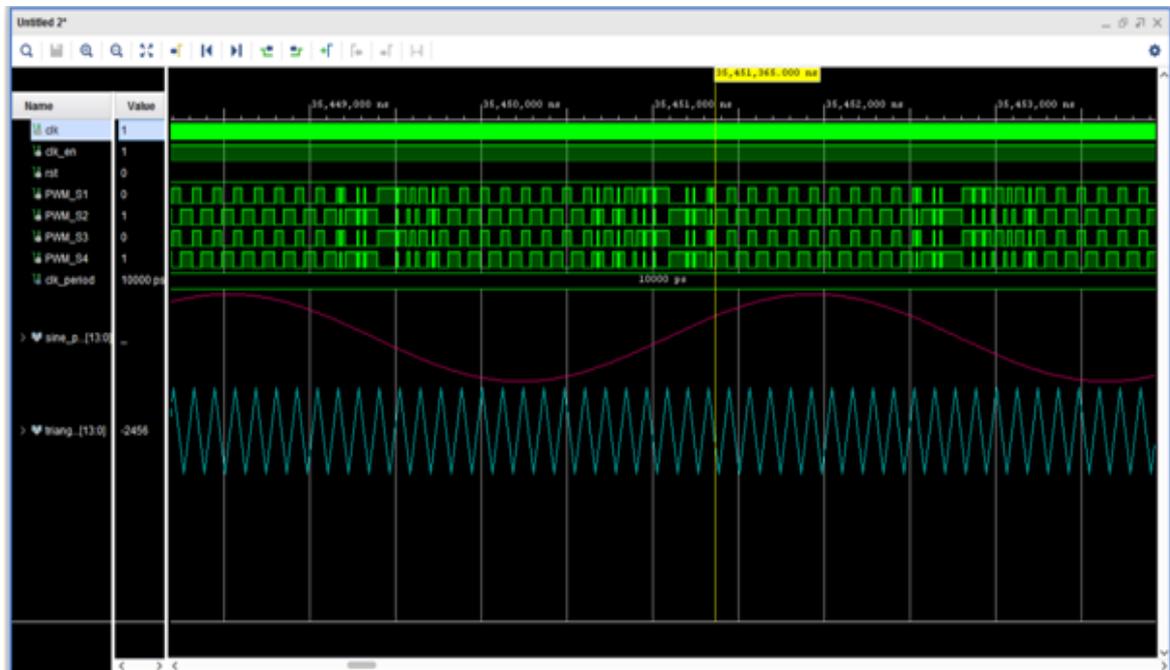
**Figure (4.10).** Placement et routage à l'intérieur de la carte FPGA VIRTEX 5 pour l'onduleur Monophasé.

Après la synthèse de notre code VHDL et la génération du schéma RTL, on passe à la simulation pour voir les signaux PWM. La figure (4.11) représente les signaux PWM obtenus après la simulation sous l'environnement ISE 14.2.



**Figure (4.11).** Signaux PWM pour la commande d'un onduleur monophasé sous L'environnement ISE 14.2

L'environnement ISE 14.2 ne permet de simuler que les signaux numériques, donc pour voir les signaux analogique (sinusoïdal et triangulaire), on a fait la simulation avec VIVADO design suite, la figure (4.12) représente le résultat de simulation avec ce logiciel.



**Figure (4.12).** Simulation du signal sinusoïdale, triangulaire et les signaux PWM sous VIVADO design Suite pour l'onduleur monophasé en pont H.

## 4.7 Implémentation sur FPGA de la commande MLI sinusoïdale pour un onduleur à deux niveaux de tension

L'implémentation FPGA de la commande MLI sinusoïdale pour un onduleur à deux niveaux de tension consiste à générer trois signaux sinusoïdaux de fréquence 50 Hz (sinus a, sinus b, sinus c), déphasé entre eux de 120 degrés, et de les comparer avec un signal triangulaire. Le résultat de la comparaison donne les six signaux PWM destinés à la commande des interrupteurs de l'onduleur à deux niveaux de tension.

Les étapes suivies pour générer ces six signaux PWM sont donnés comme suit :

- ✓ Pour obtenir le code VHDL de ces trois signaux sinusoïdaux : premièrement on va configurer le bloc NCO (Numerically Controlled Oscillator) de la bibliothèque hdllib de matlab Simulink pour obtenir à sa sortie le premier signal sinusoïdal (sinus a) de fréquence 50 Hz et de phase zéro degrés. Ensuite on doit le reconfigurer pour obtenir le deuxième signal sinusoïdal (sinus b) de fréquence 50 Hz avec un déphasage de 120 degrés. Enfin on va le reconfigurer pour la dernière fois pour obtenir à la sortie le troisième signal sinusoïdal de fréquence 50 Hz et un déphasage de 240 degrés. Après chaque configuration on utilise l'outil HDL coder pour générer le code VHDL de chaque signal sinusoïdale.
- ✓ La deuxième étape consiste à écrire un programme VHDL pour générer un signal triangulaire de fréquence 1KHz.
- ✓ Dans la troisième étape, on utilise la description structurelle avec l'instruction «port map » pour faire les interconnexions entre les trois blocs de la sinusoïde et le bloc du signal triangulaire ; et la description comportemental avec l'instruction «if...then » pour faire la comparaison et obtenir les six signaux PWM.

#### 4.7.1 Technique de configuration de l'oscillateur à commande numérique pour obtenir trois signaux sinusoïdaux déphasés entre eux de 120 degrés

La méthode de calcul de phase-increment et de phase-offset est la même que celle calculée précédemment pour l'onduleur monophasé, il suffit juste de modifier les valeurs de la phase et de la fréquence dans les équations de phase-increment et de phase-offset.

##### 4.7.1.1 Configuration de l'oscillateur pour obtenir le premier signal sinusoïdal (sinus a)

$$\begin{cases} F_{out} = 50 \text{ Hz;} \\ F_{CLK} = 20 \text{ KHz;} \\ N = 18; \end{cases} \quad (4.8)$$

$$\text{Phase-increment} = \frac{F_{out} \times 2^N}{F_{clk}} = \frac{50 \times 2^{18}}{20000} = 655 \quad (4.9)$$

$$\text{Phase-offset} = \frac{2^N \times \text{la phase}}{2\pi} = \frac{2^{18} \times 0}{2\pi} = 0 \quad (4.10)$$

##### 4.7.1.2 Configuration de l'oscillateur pour obtenir le deuxième signal sinusoïdal (sinus b)

$$\begin{cases} F_{out} = 50 \text{ Hz;} \\ F_{CLK} = 20 \text{ KHz;} \\ N = 18; \end{cases} \quad (4.11)$$

$$\text{La phase} = \frac{2\pi}{3}; \quad (4.12)$$

$$\text{Phase-increment} = \frac{F_{out} \times 2^N}{F_{clk}} = \frac{50 \times 2^{18}}{20000} = 655 \quad (4.13)$$

$$\text{Phase-offset} = \frac{2^N \times \text{la phase}}{2\pi} = \frac{2^{18} \times \frac{2\pi}{3}}{2\pi} = 87381 \quad (4.14)$$

#### 4.7.1.3 Configuration de l'oscillateur pour obtenir le troisième signal sinusoïdal (sinus c)

$$\left\{ \begin{array}{l} F_{out} = 50 \text{ Hz}; \\ F_{CLK} = 20 \text{ KHz}; \\ N = 18; \end{array} \right. \quad (4.15)$$

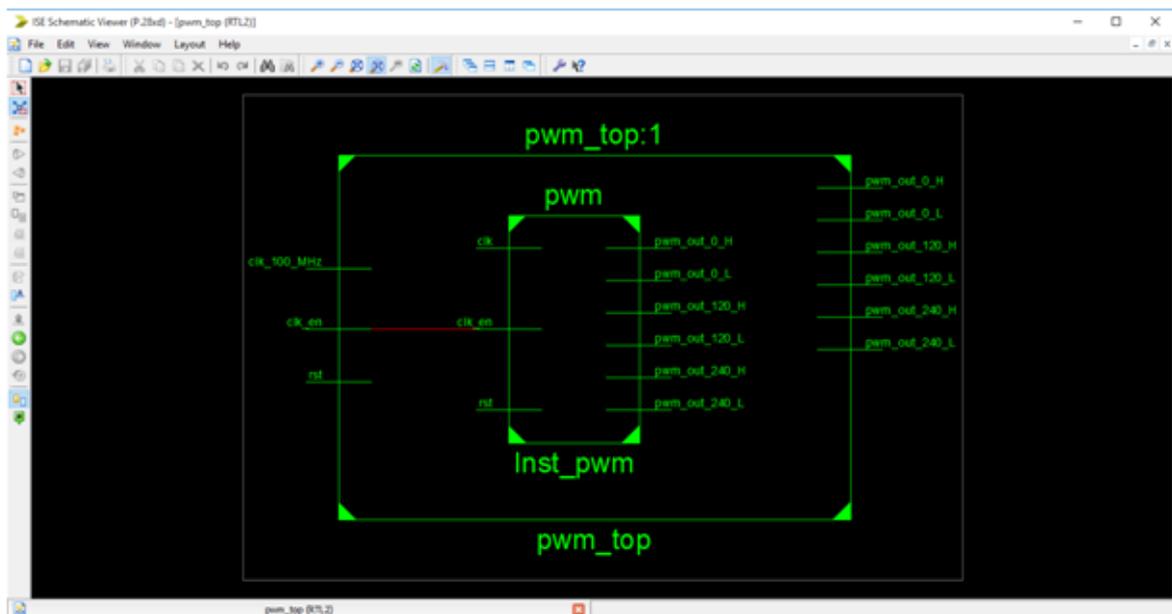
$$\text{La phase} = \frac{4\pi}{3}; \quad (4.16)$$

$$\text{Phase-increment} = \frac{F_{out} \times 2^N}{F_{clk}} = \frac{50 \times 2^{18}}{20000} = 655 \quad (4.17)$$

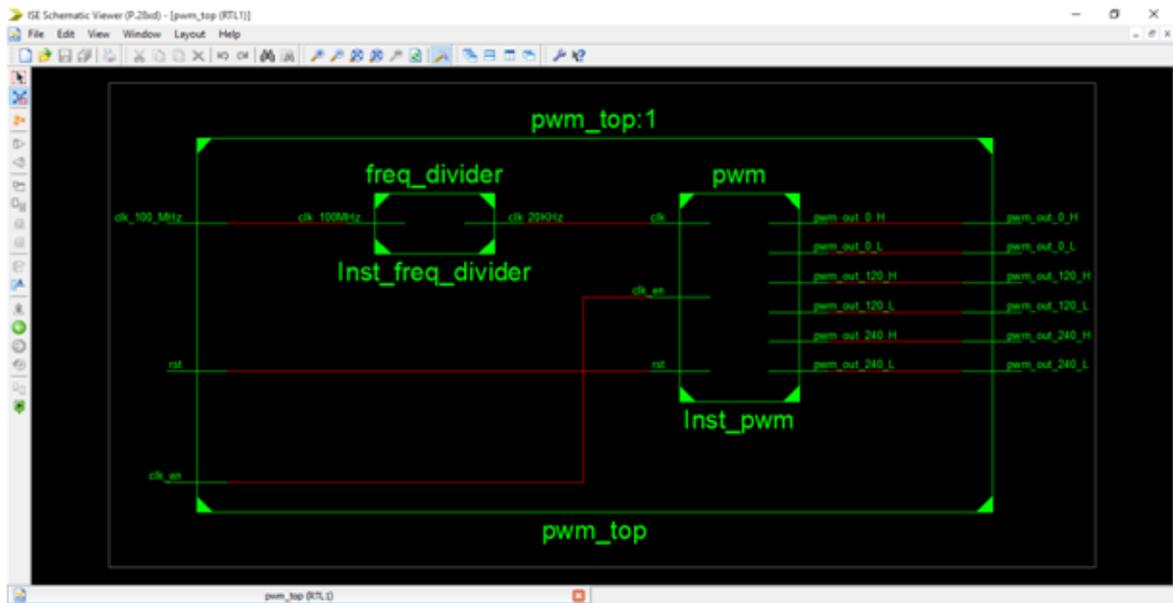
$$\text{Phase-offset} = \frac{2^N \times \text{la phase}}{2\pi} = \frac{2^{18} \times \frac{4\pi}{3}}{2\pi} = 174763 \quad (4.18)$$

### 4.7.2 Simulation des résultats

Les figures suivantes (4.13) et (4.14) représentent respectivement le schéma RTL et le schéma RTL interne du bloc des signaux PWM pour la commande d'un onduleur à deux niveaux.

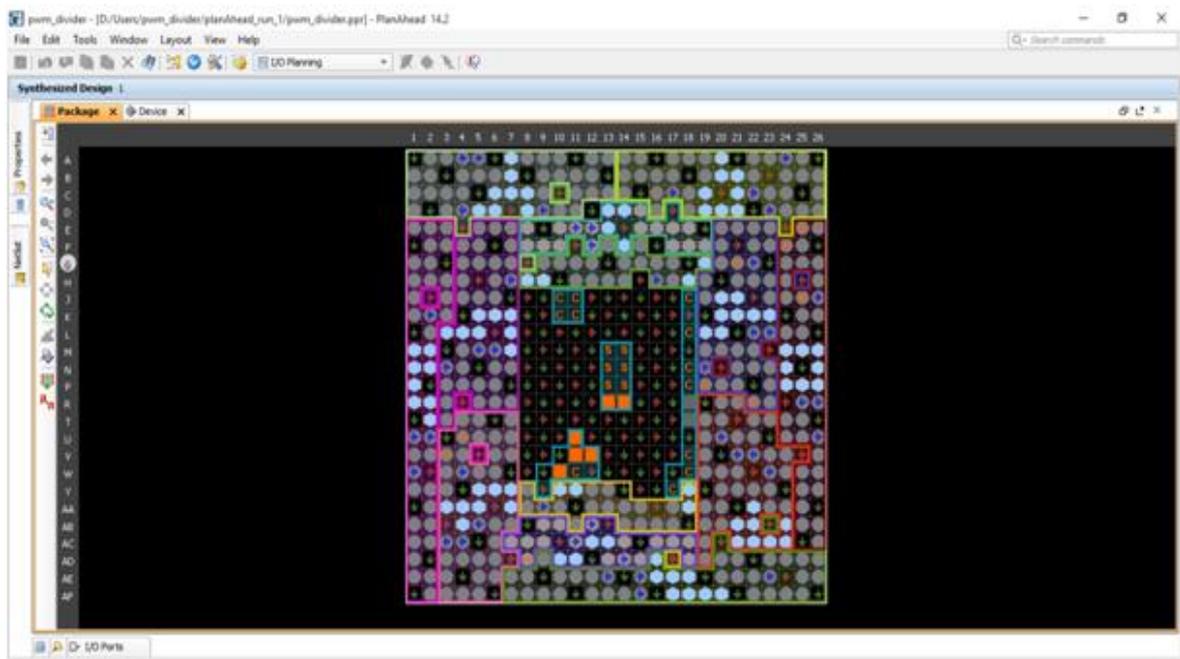


**Figure (4.13).** Schéma RTL de la commande MLI sinusoïdale de l'onduleur à deux niveaux de Tension.



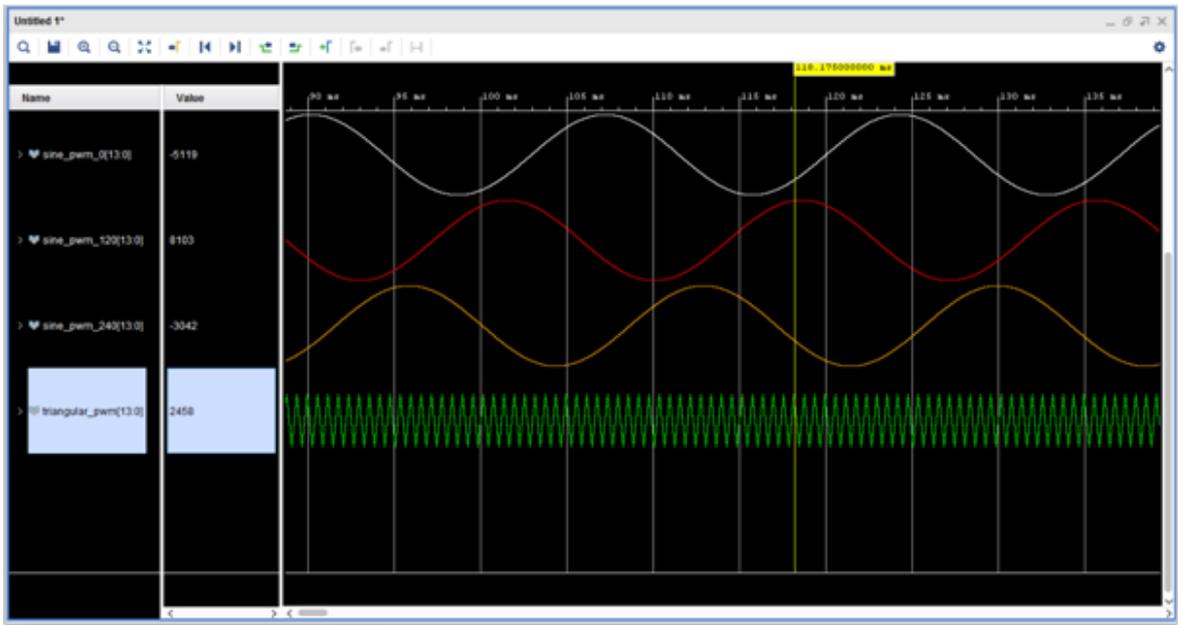
**Figure (4.14).** Schéma RTL interne de la commande MLI sinusoïdale de l'onduleur à deux niveaux de Tension.

La figure (4.15) représente l'affectation des broches entre les différents blocs logiques à l'intérieur de la carte FPGA VIRTEX 5 pour la génération des signaux PWM de l'onduleur à deux niveaux.

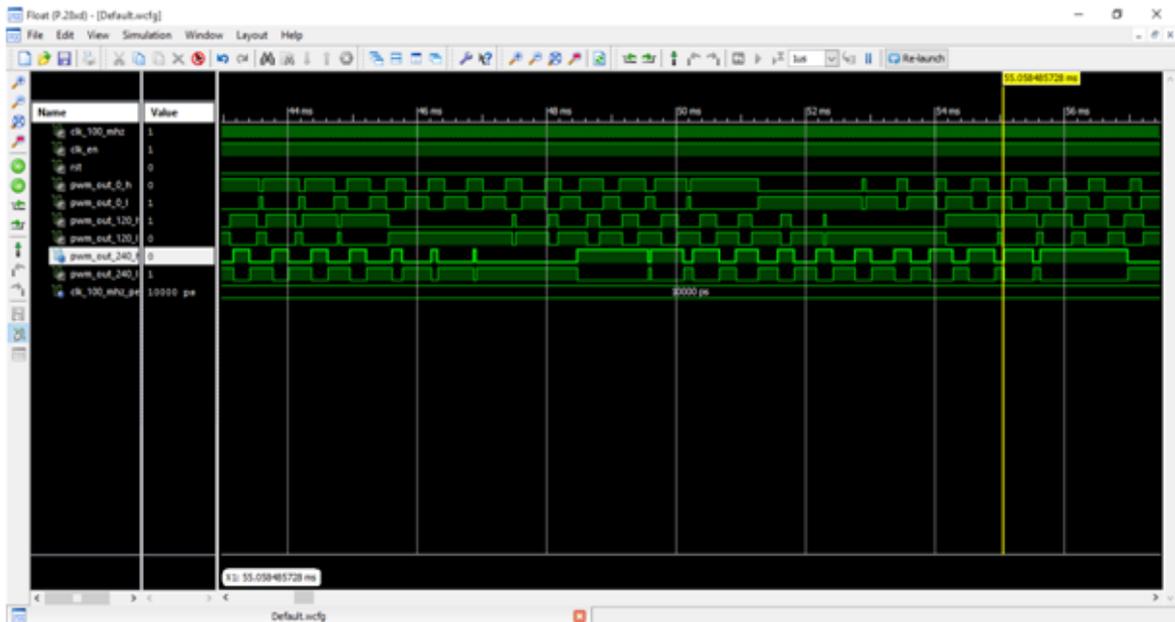


**Figure (4.15).** Affectation des broches entre les différents blocs logiques à l'intérieur de la carte FPGA pour la commande de l'onduleur à deux niveaux.

La simulation est faite par deux logiciels différents, mais de la même société XILINX, on a utilisé VIVADO design suite pour voir les signaux analogiques, et ISE 14.2 pour faire l'implémentation sur la carte et voir les signaux PWM, comme le montre les figures suivantes (fig.4.16) et (fig. 4.17).



**Figure (4.16).** Simulation des signaux sinusoïdaux et triangulaire de la commande MLI sinusoïdale pour l'onduleur à deux niveaux sous VIVADO design suite.



**Figure (4.17).** Simulation des signaux PWM de l'onduleur à deux niveaux sous ISE 14.2

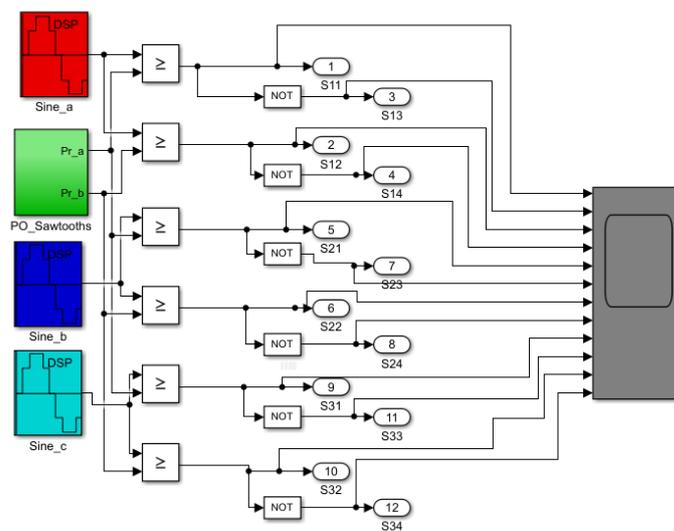
## 4.8 Implémentation sur FPGA de la commande MLI sinusoïdale pour un onduleur à trois niveaux de type NPC

La Démarche à suivre dans cette partie est donné comme suit :

- Utilisation de la bibliothèque hdlhb de Matlab/Simulink pour confectionner le schéma bloc.
- Conversion du schéma bloc en programmes VHDL.
- Simulation des programmes VHDL sous l'environnement ISE.
- Implémentation des programmes VHDL sur la carte FPGA.

Au début nous représentons un schéma bloc que nous avons réalisé à l'aide de MATLAB/SIMULINK pour générer 12 signaux PWM, la **figure (4.18)** suivante représente le schéma bloc général de la commande d'un onduleur triphasé à trois niveaux. Comme illustré, le schéma est constitué de trois blocs sinus pour produire des signaux sinusoïdaux avec un bloc de porteuses nommé (PO\_Sawtooths). Ce bloc a été créé pour générer deux signaux triangulaires pour l'exploiter ultérieurement.

Le but principal de ce schéma est pour générer des signaux PWM et en même temps pour concevoir le code VHDL à partir de la bibliothèque HDL coder, pour implémenter ce code dans les étapes suivantes sur la carte FPGA. Le fonctionnement de ce schéma bloc consiste à comparer chaque signal sinusoïdal avec les deux porteuses qui sont en opposition de phase entre eux. La **figure (4.18)** ci-dessous indique le schéma bloc qu'on a réalisé avec MATLAB /SIMULINK.



**Figure (4.18).** Schéma bloc sous MATLAB/ SIMULINK de la commande d'un onduleur à trois niveaux.

### 4.8.1 Bloc (PO \_ SAWTOOTH)

La figure (4.19) illustre le schéma bloc pour générer deux porteuses en opposition de phase. Ce schéma bloc a été créé car il est inexistant dans la version disponible de la bibliothèque hllib.

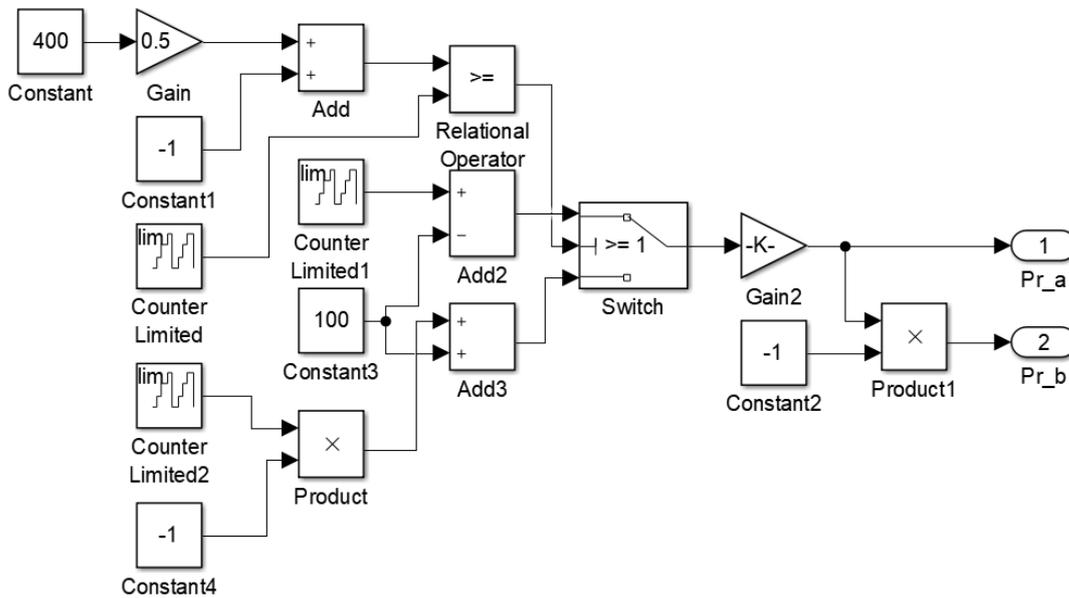


Figure (4.19). Schéma bloc pour (PO \_ Sawtooths).

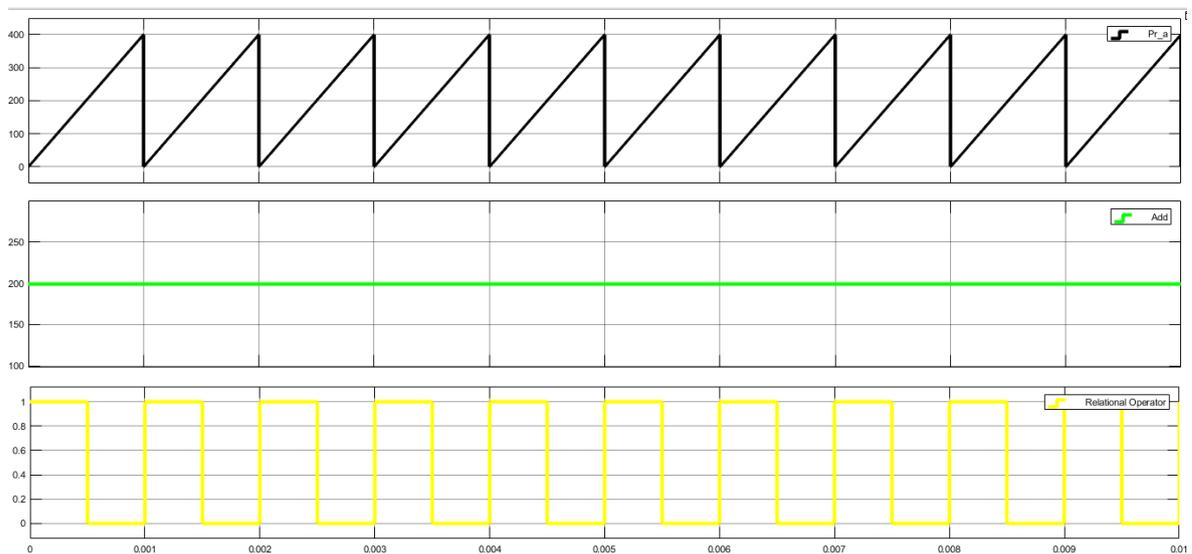


Figure (4.20). Résultats de comparaison.

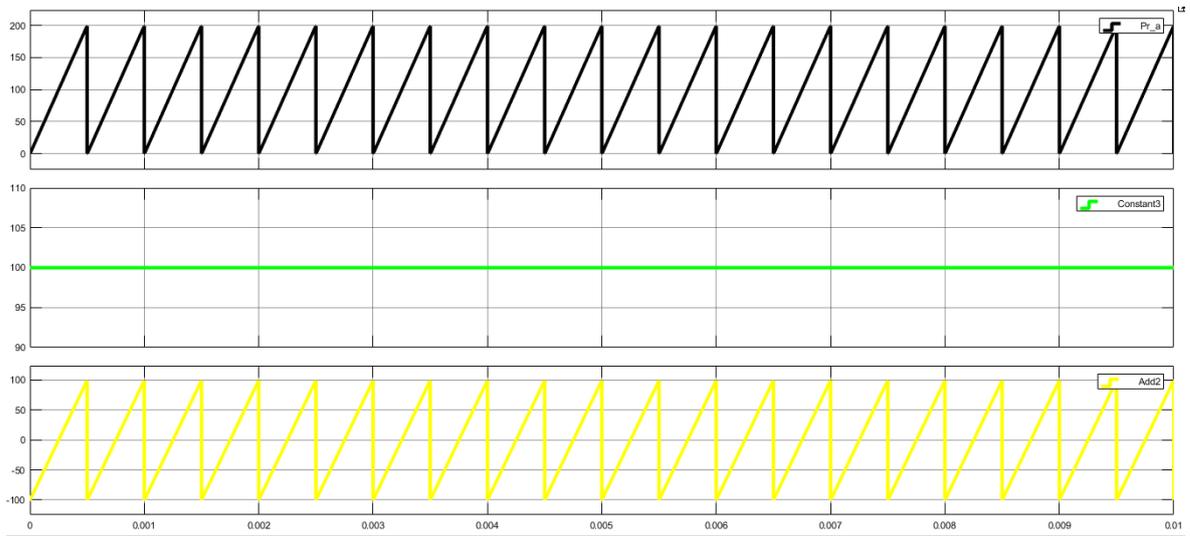


Figure (4.21). Résultats de counter limited 1

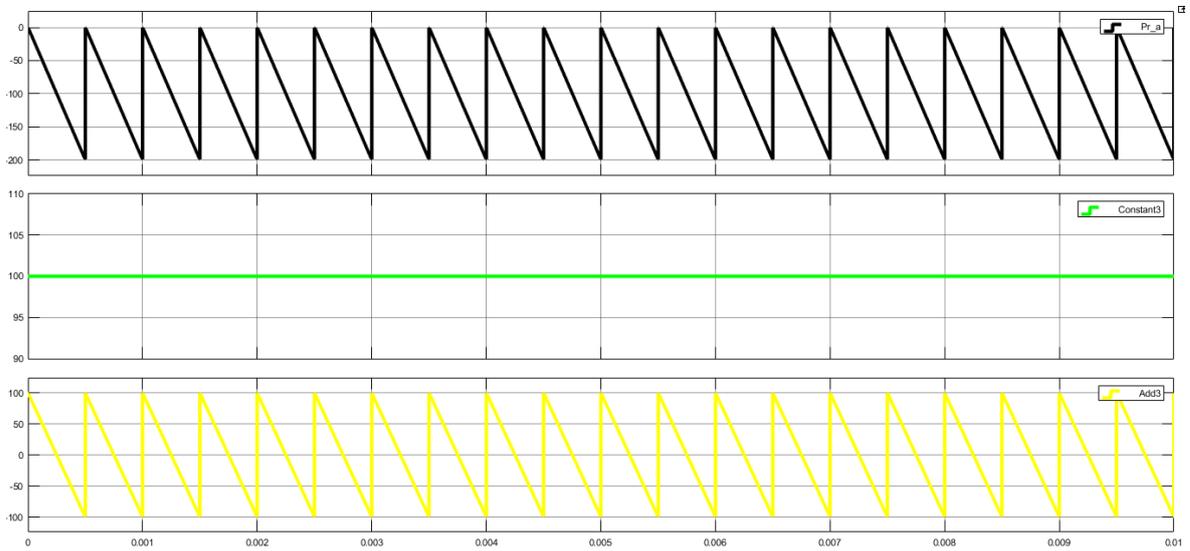


Figure (4.22). Représente les résultats de counter limited 2

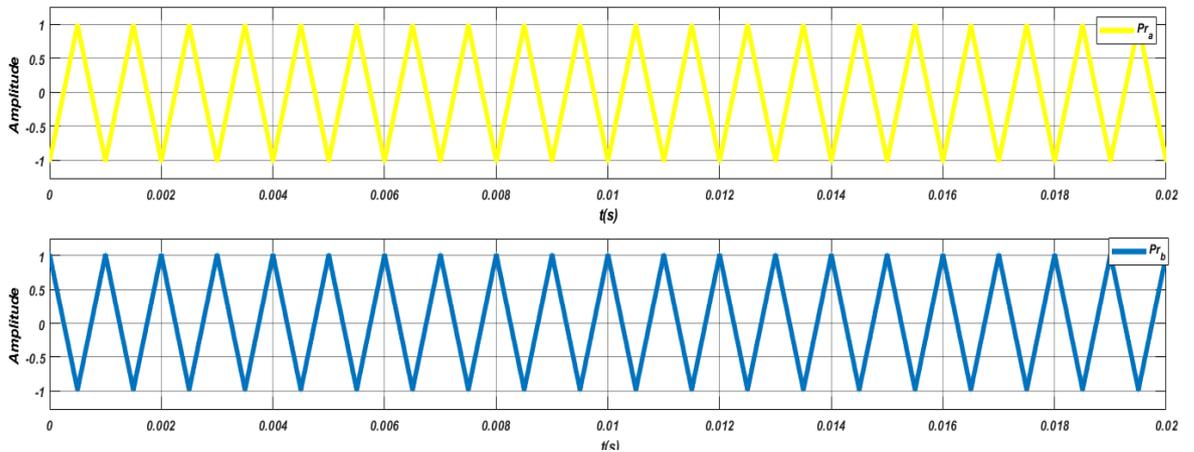


Figure (4.23). Présentation deux signaux triangulaires en opposition de phase.

## 4.9 Partie simulation

La figure (4.24) illustre les 12 signaux PWM générés par la commande MLI sinusoïdale sous MATLAB/SIMULINK. Ces signaux sont décomposés pour être orientés vers chaque bras de l'onduleur, tel que les quatre premiers signaux sont destinés pour le premier bras, et chaque signal PWM doit être injecté vers interrupteurs, et c'est la même chose pour le deuxième et le troisième bras tel que chaque bras reçoit quatre signaux PWM.

Ces signaux sont organisés de la manière suivante :

$$PWM\ 1 = \overline{PWM3}$$

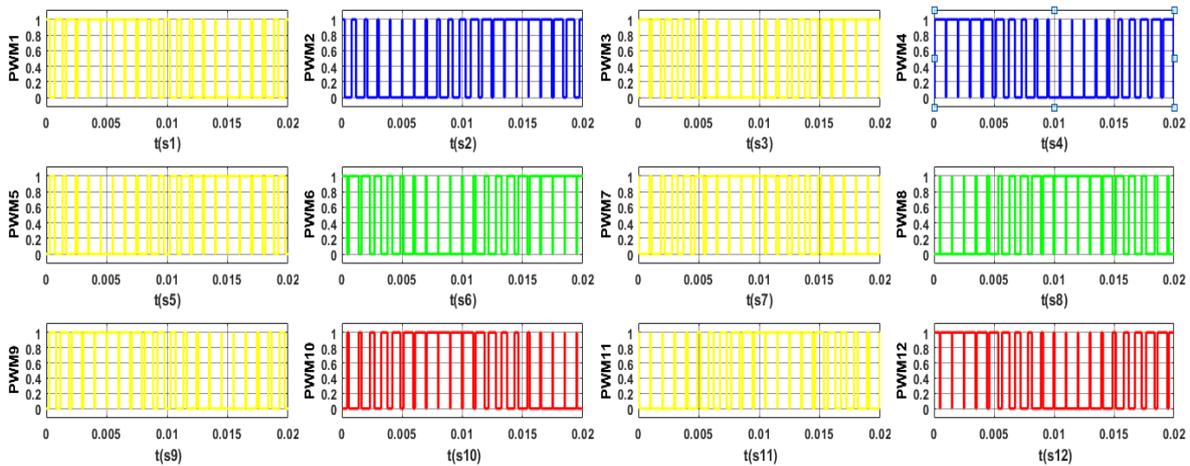
$$PWM\ 2 = \overline{PWM4}$$

$$PWM\ 5 = \overline{PWM7}$$

$$PWM\ 6 = \overline{PWM8}$$

$$PWM\ 9 = \overline{PWM11}$$

$$PWM\ 10 = \overline{PWM12}$$



**Figure (4.24).** Résultats de simulation des signaux PWM de l'onduleur à trois niveaux de type NPC sous MATLAB/Simulink.

### 4.9.1 Simulation sous l'environnement ISE 14.2

La figure (4.25) et la figure (4.26) représentent respectivement le schéma RTL (Registre Transfert Logic) et le schéma RTL interne du notre conception sous l'environnement ISE 14.2 pour générer les 12 signaux PWM de l'onduleur triphasé à trois niveaux.

Comme illustré dans la figure (4.26), notre concept est basé sur un bloc nommé « clock -divider ». Ce bloc permet d'abaisser la fréquence d'horloge de 100 Mhz vers 20Khz.

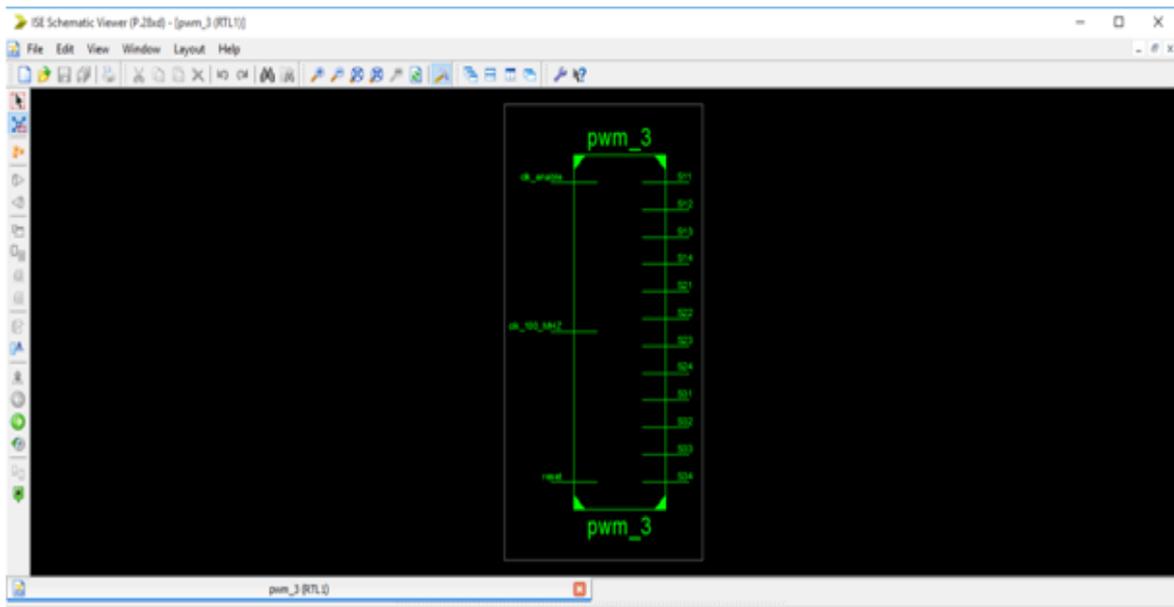


Figure (4.25). Schéma RTL de la commande MLI sinusoïdale de l'onduleur à trois niveaux de tension.

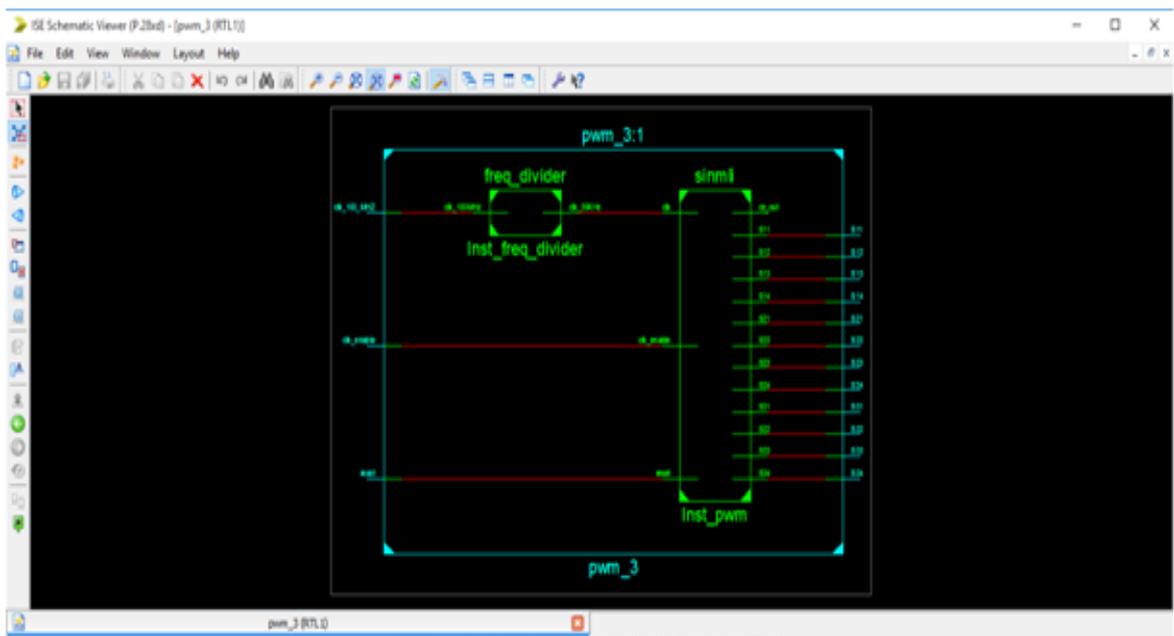
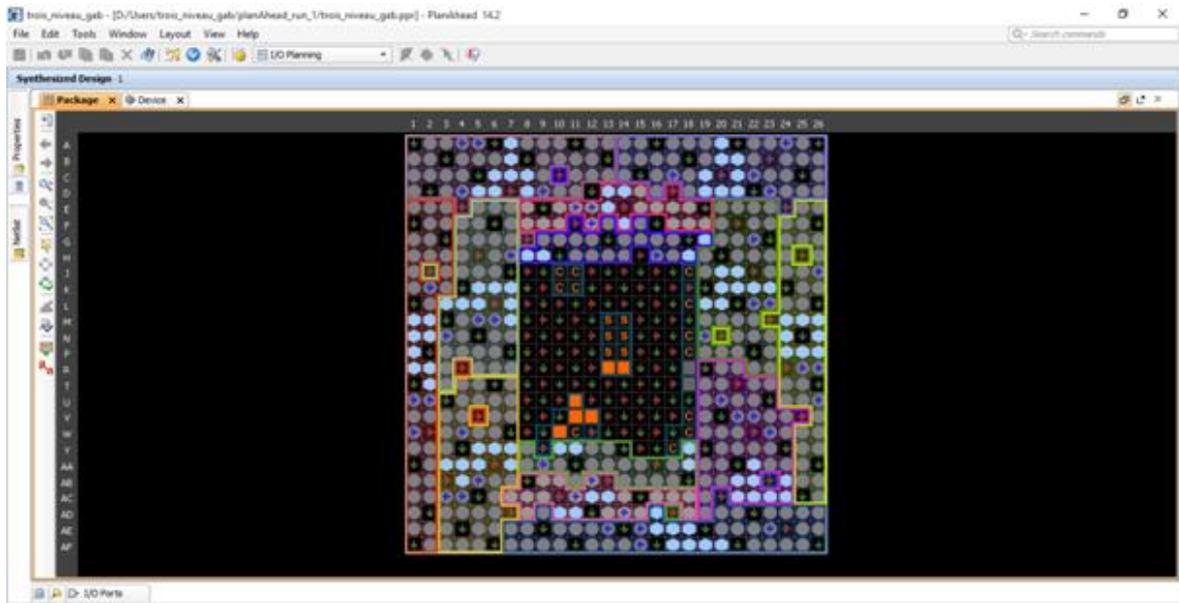


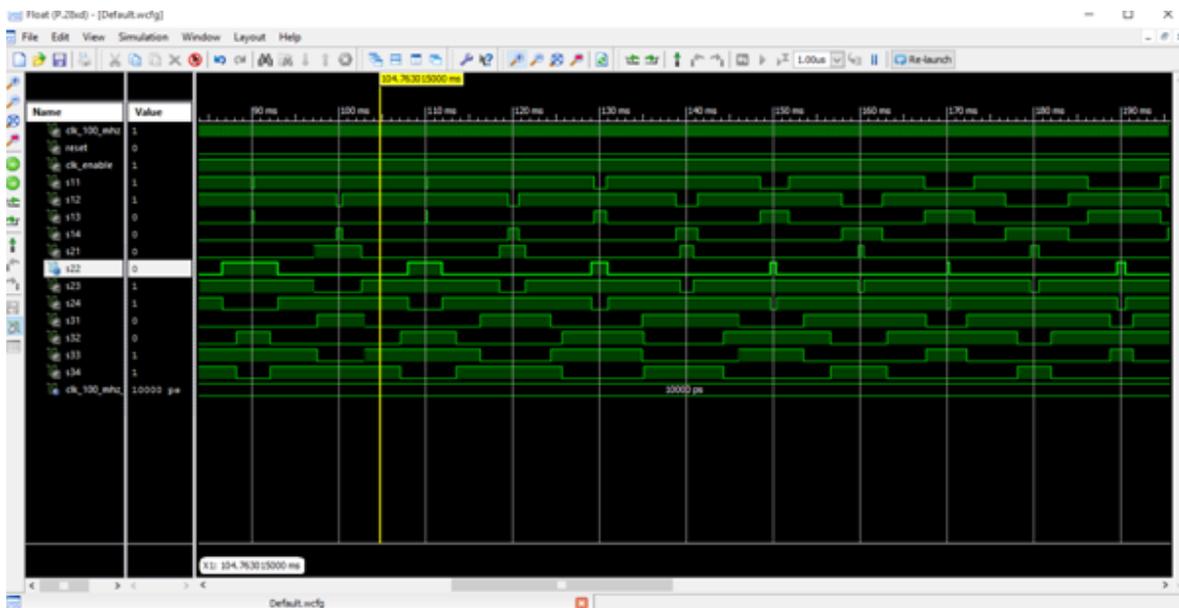
Figure (4.26). Schéma RTL interne de la commande MLI sinusoïdale de l'onduleur à trois niveaux de tension.

La figure (4.27) représente l'affectation des broches entre les différents blocs logiques à l'intérieur de la carte FPGA VIRTEX 5 pour la génération des signaux PWM de l'onduleur à trois niveaux.



**Figure (4.27).** Affectation des broches entre les différents blocs logiques à l'intérieur de la carte FPGA pour un onduleur à trois niveaux de type NPC.

La figure (4.28) représente les 12 signaux PWM de l'onduleur trois niveaux visualisés à l'aide du logiciel ISE 14.2.



**Figure (4.28).** Les signaux PWM de l'onduleur à trois niveaux.

## 4.10 Conclusion

Après une brève description des outils de conception assistés par ordinateur CAO, on est passé directement à une présentation générale des logiciels qu'on a utilisés dans notre travail comme ISE 14.2 et le VIVADO 2019.1. Ensuite on a défini l'outil qu'on a utilisé dans notre travail pour générer le code VHDL, c'est le HDL coder de MATLAB/Simulink.

Nous avons cité un bloc nommé NCO (**Numerically Controlled Oscillator**), ce bloc permet de générer des signaux **sinus** et **cosinus**. On a utilisé le NCO pour générer trois signaux sinusoïdaux qui sont déphasés entre eux, et avec le HDL coder on a généré le programme VHDL de ses trois signaux. Enfin, des tests de simulation ont été effectués afin d'ajouter le diviseur de fréquence qu'on a placé dans notre programme pour permettre de visualiser les signaux PWM pour les trois types d'onduleur (Monophasé, deux Niveaux, trois Niveaux).

## Conclusion générale

---

Avec le développement de la technologie des composants des semi-conducteurs et l'apparition des nouvelles structures des convertisseurs de puissance, l'utilisation de ces convertisseurs a largement augmenté. La cause est qu'ils touchent divers applications industriels dont la plus connue est sans doute celle de la variation de la vitesse des machines électriques.

Le travail présenté dans ce mémoire porte sur l'étude, la simulation et l'implémentation sur carte FPGA VIRTEX 5 de la commande par modulation à largeur d'impulsion (MLI) sinusoïdale, dans le but de générer des signaux destinés à la commande des onduleurs monophasés, et triphasé à deux et trois niveaux de tension à structure NPC.

Nous avons commencé dans le premier chapitre par réaliser une recherche bibliographique sur la définition et les différentes classifications des onduleurs d'un point de vue topologique et leur principe de fonctionnement avec leurs avantages et inconvénients. Nous avons constaté que les convertisseurs multi-niveaux améliorent la forme d'onde de la tension de sortie et leur qualité spectrale avec des fréquences de commutation des interrupteurs assez faibles selon la commande choisie. Ils permettent aussi de véhiculer des puissances élevées plus importantes que celles véhiculées par les convertisseurs à deux niveaux classiques.

L'inconvénient majeur des convertisseurs multi-niveaux est la complexité de leurs structures, car ils contiennent un grand nombre des composants semi-conducteurs, donc la commande de ce type de convertisseur reste compliquée en pratique.

Dans le deuxième chapitre, la simulation sur MATLAB/SIMULINK de la commande MLI sinusoïdale pour les onduleurs monophasés, à deux et trois niveaux de tension du type NPC a été abordée. Le but est d'analyser l'influence de l'indice de modulation ( $M$ ) et du coefficient de réglage ( $r$ ), ainsi que le nombre de niveau sur la qualité spectrale de la tension et du courant de sortie.

D'après la simulation et les valeurs du THD collectées des courants et des tensions obtenus à la sortie des onduleurs, que les trois facteurs essentiels qui nous permettant d'améliorer la forme d'onde de la tension et du courant de sortie, et de repousser les harmoniques vers les grandes fréquences sont :

- L'augmentation de nombre de niveau des onduleurs.
- L'augmentation de l'indice de modulation et,
- de garder le coefficient de réglage dans l'intervalle de variation linéaire de ce dernier en fonction de la valeur du fondamental du signal de sortie.

Dans la première partie du chapitre trois, on a présenté un état de l'art des différents circuits logiques programmables puis nous avons étudié les circuits FPGA en détail et spécialement ceux de la famille XILINX, ce qui nous a permis de conclure que la technologie FPGA s'inscrit au sommet de l'évolution des composants logiques programmables. En effet, plus économiques et disponibles en grande quantité avec un faible cout, ils offrent de grandes perspectives en matière de contrôle en temps réel.

Dans la deuxième partie de ce chapitre, nous avons présenté la structure du langage VHDL et les éléments fondamentaux de ce dernier ainsi que ces avantages et ses inconvénients. Il va sans dire que le VHDL est l'un des programmes le plus performants pour la programmation des circuits FPGA.

Le chapitre quatre représente la partie la plus importante de notre travail, qui est l'implémentation sur circuit FPGA de la commande MLI sinusoïdale pour la génération des signaux MLI, ces signaux sont utilisés pour commander les interrupteurs des onduleurs monophasés, et triphasé à deux et trois niveaux de tension.

Après la simulation et l'implémentation sur la carte FPGA VIRTEX 5, nous avons conclu que les cartes FPGA permettent de faciliter la commande de ces onduleurs statiques, grâce à leur grande capacité de calcul et vitesse d'exécution des programmes.

## Bibliographie

---

- [1] Benmira Hassan : 'Implantation de la commande vectorielle spatiale dans un circuit dédié', Université de trois rivières québec, Janvier 2003.
- [2] Brighen Haroun, Halaimia Safouane : ' Etude et analyse de la commande des onduleurs multi-niveaux par MLI sinusoïdale', mémoire de master, Université Larbi Tbessi Tebessa, année 2015/2016.
- [3] Fang Lin Luo, Hangye : 'Advanced DC/AC inverter', Nanyang Technological University sngapore, 2013.
- [4] Hichem Moussaoui : 'Les convertisseurs statiques et les interrupteurs électroniques, site academai éducation, (consulté le 13 janvier 2020), disponible sure <http://:academia.edu>.
- [5] Beloufa Abbés : 'Polycopie de cours électronique de puissance', Université Mustapha Stambouli of Mascara, 2015.
- [6] Ahmad abad : 'Single phase Inverter Controlled Using SPWM Technique, VADODARI Institute of engineering, Décembre 2014-2015.
- [7] Hidri Imed : 'Les convertisseurs DC-DC et DC-AC', Institute supérieurs des études technologiques de Nabeul, PDF.
- [8] Guy Séguier, Francis Labrique, Philippe Delarue : 'Electronique de puissance, 5 rue Laromiguire Paris, Dunod, 2011.
- [9] Khaled SAIDOUN, Mourad Si Moussi : 'Commande MLI d'un onduleur multi-niveaux', mémoire de master, Université Mouloud Mammeri de tizi – ouzo, 29/09/2015.
- [10] Bendaikha Abdelmalik : 'Commande par MLI Vectorielle D'un Onduleur multi-niveaux, thèse doctorat, Université Badji Mokhtar-annaba.
- [11] YAHIAOUI Abdelhalim : 'Etude et Réalisation d'un onduleur a structure NPC, mémoire de magister, Université A.MIRA BEJAIA, année 2013/2014.

- [12] Chouder Adel : 'Contribution à la commande des convertisseurs multicellulaires série, mémoire de magister, Université FERHAT ABBAS DE SETIF, 2009/2010.
- [13] T. A. Meynard, H. Foch : « *Dispositif Electronique de Conversion d'Energie Electrique* », Brevet International no. FR2679715, 29 Janvier 1992.
- [14] K. Benmansour : « *Réalisation D'un Banc D'essai pour la Commande et l'Observation Des Convertisseurs Multicellulaires Série : Approche Hybride* », Thèse de doctorat, Université de Cergy-pontoise, 2009.
- [15] G.P.Adam, dimpo Anay-Lara, JR Mc Donald : 'Comparaison between Flaying capacitor and modular multilevel inverter, IEEE university of Strathclyde, 204 George Street, Glasgow G1XW.
- [16] Jean-Sébastien MARIETHOZ : ' Etude Formelle Pour la synthèse de convertisseurs multi-niveaux Asymétriques : Topologies, modulation et commande', thèse doctorat, Ecole Polytechnique Fédérale Lausanne, 2005.
- [17] HANAFI Salah : 'Contribution à l'étude et à la commande des structures de conversion d'énergie électrique de type convertisseur multicellulaire, thèse de doctorat, Université DJILLALI LIABES DE SIDI-BEL-ABBES, 13/06/2016.
- [18] Joseph SONG MANGUELLE : ' *Convertisseurs multi-niveaux asymétriques alimentés par transformateurs multi-secondaires basse-fréquence: réactions au réseau d'alimentation*', Thèse n° 3033 (2004), École Polytechnique Fédérale de LAUSANNE, Suisse.
- [19] Mamadou Baldé : 'Etude D'un Compensateur Statique Pour Eoliennes à vitesse fixe à base de génératrice asynchrone à cage', Comme exigence partielle de la maîtrise en génie électrique, Université du québec à trois-Rivières, Décembre 2010.
- [20] Boukhandoul abdelhalim : 'Etude et Réalisation d'un onduleur multi-niveaux à topologie cascadié', Mémoire de magister, Université A.MIRA-BEJAIA, 2013/2014.
- [21] Abdou Syria : 'Modeling and simulation of cascade multilevel inverter', site academia éducation, (consulté le 5 mars 2020), disponible sur [http// : academia.edu](http://academia.edu).
- [22] Henri Foch, Francois Forest, Thierry Meynard : Onduleur de tension-structure-principe-application, (Consulté le 5 février 2020), Disponible sur [http// technique-ingénieur.fr](http://technique-ingénieur.fr).

- [23] Boukeroui Abdellah, Talaourar Abderrahmane : 'Etude et simulation d'un système d'alimentation sans interruption', mémoire de master, Université M'hamed bougara-boumerdese, juin 2017.
- [24] Francois Forest : Convertisseur électrique et application, consulté le 19 mars 2020 , disponible sur [http://technique\\_ingénieur.fr](http://technique_ingénieur.fr)
- [25] Lakehal Bilel : 'Modélisation et commande d'un onduleur triphasé à structure multi-niveaux', mémoire de master, Université A/Mira-Bejaia, année 2014/2015.
- [26] Hassaine Linda : 'Onduleur photovoltaïque connectés au réseau électrique', Division Energie solaire photovoltaïque-Algérie, Vol N°20, 2011.
- [27] Krishma Kumar Gupta, Pallavee Bhatnagar : 'Multilevel Inverters', Academic press is an imprint of Elsevier, 2018.
- [28] DELLALO KHEIREDDINE : 'Stratégie de commande des onduleurs multi-niveaux, mémoire de master, Université BADJI MOKHTAR-ANNABA, année2019.
- [29] AN –CM-270 , Design and implementation of single –phase inverter .gp, Green PAK Design File ,Dialog semiconductor, 18-février-2019.
- [30] Midou Bougui : 'Onduleur a trois niveaux a structure NPC', Ecole Nationale Polytechnique d'Alger', année 2012.
- [31] Yakoub Khadidja : 'Réduction des effets de la tension homopolaire dans les associations onduleurs multi niveaux moteur à induction', mémoire de magister, Université de Batna, année 2005.
- [32] Christien Tavernier : 'Circuits Logiques Programmables', Dunod, Paris, 1996.
- [33] A.KILAN : 'Introduction aux circuits logiques programmable', site de technologie professionnel, (consulté le 4 avril 2020), <http://technologiepro.com>.
- [34] TAYARI LASSAD : 'Support de cours FPGA', Institute supérieur des études technologiques de Gabés, année 2014-2015.
- [35] Dr.Alioua chehla épouse Benhadji : ' Du langage VHDL aux circuits programmables', Université Mohamed Sedik Benyahia JIJEL, PDF.

- [36] Nicolas Roddier : 'Initiation à l'électronique programmée', Ecole d'ingénieur aéronautique et spatiale Toulouse, Février 2016.
- [37] GUETTAT ABDELGHANI : ' Conception et Implémentation d'un corrélateur Numérique sur FPGA, mémoire de magister, Université de science et de technologie d'Oran, année 2012.
- [38] Fandi Tadj Eddine : 'Simulation d'un classifieur neural sur FPGA', mémoire de master, Université Abou BAKR Belkaid de Tlemcen, année 2013.
- [39] Nicolas MARQUES : 'Méthodologie et architecture adaptative pour le placement efficace de tâches matérielles de tailles variable sur des partitions reconfigurables', thèse de doctorat, Université de Lorraine, Novembre 2012.
- [40] EL-PRO-CUS, 'Basics of FPGA architecture and application', consulté le 25/04/2020, Disponible sur [elprocus.com/FPGA-architecture and application](http://elprocus.com/FPGA-architecture-and-application).
- [41] Shahram KARIM : 'Continuité de service des convertisseurs triphasés de puissance et prototypage FPGA in the loop', Université de Lorraine, 26 janvier 2009.
- [42] SAADI AMINA, KASRAOUI Roumaïssa : ' Implémentation FPGA d'un générateur chaotique multi-scrolls', mémoire de master, Université de Saad Dahlab Blida , année 2018-2019.
- [43] ALAIN HORE : 'Traitement des images Bidimensionnelles à l'aide des FPGA', Université de Québec à Chicoutimi, Décembre 2005.
- [44] M. Belkadi, 'Le langage VHDL', Département informatique, année 2013/2014.
- [45] MELLAH RABAH : 'Commande d'un robot en position à base d'une carte FPGA, mémoire de master, Université MOULOUD MAMMARI TIZI-OUZO, année 2013.
- [46] Alain Vachoux : 'Le langage VHDL', Ecole polytechnique fédérale de Lausanne, 2003.
- [47] Hayet Zidani, Kahina TEKLAL : 'Réalisation d'un microprocesseur 8 bits sur une carte FPGA', mémoire de master, Université MOULOUD MAMMARI TIZI-OUZO, 2018.
- [48] Etienne Messerli : 'Manuelle VHDL synthèse et simulation', haute école d'ingénierie et de gestion de canton, septembre 2007.

- [49] BABA Ahmed Amel : ' Vers Un Modèle De Classification Neuronale Des Données Médicales A Base De La Technologie FPGA', thèse de doctorat, Université Abou BAKR Belkaid de Tlemcen, année 2017.
- [50] AZIRA HIBA, KHETTAL MAHDIA : 'Analyse et implémentation du système chaotiques de Qi', mémoire de master, Université se saad dahlab blida 1, année 2015-2016.
- [51] AZZA ABDELAZIZ : OUAZENE HAMZA : ' Etude en Implémentation sur FPGA de la commande PID, mémoire de master, Université de saad dahlab blida, juin 2012.
- [52] XILINX VIVADO, 'Guide d'utilisation de XILINX VIVADO', V 1.1, Septembre 2017.
- [53] Adel Ati : 'Prototypage rapide à base de FPGA et validation en temps réels et sur les ondes d'un estimateur à maximum de vraisemblance de l'étalement Doppler', Université de Québec, année 2015.
- [54] Arti Dattatray GaiKward, SheKchar H.Bodake : ' DIRECT DIGITALE SYNTHESIZER Using Numerically Controlled Oscillator for signal Génération', Department of electronics and Telecommunication, Vol 5 Issue 9, septembre 2016.

## Annexe

---

Les figures suivantes représentent les signaux PWM visualisés sur l'oscilloscope après l'implémentation sur la carte FPGA VIRTEX 5 de la commande MLI sinusoidale pour un onduleur à deux niveaux de tension.

