

الجمهورية الجزائرية الديمقراطية الشعبية
République Algérienne démocratique et populaire

وزارة التعليم العالي والبحث العلمي
Ministère de l'enseignement supérieur et de la recherche scientifique

جامعة سعيد دحلب البليدة
Université SAAD DAHLAB de BLIDA

كلية التكنولوجيا
Faculté de Technologie

قسم الإلكترونيك
Département d'Électronique



Mémoire de Master

Filière : Électronique
Spécialité : Micro-électronique

Présenté par :

Boukhari hamza

&

Khaled Abdelhakim

Influence des paramètres géométriques sur les paramètres des transistors MOS

Proposé par : Mr. BELLA MOURAD

Année Universitaire 2020-2021

REMERCIEMENTS

Nous remercions tout d'abord dieu qui nous a procuré courage, volonté et patience pour réaliser ce présent travail.

Nous souhaitons assurer l'expression de notre gratitude et nos sincères remerciements à notre promoteur Mr. Bella Mourad pour son encadrement, sa disponibilité et le suivie qu'il nous a accordé durant la conception de la rédaction de ce mémoire.

Nos vifs remerciements vont aussi aux membres de jury pour l'intérêt qu'ils ont porté à notre recherche, et l'honneur qu'ils ont fait en acceptant d'examiner notre travail.

Nous remercions aussi tous les membres de notre famille, nos amis et tous ceux qui ont participé à la réalisation de ce mémoire ainsi que l'ensemble des enseignants qui ont contribué à notre formation.

Enfin, on ne remerciera jamais assez nos parents, puisque ce travail n'est que le fruit de leur bonne éducation et leur soutien.

On aurait souhaité assurer chacun en particulier de notre reconnaissance, mais ces quelques lignes n'auraient pas suffi.

MERCI

Table des matières

Table des matières

Introduction générale

Chapitre I : Le transistor MOS

Introduction.....	5
La structure de la capacité du transistor MOS	5
Evolution de la technologie CMOS et la loi de moore	6
L'architecture du transistor MOS, et son principe de fonctionnement	8
Présentation de l'architecture du transistor MOS	8
Régimes de fonctionnement du transistor MOSFETs.....	10
Les paramètres électriques du Transistor MOS	11
MOSFET submicronique et les effets des canaux courts.....	12
Effets indésirables dans le transistor MOSFET à canal court.....	13
Effet de canal court : SCE (Short Channel Effect)	13
Effet de DIBL (Drain Induced Barrier Lowering)	14
Effet de Canal Court Inverse.....	15
Effets de porteurs chauds	16
Conclusion.....	17

Chapitre II : Présentation de logiciel SILVACO

Introduction	19
Présentation du logiciel SILVACO.....	19
La VWF (Virtual wafer Fabrication)	19
ATHENA	20
ATLAS	20
DECKBUILD.....	20
TONYPLOT.....	21
Entrées et sorties d'ATLAS	21
Définition du programme de simulation dans DECKBUILD	22
Construction de la structure	23

Définition du maillage	23
Définition de la région.....0	26
Définition des électrodes.....	30
Définition des dopages.....	32
Définitions de modèles et matériaux.....	34
Analyse	36
Organigramme de simulation.....	38
Conclusion.....	40

Chapitre III : Résultats et discussions

Introduction	42
Présentation du dispositif simulé	42
La simulation d'une structure MOSFET verticale sous environnement	42
Choix de paramètres technologiques pour le MOSFET double-grille	43
Résultats obtenus.....	47
Caractéristiques d'entrée.....	47
Caractéristiques de sortie.....	48
Effet de la longueur du canal.....	49
Effet de la variation des paramètres de notre structure sur son courant de drain.....	49
Influence de la variation de la longueur de la grille	50
Effet de l'épaisseur du canal	52
Conclusion.....	55
Conclusion générale	

Liste des figures :

N°	DESIGNATION DES FIGURES	PAGES
I.1	Schéma d'une structure MIS	6
I.2	Réduction d'échelle de la technologie CMOS, qui s'accord avec la loi de Moore.	7
I.3	Schéma du MOSFET de type N.	9
I.4	Évolution du potentiel surfacique en fonction de la longueur du canal et du potentiel du drain.	14
I.5	Influence de l'effet du DIBL sur la caractéristique ($I_d - V_g$) du transistor MOS	15
I.6	Variation de la tension de seuil avec la longueur de grille illustrant l'effet de canal court inverse	16
II.1	La virtuelle wafer fabrication.	19
II.2	Entrées et sorties d'ATLAS.	22
II.3	Les commandes d'Atlas.	23
II.4	Représentation du maillage.	24
II.5	Représentante la déclaration du maillage suivant l'axe des X	25
II.6	Déclaration du maillage suivant l'axe des y.	25
II.7	Définition de la region1	26
II.8	La définition de la région 2.	26
II.9	Définition de la région 3	27
II.10	La définition de la région 4.	27
II.11	La définition de la région 5.	28
II.12	La définition de la région 6.	29
II.13	Représentation des matériaux.	30
II.14	Représente la définition des électrodes (la cathode)	30
II.15	Représente la définition des électrodes (l'anode)	31
II.16	Représentation des électrodes. [Cathode (au-dessus) ; anode (ci-dessous)].	32
II.17	Définition du dopage de la région 1.	33
II.18	Définition du dopage de la région 2.	33
II.19	Présentation du dopage.	34

Liste des**figures**

II.20	Définition des paramètres des matériaux.	35
II.21	Définition des contacte des électrodes.	36
II.22	Déclaration de la technique numérique.	36
II.23	Exemple de la déclaration EXTRAIT.	37
II.24	Les résultats obtenus par SILVACO.	38
II.25	Organigramme du programme de simulation élaboré par nous-même	39
III.1	Structure VMOSFET Verticale réalisée avec le simulateur Atlas(2D).	43
III.2	Paramètres technologiques et géométriques du MOSFET vertical définis lors des simulations 2-D	43
III.3	Structure MOSFET Verticale à canal unique réalisée avec le simulateur Atlas (2D)	44
III.4	Structure MOSFET Verticale à deux canaux réalisés avec le simulateur Atlas(2D).	44
III.5	Structure n-MOSFET Verticale a canal unique avec Electrodes.	45
III.6	Structure n-MOSFET Verticale à canal unique avec les profils de Dopage.	46
III.7	Le Maillage dans la Structure n_MOSFET Verticale.	47
III.8	Caractéristiques de transfert du MOSFET verticale simulé.	48
III.9	Caractéristiques de sortie du MOSFET verticale simulé.	49
III.10	Paramètres physique fix par défaut dans le simulateur.	50
III.11	Différentes longueurs de grille simulées.	50
III.12	Caractéristiques (ID-VGS) pour différentes longueurs de grille.	51
III.13	Caractéristiques (ID-VDS) pour différentes longueurs de grille.	51
III.14	Caractéristiques (ID-VGS) pour différentes valeurs de tox	53
III.15	Caractéristiques (ID-VDS) pour différentes valeurs de tox.	54
III.16	Caractéristiques (ID-VGS) et ID-VDS pour tox =1nm et tox=3nm.	55

Introduction générale

Introduction générale :

Depuis plus de 30 ans, l'industrie des semi-conducteurs est connue pour la rapidité de production des composants de nouvelle génération, toujours de plus en plus efficace.

Depuis 1970, cette évolution a été décrite par la loi de Gordon Moore, qui stipule le double du nombre de composants de chaque circuit tous les dix-huit mois. L'augmentation de la densité d'intégration et de la vitesse du circuit. L'augmentation continue a conduit à la réalisation de dispositifs submicroniques et à l'émergence de limites physiques intrinsèques.


C'est pourquoi, de grands laboratoires de recherche du monde entier s'unissent sur une route internationale sur la technologie des semi-conducteurs (ITRS) pour identifier les principaux défis techniques.

Jusqu'à présent, les transistors MOSFET sont considérés comme les plus importants dans l'industrie des circuits intégrés (CI). Leur ampleur se poursuit jusqu'à 2 fois tous les deux ans, respectant ainsi la loi de Gordon Moore. Sa consommation est également en baisse. Une nouvelle génération de transistors conçue.

Alors que la demande pour plus d'équipement continue de croître à haute vitesse, faible consommation d'énergie et densité d'intégration plus élevée, la taille des transistors continue de diminuer, de quelques microns à quelques nanomètres. C'est ainsi que fonctionnent les transistors MOSFET traditionnels. Atteindre les limites physiques qui conduisent à la recherche technologique alternative, car comme sa géométrie est considérablement réduite, l'effet indésirable connu sous le nom d'effet de canal court semble changer sa fonction normale, rendant impossible de suivre la conception originale. Cela a conduit à la recherche de solutions alternatives, y compris l'utilisation de nouveaux matériaux qui remplacent le silicium largement utilisé et de nouvelles architectures, telles que MOSFET vertical, SOI MOSFET, DGFET etc...

Il est cependant important de rappeler que pour des applications à haute puissance, le transistor MOSFET vertical est celui qui s'adapte le mieux.

Au cours de cette thèse, nous nous sommes concentrés sur la suggestion ou l'amélioration de



méthodes expérimentales et de modèles physiques pour décrire le transport électrique des transistors MOSFET en modifiant et en contrôlant les paramètres physiques et géométrique

CHAPITRE

I

Introduction :

Les concepts du transistor MOS (Metal Oxide Semiconductor) ont été brevetés par Lilienfeld et Heil en 1930. Cependant des obstacles technologiques, ils ont retardé la réalisation pratique dû principalement aux problèmes d'interfaces Si/SiO₂. Donc, il a été apparu sous sa forme dont on connaît actuellement qu'en 1955 grâce à Ross. Cela bien après sa réalisation par Shockley l'an 1947 du premier transistor de type bipolaire, pourtant théoriquement est compliqué, En 1960 que Kahng et Attala ont exhibé le premier transistor MOS sur Silicium par l'utilisation d'une grille isolée dont le diélectrique de grille était en oxyde de silicium SiO₂. Le silicium était un choix très convenable parce qu'il est le composant le plus abondant de la croûte terrestre après l'oxygène. Dans ce premier chapitre nous présentons la structure MOSFET Bulk et ses multiples régimes de fonctionnement et les effets indésirables liés à sa miniaturisation.

Les MOSFETs sur silicium, sont moins onéreux et plus simples par rapport à leurs rivaux. Leur envol a été connu dans la décennie 70-80 grâce à la technologie : Complementary MOS (CMOS). Cette dernière consomme peu d'énergie, qui a été inventée en 1968. Maintenant, ce transistor « MOSFET » est la base de toute conception des circuits intégrés ULSI (Ultra Large Scale Integration) et VLSI (Very Large Scale Integration), il a aussi conduit la technologie CMOS au rang incontesté de la technologie qui domine l'industrie du semiconducteur. Au cours des années, les circuits intégrés sont devenus plus compliqué de façon continue. En principe, c'est grâce aux performances accrues des nouvelles générations du transistor MOSFET.

La structure de la capacité du transistor MOS :

Dans la structure de la capacité du transistor MOS chaque condensateur se compose de deux (2) électrodes conductrices séparées par un matériau isolant. Aussi, on appelle la superposition de trois couches de matériaux « la capacité MIS » : le métal ou poly-silicium qui ont perdu les qualités de leurs espèces (la grille), l'isolant (SiO₂, HfO₂, Ta₂O₅, Si₃N₄...etc.) et le semiconducteur (Si, Ge etc.) de type N, ou type P (nommé Bulk ou Substrat). [I.1]

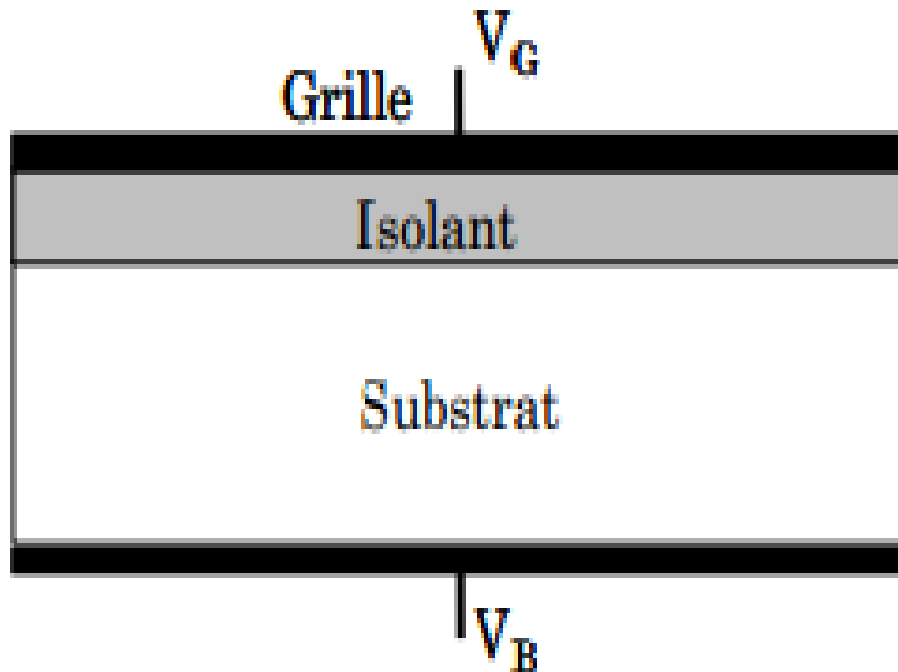


Figure I.1 : Schéma d'une structure MIS

La dénomination (Capacité MOS) résulte de la nature de l'isolant qui est un oxyde.

Evolution de la technologie CMOS et la loi de moore :

Récemment, Le développement et l'évolution de la micro-électronique depuis ces 30 dernières années est véritablement spectaculaire. Cette réussite résulte en grande part d'une maîtrise et savoir-faire technologique de plus en plus poussés de l'élément principale de la micro-électronique : le silicium. Le transistor Metal Oxide Semiconductor (MOS) est en même temps l'acteur concerné de première nécessité et le vecteur de ce développement technologique. Ce dernier est la base de la conception des circuits intégrés à très large, et ultra large échelle (VLSI.ULSI), il a fait de la technologie complementary MOS (CMOS) une technologie dominante de l'industrie du semi-conducteur d'une manière incontesté. Au cours des années, la complexité des circuits intégrés a progressé de façon continue, Ceci est principalement dû à la performance accrue des nouvelles générations des transistors MOS (TMOS). La baisse constante des dimensions de ces composants est la dynamo de cette course à la performance. Enfaite, cette volonté réduire toujours la taille des transistors MOS c'est la

cause qui a entraînée complètement l'industrie du semi-conducteur à se projeter et à se surpasser en permanence prochainement au futur.

En 1973, GORDON MOORE est un co-fondateur de l'Intel avait remarqué que le nombre de transistors intégrés sur une puce, doublait tous les 18 mois. Cette observation (remarque) avait donc conduit à deviner justement et prévoir que le nombre de transistors intégrés sur une même puce continuerait à doubler tous les 18 mois jusqu'à atteindre leurs limites physiques seront à ce la. La fiabilité de sa prédiction dans ces 30 dernières années était telle qu'on se réfère actuellement en tant que « **Loi de Moore** ». Dans nos jours, des circuits intégrés (IC) comprennent un nombre des transistors supérieur à 40 millions qui sont produits de façon microprocesseurs Industrielle. La grille du transistor MOS pour ces dernières générations de microprocesseurs fait $0.13 \mu\text{m}$ de longueur, pendant que la surface de la puce mesure dans l'intervalle de 80 à 150 mm^2 . Enfaite, la réduction de la longueur de grille des dispositifs a deux bienfaits décisifs pour les composants : d'un côté, à puissance égale, ça permet de diminuer la surface de silicium de la puce, ce qui en termes de cout est bénéfique, et d'autre côté, ça permet d'accroître la fréquence des circuits, cette réduction étant inversement proportionnelle à la longueur de grille.

La figure suivante présente la réduction d'échelle de la technologie CMOS, qui d'accord avec la loi de Moore.

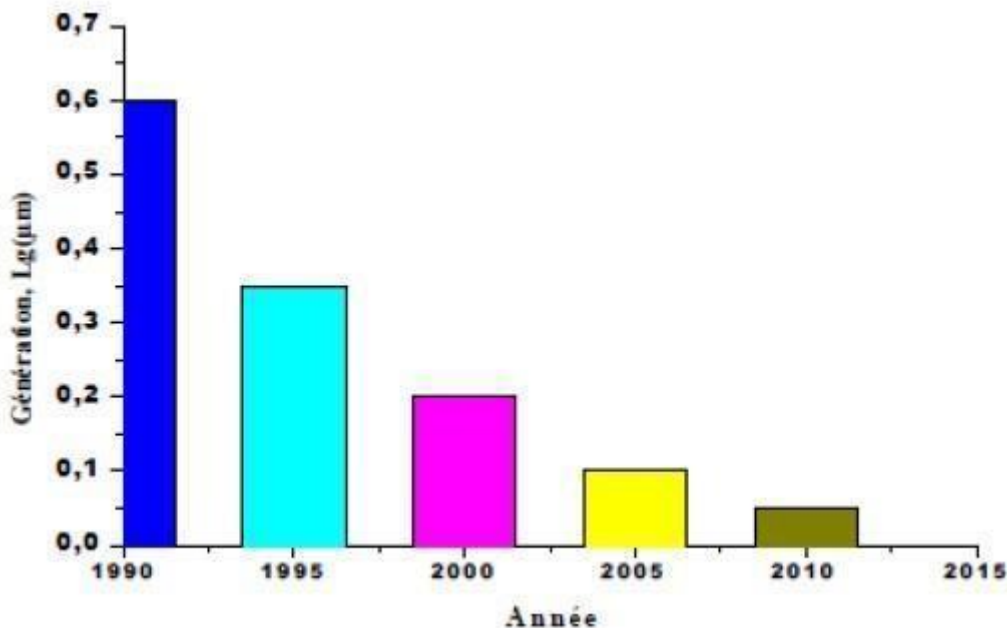


Figure I.2 : Réduction d'échelle de la technologie CMOS, qui s'accord avec la loi de Moore. [I.2]

L'architecture du transistor MOS, et son principe de fonctionnement :

La compréhension de tous les progrès réalisés à notre époque dans la miniaturisation du MOSFET sont préalablement dû aux études détaillées de MOSFET. L'approche Top Down utilisée dans sa réduction géométrique en essayant de préserver le comportement du MOSFET canal long.

L'étude prochaine commence d'abord par l'analyse du transistor MOSFET généralement, notamment la structure et le principe de fonctionnement.

On s'intéressera aux courbes caractéristiques du MOSFET, ses paramètres physiques et électriques dans le cas du transistor à canal long ($L > 100\mu\text{m}$).

Présentation de l'architecture du transistor MOS

La structure de base du transistor MOSFET (Métal Oxyde Semi-conducteur à effet de champ) est représentée par la suivante :

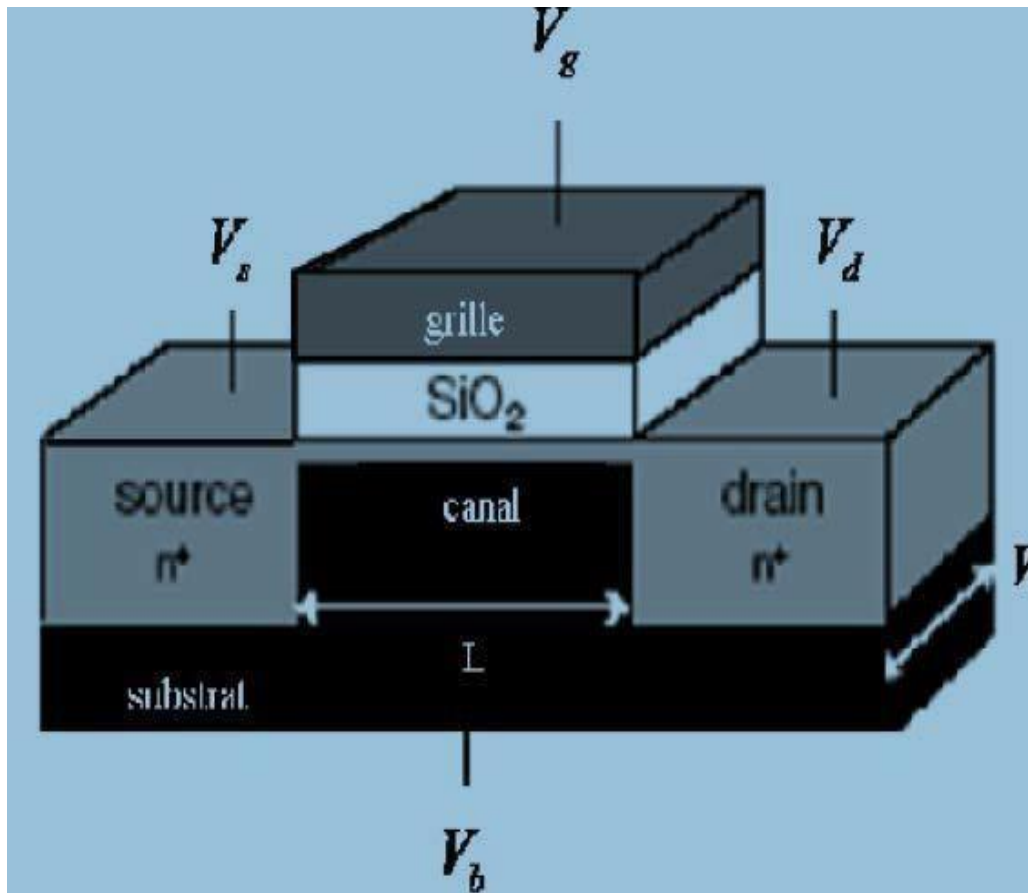


Figure I.3 Schéma du MOSFET de type N.

Nous avons présenté dans le schéma précédent un transistor MOSFET de type N. Ce transistor se réalise à partir d'un substrat semi-conducteur généralement de type P, dans lequel deux régions fixées N+ déterminent la source et le drain. L'électrode de grille est acquise à partir d'un oxyde (SiO_2) recouvert par une couche de poly silicium intensément dopée. Les paramètres essentiels géométriques du composant sont :

- L : longueur de grille.
- W : largeur transversale de la structure.
- T_{ox} : épaisseur d'oxyde.

Dans les circuits intégrés, le transistor MOS est souvent isolé des autres composants voisins avec des tranchées d'isolation.

La région semi-conductrice (substrat) qui se trouve entre la source et le drain proche de l'interface oxyde-semi-conducteur est la zone la plus active du transistor MOS. [I.4]

La tension qui s'applique alors entre la grille et le substrat engendre V_{gb} un champ électrique dans le substrat, et pour une tension V_{gb} juste et suffisante, un canal de conduction est bâti à l'interface oxyde-semi-conducteur.

Si on polarise le transistor avec une tension V_{DS} , un courant de porteurs minoritaires circule dans le canal entre la source et le drain. On parle du transistor NMOS quand le substrat est dopé par des atomes accepteurs et les porteurs minoritaires là sont des électrons. Donc, les régions de source et de drain sont intensément dopées par des atomes donneurs (i.e. une conduction assurée par des électrons). Le transistor PMOS quand le substrat dopé par des atomes de type donneur, et les porteurs minoritaires dans ce cas sont les trous. [L5]

Régimes de fonctionnement du transistor MOSFETs :

Il y a quatre régimes de fonctionnement de transistor MOSFET.

La charge dans le semi-conducteur est dominée par les trous (les porteurs majoritaires du substrat) proches à la surface. Les porteurs sont attirés très près de l'interface diélectrique/Semi-conducteur. La charge à la surface du semi-conducteur est du même type que le volume du semi-conducteur avec une densité de trous à la surface grande devant la densité de trous dans le volume.

- **Régime de bandes plates : $\Psi_s = 0$**

C'est le seul régime dans lequel le semi-conducteur garde jusqu'à la surface les propriétés de volume.

- **Régime de désertion : $0 < \psi_s < \Phi_f$**

Dans ce régime, les porteurs majoritaires sont repoussés de l'interface. Il s'engendre donc près de la surface une zone libre et dépourvue des électrons et des trous (porteurs libres), on l'appelle zone de charge d'espace. Cette zone est composée uniquement des charges négatives consistant aux impuretés ionisées. Le transistor est bloqué pendant ces régimes (désertion et accumulation).

- **Régime d'inversion faible : $\Phi_f < \Psi_s < 2\Phi_f$**

Dans le $\Psi_s = \Phi_f$, la densité des électrons est égale contre celle des trous dans la surface (près de l'interface oxyde/semi-conducteur) à la densité intrinsèque de porteurs du matériau considéré (n_i).

A partir de $\psi_s > \Phi_f$, les électrons sont les porteurs les plus nombreux (présents en plus grande quantité à la surface. Pendant le régime d'inversion faible, la densité des électrons (les porteurs majoritaires) à la surface est obligatoirement moins que la densité des trous (les porteurs majoritaires dans le volume).

Remarque : La tension de seuil est toujours la valeur de la tension de grille par laquelle le transistor passe au régime d'inversion forte venant d'un régime d'inversion faible.

○ **Régime d'inversion forte :** $\psi_s > 2\phi_f$

Les porteurs présents sont les électrons, ils sont en plus grande quantité à la surface et en densité plus grande que celle des trous dans le volume du semi-conducteur. Le transistor est passant, et les porteurs libres présents sont nombreux dans le canal.

Les paramètres électriques du Transistor MOS :

Nous définissons les paramètres électriques nécessaires qui nous permettent d'exprimer l'équation du courant IDS comme suivant : **[I.6]**

• **La transconductance** ou gain (g_m) est définie par :

$$g_m = \frac{\partial I_{DS}}{\partial V_{GS}} \quad V_{DS} : \text{constant}$$

La transconductance augmente très vite si la longueur de canal est inférieure à 100 nm. Ça doit être plus élevée tel qu'il est possible.

• **La conductance** de canal (g_{DS}) donnée par :

$$g_{DS} = \frac{dI_{DS}}{dV_{DS}} : V_{GS} \text{ constant}$$

• **La pente sous le seuil :** ça représente la tension de grille qui doit être appliquée (en régime sous le seuil) pour augmenter le courant de drain d'une décade :

$$n = \frac{dV_G}{d \log I_D}$$

• **La tension de seuil** : La tension de seuil, est l'un des paramètres importants du fonctionnement de transistor MOS.

Elle est déterminée par la tension applicable à la grille pour avoir la forte inversion, elle est définie par l'équation suivante :

$$\Psi_s > 2.\Phi_f$$

MOSFET submicronique et les effets des canaux courts (Différents types du MOSFET) :

Pour bonifier les performances en fréquence des MOSFET, et pour que les fonctions électroniques peuvent être concrétisées de plus en plus complexes avec l'effet de l'augmentation de la densité d'intégration, les dimensions des dispositifs sont réduites de plus en plus, et ont menées au développement de dispositifs intensément submicroniques. Notant que cette baisse d'échelle est la source des effets indésirables propres aux dispositifs affectants, de petites tailles.

La conception et l'élaboration de MOSFET submicroniques doivent des paramètres secondaires pour y comparer à ceux requis pour le cas du MOSFET à canal long.

Fondamentalement, on trouve :

- La construction des contacts,
- La géométrie à la périphérie de la grille,
- Les profils des dopages au niveau de la source et du drain,
- Le profil du dopage de canal.

Les paramètres supplémentaires sont essentiels dans la conception et les procédés d'élaboration, et ils y'influent pleinement. Les références de base employées pour améliorer la miniaturisation :

- Non-uniformité du dopage du substrat : principalement entre le drain qui est en dessous et la source. Dans l'expression L_{min} , c'est le dopage entre drain qui est pris en considération et la source.
- Une couche légèrement dopée P sous la source et le drain réduit les capacités jonctions substrat et augmente la vitesse de réponse.
- La réduction des capacités se fait aussi par la structure des contacts aussi (réduite la surface de contact).

- L'extension de la jonction aide à réduire les capacités parasites du recouvrement entre les jonctions et la grille. C'est cette profondeur de jonction qu'on sert dans l'expression de L_{min} .
- La réduction des résistances séries constitue l'un des points les plus essentiels pour un développement de transistors submicroniques. Pour éviter les résistances séries des jonctions essentielles, nous pouvons agir sur plusieurs facteurs (surélévation des zones de source et drain, dopage des jonctions, ...).
- Les matériaux à faible résistivité, utilisé pour la réalisation des interconnexions, donnant l'exemple : l'utilisation du cuivre (résistivité = $200 \Omega.cm$) à la place de l'aluminium (résistivité = $3\Omega.cm$) crée plusieurs avantages, comme : réduire le coût de fabrication, réduire la consommation en puissance et réaliser les lignes métalliques plus fines.
- Le dopage du substrat, il est important de régir par la relation suivante : $N_{sub} \geq N_{canal} / 10$.
- La grille doit obtenir une faible résistance/carrée et l'oxyde de grille soit très fin, et à faible densité de défauts. Cela aide à augmenter la fiabilité de l'oxyde, et diminuer le courant tunnel. [L.7]

Effets indésirables dans le transistor MOSFET à canal court :

En plus des instabilités dues aux charges d'oxyde, les états d'interface, les rugosités de la surface, les performances des dispositifs à canal courtsoient dégradées par les effets indésirables apparus par le fait de la réduction de la géométrie du transistor MOSFET. Si les manifestations des effets sur le fonctionnement du transistor peuvent être considérées comme ordre supplémentaire quand les dimensions sont microniques, pour des transistors vivement submicroniques ($W ; L \ll 1 \mu m$), ces effets peuvent dominer carrément le fonctionnement du dispositif et le rendre moins utilisable.

Aussi parmi les effets fondamentaux, on note :

Effet de canal court : SCE (Short Channel Effect) :

D'une manière globale, les effets canaux courts que nous citerons SCE (*Short Channel Effects*) a cause de tous les effets parasites influents sur V_{th} . Les effets parasites qui sont prédominants lorsque on atteint des dimensions très faibles sont deux (2) : le DIBL (Drain Induced Barrier Lowering), et le partage de charge CS (Charge Sharing ou Roll-off).

Pour un transistor à canal court, les zones de charge d'espace S/D se rapprochent, pour cela nous provoquons une courbure et une baisse du potentiel qui est plat sur quasiment toute la longueur du canal pour un MOSFET canal long. C'est l'effet de canal court, consulter la figure I.4 qui suit :

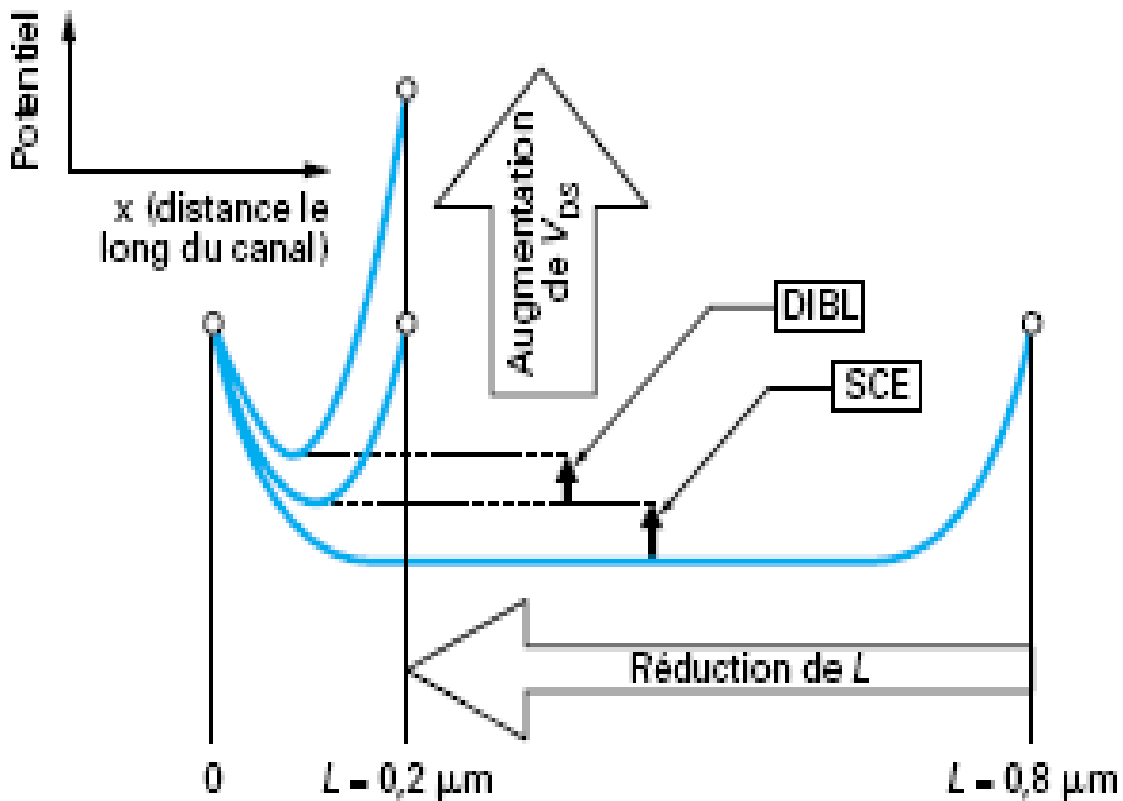


Figure I.4: Évolution du potentiel surfacique en fonction de la longueur du canal et du potentiel du drain.

Cet abaissement de la barrière de potentiel entre la source et le drain, augmente le courant et réduit la tension de seuil.

Effet de DIBL (Drain Induced Barrier Lowering) :

Pour clarifier l'effet du DIBL, il nous faut considérer un dispositif à canal court quand aucune des polarisations n'est appliquée, le profil de potentiel est toujours le même sauf en cas du dispositif à canal long. Cependant, lorsqu'une tension de drain est appliquée, le profil du potentiel de canal soit affecté. Le profil sera changé sur toute la longueur du canal par la

Polarisation de drain, diminuant la barrière à la jonction substrat-source. C'est exactement l'un des effets qui est référé comme étant l'abaissement de la barrière induite le DIBL, ou par le drain.

Pour avoir une tension de drain croissante, on assiste à une traversée du canal par les porteurs qui ont une valeur de polarisation de grille nettement inférieure à l'autre dont on a eu lorsque cet effet dit DIBL est absent. L'injection augmentée d'électrons par la source, par-dessus la barrière diminuée si V_{ds} augmente, entraîne une croissance du courant de drain et donc une décroissance de V_{th} .

Ce résultat s'observe sur la caractéristique $I_d - V_g$ en échelle logarithmique élaboré dans la figure suivante :

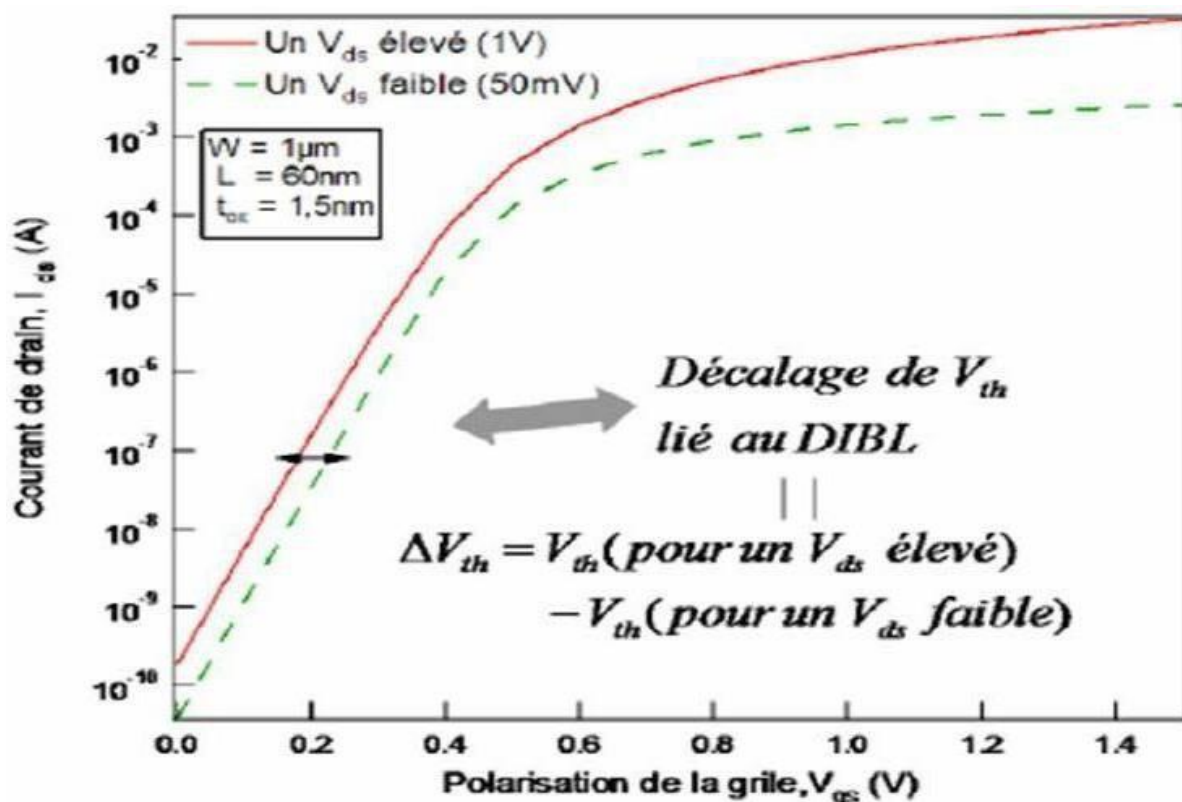


Figure 1.5 Influence de l'effet du DIBL sur la caractéristique ($I_d - V_g$) du transistor MOS

Effet de Canal Court Inverse :

Il a été observé qu'une réduction de la longueur du canal pour augmenter la densité d'intégration assumait une augmentation de la tension de seuil qui devait diminuer à première vue. Ainsi, cette observation motive l'étude du phénomène inverse de réduction de longueur

Du canal (RSCE : Reverse Short Channel Effect). Cette explication est élaborée par la figureci-dessous pour mieux comprendre :

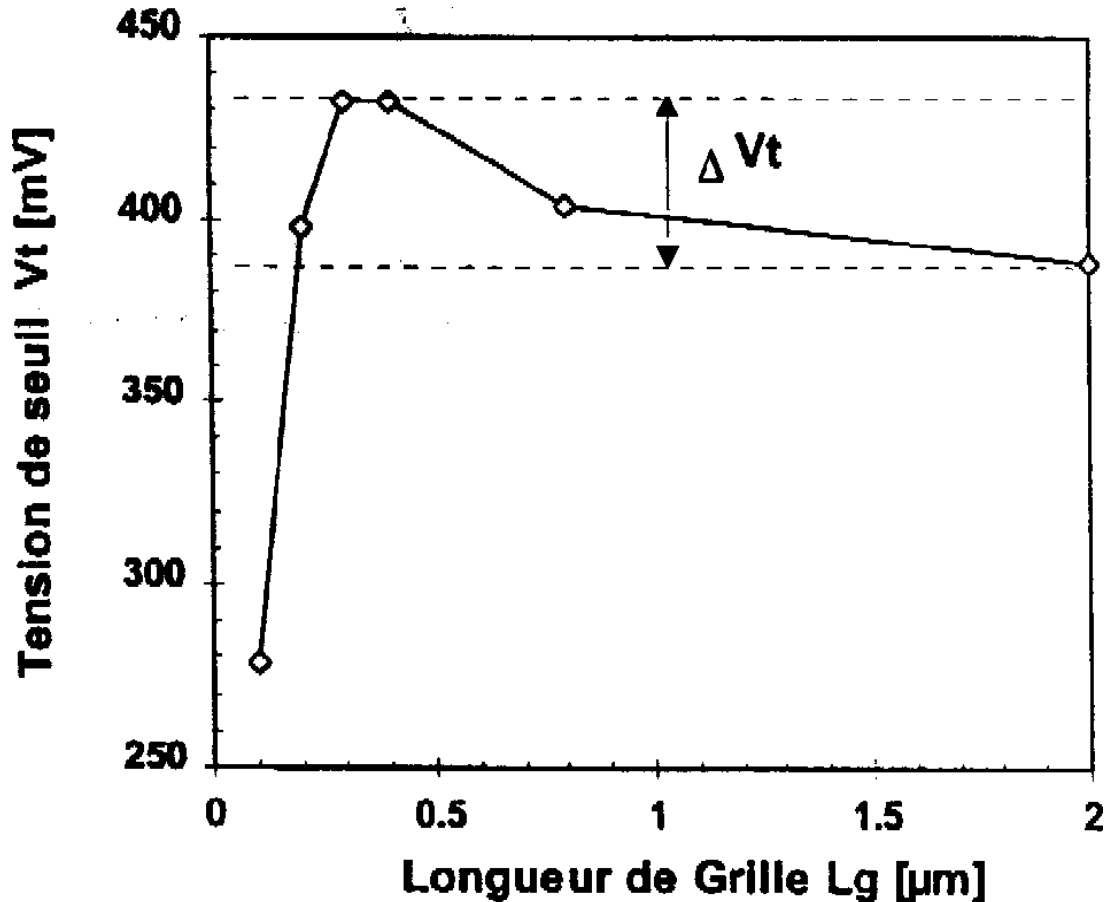


Figure I.6 : Variation de la tension de seuil avec la longueur de grille illustrant l'effet de canal court inverse

Nous déterminons la grandeur ΔV_t comme étant la variation de la tension de seuil du transistor de longueur de canal L par rapport à un transistor de référence.

Nous remarquons qu'à certaines valeurs de la longueur de canal L la tension de seuil présente des valeurs maximales. Pour de très faibles valeurs de L (Deep Submicron MOSFET) la tension de seuil augmente avec la longueur du canal L .

Effets de porteurs chauds :

Si nous augmentons la tension de drain, où nous réduisons la longueur du canal, le champ longitudinal prend des valeurs importantes, et engendre des porteurs dits chauds. Ces porteurs

Sont appelés ainsi car ils ont acquis une grande énergie qui ne peut être totalement dissipée à l'arrivée de leur destination. Ils provoquent aussi des dégradations au moment du transfert de leur excès d'énergie dans le réseau du matériau constituant le MOSFET. Ces porteurs sont l'origine de beaucoup des effets malveillants pour le transistor. [I.8]

Conclusion :

Notre objectif dans ce chapitre est d'introduire les transistors MOSFETs et leurs types et modes de fonctionnement. On a aussi pu citer les caractéristiques essentielles et principales des MOSFETs, la même chose pour les divers paramètres qui ont une influence sur leur fonctionnement.

Notre travail dans ce chapitre consiste à concevoir et étudier l'évolution de la technologie CMOS, ainsi une explication complète de son paramètre électrique

En tenant compte que MOSFET est l'élément le plus important dans notre travail, nous n'avons surtout pas sauté les différents types de ce dernier pour une étude parfaite.

CHAPITRE

II

Introduction :

Le simulateur de processus à semi-conducteurs d'Athéna de SILVACO que nous allons utiliser dans ce chapitre, nous a permis de modéliser les effets des différentes étapes impliquées dans la fabrication des semi-conducteurs : croissance, gravure, dépôt, etc. La plupart des simulateurs de processus utilisés aujourd'hui y compris Athéna sont dérivés du code SUPREM.IV.GS qui était à l'origine développé au laboratoire de circuits intégrés de l'université de Stanford. SUPREM. IV.GS est depuis longtemps reconnue comme la norme de l'industrie en matière de simulation de processus.

Présentation du logiciel SILVACO :

SILVACO est un programme de simulation des dispositifs électronique qui appartient à une société américaine international (Silvaco-Tcad), il est constitué d'une des outils de gamme formants pour la simulation, ce qu'on appelle : la virtuelle wafer fabrication (VWF).

La VWF (Virtual wafer Fabrication) :

Parmi les différents programmes qu'il forme la VWF, nous citons les deux célèbres et plus Utilisés : ATHENA et ATLAS. Ces outils sont répartis en deux (2) catégories fondamentales.
[II.1]

- Outil auxiliaire,
- Outil principal.

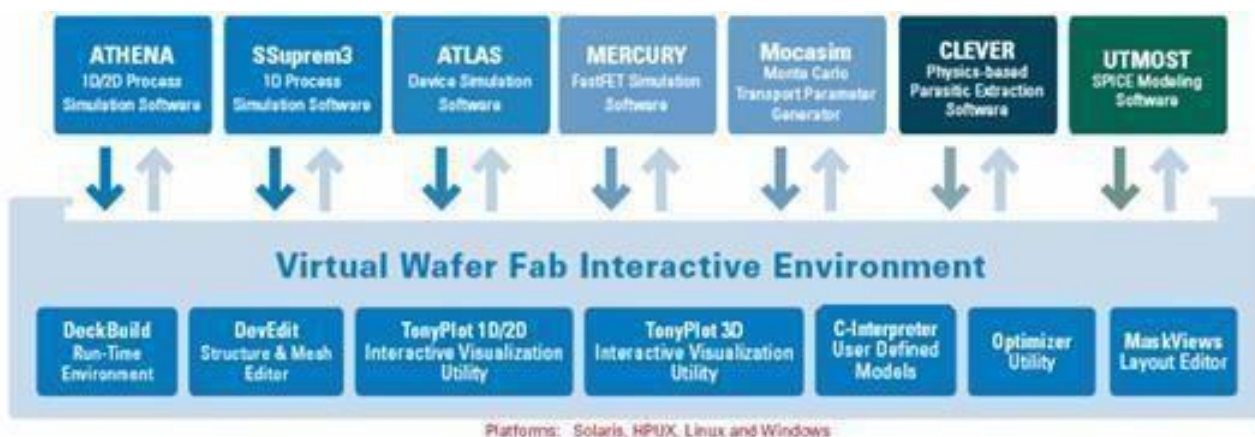


Figure II.1 : La virtuelle wafer fabrication.

ATHENA :

Le SILVACO inclut ce logiciel de simulation, il est utilisable pour la fabrication virtuelle des divers constituants d'un dispositif électronique, la simulation dans ce logiciel est traitée comme une suite d'événements consécutifs, et simule en simultanéité avec l'ATLAS généralement. [II.2]

ATLAS :

ATLAS est un simulateur physique de dispositifs semi-conducteur 2D ou 3D, il est permettant de simuler le comportement électrique de structures spécifiées des dispositifs de semi-conducteur.

A part le comportement électrique, le ce simulateur nous offre aussi des informations de la distribution interne des variables quelque soient le champ électrique, les concentrations des porteurs ou les lignes de courant, ... etc. Autant de données essentielles pour effectuer l'optimisation des procédés technologiques et pour la conception. Ceci s'effectue afin d'obtenir une résolution numérique de l'équation de poisson et d'autres équations de continuité des électrons et des trous en deux dimensions, en une quantité finie des points formants le maillage de la structure déterminée par le programme, ou par l'utilisateur.

La composition de cet ATLAS comprend deux parties : l'une est de traitement numérique (méthode d'intégration, de discrétisation.) ... etc. Et l'autre partie est composée de modèles physiques sous forme semi-conducteur (modèles de recombinaisons, d'ionisation par impact et de démobilisés) ...etc.

La façon par laquelle ce simulateur (ATLAS) est programmé, permet d'utiliser d'autres outils qui facilitent son utilisation. Ces derniers sont : DEKBUILD et TONYPLOT. On les explique : [II.3]

DEKBUILD :

Environnement d'exécution et de développement pour tous les logiciels de simulation SILVACO.DEKBUILD aide et prend en charge d'éviter l'obstacle d'une syntaxe de commande généralement très complexée, ainsi il offre une exécution automatique et très

pratique de programmer et de sauvegarder systématiquement les phases intermédiaires d'exécution.

On peut visualiser les résultats de simulation sous cet environnement une fenêtre d'information nommée « Output Windows ». [II.4]

TONYPLOT :

Les résultats des simulations se visualisent dans cet environnement. Il offre des possibilités de pouvoir faire la visualisation et l'analyse des caractéristiques de sortie (profil de dopage, structure du composant électronique, et caractéristiques électriques). Selon ce simulateur (TONYPLOT), nous pouvons fournir des caractéristiques de sortie en 1D (une dimension), 2D (deux dimensions) ou en 3D (trois dimensions). Aussi il fonctionne en autonome ou avec d'autres outils interactifs de VWF comme DECKBUILD. [II.5]

Entrées et sorties d'ATLAS :

La majorité des simulations ATLAS utilise deux fichiers texte, l'un est la commode à exécuter, et l'autre est un fichier qui détermine la structure simulée.

ATLAS produit trois types de fichiers de sortie. Le premier fichier fait extraire les erreurs et les messages d'avertissement de la simulation, et l'état d'avancement. Le deuxième fichier est celui qui sauvegarde toutes les valeurs maximales des courants et des tensions. Et le troisième est le fichier solution qui enregistre les données 2D et 3D. Les entrées et les sorties d'ATLAS sont illustrées dans la figure qui suit :

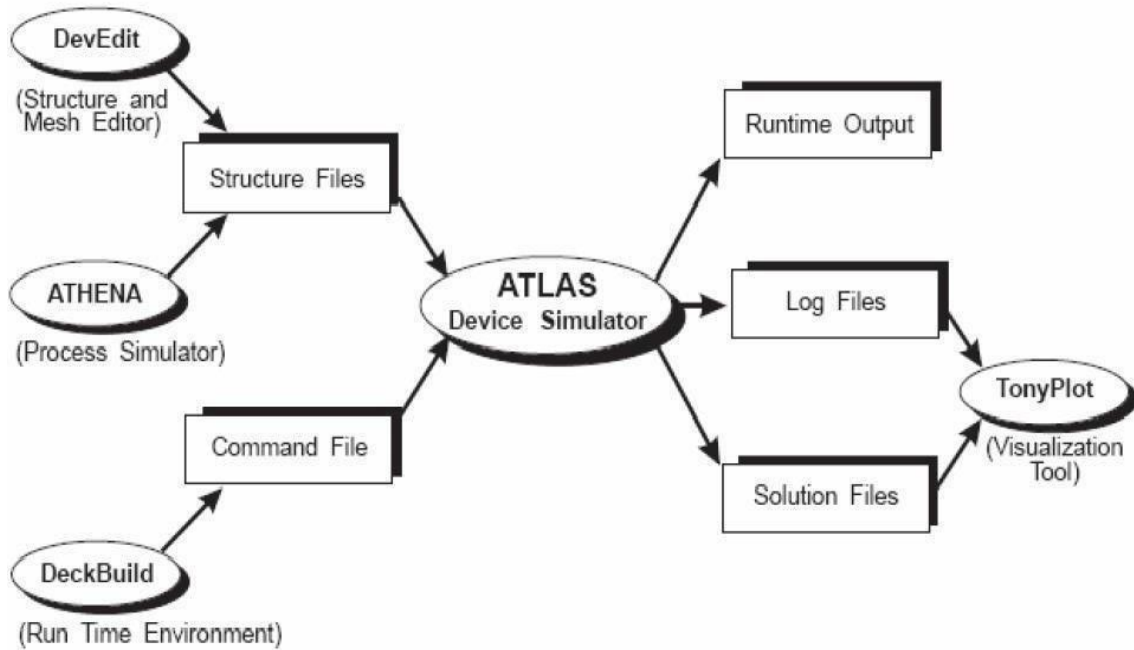


Figure II.2 : Entrées et sorties d'ATLAS. [II.6]

Définition du programme de simulation dans DECKBUILD :

C'est la méthode et l'astuce utilisée pour améliorer la modélisation à partir du code de la simulation comporte scinque (5) phases fondamentales qui sont regroupées dans la figure suivante :

<i>Group</i>		<i>Statements</i>
1. Structure Specification	————	MESH REGION ELECTRODE DOPING
2. Material Models Specification	————	MATERIAL MODELS CONTACT INTERFACE
3. Numerical Method Selection	————	METHOD
4. Solution Specification	————	LOG SOLVE LOAD SAVE
5. Results Analysis	————	EXTRACT TONYPLOT

Figure II.3 : les commandes d'Atlas.

Construction de la structure :

C'est une question de déterminer la structure la plus convenable à réaliser, la construction de la structure est constituée en quatre (4) phases : le maillage, les régions, les électrodes et les dopages. Ces derniers sont expliqués sous-dessous :

Définition du maillage :

Le logiciel ATLAS-SILVACO est permettant de déterminer les dimensions de la structure simulée, les paramètres des zones dopées (l'emplacement, le niveau, le type et le profil de dopage), il permet aussi de positionner les contacts électriques sur la structure et de déterminer le maillage. Le maillage répartir la structure simulée à des petites cellules pour faciliter la résolution numérique des équations de poisson.

Il faut obtenir le maillage le plus fin possible pour être sûr d'obtenir une bonne précision à propos la simulation. Par malheur, la finesse du maillage provoque l'augmentation du nombre d'éléments qui doivent être calculés, et par conséquent le temps du calcul sera très élevé

dans un cas pareil .il est donc obligé de trouver un compromis entre le temps et la précision de calcul. Ceci rendre le maillage plus fin au niveau des zones sensibles seulement

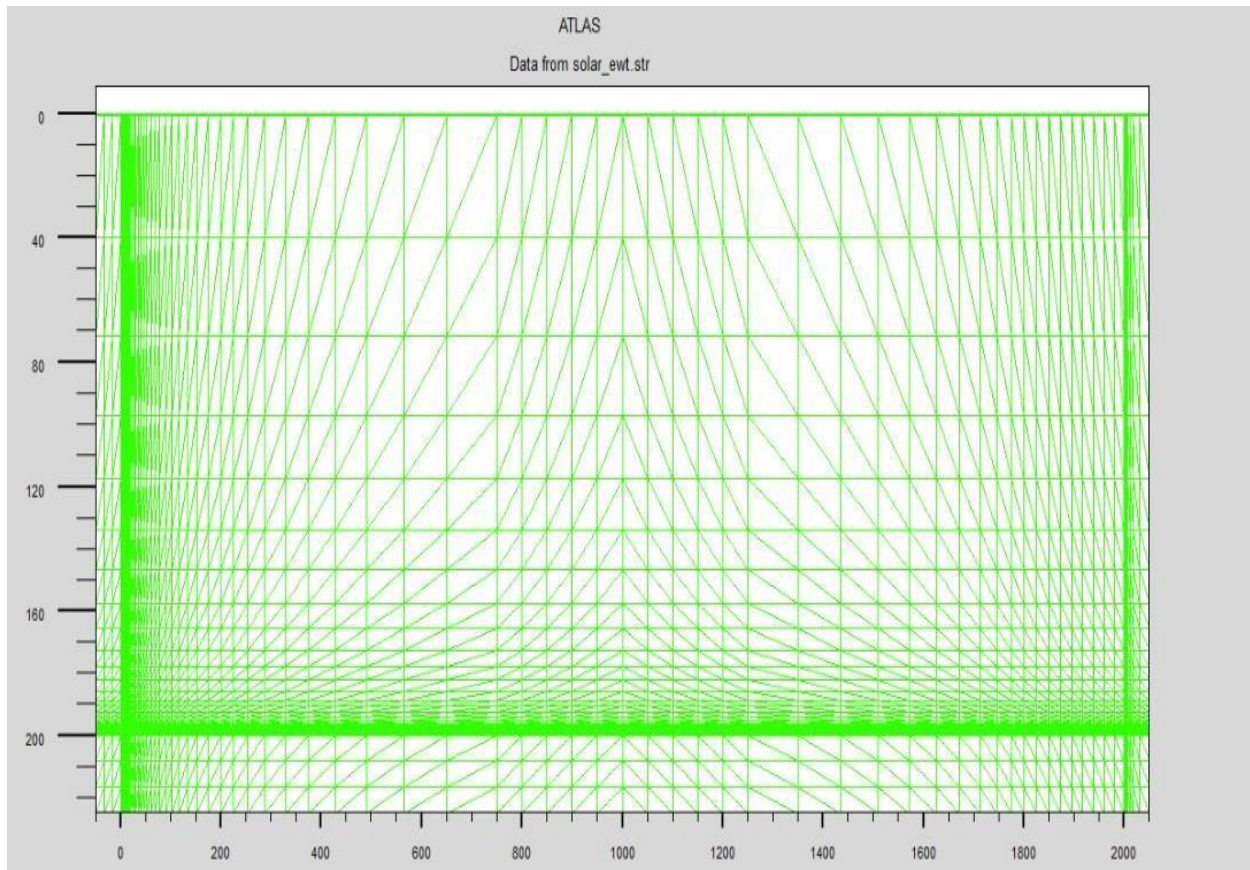


Figure II.4 : représentation du maillage.

La définition du maillage est donnée par les formes générales suivantes :

- Pour le plan X :

X.MESH LOCATION =<VALUE> SPACING=<VALUE>

```
x.mesh loc=$Ag1x spac=20
x.mesh loc=0 spac=20
x.mesh loc=$emitter1x spac=0.125
x.mesh loc=$Ag3x spac=25
x.mesh loc=$emitter2x spac=100
x.mesh loc=$bsf1x spac=50
x.mesh loc=$Al1x spac=50
x.mesh loc=$Al2x spac=50
x.mesh loc=$bsf2x spac=50
x.mesh loc=$emitter3x spac=100
x.mesh loc=$Ag4x spac=25
x.mesh loc=$emitter4x spac=19.9
x.mesh loc=2000 spac=0.125
x.mesh loc=$Ag6x spac=20
```

Figure II.5 : représentante la déclaration du maillage suivant l'axe des X

- Pour le plan Y :

Y.MESH LOCATION =<VALUE> SPACING=<VALUE>

```
y.mesh loc=$sio2y spac=0.02
y.mesh loc=$SiNy spac=0.04
y.mesh loc=0 spac=0.1
y.mesh loc=$emitterly spac=39.5
y.mesh loc=$bsfy spac=0.5
y.mesh loc=$emitter2y spac=0.1
y.mesh loc=$thickness spac=7.5
y.mesh loc=$AgA1 spac=7.5
```

Figure II.6 : déclaration du maillage suivant l'axe des y. [II.7]

Définition de la région :

Après la détermination du maillage, il est important de déterminer les six (6) régions dans cette partie :

- **Région une (1)** : c'est le contact, il contient une seule région, la figure suivante illustre la région 1.

```

###vacuum

region num=1 material=vacuum x.min=$Ag3x x.max=$A1lx y.min=$thickness y.max=$AgA1
region num=1 material=vacuum x.min=$A1lx x.max=$Ag4x y.min=$thickness y.max=$AgA1
    
```

Figure II.7 : définition de la region1

- **Région deux (2)** : c'est la couche antireflet, elle contient deux (2) régions, l'une qui se compose de nitrite, et l'autre qui se compose en oxyde. La figure suivante représente la région 2 :

```

###Anti-reflexion coating

region num=2 material=nitride x.min=$Ag1x x.max=$Ag6x y.min=$SiNy y.max=0

region num=8 material=oxide x.min=$Ag1x x.max=$Ag6x y.min=$sio2y y.max=$SiNy
    
```

Figure II.8 : la définition de la région 2.

- **Région 3** : elle est définie par l'émetteur, on la présente par la figure :

```
###emitter

region num=3 material=silicon x.min=0 x.max=2000 y.min=0 y.max=$emitterly
region num=3 material=silicon x.min=0 x.max=$emitterlx y.min=0 y.max=$thickness
region num=3 material=silicon x.min=0 x.max=$emitter2x y.min=$emitter2y y.max=$thickness
region num=3 material=silicon x.min=$emitter3x x.max=2000 y.min=$emitter2y y.max=$thickness
region num=3 material=silicon x.min=$emitter4x x.max=2000 y.min=0 y.max=$thickness
```

Figure II.9 : définition de la région 3

- **Région 4** : c'est la base, elle est définie par la figure suivante comme les autres régions.

```
###base

region num=4 material=silicon x.min=$emitterlx x.max=$emitter4x y.min=$emitterly y.max=$bsfy
region num=4 material=silicon x.min=$emitterlx x.max=$bsflx y.min=$bsfy y.max=$emitter2y
region num=4 material=silicon x.min=$bsf2x x.max=$emitter4x y.min=$bsfy y.max=$emitter2y
region num=4 material=silicon x.min=$emitter2x x.max=$bsflx y.min=$emitter2y y.max=$thickness
region num=4 material=silicon x.min=$bsf2x x.max=$emitter3x y.min=$emitter2y y.max=$thickness
```

Figure II.10 : la définition de la région 4.

- **Région 5** : c'est le « bsf », il est illustré comme suit :

```
###bsf

region num=5 material=silicon x.min=$bsflx x.max=$bsf2x y.min=$bsfy y.max=$thickness
###doping bsf
```

Figure II.11 : la définition de la région 5.

- **Region6** : c'est l'électrode, il se compose de 2 éléments, la cathode et l'anode. La région 6 est définie dans la figure suivante.

```
#electrodes

region num=1 material=vacuum x.min=$Ag1x x.max=0 y.min=0 y.max=$thickness

region num=6 material=silver x.min=$Ag1x x.max=$Ag3x y.min=$thickness y.max=$AgAl

region num=1 material=vacuum x.min=2000 x.max=$Ag6x y.min=0 y.max=$thickness

region num=6 material=silver x.min=$Ag4x x.max=$Ag6x y.min=$thickness y.max=$AgAl

region num=7 material=aluminum x.min=$Al1x x.max=$Al2x y.min=$thickness y.max=$AgAl

. . . .
```

Aussi, les diverses dimensions sont déterminées en micromètre sous la forme générale suivante :

REGION NUMBER=<INTEGER><material_type><position parameters>.

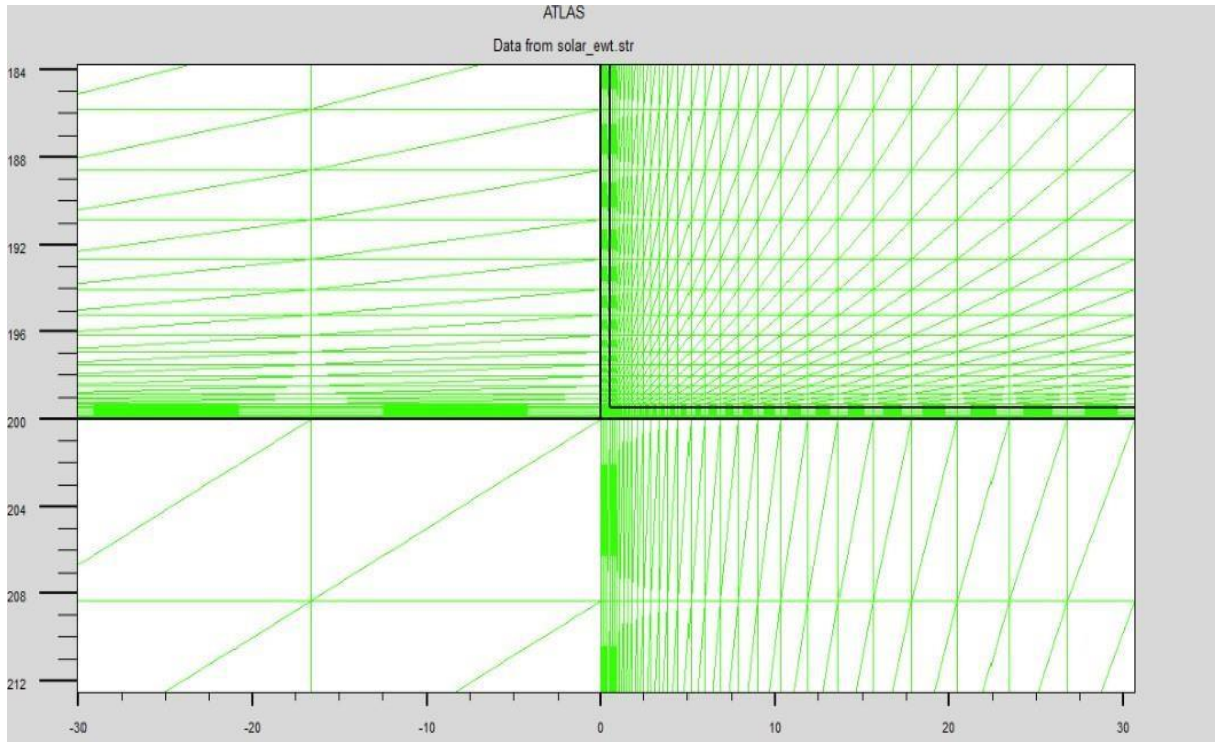
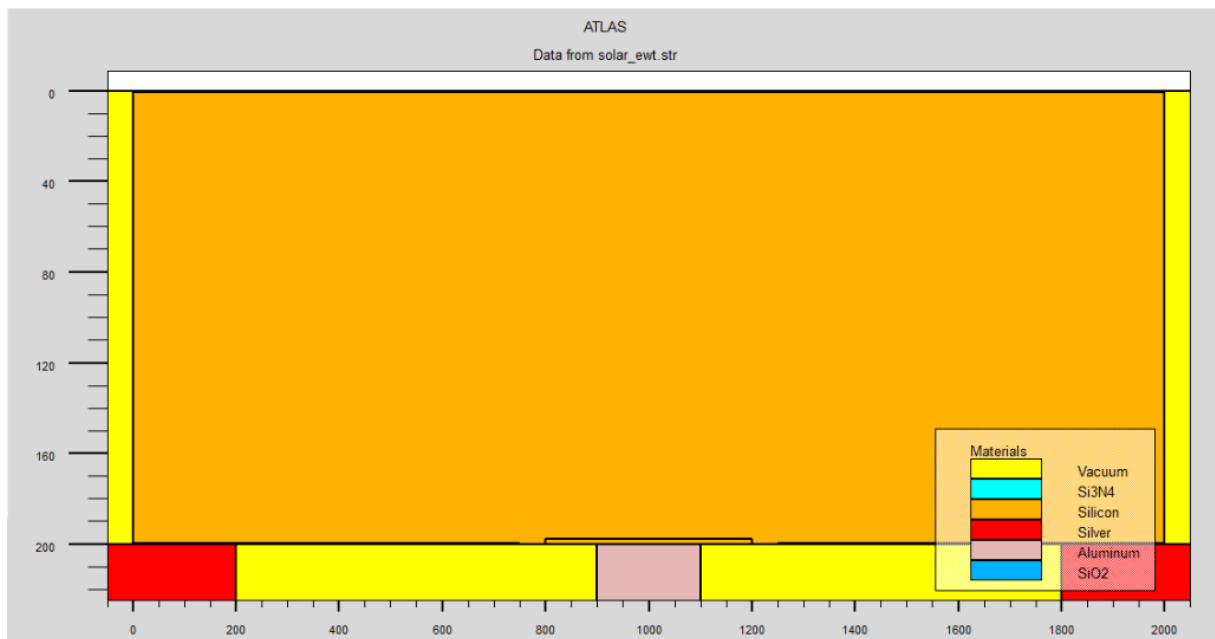


Figure II.12 : la définition de la région 6.

Les limites de chaque région sont identifiées par les axes x et y, La figure suivante illustre le type de matériau pour la région, ainsi que les couleurs pour connaître les matériaux, disant que la partie agrandie présente le matériau utilisé pour la couche anti reflet : [II.8]



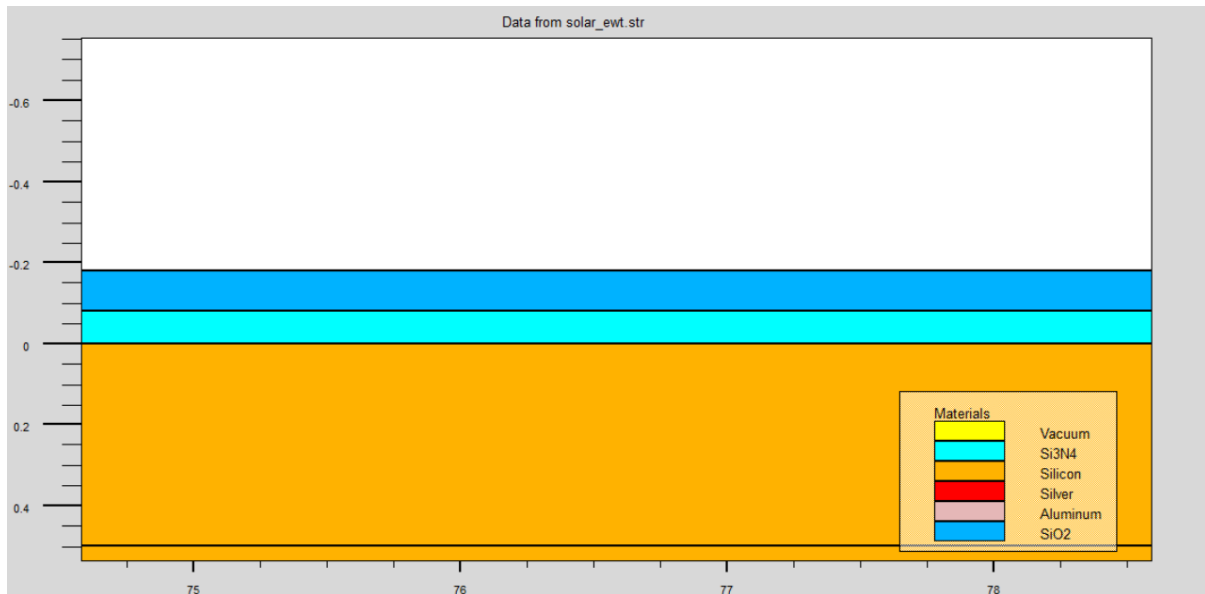


Figure II.13 : représentation des matériaux.

Définition des électrodes :

A partir de la définition des électrodes, on pourra réaliser les contacts Grille, Anode et Cathode. La définition des électrodes est connue par la formule globale qui suit :

« Le nom d'électrode » = <electrodename> <position_parameters>

la cathode.

```
#cathode
```

```
#####
```

```
electrode name=cathode material=silver x.min=$Ag1x x.max=$Ag3x y.min=$thickness y.max=$AgAl
```

```
electrode name=cathode material=silver x.min=$Ag4x x.max=$Ag6x y.min=$thickness y.max=$AgAl
```

Figure II.14 : représente la définition des électrodes (la cathode)

□ l'anode.

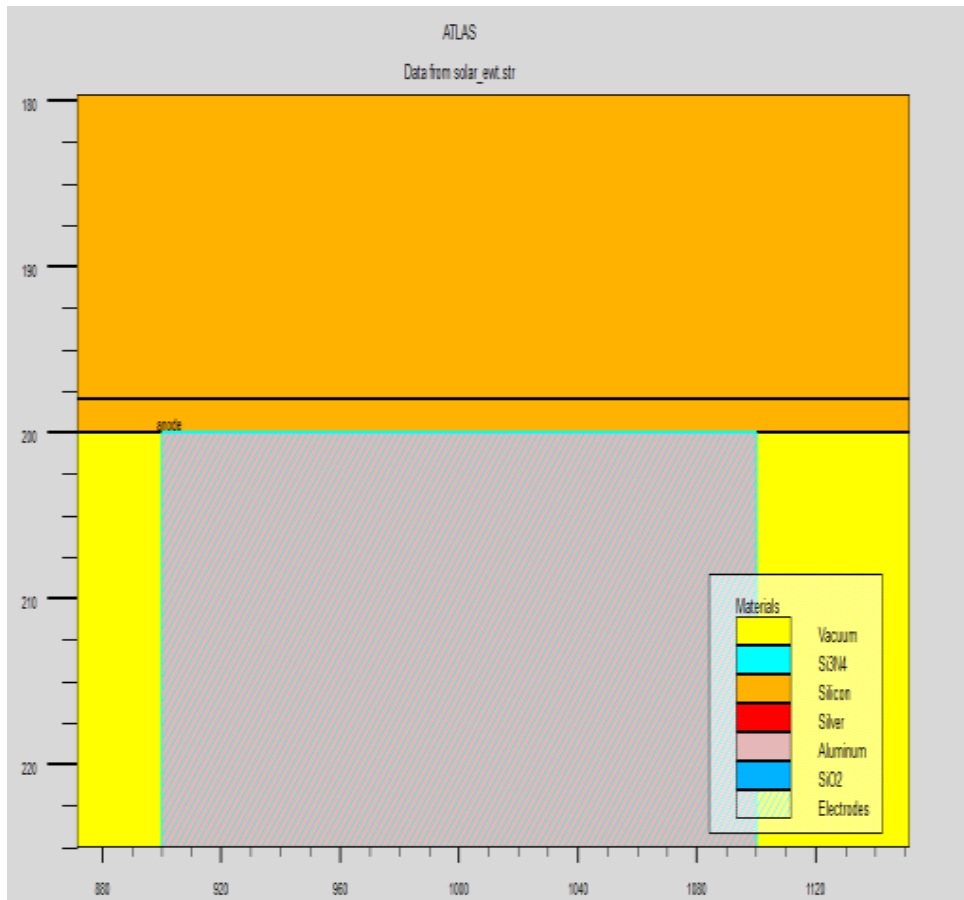
```
#anode
```

```
#####
```

```
electrode name=anode material=aluminum x.min=$Al1x x.max=$Al2x y.min=$thickness y.max=$AgAl
```

Figure II.15 : représente la définition des électrodes (l'anode)

Pour le présent cas, l'anode et la cathode sont dans le bas de la cellule. Les électrodes qui sont désignée par la cathode et l'anode sont illustrés dans la figure suivante :



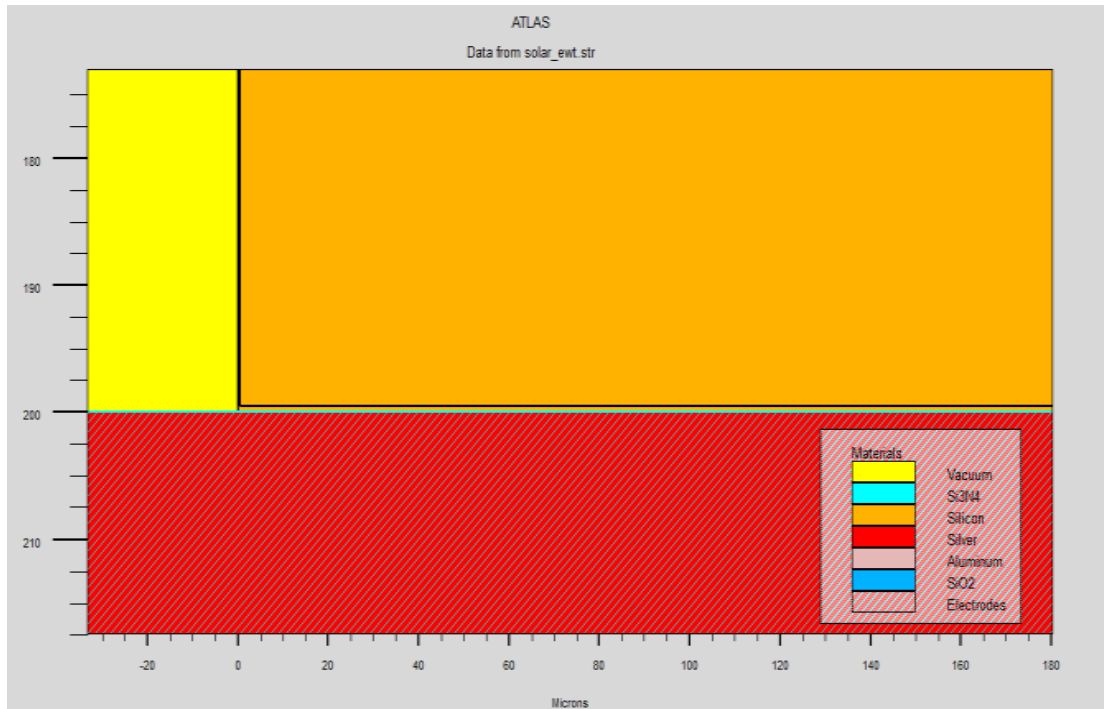


Figure II.16: représentation des électrodes. [Cathode (au-dessus) ; anode (ci-dessous)].

Définition des dopages :

C'est la dernière phase de la construction de la structure. La formule générale dans l'ATLAS est connue comme suit :

« Doping » < distribution type > < dopant_type > < position paramètres >

Le type de dopage peut être de n ou de type p, la distribution aussi peut être gaussienne ou uniforme. La déclaration doping contient les paramètres qui définissent la distribution. Des exemples sont présentés :

- « DOPING UNIFORM CONCENTRATION » = 1E20 N.TYPE REGION = 1.
- « DOPPING GAUSSIAN CONCENTRATION » = 5E16 CHARACTERISTIQUE = 0.05 P.TYPE / X.LEFT = 0.0
- X.RIGHT = 1.0 PEAK = 0.1

- Pour le 1er exemple, la région numéro 1 : Correspond à un dopage de type n avec une concentration uniforme de 10^{20} cm^{-3} . [II.9]

```
###doping emitter

doping erfc n.type peak=0 junction=$emitterly concentration=1e20 characteristic=0.19 x.min=0 x.max=2000 dir=y
doping erfc n.type peak=0 junction=$emitterlx concentration=1e20 characteristic=0.24 y.min=0 y.max=$thickness dir=x
doping erfc n.type peak=$thickness junction=$emitter2y concentration=1e20 characteristic=0.19 x.min=0 x.max=$emitter2x dir=y
doping erfc n.type peak=$thickness junction=$emitter2y concentration=1e20 characteristic=0.19 x.min=$emitter3x x.max=2000 dir=y
doping erfc n.type peak=2000 junction=0.5 concentration=1e20 characteristic=0.24 y.min=0 y.max=$thickness dir=x
```

Figure II.17: définition du dopage de la région 1.

- Pour d'autre région le dopage est gaussien de type p avec un maximum de concentration à $5 \times 10^{16} \text{ cm}^{-3}$

```
###doping base

doping uniform region=4 p.type conc=5e16
```

Figure II.18: définition du dopage de la région 2.

On présente le dopage généralement dans les figures suivantes :

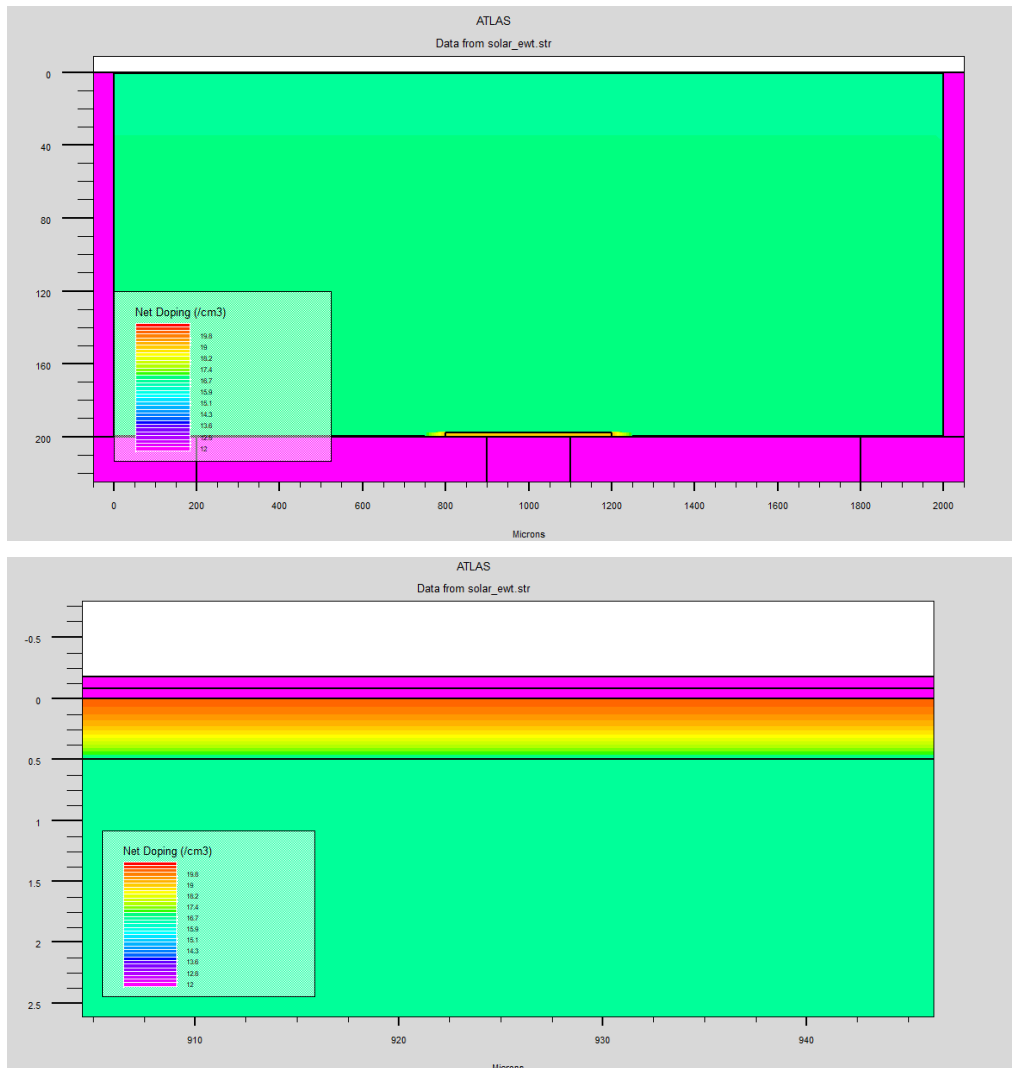


Figure II.19: présentation du dopage.

Définitions de modèles et matériaux :

Après avoir construit la structure, il est indispensable de sélectionner les modèles physiques et de préciser les matériaux. On insinue quatre (4) phases importantes de la spécification :

- **Le matériau :**

La formule globale de sa déclaration c'est comme suit :

« MATERIAL » <LOCALIZATION> <Material_definition>.

Donnons un exemple qui explique la déclaration de quelque matériau de la cellule étudié :

[II.10]

```
material region=3 index.file=c-Si_nk.txt
material region=4 index.file=c-Si_nk.txt
material region=5 index.file=c-Si_nk.txt
material region=6 index.file=ag_nk.txt
material region=7 index.file=al_nk.txt
# bulk life time

Material region=4 taun0=80.71e-6 taup0=80.71e-6
```

Figure II.20 : définition des paramètres des matériaux.

- **Le modèle :**

Les modèles physiques sont divisés en cinq (5) catégories suivantes : la mobilité, la recombinaison, les statistiques des porteurs, l'ionisation par impact, et l'effet tunnel.

Le bon choix du modèle consiste au matériau choisi pour la simulation. L'exemple qu'on va donner active une diversité des modèles.

Exemple : SRH, CONMOB, FLDMOB

SRH : est le modèle de Shockley-Read-Hall.

CONMOB : est le modèle dépendant de la concentration

FLDMOB : est le modèle dépendant du champ électrique parallèle.

La déclaration du modèle est connue par la formule suivante :

MODEL < paramètres générales > / < paramètres du modèle >

- **Le contact :**

Le contact définit les caractéristiques de l'électrode, et sa formule est connue par :

Contact number = <n> / NAME = <ename> / ALL.

Donnons l'exemple suivant de la déclaration d'un contact :

```
contact name=anode resistance=1e3  
contact name=cathode resistance=1e3
```

Figure II.21: définition des contacte des électrodes.

- **L'interface :**

La déclaration INTERFACE est la détermination des frontières des isolants ou des semi-conducteurs. Sa formule générale est la suivante :

```
INTERFACE [<paramètres>]
```

Afin de faire apparaître l'utilisation de la déclaration interface, notre programme est pris donc comme exemple :

```
interface optical material=nitride ar.index=2.05 ar.thick=0.08 coating=1 layer=2 x.min=$Ag1x x.max=$Ag6x y.min=$SiNy y.max=0  
interface optical material=oxide ar.index=1.46 ar.thick=0.1 coating=1 layer=2 x.min=$Ag1x x.max=$Ag6x y.min=$sio2y y.max=$SiNy
```

Figure II.22: déclaration de la technique numérique.

Les valeurs MIN et MAX là, ce sont les déterminants des limites. [II.11]

Analyse

Quand on trouve une solution d'un problème de dispositif à semi-conducteur, on peut afficher les informations graphiquement avec TONYPLOT.

Par ailleurs, on peut extraire les divers paramètres à partir de la déclaration EXTRAIT. On fait une demande d'afficher les résultats (Isc, Voc, Vmax, Imax, Power, Pmax ...) dans l'exemple illustré dans la figure suivante :

```
extract name="ISC_[mA/cm^2]" y.val from curve(v."anode",i."cathode"*1e3) where x.val=0.0
extract name="VOC_[V]" x.val from curve(v."anode",i."cathode"*1e3) where y.val=0.0
extract name="Vmax_[V]" x.val from curve(v."anode",v."anode"*i."cathode") where y.val=max(v."anode"*i."cathode")
extract name="Imax_[mA/cm^2]" x.val from curve(i."cathode"*1e3,v."anode"*i."cathode") where y.val=max(v."anode"*i."cathode")

extract name="power" curve(v."anode", (v."anode"*i."cathode")) outfile="powerSi.dat"
extract name="Pmax" max(curve(v."anode", (v."anode" * i."cathode" )))
```

Figure II.23: exemple de la déclaration EXTRAIT.

Après avoir fait une simulation comme cette dernière, ses résultats obtenus s'affichent dans une fenêtre comme l'exemple suivant de notre étude :

```

EXTRACT> init infile="IV-RCC_.log"
EXTRACT> extract name="IV" curve(v."anode",i."cathode") outfile="IVcurveSi.dat"
EXTRACT> #tonyplot IVcurveSi.dat
EXTRACT> extract name="ISC_[mA/cm^2]" y.val from curve(v."anode",i."cathode"*1e3) where x.val=0
ISC_[mA/cm^2]=33.8503
EXTRACT> extract name="VOC_[V]" x.val from curve(v."anode",i."cathode"*1e3) where y.val=0
VOC_[V]=0.663102
EXTRACT> extract name="Vmax_[V]" x.val from curve(v."anode",v."anode"*i."cathode") where y.val=max(v."anode"*i."cathode")
Vmax_[V]=0.57
EXTRACT> extract name="Imax_[mA/cm^2]" x.val from curve(i."cathode"*1e3,v."anode"*i."cathode") where y.val=max(v."anode"*i."cathode")
Imax_[mA/cm^2]=32.4723
EXTRACT> extract name="power" curve(v."anode", (v."anode"*i."cathode")) outfile="powerSi.dat"
EXTRACT> extract name="Pmax" max(curve(v."anode", (v."anode" * i."cathode" )))
Pmax=0.0185092
EXTRACT> #tonyplot powerSi.dat
EXTRACT> #tonyplot -overlay IVcurveSi.dat powerSi.dat
EXTRACT> extract name="FF"(0.57*32.4723)/(0.663102*33.8503)
FF=0.824603
EXTRACT> extract name="EFF_[%]" 0.57*32.4723
EFF_[%]=18.5092
EXTRACT>

```

Figure II.24: les résultats obtenus par SILVACO.

Organigramme de simulation :

Pour enrichir la compréhension, et pour éviter toutes répétitions et confusion non-utilisable, on a élaboré l'organigramme ci-dessous par nous même à partir des informations acquises, qui permet de faire apparaître le programme de simulation d'une cellule solaire qui comprend des sections essentielles structurées.

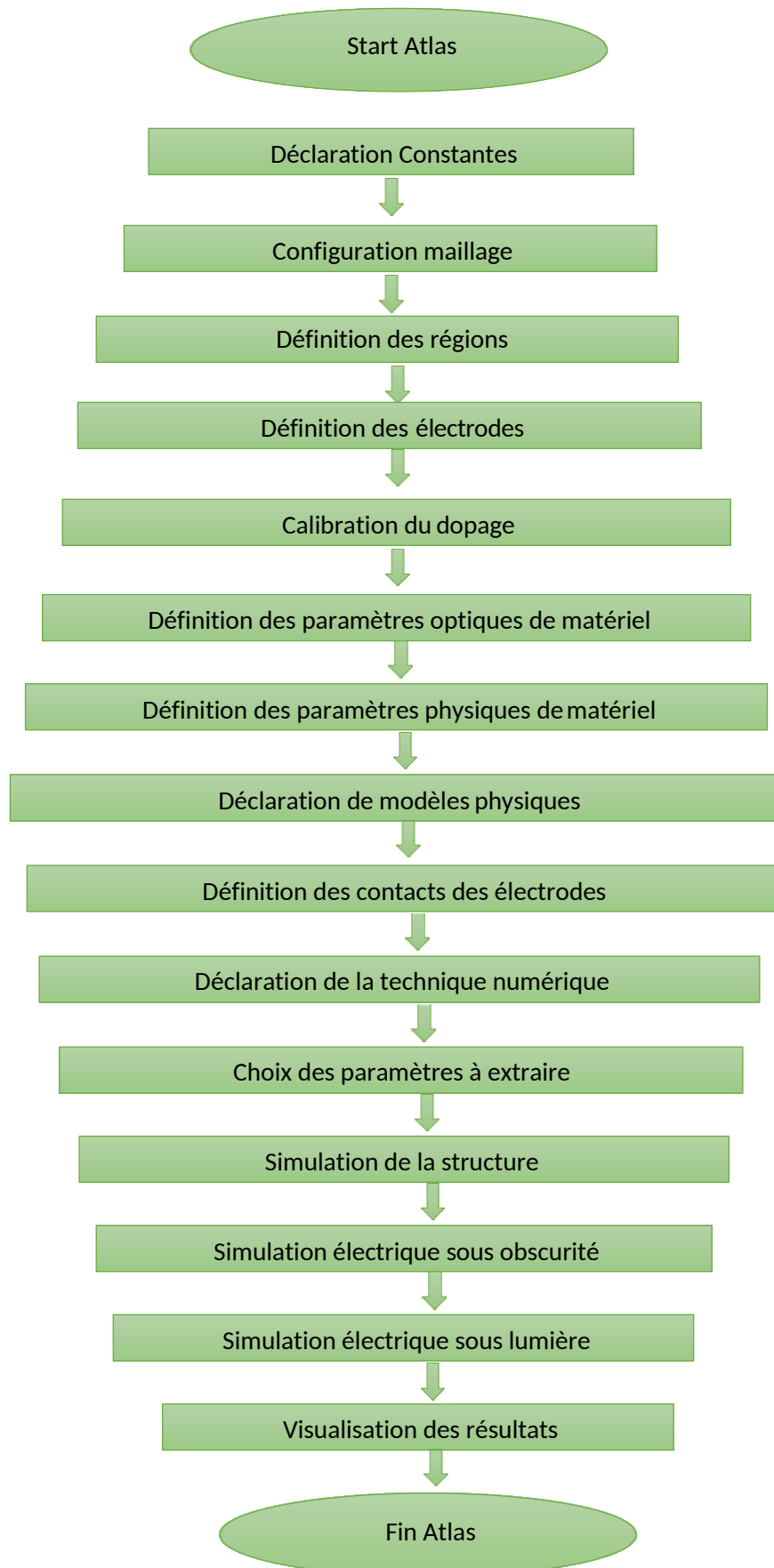


Figure II.25: Organigramme du programme de simulation élaboré par nous-même

Conclusion :

Dans ce chapitre, on a vu principalement la présentation du logiciel de simulation des caractéristiques électriques « Atlas » de la société internationale SILVACO, pour qu'on utilise et donc étudie l'influence des paramètres afin d'obtenir un rendement maximal, et pour optimiser et modéliser la cellule solaire à contact arrière EWT.

Par la suite, on a pu extraire les différents paramètres de déclaration, et afficher donc les résultats graphiques des informations de notre étude.

Un organigramme contenant les phases essentielles et les principales sections structurées du programme de simulation d'une cellule solaire, est élaboré à la fin de ce chapitre.

CHAPITRE

III

Introduction :

Pendant la conception d'un circuit intégré, Les couches logicielles se font traversées par le flot des données, dont chacune de ces couches est associée à un niveau d'abstraction. Le passage d'une couche à l'autre est possible par la permission d'autres outils logiciels. La composition des couches inférieures supporte des niveaux électriques et physiques. Au niveau électrique le circuit comporte des transistors et leurs interconnexions mais il ne comporte pas des portes logiques.

Au niveau physique, le transistor est maintenant considéré dans son aspect physique.

La conception des circuits intégrés exige des outils de simulation pour certain niveau donné d'abstraction. Ces outils comprennent plusieurs langages de description. Dans ce cas, ce sont les niveaux d'abstraction "comportemental" et "logique" qui sont adressés.

Pour le niveau électrique, les simulateurs fondamentaux sont HSPICE, Spectre et Eldo. Pour le niveau physique, deux outils dominant le marché du TCAD. Il s'agit du logiciel SILVACO et du logiciel SENTAURUS précédemment nommé ISE.

En ce qui nous concerne, le logiciel de simulation de dispositif et de Procès dont on a utilisé dans notre étude est TCAD SILVACO.

Présentation du dispositif simulé :**La simulation d'une structure MOSFET verticale sous environnement ATLAS-SILVACO :**

Avant de présenter notre dispositif on rappelle que les transistors MOSFET vertical ont été longtemps considérés comme une bonne alternative permettant de concevoir des transistors à canaux courts. Dans ce type de dispositif, le canal est perpendiculaire à la surface du wafer contrairement à une structure planaire où le canal lui est parallèle. Il existe plusieurs configurations possibles pour les transistors MOSFET à conduction verticale. En ce qui nous concerne, nous avons élaboré la structure MOSFET verticale que nous présentons dans ce qui suit :

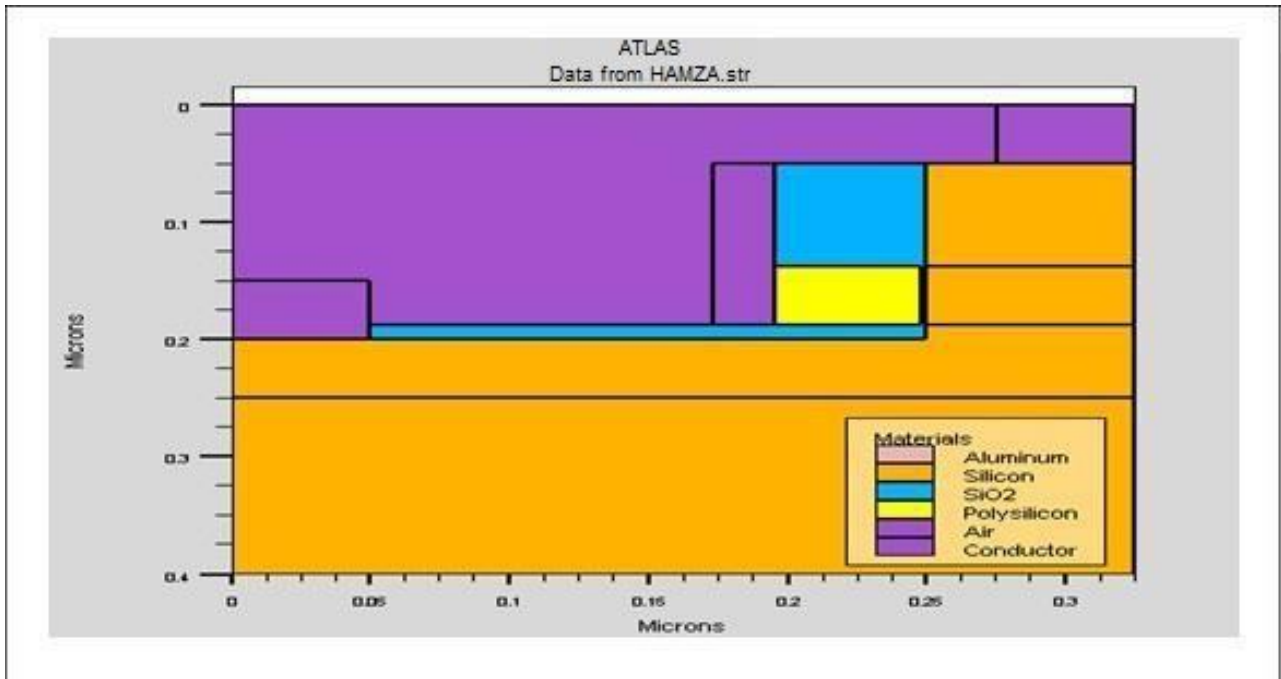


Figure III.1 : Structure VMOSFET Verticale réalisée avec le simulateur Atlas(2D).

Lors de l'élaboration de notre programme atlas, nous avons précisé les différentes régions constituant notre structure. Tel que la source, le drain, la grille et les zones d'isolation. Nous avons défini au départ le maillage adéquat pour chacune des zones constituant le transistor et raffiné le maillage au niveau de l'interface Si/SiO₂.

Choix de paramètres technologiques pour le MOSFET double-grille :

<i>Paramètres</i>	<i>Notations</i>	<i>Valeurs simulées</i>
<i>Epaisseur de la couche d'oxyde</i>	t_{ox}	$1nm$ à $3nm$
<i>Longueur de la grille</i>	L_g	$15nm$ à $50nm$
<i>Dopage du film (type p)</i>	N_A	$N_a=2.10^{17} /cm^3$
<i>Dopage source /drain (type n)</i>	N_D	$N_d=2.10^{19}/cm^3.$

Figure III.2 : Paramètres technologiques et géométriques du MOSFET vertical définis lors des simulations 2-D

La Figure (III.3) montre la coupe transversale d'une des structures développées au cours des simulations 2-D.

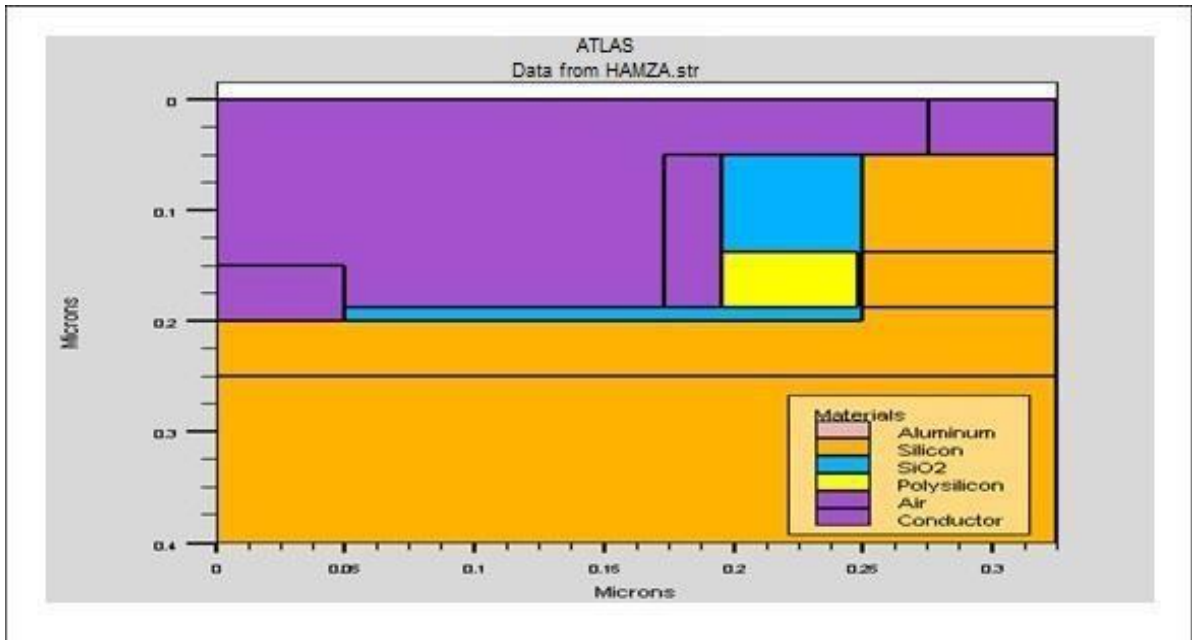


Figure III.3 : Structure MOSFET Verticale à canal unique réalisée avec le simulateur Atlas(2D)

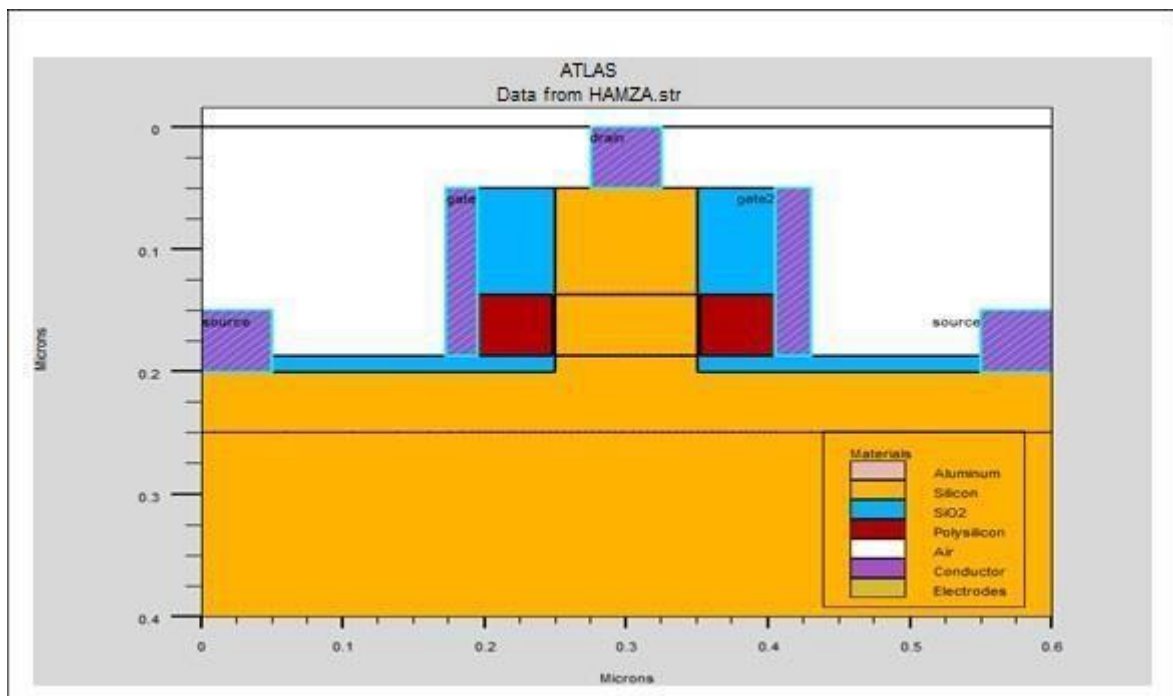


Figure III.4 : Structure MOSFET Verticale à deux canaux réalisés avec le simulateur Atlas(2D).

Chapitre III Résultats et discussions

III

Les régions en couleur violette correspondent aux électrodes (i.e. la source, le drain et les deux grilles), les régions en couleur bleu correspondent aux couches d'oxyde et finalement la région en jaune représente le film de silicium.

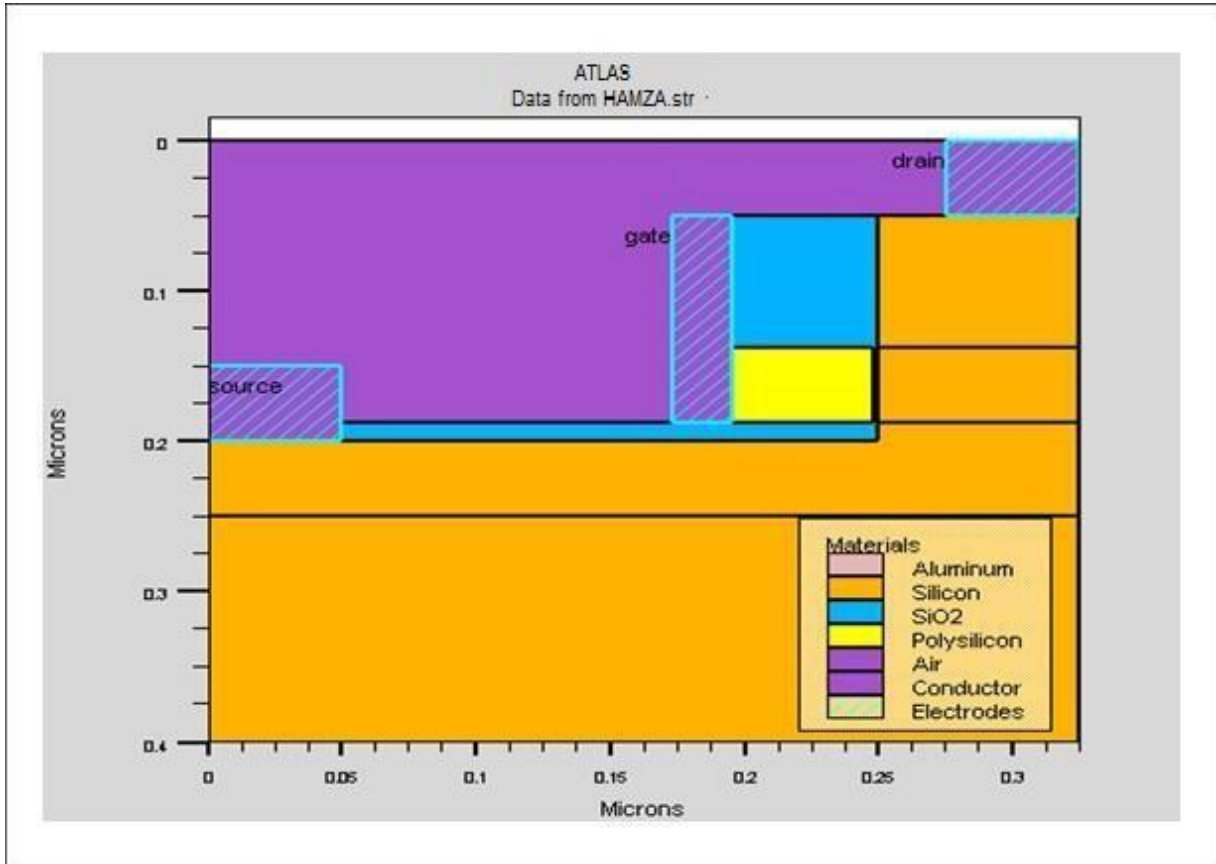


Figure III.5 : Structure n-MOSFET Verticale a canal unique avec Electrodes.

La concentration en impureté (ou dopage) pour les différentes régions de la structure est présenté sur la figure (III.6).

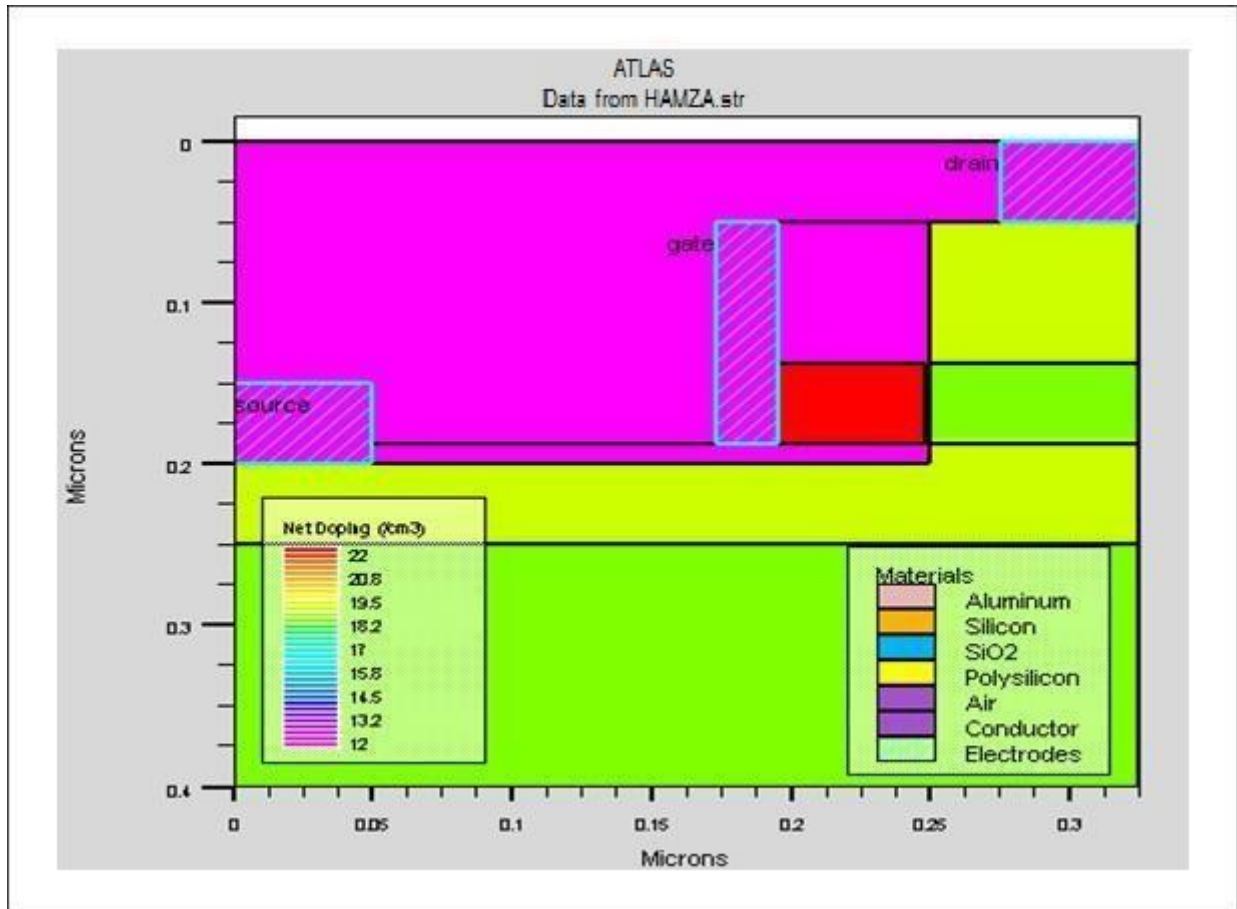


Figure III.6 : Structure n-MOSFET Verticale à canal unique avec les profils de Dopage.

Nous avons remarquons si la précision est meilleure le maillage est raffiné dans les zones adéquates du maillage. La Figure (III.13) présente le résultat du maillage défini sur le fichier de simulation de notre structure MOSFET verticale. Nous observons bien que le maillage n'est pas uniforme dans toute la structure.

Le maillage que nous avons adopté pour notre simulation est représenté sur la figure qui suit. On remarque bien que ce maillage n'est pas uniforme. Qu'il est par exemple grossier dans le substrat et raffiné aux niveaux des interfaces, et des jonctions.

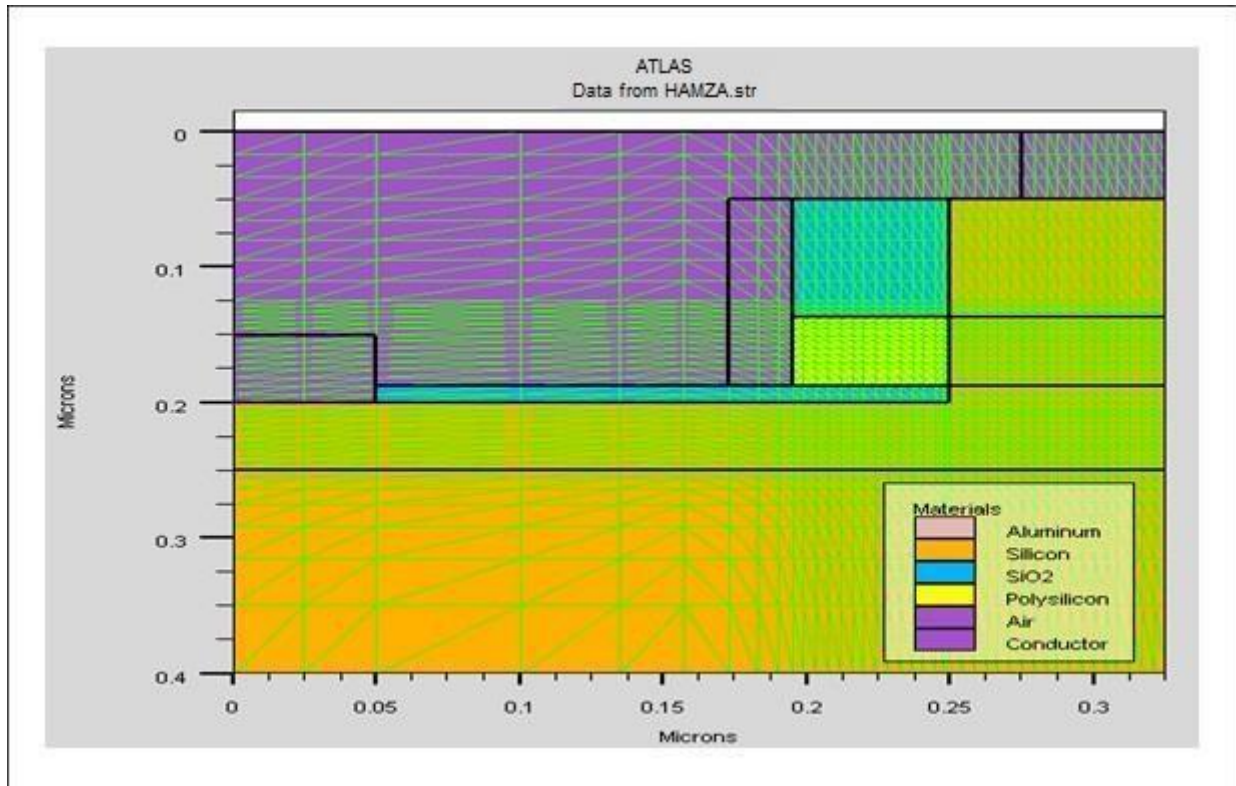


Figure III.7 : Le Maillage dans la Structure n_MOSFET Verticale.

Résultats obtenus

Caractéristiques d'entrée

Les caractéristiques de transfert (ID-VGS) et de sortie (ID-VDS) du dispositif simulé dans les figures suivent :

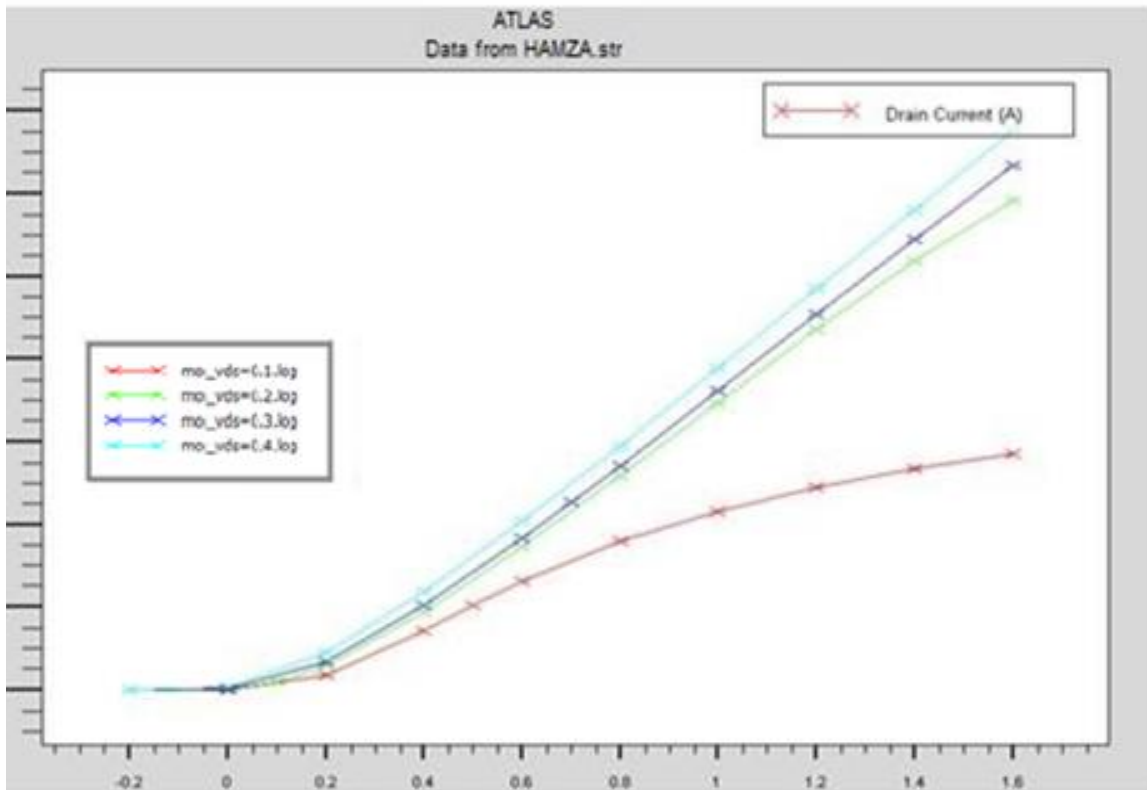


Figure III.8 : Caractéristiques de transfert du MOSFET verticale simulé.

Caractéristiques de sortie

Les caractéristiques de transfert (ID-VGS) et de sortie (ID-VDS) du dispositif simulé qui représentent dans les figures suivantes :

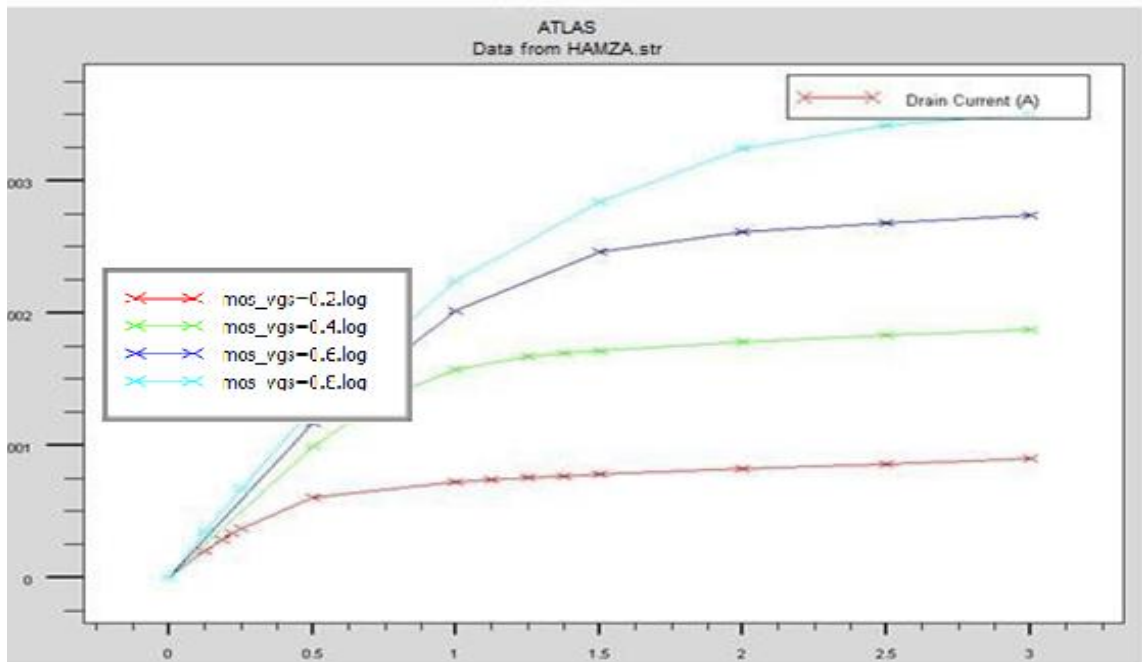


Figure III.9. Caractéristiques de sortie du MOSFET verticale simulé.

Cette caractéristique de transfert nous permet de déterminer la tension de seuil du transistor qui correspond à la tension de grille à partir de laquelle notre transistor devient passant. Notons que notre transistor est un transistor à enrichissement de canal.

En examinant la caractéristique de sortie nous pouvons aisément identifier les différentes zones de fonctionnement du transistor, à savoir la zone où le transistor est bloqué et qui correspond à la zone où le transistor est polarisé avec une tension inférieure à sa tension de seuil, la zone ohmique et la zone saturé où le transistor se comporte comme une source de courant.

Effet de la longueur du canal :

III.2.3.1 Effet de la variation des paramètres de notre structure sur son courant de drain :

Afin d'examiner les effets de la variation de certains paramètres de notre structure tel que la concentration de la zone du canal N_a , la longueur de la grille L_G , et l'épaisseur de l'oxyde de grille t_{ox} sur son courant de drain, nous avons pu effectuer différentes simulations ou nous avons pu faire varier à chaque fois les grandeurs d'un paramètre en maintenant les autres grandeurs constantes. Nous avons ainsi pu déterminer l'impact et l'effet de la variation du

paramètre que nous avons fait varier sur les caractéristiques électriques du transistor.

Lors de la simulation sous environnement Atlas, les paramètres du silicium sont fixés par défaut, et sont représentés dans le tableau suivant :

Parameter	valeur
Energie de gap (E_g)	1.8 ev
Affinité électronique (χ_{si})	1.0 ev
Densité de porteur dans la bande de conduction (N_C)	$2.8 \cdot 10^{19} / \text{cm}^3$
Densité de porteur dans la bande de valence (N_V)	$1.04 \cdot 10^{19} / \text{cm}^3$
Concentration Intrinsèque (n_i)	$1.15 \cdot 10^{10} / \text{cm}^3$
Le travail de sortie du métal (Φ_m)	4.612 ev
Mobilité des électrons (μ_n)	$1000 \text{ cm}^2/\text{v.s}$
Mobilité des électrons (μ_p)	$500 \text{ cm}^2/\text{v.s}$

Figure III.10 : Paramètres physique fix par défaut dans le simulateur.

Influence de la variation de la longueur de la grille

Lors de cette simulation nous avons varié la longueur de la grille L_g sur la zone active du substrat. Le but de cette manipulation est d'avoir des canaux entièrement ou partiellement couverts par la grille, ces valeurs sont précisées dans le tableau qui suit.

Les caractéristiques de transfert et de sortie permettant d'examiner l'effet de la variation de la longueur de la grille sur le courant du drain et la tension de seuil sont données au niveau des figures qui suivent

L_g	L_{g1}	L_{g2}	L_{g3}	L_{g4}
valeurs	20nm	30nm	40nm	50nm

Figure III.11 : différentes longueurs de grille simulées.

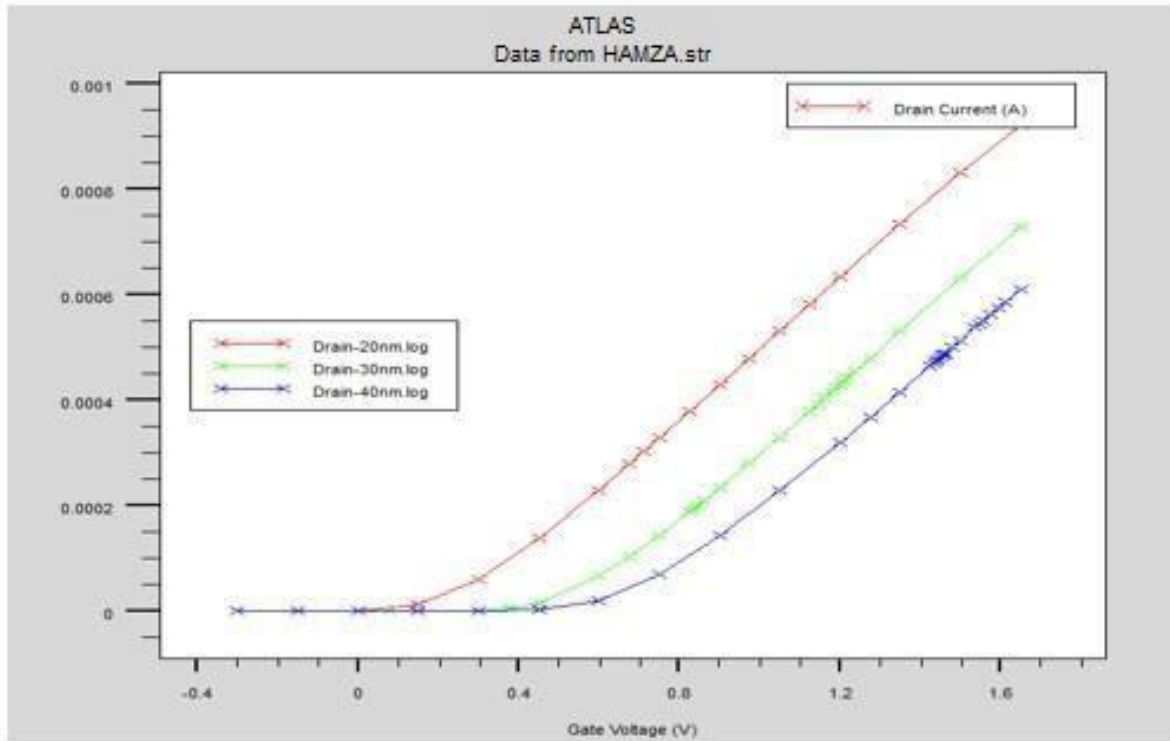


Figure III.12 : Caractéristiques (I_D - V_{GS}) pour différentes longueurs de grille.

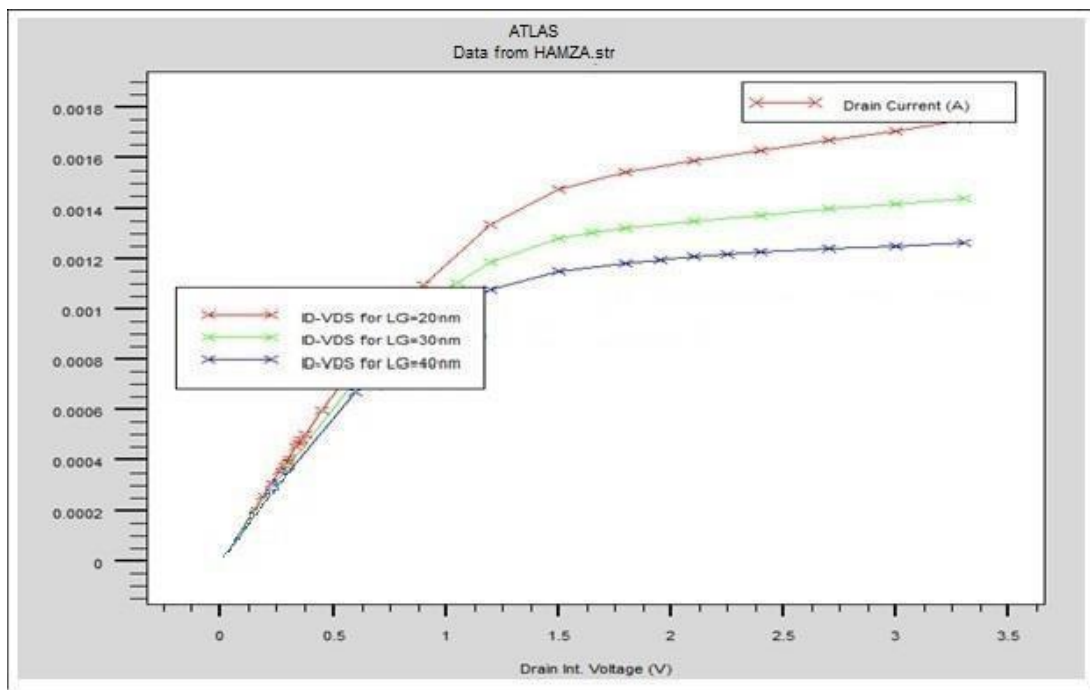


Figure III.13 : Caractéristiques (I_D - V_{DS}) pour différentes longueurs de grille.

On remarque sur la caractéristique de sortie $I_{DS}-V_{DS}$, que le courant de saturation de drain augmente, quand la longueur de la grille diminue. En diminuant encore plus cette longueur et pour une valeur typique de L_g , la tension de saturation risquerait d'augmenter fortement et la grille perdrait son contrôle sur le transistor. On remarque aussi que la tension de seuil est affectée par la variation de la longueur de la grille et augmente quand cette longueur augmente. On conclut donc que la longueur de grille affecte la valeur de la transconductance qui est un paramètre très important. En diminuant plus qu'il ne faut cette grandeur, la grille risquerait de perdre le contrôle sur le canal. De ce fait il est important de ne pas réduire la longueur de la grille aléatoirement

Effet de l'épaisseur du canal :

L'augmentation de densité de capacité de l'oxyde de grille Influence de la variation de l'épaisseur de l'oxyde t_{ox} a été obtenue jusqu'à ces dernières années en réduisant son épaisseur. Ceci été possible grâce à l'utilisation de la silice (SiO_2) amorphe matériau de grande qualité aux propriétés électriques excellentes. En effet la silice possède une importante largeur de bande interdite (9 eV) et un grand décalage de bande de conduction et de valence avec le silicium (respectivement 3.5 eV et 4.4 eV). Il est possible de la faire croître sur le silicium par oxydation thermique avec un excellent control de son épaisseur et son uniformité.

Afin de montrer l'effet de l'épaisseur de l'oxyde sur la valeur de courant du drain I_D et la tension de seuil, nous avons fait varier cette épaisseur de l'oxyde afin d'examiner l'effet de cette variation sur le courant du drain du transistor ainsi que sur sa tension de seuil. Les résultats de simulation que nous avons obtenus pour trois valeurs de l'épaisseur de l'oxyde sont celles des figures qui suivent.

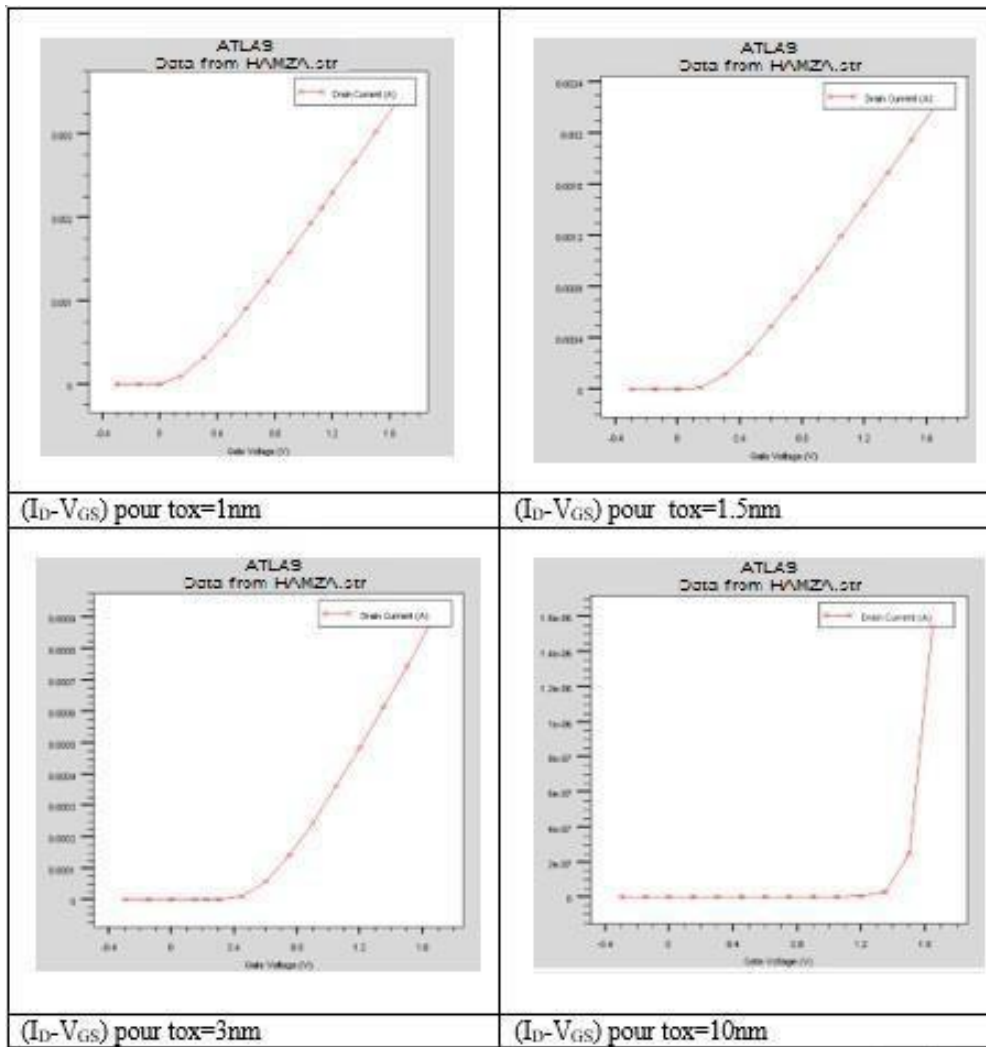


Figure III.14 : Caractéristiques $(I_D - V_{GS})$ pour différentes valeurs de t_{ox}

Nous pouvons remarquer en exploitant la courbe de transfert $I_{DS} - V_{GS}$ que la tension de seuil dépend de l'épaisseur de l'oxyde de grille. En effet cette tension de seuil augmente quand l'épaisseur de l'oxyde augmente. Une épaisseur très importante tel que $t_{ox} = 10\text{nm}$ isole en fait la grille du canal.

On a examiné alors l'effet de la variation de cet oxyde sur la caractéristique de sortie du transistor. Les résultats de simulation que nous avons obtenus sont donnés dans ce qui suit :

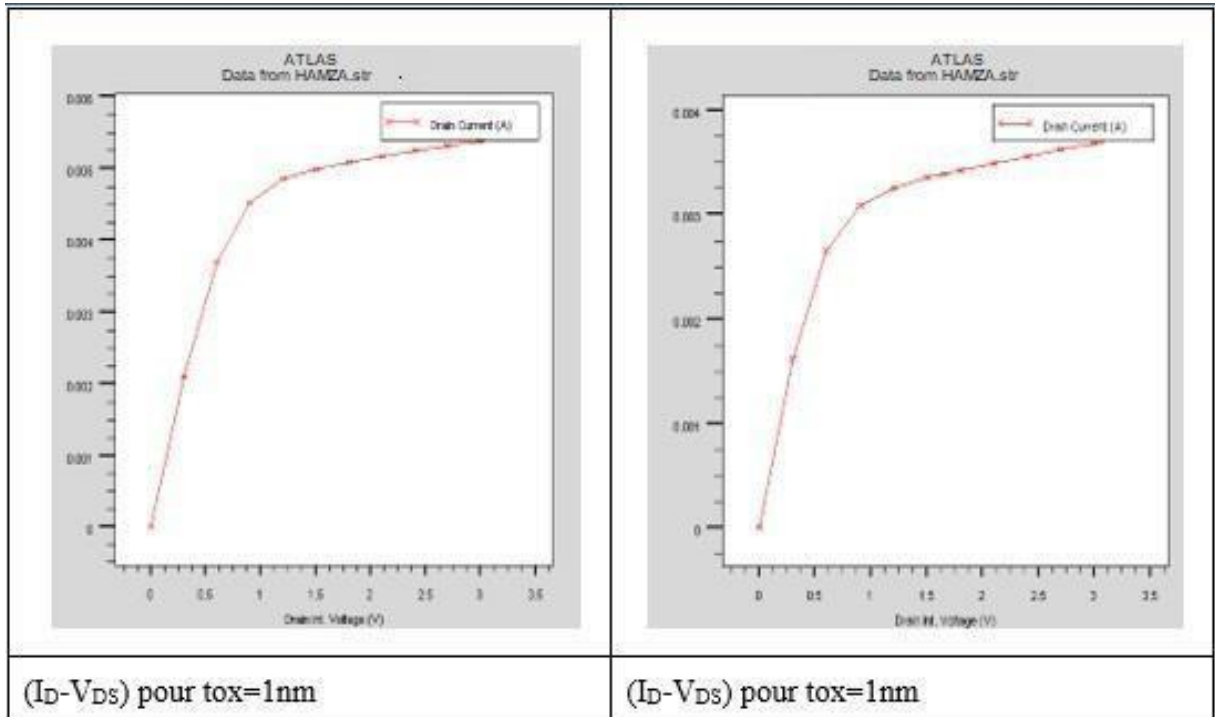


Figure III.15 : Caractéristiques (I_D - V_{DS}) pour différentes valeurs de t_{ox} .

Nous pouvons tout de suite remarquer que même une faible augmentation de l'épaisseur de l'oxyde a une influence sur le courant de sortie du transistor. En effet nous avons pu faire varier cette épaisseur en prenant deux valeurs soit $t_{ox}=1nm$ et $t_{ox}=1.5nm$.

Nous avons alors remarqué que le courant du drain augmente quand l'épaisseur de l'oxyde diminue ce qui était en fait prévisible. La figure qui suit permet de mettre en évidence l'effet de la variation de cette épaisseur en reportant sur le même graphe les caractéristiques de transfert puis sur un deuxième graphe les caractéristiques de sortie pour deux valeurs de l'oxyde de grille, soit 1nm et 3nm.

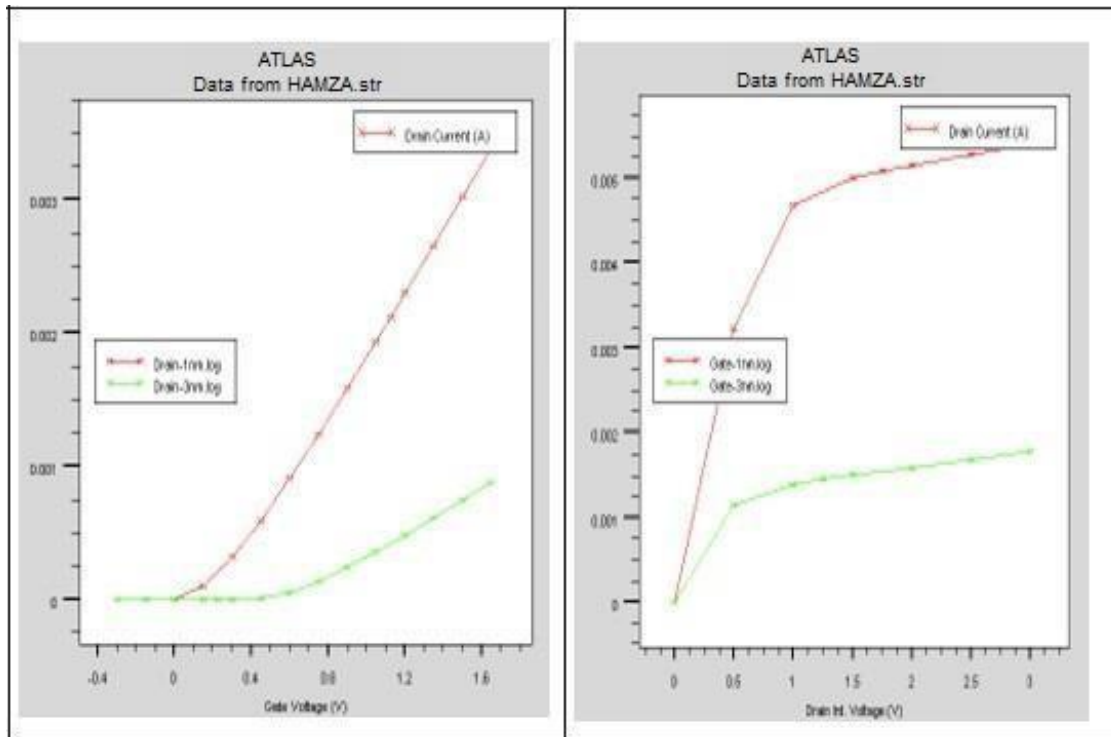


Figure III.16 : Caractéristiques (I_D - V_{GS}) et I_D - V_{DS} pour $t_{ox} = 1\text{nm}$ et $t_{ox} = 3\text{nm}$.

L'épaisseur de l'oxyde de grille doit être choisie adéquatement. En effet, une fine épaisseur de l'oxyde impliquerait le passage de porteurs de charges à travers le diélectrique par effet Tunnel dont la probabilité de passage croit exponentiellement avec la diminution de l'épaisseur t_{ox} le courant Tunnel augmente d'un ordre de grandeur pour chaque diminution de 0.2 nm. Par ailleurs un travail de spectroscopie de pertes d'énergie d'électrons a défini la valeur de 0.7nm comme limite physique au-delà de laquelle le SiO₂ perd les propriétés électroniques du matériau massif [muller1999]. D'autre part une couche épaisse de 10nm ne présente même pas un effet transistor ceci est dû à l'affaiblissement de l'effet de champ électriques sur les porteurs minoritaires dans le canal. Pour conclure on peut avancer que l'épaisseur de l'oxyde doit être la plus réduite possible afin d'améliorer le contrôle du canal de conduction.

Conclusion :

Dans ce troisième chapitre on a introduit un aperçu de l'évolution de la conception des circuits intégrés qui exige les outils de simulation dont nous avons expliqué et utilisé (ATLAS-SILVACO), par lesquels on a tracé et pratiqué un travail sur le transistor MOSFET vertical.

Conclusion générale

Conclusion générale :

Le MOSFET est un transistor de plus en plus utilisé pour la conception des circuits. Cela a permis de développer de nombreuses applications RF grand public (principalement pour les communications sans fil, internet des objets...etc). Pour répondre aux besoins des concepteurs, les modèles doivent pouvoir reproduire efficacement le comportement des dispositifs dans le domaine de hautes fréquences.

L'analyse du comportement petit signal des transistors MOSFETs et plus particulièrement le transistor MOS SOI 130nm qui a fait l'objet de notre étude passe inévitablement par la modélisation de ce dispositif et l'extraction des paramètres qui le constituent dans des plages de fréquences élevées.

Au cours du premier chapitre de notre travail, on a présenté les aspects théoriques du transistor MOSFETs d'une manière générale à savoir, sa structure, son principe de fonctionnement et le phénomène de miniaturisation qu'a connu la technologie CMOS. On a constaté l'importance de ces transistors dans l'industrie des composants électroniques destinés aux applications RF. Ensuite on a mis en avant un type de transistors particuliers de la famille des MOSFET qui sont les MOSFETs SOI partiellement déserté dont fait partie le MOS SOI 130nm.

Le logiciel de simulation SILVACO nous a permis de programmer des structures à base de semi-conducteur, et anticiper justement ses comportements électriques, la création de la structure qu'on a fait dans ATLAS a compris le millage, le dopage, les électrodes, et une résolution numérique, puis l'examen et simulation de notre structure, ont portés sur deux principales caractéristiques électriques qui sont la tension de seuil et la pente sous seuil. Par effet, on a conclu que les caractéristiques électriques de transistor MOS sont performantes.

Liste des figures

Références bibliographiques

Références bibliographiques :

[I.1] Sandrine Bernardini « Modélisation des structure métal-oxyde semiconducteur (MOS) : applications aux dispositifs mémoires ». L'UNIVERSITE d'AIX Marseille, octobre 2004, p15.

[I.2] LARIBI ASMA, « Etude des Performances d'une Structure MOS Nanométrique : Application au DGFET » UNIVERSITE ABOU-BEKR BELKAID – TLEMCCEN,2010, p07

[I.3] Sophie Baudot, « MOSFETS contraints sur SOI : Analyse des déformations par diffraction des rayons X et étude des propriétés électriques », these,15 décembre 2010, p09

[I.4] Sophie Baudot, « MOSFETS contraints sur SOI : Analyse des déformations par diffraction des rayons X et étude des propriétés électriques », these,15 décembre 2010, p18

[I.5] LARIBI ASMA, « Etude des Performances d'une Structure MOS Nanométrique : Application au DGFET » UNIVERSITE ABOU-BEKR BELKAID – TLEMCCEN,2010, p30,31

[I.6] Benhamida yahia « Etudes des caractéristiques et électriques d'un MOSFET nanométrique », université de Tlemcen, juin 2012, P65.

[I.7] Hikem Noura « Conception D'un transistor MOS SOI », mémoire de Master, Université de tizi-ouezzou, 2014, p09,10

[I.8] Hikem Noura « Conception D'un transistor MOS SOI », mémoire de Master, Université de tizi-ouzzou, 2014, p11_13

[II.1] ATLAS Users Manual device simulationsoftware. SILVACO International,Santa Clara, 2004.

[II.2] K. Bessem, mémoire magister : « Etude par TCAD-silvaco d'une structure MOS pour la réalisation de capteurs ISFET paramètres technologiques et électrique », Université Mentouri de Constantine, 2010. P35

[II.3] H.Michael: « Modeling of opérating température performance of triple junction solar cells using silvaco's ATLAS », Naval School California, 2007. p28

Références bibliographiques

[II.4] P.Henry: « Guide to Using TCAD with Examples Silvaco », 2009, p4

[II.5] Ghachamie Samali, « caractéristique électrique d'une diode a barriere de shottley (SDB) avec et sans couche isolante si O2 a la température ambiante (300k) », mémoire de master en électronique, Université de Biskra, 2014.

[II.6] CHIKHI bouchera, « Analyse, simulation et étude des performances des cellules solaires p-type (Emetteur wrap throught) », memoir de master, université de tlemcen, 2018, p31.

[II.7]H.Michael: « Modeling of opérating température performance of triple junction solar cells using silvaco's ATLAS », Naval School California, 2007.

[II.8] CHIKHI bouchera, « Analyse, simulation et étude des performances des cellules solaires p-type (Emetteur wrap throught) », memoir de master, université de tlemcen, 2018, p34-36.

[II.9] DEHAS Youghourta, « Etude et simulation de la caractéristique électronique d'une diode laser. », memoir de master, université de béjaia, 2019/2020, p46,47

[II.10] CHIKHI bouchera, « Analyse, simulation et étude des performances des cellules solaires p-type (Emetteur wrap throught) », memoir de master, université de tlemcen, 2018, p43.

[II.11] DEHAS Youghourta, « Etude et simulation de la caractéristique électronique d'une diode laser. », memoir de master, université de béjaia, 2019/2020, p48,49

