

الجمهورية الجزائرية الديمقراطية الشعبية
République Algérienne démocratique et populaire

وزارة التعليم العالي و البحث العلمي
Ministère de l'enseignement supérieur et de la recherche scientifique

جامعة سعد دحلب البلدية
Université SAAD DAHLAB de BLIDA

كلية التكنولوجيا
Faculté de Technologie

قسم الإلكترونيك
Département d'Électronique



Mémoire de Master

Pour l'obtention du diplôme de Master en Électronique Option : Micro-électronique

présenté par

REGHMIT Omar

&

SAID Nadjib

Thème

Etude et Simulation de l'additionneur 4 Bits

Proposé par :

Mr : NACER Said

Année Universitaire 2020-2021

Remerciements

Tout d'abord, nous remercions le Dieu Tout-Puissant de nous avoir permis d'atteindre ce niveau d'éducation et de nous donner beaucoup de patience et de courage.

Nous tenons à exprimer nos vifs remerciements à : Nos parents, qui nous ont préparés le milieu pour la réussite.

Nous adressons nos sincères remerciements et reconnaissance à notre promoteur **Mr. NACER SAID** enseignant chercheur à l'université de Blida 1, pour avoir dirigé ce travail ainsi que pour ses conseils avisés tout au long de notre projet, d'avoir accepté d'encadrer ce travail. Ses remarques et ses conseils nous ont été d'une grande utilité pour mener à terme ce travail.

Nous remercions tous les amis et toutes les personnes, qui nous ont encouragés et soutenus de près et de loin pendant ce travail.

Dédicace

Tous les mots ne sauraient exprimer la gratitude, l'amour, le respect, la reconnaissance, c'est tout simplement que Je dédie ce travail...

A **ma mère** :

Qui me fait confiance et me soutenir en toutes circonstances au cours de toutes mes années d'études c'est avec émotion que je l'exprime toute mon affection, mon admiration et mon profond respect.

A la mémoire de **Mon père**:

Ce travail t'est dédié en témoignage de mon profond respect pour ton âme et en reconnaissance de ton affection. Dors en paix mon père et que le Tout Puissant t'accepte dans son paradis.

A mes chères **frères et sœurs**.

A ma chère **femme** pour son soutien moral.

A mes chères **neveux et nièces**.

A mon binôme **REGHMIT Omar** pour son soutien moral sa patience et sa compréhension tout au long de ce projet.

A tous les membres de ma promotion et mes professeurs depuis l'enfance.

A toute ma grande famille et à tous ceux que j'aime

Veillez trouver dans ce modeste travail l'expression de mon Affection.

SAID Nadjib

Dédicace

Je dédie ce modeste travail, à mes très chers parents.

A

Ma mère, tes prières m'ont toujours accompagné pour
M'accomplissement de ce travail.

A

Mon père, son courage et son amour m'ont inspiré à continuer ce
travail.

A

Mes frères

A

Mes sœurs.

A

Toute ma famille.

A

Je dédie ce mémoire. À mon binôme **SAID NADJIB**, à tous mes amis et
à tous les étudiants en microélectronique.

REGHMIT OMAR.

المخلص : الهدف من هذا العمل هو دراسة بنية الأنواع المختلفة من الإضافات المكونة من 4 بتات المستخدمة في الأنظمة الإلكترونية مثل المعالجات وغيرها. يتم شرح الهيكل الدقيق لهذه المكونات (الترانزستورات ، والأبواب المنطقية) وخصائصها وكيفية عملها. تمت أيضًا مناقشة الاختلاف في بنية وسرعة الأنواع المختلفة من المواد المضافة في هذه الورقة. يكمن الاختلاف بين مضافة Ripple-Carry و CARRY LOOK-AHEAD في نقل المعلومات. سمحت لنا الدراسة أيضًا بالكشف عن أخطاء التوقيت الدقيق أثناء التشغيل ، باستخدام برنامج المحاكاة DSCH و MICROWIND.

الكلمات المفتاحية : الجامع . الجامع النصفي . بوابات منطقية .

Résumé : Le but de ce travail est d'étudier la structure des différents types d'additionneur 4 bits qui sont utilisés dans les systèmes électroniques tels que les processeurs et autres. La structure exacte de ces composants (transistors, portes logiques, ..), leurs propriétés et le mode de leur fonctionnement sont expliqués. La différence de structure et de vitesse des différents types additionneurs a également été abordée dans ce mémoire. La différence entre l'additionneur Ripple-Carry et CARRY LOOK-AHEAD réside dans le transfert d'informations. L'étude nous a également permis de révéler les défauts de temporisation précise pendant le fonctionnement, et ceci en utilisant les logiciels de simulation MICROWIND et DSCH.

Mots clés : Additionneur complet ; demi-additionneur ; porte logique ; RCA ; CLA

Abstract :

The purpose of this work is to study the structure of the different types of 4-bit adders that are used in electronic systems such as processors and others. The exact structure of these components (transistors, logical doors, ..), their properties and how they work are explained. The difference in structure and speed of the different types of additive was also discussed in this paper. The difference between the Ripple-Carry additive and CARRY LOOK-AHEAD is in the transfer of information. The study also allowed us to reveal the faults of precise timing during operation, using the simulation software MICROWIND and DSCH.

Keyword : logic gate, half adder, full adder

Listes des acronymes et abréviations

Si : silicium

Ci : Circuit intégré

MOS : Métal Oxyde Semi-conducteur

ASIC : pour Application Specific Integrated Circuit

DSP : pour Digital Signal Processor

S : source

D : drain

G : grille

BS : substrat-source

BD : substrat-drain

H₂SO₄ : l'acide sulfurique

SiO₂ : dioxyde de silicium

CLA : Carry Look Ahead

RCA : Ripple Carry Adder

Table des matières

Remerciements	
Dédicace	
Dédicace	
ملخص	
Résumé	
Abstract	
Listes des acronymes et abréviations	
Introduction général.....	01
Chapitre 1 : Le transistor MOS.....	02
1.1 Introduction.....	03
1.2 Circuit intégré	03
1.2.1 Définition Circuit intégré.....	03
1.2.2 .Circuit intégré analogique	03
1.2.3 Circuit intégré numérique.....	04
1.2.4 Composants internes.....	04
1.3 Le silicium (Si).....	04
1.4 Semi-conducteur.....	04
1.4.1. Semi-conducteur intrinsèque.....	04
1.4.2. Semi-conducteurs extrinsèques.....	05
1.4.3. Le type semi-conducteur extrinsèques.....	05
a semi-conducteur de type n.....	05
b semi-conducteur de type P.	06
1.5 Transistor MOS	06
1.5.1 Définitions.....	06
1.5.2 Transistor CMOS.....	07
1.5.3 Commutateurs à transistors MOS.....	08
1.5.4 Le processus de fabrication du transistor CMOS.....	09
1.5.5 Fabrication CMOS.....	09
1.5.6. Technologie N- well / P- well.....	09
1.5.7 Étapes de fabrication CMOS.....	10
1.5.8 Fabrication du CMOS en utilisant N well.....	10
1.5.9 Création de CMOS à l'aide de la technologie P Well.....	16
Conclusion.....	16
Chapitre 2 :.....	17
2.1. Le Portes logiques	18
2.1.1. La Porte OUI	18
2.1.2. La Porte NON	18
2.2. La porte ET (AND)	18
2.2.1. La porte ET (AND) à deux entrées	18
2.2.2. La porte ET (AND) à 3 entrées	19
2.2.3. La porte AND à plusieurs entrées	20

2.3. Les portes logiques NAND	21
2.3.1. La porte NAND à 2 entrées.....	21
2.3.2. La porte NAND à 3 entrées	21
2.4. La porte OR	22
2.4.1. La porte OR à 2 entrées	22
2.4.2. La porte OU (OR) à 3 entrées	23
2.4.3. La porte OR à plusieurs entrées	23
2.5. Porte logique NOR	24
2.5.1. La porte logique NOR à 2 entrées	24
2.5.2. La porte NOR à 3 entrées	25
2.6. La porte XOR	26
2.6.1. Porte XOR à 2 entrées	26
2.6.2. La porte XOR à 3 entrées	26
2.6.3. Utilisation de la porte XOR	27
2.7. Demi-additionneur	27
2.7.1. Définition	27
2.7.2. Circuit logique demi-additionneur	28
2.8. Additionneur complet	28
2.8.1. Définition.....	28
2.8.2. La fonctionnement additionneur.....	29
2.8.3. Construction du circuit demi-additionneur	29
2.9. Additionneur à 4 bits	30
2.9.1. L'additionneur à 4 bits Ripple-carry adder (RCA)	30
a Définition	30
b Structure de l'additionneur 4 bit Ripple-carry.....	31
2.9.2 CARRY LOOK-AHEAD ADDER (CLA)	32
a Définition.....	32
b Carry Look Ahead l'additionneur (CLA) Diagramme logique.....	33
c Générateur P et G : Demi-additionneur.....	33
d Diagramme de bloc (CLA)	34
e Bloc additionneur.....	35
2.10 CONCLUSION.....	36
Chapitre 3 : Simulation.....	37
3.1 Introduction.....	38
3.2 Simulation de la porte AND à 2 entrées.....	38
3.2.1 Schéma de la porte logique ET (AND).....	38
3.2.2 Layout de la porte ET(AND) à 2 entrées.....	38
3.2.3 Simulation de la porte ET (AND) à 2 entrées.....	39
3.3 Simulation de la porte logique OR à 2 entrées.....	40
3.3.1 Schéma logique de la porte OU (OR).....	40
3.3.2 Layout de la po rte logique OR à 2 entrée.....	40
3.3.3 Simulation de la porte logique OR à 2 entrées.....	40
3.4 Simulation de la porte logique XOR à 2 entrées.....	41

3.4.1	Schéma de la porte XOR CMOS.....	41
3.4.2	Layout de la porte logique XOR à 2 entrées.....	42
3.4.3	Simulation de la porte XOR à 2 entrées.....	42
3.5	Simulation du demi-additionneur.....	43
3.5.1	Circuit logique demi-additionneur.....	43
3.5.2	Layout du demi-additionneur.....	43
3.5.3	Simulation du demi-additionneur.....	43
3.6	Simulation de l'additionneur complet.....	44
3.6.1	Circuit logique de l'additionneur complet.....	44
3.6.2	Layout de l'additionneur complet.....	45
3.6.3	Diagramme de la simulation de l'additionneur complet.....	45
3.6.4	Simulation de l'additionneur à l'aide d'horloges.....	46
3.7	Simulation l'additionneur 4 bit.....	47
3.7.1	Ripple-Carry adder (RCA).....	47
a	Simulation Le circuit de l'additionneur à 4 bits (RCA).....	47
b	Simulation Le circuit logique de l'additionneur 4 bits (RCA).....	47
c	Diagramme circuit de l'additionneur 4 bit (RCA).....	48
d	Layout de l'additionneur à 4 Bits (RCA).....	49
e	Simulation de l'additionneur 4 bits (RCA).....	49
3.7.2	CARRY LOOK-AHEAD ADDER (CLA).....	49
a	Circuit logique de l'additionneur 4bits (CLA).....	49
b	Diagramme du circuit de l'additionneur 4 bit (CLA).....	50
c	Layout de l'additionneur 4bits (CLA).....	51
d	Simulation de l'additionneur 4 bits (CLA).....	51
3.8	Conclusion.....	52
	Conclusion général.....	53

Liste des figures

Chapitre 1

Fig.1.1. des liaisons électroniques pour le semi-conducteur intrinsèque (Si).....	05
Fig.1.2. semi-conducteur de type n.....	05
Fig.1.3. semi-conducteur de type p.....	06
Fig.1.4. structures et symboles des transistors MOS	07
Fig.1.5. différents symboles du MOS.....	07
Fig.1.6. structure d'un transistor MOS.....	07
Fig1.7. MOS complémentaires.....	08
Fig.1.8. Commutateurs de transistor MOS.....	08
Fig1.9. Substrat.....	10
Fig.1.10. Oxydation.....	10
Fig.1.11. Croissance de la photorésist.....	10
Fig1.12. Masquage du photorésist.....	11
Fig1.13. Retrait de la photorésist.....	11
Fig.1.14. Gravure de SiO ₂	11
Fig.1.15. Retrait de la couche de photorésist	13
Fig.1.16. Formation de puits N.....	12
Fig.1.17. Élimination de SiO ₂	12
Fig.1.18. Dépôt de poly silicium.....	12
Fig.1.19. Formation de la région de porte.....	13
Fig1.20. Processus d'oxydation.....	13
Fig.1.21. Masquage.....	13
Fig.1.22. N-diffusion.....	14
Fig.1.23. Élimination de l'oxyde.....	14
Fig.1.24. Diffusion de type P.....	14
Fig.1.25. Couche d'oxyde de champ épais.....	14
Fig.1.26. Métallisation.....	15
Fig.1.27. Formation de terminaux.	15
Fig.1.28 Attribution de noms de terminaux.....	15
Chapitre : 2.....	17
Fig.2.1 La porte logique OUI	18
Fig.2.2 La porte logique NON	18
Fig.2.3 La porte logique ET (AND) à 2 entrée	19
Fig.2.4 La porte logique ET (AND) à 3 entrée	19
Fig.2.5 La porte logique ET (AND) multi-entrées.....	20
Fig.2.6 La porte logique NAND à 2 entrées.....	21
Fig.2.7 La porte logique NAND à 3 entrées.....	22
Fig.2.8 La porte logique OR à 2 entrée.....	22
Fig.2.9 La porte logique OR à 3 entrée.....	23
Fig.2.10 La porte logique OR multi-entrées.....	24
Fig.2.11 La porte logique NOR à 2 entrées.....	25
Fig.2.12 La porte logique XOR à 3 entrées.....	25

Fig.2.13	La porte logique XOR à 2 entrées.....	26
Fig.2.14	La porte logique XOR à 3 entrées.....	26
Fig.2.15	Schéma demi-additionneur.....	27
Fig.2.16	Circuit logique demi-additionneur.....	28
Fig.2.17	Schéma de l'additionneur complet.....	28
Fig.2.18	Circuit additionneur complet.....	29
Fig.2.19	Circuit logique de l'additionneur complet.....	30
Fig.2.20	Schéma de principe de l'additionneur 4 bits (Ripple carry adder).....	30
Fig.2.21	Structure de l'additionneur RCA 4 bits.....	31
Fig.2.22	Schéma de principe de additionneur CLA 4 bits.....	32
Fig.2.23	Carry look ahead Adder (CLA) diagramme logique	33
Fig.2.24	Générateur P et G: Demi Additionneur.	34
Fig.2.25	Diagramme de bloc du (CLA)	34
Fig.2.26	Bloc Additionneur.....	35
Fig.2.27	Diagramme schématique de Carry look ahead adder.....	35
Chapitre3	37
Fig.3.1.	la porte logique ET(AND).....	38
Fig.3.2.	Circuit CMOS de la porte ET(AND) à 2 entrées.....	38
Fig.3.3.	Layout de la porte logique AND à 2 entrées.....	39
Fig.3.4.	Simulation de la porte AND à 2 entrées.....	39
Fig.3.5.	La porte logique OU(OR).....	40
Fig.3.6	Circuit CMOS de la porte OU(OR)à 2 entrées.....	40
Fig.3.7.	Layout de la porte logique OR à 2 entrées.....	40
Fig3.8.	Diagramme de simulation du la porte logique OR à 2 entrées.....	41
Fig.3.9.	La porte logique XOR à2 entrées.....	42
Fig.3.10.	Circuit CMOS de la porte XOR à2 entrées.....	42
Fig.3.11.	Layout de la porte logique XOR à 2 entrées.....	42
Fig.3.12.	Diagramme de Simulation de la porte XOR à 2 entrées.....	42
Fig.3.13.	Circuit logique de demi-additionneur.....	43
Fig.7.14.	Symbole du demi-additionneur.....	43
Fig.3.15.	Layout du demi-additionneur.....	43
Fig.3.16.	Diagramme Simulation du demi-additionneur.....	44
Fig.3.17.	Circuit logique de l'additionneur complet.....	44
Fig.3.18.	Simulation d'un l'additionneur complet.....	45
Fig.3.19.	Layout de l'additionneur complet.....	45
Fig.3.20.	Diagramme de Simulation d'un additionneur complet.....	46
Fig.3.21.	Symbole de l'additionneur complet et test du symbole à l'aide d'horloges.....	46
Fig.3.22.	diagramme de l'additionneur complet.....	47
Fig3.23.	Circuit logique de l'additionneur à 4 bits (RCA).....	47
Fig 3.24.	Diagramme de Simulation l'additionneur 4 bit (RCA).....	48
Fig.3.25.	Layout de l'additionneur 4 bits (RCA).....	49
Fig.3.26.	Simulation de l'additionneur 4 bits (RCA).....	49
Fig.3.27.	Le circuit logique de l'additionneur 4 bit (CLA).....	50
Fig.3.28	Diagramme de Simulation l'additionneur 4 bit (CLA).....	51
Fig.3.29.	Layout de l'additionneur à 4 bits (CLA).....	51
Fig.3.30.	Diagramme de simulation layout de l'additionneur 4 bits (CLA).....	52

Liste des tableaux

Chapitre 2.

Tableau .2.1. Tableau de vérité port OUI	18
Tableau.2.2. Tableau de vérité de la porte logique NON	18
Tableau.2.3. Tableau de vérité de la porte ET (AND) à 2 entrées.....	19
Tableau.2.4. Tableau de vérité de la porte ET (AND) à 3 entrées.....	19
Tableau.2.5. Tableau de vérité de la porte ET (AND) multi-entrées	21
Tableau.2.6. Tableau de vérité de la porte NAND à 2 entrées.....	21
Tableau.2.7. Tableau de vérité de la porte NAND à 3 entrées.....	22
Tableau.2.8. Tableau de vérité de la porte OU (OR) à 2 entrées.	23
Tableau.2.9. Tableau de vérité de la porte OU (OR) à 3 entrées.	23
Tableau.2.10. Tableau de vérité de la porte OR multi-entrées.	24
Tableau.2.11. Tableau de vérité de la porte NOR à 2 entrées.	25
Tableau.2.12. Tableau de vérité de la porte NOR à 3 entrées.	25
Tableau.2.13. Tableau de vérité de la porte XOR à 2 Entrées.	26
Tableau.2.14. Tableau de vérité de la porte XOR à 3 entrées.	27
Tableau.2.15. Tableau de vérité de la demi-additionneur.	27
Tableau.2.16. Tableau de vérité de l'additionneur complet.	29

Introduction générale

Parmi les nombreux appareils électroniques numériques l'additionneur reste le composant le plus important, notamment par ses hautes performances et sa capacité de transmission du signal. La grande importance qu'a l'additionneur dans le monde de l'électronique et de la microélectronique est la raison pour laquelle nous avons choisi un tel composant.

Le développement de la technologie des additionneurs a permis de nombreux changements et a révolutionné le domaine de la technologie informatique.

Les additionneurs Ripple-carry adder (RCA) et carry look ahead adder (CLA) sont des circuits intégrés appartenant à la famille des circuits logiques capables de fonctionnement séquentiel et automatique d'opérations élémentaires, ce sont des composants très importants utilisés dans les processeurs et autres.

Dans sa fabrication, l'additionneur est soumis à de très hautes technologies car il allie la précision de sa taille et la rapidité de traitement de l'information, et donc notre travail est d'étudier l'additionneur 4 bits et les pièces comprises dans sa composition (transistors, portes logiques,..) à l'aide des logiciels de simulation MICROWIND et DSCH.

Le travail réalisé est divisé en 3 chapitres : le premier est consacré à l'identification des éléments intervenant dans la fabrication des circuits logiques et de leurs propriétés. Dans le deuxième chapitre, nous nous sommes penchés sur les différents types de portes logiques qui composent l'additionneur logique, ainsi que l'additionneur 1 bit (demi et complet) et les additionneurs 4 bits RCA et CLA. Le troisième chapitre est consacré à la simulation des additionneurs étudiées et l'évaluation de leurs performances en termes de Complexité, de surface et de vitesse. Enfin, nous terminons ce mémoire par une conclusion.

Chapitre 1

Le transistor MOS

Chapitre 1 Le Transistor MOS

1.1 Introduction

En 1930, L. Lilienfeld de l'Université de Leipzig dépose un brevet dans lequel il décrit un élément qui ressemble au transistor MOS (Métal Oxyde Semi-conducteur) actuel. Cependant, ce n'est que vers 1960 que, la technologie ayant suffisamment évolué, de tels transistors peuvent être réalisés avec succès. En particulier, les problèmes d'interface oxyde-semi-conducteur ont pu être résolus grâce à l'affinement de la technologie dans le domaine bipolaire, affinement requis pour obtenir des transistors de meilleure qualité. Aujourd'hui le transistor MOS constitue, par sa simplicité de fabrication et ses petites dimensions, l'élément fondamental des circuits intégrés numériques à large échelle.

Dans ce chapitre, nous étudions le matériau utilisé dans la fabrication d'un transistor, ainsi que les étapes de fabrication d'une technologie de transistor [1].

1.2 Circuit intégré

1.2.1 Définition du circuit intégré

Le circuit intégré (CI), aussi appelé puce électronique, est un composant électronique reproduisant une ou plusieurs fonctions électroniques plus ou moins complexes, intégrant souvent plusieurs types de composants électroniques de base dans un volume réduit, rendant le circuit facile à mettre en œuvre.

Il existe une très grande variété de ces composants divisés en deux grandes catégories : analogique et numérique [2].

1.2.2 Circuit intégré analogique

Les composants les plus simples peuvent être de simples transistors encapsulés les uns à côté des autres sans liaison entre eux, jusqu'à des assemblages réunissant toutes les fonctions requises pour le fonctionnement d'un appareil dont il est le seul composant.

Les amplificateurs opérationnels sont des représentants de moyenne complexité de cette grande famille où l'on retrouve aussi des composants réservés à l'électronique haute fréquence et de télécommunication [2].

1.2.3 Circuit intégré numérique

Les circuits intégrés numériques les plus simples sont des portes logiques (et, ou, non), les plus complexes sont les microprocesseurs et les plus denses sont les mémoires. On trouve de nombreux circuits intégrés dédiés à des applications spécifiques (ASIC pour Application Specific Integrated Circuit), notamment pour le traitement du signal (traitement d'image, compression vidéo...) on parle alors de DSP (pour Digital Signal Processor). Une famille importante de circuits intégrés est celle des composants de logique programmable (FPGA, CPLD). Ces composants sont amenés à remplacer les portes logiques simples en raison de leur grande densité d'intégration [2].

1.2.4 Composants internes

Un circuit intégré comprend sous des formes miniaturisées principalement des transistors, des diodes, des résistances, des condensateurs, plus rarement des inductances car elles sont plus difficilement miniaturisables. [2].

1.3 Le silicium (Si)

Le silicium (Si) est le deuxième élément le plus abondant sur Terre et existe principalement sous forme de silicate oxydé (SiO_2). Les sources de Si ne sont ni localisées dans des régions très spécifiques ni nobles. Cependant, le silicium cristallin (c-Si) et amorphe (a-Si) restent les matériaux les plus fondamentaux, purement inorganiques, utilisés pour la microélectronique, l'optoélectronique et la photonique, car les processus lithographiques et de dopage p-n sont déjà bien établis dans l'industrie. Pour produire ces matériaux, des procédés de dépôt sous vide et en phase vapeur et des techniques de tranchage / polissage mécaniques de plaquettes de Si sont utilisés [3].

1.4 Semi-conducteur

1.4.1 Semi-conducteur intrinsèque

Un semi-conducteur intrinsèque est un semi-conducteur complètement pur sans aucune espèce de dopant significative présente. Par conséquent, les semi-conducteurs intrinsèques sont également appelés semi-conducteurs purs ou semi-conducteurs de type i. [6]

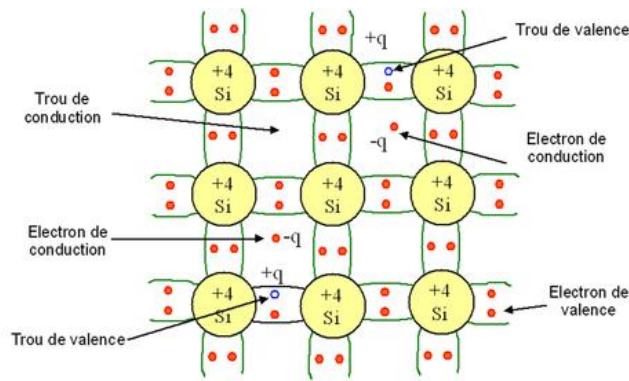


Fig.1.1. Liaisons électroniques pour le semi-conducteur intrinsèque (Si) [5].

1.4.2. Semi-conducteurs extrinsèques

Les semi-conducteurs extrinsèques sont des composants de nombreux appareils électriques courants, ainsi que de nombreux détecteurs de rayonnement ionisant. À ces fins, une diode à semi-conducteur (dispositifs qui ne permettent le courant que dans une seule direction) est généralement constituée de semi-conducteurs de type p et de type n placés en jonction l'un avec l'autre [6].

1.4.3 Le type de semi-conducteurs extrinsèques

a. semi-conducteur de type n

Un semi-conducteur extrinsèque qui a été dopé avec des atomes donneurs d'électrons est appelé semi-conducteur de type n, car la majorité des porteurs de charge dans le cristal sont des électrons négatifs. Puisque le silicium est un élément tétravalent, la structure cristalline normale contient 4 liaisons covalentes de quatre électrons de valence. Dans le silicium, les dopants les plus courants sont les éléments du groupe III et du groupe V. Les éléments du groupe V (pentavalent) ont cinq électrons de valence, ce qui leur permet d'agir en tant que donneur. Cela signifie que l'ajout de ces impuretés pentavalentes telles que l'arsenic, l'antimoine ou le phosphore apporte des électrons libres, augmentant considérablement la conductivité du semi-conducteur intrinsèque [7].

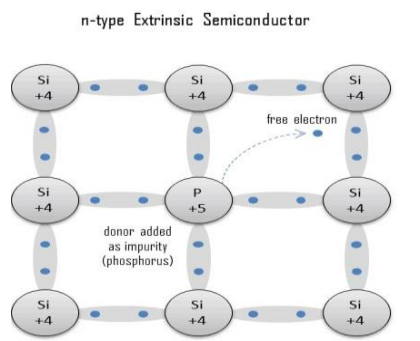


Fig.1.2. Semi-conducteur de type n [7]

b semi-conducteur de type P.

Un semi-conducteur extrinsèque qui a été dopé avec des atomes accepteurs d'électrons est appelé un semi-conducteur de type p, car la majorité des porteurs de charge dans le cristal sont des trous d'électrons (porteurs de charge positive). Le silicium semi-conducteur pur est un élément tétravalent, la structure cristalline normale contient 4 liaisons covalentes de quatre électrons de valence. Dans le silicium, les dopants les plus courants sont les éléments du groupe III et du groupe V. Les éléments du groupe III (trivalents) contiennent tous trois électrons de valence, ce qui les amène à fonctionner comme accepteurs lorsqu'ils sont utilisés pour doper le silicium [7].

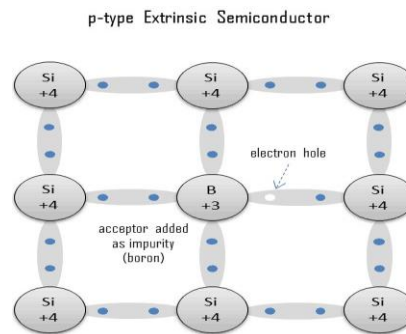


Fig.1.3. Semi-conducteur de type p [7].

1.5 Transistor MOS

1.5.1 Définitions

Le transistor MOS est un transistor à effet de champ constitué d'un substrat semi-conducteur (B) recouvert d'une couche d'oxyde sur laquelle est déposée l'électrode de grille (G). Par le biais d'une différence de potentiel appliquée entre grille et substrat, on crée, dans le semi-conducteur, un champ électrique qui a pour effet de repousser les porteurs majoritaires loin de l'interface oxyde-semi-conducteur et d'y laisser diffuser des minoritaires venus de deux îlots de type complémentaire au substrat, la source (S) et le drain (D). Ceux-ci forment une couche pelliculaire de charges mobiles appelée canal. Ces charges sont susceptibles de transiter entre le drain et la source situés aux extrémités du canal (fig.1.4). Dans cette même figure, on a également représenté les symboles des transistors MOS à canal n et à canal p. La flèche indique le sens de conduction des jonctions substrat-source (BS) et substrat-drain (BD). Sauf près de l'interface oxyde-semi-conducteur, ces jonctions sont polarisées en sens inverse. Sur la fig.1.5, on a représenté différents symboles couramment utilisés pour les transistors MOS [1].

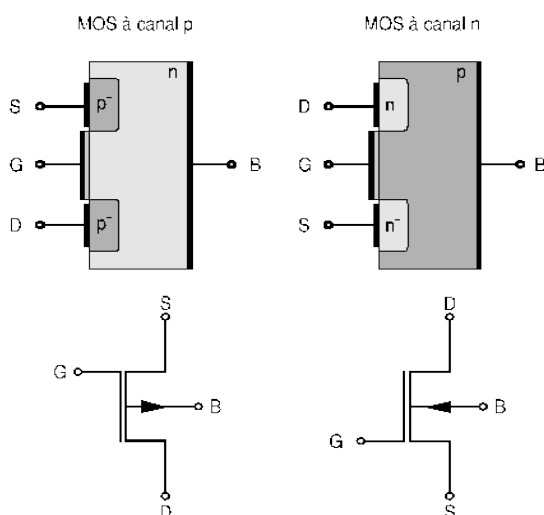


Fig.1.4. Structures et symboles des transistors MOS[1]

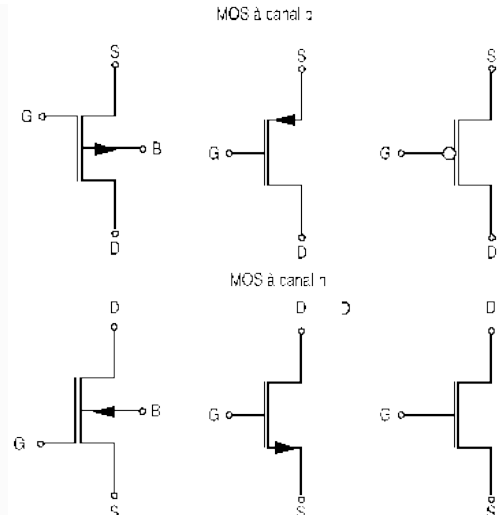


Fig.1.5. Symboles du MOS [1]

La longueur du canal est la distance L , comptée selon l'axe y , entre la jonction substrat-source et la jonction substrat-drain.

La largeur du canal, W , correspond à la largeur, selon l'axe z , des filots semi-conducteurs formant la source et le drain (fig.1.6).

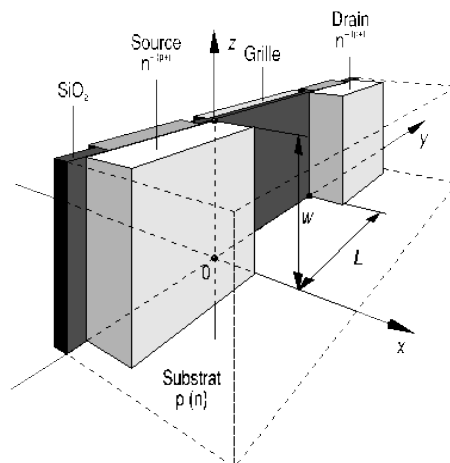


Fig.1.6. Structure d'un transistor MOS [1]

1.5.2 Transistor CMOS

On intègre des transistors MOS de type complémentaires (CMOS) dans un même substrat. Les transistors à canal n sont intégrés directement dans le substrat de type p et on réalise un caisson d'isolation de type n dans lequel sont intégrés les transistors à canal p (fig.1.7). Pour satisfaire la polarisation inverse des jonctions BS et BD, le caisson de type n est connecté au potentiel le plus positif et le substrat de type p

au potentiel le plus négatif. Il est intéressant de remarquer que le transistor est déterminé par l'emplacement de la grille (sur l'oxyde mince) [1].

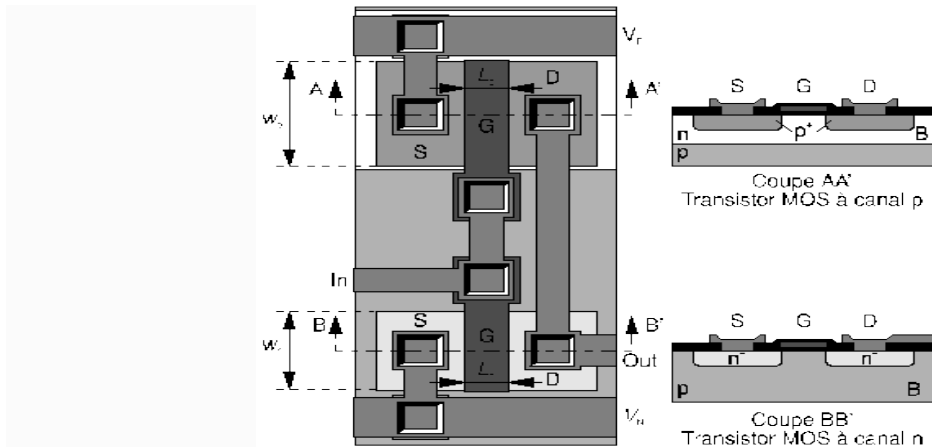


Fig1.7. MOS complémentaires [1]

Les deux technologies les plus courantes sont celles dites "à grilles métalliques" et "à grilles poly-silicium". Dans la technologie à grilles métalliques, on utilise le même métal (généralement de l'aluminium) que celui qui permet d'interconnecter les différentes électrodes du circuit pour réaliser les grilles. Dans la technologie à grilles poly-silicium, c'est une couche de silicium poly-cristallin, sur l'oxyde mince, qui constitue les grilles. Lors de la diffusion des sources et des drains, cette couche masque le canal et permet de réaliser ainsi un auto-alignement des sources et des drains avec les grilles. Après l'opération de diffusion, les trois électrodes sont dopées de la même façon.

1.5.3 Commutateurs à transistors MOS

On peut traiter les transistors MOS comme de simples interrupteurs marche-arrêt avec une source (S), une porte (G) (commande l'état de l'interrupteur) et un drain (D).

1 représente la haute tension, VDD (5V, 3.3V, 1.8V, 1.2V, <= 1.0V aujourd'hui,)

0 représente une basse tension - GND ou VSS. (0V pour les circuits numériques)

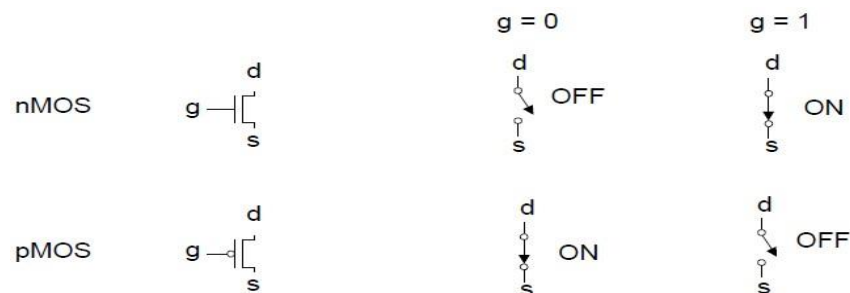


Fig.1.8. Commutateurs de transistor MOS

1.5.4 Le processus de fabrication du transistor CMOS

Il fut une époque où les ordinateurs étaient d'une taille si gigantesque que pour les installer, il fallait facilement un espace dans une pièce. Mais aujourd'hui, ils sont tellement évolués que nous pouvons même les transporter facilement comme cahiers. L'innovation qui a rendu cela possible était le concept de circuits intégrés. Dans les circuits intégrés, un grand nombre d'éléments actifs et passifs ainsi que leurs interconnexions sont développés sur une petite tranche de silicium typiquement de très petites dimensions de section transversale. Les processus de base suivis pour la production de tels circuits comprennent la croissance épit axiale, la diffusion masquée d'impuretés, la croissance d'oxyde et la gravure d'oxyde, en utilisant la photolithographie pour créer un motif.

Les composants sur la tranche comprennent des résistances, des transistors, des diodes, des condensateurs, etc. L'élément le plus compliqué à fabriquer sur des circuits intégrés est le transistor. Les transistors sont de différents types tels que CMOS, BJT, FET. Nous choisissons le type de technologie de transistor à implémenter sur un circuit intégré en fonction des besoins [8].

1.5.5 Fabrication CMOS

Pour réduire les besoins en dissipation de puissance, la technologie CMOS est utilisée pour mettre en œuvre des transistors. Si nous avons besoin d'un circuit plus rapide, les transistors BJT sont utilisés. La fabrication de transistors CMOS en tant que CI peut être réalisée selon trois méthodes différentes.

La technologie N-well / P-well, où la diffusion de type n est effectuée sur un substrat de type P ou la diffusion de type P est effectuée sur un substrat de type N respectivement.

La technologie N-well / P-well, où les transistors NMOS et PMOS sont développés sur la tranche par diffusion simultanée sur une base de croissance épitaxiale, plutôt que sur un substrat.

Le processus silicium sur isolant, où plutôt que d'utiliser du silicium comme substrat, un matériau isolant est utilisé pour améliorer la vitesse et la susceptibilité de verrouillage .

1.5.6 Technologie N- well / P- well

Le CMOS peut être obtenu en intégrant à la fois des transistors NMOS et PMOS sur la même plaquette de silicium. Dans la technologie des N-well, un well de type n est diffusé sur un substrat de type p alors que dans le P-well, c'est l'inverse .

1.5.7 Étapes de fabrication CMOS

Le flux du processus de fabrication CMOS est conduit en utilisant vingt étapes de fabrication de base tout en étant fabriqué à l'aide de la technologie N-well / P-well .

1.5.8 Fabrication du CMOS en utilisant N-Well

Étape 1: Nous choisissons d'abord un substrat comme base de fabrication. Pour le puits N, un substrat de silicium de type P est sélectionné.



Fig1.9. Substrat

Étape 2 - Oxydation: La diffusion sélective des impuretés de type n est réalisée en utilisant SiO_2 comme barrière qui protège des parties de la plaquette contre la contamination du substrat. SiO_2 est déposé par un processus d'oxydation qui expose le substrat à de l'oxygène et de l'hydrogène de haute qualité dans une chambre d'oxydation à environ 1000°C .



Fig.1.10 Oxydation

Étape 3 - Croissance du photorésist: A ce stade pour permettre la gravure sélective, la couche de SiO_2 est soumise au processus de photolithographie. Dans ce procédé, la plaquette est revêtue d'un film uniforme d'une émulsion photosensible.



Fig.1.11 Croissance de la photorésist

Étape 4 - Masquage: Cette étape est la suite du processus de photolithographie. Dans cette étape, un motif d'ouverture souhaité est réalisé à l'aide d'un pochoir. Ce pochoir est utilisé comme masque sur la résine photosensible. Le substrat est maintenant exposé aux rayons UV, le photorésist présent sous les régions exposées du masque se polymérise.

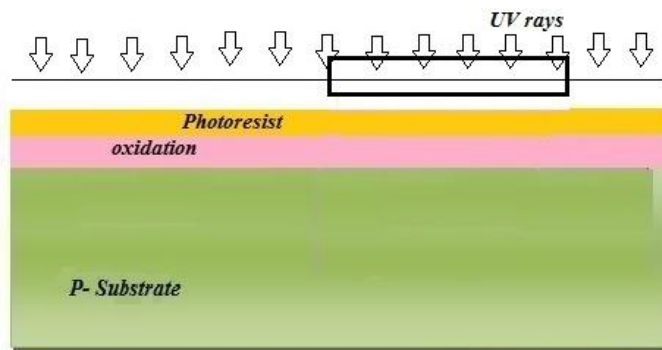


Fig1.12 Masquage du photorésist

Étape 5 - Retrait de la résine photosensible non exposée: Le masque est retiré et la région non exposée de la résine photosensible est dissoute en développant une plaquette à l'aide d'un produit chimique tel que le trichloréthylène.



Fig1.13 Retrait de la photorésist

Étape 6 - Gravure: La plaquette est immergée dans une solution de gravure d'acide fluorhydrique, qui élimine l'oxyde des zones à travers lesquelles les dopants doivent être diffusés.



Fig.14 Gravure de SiO₂

Étape 7 - Enlèvement de toute la couche de photorésist: Pendant le processus de gravure, les parties de SiO₂ qui sont protégées par la couche de photorésist ne sont pas affectées. Le masque de photorésist est maintenant enlevé avec un solvant chimique (H₂SO₄ chaud).

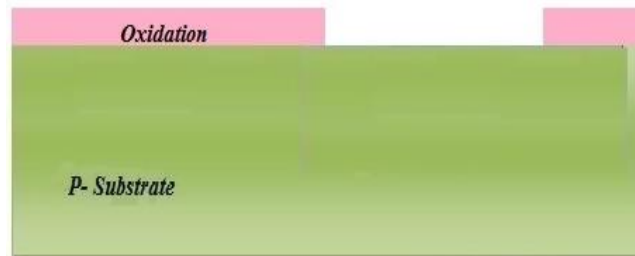


Fig.1.15 Retrait de la couche de photorésist

Étape 8 - Formation du puits N: Les impuretés de type n sont diffusées dans le substrat de type p à travers la région exposée formant ainsi un puits N.

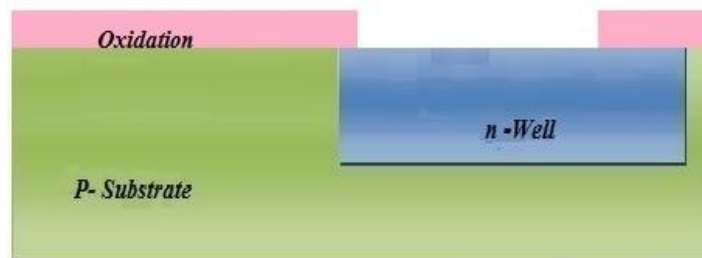


Fig.1.16 Formation de puits N

Étape 9 - Élimination du SiO₂: La couche de SiO₂ est maintenant éliminée à l'aide d'acide fluorhydrique.



Fig.1.17 Élimination de SiO₂

Étape 10 - Dépôt de poly-silicium: Le désalignement de la grille d'un transistor CMOS entraînerait une capacité indésirable qui pourrait endommager le circuit. Ainsi, pour éviter ceci, il est préférable que les régions de grille soient formées avant la formation de la source et du drain en utilisant l'implantation ionique.

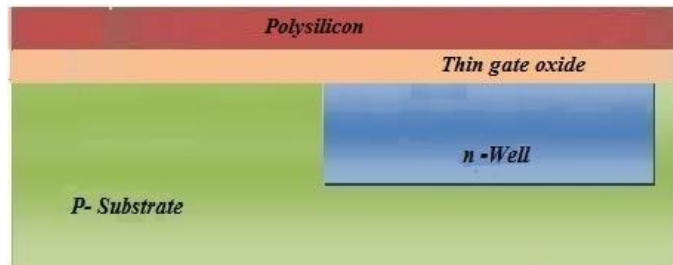


Fig.1.18 Dépôt de poly-silicium

Le poly-silicium est utilisé pour la formation de la grille car il peut résister à la température élevée supérieure à 8000°C lorsqu'une tranche est soumise à des procédés de recuit pour la formation de la source et du drain. Le poly-silicium est déposé en utilisant un procédé de dépôt chimique sur une fine couche d'oxyde de grille. Cet oxyde de grille mince sous la couche de poly silicium empêche un dopage supplémentaire sous la région de grille.

Étape 11 - Formation de la région de grille: à l'exception des deux régions requises pour la formation de la grille pour les transistors NMOS et PMOS, la partie restante du poly-silicium est retirée.

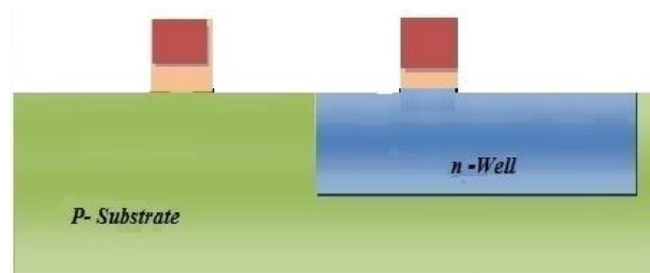


Fig.1.19 Formation de la région de porte

Étape 12 - Processus d'oxydation: Une couche d'oxydation est déposée sur la tranche qui agit comme un bouclier pour d'autres processus de diffusion et de métallisation.

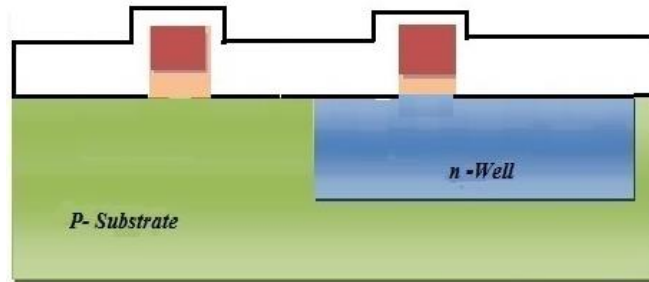


Fig.1.20 Processus d'oxydation

Étape 13 - Masquage et diffusion: Pour créer des régions pour la diffusion d'impuretés de type n en utilisant le processus de masquage, de petits espaces sont créés.

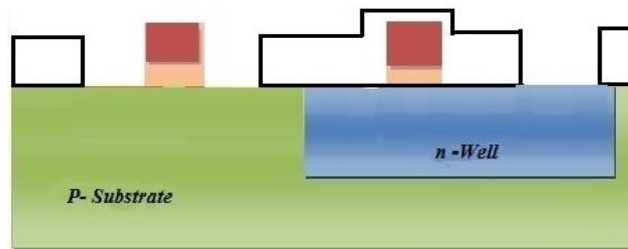


Fig.1.21 Masquage

En utilisant le processus de diffusion, trois régions n^+ sont développées pour la formation de terminaux de NMOS.

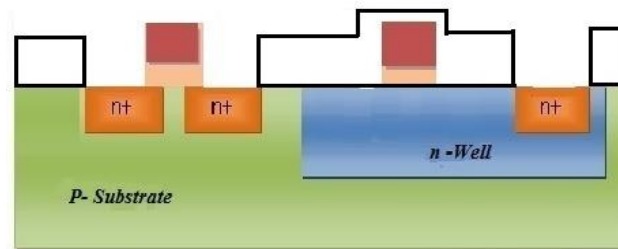


Fig.1.22 N-diffusion

Étape 14 - Élimination de l'oxyde: La couche d'oxyde est enlevée.

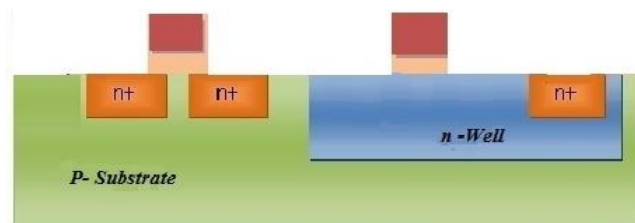


Fig.1.23 Élimination de l'oxyde

Étape 15 - Diffusion de type P: Similaire à la diffusion de type n pour former les bornes de diffusion de type PMOS.

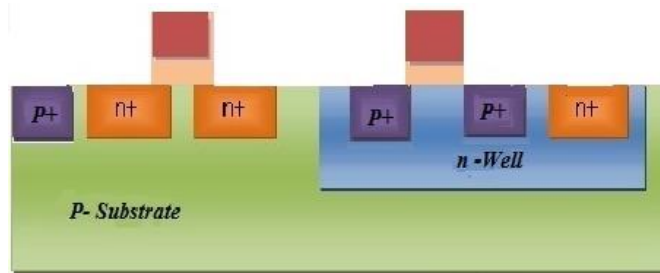


Fig.1.24 Diffusion de type P

Étape 16 - Pose de l'oxyde de champ épais: Avant de former les bornes métalliques, un oxyde de champ épais est déposé pour former une couche protectrice pour les régions de la tranche où aucune borne n'est requise.

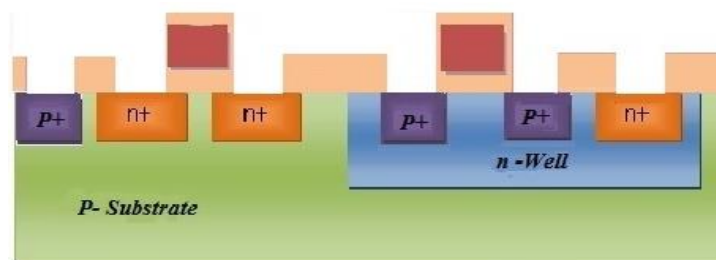


Fig.1.25 Couche d'oxyde de champ épais

Étape 17 - Métallisation: Cette étape est utilisée pour la formation de bornes métalliques pouvant assurer des interconnexions. L'aluminium est étalé sur toute la plaquette.

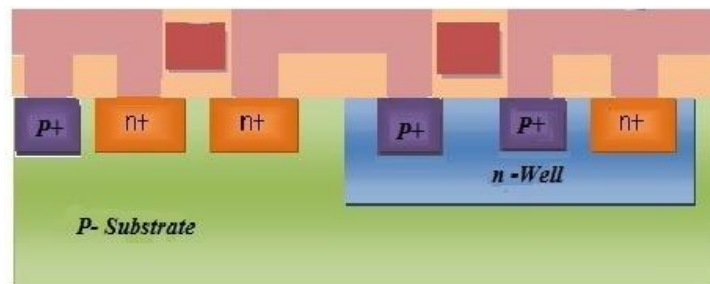


Fig.1.26 Métallisation

Étape 18 - Retrait de l'excès de métal: L'excès de métal est retiré de la plaquette.

Étape 19 - Formation des bornes: Dans les espaces formés après le retrait de l'excès de métal, des bornes sont formées pour les interconnexions.

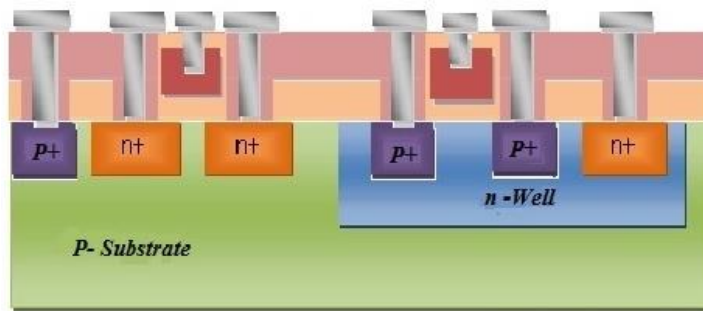


Fig.1.27 Formation de terminaux

Étape 20 - Attribution des noms de bornes: Les noms sont attribués aux bornes des transistors NMOS et PMOS.

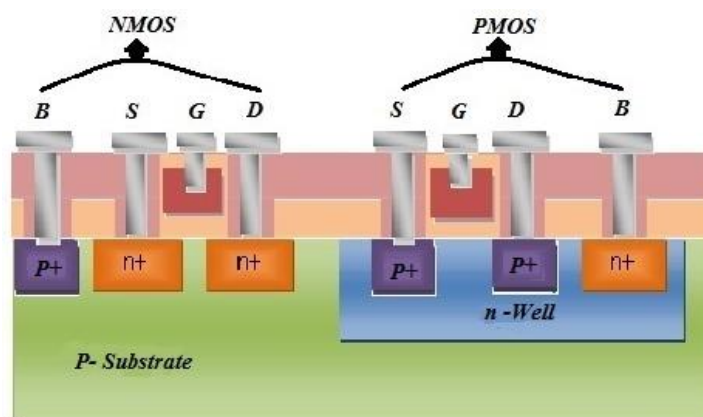


Fig.1.28 Attribution de noms de terminaux

1.5.9 Création de CMOS à l'aide de la technologie P-Well

Le processus de puits p est similaire au processus de puits N sauf qu'ici un substrat de type n est utilisé et des diffusions de type p sont effectuées. Par souci de simplicité, on préfère généralement le procédé N-Well.

Conclusion

Dans le premier chapitre, nous avons étudié le circuit intégré, la définition du silicium, du semi-conducteur, transistor, CMOS, PMOS, des composants intérieurs dans la fabrication de transistors, et la technologie utilisée dans la fabrication de transistor MOS, où nous nous sommes appuyés sur une technologie (N- well / P- well) dans la fabrication le transistor.

Chapitre 2

L'additionneur 4 bits

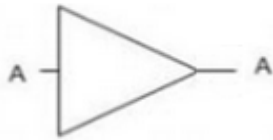
Chapitre 2 L'additionneur 4 bits

2.1 Les Portes logiques

2.1.1 La porte OUI

C'est la porte la plus basique qui soit, et aussi la plus simple à comprendre. En effet, la sortie de cette porte est égale à l'entrée. Si l'entrée est égale à un 1 logique, alors la sortie est 1. Tandis que si l'entrée est un 0 logique alors la sortie est un 0 [9].

$$S = A \tag{2.1}$$



Entrée	Sortie
A	A
0	0
1	1

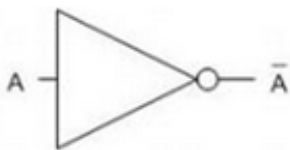
Fig.2.1. la porte logique OUI

Tableau .2.1. Tableau de vérité de la porte OUI

2.1.2 La porte NON

Cette porte est strictement l'inverse d'une porte OUI. En effet, la sortie va complémenter ce qu'il y a en entrée. C'est à dire que le niveau logique de sortie est l'inverse du niveau logique d'entrée. Ainsi, si en entrée on a un niveau logique 0, alors en sortie on a un 1, et vice-versa si il y a un niveau logique 0 en entrée [9].

$$S = \bar{A} \tag{2.2}$$



Entrée	Sortie
A	\bar{A}
0	1
1	0

Fig.2.2. la porte logique NON

Tableau.2.2. Tableau de vérité de la porte NON.

2.2 La porte logique ET (AND)

2.2.1 La porte ET (AND) à 2 entrées

La porte AND (ET) se nomme ainsi, car si une valeur 0 correspond à « faux » et une valeur 1 à « vrai », la porte agit de la même manière que l'opérateur logique AND (ET). L'illustration et le tableau suivants présentent le symbole du circuit et les combinaisons logiques d'une porte AND. (Sur le symbole du circuit, les bornes d'entrée

se trouvent à gauche et les bornes de sortie à droite.) La sortie a pour valeur « vrai » lorsque les deux entrées ont pour valeur « vrai ». Dans tous les autres cas, la sortie a pour valeur « faux » [11].

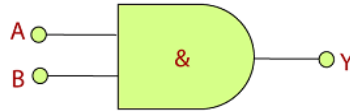


Fig.2.3. la porte logique ET (AND) à 2 entrées [12]

Input		Output
A	B	Y
0	0	0
0	1	0
1	0	0
1	1	1

Tableau.2.3. Tableau de vérité de la porte ET (AND) à 2 entrées

2.2.2 La porte ET (AND) à 3 entrées

Nous commençons par la porte ou fonction ET (AND) à trois entrées. La première approche, assez intuitive, consiste à définir cette porte par le langage naturel. La sortie S vaut 1 lorsque toutes les entrées A, B et C sont à 1. On constate, avec cette définition en langue naturelle, que la sortie est à 1 uniquement pour la dernière combinaison des entrées, c'est-à-dire quand (A. B. C), A = 1, B = 1, C = 1, ce qui justifie pleinement le nom **ET (AND)** de cette porte élémentaire [13].



Fig.2.4. la porte logique ET (AND) à 3 entrées [12]

Input			Output
A	B	C	Y
0	0	0	0
0	0	1	0
0	1	0	0
0	1	1	0
1	0	0	0
1	0	1	0
1	1	0	0
1	1	1	1

Tableau.2.4. Tableau de vérité de la porte ET (AND) à 3 entrées

Bien que la table de vérité de la porte ET (AND) à trois entrées soit correctement décrite par la langue naturelle, il est intellectuellement plus rigoureux et, en fait, même indispensable de baser la définition sur une construction mathématique. On utilise, pour ce faire, la propriété d'associativité pour étendre la définition de la porte à deux entrées :

$$S = A.B.C = (A.B).C = A.(B.C) \quad (2.3)$$

Comme la porte ET (AND) à deux entrées est définie sans ambiguïté, le résultat (A.B) est calculable comme sortie intermédiaire. Il reste ensuite à faire le ET (AND) à deux entrées entre cette variable intermédiaire et la troisième entrée C . [12]

2.2.3 La porte AND à plusieurs entrées

Nous pouvons construire une porte logique de plusieurs entrées. En utilisant plusieurs portes logiques à deux entrées, et pour connaître le nombre de portes logiques utilisées, nous pouvons calculer le nombre de portes logiques utilisées en utilisant la relation mathématique suivante $(n / 2) + 1$, à partir de laquelle nous trouvons le nombre de portes logiques utilisées, où (n) représente le nombre d'entrées de la porte.

Par exemple:

Si nous avons une porte logique à 6 entrées A, B, C, D, E, F, avec une relation $(n / 2) + 1$, le nombre de portes ET (AND) utilisées dans la conception d'une logique de porte à 6 entrées est de 4 portes.

$$Y = (A.B). (C.D). (E.F) \quad (2.4)$$

En termes simples, il s'exprime comme :

$$Y = A . B . C . D . E . F \quad (2.5)$$

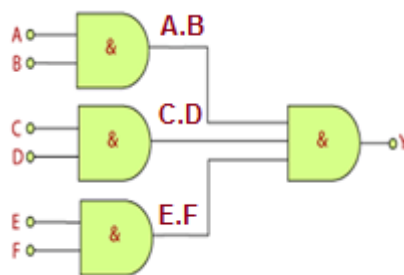


Fig.2.5. la porte logique ET (AND) multi-entrées [12]

Input						Output
A	B	C	D	E	F	Y
0	0	0	0	0	0	0
0	0	0	0	0	1	0
0	0	0	0	1	0	0
0	0	0	0	1	1	0
.
.
.
1	1	1	1	0	0	0
1	1	1	1	0	1	0
1	1	1	1	1	0	0
1	1	1	1	1	1	1

Tableau.2.5. Tableau de vérité de la porte ET (AND) multi-entrées

2.3 Les portes logiques NAND

2.3.1 La porte NAND à 2 entrées

La porte NAND (ET + NON) fonctionne comme une porte ET (AND) suivie d'une porte NON (NOT). Elle agit à la manière de l'opération logique ET (AND) suivie d'une négation. La sortie a pour valeur « faux » lorsque les deux entrées ont pour valeur « vrai ». Dans tous les autres cas, la sortie a pour valeur « vrai » [11].

L'expression de la porte NAND :

$$Y = \overline{A \cdot B} \quad (2.6)$$

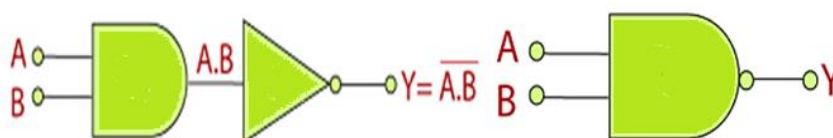


Fig.2.6. la porte logique NAND à 2 entrée [12]

Input		Output
A	B	Y
0	0	1
0	1	1
1	0	1
1	1	0

Tableau.2.6. Tableau de vérité de la porte NAND à 2 entrées

2.3.2 La porte NAND à 3 entrées

La fonction NON-ET ou NAND à 3 entrées ne réclame pas vraiment de concept nouveau. On peut l'exprimer, comme pour 2 entrées, par la combinaison d'un ET (AND) sur les entrées, suivi de la complémentation ou l'inversion sur le résultat du ET

(AND). On peut ainsi l'exprimer très simplement sous forme d'équation logique $S = \overline{A \cdot B \cdot C}$. La table de vérité est immédiate, obtenue par complémentation de la fonction ET (AND) à 3 entrées. On constate que la sortie est à 0 lorsque toutes les entrées sont à 1.

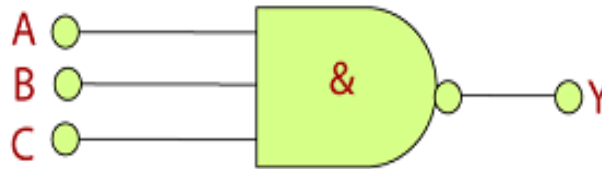


Fig.2.7. la porte logique NAND à 3 entrées [12]

Input			Output
A	B	C	Y
0	0	0	1
0	0	1	1
0	1	0	1
0	1	1	1
1	0	0	1
1	0	1	1
1	1	0	1
1	1	1	0

Tableau.2.7. Tableau de vérité de la porte NAND à 3 entrées.

2.4 La Porte OR

2.4.1 La porte OR à 2 entrées

La porte OR (OU) tire son nom du fait qu'elle se comporte comme l'opérateur logique inclusif OR (OU). La sortie a pour valeur « vrai » lorsqu'une entrée ou lorsque les deux entrées ont pour valeur « vrai ». Si les deux entrées ont pour valeur « faux », la sortie a pour valeur «faux».

L'expression logique de la porte OR est l'addition logique d'entrées désignées par le signe plus (+) comme :

$$A + B = Y \quad (2.7)$$



Fig.2.8. la porte logique OR à 2 entrées [12]

Input		Output
A	B	Y
0	0	0
0	1	1
1	0	1
1	1	1

Tableau.2.8. Tableau de vérité de la porte OU(OR) à 2 entrées.

2.4.2 La porte OU (OR) à 3 entrées

La sortie est à 1 si une entrée au moins est à 1. La table de vérité est immédiate : la sortie est à 0 uniquement pour la première combinaison des entrées. La sortie est à 1 pour toutes les autres combinaisons.

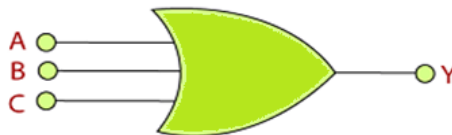


Fig.2.9. la porte logique OR à 3 entrées [12]

Input			Output
A	B	C	Y
0	0	0	0
0	0	1	1
0	1	0	1
0	1	1	1
1	0	0	1
1	0	1	1
1	1	0	1
1	1	1	1

Tableau.2.9. Tableau de vérité de la porte OR à 3 entrées

Comme pour la porte ET (AND), nous voulons à présent définir plus rigoureusement la porte OU (OR) à 3 entrées par la construction mathématique. Nous utilisons, comme tout à l'heure, la propriété d'associativité pour étendre la porte OU (OR) à 2 entrées.

Ainsi, nous écrivons :

$$S = A+B+C = (A+B)+C = A+(B+C) . \quad (2.8)$$

2.4.3 La porte OR à plusieurs entrées

Nous pouvons construire une porte logique de plusieurs entrées en utilisant plusieurs portes logiques à deux entrées, et pour connaître le nombre de portes logiques utilisées, nous pouvons calculer le nombre de portes logiques utilisées en utilisant la

relation mathématique suivante $(n / 2) + 1$, à partir de laquelle nous trouvons le nombre de portes logiques utilisées. Où (n) représente le nombre d'entrées de la porte.

Par exemple:

Si nous avons 6 entrées A, B, C, D, E, F, 4 portes OR sont utilisées dans la conception logique de la porte OR à 6 entrées. Il y a l'expression suivante de la porte OR à 6 entrées :

$$Y=(A+B)+(C+D)+(E+F) \quad (2.9)$$

En termes simples, il s'exprime comme :

$$Y=A + B + C + D + E + F \quad (2.10)$$

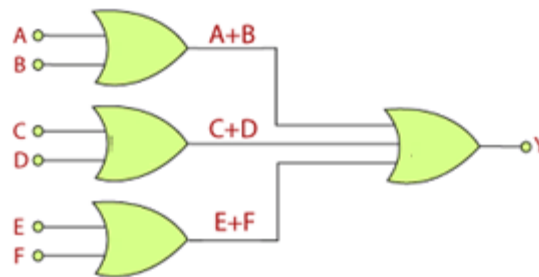


Fig.2.10. la porte logique OR multi-entrées [12]

Input						Output
A	B	C	D	E	F	Y
0	0	0	0	0	0	0
0	0	0	0	0	1	1
0	0	0	0	1	0	1
0	0	0	0	1	1	1
.
.
.
1	1	1	1	0	0	1
1	1	1	1	0	1	1
1	1	1	1	1	0	1
1	1	1	1	1	1	1

Tableau.2.10. Tableau de vérité de la porte OR multi-entrées

2.5 Porte logique NOR

2.5.1 La Porte logique NOR à 2 entrées

La porte NOR (NON + OU) fonctionne comme une porte OR suivie d'un inverseur. La sortie a pour valeur (vrai) lorsque les deux entrées ont pour valeur (faux). Dans tous les autres cas, la sortie a pour valeur (faux).

L'expression logique de la porte NOR est le complément de la multiplication logique des entrées désignées par le signe plus comme :

$$\overline{A + B} = Y \quad (2.11)$$

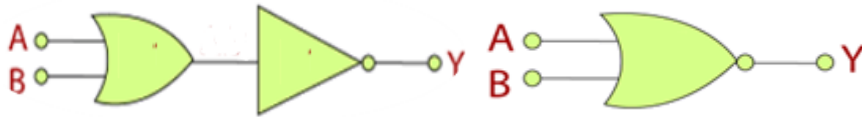


Fig.2.11. la porte logique NOR à 2 entrées [12]

Input		Output
A	B	Y
0	0	1
0	1	0
1	0	0
1	1	0

Tableau.2.11. Tableau de vérité de la porte NOR à 2 entrées

2.5.2 La porte NOR à 3 entrées

Il reste à définir la porte NON-OU (NOT-OR) à trois entrées. Nous combinons la nouvelle fonction OU à trois entrées avec une complémentation sur cette sortie intermédiaire pour obtenir finalement la sortie de la fonction NON-OU (NOT-OR). La sortie est à 1 uniquement pour la toute première combinaison des entrées, c'est-à-dire si toutes les entrées sont à 0.

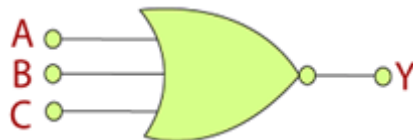


Fig.2.12. la porte logique NOR à 3 entrées [12]

Input			Output
A	B	C	Y
0	0	0	1
0	0	1	0
0	1	0	0
0	1	1	0
1	0	0	0
1	0	1	0
1	1	0	0
1	1	1	0

Tableau.2.12. Tableau de vérité de la porte NOR à 3 entrées

2.6 La porte XOR

2.6.1 Porte XOR à 2 entrées

La porte XOR (OU (OR) exclusif) fonctionne de la même manière que l'opérateur logique (soit/ou). La sortie a pour valeur (vrai) lorsqu'une des deux entrées, mais non les deux, a pour valeur (vrai). La sortie a pour valeur (faux) si les deux entrées ont pour valeur « faux », ou si les deux entrées ont pour valeur « vrai ». Pour envisager ce circuit différemment, considérez que la sortie a pour valeur 1 si les entrées sont de valeurs différentes, et 0 si les entrées sont de même valeur.

$$Y = (A \oplus B) \quad (2.12)$$

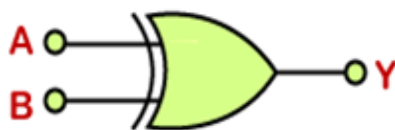


Fig.2.13. la porte logique XOR à 2 entrée [12]

Input		Output
A	B	Y
0	0	0
0	1	1
1	0	1
1	1	0

Tableau.2.13. Tableau de vérité de la porte XOR à 2 Entrées

2.6.2 La porte XOR à 3 entrées

La porte OU exclusif est définie pour 2 entrées en langue naturelle : la sortie est à 1 si une entrée et une seule est à 1. La table de vérité à deux entrées est immédiate avec cette définition.

L'expression de la porte logique XOR est la suivante

$$Y = A \oplus B \oplus C \quad (2.13)$$



Fig.2.14. la porte logique XOR à 3 entrées . [12]

Input			Output
A	B	C	Y
0	0	0	0
0	0	1	1
0	1	0	1
0	1	1	0
1	0	0	1
1	0	1	0
1	1	0	0
1	1	1	1

Tableau.2.14. Tableau de vérité de la porte XOR à 3 entrées

2.6.3 Utilisation de la porte XOR

La porte XOR joue un rôle important dans la construction de circuits numériques qui effectuent des opérations arithmétiques et des calculs. Surtout les additionneurs et les demi-additionneurs, car ils peuvent fournir une fonction de "carry-bit" ou comme inverseur contrôlé, où une entrée transmet les données binaires et l'autre entrée est alimentée par un signal de commande.

2.7 Demi-additionneur

2.7.1 Définition

Un demi-additionneur est un type d'additionneur, c'est un circuit électronique qui effectue l'addition de nombres. Le demi-additionneur est capable d'ajouter deux chiffres binaires simples et de fournir la sortie plus une valeur de report. Il a deux entrées, appelées A et B, et deux sorties S (sum) et C (Carry). La représentation commune utilise une porte logique XOR et une porte logique ET (AND) [14].

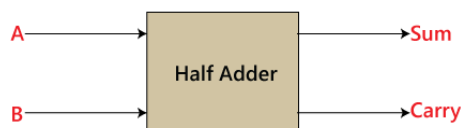


Fig.2.16. Schéma du demi-additionneur [12]

$$\text{Sum} = \bar{A} \cdot B + A \cdot \bar{B} \quad (2.14)$$

$$\text{Carry} = A \cdot B \quad (2.15)$$

Inputs		Outputs	
A	B	Sum	Carry
0	0	0	0
0	1	1	0
1	0	1	0
1	1	0	1

Tableau.2.15. Tableau de vérité du demi-additionneur

2.7.2 Circuit logique du demi-additionneur

Ainsi, le demi-additionneur est conçu en combinant les portes XOR et AND pour fournir la sum et le carry.

Un demi-additionneur est utilisé pour ajouter deux nombres binaires à un seul chiffre et donne une sortie à deux chiffres. Il est nommé comme tel parce que la combinaison de deux demi-additionneurs avec l'utilisation d'une porte OU aboutit à un additionneur complet. En d'autres termes, il ne fait que la moitié du travail d'un additionneur complet.

Voici l'expression logique suivante du circuit demi-additionneur :

$$\text{Sum} = A \oplus B \quad (2.16)$$

$$\text{Carry} = A \cdot B \quad (2.17)$$

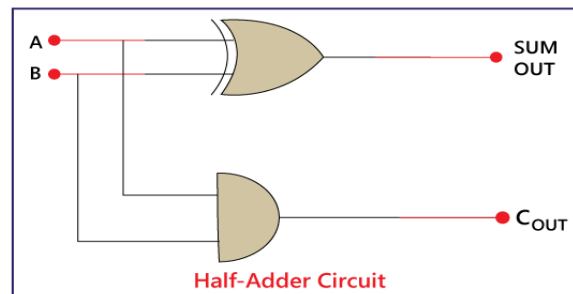


Fig.2.17 circuit logique du demi-additionneur [12]

2.8 Additionneur complet

2.8.1 Définition

L'additionneur complet est un circuit combiné qui effectue l'opération d'ajout de 3 bits d'entrée. Il se compose essentiellement de trois entrées et deux sorties. Les variables d'entrée sont exprimées par A, B et C_{in}. Les deux variables de sortie sont exprimées par sum (Sum out) et carry (Carry out). La Fig.2.18. montre le diagramme bloc de la cellule additionneur complet [12].

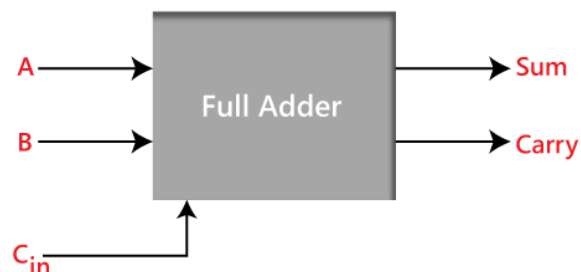


Fig.2.18. Schéma de l'additionneur complet [12]

Inputs			Outputs	
A	B	C _{in}	Sum	Carry
0	0	0	0	0
0	0	1	1	0
0	1	0	1	0
0	1	1	0	1
1	0	0	1	0
1	0	1	0	1
1	1	0	0	1
1	1	1	1	1

Tableau.2.16. Tableau de vérité de l'additionneur complet

(A) et (B) sont les variables d'entrée. Ces variables représentent les deux bits importants qui vont être ajoutés, (C_{in}) est la troisième entrée qui représente le carry. De la position significative inférieure précédente, le bit de report est récupéré.

La (Sum) et (Carry) sont les variables de sortie qui définissent les valeurs de sortie.

2.8.2 Le fonctionnement additionneur

L'additionneur fonctionne en combinant les opérations des portes logiques de base, la forme la plus simple utilisant uniquement un XOR et une porte ET(AND). Cela peut également être converti en un circuit qui n'a que des portes ET(AND), OU(OR) et NON. Ceci est particulièrement utile car ces trois circuits intégrés de porte logique (circuits intégrés) plus simples sont plus courants et disponibles que le circuit intégré XOR, bien que cela puisse entraîner un circuit plus grand puisque trois puces différentes sont utilisées au lieu d'une seule.

2.8.3 Construction du circuit demi-additionneur

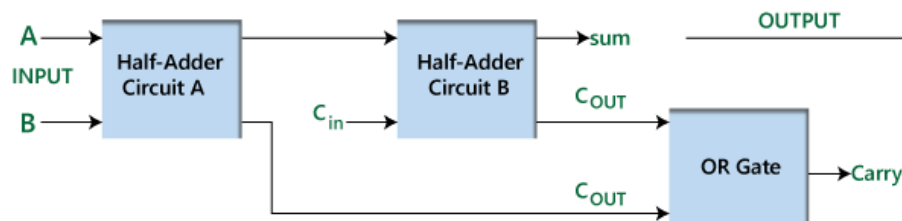


Fig.2.19. Circuit additionneur complet [12]

Le schéma fonctionnel ci-dessus décrit la construction du circuit d'additionneur complet. Dans le circuit ci-dessus, il y a deux circuits demi-additionneur qui sont combinés à l'aide de la porte OU (OR). Le premier demi-additionneur a deux entrées binaires à un seul bit A et B. Comme nous le savons, le demi-additionneur produit deux sorties, c'est-à-dire Sum et Carry. La sortie (Sum) du premier additionneur sera la

première entrée du second demi-additionneur, et la sortie (Carry) du premier demi-additionneur et la deuxième sortie du deuxième demi-additionneur seront les deux entrées d'une porte OU (OR) . Le circuit logique de l'additionneur complet peut être construit en utilisant la porte ET (AND) et la porte (XOR) avec une porte OU (OR).

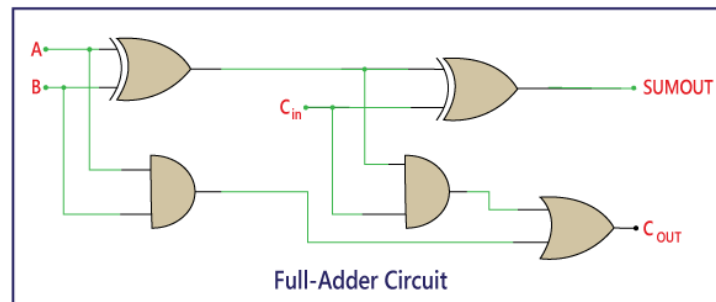


Fig.2.20. Circuit logique de l'additionneur complet [12]

La construction complète du circuit additionneur peut également être représentée dans une expression booléenne.

Sum:

- 1- Effectuer l'opération XOR de l'entrée A et B.
- 2- Effectuer l'opération XOR du résultat avec carry. Ainsi, la somme est $(A \oplus B) \oplus C_{in}$ qui est également représenté comme:

$$\text{Sum} = (A \oplus B) \oplus C_{in} \quad (2.18)$$

Carry:

- 1- Effectuer l'opération 'AND' de l'entrée A et B.
- 2- Effectuer l'opération 'XOR' de l'entrée A et B.
- 3- Effectuer les opérations OU (OR) des deux sorties qui proviennent des deux étapes précédentes. Ainsi, le (Carry) peut être représenté comme:

$$\text{Carry} = A.B + (A \oplus B) .C_{in} \quad (2.19)$$

2.9 L'additionneur 4 bits

2.9.1 L'additionneur 4 bits Ripple-carry adder (RCA)

a Définition

RCA est un additionneur parallèle, bien connu qui est conçu en cascade en série plusieurs additionneurs complets et demi-additionneur selon les exigences. La Fig.2.21 représente l'additionneur 4 bit Ripple carry adder (RCA). Cette conception utilise trois additionneurs complets et 1 demi-additionneur connectés en série. Chaque additionneur complet ajoute trois bits et produit une somme (sum) et un report (carry).

La somme (sum) est directement extraite du bloc ajouté, mais le report (carry) est propagé du premier bloc d'additionneur complet au bloc d'additionneur complet final afin de générer le report (carry) final. Ainsi, après le calcul de l'addition, nous pourrions avoir quatre valeurs de somme (sum) avec un dernier report (carry). Bien qu'il s'agisse d'une méthode simple pour l'addition de n bits, elle n'est pas aussi efficace lorsqu'un grand nombre d'entrées est impliqué. Le sérieux inconvénient de Ripple carry adder (RCA) est le retard de report (carry). Comme nous l'avons expliqué précédemment, le report (carry) se propage du premier bloc au bloc final car il génère un retard dans les performances de la conception. Chaque étape de Ripple carry adder (RCA) doit attendre la retenue qui doit être générée à partir de l'étape précédente, Les équations pour RCA sont:

$$C_{i+1} = A_i \cdot B_i + (A_i \oplus B_i) \cdot C_{in} \quad (2.20)$$

$$S_i = A_i \oplus B_i \oplus C_{in} \quad (2.21)$$

Si RCA est implémenté en concaténant N additionneurs complets, le délai d'un tel additionneur est de 2N délais de porte de C_{in} à C_{out} [15].

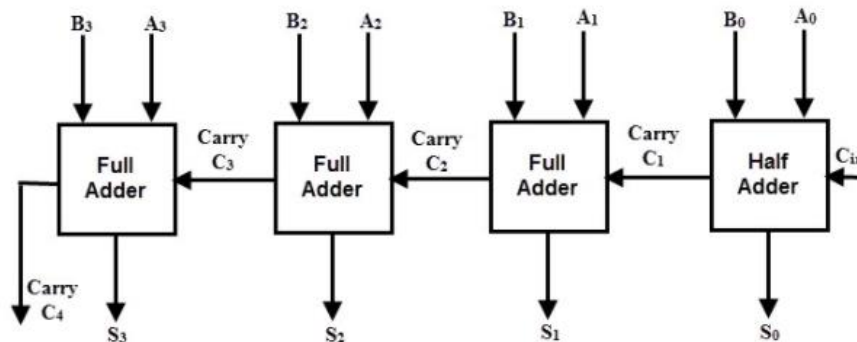


Fig.2.21. Schéma de principe de l'additionneur 4 bits (Ripple carry adder) [18]

b Structure de l'additionneur 4 bit Ripple-carry

Le circuit additionneur RCA 4 bits comprend un demi-additionneur et trois additionneurs complets en série, selon l'addition élémentaire représentée sur la fig.2.21. Chaque étape produit l'addition booléenne de trois informations logiques. Par exemple, la sortie booléenne $s[1]$ est l'addition des signaux d'entrée $a[1]$ et $b[1]$, ainsi que le report interne $c[1]$. [17]

2.9.2 CARRY LOOK-AHEAD ADDER (CLA)

Le principal inconvénient des additionneurs RCA est le très grand retard de calcul dû à la chaîne de report intégrée en série. Plusieurs techniques ont été proposées pour accélérer l'ajout, au prix de circuits plus complexes et plus consommateurs d'énergie. Nous construisons dans ce paragraphe un type d'additionneur à grande vitesse et comparons ses performances à celles de l'additionneur à effet d'entraînement.

a Définition

Les ingénieurs ont conçu des moyens plus rapides pour additionner deux nombres binaires en utilisant Carry Look-ahead Adder afin de réduire le temps de calcul. Carry Look-Ahead adder est introduit pour l'emporter sur la latence en raison de l'effet (Ripple) des bits de report. Le Carry Look-Ahead Adder (CLA) améliore la vitesse en faisant culbuter le temps nécessaire pour déterminer les bits de report. CLA utilise le concept de génération (G) et de propagation (P). Son travail est basé sur deux signaux appelés P et G pour chaque position de bit. Les P et G sont donnés comme :

$$C_{i+1} = G_i + P_i \cdot C_i \quad (2.22)$$

où

$$G_i = A_i \cdot B_i \quad (2.23)$$

Et

$$P_i = A_i + B_i \quad S_i = A_i \oplus B_i \quad (2.24)$$

En associant plusieurs Carry Look-Ahead Adder, des additionneurs encore plus grands peuvent être formés.

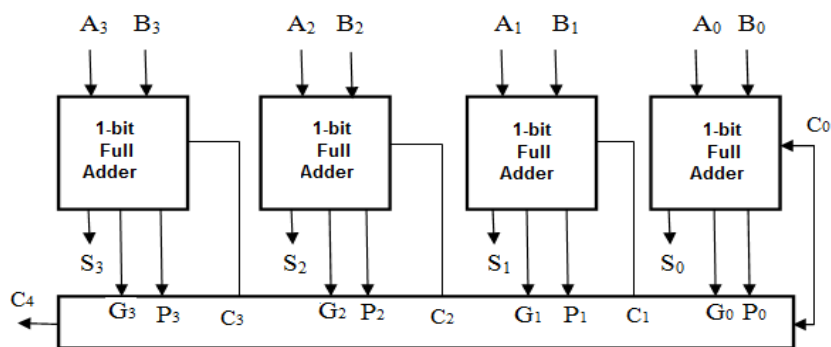


Fig.2.22.Schéma de principe de l'additionneur CLA 4 bits [15]

b Diagramme logique de l'additionneur CLA

Le diagramme logique de l'additionneur CLA est représenté sur la figure 2.23. Il contient 3 blocs; « Générateur P et G », bloc « Carry-look-ahead » et « adder

block ». L'entrée « A_i », « B_i » est fournie au bloc « Générateur P et G » dont la sortie est connectée à CLA et au bloc additionneur.

Le bloc CLA produit des bits de report C_1, C_2, C_3, C_4 au bloc additionneur qui évalue la sum S_0, S_1, S_2, S_3 sur la base de ces entrées. C_4 est pris comme C_{out} [16].

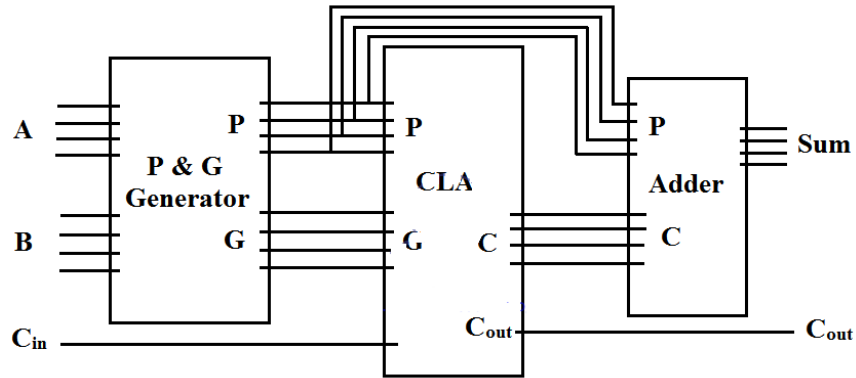


Fig.2.23. Diagramme logique du CLA [16]

c Générateur P et G : Demi-additionneur

Ce bloc se compose de demi-additionneurs utilisés pour générer des termes P et G de chaque bit.

Ce bloc génère ces termes nécessaires pour le CLA parce que le carry en dépend.

$$\text{Carry} = AB + C_{in} (A \oplus B) \quad (2.25)$$

$$P = (A \oplus B) \quad (2.26)$$

P est connu sous le nom de Carry propagateur, parce qu'il propage le C_{in} de l'étape précédente à l'étape suivante.

$$G = A . B \quad (2.27)$$

G est connu sous le nom carry générateur, car il peut générer directement carry bit sans aucun C_{in} .

Les termes P et G pour un nombre de 4 bits seront :

$$P_0 = (A_0 \oplus B_0), \quad G_0 = A_0 . B_0 \quad (2.28)$$

$$P_1 = (A_1 \oplus B_1), \quad G_1 = A_1 . B_1 \quad (2.29)$$

$$P_2 = (A_2 \oplus B_2), \quad G_2 = A_2 . B_2 \quad (2.30)$$

$$P_3 = (A_3 \oplus B_3), \quad G_3 = A_3 . B_3 \quad (2.31)$$

Ces termes P et G seront utilisés par bloc CLA.

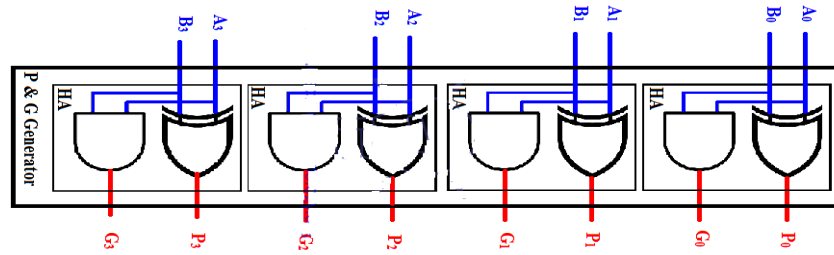


Fig.2.24. Générateur P et G: Demi Additionneur. [16]

d Diagramme bloc du CLA

Le bloc CLA contient un circuit combiné utilisé pour déterminer les bits de report. Considérons A, B deux nombres de 4 bits de large et C_0 comme carry in, et C_1, C_2, C_3, C_4 sont les bits de report de sortie.

Tout d'abord, nous allons tirer C_1, C_2, C_3, C_4 en utilisant l'équation de report de l'additionneur complet.

$$\text{Carry} = AB + C_{in}(A \oplus B) \quad (2.32)$$

$$P = (A \oplus B) \quad (2.33)$$

$$G = AB, \quad (2.34)$$

$$\text{Carry} = G + C_{in}P \quad (2.35)$$

Ainsi, C_1, C_2, C_3, C_4 deviendra

$$C_1 = G_0 + C_0P_0 \quad (2.36)$$

$$C_2 = G_1 + C_1P_1 = G_1 + (G_0 + C_0P_0)P_1 = G_1 + G_0P_1 + C_0P_0P_1 \quad (2.37)$$

$$C_3 = G_2 + C_2P_2 = G_2 + (G_1 + G_0P_1 + C_0P_0P_1)P_2 = G_2 + G_1P_2 + G_0P_1P_2 + C_0P_0P_1P_2 \quad (2.38)$$

$$C_4 = G_3 + C_3P_3 = G_3 + (G_2 + G_1P_2 + G_0P_1P_2 + C_0P_0P_1P_2)P_3 = G_3 + G_2P_3 + G_1P_2P_3 + G_0P_1P_2P_3 + C_0P_0P_1P_2P_3 \quad (2.39)$$

Ainsi, on montre qu'aucun de ces bits (carry) ne dépendent de leur étape précédente (carry) bits. Ils n'ont besoin que de A, B et C_0 .

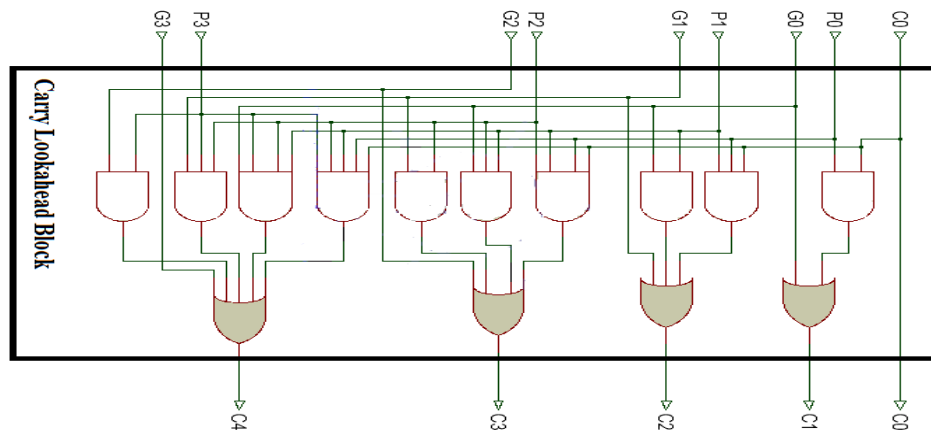


Fig.2.25. Diagramme de bloc du (CLA) [16]

Ce bloc (carry-look-ahead) générera les bits de report et les fournira au bloc additionneur pour ajout . [16]

e Bloc additionneur

Comme nous savons que les bits de report seront fournis par le bloc CLA de sorte que nous n'avons pas besoin d'additionneurs complets pour évaluer les bits de report. Nous avons seulement besoin de la sum qui est:

$$S = C_{in} \oplus (A \oplus B) \tag{2.40}$$

Ainsi, la sum de chaque bit sera

$$S_0 = C_0 \oplus (A_0 \oplus B_0) = C_0 \oplus (P_0) \tag{2.41}$$

$$S_1 = C_1 \oplus (A_1 \oplus B_1) = C_1 \oplus (P_1) \tag{2.42}$$

$$S_2 = C_2 \oplus (A_2 \oplus B_2) = C_2 \oplus (P_2) \tag{2.43}$$

$$S_3 = C_3 \oplus (A_3 \oplus B_3) = C_3 \oplus (P_3) \tag{2.44}$$

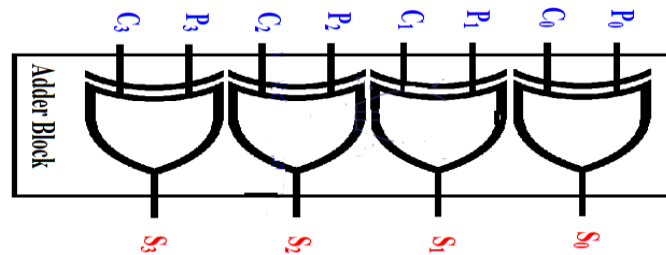


Fig.2.26. Bloc Additionneur. [16]

Et le dernier carry C_4 sera le Cout de l'additionneur complet CLA, $C_{out} = C_4$

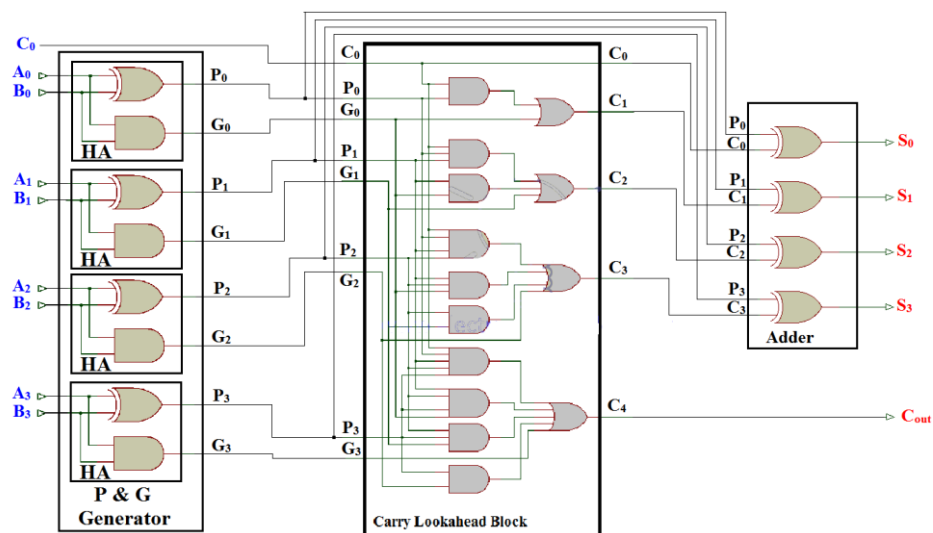


Fig.2.27. Diagramme schématique de l'additionneur à 4 bits Carry look ahead. [16]

2.10 CONCLUSION

Dans ce chapitre, nous avons présenté et discuté les différents types de portes logiques, leurs propriétés et leur principe de fonctionnement (ET, OU, XOR...). De plus, nous avons étudié deux types d'additionneurs RCA et CLA. Leurs structures et leurs principes de fonctionnement ont été expliqués.

.

Chapitre 3

Simulations

Chapitre 3 Simulations

3.1 Introduction

Dans cette section, nous présentons les résultats de la simulation pour l'additionneur 4 bits. Étant donné que l'optimisation est une tâche très complexe car le retard, la surface et la puissance sont tous affectés chaque fois que la taille des transistors est modifiée, nous avons décidé de simplement concevoir chaque porte séparément pour nous assurer que la logique est correcte, ensuite nous concaténons les portes ensemble pour former l'additionneur complet 1 bit et le demi additionneur 1 bit, avant d'implémenter réellement l'additionneur 4 bits entier et estimer le délai le plus défavorable.

3.2 Simulation de la porte AND à 2 entrées

La conception proposée de la porte logique ET (AND) est réalisée par DSCH. Le circuit est simulé par MICROWIND et vérifié par chronogramme.

3.2.1 Schéma de la porte logique ET (AND)

Le schéma logique de la porte ET (AND), et le circuit CMOS de la porte logique ET (AND) sont représentés sur la Fig.3.1 et la Fig.3.2 respectivement.

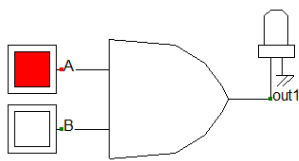


Fig.3.1. la porte logique ET (AND)

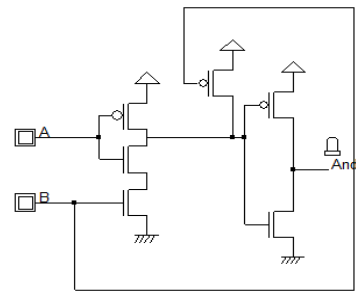


Fig.3.2. Circuit CMOS de la porte ET (AND)

3.2.2 Layout de la porte ET(AND) à 2 entrées

Le layout de la porte ET (AND) à 2 entrées, est obtenu après la conception, comme représenté sur les fig.3.3.

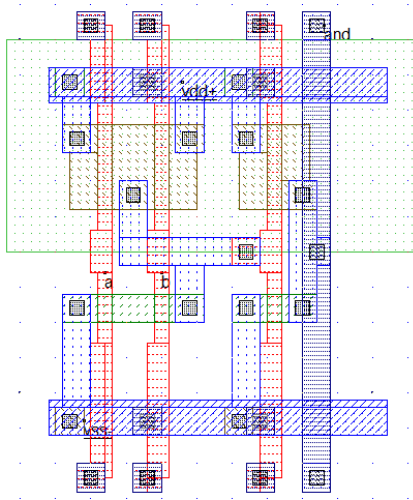


Fig.3.3. Layout de la porte logique AND à 2 entrées

3.2.3 Simulation de la porte ET (AND) à 2 entrées

La simulation décrite dans la fig.3.4 concerne la porte ET (AND) à 2 entrées. Le signal and est en retard de 46ps pour $t = 0,66ns$ par rapport au signal a, lorsque les deux signaux sont en montée, et le signal and est en retard de 40ps à $t = 086 ns$ par rapport au signal a, lorsque les deux signaux sont en descente. Le signal and est en retard de 31ps par rapport au signal a, pour les instants (1,5ns , 1,7ns, 2,33ns, 2,53ns). Pour $t = 2,73ns$, le signal and est en retard par rapport au signal a d'une durée estimée à 31ps.

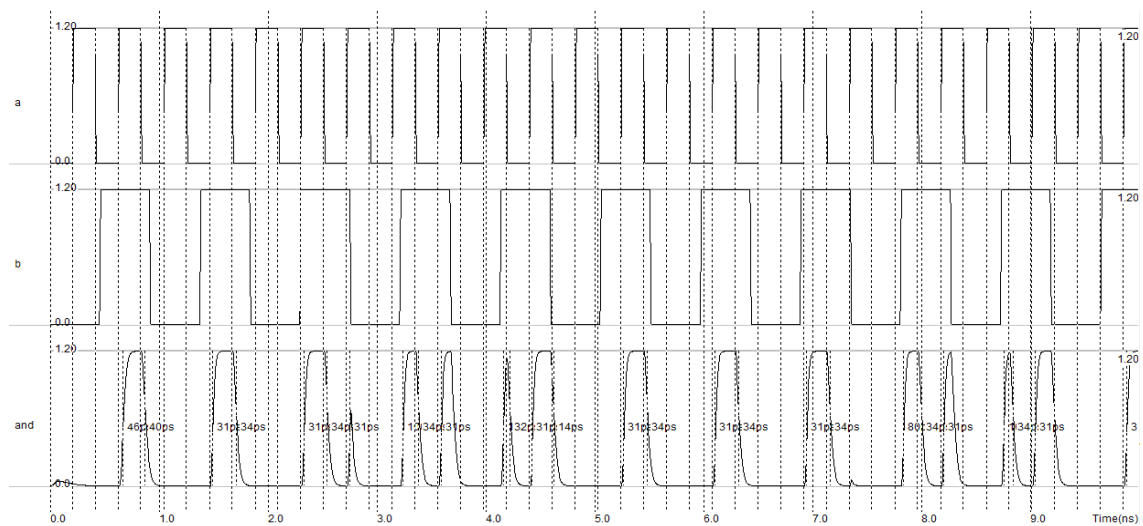


Fig.3.4. Simulation de la porte AND à 2 entrées

3.3 Simulation de la porte logique OR à 2 entrées

Le schéma de la porte logique OU (OR) est réalisé par DSCH, simulé par MICROWIND et vérifié par chronogramme. Le schéma de la porte logique OU (OR), le circuit CMOS, le layout et la simulation seront représentés successivement.

3.3.1 Schéma logique de la porte OU (OR)

Le schéma logique de la porte OU (OR) CMOS est représenté sur la fig.3.5 et le circuit CMOS de la porte OU (OR) à 2 entrées est représenté sur la Fig.3.6.

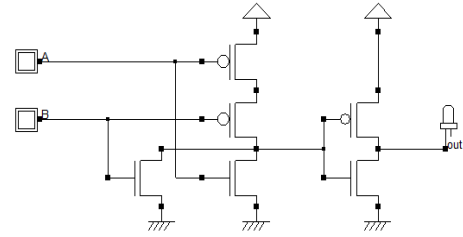
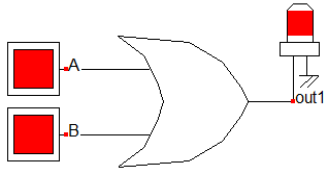


Fig.3.5. La porte logique OU(OR) à 2 entrées

Fig.3.6 Circuit CMOS de la porte OU(OR)

3.3.2 Layout de la porte logique OR à 2 entrées

Le layout de la porte logique OU (OR) est représenté sur la Fig.3.7.

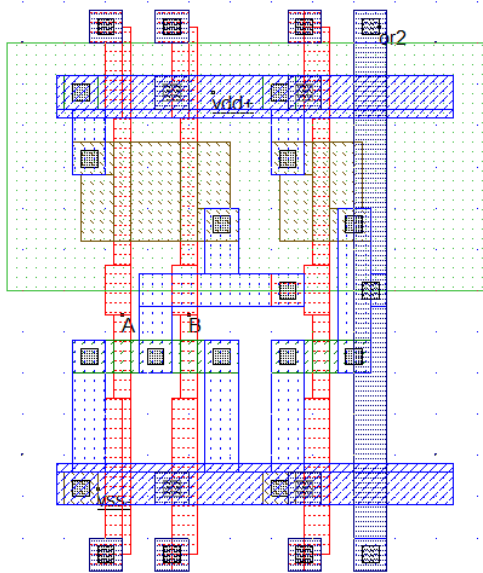


Fig.3.7. Layout de la porte logique OR à 2 entrées

3.3.3 Simulation de la porte logique OR à 2 entrées

Dans la table de vérité de la porte OU(OR) à 2 entrées $or2 = a + b$, la sortie $or2$ sera 0 si $a=0$ et $b = 0$, sinon elle sera 1. On remarque dans la Fig.3.8 que le signal $or2$ est en retard de 40ps en descente et de 26ps en montée par rapport au signal a .

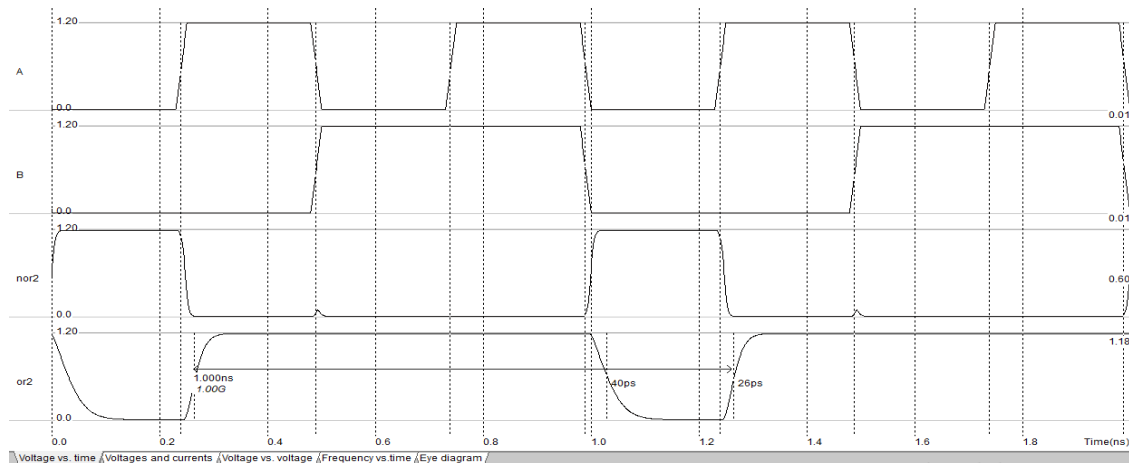


Fig3.8. Diagramme de simulation de la porte logique OR à 2 entrées

3.4 Simulation de la porte logique XOR à 2 entrées

Le schéma de la porte logique XOR est réalisé par DSCH, simulé par MICROWIND et vérifié par chronogramme. Le schéma de la porte logique XOR, le circuit CMOS, le layout et la simulation seront représentés successivement.

3.4.1 Schéma de la porte XOR CMOS

La conception de la porte XOR comporte 6 transistors. Le schéma de principe est représenté sur la Fig.3.10. Le principal inconvénient est l'utilisation de transistors de transmission qui peuvent créer des niveaux logiques non idéaux en raison de la dégradation de la tension de seuil. En bref, les transistors à canal n ne peuvent pas transférer correctement le niveau 1, et les transistors à canal p ne peuvent pas transférer correctement le niveau 0. Les autres valeurs sont correctement exécutées. En utilisant DSCH, la simulation observée est toujours correcte, car le DSCH ne prend pas en compte les niveaux "faible-1" et "faible-0".

Le circuit CMOS de la porte logique XOR est constitué de deux inverseurs et deux transistors de transmission, donc il y'a 6 transistors MOS. La cellule ne comporte pas seulement des transistors CMOS mais il existe deux transistors pour la transmission soit la sortie $xor2 = a$ si $b = 0$ et ces deux transistors permettent le signal a de circuler vers le nœud N1 où $xor2 = \bar{a}$ si $b = 1$, ils permettent le signal \bar{a} de circuler vers le nœud N1.

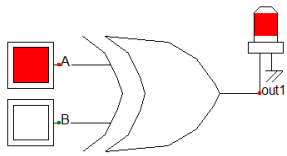


Fig.3.9. La porte logique XOR à 2 entrées

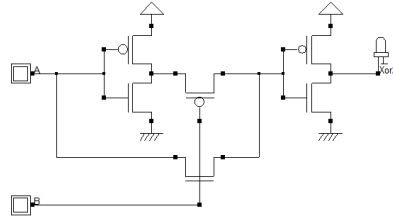


Fig.3.10. Circuit CMOS de la porte XOR à 2 entrées

3.4.2 Layout de la porte logique XOR à 2 entrées

Le layout de la porte XOR est représenté sur la fig.3.11.

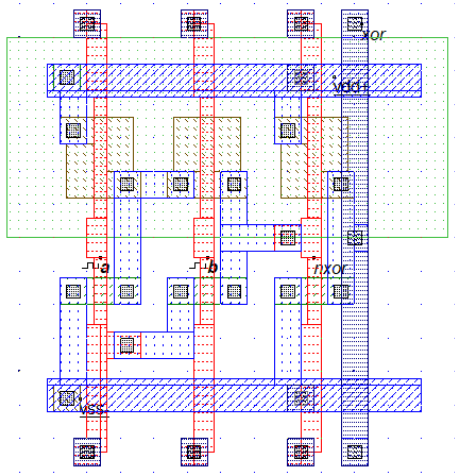


Fig.3.11. Layout de la porte logique XOR à 2 entrées

3.4.3 Simulation de la porte XOR à 2 entrées

On remarque dans la Fig.3.12 que le signal xor est en retard de 16ps en descente et de 14ps en montée par rapport au signal a. La forme du signal nxor est l'opposé du signal XOR.

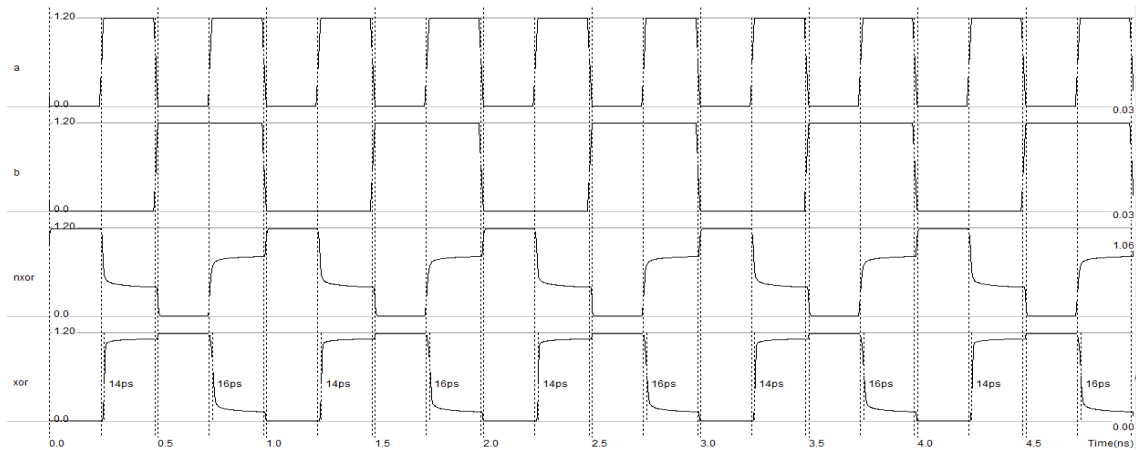


Fig.3.12. Diagramme de Simulation de la porte XOR à 2 entrées

3.5 Simulation du demi-additionneur

Dans cette section, nous Simulons le demi-additionneur en utilisant deux logiciels DSCH et MICROWIND.

3.5.1 Circuit logique demi-additionneur

La simulation logique du demi-additionneur est représentée sur la Fig.3.13 et le Symbole du circuit demi-additionneur en DSCH est représenté sur la Fig.3.14.

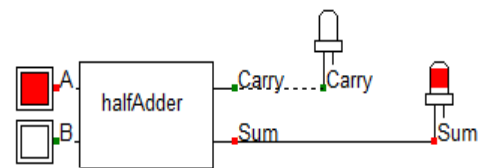
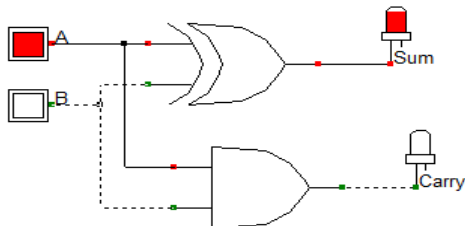


Fig.3.13. Circuit logique du demi-additionneur. Fig.3.14. Symbole du demi-additionneur.

3.5.2 Layout du demi-additionneur

Le layout du demi-additionneur complet est représenté sur la Fig.3.15. Il y a cinq transistors pMOS et cinq transistors nMOS.

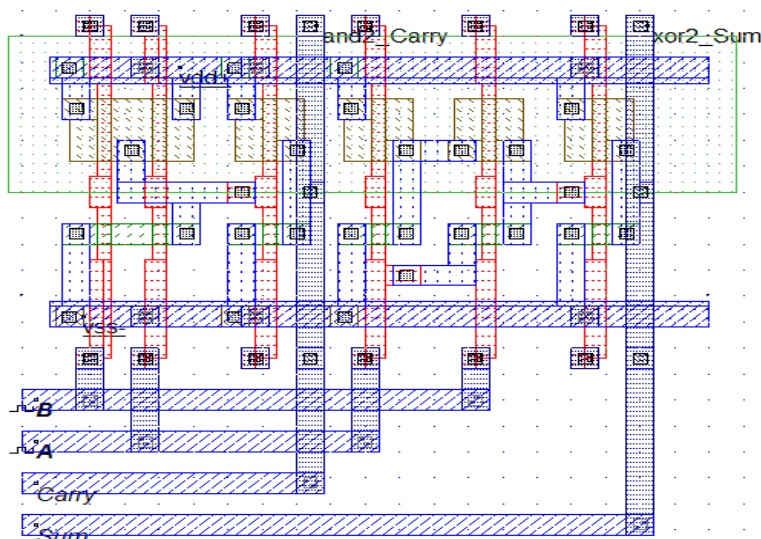


Fig.3.15. Layout du demi-additionneur.

3.5.3 Simulation du demi-additionneur

La fig.3.16 représente les signaux de sortie, retenue (carry) et somme (Sum) en fonction des signaux d'entrée A et B. On note que $Sum = 1$ lorsque A et B sont différents. Lorsque $A=1$ et $B=0$ $Sum \approx 1$. Puis, Sum descend lentement de 3.4ns jusqu'à 4.4ns, il sera presque 0 et il continue de descendre jusqu'à 0 de 4.4ns à 5.4 ns dans une période de 4ns.

- Comparaison entre les signaux de sortie Sum et Carry

Le signal Sum est en retard de 10ps en montée, et de 23ps en descente par rapport au signal B, et le signal Carry est en retard de 13ps en montée, et de 5ps en descente par rapport au signal B.

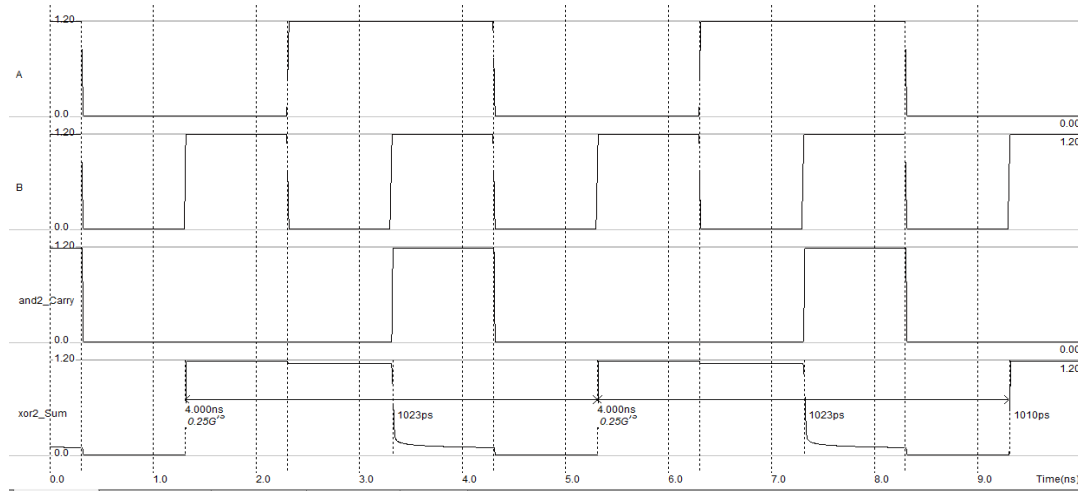


Fig.3.16. Diagramme de Simulation du demi-additionneur

3.6 Simulation de l'additionneur complet

3.6.1 Circuit logique de l'additionneur complet

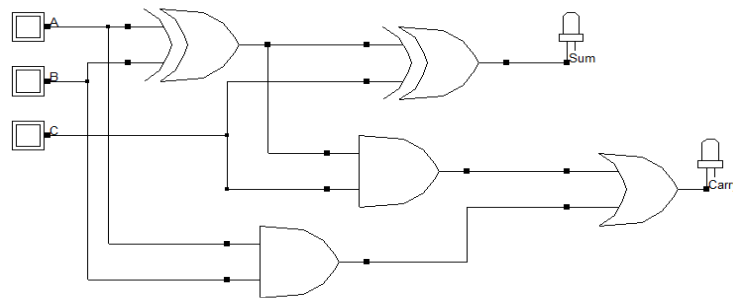


Fig.3.17. Circuit logique de l'additionneur complet

Dans la Fig.3.18, est représentée la simulation de l'additionneur complet à 3 entrées. Suivant la table de vérité, l'addition de A , B et C, apparaît dans la sortie Sum. Par exemple, à $t = 16,5 \text{ ns}$, $A = 1$ et $B = C = 0$ donc la sortie sum sera 1, et à $t = 37 \text{ ns}$, $A = B = 1$ et $C = 0$, $\text{Carry} = 1$ et $\text{sum} = 0$.

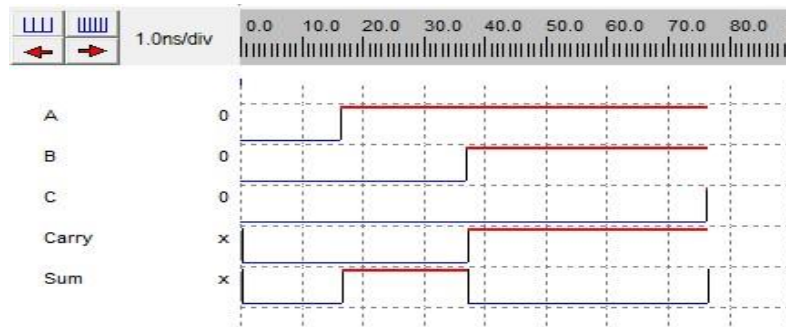


Fig.3.18. Simulation d'un additionneur complet

3.6.2 Layout de l'additionneur complet

Le layout de l'additionneur complet est représenté sur Fig.3.19. Il y a 12 transistors pMOS et 12 transistors nMOS.

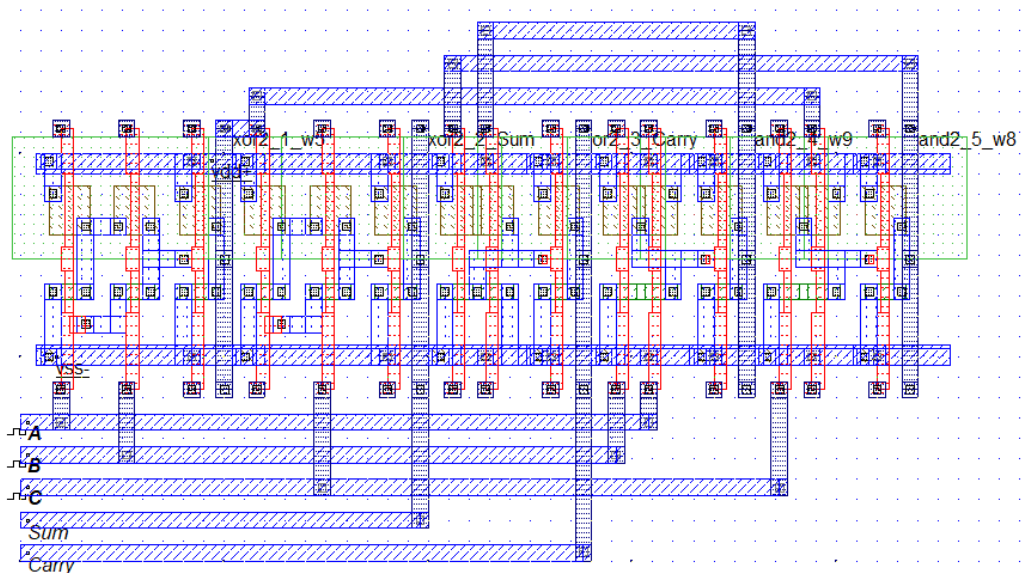


Fig.3.19. Layout de l'additionneur complet

3.6.2 Diagramme de la simulation de l'additionneur complet

La simulation de l'additionneur complet à 3 entrées est représentée sur la Fig.3.20. Suivant la table de vérité, l'addition de A ,B et C apparaît dans la sortie (sum). A $t = 1$ (ns), $A = B = 0$, ($A \oplus B = 0$) et $C = 1$, ($A \oplus B \oplus C = 1$) donc la sortie sum sera 1, et à $t = 2$ (ns), $A = C = 0$ et $B = 1$ donc la sortie sum descend et monte rapidement jusqu'à une valeur proche de 1. A $t = 6$ (ns), $A = B = 1$, ($A \oplus B = 0$) et $C = 0$, ($A \oplus B \oplus C = 0$), la sortie sum monte et descend rapidement jusqu'à une valeur proche de 0. Le signal de sortie carry sera 1 si deux entrées ou les trois entrées égales à 1, sinon le signal sera 0 suivant la relation, $A \cdot B + (A \oplus B) \cdot C$.

Comparaison entre les signaux de sortie Sum et Carry par rapport aux signaux A,B et C

Le signal Sum est en retard de 13ps en montée et de 11ps en descente par rapport au signal A, Il en est de même pour le retard du signal Sum par rapport au signal B, et le signal Sum est en retard de 10ps en montée, et de 20ps en descente par rapport au signal C. Le signal Carry est en retard de 24ps en descente par rapport au signal A, et le signal Carry est en retard de 26ps en montée, et de 24ps en descente par rapport au signal C.

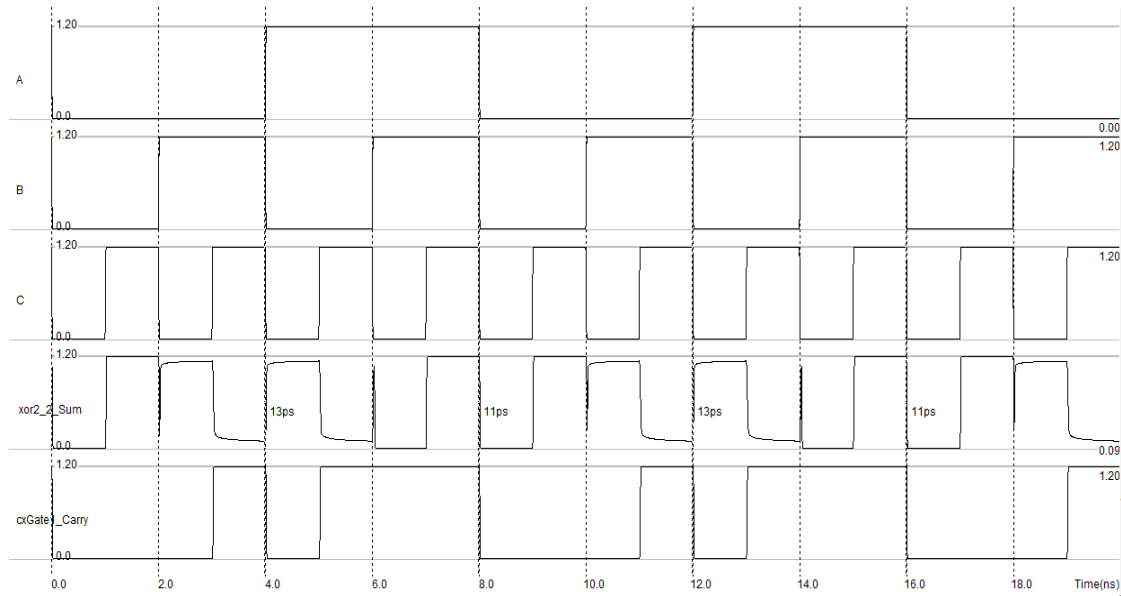


Fig.3.20. Diagramme de Simulation de l'additionneur complet

3.6.4 Simulation de l'additionneur à l'aide d'horloges

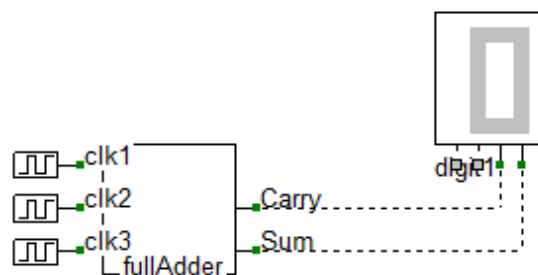


Fig.3.21. Symbole de l'additionneur complet et test du symbole à l'aide d'horloges

Le diagramme de l'additionneur avec les horloges clk1,clk2,clk3 connectés respectivement aux entrées a, b et c est représenté sur la Fig.3.22. Les deux sorties sum et Carry sont connectées avec un afficheur digital (digit). On observe que le digit affiche 0 si tous les entrées sont égales à 0, et il reçoit 1 si l'une des entrées sera à 1, il affiche 2 si deux entrées sont égales à 1, et enfin il affiche 3 si à, b et c sont égales à 1.

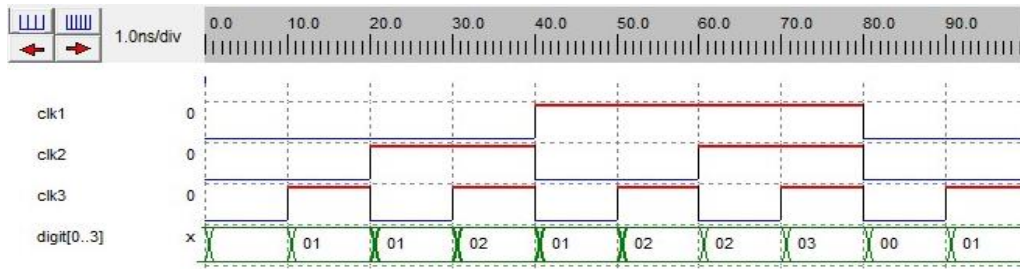


Fig.3.22. diagramme de l'additionneur complet

3.7 Simulation de l'additionneur 4 bit

3.7.1 Ripple-Carry adder (RCA)

a Simulation du circuit de l'additionneur 4 bits (RCA)

Nous avons d'abord créé le schéma dans DSCH (Fig.3.23). Le logiciel DSCH est l'outil utilisé pour créer un schéma de circuit au niveau de porte ou de transistor.

b Simulation du circuit logique de l'additionneur 4 bits (RCA)

Le schéma de l'additionneur 4 bits (RCA) est conçu en DSCH. Le schéma est conçu à l'aide de portes logiques, nous avons utilisé trois portes, la porte XOR, la porte OU(OR) et la porte ET(AND), ils sont combinés pour former un module de l'additionneur complet 1 bit. Dans cette conception, nous avons créé un fichier Verilog qui sera utilisé par le logiciel MICROWIND pour créer le schéma du layout représenté sur la fig.3.25.

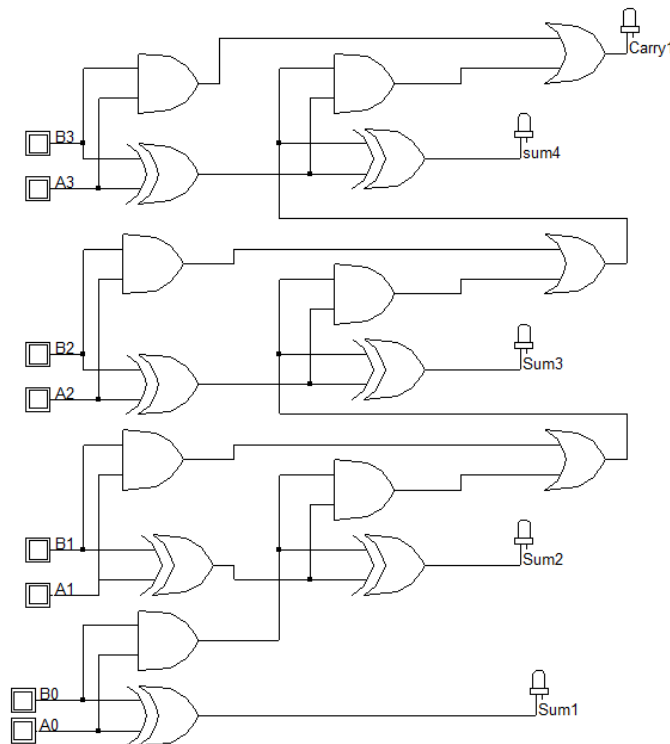


Fig3.23. Circuit logique de l'additionneur 4 bits (RCA)

c Diagramme du circuit de l'additionneur 4 bit (RCA)

Sur la Fig.3.24 est représenté le diagramme d'un additionneur 4 bits (RCA). Les sorties sum1, sum2, sum3 et sum4 sont fonction des entrées A₀, A₁, A₂, A₃ et B₀, B₁, B₂ et B₃. On remarque que les signaux des entrées commencent à prendre une valeur 1 dans l'ordre. Le signal A₃ commence à prendre la valeur 1 à t= 38ns , A₂= 1 à t= 71ns, A₁= 1 à t= 97ns, A₀= 138ns ainsi que B₃= 1 à t = 20.5ns , B₂= 1 à t= 60.5ns , B₁=1 à t= 89ns et B₀= 1 à t=162ns. Donc la valeur des signaux de sortie changent à 1 par rapport aux signaux d'entrée.

Le signal de sortie Sum4= 1 à t= [7ns ; 13ns] lorsque la valeur de signal d'entrée B₃= 1 et toutes les entrées = 0 pour t= [0ns ; 7ns], Sum4 = 1 à t = 27.5ns. Lorsque, A₃= A₂= B₃=B₂=1 le reste des signaux égal à 0 ou 1 dans la période [27.5ns ; 58ns].

Le signal de sortie Sum3 = 1 à t = [22ns ; 27.5ns] , la valeur des signaux d'entrées A₃=B₃= B₂=1 et toutes les entrées égales à 0 dans une période de t = [0ns ; 27.5ns]. Sum2 = 1 à t = 42ns lorsque A₃=A₂=A₁=B₃=B₂=B₁=1 et le reste des signaux égal à 0 ou 1 dans une période de [42ns ;58].

Le signal de sortie Sum2 = 1 à t = [36ns ;42ns], lorsque la valeur des signaux d'entrées A₃ = B₃ = A₂ = B₂ = B₁ = A₀ = 1 et toutes les entrées égales à 0 dans une période de t=[0ns ; 36ns], et Sum2 =1 à t= 58 ns lorsque toutes les entrées sont égales à 1.

Le signal de sortie Sum1 = 1 à t= 50ns. Lorsque toutes les entrées des signaux égales à 1 et Sum1=0 dans la période t=[0ns ; 50ns].

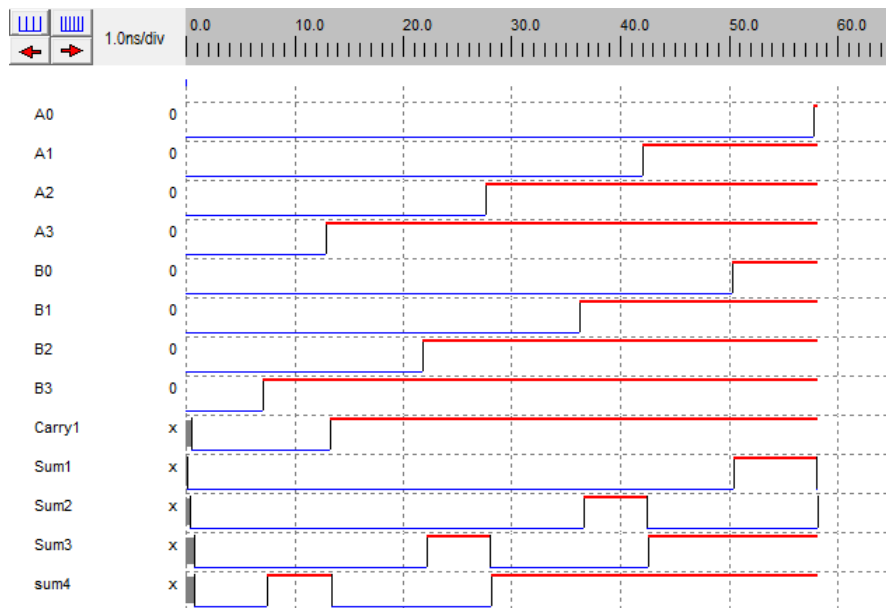


Fig 3.25. Diagramme de Simulation de l'additionneur 4 bit (RCA)

d Layout de l'additionneur 4 Bits (RCA)

Le schéma du layout de l'additionneur 4 bits (RCA) est représenté sur la Fig.3.25.

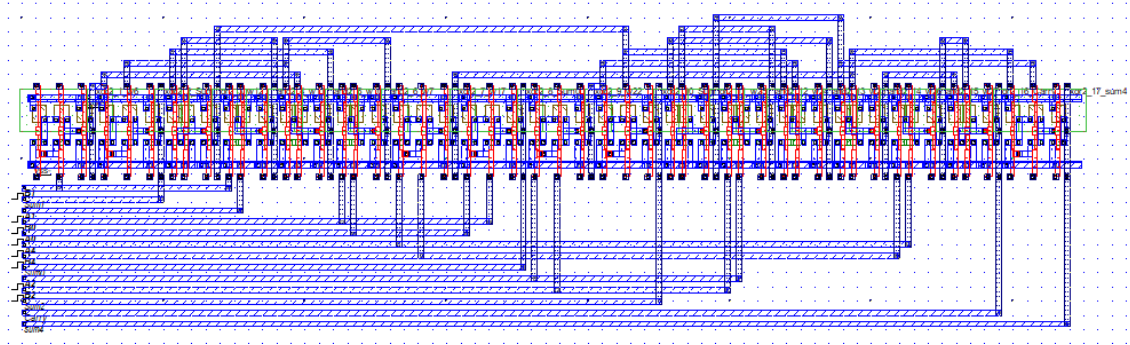


Fig.3.25. Layout de l'additionneur 4 bits (RCA)

e Simulation de l'additionneur 4 bits (RCA)

Sur la fig.3.26 est représenté le diagramme de la simulation du layout de l'additionneur 4 bits de type RCA. Les sorties Sum1, Sum2, Sum3, Sum4 et Carry sont représentées en fonction des signaux d'entrées A₀, A₁, A₂, A₃, B₀, B₁, B₂, B₃.

Le signal Sum1 est en retard maximal de 41ps en montée et 69ps en descente

Le signal Sum2 est en retard maximal de 99ps en montée et 120ps en descente

Le signal Sum3 est en retard maximal de 51ps en montée et 58ps en descente

Le signal Sum4 est en retard maximal de 51ps en montée et 28ps en descente

Le signal Carry est en retard maximal de 71ps en montée et 29ps en descente

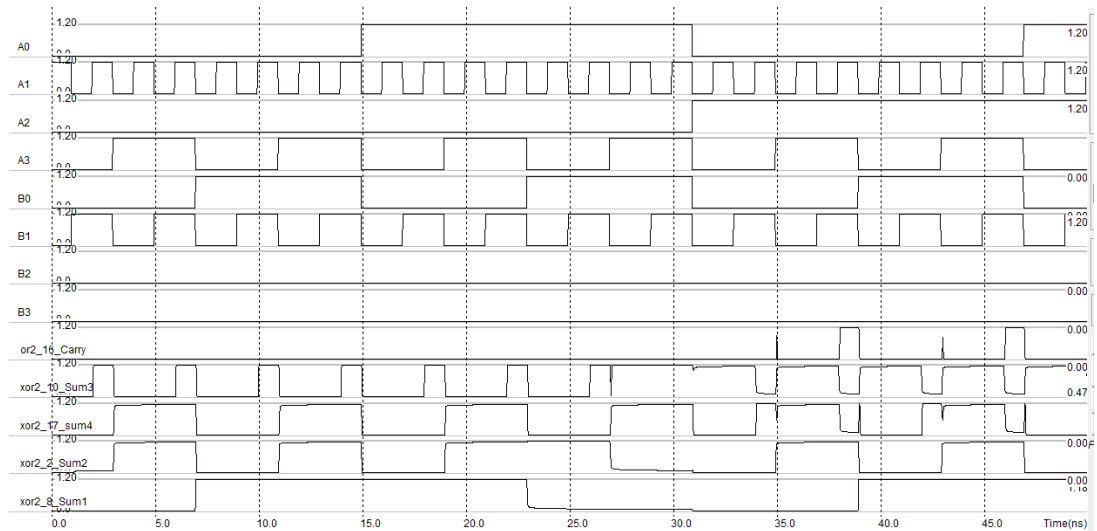


Fig.3.26. Simulation de l'additionneur 4 bits (RCA)

3.7.2 CARRY LOOK-AHEAD ADDER (CLA)

a Circuit logique de l'additionneur 4bits (CLA)

Le schéma de l'additionneur 4 bits (CLA) est conçu en DSCH. Le schéma est conçu à l'aide de portes logiques. Nous avons utilisé trois portes, les portes avec deux entrées, trois entrées et quatre entrées, la porte OU (OR), porte XOR et la porte ET (AND). Elles sont combinées pour former un module complet d'un adder bit.

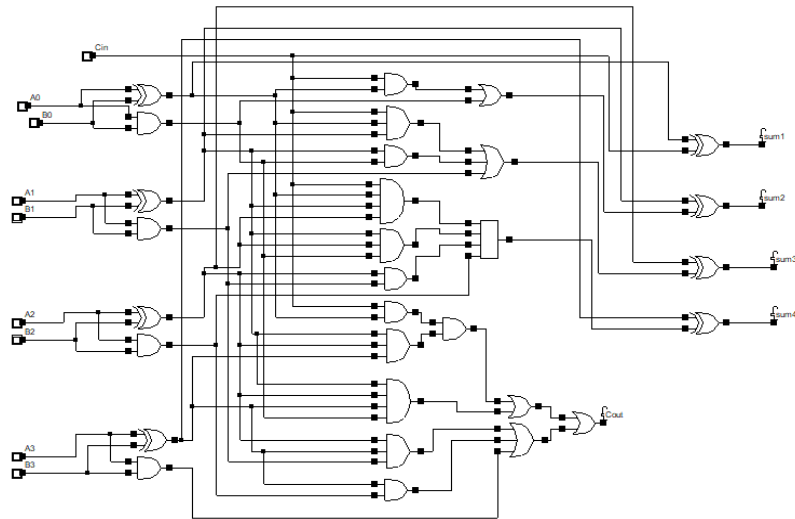


Fig.3.27. Le circuit logique de l'additionneur 4 bit (CLA)

b Diagramme du circuit de l'additionneur 4 bit (CLA)

Sur la Fig.3.28 est représenté le diagramme d'un additionneur 4 bits (CLA). Les sorties sum1, sum2, sum3, sum4 et carry sont fonction des entrées A₁, A₂, A₃, A₄ et B₁, B₂, B₃, B₄ et C_{in}. Les signaux d'entrée commencent à prendre une valeur 1 dans l'ordre. Le signal A₀ est à 1 à t = 10 ns, A₁ = 1 à t = 16,5 ns, A₂ = 1 à t=26,25 ns, A₃=1 à t= 36,5 ns. B₀ = 1 à t = 13 ns, B₁ = 1 à t = 22ns, B₂ = 1 à t = 29 ns, B₃ = 1 à t = 40,25 ns et C_{in} = 1 à t = 4,75 ns.

Le signal de sortie Sum1=1 à t = 5ns lorsque la valeur du signal d'entrées C_{in} = 1 et toutes les entrées égales à 0 à t = [5ns;11ns] et le signal Sum1 = 1 à t =14ns lorsque B₀ = A₀ =A₁ =C_{in} = 1 le reste des signaux d'entrées égal à 0 ou 1 dans la période [14ns; 41,5ns].

Le signal de sortie Sum2 = 1 à t = 12ns lorsque la valeur des signaux d'entrées A₁ = B₀ = C_{in} = 1, le reste des signaux égal à 0 à t = [12ns ; 17,5ns]. Sum2 = 1 à t=22ns, lorsque A₀= A₁ = B₀ = B₁ = C_{in} = 1 le reste des signaux égal à 0 ou 1 dans la période [22ns ; 40 ns].

Le signal de sortie Sum3 = 1 dans la période [18,5ns ; 27,5ns], la valeur des signaux d'entrées égale à $A_0 = A_1 = B_0 = C_{in} = 1$ dans la période [18,5ns ; 22ns] et la valeur des signaux d'entrées égale à $A_0 = A_1 = B_0 = B_1 = C_{in} = 1$ dans la période [22ns ; 27,5ns]. Sum3 = 1 à $t = 30$ ns, lorsque $A_0 = A_1 = A_2 = B_0 = B_1 = B_2 = C_{in} = 1$, le reste des signaux égal à 0 ou 1 dans la période [30ns ; 40 ns].

Le signal de sortie Sum4 = 1 dans la période [28,5ns ; 37,5ns] lorsque la valeur des signaux d'entrées $A_0 = A_1 = A_2 = B_0 = B_1 = B_2 = C_{in} = 1$ et $A_3 = B_3 = 0$, et le signal Sum4 = 1 à $t = 41,25$ ns lorsque les signaux d'entrée sont égaux à 1.

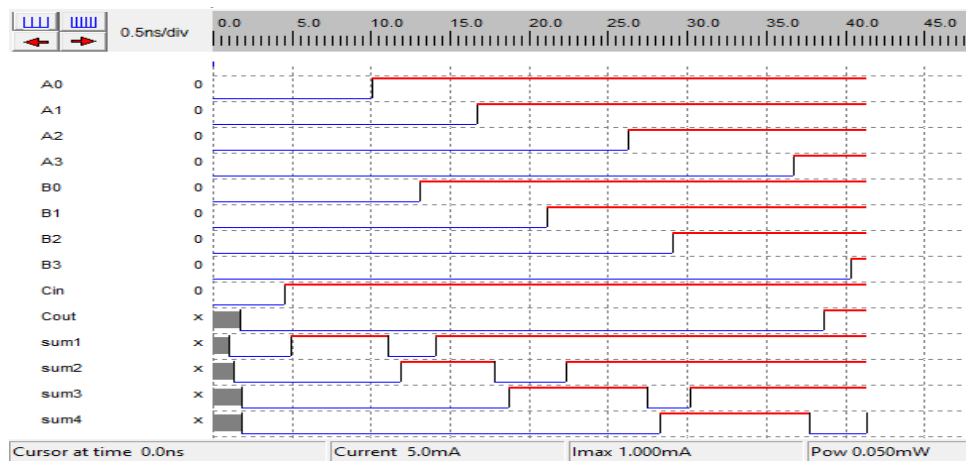


Fig.3.28 Diagramme de Simulation de l'additionneur 4 bit (CLA)

c Layout de l'additionneur 4bits (CLA)

Après avoir créé un design dans l'outil DSCH, nous avons créé un fichier Verilog qui a été compilé dans l'outil MICROWIND pour générer automatiquement le layout représenté sur la Fig.3.29.

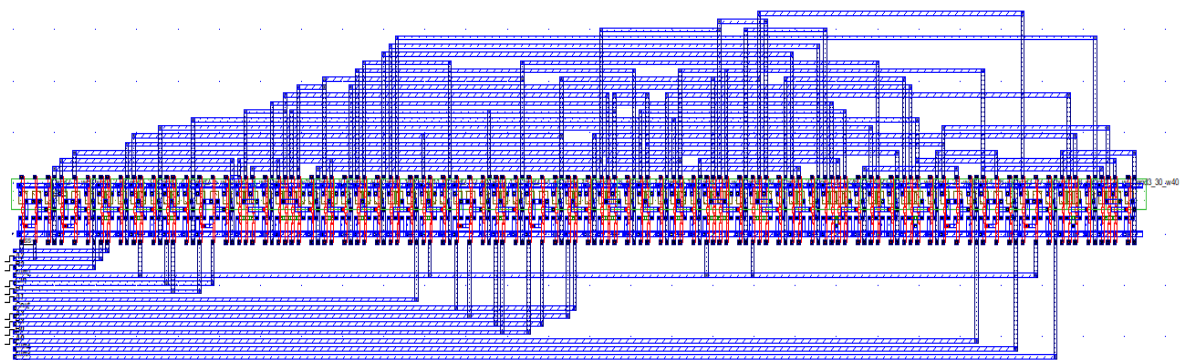


Fig.3.29. Layout de l'additionneur à 4 bits (CLA)

d Simulation de l'additionneur 4 bits (CLA)

Sur la fig.3.30 est représenté le diagramme de la simulation du layout de l'additionneur 4 bits de type CLA. Les sorties Sum1, Sum2, Sum3, Sum4 et Cout sont représentées en fonction des signaux d'entrées A₀, A₁, A₂, A₃, B₀, B₁, B₂, B₃ et Cin.

Le signal Sum1 a un retard maximal de 26ps en montée et 21ps en descente.

Le signal Sum2 a un retard maximal de 55ps en montée et 59ps en descente.

Le signal Sum3 est en retard maximal de 63ps en montée et 103ps en descente.

Le signal Sum4 est en retard maximal de 103ps en montée et 112ps en descente.

Le signal Cout est en retard maximal de 54ps en montée et 66ps en descente.

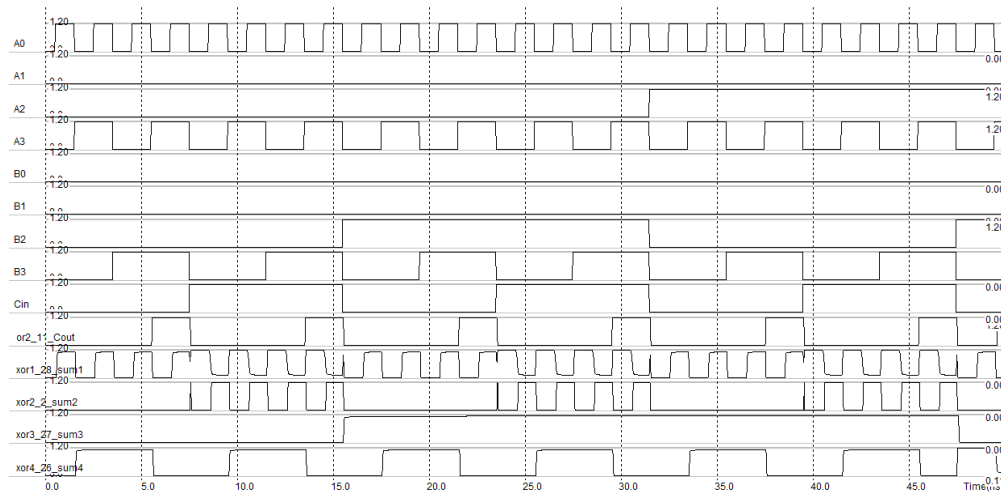


Fig.3.30. Diagramme de simulation du layout de l'additionneur 4 bits (CLA)

3.8 Conclusion

Dans ce chapitre, nous avons simulé les portes logiques de base, le demi-additionneur, l'additionneur complet, l'additionneur 4 bits, type Ripple Carry Adder (RCA) et Carry-Look-Ahead Adder (CLA), en utilisant les logiciels DSCH et MicroWind. Les résultats de simulation nous ont permis de déterminer les performances des deux types d'additionneurs en termes de vitesse, de surface et de puissance.

Conclusion générale

L'objectif de ce travail est l'étude des différents types d'additionneurs 4 bits. Pour atteindre cet objectif, nous avons utilisé la méthode de simulation dans les conceptions. Les propriétés des composants qui entrent dans la synthèse de ces additionneurs ainsi que la technologie utilisée dans la fabrication de ces matériaux y sont présentées.

Nous avons abordé les types de portes logiques, leurs caractéristiques et leur façon de fonctionner avec la reconnaissance de l'additionneur demi et total, les additionneurs 4 bits RCA et CLA et la différence entre eux respectivement en donnant le principe de leur fonctionnement.

La simulation de ces composants par les logiciels DSCH et Microwind nous ont permis de déterminer leurs performances en termes de vitesse de surface et de consommation.

Les résultats de simulation montrent que l'additionneur CLA est plus rapide que l'additionneur RCA.

En perspective, la suite de ce travail peut être envisagée en considérant des additionneurs plus grands (16 ou 32 bits) ou d'autres types plus performants.

Bibliographie

- [1] <http://www.bedwani.ch/electro/ch18/index.htm>
- [2] <https://www.techno-science.net/>
- [3] <https://www.universalis.fr/>
- [5] http://www.optique-ingenieur.org/fr/cours/OPI_fr_M05_C02/co/Contenu_03.html
- [6] <https://www.radiation-dosimetry.org/>
- [7] <https://www.nuclear-power.net/>
- [8] <https://www.elprocus.com/>
- [9] <http://www.elektronique.fr/>
- [11] <https://whatis.techtarget.com/>
- [12] <https://www.javatpoint.com/>
- [13] <https://openclassrooms.com/fr/>
- [14] <https://definir-tech.com/>
- [15] H. HAMEED, S. ARSHAD, Design 1-bit full adder and Comparative Study of Different Type of Adders in terms of Power Consumption, Area and Delay , may 2016
- [16] <https://www.electricaltechnology.org/>
- [17] Etienne Sicard, Sonia Delmas Bendhia, Basics of CMOS Cell Design, INSA Electronic Engineering School of Toulouse, France