

الجمهورية الجزائرية الديمقراطية الشعبية  
République Algérienne démocratique et populaire

وزارة التعليم العالي والبحث العلمي  
Ministère de l'enseignement supérieur et de la recherche scientifique

جامعة سعد حنبل بليدة  
Université SAAD DAHLAB de BLIDA

كلية التكنولوجيا  
Faculté de Technologie

قسم الإلكترونيك  
Département d'Électronique



## Mémoire de Projet de Fin d'Études

présenté par

**BENAMROUCHE DJAMAL**

Pour l'obtention du diplôme de Master en Électronique option Traitement de  
l'Information et Systèmes Electroniques (TISE)

Thème

# Chaine de Lecture Frontale Pour Micros capteurs Pixels : Module d'Entrée Etude et Conception

Proposé par : Dr. Dahmani Samir

Année Universitaire 2015-2016

## Remerciements

---

Le travail présenté dans ce mémoire, a été effectué au sein du Centre de Développement des Technologies Avancées (CDTA) situé à Baba Hassen - Alger.

Je tiens à remercier :

- Monsieur DAHMANI Samir, Maître Assistant à l'Université Saad Dahleb de Blida, d'avoir accepté de me diriger dans ce travail. Aussi, pour son soutien moral et pour ses encouragements qui m'ont motivé à aller de l'avant.
- L'autorité de la Faculté de Technologie de l'Université Saad Dahlab de Blida qui a facilité mon inscription en Master 2.
- Monsieur YKHLEF Farid, Maître de Conférence, Responsable du programme de master2 TISE à l'Université Saad Dahleb de Blida, pour son soutien moral et administratif chose qui m'a permis de traverser une phase critique survenue vers la fin du semestre de scolarité.
- Les enseignants du master 2 TISE de l'Université Saad Dahlab de Blida (année : 2015/2016) pour leurs efforts consentis, pour leurs appréciations, et pour les connaissances qui nous ont transmis.
- L'autorité de la Direction du CDTA, les responsables hiérarchiques, et mes collègues de travail qui m'ont aidé de prêt ou de loin.

Finalement, je suis reconnaissant envers toute ma famille qui de loin ou de prêt me donne toujours l'énergie nécessaire qui m'aide à surmonter toutes les épreuves difficiles.

**ملخص:**

إن التطور المذهل و المتواصل في مجال صناعة المعادن ذات الخصوصيات الإلكترونية المنفردة (أشباه الموصلات) كتلك التي يتصف بها معدن (SILICIUM) أدى إلى ظهور عدد كبير من فصائل التحسس الإلكترونية الموجهة إلى مختلف المجالات التطبيقية، و تمثل تجارب فيزياء الطاقات المرتفعة أحد هذه المجالات. و مع تطوير المعدات الآلية لحاجيات المجال المذكور أنفا ظهر للوجود جيل جديد من وسائل التحسس الإلكترونية يدعى ب: (PIXEL DETECTOR). على نطاق آخر، التقدم المتواصل في صناعة الإلكترونيات الدقيقة سمح للوصول إلى المزيد من التجزئة الدقيقة و إلى المزيد من التحسن المحسوس. في إطار هاذ المشروع، المساهمة التي قمت بها و التي تخصني هي تتمثل في المجهود المبذول في دراسة و تصميم دائرة إلكترونية تسمى (charge sensitive preamplifier) و باستعمال الوسائل التالية أسمائها: (cad tools platform of CADENCE)، (TSMC RF CMOS 0.18µm Design-Kit).

**كلمات المفاتيح:**

Analogue electronic circuits; Front-end electronics for detector readout; Electronic detector readout concepts; Charge-Sensitive Amplifier (CSA); Low Power

**Résumé :**

La fulgurante avancée continue de l'industrie du semi-conducteur a permis l'émergence de plusieurs types de détecteurs pour différents domaines d'applications, dont celui des expériences en physique des hautes énergies. Les développements en instrumentation pour ce domaine en question ont engendrés l'apparition des détecteurs pixels. D'un autre côté, les avancées de l'industrie de la microélectronique ont conduits à plus de miniaturisation et à des améliorations notables. Dans ce projet, ma contribution a porté sur un effort de conception d'un préamplificateur de charge à l'aide des outils de la plateforme professionnelle de CADENCE et en utilisant le Design-Kit RF CMOS 0.18µm de la fonderie TSMC.

**Mots clés :** Electronique analogique; Electronique de lecture frontale pour micros capteurs; Amplificateurs (CSA) ; Faible consommation d'énergie.

**Abstract :**

The continuing progress in the semiconductor industry has lead to the emergence of several types of detectors for different application fields; among them is that of high energy physics experiments. Instrumentation developments for this field in question have made possible the apparition of a new generation of detectors called pixel detectors. In another side, the advancements made in the microelectronic industry have allowed a more and more deep scaling as well as to a further notable performances. In this project, my own contribution focus on the design effort of a charge sensitive preamplifier by the help of the professional cad tools platform of CADENCE and by using the TSMC RF CMOS 0.18µm Design-Kit.

**Keywords :** Analogue electronic circuits; Front-end electronics for detector readout; Electronic detector readout concepts; Charge-Sensitive Amplifier (CSA); Low Power

## Liste des acronymes et abréviations

---

ATLAS	<b>A</b> Toroidal <b>LHC</b> <b>A</b> pparatu <b>S</b>
SCT	<b>S</b> emi <b>C</b> onductor <b>T</b> racker
TRT	<b>T</b> ransition <b>R</b> adiation <b>T</b> racker
MIP	<b>M</b> inimum Ionizing <b>P</b> article
CSA	<b>C</b> harge <b>S</b> ensitive <b>A</b> mplifier
CMOS	<b>C</b> omplementary <b>M</b> etal <b>O</b> xide <b>S</b> emiconductor
NMOS, MNx	<b>N</b> type CMOS transistor
PMOS, MPx	<b>P</b> type CMOS transistor
DC	Analyse en mode de régime continue (Direct <b>C</b> urrent)
AC	Analyse en mode de régime alternatif ( <b>A</b> lternatif <b>C</b> urrent)
TSMC	Taiwan <b>S</b> emiconductor <b>M</b> anufacturing <b>C</b> ompany

# Table des matières

---

## Résumé

## Introduction générale 1

## I Détecteurs de radiation à base de silicium 3

I.1	<b>Présentation du détecteur ATLAS</b> .....	3
I.1.1	<b>Introduction</b> .....	3
I.1.2	<b>Détecteur interne (Inner Detector)</b> .....	4
I.1.3	<b>Calorimètre électromagnétique</b> .....	4
I.1.4	<b>Calorimètre hadronique</b> .....	4
I.1.5	<b>Détecteur de muons</b> .....	5
I.2	<b>Senseurs de radiation en technologie silicium</b> .....	5
I.3	<b>Principe de détection</b> .....	7
I.3.1	<b>Diodes de jonction</b> .....	7
I.3.1.1	<b>Description</b> .....	7
I.3.2	<b>Collection des charges</b> .....	9
I.3.3	<b>Formation du signal</b> .....	14
I.4	<b>Segmentation des détecteurs</b> .....	15
I.4.1	<b>Détecteurs segmentés en pistes</b> .....	16
I.4.2	<b>Détecteurs à pixels</b> .....	17

<b>II</b>	<b>Amplificateur de charges (CSA)</b>	<b>19</b>
II.1	Introduction .....	19
II.2	Architecture d'un système d'électronique frontale.....	19
II.3	Sélection du préamplificateur frontal .....	21
II.3.1	Amplificateur de tension (Voltage amplifier).....	22
II.3.2	Amplificateur à transimpédance.....	22
II.3.3	Amplificateur de charges (CSA).....	22
II.4	Rôle du CSA dans un système d'électronique frontale .....	23
II.4.1	Description et analyse du CSA.....	24
II.4.2	Etude en petit signaux de l'amplificateur cascode replié .....	28
II.4.3	Fonction de transfert de l'architecture global du CSA .....	32
II.5	Conclusion.....	36
<b>III</b>	<b>Résultats de simulation</b>	<b>37</b>
III.1	Caractérisation des transistors du Design Kit utilisé .....	37
III.2	Résultats de simulation du CSA.....	43
III.2.1	Caractéristiques en mode DC du CSA .....	44
III.2.2	Caractéristiques en mode AC du CSA.....	48
III.2.3	Réponse temporelle du CSA.....	50
III.3	Conclusion .....	51
	<b>Conclusion générale</b>	<b>52</b>
	<b>Bibliographie</b>	<b>54</b>
	<b>Annexe</b>	<b>56</b>

## Liste des Figures

---

### Liste des Figures

1.1	Vue perspective éclatée du détecteur ATLAS.....	3
1.2	Représentation d'une jonction PN abrupte.....	8
1.3	Collection de charges dans une jonction PN.....	13
1.4	Un détecteur (diode) déplété avec des paires électrons-trou.....	15
1.5	Schéma d'un détecteur à micro-pistes en double face.....	17
1.6	Vue schématique d'un détecteur à pixels hybrides.....	18
2.1	Architecture générique d'un système d'électronique frontale.....	20
2.2	Principe d'une configuration d'un système lecture frontal.....	21
2.3	Trois configurations d'amplificateurs opérationnels.....	21
2.4	Architecture de base d'un CSA.....	24
2.5	Etages d'amplification.....	26
2.6	Schéma interne du préamplificateur de charge (CSA – cascode replié).....	28
2.7	Modèle en petit signaux de l'amplificateur cascode replié.....	29
2.8	Modèle du système muni de son préamplificateur de charge (CSA).....	33
2.9	Réponse du préamplificateur de charge en fonction du temps.....	36
3.1	Courant drain-source ( $I_{ds}$ ) versus tension de grille ( $V_{gs}$ ).....	38
3.2	Courant ( $I_{ds}$ ) versus tension ( $V_{ds}$ ) pour différentes tension grille ( $V_{gs}$ ).....	39
3.3	Courant ( $I_{ds}$ ) versus tension ( $V_{ds}$ ) pour différentes longueurs du canal ( $L$ ).....	40
3.4	Caractéristique ( $g_m/I_d$ ) des transistors MN1 (NMOS) et MP1 (PMOS).....	42
3.5	Topologie de la circuiterie adopté pour le préamplificateur de charge.....	43
3.6	Procédure générale pour la conception de circuits analogiques intégrés.....	44

3.7	Polarisation des transistors MN1 et MP1 .....	45
3.8	Polarisation des transistors MN2 et MP2 .....	46
3.9	Polarisation des transistors MN3 et MN4.....	47
3.10	Gain du préamplificateur en boucle ouverte.....	48
3.11	Réponse fréquentielle : Marge de phase .....	49
3.12	Réponse temporelle de la topologie du CSA .....	50

## Liste des Tableaux

---

## Liste des Tableaux

- 1.1 Caractéristiques des matériaux utilisés pour la détection de particules..... 10
- 3.1 Dimensionnement des transistors MOS du CSA..... ..51

## Introduction générale

---

Le but de ce travail consiste à faire l'étude et la conception d'un préamplificateur de charge électriques en technologie submicronique CMOS. Cet amplificateur très connu sous l'appellation anglo-saxonne CSA (charge sensitive amplifier) est le premier maillon de l'électronique de lecture (Readout system) qui est dédiée à la lecture et au traitement des signaux générés par les détecteurs de radiation à base de silicium. Ces derniers trouvent leurs applications dans plusieurs domaines, dont les plus en vogue sont la physique des particules et l'imagerie médicale. Comparé aux anciens types de détecteurs électroniques, comme ceux des chambres à gaz ionisé les détecteurs de silicium sont plus avantageux avec leur rapide temps de réponse, leur faible seuil d'énergie, et la possibilité d'intégrer plusieurs détecteurs de très petites tailles sur la même surface d'un petit morceau de silicium.

Le développement des détecteurs de radiations doit être accompagné en même temps par la miniaturisation et par l'amélioration des circuits de l'électronique de lecture destinés au traitement des signaux générés par les détecteurs. Une grande résolution spatiale et une réponse rapide d'un détecteur ne va servir à rien à moins que la circuiterie du traitement du signal sera de dimension suffisamment petite et capable d'entretenir des signaux rapides.

Ce travail entre dans le cadre d'un projet de collaboration entre la Division de Microélectronique et de Nanotechnologie du CDTA<sup>1</sup> et le Laboratoire de l'Accélérateur Linéaire (LAL) de l'IN2P3<sup>2</sup> situé à Paris. Ce dernier mène des activités de recherche dans le domaine de la physique des particules conduites autour du grand détecteur ATLAS<sup>3</sup> au niveau du CERN<sup>4</sup> à Genève. Notre motivation est de réussir à s'imbriquer dans le projet ATLAS en contribuant au travail de la conception d'une micro-puce de lecture frontale pour le détecteur pixel qui représente la couche la plus interne du grand détecteur de particules ATLAS. La micro-puce en question est organisée sous forme de matrice qui peut contenir plusieurs milliers de pixels. Chaque pixel comprend une circuiterie mixte analogique et digitale. La partie analogique du bloc pixel a pour fonction l'amplification du signal généré sur le détecteur et de le différencier du bruit. La partie digitale prend en charge la mesure de la durée du signal, et l'information sur la position de l'impact des particules incidentes puis envoie les données à d'autres blocs périphériques. Ces derniers vont permettre de décider s'il est utile ou pas de transmettre l'information vers une autre destination. Cette brève description est loin d'être l'illustration complète de la puce ; à titre d'information on peut mentionner

qu'une cellule pixel dans les versions récentes de la puce de l'électronique frontale du détecteur pixel d'ATLAS contient jusqu'à 1000 transistors, alors que la puce complète elle peut comporter plus de 3 millions de transistors.

---

<sup>1</sup> *Centre de Développement des Technologies Avancées (Algérie)*

<sup>2</sup> *Institut national de physique nucléaire et de physique de particules (France)*

<sup>3</sup> *A Toroidal LHC ApparatuS, LHC : grand collisionneur de hadron (Genève - Suisse)*

<sup>4</sup> *Centre Européen pour la Recherche Nucléaire (Genève - Suisse)*

# Chapitre (I)

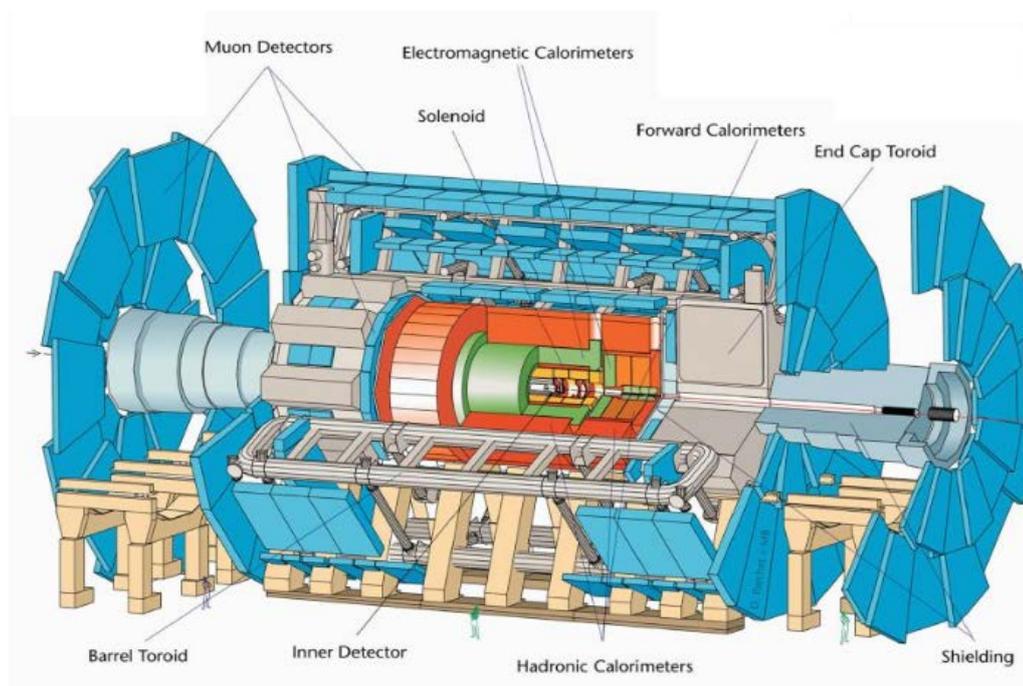
# Chapitre 1 Détecteurs de radiation à base de silicium

---

## 1.1 Présentation du détecteur ATLAS

### 1.1.1 Introduction

Le détecteur ATLAS [1] [2] est un puzzle technologique de grande envergure conçu principalement pour la détection des particules, à travers sa structure constituée de plusieurs multicouches concentriques Fig. 1.1. Il a la forme d'un cylindre de 22 mètres de diamètre pour environ 40 mètres de longueur, avec un poids total de 7000 tonnes.



**Figure 1.1.** Vue perspective éclatée du détecteur ATLAS

Dans ce qui suit, nous allons donner une brève description du détecteur, en commençant à partir des composants qui se trouvent au fond de son cœur.

### 1.1.2 Détecteur interne (Inner Detector)

C'est un détecteur de traces (*trajectographe*) en silicium, destiné à suivre le passage des particules dès leur formation ; il est cylindrique et structuré en pelure d'oignon associé à un électro-aimant solénoïdal interne supraconducteur de 2 mètres de diamètre qui crée un champ de 2 teslas (20 000 gauss) et nécessite un courant de 7 600 ampères. La bobine de l'électro-aimant et le calorimètre sont refroidis par le même cryostat. Il est composé, au centre, d'un détecteur à pixels qui s'étage sur trois couches positionnées à 5,9 et 12 cm de l'axe. Puis le SCT (*semiconductor tracker*) composé de quatre tonneaux concentriques de deux couches chacun, à 30 et 52 cm des faisceaux, représentant 4 088 modules de silicium sur 60 m<sup>2</sup>. Enfin le TRT (*transition radiation tracker*) qui est un ensemble de 50 000 pailles de 4 mm de diamètre, entre 56 et 107 cm de l'axe.

### 1.1.3 Calorimètre électromagnétique

C'est un détecteur de particules électromagnétiques à échantillonnage, structuré en mille feuilles et en accordéon de plomb (70 tonnes) et d'argon liquide (45 m<sup>3</sup>), il forme un tonneau cylindrique de 6,8 m de longueur, avec un rayon interne de 1,15 m et un rayon externe de 2,25 m.

### 1.1.4 Calorimètre hadronique

C'est un détecteur de hadrons, ces derniers sont des particules qui ne sont pas arrêtées par les premiers détecteurs ; de structure cylindrique aussi et pesant 700 tonnes. Son rayon interne est de 2,3 mètres, son rayon externe de 4,2 mètres. La partie centrale est formée de 64 modules trapézoïdaux composés de 600 000 plaques de fer de 6 mm d'épaisseur et de 3 mètres de longueur (*élément absorbant*) et de 400 000 tuiles de scintillateurs en polystyrène transparent de 3 mm d'épaisseur (*élément actif*). Ces éléments sont perpendiculaires aux faisceaux. La lumière engendrée est proportionnelle à l'énergie déposée par les hadrons dans le scintillateur.

### 1.1.5 Détecteur de muons

Les muons sont à peu près les seules particules qui peuvent atteindre ce détecteur, avec les neutrinos, les autres étant stoppées par les détecteurs des parties intérieures. Il est construit autour d'un électro-aimant supraconducteur externe composé de 8 modules de tores rectangulaires disposés en étoile qui font 25 mètres de long pour les parties les plus externes. Les huit toroïdes engendrent un champ cylindrique qui parcourt l'espace magnétisé en boucle autour de la partie centrale. Les bobines supraconductrices sont maintenues à **-268 °C**. Le courant qui les parcourt est de 20 000 ampères. Ce détecteur externe est composé de chambres à muons qui utilisent la technique des pailles comme le TRT et couvrent 10 000 m<sup>2</sup>. En octobre 2007 les huit roues à muons ont été mises en place. Elles font 25 mètres de diamètre et pèsent entre 40 et 50 tonnes. Elles supportent chacune 80 chambres de précision ou 200 chambres de déclenchement. Il est à noter que les neutrinos ne sont pas détectés mais on peut calculer leur fuite en mesurant l'énergie manquante dans les événements reconstruits en comparant la somme des impulsions des différentes particules à l'énergie totale fournie par la collision (principe de la conservation de l'énergie).

## 1.2 Senseurs de radiation en technologie silicium

Les senseurs (ou capteurs) sont matériellement les éléments physiques de détection et qui sont les premiers à avoir une interaction avec le rayonnement incident, et de cette dernière résulte la naissance d'un signal électrique prédisposé au traitement par un système électronique de lecture. L'origine de ce signal est la formation des paires électrons-trous provoquée par le phénomène d'ionisation qui se déroule à l'intérieur de la matière du senseur lorsqu'il est soumis à un flux de radiations. Malgré le fait qu'il existe différents types de matériaux qui peuvent être utilisés pour la fabrication des senseurs (détecteurs), le silicium reste le matériau favori pour le traçage (tracking) de particules chargées dans le domaine d'application de la physique des hautes énergies. L'utilisation courante et l'adoption du silicium comme matériau de détection s'explique par le fait que ses propriétés sont bien connues et maîtrisées ajoutées à la disponibilité d'une technologie mature du process silicium. La création d'une paire électron-trou nécessite l'absorption (ou la dissipation) d'une énergie moyenne d'environ 3,6eV. De part le fait qu'il n'y a pas encore un consensus vu la complexité du

phénomène, il se trouve que dans la plus part des cas cette énergie est considérée comme étant l'énergie d'ionisation qui est donnée par la relation empirique suivante :

$$E_i = 2,8E_g + M \quad (1.1)$$

Où  $E_g$  représente le gap d'énergie, et selon le type du matériau, on a  $0 < M < 1\text{eV}$ , et il est indépendant de l'énergie de la radiation ionisante [24]. En termes d'ordre de grandeur on note que l'énergie d'ionisation pour le silicium est relativement inférieure à celle des gaz. On relève que pour une bande de gap d'énergie de 1,12 eV, le besoin au recours à une action de refroidissement des détecteurs silicium ne se fait sentir que seulement si on cible des applications à ultra faible bruit ou dans le cas ou on est dans une situation qui nécessite une atténuation des dommages causés par le flux de radiations. La densité élevée de 2,33 g/cm<sup>3</sup> conduit à une perte considérable d'énergie lorsqu'une particule ionisante traverse une épaisse couche, et pour contourner ce problème de perte d'énergie le détecteur en silicium doit être fabriqué avec une épaisseur très fine. La mobilité des électrons et des trous n'est pas très affectée par la densité élevée du matériau et reste relativement élevée ( $\mu_e = 670 \text{ cm}^2/\text{Vs}$ ,  $\mu_h = 250 \text{ cm}^2/\text{Vs}$ ), donc ceci permet ainsi une collecte rapide des porteurs de charge et par voie de conséquence on a un détecteur qui est capable de gérer un taux d'évènements élevé [3] [4]. Un avantage additionnel s'ajoute quand à l'adoption du silicium comparé à d'autres types de matériau pour détecteur suite à son utilisation intensive dans l'industrie microélectronique. D'où, on se retrouve devant la disponibilité d'une base technologique hautement développée qui garantie une production de détecteurs fiables et à faible coût.

Dans ce chapitre nous allons voir comment à partir des propriétés des détecteurs en silicium les spécifications requises pour le développement et la conception de la circuiterie du système de lecture vont être dérivées. Cependant, les détails du volet qui relève de la physique des processus de la génération et de la formation du signal électrique ne vont pas être abordés et pour le lequel de plus amples informations peuvent être trouvées dans la littérature [3] [5] [6] [7]. Concernant la lecture des porteurs de charges (ou mesure de la quantité de charges) les principaux paramètres qui rentrent en jeu, sont la plage dynamique du signal pour laquelle le circuit de

lecture devra s'en accommoder, la capacité du détecteur et son courant de fuite qui ont un impact direct sur la performance en terme de bruit, et également le temps de collecte des charges qui impose une limite minimale sur le temps de montée du signal du circuit de lecture. Un autre paramètre très important que l'on doit tenir en compte est celui de la segmentation du détecteur qui définit la résolution spatiale pour le système de lecture.

## 1.3 Principe de détection

### 1.3.1 Diodes de jonction

Nous présenterons ici les caractéristiques électriques de la jonction PN. Nous verrons que cette structure inhomogène est tout particulièrement utile pour la collection des charges créés par les interactions rayonnement-matière dans un volume de matière de détection. La compréhension des principes physiques régissant la détection de particules repose sur l'étude de ce dispositif électronique de base.

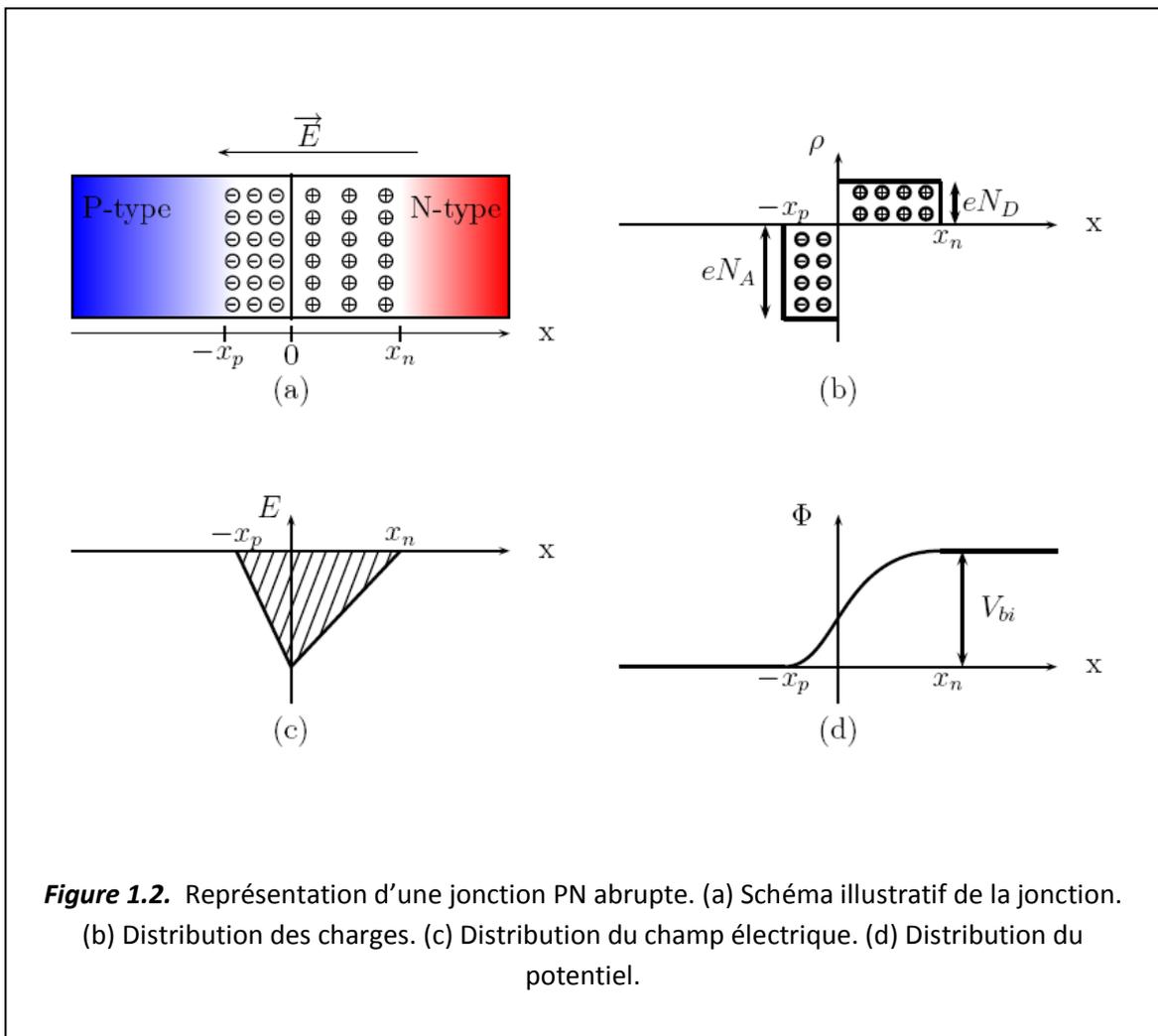
#### 1.3.1.1 Description

L'utilisation de la diode comme un dispositif de détection en silicium, représente une structure qui est parfaitement adapté à la collection des charges. Elle est composée de deux milieux juxtaposés de dopage opposés. La zone N est dopée avec des atomes donneurs en concentration  $N_D$  et la zone P avec des atomes accepteurs en concentration  $N_A$ . Une vue schématique de la jonction PN est illustrée sur la Fig. 1.2 (a). La proximité de ces deux zones induit de fort gradients de concentrations en électrons et en trous  $\nabla n$  et  $\nabla p$ , et elle provoque alors un courant de diffusion  $J_d = J_{dn} + J_{dp}$ . Les électrons migrent vers la zone P et les trous vers la zone N. Ces porteurs migrant vers des zones où ils sont fortement minoritaires, se recombinent avec les porteurs majoritaires. Il se produit alors de part et d'autre de la jonction, une zone dépourvue de porteurs libres, appelée zone de déplétion. A l'intérieur de ces zones, il ne subsiste que des dopants ionisés fixes de charge positive du côté N en concentration  $N_D$ , et négative du côté P en concentration  $N_A$ . Dans cette zone, la neutralité électrique est localement rompue. Le champ électrique E (montré sur la

figure 1.2 (c)) généré par cette répartition des charges dans l'espace, induit un courant de conduction. Ce courant s'oppose à la diffusion des porteurs libres donnant naissance à la zone de déplétion. La jonction PN se stabilise alors à un équilibre propre avec un champ  $E$  qui compense exactement les gradients de concentration en électrons et en trous. Cet équilibre global peut être mis en équation par :

$$J_n = 0 = -en\mu_n E + eD_n \nabla n \quad (1.2)$$

$$J_p = 0 = ep\mu_p E - eD_p \nabla p \quad (1.3)$$



Cet état est appelé équilibre thermodynamique. La résistivité  $\rho$  du substrat est un paramètre qui joue un rôle important. Elle est exprimée en fonction de la mobilité  $\mu_{n,p}$

des porteurs majoritaires et du dopage  $N_{D,A}$  du substrat. En considérant un substrat dopé par un dopage de type N, on écrit :

$$\rho = \frac{1}{\mu_n e N_D} \quad (1.4)$$

Le silicium utilisé dans la fabrication des détecteurs a une résistivité de l'ordre de  $\rho = 10 \text{ k}\Omega\text{cm}$ . Cela correspond à un faible dopage du substrat  $N_D = 4,4.10^{11} \text{ cm}^{-3}$ . Ces valeurs peuvent être utilisées à titre de démonstration dans des calculs numériques.

### 1.3.2 Collection des charges

La charge créée dans le substrat dépend de l'énergie d'ionisation minimale  $E_p$  (appelée aussi MIP<sup>1</sup>, [24]) qui est le seuil de l'énergie moyenne nécessaire pour la création d'une paire électron-trou. En notant  $E$  l'énergie de la particule incidente et  $n_p$  le nombre de paires électron-trou, on a :

$$n_p = \frac{E}{E_p} \quad (1.5)$$

---

<sup>1</sup> *Minimum Ionizing Particle*

Le tableau 1.1 recense les principales caractéristiques d'un certain nombre de matériaux qui sont utilisés pour la détection de particules dans les détecteurs à semi-conducteurs.

Matériau	Z	Densité	$E_g$	$E_p$	$\mu_n$	$\tau_{e^-}$	$\mu_p$	$\tau_{p^+}$
Unité		$\text{g}/\text{cm}^{-3}$	eV	eV	$\text{cm}^2/(\text{Vs})$	s	$\text{cm}^2/(\text{Vs})$	s
Si	14	2,32	1,12	3,60	1 450	$1.10^{-3}$	450	$2.10^{-3}$
Ge	32	5,33	0,67	2,96	3 900	$1.10^{-3}$	1 900	$1.10^{-3}$
AsGa	32	5,32	1,43	4,30	8 000	$10.10^{-9}$	400	$100.10^{-7}$
CdTe	50	5,85	1,52	4,43	1 100	$3.10^{-6}$	100	$2.10^{-6}$
$\text{Cd}_{0,9}\text{Zn}_{0,1}\text{Te}$	49,1	5,78	1,57	4,64	1 000	$3.10^{-6}$	80	$1.10^{-6}$
Diamant	6	3,52	5,5	13,00	1 800		1 200	
a-Si <sup>1</sup>	14	2,30	1,80	4,00	1	$7.10^{-9}$	$5.10^{-3}$	$4.10^{-6}$
a-Se	34	4,30	2,20	7,00	$5.10^{-3}$	$1.10^{-6}$	$1,4.10^{-1}$	$1.10^{-6}$
$\text{HgI}_2$	62	6,40	2,13	4,20	100	$1.10^{-6}$	4	$1.10^{-5}$
$\text{PbI}_2$	62,7	6,20	2,32	4,90	8		2	

**Tableau 1.1.** Principales caractéristiques des matériaux utilisés pour la détection de particules.

La sélection d'un matériau pour les applications de détection dépend de plusieurs paramètres :

- L'épaisseur  $d$  du substrat doit être déterminée en fonction de la durée de vie  $\tau$  des porteurs de charge et de leur vitesse de déplacement  $v$ . Elle est définie comme suit :

$$\frac{d}{v} = \frac{d}{\mu E} \ll \tau \tag{1.6}$$

<sup>1</sup> Silicium amorphe : matériau composé de silicium hydrogéné (état non cristallin)

- La largeur de la bande interdite  $E_g$  est déterminante pour le courant de fuite. Le taux de génération-recombinaison dépend de cette valeur. Ainsi, pour réduire le courant de fuite, le choix doit opter pour des matériaux ayant une large bande interdite.
- L'énergie nécessaire à la création d'une paire électron-trou (MIP) fixe le nombre de paires qui vont être créés par une particule incidente. Pour la réalisation de détecteurs possédant une bonne résolution en énergie, dans le cas de la spectroscopie par exemple, des matériaux avec une faible énergie de création de paires sont préférés.
- Pour la détection de photons de haute énergie, toute l'attention doit être portée sur la densité du matériau et sur son numéro atomique effectif  $Z$ .

L'idée d'utiliser une jonction PN pour la détection de particule consiste à dépléter entièrement le volume de détection (par exemple,  $W_d = d = 500\mu\text{m}$ ) pour faciliter la collection des charges. En effet, la déplétion permet de "vider" le volume de porteurs de charges libres et ainsi d'éviter la recombinaison des charges durant leur parcours. Par conséquent, le courant induit par les charges collectées donne une image de l'énergie de la particule incidente.

Les électrons et les trous libres créés par le rayonnement se déplacent sous l'influence d'un champ électrique dans la jonction PN. Le temps de parcours de ces charges dans le volume du détecteur est appelé temps de collection, il dépend du champ électrique  $E(x)$  qui est donné par la formule suivante :

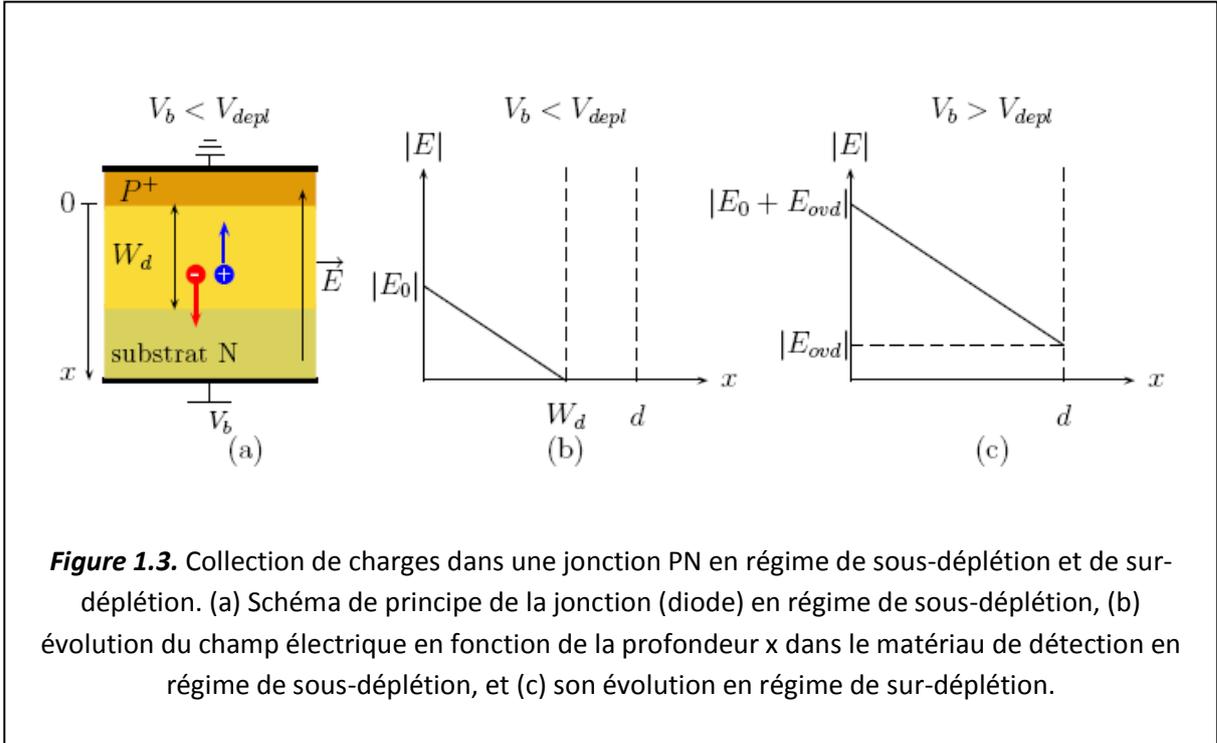
$$E(x) = \frac{2(V_b + V_{bi})}{W_d} \left( 1 - \frac{x}{W_d} \right) \quad (1.7)$$

avec  $V_b$ , la tension de polarisation inverse appliquée aux bornes de la jonction PN,  $V_{bi}$ , la barrière de potentiel de la jonction,  $W_d$ , la profondeur de déplétion, et  $x$ , la profondeur dans le volume avec  $x = 0$  sur la jonction (figure 1.3 (a)). En admettant l'hypothèse de l'absence de piège dans le substrat, on peut approximer le champ électrique dans le volume suivant la direction perpendiculaire aux électrodes, comme étant linéairement décroissante depuis son maximum (à la jonction PN) jusqu'à zéro (sur le contact du *backplane*).

Généralement, pour s'assurer que le volume est entièrement déplété, la tension de polarisation est toujours supérieure à la valeur limite de déplétion totale  $V_b > V_{depl}$ , on dit que le détecteur est sur-déplété. La tension au-delà de  $V_{depl}$  ajoute alors une composante uniforme au champ électrique :

$$E(x) = \underbrace{\frac{2V_{di}}{d}}_{E_0} \left(1 - \frac{x}{d}\right) + \underbrace{\frac{V_b - V_{di}}{d}}_{E_{ovd}} \quad (1.8)$$

Avec  $V_{di} = V_{depl} + V_{bi}$ , étant définie comme la tension interne de déplétion, et  $E_{ovd}$ , la composante uniforme du champ électrique rajoutée par la sur-déplétion. Les profils du champ électrique en fonction de la distance  $x$  aux électrodes dans le semi-conducteur sont présentés sur la figure 1.3.



**Figure 1.3.** Collection de charges dans une jonction PN en régime de sous-déplétion et de sur-déplétion. (a) Schéma de principe de la jonction (diode) en régime de sous-déplétion, (b) évolution du champ électrique en fonction de la profondeur  $x$  dans le matériau de détection en régime de sous-déplétion, et (c) son évolution en régime de sur-déplétion.

La sur-déplétion permet la réduction du temps de parcours des charges  $t(x)$ . Pour une charge qui commence son parcours à partir d'une position  $x_0$  jusqu'à une position  $x$  quelconque,  $t(x)$  peut être déterminé à partir de l'expression de l'équation de la vitesse de déplacement locale des porteurs de charges ( $v(x) = \mu E(x)$ ) :

$$t(x) = \int_{x_0}^x \frac{1}{v(x)} dx = \frac{1}{\mu} \int_{x_0}^x \frac{1}{E_0 \left(1 - \frac{x}{d}\right) + E_{ovd}} dx$$

$$t(x) = \frac{d}{\mu E_0} \ln \left[ \frac{E_0 + E_{ovd} - E_0 \left(\frac{x}{d}\right)}{E_0 + E_{ovd} - E_0 \left(\frac{x_0}{d}\right)} \right]$$

$$t_c = \frac{d}{\mu E_0} \ln \left( 1 + \frac{E_0}{E_{ovd}} \right) \quad (1.9)$$

Cette équation est valable aussi bien pour un électron ( $\mu = \mu_n$ ) que pour un trou ( $\mu = \mu_p$ ). Dans le cas d'une sur-déplétion très importante  $E_{ovd} \gg E_0$ , on peut faire l'approximation suivante :

$$\ln \left( 1 + \frac{E_0}{E_{ovd}} \right) \approx \frac{E_0}{E_{ovd}}$$

Et l'expression du temps de collection deviendra alors :

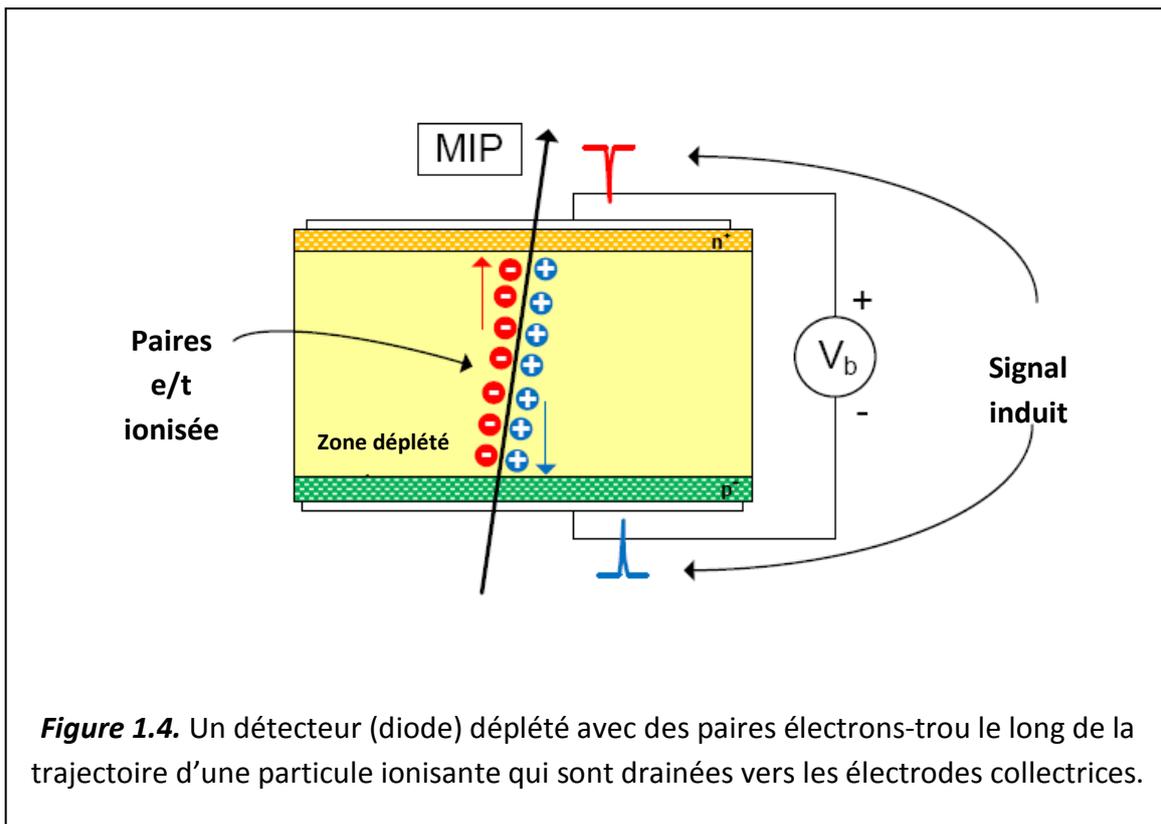
$$t_c \approx \frac{d}{\mu E_{ovd}} \quad (1.10)$$

L'expression du temps de collection donné par l'équation 1.9 peut être réécrite en termes de tension.

$$t_c = \frac{d^2}{2\mu V_{di}} \ln \left( \frac{V_b + V_{di}}{V_b - V_{di}} \right) \approx \frac{d^2}{\mu (V_b - V_{di})}, \quad (E_{ovd} \gg E_0) \quad (1.11)$$

### 1.3.3 Formation du signal

Le phénomène de collection des charges par l'intermédiaire d'électrodes n'est pas directement lié à la formation du signal électrique, car le responsable de ce dernier n'est autre que le mouvement des porteurs de charge. A partir de l'instant de création des paires électron-trou, les porteurs positifs et négatifs se retrouvent séparés par le champ électrique régnant dans le volume de détection. Ainsi, pendant que les deux types de porteurs font leur chemin chacun à son électrode respective de destination, un signal de courant électrique est simultanément induit sur les deux électrodes collectrices comme il est illustré dans la Fig. 1.4. Le flux du courant électrique apparaît instantanément dès lors que les porteurs de charge entrent en mouvement, et de ce fait le détecteur pourra être considéré (modelé) comme une source de courant.



**Figure 1.4.** Un détecteur (diode) déplété avec des paires électrons-trou le long de la trajectoire d'une particule ionisante qui sont drainées vers les électrodes collectrices.

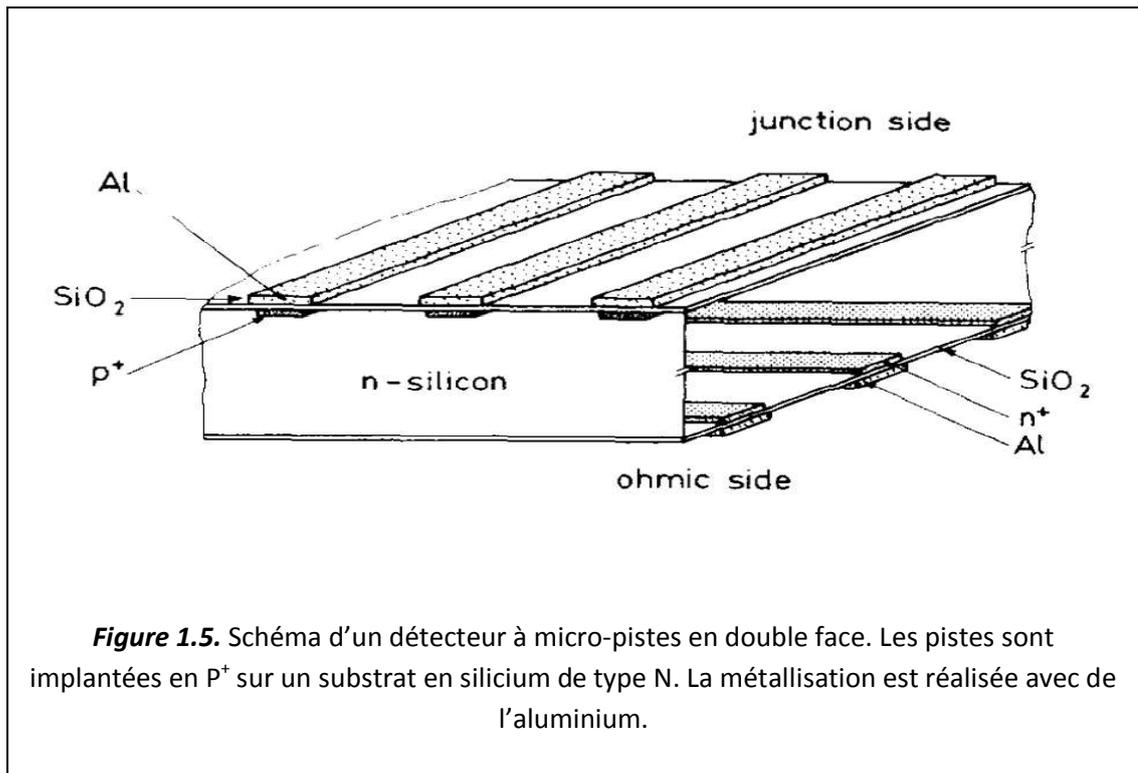
## 1.4 Segmentation des détecteurs

La segmentation des électrodes est nécessaire si l'on veut obtenir de l'information sur la position de la particule incidente. Le développement des détecteurs a connu une avancée considérable, depuis le milieu du vingtième siècle jusqu'à aujourd'hui leur évolution n'a pas cessé de croître grâce aux innovations spectaculaires des procédés technologiques de fabrication de l'industrie des semi-conducteurs. Parmi les progrès fulgurants, on citera ceux des années 1970 liés à la maîtrise des opérations d'oxydation du silicium, et à la réalisation de jonction *PN* par implantation ionique et par les procédés de lithographie. Ainsi, le cumul des innovations technologiques a conduit à la fabrication en 1980 du premier volume de détection entièrement déplété [8]. Ce détecteur avait été conçu à base d'une diode en silicium de **100 $\mu$ m** d'épaisseur qui fonctionne sous une tension de polarisation en inverse de **100 V**.

### 1.4.1 Détecteurs segmentés en pistes

Au fil des années et des progrès technologiques, différents concepts ont vu le jour avec pour but d'obtenir une information spatiale sur le rayonnement détecté. Parmi les concepts de détection, il ya celui qui utilise le principe de la division des charges sur une piste résistive [3]. Des électrodes qui permettent la collection des porteurs de charges, sont disposées de chaque coté de cette piste et de cette façon le rapport des amplitudes entre les signaux récupérés sur chacune des électrodes permet de donner une estimation sur la position initiale des charges. Un autre principe plus simple, mais coûteux en électronique de lecture, consiste à diviser la diode en plusieurs régions parallèles et à lire chacune de ces régions séparément. Ces détecteurs ont été divisés en pistes (*détecteurs à micro-pistes*) [9] [10] délivrant une information spatiale sur une dimension. Toutes les pistes sont des diodes fabriquées par implantation ionique, sur lesquelles un dépôt métallique a été réalisé afin de permettre la lecture des signaux. Par l'intermédiaire des files de connexion (**wire-bonding**) une électronique de lecture est ensuite connectée à l'extrémité de ces pistes. Pour avoir une information en deux dimensions, deux épaisseurs de micro-pistes rapprochées et orientées dans des directions différentes seront nécessaires. Le schéma général d'un détecteur à micro-pistes avec une double face est illustré dans la figure 1.5. Le premier détecteur à micro-pistes double faces a été réalisé en 1989 [11].

La position d'une interaction dans le plan est déterminée lorsqu'un signal est détecté simultanément sur une piste de chacun des deux plans. Le principal inconvénient de ce concept technologique vient du risque d'ambiguïté lorsque plusieurs interactions quasi-simultanées surviennent.

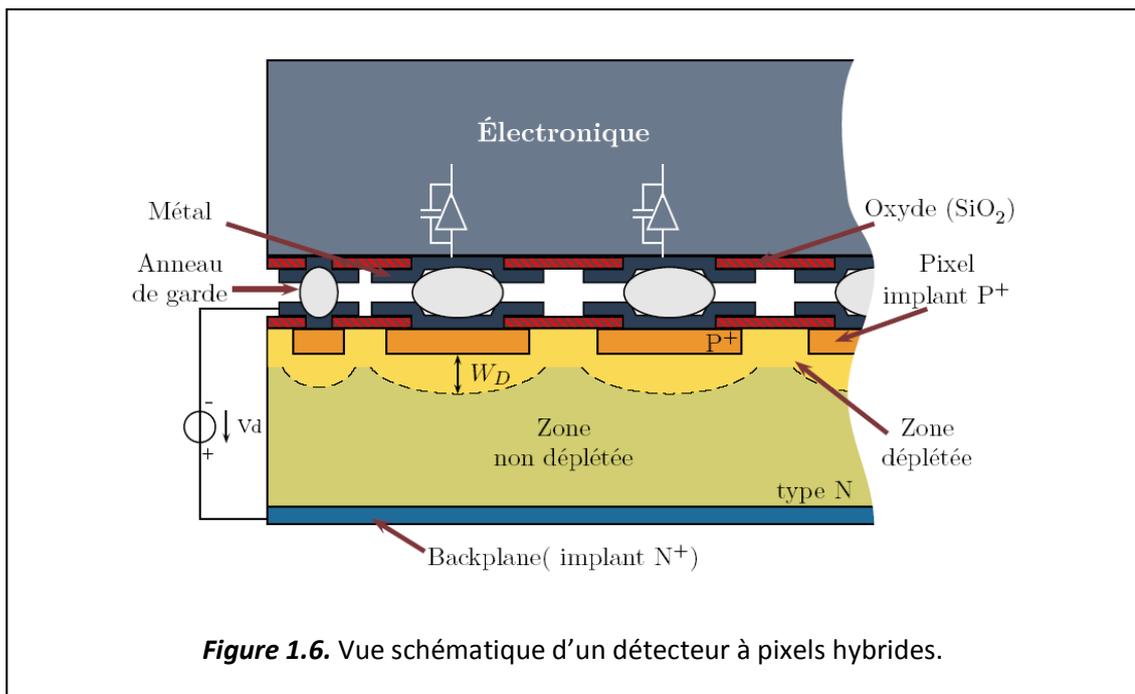


#### 1.4.2 Détecteurs à pixels

Une segmentation en pixel offre l'avantage de fournir une information fidèle sur la position en deux dimensions et sans aucune ambiguïté. Leur résolution spatiale est similaire à celle des détecteurs à pistes en double faces. Aussi, la surface très petite de la cellule pixel détectrice engendre à la fois une faible capacité et un faible courant de fuite. Les dimensions typiques des pixels qui sont utilisées dans les expériences de la physique des particules ( $125 \times 125 \mu\text{m}^2$  ou  $50 \times 400 \mu\text{m}^2$ ) offre une capacité du détecteur par pixel dans un ordre de grandeur qui tourne autour de 200fF.

Cependant, une des difficultés dans la réalisation d'un détecteur à pixel provient de la grande densité de connexions requise pour la lecture de chaque pixel Fig. 1.6. Ajouté à cette difficulté, une contrainte supplémentaire impose que le capteur pixel et son électronique de lecture doivent tout les deux avoir une même segmentation géométrique. Une technologie dite de *flip-chip* [12] est utilisée pour réaliser la connexion des deux parties. En comparaison avec d'autres méthodes de connexions,

cette technologie présente l'intérêt particulier de découpler la partie capteur de la partie électronique. Il est alors possible d'utiliser des substrats (*volume de détection*) spécifique avec des densités supérieures à celle du silicium (*AsGa, Cd(Zn)Te,...*). L'électronique quand à elle est fabriquée avec des technologies usuelles de l'industrie du semi-conducteur, ce qui permet de cibler et de choisir des process à forte intégration de transistors et ainsi de pouvoir implanter dans chaque pixel une intelligence et une chaîne de traitement du signal complète.



# Chapitre (II)

## Chapitre 2 Amplificateur de charges (CSA)

---

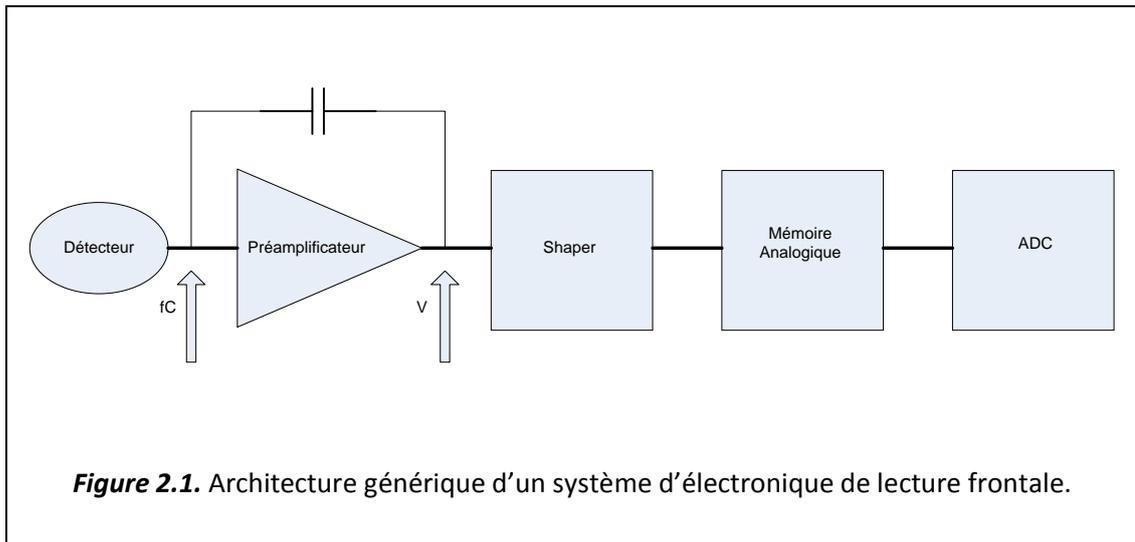
### 2.1 Introduction

Cette partie du travail de la thèse présente l'étude théorique et conceptuelle du module de la préamplification d'une chaîne d'électronique de lecture frontale dédiée aux détecteurs, et elle est basée sur une technologie CMOS mixte analogique et digitale.

L'optimisation des performances d'une électronique frontale n'est pas simple, elle passe par l'affranchissement de différents défis dictés d'une part par les contraintes du domaine d'application et d'autre part par les limites de la technologie ciblée. Le bloc fonctionnel le plus critique est le premier étage amplificateur qui est directement interfacé avec le détecteur, dont le rôle principal est de séparer le signal du bruit. La satisfaction des performances requises pour toute l'électronique frontale et pour le préamplificateur en particulier nécessite l'exploration de différentes architectures, des techniques de circuiteries, et une investigation au niveau transistor. Tout cela doit se faire en tirant bénéfice de tous les avantages que la technologie ciblée pourra nous offrir tout en faisant attention aux contraintes de cette dernière.

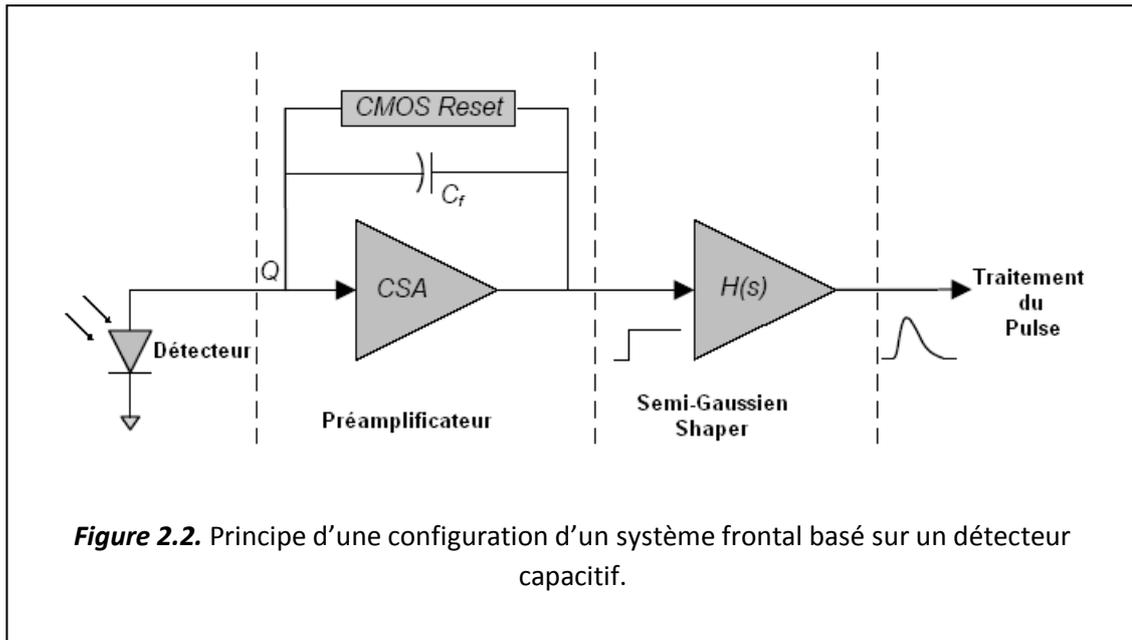
### 2.2 Architecture d'un système d'électronique frontale

Les types de blocs fonctionnels qui entrent dans la composition d'une chaîne de lecture varient suivant la nature de l'application (spectroscopie d'énergie, comptage, etc....) et suivant le détecteur utilisé. Un exemple simple et basique d'un système de chaîne de lecture est montré dans la figure 2.1.



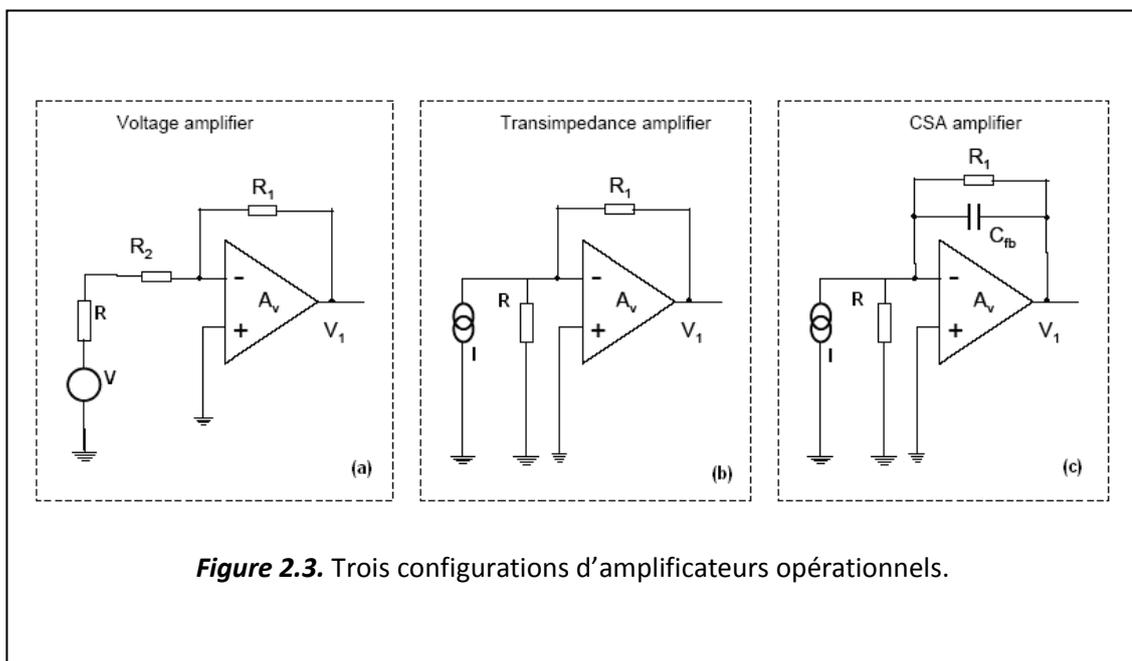
La sortie du détecteur est interfacée avec l'entrée du premier bloc fonctionnel de la chaîne de lecture. C'est un préamplificateur qui est nécessaire pour la séparation du bruit et pour la récupération du signal avec une certaine amplification préliminaire. Après l'opération d'une pré-amplification à faible bruit efficace et acceptable, vient le rôle du système de traitement du pulse avec ou sans amplification additionnelle selon les exigences requises. Le bloc fonctionnel dénommé **Shaper** effectue une opération de filtrage, d'amplification, et de mise en forme du signal. Les autres blocs prennent en charge les opérations d'acquisitions et du traitement numérique.

Cependant, comme les détecteurs pixels utilisés dans le projet ATLAS sont du type diode en silicium polarisée en inverse, ils se comportent donc comme un dispositif capacitif avec une impédance élevée qui délivre à sa sortie un faible signal. De ce fait, une importance capitale est accordée aux performances du préamplificateur. Pour ce genre de détecteurs, un amplificateur opérationnel intégrateur (*muni d'une contre réaction capacitive*) est souvent utilisé dans la majorité des cas. Le principe général d'une configuration d'un système de lecture frontal à base de détecteur capacitif est illustré dans la figure 2.2 ci-dessous.



### 2.3 Sélection du préamplificateur frontal

Trois configurations basiques d'amplificateurs peuvent être envisagées, elles sont montrées dans la figure 2.3.



### 2.3.1 Amplificateur de tension : Voltage amplifier

Un amplificateur de tension comme son nom l'indique est destiné pour l'amplification de signaux qui proviennent d'une source de tension Fig. 2.3 (a). Ce type d'amplificateur de tension possède un gain de  $-R_1/(R_2 + R)$ , où R représente la résistance de sortie de la source de tension. Ainsi, dans la mesure où on veut avoir une valeur d'un gain pratiquement exploitable, la résistance  $R_1$  va devoir être augmentée à un ordre de grandeur qui est non faisable du point de vu pratique. Assi, cet amplificateur souffre de la source de bruit présenté à son entrée via l'impédance constituée de  $R_1$  et de  $R_2$ .

### 2.3.2 Amplificateur à transimpédance

Avec ce type d'amplificateur il sera question d'amplifier des signaux originaires d'une source de courant Fig. 2.3 (b). La fonction de transfert dans ce cas de figure est donnée par  $V_{out}/I_{in}$  et elle vaut  $-R_1$ . Cet amplificateur souffre également des mêmes inconvénients que ceux de l'amplificateur de tension.

### 2.3.3 Amplificateur de charges (CSA)

Pour ce type d'amplificateur il sera question comme pour le précédent amplificateur d'une amplification de signaux originaires d'une source de courant Fig. 2.3 (c). Cependant, le principe de fonctionnement du CSA présente une particularité spécifique qui consiste en une intégration active de charges ( $q$ ) par l'intermédiaire de la capacité de contre réaction  $C_{fb}$ . Sa fonction de transfert est donnée par  $V_{out}/q_{in}$ , et elle est approximée à  $-1/C_{fb}$ . La résistance  $R_1$  est montée en parallèle avec la capacité de contre réaction  $C_{fb}$ , elle permettra une réinitialisation de cette dernière, et sa valeur est choisie de manière à ce que l'on obtient la constante de temps RC requise pour la décharge de  $C_{fb}$ . Cette configuration présente une bonne performance en termes de bruit, puisque un choix approprié de la valeur de  $C_{fb}$  permet d'obtenir une faible impédance sur la plage de fréquence qui nous intéresse. Mais la particularité forte intéressante de ce type d'amplificateur est l'indépendance de son gain vis-à-vis des variations de la capacité du détecteur, laquelle elle reste difficile à déterminer.

Parmi ces trois configurations d'amplificateurs, il ressort parfaitement que la configuration du CSA est le choix idéal pour le domaine d'application des détecteurs pixels.

## 2.4 Rôle du CSA dans un système d'électronique frontale

Directement interfacé avec le détecteur, le CSA représente la partie la plus critique de tout le système de la lecture frontale. L'étude de ce bloc fonctionnel sera discutée en détail dans ce chapitre. La conception du CSA s'articule en premier lieu sur la faible consommation et sur le minimum de bruit. Ces objectifs peuvent être atteints avec l'adoption d'une architecture adéquate, une conception judicieuse du transistor d'entrée, puis ensuite vient celle des éléments constitutifs de l'amplificateur ainsi que celle du réseau de polarisation. Un des défis des systèmes CMOS de lecture frontale qui sera discuté également dans ce chapitre est celui de l'implémentation de la résistance de contre réaction.

Le rôle primaire du CSA dans un système de lecture frontale est l'intégration du signal qui arrive sur la sortie du détecteur sous forme d'un train de charges. Ces pulsations de charges seront converties et délivrées en sortie du CSA sous forme de pulsations de tensions. Cette conversion est effectuée par l'intermédiaire de la capacité de contre réaction du CSA. L'autre rôle important du CSA dans le système en question est la suppression du bruit. La performance en termes de bruit est déterminée par la contribution de l'amplificateur lui-même combiné avec celle de l'impédance observé au niveau de l'entrée du CSA.

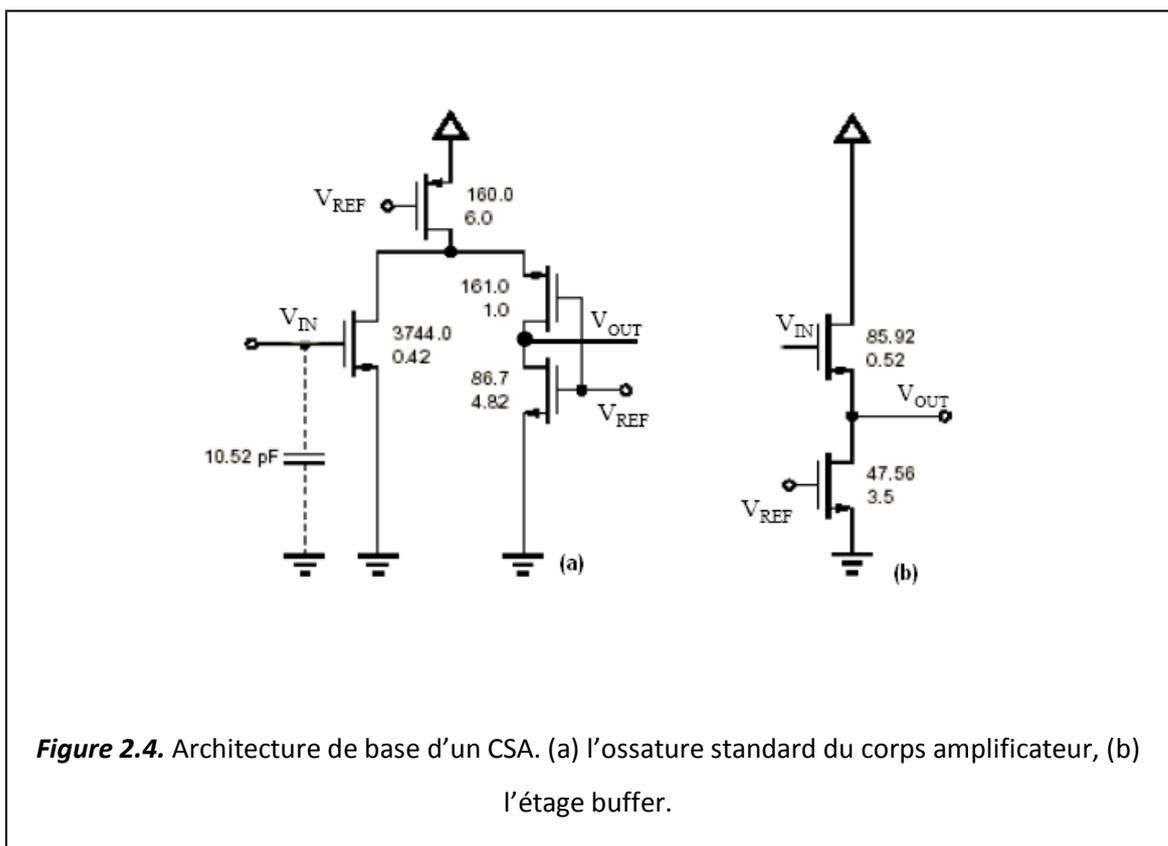
L'optimisation des performances de tout amplificateur doit se faire selon un cahier des charges bien déterminé. Ce dernier peut cibler l'optimisation de la performance soit pour l'ensemble des paramètres ou soit de façon sélective. Les critères d'optimisation varient considérablement selon les types d'applications et leurs exigences. Plusieurs travaux de recherches ont concentrés les efforts sur l'optimisation du CSA en termes de faible bruit [13], [14], [15], [16]. Dans certains de ces travaux, comme dans [16] et [17] d'autres aspects d'importance secondaire ont été abordés comme celui de la

conception de la résistance de contre réaction, du dépassement par le bas (*undershoot*), et de l'empilement sur la sortie du CSA.

### 2.4.1 Description et analyse du CSA

Avant d'aborder les aspects liés au principe de fonctionnement du CSA en tant qu'entité globale (*bloc fonctionnel*), nous passerons en revue ses aspects internes au niveau transistor et au niveau cellules de bases.

La figure 2.4 donne un aperçu éclaté du CSA, un étage amplificateur et un étage buffer, Fig. 2.4 (a), et (b) respectivement. Parmi les pionniers qui ont mené des études sur ce type d'architecture on peut citer le travail de *E. Sexauer* [18] et lequel a été amélioré un peu plus tard par *S. Lochner* [19]. L'ordre de grandeur des dimensions des différents transistors est donné à titre d'indication en unité micrométrique (*les valeurs en position haute représentent la largeur <math>\langle W \rangle</math> de la grille, alors que ceux du bas représentent la longueur <math>\langle L \rangle</math> du canal*). Le corps amplificateur du CSA est du type *Folded Cascode* (*cascode replier*). L'étage buffer est une configuration source suiveur.



**Figure 2.4.** Architecture de base d'un CSA. (a) l'ossature standard du corps amplificateur, (b) l'étage buffer.

Les principales caractéristiques requises pour le CSA sont les performances d'un large gain en boucle ouverte et d'une bonne atténuation du bruit, pour laquelle dans une technologie CMOS signifie l'utilisation d'un transistor d'entrée avec une large transconductance  $g_m$ . Par conséquent des techniques de circuiterie et de *layout* (*dessin de masque*) seront nécessaires pour parvenir à surmonter certaines contraintes dues à :

- Des éléments parasites, qui selon le cas seront pris en considération ou pas.
- L'augmentation de la capacité de la grille, du drain, et de la source qui rend plus difficile l'optimisation de la vitesse et de la stabilité.
- La variation du process de fabrication.

Le CSA peut être conçu soit à base d'un transistor d'entrée du type NMOS soit du type PMOS. L'adoption du type NMOS est choisie pour sa rapidité qui est supérieure à celle du type PMOS dont la mobilité est relativement faible. L'architecture *folded cascode* du CSA Fig. 2.4 (a) est composée d'une combinaison d'un étage en configuration source-commune et d'un étage replié (folded) en configuration amplificateur grille-commune, la raison derrière cette combinaison est décrite dans ce qui suit.

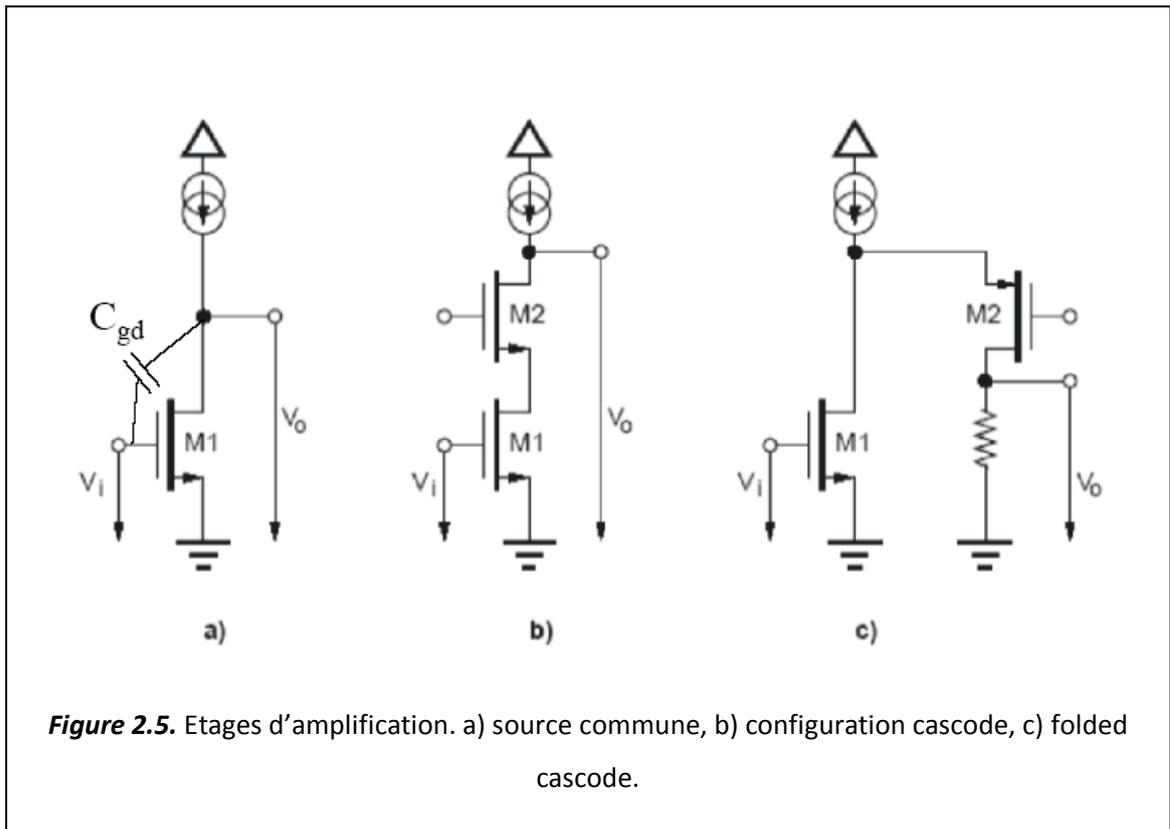
L'amplificateur en mode source commune montré dans la figure 2.5 (a) possède un gain dont l'expression est donnée sous la forme de  $g_m \times R$ , où  $R$  représente la résistance de la source de courant. Avec une conception judicieuse, son gain peut atteindre un ordre de grandeur relativement élevé ( $\sim 1000$ ). L'inconvénient de cette configuration vient du fait que la capacité parasite  $C_{gd}$  située entre la grille et le drain se retrouve multipliée par le gain, c'est le phénomène bien connu de l'effet *Miller*. L'application du théorème de Miller stipule le remplacement de la capacité  $C_{gd}$  par une capacité Miller  $C_m$  entre la grille et la masse, dont la valeur est donnée par  $C_{gd}(1 + g_m R)$ . Ainsi, ce circuit peut être considéré comme un filtre passe bas avec une fréquence de coupure  $f_c = 1/2\pi C_m R_{in}$ .

La capacité Miller peut être réduite par la réduction du gain de l'amplificateur, en utilisant plusieurs de ces amplificateurs en cascade on recouvre de cette façon le gain perdu. Cependant, cette solution conduit à une détérioration en termes de stabilité et de bruit. Une autre façon de réduire l'effet de la capacité Miller existe, elle consiste en l'incorporation d'un second transistor MOS en série avec M1, comme illustré dans la figure 2.5 (b). Le circuit en question est appelé configuration cascode dans lequel M2 fonctionne comme un amplificateur en mode grille-commune et il est caractérisé par les équations suivantes :

$$\text{Résistance d'entrée} \quad R_{in} = \frac{1}{(g_{m2} + g_{m2\_bs})} \left( 1 + \frac{r_{0(m)}}{r_{02}} \right) \quad (2.1)$$

$$\text{Gain en tension} \quad A_v = (g_{m2} + g_{m2\_bs}) (r_{02} // r_{0(m)}) \quad (2.2)$$

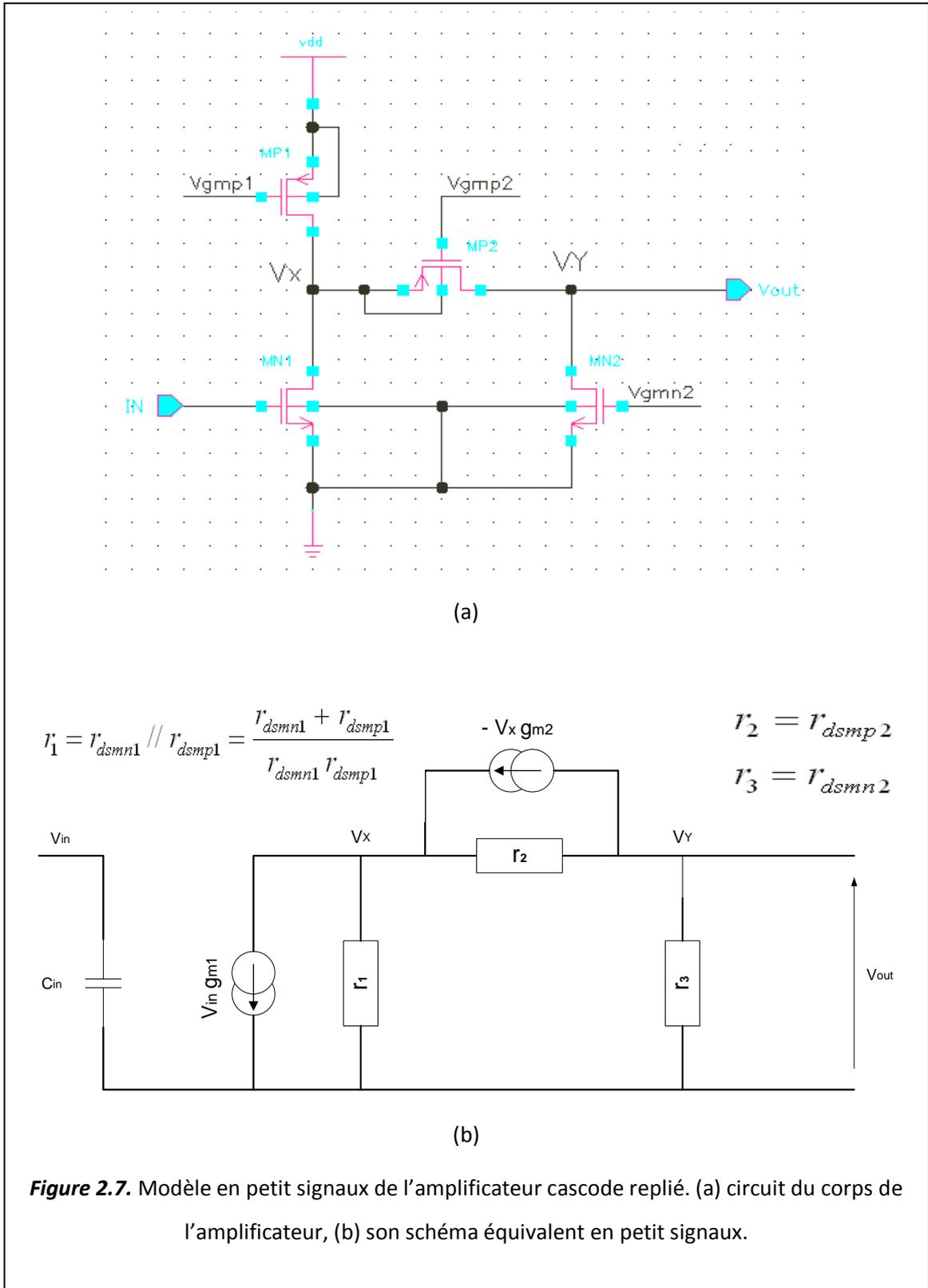
$$\text{Résistance de sortie} \quad R_{out} = (r_{02} // r_{0(m)}) \quad (2.3)$$



Où  $g_{m2_{bs}}$  représente une transconductance additionnelle causée par le fait que la source du transistor M2 ne soit pas connectée au substrat,  $r_{o2}$  et  $r_{o(m)}$  sont respectivement les résistances de sortie de M2 et de la source de courant. Pour des raisons de simplicité, le transistor M1 est considéré comme une source de courant idéale contrôlée en tension. Dans cette configuration le phénomène de la capacité Miller a été éliminé virtuellement du chemin de la contre-réaction.

Pour obtenir une bonne immunité au bruit avec un gain en boucle ouverte le plus élevé possible, on a besoin de faire fonctionner le transistor d'entrée avec un fort courant de drain afin d'avoir une transconductance  $g_m$  élevée qui est requise par les performances en question. Dans le cas de la configuration cascode, l'utilisation d'un tel flux de courant engendrera une réduction de la résistance de sortie ce qui provoque une diminution du gain global de l'amplificateur. Le circuit de la configuration **folded cascode** Fig. 2.5 (c) permet justement de contourner ce problème à travers le repliement (*folding*) du transistor M2 monté en mode grille-commune. Ceci requiert des éléments additionnels mais par contre cela permet de faire fonctionner M2 (en mode grille-commune) avec un faible courant et donc avec une résistance de sortie élevée. Ce type d'amplificateur cascode replié a été imaginé par V. Radeka pour les électroniques de lecture des détecteurs à micro-piste [20]. L'utilisation de la technologie CMOS RF 0.18 $\mu\text{m}$  (01 poly + 06 niveaux de métal) de la fonderie de TSMC nous impose une limite sur la tension d'alimentation autour de **2V**, mais en même temps elle satisfait l'exigence de la faible consommation. En revanche, cette faible tension d'alimentation rend difficile la tâche de la conception d'une cellule de lecture qui combine un gain élevé, une bonne linéarité, et une large dynamique en amplitude.





$$G(s) = \frac{v_{out}}{v_{in}} = \frac{A_{v0}}{\left(1 + j \frac{\omega}{\omega_x}\right) \left(1 + j \frac{\omega}{\omega_y}\right)} \quad (2.4)$$

L'expression analytique du gain DC  $A_{v0}$  est déterminée à travers la résolution des équations aux nœuds  $v_x$  et  $v_y$ .

$$\begin{aligned} (1) \quad v_{in} g_{m1} + \frac{v_x}{r_1} + \frac{v_x - v_y}{r_2} + v_x g_{m2} &= 0 \\ (2) \quad \frac{v_y}{r_3} - \frac{v_y - v_x}{r_2} - v_x g_{m2} &= 0 \end{aligned} \quad (2.5)$$

Avec  $g_{m1}$  et  $g_{m2}$  respectivement la transconductance du transistor d'entrée MN1 et la transconductance du transistor MP2. Aussi, il faut noter que  $v_y$  représente en même temps la tension de sortie  $v_{out}$ .

La combinaison des expressions (1) et (2) de l'équation 2.5 permet de déduire l'expression du gain DC de l'amplificateur cascode replié sous la forme suivante :

$$A_{v0} = \frac{v_{out}}{v_{in}} = - \frac{g_{m1} r_1 (1 + g_{m2} r_2) r_3}{(r_1 + r_2 + r_3) + g_{m2} r_2 r_1} \quad (2.6)$$

L'analyse de l'équation 2.6 montre bien que l'optimisation du gain en boucle ouverte  $A_{v0}$  est dominée principalement par l'optimisation de la transconductance  $g_{m1}$  du transistor d'entrée et celle de la résistance  $r_{dsmn2}$  du transistor MN2. Ainsi, on considérant  $g_{m2} r_2 \gg 1$  avec une résistance  $r_3$  élevée, le gain DC  $A_{v0}$  peut être estimé sous la forme simplifiée qui suit :

$$A_{v0} = - g_{m1} r_3 \quad (2.7)$$

Les pôles essentiels de l'amplificateur cascode replié (représenté sur la figure 2.6) sont ceux rencontrés sur le chemin critique du signal. Ainsi, on distingue deux pôles, dont l'un est associé au nœud  $V_Y$  et représente le pôle dominant, et un pôle secondaire associé au nœud  $V_X$ .

L'expression du pôle dominant est exprimée en fonction de la résistance totale et en fonction de l'ensemble des capacités présentes au nœud  $V_Y$ .

$$\omega_y = \frac{1}{R_{out} C_{out}} \quad (2.8)$$

L'investigation du nœud  $V_X$  montre qu'il englobe une capacité totale  $C_x$  formé par les capacités :  $C_{xmp1}$  vue sur le drain du transistor MP1,  $C_{xmp2}$  vue sur la source du transistor MP2, et  $C_{xmn1}$  vue sur le drain du transistor MN1. Les expressions de ces différentes capacités sont données comme suit :

- $C_{xmp1} = C_{gd\_mp1} + C_{db\_mp1}$
- $C_{xmp2} = C_{gs\_mp2} + C_{sb\_mp2}$
- $C_{xmn1} = C_{gd\_mn1\_miller} + C_{db\_mn1}$

Parmi les capacités induites sur le nœud  $V_x$  on note la capacité particulière  $C_{gd\_mn1\_miller}$ , elle représente l'influence de la capacité grille-drain du transistor MN1 sur le nœud  $V_x$  par effet Miller. Son expression est donnée sous la forme suivante :

$$C_{gd\_mn1\_miller} = C_{gd\_mn1} \left( 1 + \frac{1}{g_{m1} R_x} \right) \quad (2.9)$$

Où  $g_{m1}$  représente la transconductance du transistor d'entrée MN1, et  $R_x$  la résistance totale vue sur le nœud  $V_x$ .

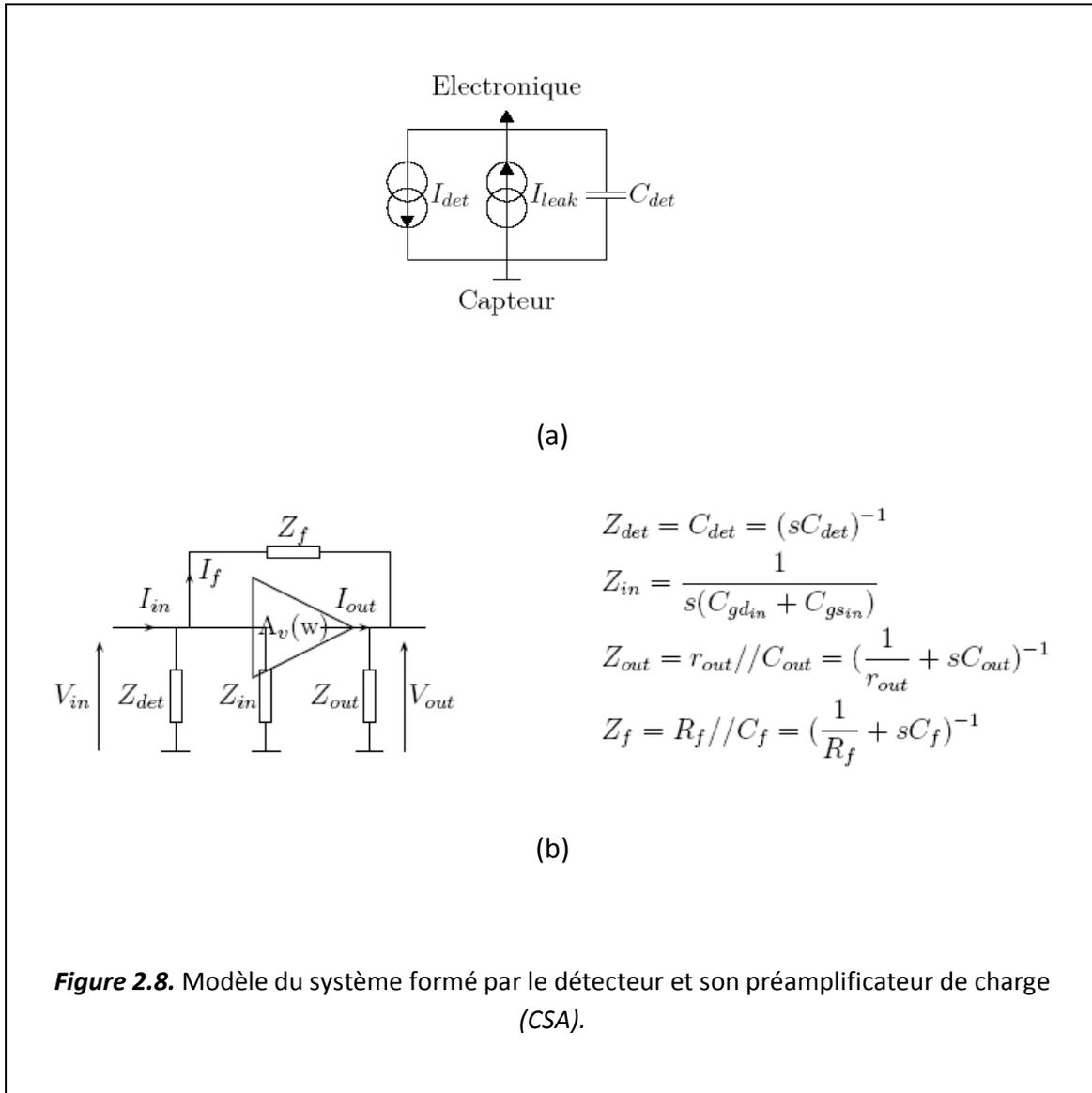
Le pole secondaire sera estimé à travers l'expression suivante :

$$\omega_x = \frac{1}{R_x C_x} \quad (2.10)$$

### 2.4.3 Fonction de transfert de l'architecture globale du CSA

On utilisera le modèle décrit dans la figure 2.8 pour mener l'étude fréquentielle de l'amplificateur de charge (CSA). Le modèle donne une représentation de l'interfaçage du détecteur avec le préamplificateur et de sa capacité de contre réaction  $C_f$ .

L'impédance du détecteur pixel est déterminée selon le modèle de la figure 2.8 (a). Alors que l'impédance d'entrée du préamplificateur est pratiquement considérée comme étant purement capacitive ( $C_{in} = C_{gdin} + C_{gsin}$ ). Le circuit de la contre-réaction est constitué d'une capacité d'intégration des charges et d'une résistance de décharge.



Le courant d'entrée sera ainsi exprimé sous la forme de l'expression suivante :

$$i_{in} = \frac{v_{in}}{Z_{in} // Z_{det}} + (v_{in} - v_{out}) \left( \frac{1}{R_f} + sC_f \right) \quad (2.11)$$

En ne retenant que le pole principal au nœud de sortie  $Y (w_0 = 1/r_{out} C_{out})$ , et en utilisant l'expression du gain de l'amplificateur cascode replié, équation 2.4, on remplace  $v_{in}$  dans l'équation 2.11 et on obtient alors le gain du préamplificateur de charge (CSA) sous la forme suivante :

$$-\frac{v_{out}}{i_{in}} = \frac{A_{v0}}{\left( \frac{A_{v0} - 1}{Z_f} - \frac{1}{Z_{in} // Z_{det}} \right) - \frac{s}{w_0} \left( \frac{1}{Z_{in} // Z_{det}} + \frac{1}{Z_f} \right)} \quad (2.12)$$

En utilisant les expressions respectives des différentes impédances données sur la figure 2.8, on réécrit le gain  $v_{out}/i_{in}$  sous la forme qui suit :

$$-\frac{v_{out}}{i_{in}} = \frac{A_{v0}}{\frac{A_{v0} - 1}{R_f} + \frac{s}{w_0} \left( \frac{1}{R_f} - C_{det} - C_{in} + (A_{v0} - 1)C_f \right) - \frac{s^2}{w_0} (C_{det} + C_{in} + C_f)} \quad (2.13)$$

La capacité de contre-réaction  $C_f$  qui est très faible devant la capacité du détecteur est fixée de telle sorte que l'on obtient un fort gain de conversion et donc un gain DC  $A_{v0}$  de l'amplificateur cascode replié suffisamment élevé pour qu'on puisse valider la relation suivante :

$$A_{v0} C_f \gg C_{det} \gg C_f \quad (2.14)$$

En remplaçant  $A_{v0}$  et  $w_0$  par leurs expressions respectives données par les équations 2.7 et 2.8, l'équation 2.13 devient alors sous la forme suivante :

$$-\frac{v_{out}}{i_{in}} = \frac{R_f}{1 + sR_f C_f - s^2 \left[ \frac{R_{out}}{g_{m1} r_3} R_f C_{out} (C_{det} + C_{in} + C_f) \right]} \quad (2.15)$$

On réécrit l'équation 2.15 sous une autre forme plus adaptée qui nous facilite la détermination des pôles de la fonction de transfert de l'amplificateur de charge.

$$H(s) = \frac{R_f}{(1 + s\tau_r)(1 + s\tau_f)} \quad (2.16)$$

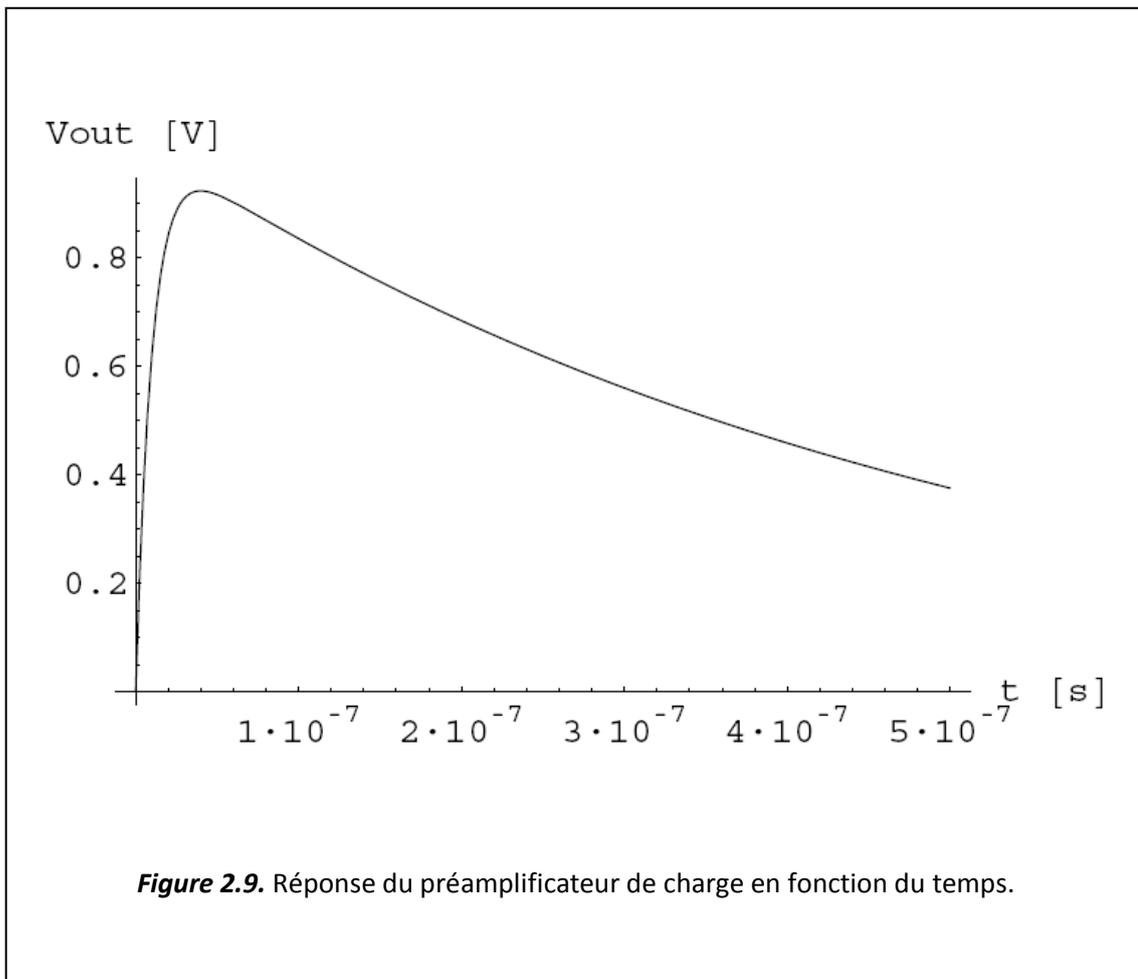
Avec :

- $\tau_r = \frac{R_{out}}{g_{m1} r_3} \frac{C_{out}}{C_f} (C_{det} + C_{in} + C_f)$ , le temps de montée
- $\tau_f = R_f C_f$ , le temps de décharge

La réponse temporelle de l'amplificateur de charge (CSA) à un signal pulse de courant muni d'une charge  $Q_{signal}$  est obtenue par l'application de la transformée inverse de Laplace à l'équation 2.15. Cette réponse est sous la forme de l'expression suivante :

$$V_{out}(t) = -\frac{Q_{signal}}{C_f} \frac{\tau_f}{\tau_f - \tau_r} \left( 1 - e^{-t \frac{\tau_f - \tau_r}{\tau_f \tau_r}} \right) e^{-\frac{t}{\tau_f}} \quad (2.17)$$

La représentation graphique de l'équation 2.17 est montrée ci-après sur la figure 2.9.



## 2.5 Conclusion

Dans ce chapitre, nous avons abordés les principaux aspects qui nous ont amenés à opter pour le choix d'un amplificateur de charge (CSA). A travers une étude détaillée du modèle en petit signaux de la topologie de notre CSA nous avons déduit le gain en boucle ouverte ( $A_{v0}$ ) et nous avons mis en évidence l'équation caractéristique de sa fonction de transfert.

# Chapitre (III)

## Chapitre 3 Résultats de simulation

---

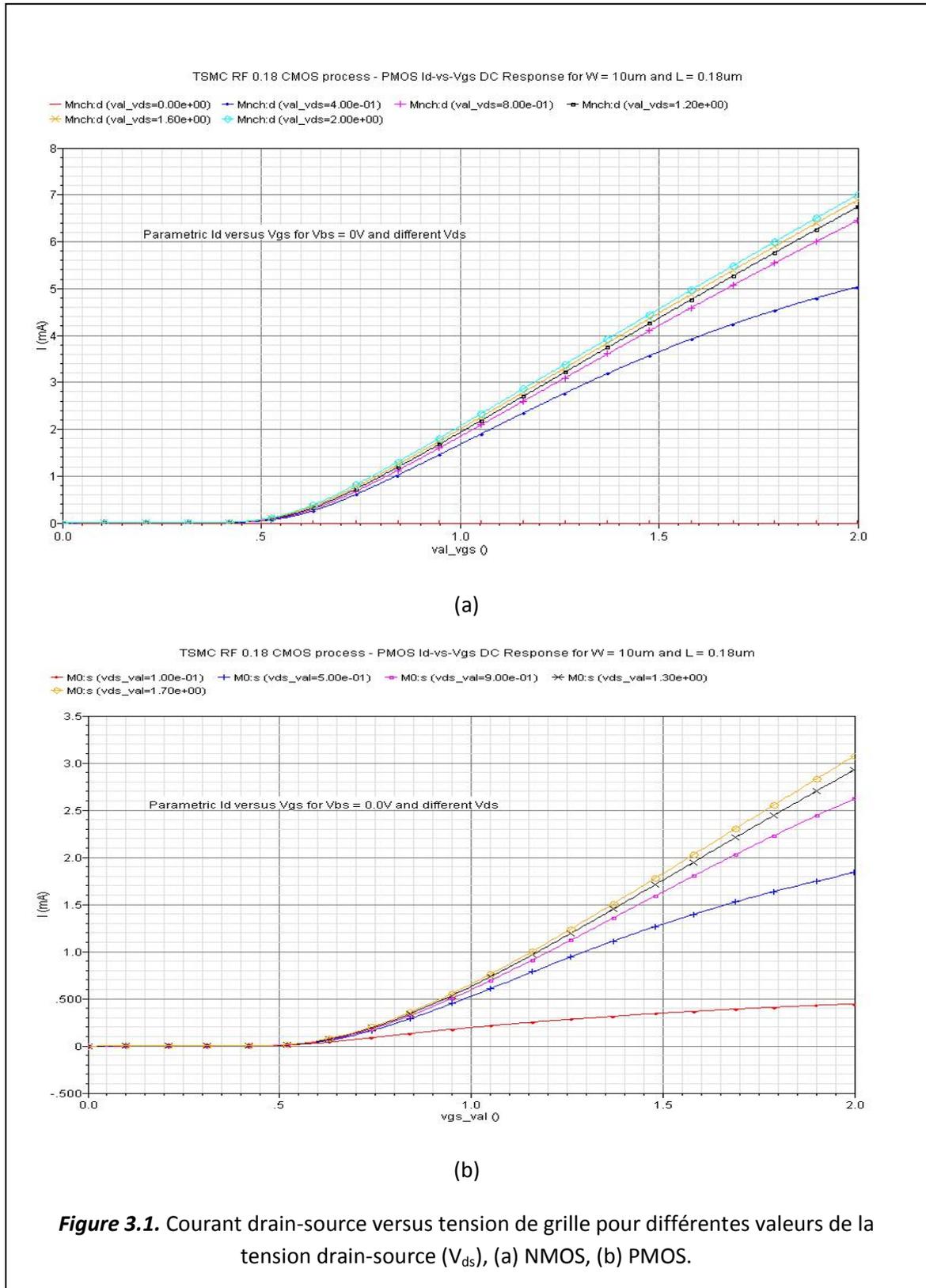
### 3.1 Caractéristiques des transistors du Desin Kit utilisé

Cette section est consacrée à l'analyse d'un certain nombre de caractéristiques de base régissant le fonctionnement des transistors NMOS et PMOS de la technologie RF CMOS 0.18 micron de la fonderie TSMC. Toute la chaîne de l'électronique de lecture repose sur l'exploitation la plus optimale possible de ces dispositifs actifs.

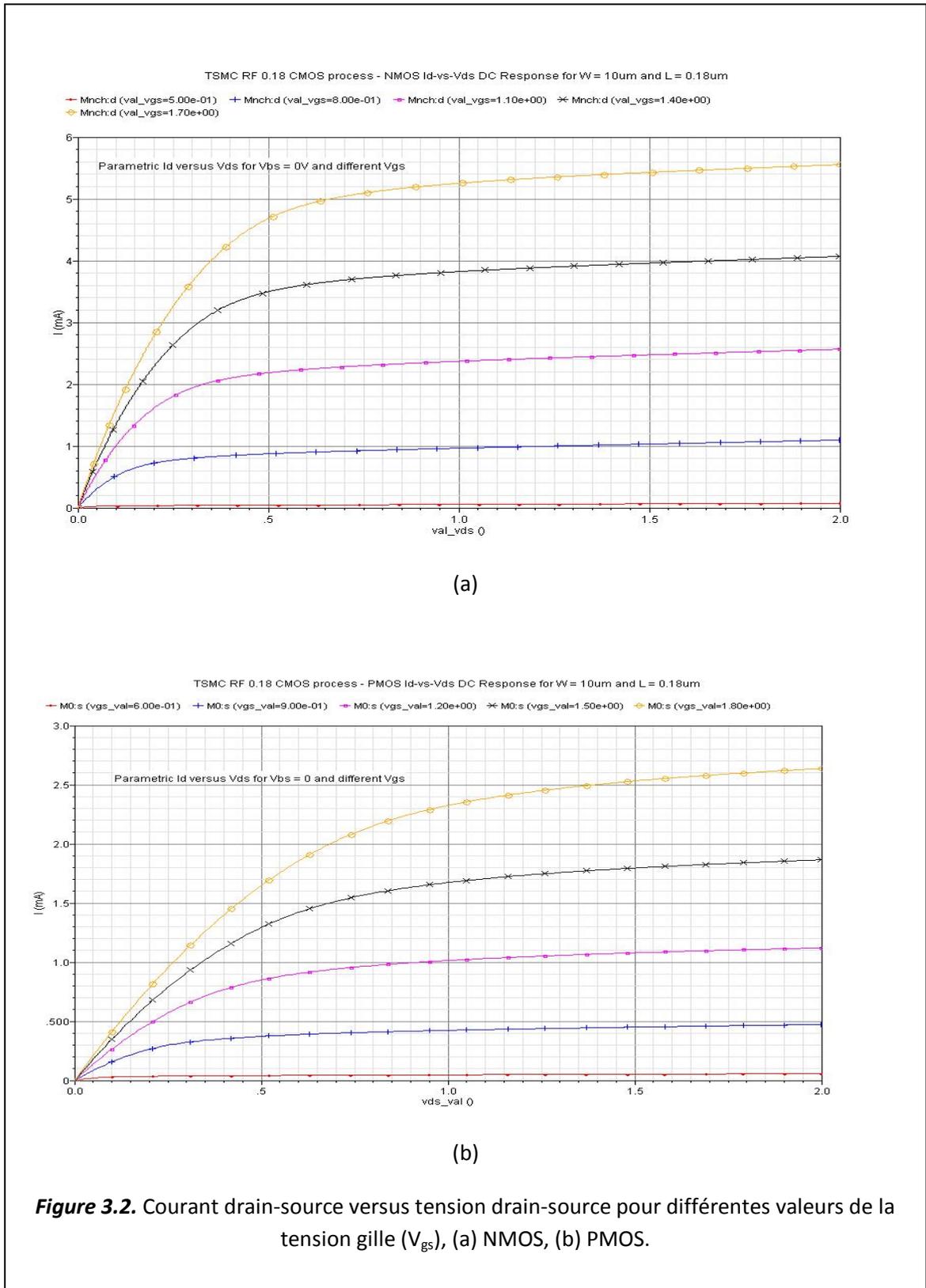
La figure 3.1 représente les résultats de simulation de la caractéristique du courant drain-source ( $I_{ds}$ ) en fonction de la tension de grille ( $V_{gs}$ ) pour les transistors de type N et P, et pour différentes valeurs de la tension drain-source ( $V_{ds}$ ). Cette caractéristique nous permet d'une part et en premier lieu d'avoir une estimation de l'ordre de grandeur d'un paramètre fondamental qui est la tension de seuil ( $V_{th}$ ), puis, en second lieu de l'ordre de grandeur du courant drain-sourc ( $I_{ds}$ ) en fonction de la variation de  $V_{gs}$  et pour différentes valeurs de  $V_{ds}$ . Et d'autre part d'avoir une idée sur la différence qui existe entre les deux types de transistors.

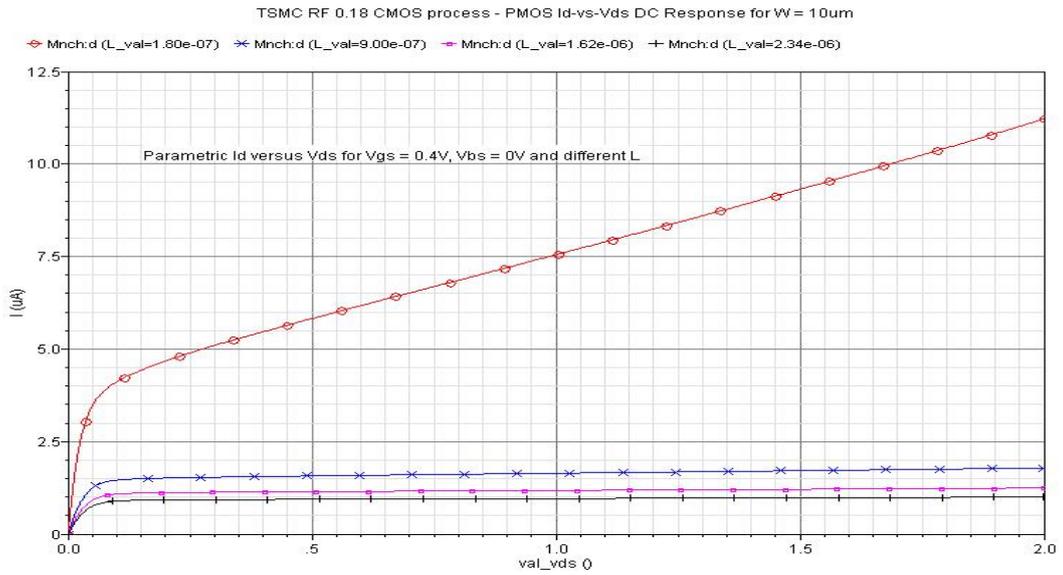
Sur les figures 3.2 et 3.3, les résultats de simulation de la caractéristique du courant drain-source ( $I_{ds}$ ) en fonction de la tension drain-source ( $V_{ds}$ ) sont représentées respectivement pour différentes valeurs de la tension de grille ( $V_{gs}$ ) et de la longueur du canal ( $L$ ). Comme pour la précédente caractéristique on obtient un renseignement sur l'ordre de grandeur du courant drain-source, mais cette fois en fonction de la tension  $V_{ds}$  pour différentes valeurs de  $V_{gs}$  avec une longueur du canal fixe et pour différentes valeurs de  $L$  avec une tension de grille fixe. La caractéristique qui montre  $I_{ds}$  versus  $V_{ds}$  Fig. 3.3 donne tout particulièrement une information très utile sur la

modulation du canal des deux types de transistors N et P. La variation de la longueur du canal influence un paramètre important qui est la résistance de sortie des transistors MOS.

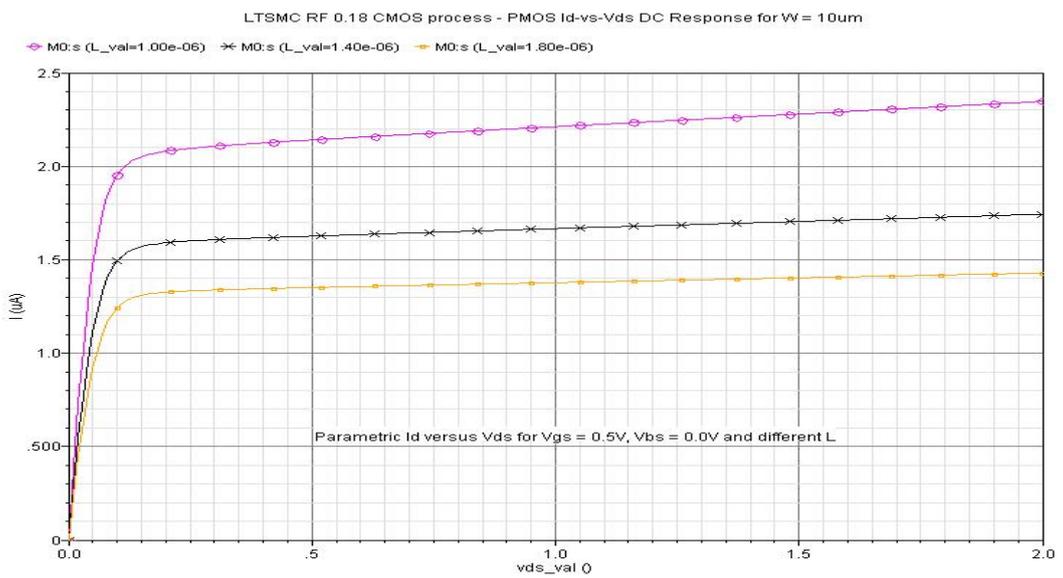


**Figure 3.1.** Courant drain-source versus tension de grille pour différentes valeurs de la tension drain-source ( $V_{ds}$ ), (a) NMOS, (b) PMOS.





(a)



(b)

**Figure 3.3.** Courant drain-source versus tension drain-source pour différentes valeurs de la longueur du canal (L), (a) NMOS, (b) PMOS.

Dans la figure 3.4, les résultats de simulation d'une caractéristique particulièrement très importante qui est en l'occurrence celle de la transconductance  $g_m$ , sont présentés en fonction de la tension de grille  $V_{gs}$  pour les deux types de transistors N et P et relativement à un courant donné de drain-source fixe. L'investigation de cette caractéristique permet de voir comment  $g_m$  évolue en fonction de  $V_{gs}$  relativement au courant  $I_{ds}$  et nous aide également à avoir une estimation de son efficacité. Elle permet aussi de délimiter la région de la faible inversion, la région de l'inversion modérée, et la région de forte inversion. On observe que le transistor NMOS affiche une transconductance plus élevée comparée à celle du type PMOS dans la région de la faible inversion pour un courant  $I_{ds}$  fixe.

Dans la région de la forte inversion l'expression de la transconductance  $g_m$  en fonction de  $I_{ds}$  est donnée par la formule suivante [22] :

$$g_m = \sqrt{2\mu C_{ox} \frac{W}{L} I_{ds}}$$

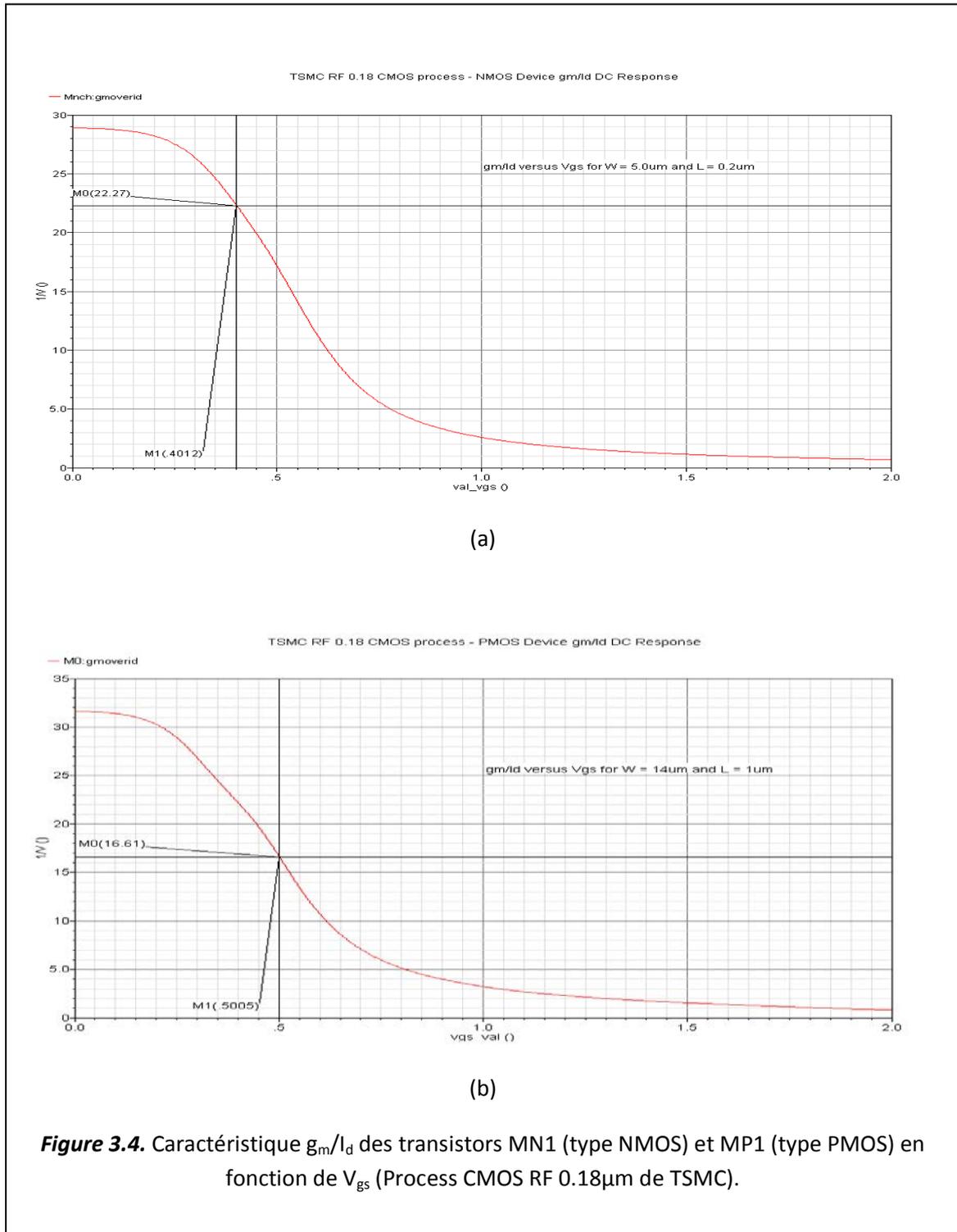
Alors que dans la région de la faible inversion elle prend la forme suivante :

$$g_m = \frac{I_{ds}}{nV_{th}}$$

Avec (n) un nombre compris entre 1 et 1.2 [16].

Les régions de la faible inversion et de celle de l'inversion modérée sont estimées approximativement comme suit :

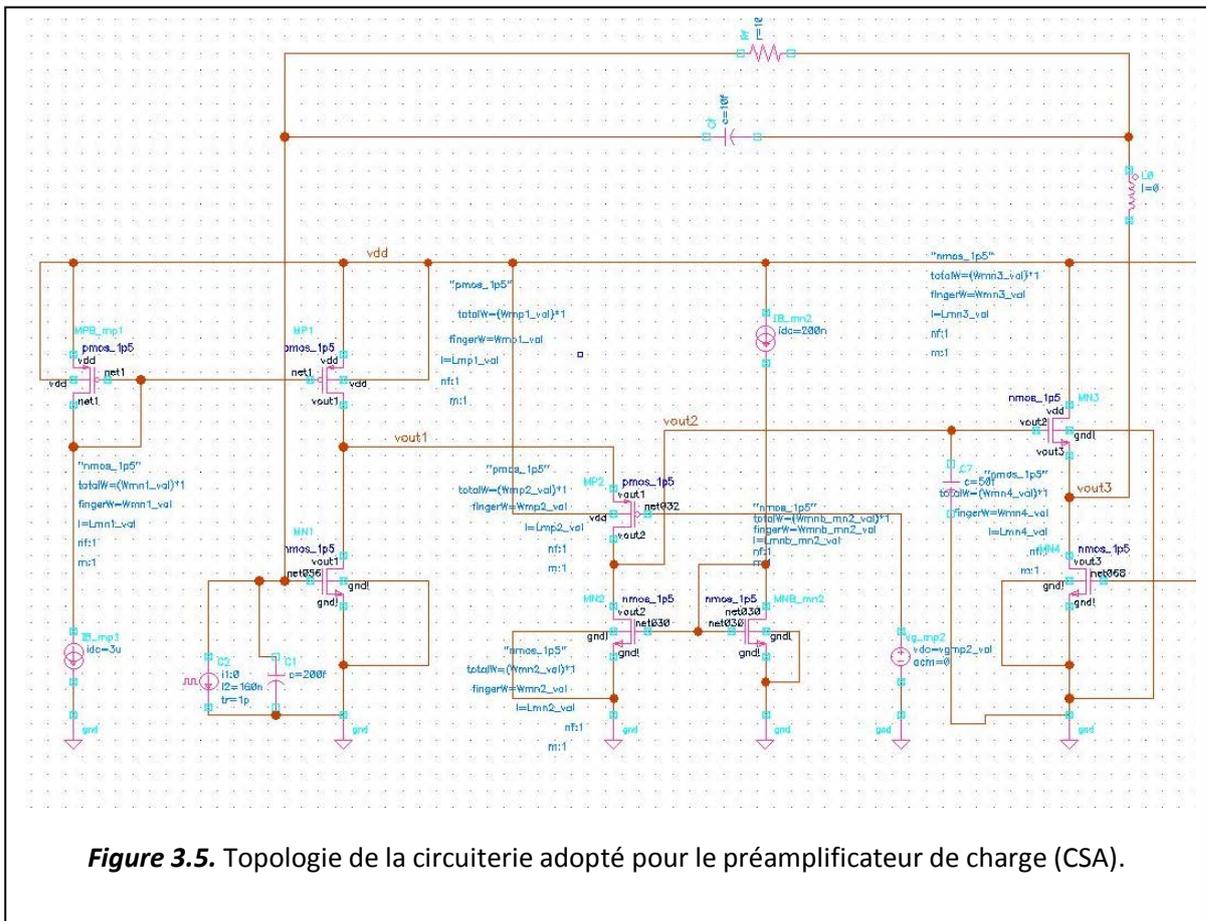
- Région de la faible inversion :  $V_{gs} < V_{th} - 100mV$
- Région de l'inversion modérée :  $V_{th} - 100mV < V_{gs} < V_{th} + 100mV$



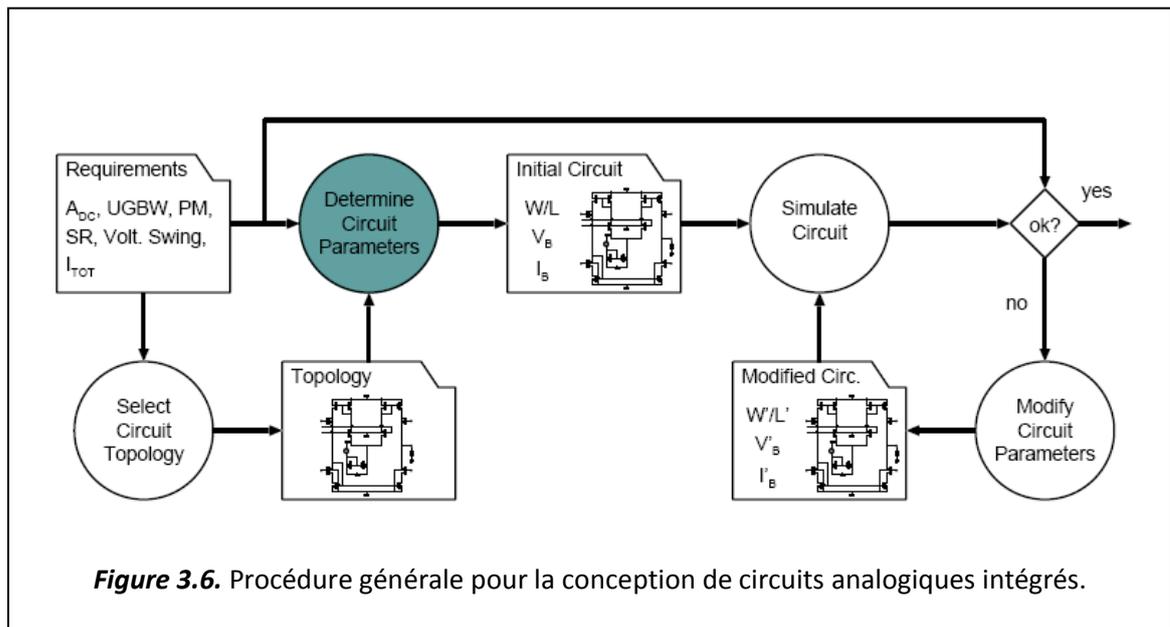
Les exigences requises pour la conception du préamplificateur de charge (CSA) suggèrent l'utilisation d'une valeur élevée pour la transconductance pour avoir un bon compromis entre un gain élevé et un faible bruit. Il s'avère que les régions de la faible inversion et de celle de l'inversion modérée représentent le meilleur choix pour satisfaire à la fois une contrainte drastique liée à la faible consommation et une transconductance  $g_m/I_{ds}$  élevée.

### 3.2 Résultats de simulation du CSA

Dans cette section on aborde l'étude de la topologie retenue pour le préamplificateur de charge (CSA - figure 3.5) à l'aide des outils de la plateforme professionnelle de CADENCE et du Design-Kit de la technologie RF CMOS 0.18 $\mu$ m de la fonderie TSMC. Les outils cadence utilisés sont : Virtuoso Schematic Editor, Analog Design Environment (ADE), et le simulateur Spectre.



La figure 3.6 donne une idée générale sur la procédure de conception de circuits analogiques intégrés. La faible consommation de puissance et le gain élevé sont les principaux critères ciblés par l'effort de ce travail, avec la contrainte d'une faible tension d'alimentation de  $2V$  imposée par l'utilisation du process RF CMOS  $0.18\mu m$ . Une topologie bien adaptée au domaine d'application de la physique des particules a été mise en évidence par l'étude menée au chapitre numéro 2. L'étape qui suit la sélection de la topologie (ou architecture) du circuit consiste à satisfaire la ou les spécifications ciblées via la détermination du bon dimensionnement de tous les transistors, des bonnes tensions aux différents nœuds, et du plus faible courant possible dans les branches. Arriver à satisfaire pleinement un cahier de charge n'est pas aussi simple. A titre d'exemple, lorsqu'on varie ou on change un paramètre donné d'un circuit on attend souvent à avoir des changements conflictuels sur plusieurs exigences.



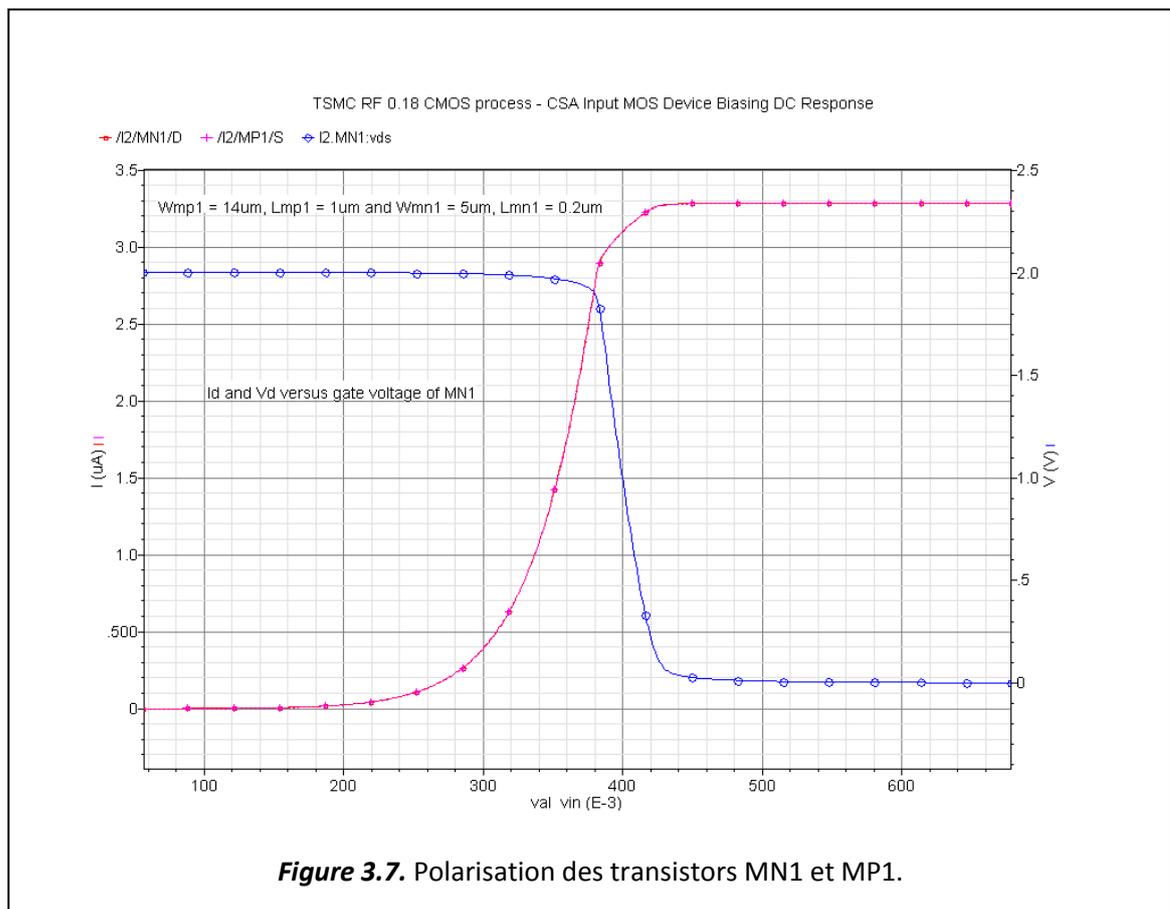
### 3.2.1 Caractéristiques en mode DC du CSA

Pour éviter de tomber dans l'engrenage des états de situations conflictuels, la simulation du circuit du préamplificateur se déroule sur trois étapes.

Dans la première étape on isole le bloc formé par le transistor d'entrée MN1 et le transistor de polarisation (ou encore transistor de charge) MP1 (Fig. 2.7). Pour les

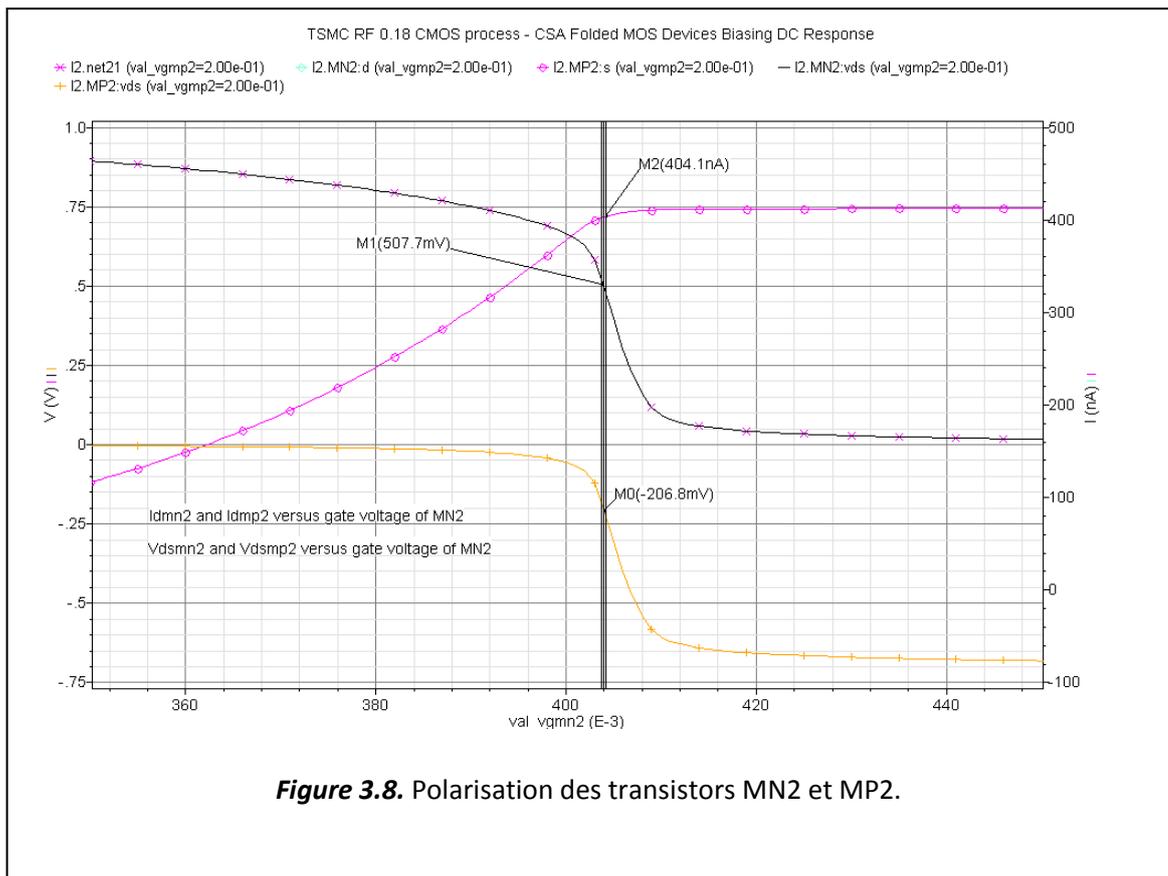
raisons indiquées dans le paragraphe 3.1 on doit se placer dans la région de l'inversion modérée. Pour cela on démarre à partir d'un état de conditions initiales établi par un calcul manuel, puis plusieurs itérations de simulation seront nécessaires pour l'obtention de la solution finale. Comme il est clairement illustré sur la figure 3.6, on fixe les différentes variables du circuit, ensuite on lance la simulation et on observe le résultat pour une performance ciblée en fonction d'un paramètre d'entrée. L'optimisation du courant de polarisation  $I_{ds}$  et de la tension du drain  $V_d$  du transistor d'entrée MN1 en fonction de la tension d'entrée  $V_{in}$  (appliquée à la grille de MN1) a ainsi été obtenue suite à plusieurs itérations de simulations (test).

A chaque itération on modifie séparément et un à la fois les paramètres suivants :  $V_g$  (tension de la grille de MP1),  $W$  et  $L$  respectivement de MN1 et de MP1. La figure 3.7 donnée ci-après montre le résultat d'optimisation de la polarisation du bloc formé par MN1 et MP1. On voit bien que l'on arrive à fixer la tension drain  $V_d$  de MN1 convenablement autour d'un courant optimal  $I_d$  de  $3\mu\text{A}$ .



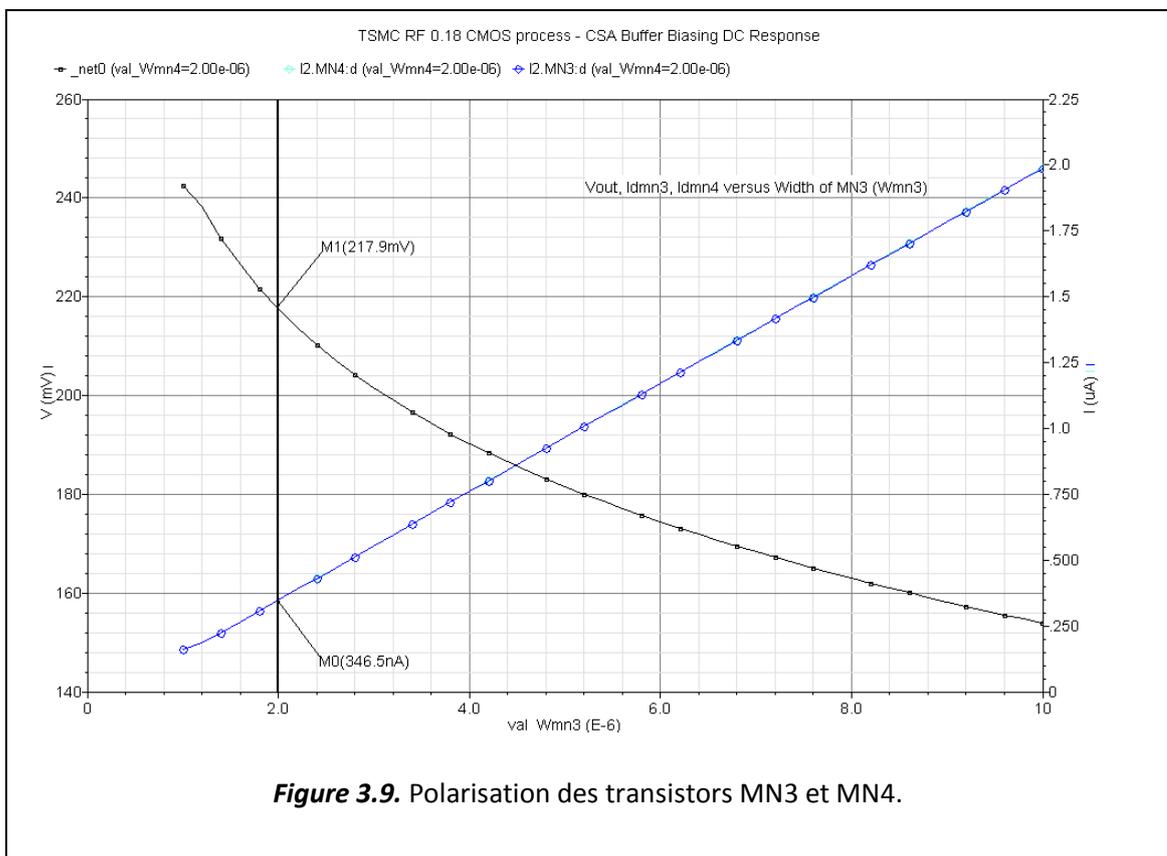
Une fois que la première étape est achevée, on aborde la deuxième étape du processus d'optimisation. On isole cette fois le bloc formé par les transistors MN1, MP1, MN2, et MP2. Les paramètres des transistors MN1 et MP1 étant fixés, on applique la procédure de simulation itérative en ne faisant modifier que les paramètres des transistors MN2 et MP2. Il sera question ici de polariser les deux transistors avec un courant  $I_{ds}$  extrêmement faible tout en garantissant une valeur de la tension  $V_{ds}$  de MN2 proche de la tension de seuil  $V_{th\_NMOS}$ . Ainsi l'impact sur la consommation sera insignifiant, mais cependant, le but recherché est l'obtention d'une résistance  $r_{ds}$  élevée pour les transistors MN2 et MP2, car le gain  $A_{v0}$  du préamplificateur est directement proportionnel à cette dernière.

Par contre la fixation de la valeur de la tension  $V_{ds}$  de MN2 autour de la tension de seuil est requise pour une polarisation convenable du bloc formé par les transistors MN3 et MPN4. La figure 3.8 ci-dessus montre le résultat de l'optimisation de la polarisation des transistors MN2 et MP2.



Les courants  $I_{ds}$  et les tensions  $V_{ds}$  des deux transistors sont donnés en fonction de la variation de la tension de la grille  $V_{gs}$  de MN2, et on voit que pour garantir une tension drain-source de **0.5V** pour MN2 on doit choisir un courant drain-source de **400nA**.

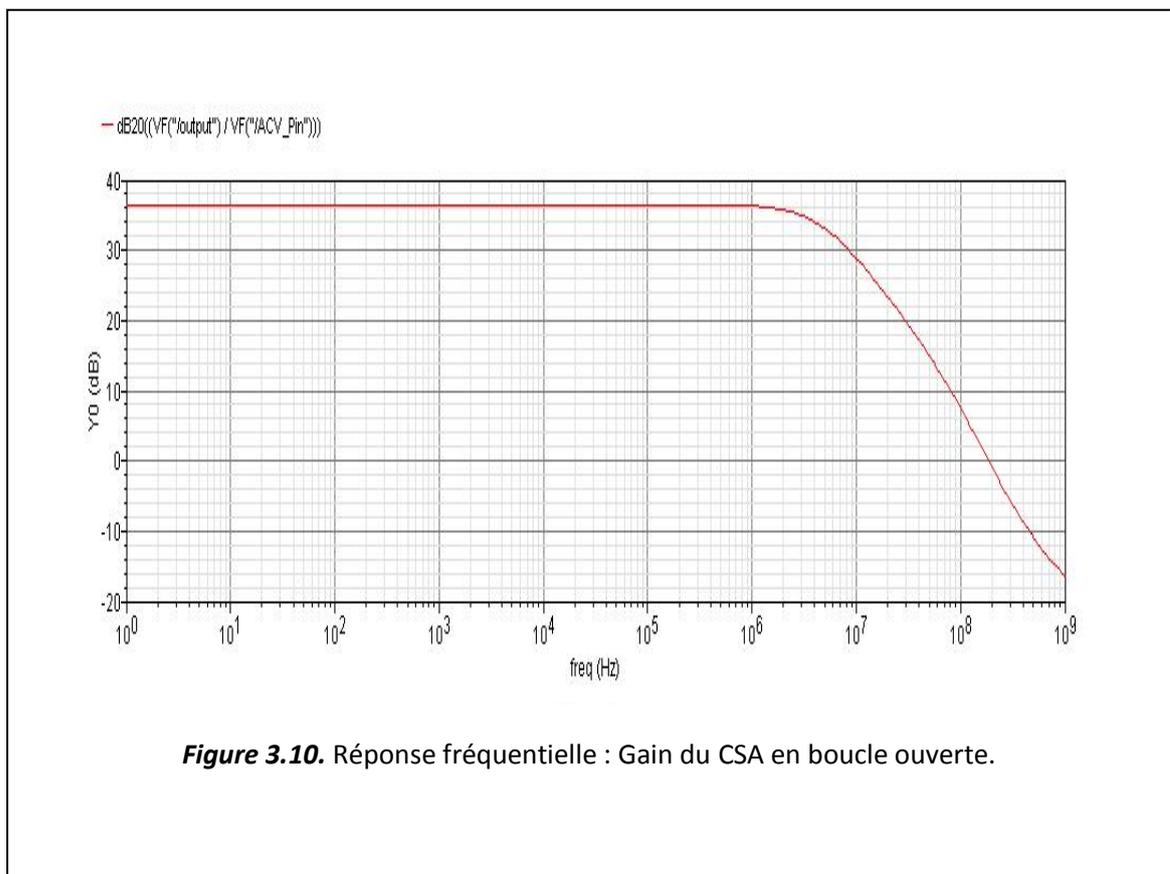
Maintenant que les deux premières étapes sont achevées, on rajoute le dernier bloc qui englobe les transistors MN3 et MN4. La tension  $V_G$  de MN2 étant déjà fixée, on recommence la procédure de simulation avec l'architecture complète du circuit du préamplificateur en agissant sur le reste des paramètres des transistors MN3 et MN4. Pour ce dernier bloc on note que la largeur  $W$  de MN3 est le paramètre déterminant qui conduit à l'optimisation de la polarisation en courant et à éviter de détériorer la consommation en puissance.



La figure 3.9 montre que le choix d'une largeur  $W = 2\mu\text{m}$  pour le transistor MN3 permet de fixer le courant  $I_{ds}$  à une valeur de près de **350nA**. Cette polarisation en courant est relativement modérée comparé à la consommation majeur du circuit total qui est dominé par le transistor d'entrée MN1.

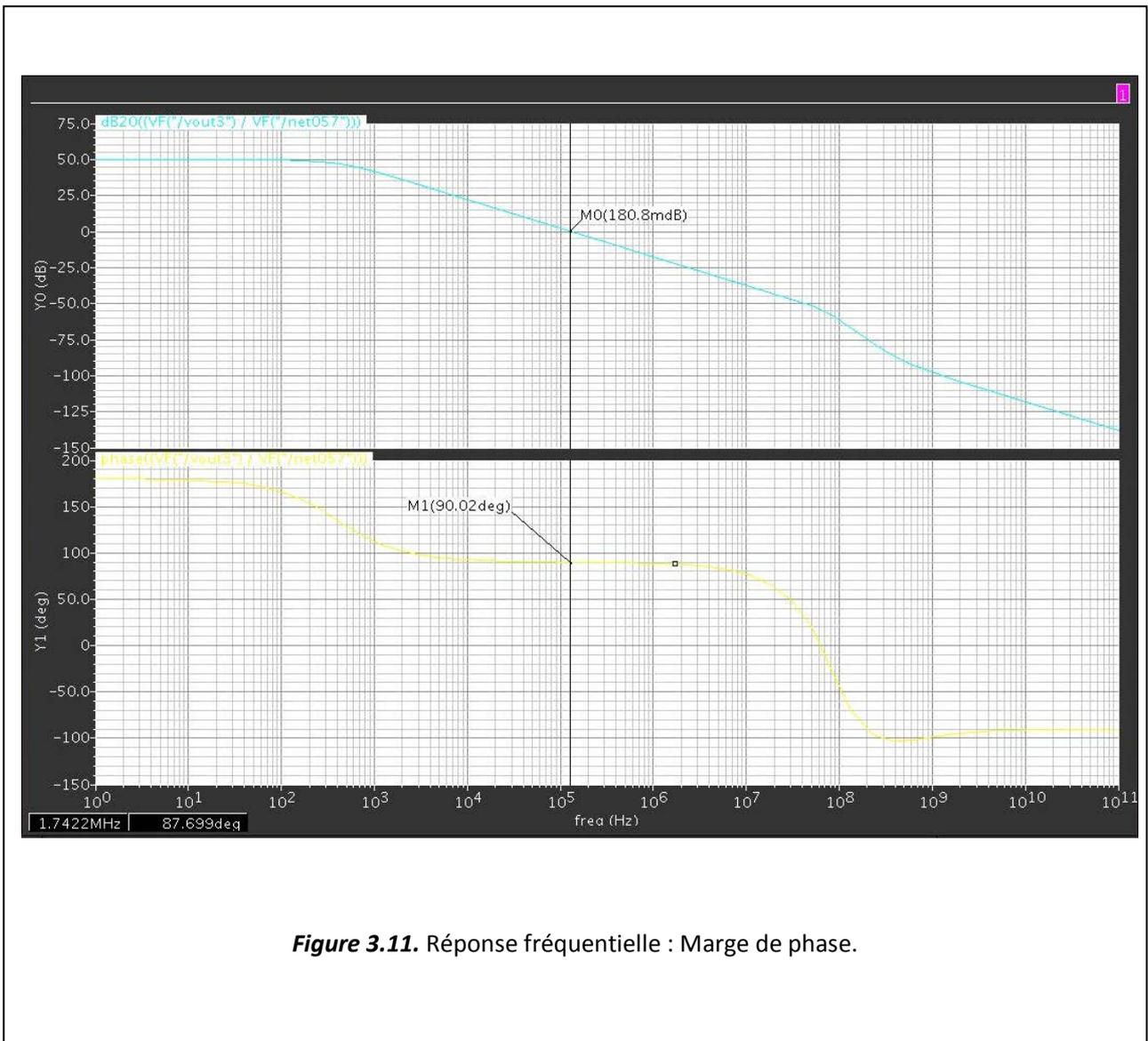
### 3.2.2 Caractéristiques en mode AC du CSA

La figure 3.10 montre le résultat de la simulation du gain du préamplificateur de charge en fonction de la fréquence. Avec une alimentation de **2V** et un courant  $I_{ds} = 3\mu A$ , on obtient un gain DC proche de **40dB** et une bande passante d'environ **200MHz**. Comparé au résultat obtenu dans la référence [23] pour un courant  $I_D = 200\mu A$  et une tension d'alimentation  $\pm 2,5V$ , on peut considérer que le gain en boucle ouverte obtenu avec la technologie CMOS RF 0.18 $\mu m$  est satisfaisant et relativement dans les normes.



**Figure 3.10.** Réponse fréquentielle : Gain du CSA en boucle ouverte.

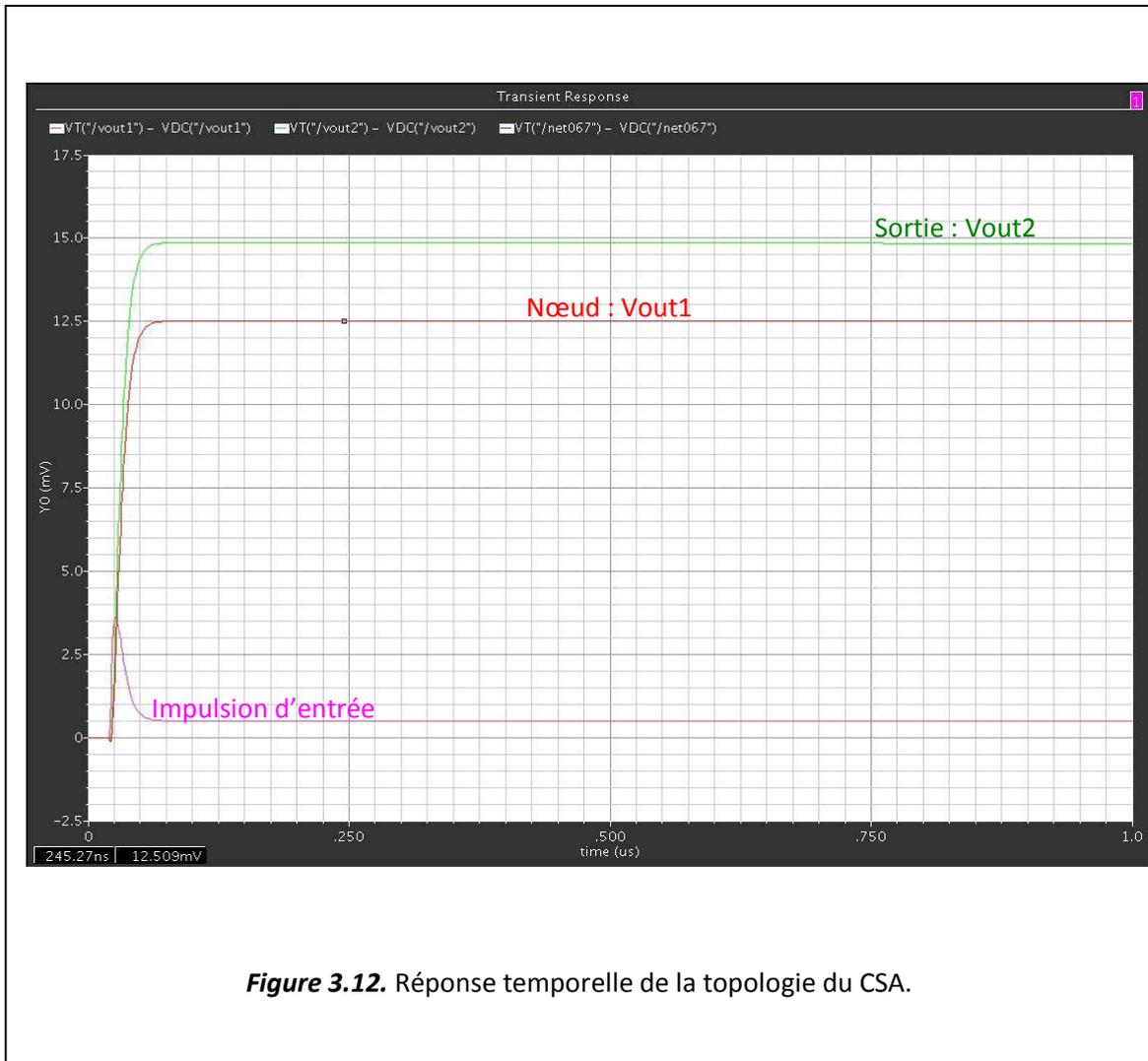
La figure 3.11 donne le résultat de la simulation relative à la marge de phase, dont la valeur obtenue se situe autour de  $90^\circ$ . Cette dernière renseigne sur la bonne performance en termes de stabilité pour la configuration de la circuiterie retenue du préamplificateur de charge.



**Figure 3.11.** Réponse fréquentielle : Marge de phase.

### 3.2.3 Réponse temporelle du CSA

La figure 3.12 donne le résultat de la simulation relative à la réponse temporelle. On constate nettement que notre préamplificateur réagit convenablement lorsqu'il est excité par une impulsion de charges.



### 3.3 Conclusion

En utilisant la technologie submicronique CMOS RF 0,18 $\mu\text{m}$  de TSMC, nous avons obtenus des résultats forts satisfaisants. Une performance en termes de consommation de puissance inférieure à 5 $\mu\text{A}$  et une performance en termes de gain proche de 40dB.

Aussi, le fait d'arriver à obtenir une bande passante du gain (GBW) de l'ordre de 200MHz nous permet d'atteindre une résolution en temps de l'ordre de la nanoseconde et de garantir une bonne vitesse de balayage (slew rate).

Les dimensions des transistors MOS qui ont conduit à l'optimisation du préamplificateur CSA sont données dans le tableau 3.1.

Transistor MOS	W/L ( $\mu\text{m}$ )
MN1	5/0.2
MP1	14/1
MN2	2/0.5
MP2	0.7/0.3
MN3	2/0.5
MN4	2/0.5

**Tableau 3.1.** Dimensionnement des transistors MOS du CSA.

## Conclusion générale

---

Dans ce travail, nous avons décrits les différentes étapes effectuées depuis l'étude théorique et conceptuelle jusqu'à la simulation et la caractérisation d'un préamplificateur de charge (Charge Sensitive Amplifier, CSA) pour des micros capteurs. Le cadre de ce projet trouve tout particulièrement sa motivation dans les expériences de la réalisation de détecteurs pour la physique des hautes énergies (expérience ATLAS) et implicitement dans le domaine de l'imagerie biomédicale.

Un aperçu sur les moyens de détection est présenté dans le chapitre numéro 2. La compréhension du principe de la détection et de ses caractéristiques permet de mieux cerner la problématique liée à la conception de la chaîne électronique frontale de lecture.

L'étude théorique et conceptuelle sur les amplificateurs analogiques est développée dans le chapitre numéro 2. Une analyse de différents types d'amplificateurs et de différentes topologies montre comment le choix a été porté sur un amplificateur du type Charge Sensitive Amplifier (amplificateur de charge - CSA) avec une topologie en Folded Cascode (cascode replié).

Le dernier chapitre est consacré à la simulation et à la caractérisation du préamplificateur de charge à l'aide des outils de la plateforme professionnelle de CADENCE et en utilisant le Design-Kit RF CMOS 0.18 $\mu$ m de la fonderie TSMC. A travers cette étude les exigences en termes de gain et de consommation de puissance ont été atteintes.

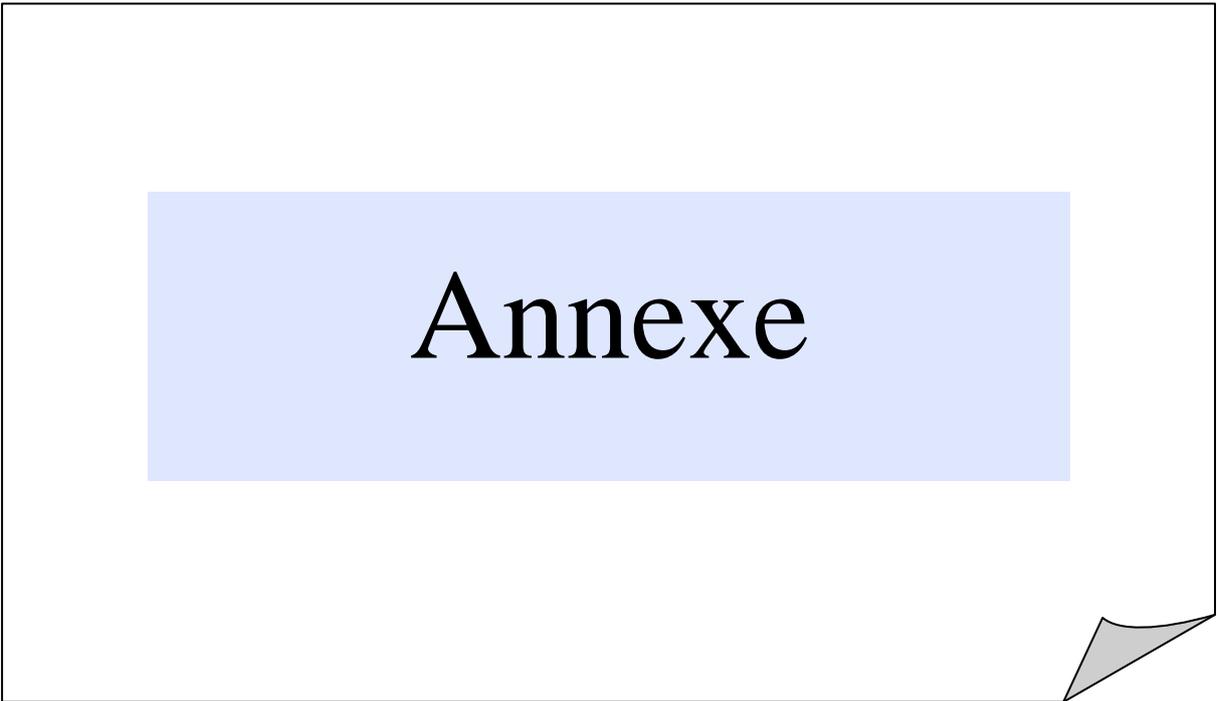
En guise de perspective, d'autres défis nécessitent plus de travail pour arriver à des solutions plus efficaces. Parmi les problèmes pertinents on cite la compensation du courant de fuite des détecteurs pixels et la problématique cruciale des différentes sources de bruits qui pousse à aller vers plus d'innovation dans les techniques d'atténuation des différentes sources de bruits.

## Bibliographie

---

- [1] [http://atlas.ch/inner\\_detector1.html](http://atlas.ch/inner_detector1.html)
- [2] <http://e4.physik.uni-dortmund.de/cgi-bin/twiki/view/ATLAS/PixelDetektor>
- [3] **G. Lutz**, *Semiconductor radiation detectors*, 2<sup>ème</sup> impression. Springer, 1<sup>ère</sup> édition, 1999. ISBN 978-3-540-71678-5.
- [4] **H. Sadrozinski**, *Applications of Silicon Detectors*, IEEE Transactions on Nuclear Science, Vol. 48, No. 4, 2001.
- [5] **W. R. Leo**, *Techniques for Nuclear and Particle Physics Experiments*, 2nd edition, Springer, 1987.
- [6] **G. Knoll**, *Radiation Detection and Measurement*, 3rd edition, John Wiley and sons, 1989.
- [7] **L. Rossi, P. Fischer, T. Rohe, N. Wermes**, *Pixel Detectors From Fundamentals to Applications*, Springer, 2006.
- [8] **J. Kemmer**, *Fabrication of low noise silicon radiation detectors by the planar process*, Nuclear Instruments and Methods, tome 169(3) : 499–502, Mars 1980.
- [9] **E.H.M Heijne, et al.**, *A silicon surface barrier microstrip detectors designed for high energy physics*, Nuclear Instruments and Methods, tome 178 : 331 – 343, 1980.
- [10] **E. Belau et R. Klanner**, *Charge collection in silicon strip detectors*, Nuclear Instruments and Methods, tome 214 : 253–260, 1983.
- [11] **P. Holl, et al.**, *A double-sided silicon strip detector with capacitive readout and a new method of integrated bias coupling*, IEEE Transaction on Nuclear Science, tome 36(1) : 251–255, Février 1989.
- [12] **R. Asgari**, *Semiconductor backend flip chip processing, inspection requirements and challenges*, SEMI/IEEE IEMT Symposium, pages 18–22, 2002.

- [13] **T. Noulis, S. Siskos, G. Sarrabayrouse**, *Noise optimised charge-sensitive CMOS amplifier for capacitive radiation detectors*, *Circuits, Devices & Systems, IET*, vol.2, no.3, pp.324-334, June 2008.
- [14] **Shin-Woong Park, Yun Yi, Sunwoo Yuk**, *Noise performance of the charge sensitive amplifier for photodetection*, **Nuclear Science Symposium Conference Record, 2007**.
- [15] **Paul O'Connor, Gianluigi De Geronimo**, *Prospects for charge sensitive amplifiers in scaled CMOS*, *Nuclear Instruments and Methods in Physics Research Section A: Accelerators, Spectrometers, Detectors and Associated Equipment*, Volume 480, Issues 23, Pages 713-725, 21 March 2002.
- [16] **G. Gramegna, P. O'Connor, P. Rehak, S. Hart**, *CMOS preamplifier for low-capacitance detectors*, *Nuclear Instruments and Methods in Physics Research Section A: Accelerators, Spectrometers, Detectors and Associated Equipment*, Volume 390, Issues 1-2, 1, Pages 241-250, May 1997.
- [17] **G. Gramegna, P. O'Connor, P. Rehak, S. Hart**, *Low-Noise CMOS preamplifier for Silicon Drift Detectors*, *IEEE Transaction on Nuclear Science*, VOL, 44, No. 3, June 1997.
- [18] **E. Sexauer**, *Development of radiation hard readout electronics for LHCb*, Doctoral thesis, Universitat Heidelberg, Germany, 2001.
- [19] **S.Lochner**. *MULTI-ANODE PHOTON-MULTIPLIER READOUT ELECTRONICS FOR THE LHCb RING IMAGING CHERENKOV DETECTORS*, Ph.D. dissertation, Universitat Heidelberg, Germany, 2004.
- [20] **V. Radeka**, *"Signal, noise and resolution in position-sensitive detectors"*, *IEEE Transactions on Nuclear Science*, tome 21(1) : 51–64, 1974.
- [21] **B. Razavi**, *Design of analog CMOS integrated circuits*, Mc Graw Hill, 1990.
- [22] **T. Noulis, S. Siskos, G. Sarrabayrouse**, *Noise optimised charge-sensitive CMOS amplifier for capacitive radiation detectors*, *Circuits, Devices & Systems, IET* , vol.2, no.3, pp.324-334, June 2008.
- [23] **Tae-Hoon Lee, Gyuseong Cho, Hee Joon Kim, Seung Wook Lee, Wannoo Lee, and Sang Hyo Han**, *Analysis of 1/f Noise in CMOS Preamplifier With CDS Circuit*, *IEEE TRANSACTIONS ON NUCLEAR SCIENCE*, VOL. 49, NO. 4, AUGUST 2002.
- [24] **C. Klein**, *J.Appl.Phys.* 39(4), 2029, 1968



**Annexe**

## Annexe

---

### Considérations sur le bruit

La précision avec laquelle on peut mesurer la quantité minimale d'énergie déposée par une particule dans un capteur (détecteur) à base de silicium lorsqu'elle le traverse est systématiquement limitée par un certain nombre de sources de bruits.

Cet annexe passe en revue les principaux concepts du bruit. La première partie (A.1) examine les différents mécanismes de bruits qui existent dans les circuits électroniques et leurs modélisations. La seconde partie (A.2) aborde la modélisation du bruit équivalent de charges (Equivalent Noise Charge : ENC).

#### A.1 Sources de bruit électronique

Le bruit dans un circuit intégré se classe en deux catégories : le bruit électronique « inhérent » des composants et le bruit d'interférences. Ce dernier se rapporte aux perturbations aléatoires présentes dans les alimentations et au couplage électromagnétique avec les autres circuits environnants ou l'extérieur [A-1] [A-2]. Dans ce qui suit on s'intéressera uniquement au bruit électronique des composants. Il existe trois principales sources de bruit électronique, lesquelles sont totalement indépendantes et de ce fait non corrélées: le bruit thermique, le bruit de grenaille (*Shot noise*) et le bruit fréquentiel [A-2].

#### Références

---

[A-1] RAZAVI, B. (2001). *Design Of Analog CMOS integrated Circuits*. McGraw- Hill.

[A-2] JOHNS, D. A. et MARTIN, K. (1997). *Analog Integrated Circuit Design*.

John Wiley & Sons.

### A.1.1 Bruit thermique

Le bruit thermique provient du mouvement aléatoire des porteurs de charge, du à l'excitation thermique. Ce bruit a une densité spectrale constante et est proportionnel à la température absolue. Il est modélisé par une densité de courant de bruit ou une densité de tension de bruit (Figure A.1).

$$\text{Pour une résistance } R, \quad v_n^2(f) = 4KT R \quad \text{et} \quad i_n^2(f) = \frac{4KT}{R} \quad (\text{A.1})$$

$$\text{Pour un MOSFET,} \quad v_n^2(f) = \frac{4KT \gamma_n}{g_m} \quad \text{et} \quad i_n^2(f) = 4KT \gamma_n g_m \quad (\text{A.2})$$

ou  $k$  est la constante de Boltzmann,

$T$  est la température en Kelvin,

$g_m$  est la transconductance du transistor et

$\gamma_n$  est un coefficient de bruit entre 1/2 et 2/3, fonction de la zone d'inversion du

MOSFET [A-3]

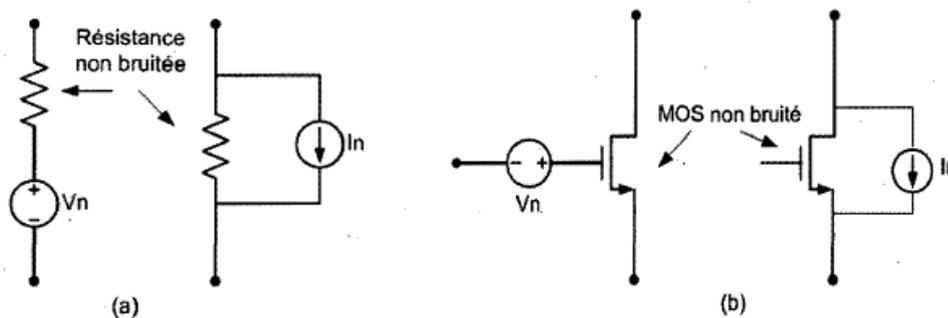


Figure A.1 : Modèles de bruit thermique (a) de résistance et (b) de transistor MOS.

En technologie CMOS, à courant identique, la mobilité et donc la transconductance des NMOS est de 2 à 3 fois supérieure à celle des PMOS. Par conséquent le bruit thermique rapporté en entrée d'un transistor sera moins important dans le cas d'un NMOS que d'un PMOS.

Références \_\_\_\_\_

[A-3] O'CONNOR, P. et DE GERONIMO, G. (2002). Prospects for charge sensitive amplifiers in scaled CMOS. *Nuclear Instruments and Methods in Physics Research*, volume 480, p. 713-725.

### A.1.2 Bruit de grenaille / Shot noise

Le bruit de grenaille provient des jonctions PN. Ce bruit découle du fait que le courant DC traversant la jonction n'est pas continu comme idéalement supposé. En effet, il résulte d'impulsions de courant portées par un flot discret de porteurs de charge [A-2]. Le bruit grenaille est donc directement proportionnel au courant DC. Sa densité spectrale est donnée par :

$$i_n^2(f) = 2qI_D \quad (\text{A.3})$$

Où  $q$  est la charge électronique élémentaire et

$I_D$  est le courant DC de la jonction.

### A.1.3 Bruit fréquentiel

Le bruit fréquentiel ou *flicker noise* est créé par le phénomène de rétention et de relâche aléatoire de porteurs de charge piégés à la surface du semi-conducteur. Dans le cas d'un MOSFET, le bruit fréquentiel est en partie lié aux imperfections de l'interface entre le silicium et l'oxyde de grille. En effet, au niveau de cette interface, il y a plusieurs liaisons pendantes qui créent des pièges d'énergie. Le bruit fréquentiel est modélisé dans un MOSFET par :

$$v_n^2(f) = \frac{K_f}{WLC_{ox}} \frac{1}{f^{\alpha_f}} \quad (\text{A.4})$$

Où  $K_f$  est une constante en [V.F] dépendant du procédé ;

$W$  et  $L$  sont respectivement la largeur et la longueur du canal;

$C_{ox}$  est la capacité d'oxyde surfacique ;

$\alpha_f$  est un coefficient qui dépend de la pente de bruit observée en basse fréquence.

De manière générale, le coefficient  $K_f$  est plus grand dans le cas d'un NMOS que celui d'un PMOS, tandis que le coefficient  $\alpha_f$  varie inversement. Dans la plupart des procédés CMOS,  $\alpha_f$  (NMOS)  $\leq 1$  et  $\alpha_f$  (PMOS)  $\geq 1$ . Ainsi, le bruit fréquentiel est beaucoup plus important dans le cas d'un NMOS que d'un PMOS. En effet, dans un PMOS, les porteurs de charges sont les trous qui ont moins de chances d'être pris dans les pièges électroniques à la surface du semi-conducteur.

## A.2 Modélisation du bruit ENC

Cette section s'intéresse à la modélisation du bruit équivalent en charges électriques (ENC) à l'entrée du préamplificateur de charge. Le bruit ENC se définit comme étant la charge en entrée nécessaire pour avoir un rapport signal sur bruit égal à 1 à la sortie du circuit [A-4] [A-5]. Les équations de bruit permettent d'optimiser les dimensions du transistor d'entrée et de choisir une valeur optimale pour la constante de temps du filtre de mise en forme. La Figure A.2 illustre le modèle utilisé pour caractériser le bruit de la chaîne analogique frontale. Le bruit parallèle est essentiellement le bruit grenaille provenant du détecteur. Le bruit série et le bruit 1/f sont respectivement le bruit thermique et le bruit fréquentiel des composants électroniques ramenés en entrée du préamplificateur.

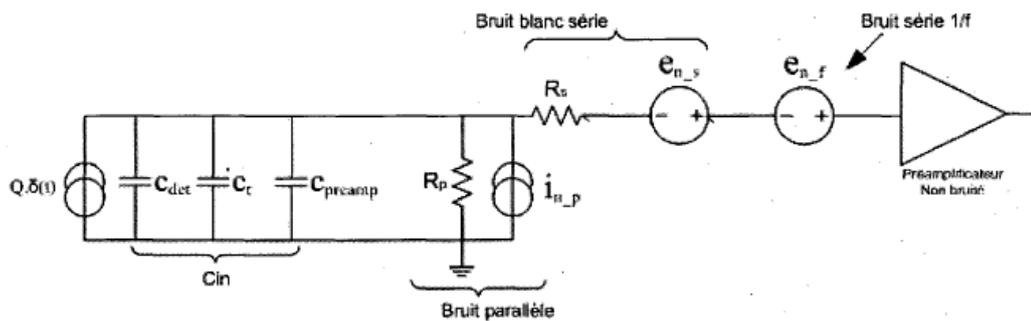


Figure A.2 : Modèle de bruit ENC adopté.

$C_{det}$  est la capacité de champ de la PDA;

$C_t$  modélise les capacités de traces et les capacités parasites en entrée;

$C_{preamp}$  inclut la capacité de grille du transistor d'entrée ainsi que celle de la contre réaction ramenée à l'entrée;

$R_s$  et  $R_p$  modélisent respectivement le bruit série et le bruit parallèle comme tension de bruit thermique et courant de bruit thermique d'une résistance.

### Références

[A-4] RADEKA, V. (1988). Low-noise techniques in detectors. *Annual Review of Nuclear and Particle Science*, volume 38, p. 217-277.

[A-5] DE GERONIMO, G. et O'CONNOR, P. (2005). MOSFET Optimization in Deep submicron Technology for Charge amplifiers. *IEEE Transactions on Nuclear Science*, volume 52, n°6, p. 3223-3232.

L'ENC totale est évaluée par [A-4] [A-6]:

$$ENC^2 = \frac{1}{2} 4KT R_s C_{in}^2 \left[ \int_{-\infty}^{\infty} \frac{h'(t)^2}{h(t)_{\max}^2} d(t) + \frac{1}{\tau_c^2} \int_{-\infty}^{\infty} \frac{h(t)^2}{h(t)_{\max}^2} d(t) \right] \quad (A.5)$$

$$\text{Ou } \tau_c = C_{in} \cdot (R_s \cdot R_p)^{1/2}$$

$h(t)$  la réponse impulsionnelle du système et

$h'(t)$  sa dérivée temporelle.

Cette équation se réécrit comme suit :

$$ENC^2 = \frac{1}{2} e_n^2 C_{in}^2 \int_{-\infty}^{\infty} \frac{h'(t)^2}{h(t)_{\max}^2} d(t) + \frac{1}{2} i_{n-p}^2 \int_{-\infty}^{\infty} \frac{h(t)^2}{h(t)_{\max}^2} d(t) \quad (A.6)$$

$e_n^2$  définit la densité spectrale totale du bruit série et du bruit fréquentiel :

$$e_n^2 = e_{n-s}^2 + e_{n-f}^2 \quad -> \quad e_n^2 = nn \gamma_n \frac{4KT}{g_m} + \frac{K_f}{C_{ox} WL} \frac{1}{f^{\alpha_f}} \quad (A.7)$$

$nn$  est le *subthreshold slope factor* du transistor d'entrée [A-5],

$\gamma_n$  est son coefficient de bruit,

$gm$  est sa transconductance et

$W, L$  sont respectivement sa largeur et la longueur.

En remplaçant  $e_n^2$  par l'équation (A.7) et en transposant cette dernière par la transformée de Laplace après la normalisation du temps a une constante  $\tau_p$  (temps au maximum du signal, *peaking time*), on obtient :

$$ENC^2 = C_{in}^2 \left[ \alpha_s nn \gamma_n \frac{4KT}{g_m} \frac{1}{\tau_p} + \alpha_f \frac{K_f}{C_{ox} WL} \frac{(2\pi)^{\alpha_f}}{\tau_p^{1-\alpha_f}} \right] + \alpha_p i_{n-p}^2 \tau_p \quad (A.8)$$

## Références

[A-6] PRATTE, J. F., JUNNARKAR, S., DEPTUCH, G., FRIED, J., O'CONNOR, P., RADEKA, V., VASKA, P., WOODY, C., SCHLYER, D., STOLL, S., MARAMRAJU, S. H., KRISHNAMOORTHY, S., LECOMTE, R. et FONTAINE, R. (2008). The RatCAP Front-End ASIC. *IEEE Transactions on Nuclear Science*, volume 55, n° 5, p. 2727-2735.

Contrairement aux expressions précédentes, cette écriture a un avantage pratique car elle permet une introduction plus facile dans les logiciels de calculs et une ébauche manuelle plus aisée pour le concepteur. Les paramètres  $\alpha_s$ ,  $\alpha_p$  et  $\alpha_f$  sont respectivement les coefficients de bruit série, parallèle et fréquentiel du filtre utilisé pour la mise en forme [A-5]

Toutefois afin que l'équation de l'ENC soit valide dans toute la plage de fonctionnement du transistor (de la faible inversion à la forte inversion), il faut que les expressions des paramètres liés au transistor d'entrée restent valides quelle que soit la zone de polarisation. Ainsi, plutôt que d'utiliser le modèle BSIMx, on choisit le modèle EKV [A-7] [A-8] pour modéliser les paramètres des transistors MOS, notamment  $g_m$ ,  $C_{grille}$  et  $\gamma_n$ . En effet, le modèle introduit par Enz, Krümmenacher et Vittoz de l'École Polytechnique Fédérale de Lausanne (EPFL) offre des équations des paramètres petits et larges signaux des transistors MOS, qui sont continues dans toutes les régions d'opération.

#### Références

---

[A-7] ENZ, C. et KRÜMMENACHER, F. et VITTOZ, E. (1995). An Analytical MOS Transistor Model Valid in All Region of Operation and Dedicated to Low Voltage and Low Current Application *Analog Integrated Circuits and Signal Processing*, volume 8, p. 83-114.

[A-8] GRYBOS, P., IDZIK, M. et MAJ, P. (2007). Noise Optimization of Charge Amplifiers With MOS Input Transistors Operating in Moderate Inversion Region for Short Peaking Times. *IEEE Transactions on Nuclear Science*, volume 54, n° 3, p. 555-560.