

REPUBLIQUE ALGERIENNE DEMOCRATIQUE ET POPULAIRE



**MINISTERE DE L'ENSEIGNEMENT SUPERIEUR
ET DE LA RECHERCHE SCIENTIFIQUE**

UNIVERSITE SAAD DAHLEB DE BLIDA

Faculté des sciences de l'ingénieur

Département Aéronautique

Option : Avionique



MEMOIRE de fin d'études

Pour l'obtention du Diplôme des Etudes Universitaires Appliquées

En Aéronautique

THEME

**ETUDE ET APPLICATIONS DES PLL
& REALISATION D'UN
COMPARATEUR DE FREQUENCES
AVEC HYSTERESIS**

Présenté par :

- Mezioud Bachir
- Agsous Fayçal

Proposé par :

M. Laib Abdelaziz

Promotion 2002/2003

REMERCIEMENTS

Nous tenons en premier lieu à remercier Dieu le tout-puissant qui nous a donné le courage et la volonté pour pouvoir achever ce travail et savoir guidé vers le chemin de la Lumière et du savoir.

Nos vifs remerciements vont à nos parents qu'ils nous ont beaucoup aidé durant nos études.

Notre gratitude et remerciement à nos enseignants de l'institut aéronautique de Blida et surtout les enseignants option: avionique.

Nous exprimons notre reconnaissance et nos chaleureux remerciements pour le bien fait afin d'élaborer ce petit ouvrage à :

Mon promoteur: Laib Abdel Aziz

Mansouri Imed

Nous tenons à remercier les membres du jury pour l'honneur qu'ils nous accordent, en acceptant de juger notre travail.

Merci à toute personne ayant contribué de près ou de loin pour l'accomplissement de ce travail.

Bachir L. Fayçal

Dédicaces

Ce modeste travail est dédié :

- *A mes chers parents qui n'ont jamais cessé de m'aimer, me donner amour et affection, de s'inquiéter pour moi, et me guider par leurs prières.*
- *A toute ma famille, surtout a mes chères frères et mes sœurs ainsi ma petite-nièce Ahlem.*
 - *A mes oncles et mes tantes et leurs familles.*
 - *A mon ami et binôme Fayçal ainsi sa famille.*
 - *A l'amer de mes grands-parents.*
 - *A ma promotion sortante et celle de 1997 ainsi bloc 02.*

❖ *A vous mes amis et collègues :*

Fayçal, Amine, Houari, Fouad, Bachir, Hakim, Merouane, Raid, Chams-Eddine, Beljillali, Hicham, Hamad, Oualid, Mohamed, Achour, Djamel, Nadir, Karim, Ali, Mehdi, Hakim, Elhadj, Mansour, Karim, Kader, Fouzi..

❖ *A mes amies :*

Radia, Nawel, Jazia, Ouada, Hannane, Fatiha, Maya, Asmaa, Leila, Idrine, Hayet, Messaouda, Naima, Sarah, Ibtisam, Siham, Nesrine.

BACHIR

Sommaire

Dédicace

Remerciement

Abréviations utilisées

Introduction Générale

Chapitre I : Les Boucles d'asservissement de phase

Introduction	01
I.1 Fonction de transfert des différents éléments	03
I.2 Fonction de transfert d'une PLL	03
I.21 Rappels sur les systèmes asservis	03
I.22 Schéma fonctionnel définitif	04
I.23 Fonction de transfert de la chaîne directe.....	06
I.24 Fonction de transfert de la boucle fermée	06
I.25 Etude de la stabilité de la boucle dans le cas d'un filtre RC	08
I.3 Principe de fonctionnement d'une PLL	10
I.31 Structure	10
I.32 Les éléments de la PLL	10
I-32.1 Comparateur de phase	11
I.32.2 Filtre passe-bas.....	12
I.32.3 Oscillateur commandé en tension (VCO).....	12
II.33 Synthèse : caractéristique de transfert « <i>comparateur de phase + filtre + VCO</i> ».....	13
II-34 Etude simplifiée du fonctionnement de la PLL.....	13

Chapitre II : Applications des PLL

Introduction.....	18
II.1 Démodulation de fréquence.....	18
II.2 Synthèse de fréquences.....	22
II.3 Emetteur à modulation de phase.....	24
II- 4- Démodulation d'une onde modulée en amplitude sans porteuse et démodulation.....	26

I-5 Décodeur stéréophonique.....	29
II-6 Contrôle de la vitesse de rotation d'un moteur.....	30

Chapitre III : Principe de fonctionnement de la CD4046

Introduction	31
III-1 Etude de la P.L.I. CD 4046 avec un comparateur de phase de type I.....	32
III-11 Description du comparateur de phase.....	32
III-12 Etude théorique de la boucle.....	33
III-13 Plage de maintien.....	34
III-14 Plage de capture (d'accrochage).....	34
III-15 Réponse transitoire.....	36
III-2 Etude de la P.L.I. CD 4046 avec un comparateur de type 2	37
III-21 Le comparateur de phase à 3 états.....	37
III-22 La pompe de charge	39
III-22.1 Fonctionnement.....	39
III-22.2 Amélioration.....	40
III-22.3 Fonction de transfert approchée.....	41
III-3 Etude de la boucle sous l'approximation de la bande étroite.....	43
III-4 Boucle améliorée et applications.....	44
III-41 Boucle du 3ème ordre.....	44
III-42 Synthétiseur de fréquences.....	46
III-5 Exemple de chronogrammes réels obtenus avec le comparateur de type II.....	47

Chapitre IV- Réalisation d'un comparateur de fréquences avec hystérésis

Introduction	48
IV-1 Description du montage	48
IV-2 Réalisation pratique.....	56

Conclusion Générale

Annexes

Bibliographie

Introduction Générale

La naissance de la PLL remonte à 1932, alors qu'un ingénieur nommer DE BELLESCIZE cherchait à améliorer la réception des signaux radioélectriques en modulation d'amplitude. Auparavant, la démodulation de ces signaux se faisait grâce à une détection d'enveloppe obtenue

L'inconvénient du détecteur de crête, c'est qu'il est très sensible aux bruits parasites, qu'ils soient d'origine atmosphérique (orages) ou industrielle (moteurs). Les signaux utiles trop faibles étaient donc noyés dans du bruit et devenaient inutilisables. En utilisant un détecteur de crête (circuit comportant une diode, un condensateur et une résistance).

Un nouveau principe de démodulation, appelé démodulation synchrone, a alors été mis au point. Il nécessite la production, au niveau du récepteur, d'un signal dont la phase est verrouillée sur celle de la porteuse de l'émission reçue. En 1932, à l'époque des tubes, les réalisations à base de PLL étaient volumineuses et chères. C'est pourquoi ce principe a été réservé aux matériels professionnels jusqu'à la généralisation des circuits intégrés.

L'arrivée des circuits intégrés a bouleversé toutes les branches de l'électronique :

- l'amplificateur opérationnel a transformé la conception des schémas qui traitent les signaux dans le domaine temporel ;

- la PLL a permis des progrès considérables pour le traitement des signaux dans le domaine fréquentiel ;
- le microprocesseur vous permet de lire ce texte.

Outre la démodulation synchrone, les différentes applications possibles de la PLL sont peut-être aussi nombreuses et variées que celles que l'on a trouvées pour l'amplificateur opérationnel. On peut citer, sans que cette liste soit limitative :

- la démodulation de fréquence ;
- la démodulation de phase ;
- la démodulation en BLU ;
- la réalisation de décodeurs de tonalité ;
- la multiplication de fréquence par un nombre entier ;
- la réalisation de radars à effet DOPPLER ;
- la réalisation de filtres de poursuite ;
- l'asservissement de la vitesse de moteurs à courant continu.

CHAPITRE 1

Les Boucles d'asservissement de phase

- 1- Fonction de transfert des différents éléments.*
- 2- Fonction de transfert d'une PLL*
- 3- Principe de fonctionnement d'une PLL*

Introduction

Les boucles à verrouillage de phase (PLL en anglais pour Phase Locked Loop) sont des circuits intégrés très utilisés en électronique. Il s'agit donc comme leur nom l'indique d'un asservissement de phase dont le rôle est d'asservir la phase d'un oscillateur local à celle d'un signal extérieur. Les boucles à verrouillage de phase sont au cœur de nombreux matériels électroniques : synthétiseurs de fréquence, récepteurs de télévision, téléphones cellulaires,

La technologie des PLL peut être analogique (c'est souvent le cas pour les fréquences les plus élevées en R.F.) ou digitale (pour les fréquences moins élevées : jusqu'à 1 à 20 MHz environ selon le type de circuit intégré). Le raisonnement et les équations restent semblables avec les deux technologies.

La structure minimale d'un PLL comprend :

- un comparateur de phase ;
- un filtre passe-bas ;
- un oscillateur commandé en tension (VCO).

➤ **Schéma fonctionnel simplifié initial.**

Afin de ne pas compliquer l'étude, nous allons commencer en raisonnant sur un schéma facile à comprendre mais qui comporte quelques inexactitudes sur lesquelles nous reviendrons par la suite.

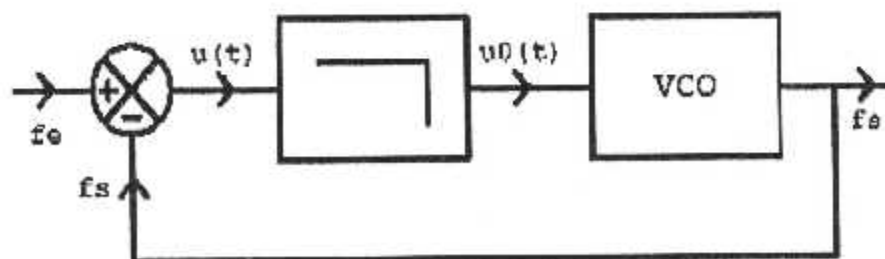


Figure 1-a

Le comparateur de phase délivre un signal $u(t)$ constitué d'une valeur moyenne $u_0(t)$ et de toute une série d'harmoniques. Dans le cas d'une PLL digitale, $u(t)$ est un signal carré positif variant entre 0V et la tension d'alimentation positive. Il est important de retenir que $u_0(t)$ est une tension continue proportionnelle au déphasage qui existe entre les deux signaux appliqués sur les entrées du comparateur de phase. Le filtre passe-bas transmet la tension continue $u_0(t)$ à l'entrée du VCO qui délivre sur sa sortie une fréquence proportionnelle à $u_0(t)$.

➤ **Schéma fonctionnel simplifié complet**

La structure minimale peut être complétée par :

- un amplificateur de tension dont le gain permet d'ajuster la précision et la stabilité de la boucle ;
- un diviseur par N dans la chaîne de retour pour obtenir une multiplication de fréquence (c'est peut-être bizarre, mais il n'y a pas d'erreur !).

On obtient ainsi le schéma fonctionnel simplifié complet suivant :

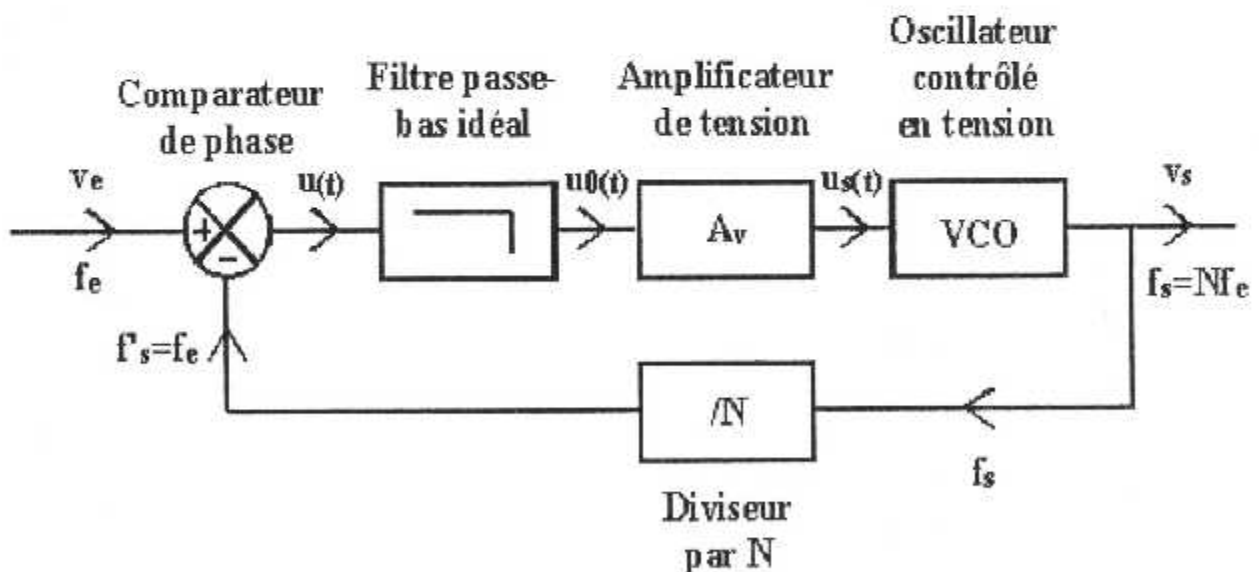


Figure 1-b

I-1 Fonction de transfert des différents éléments

La fonction de transfert de chacun des blocs du schéma fonctionnel ci-dessus est définie comme suit :

- Comparateur de phase : $K_c = \frac{du_c}{d\varphi}$ en V/rd.
- Filtre passe-bas idéal : $T = \frac{u_c}{u}$ sans unité.
- Filtre passe-bas réel : $T = \frac{u_c}{u}$
- Amplificateur de tension : $A_v = \frac{u_s}{u_c} = Cte$ sans unité.
- VCO : $K_v = \frac{\Delta\omega_s}{\Delta u_c} = 2\pi \frac{\Delta f_s}{\Delta u_c}$ en rad/s/V.

k_v s'appelle la **sensibilité** du VCO.

- Diviseur par N en retour : $K_T = \frac{\omega_r}{\omega_s} = \frac{f_r}{f_s}$ sans unité.

$$K_i = \frac{1}{N}$$

I-2 Fonction de transfert d'une PLL

I-21 Rappels sur les systèmes asservis

Schéma-bloc d'un système bouclé :

$H_o(p)$: fonction de transfert de la chaîne directe.

$B(p)$: fonction de transfert de la chaîne de retour.

$H_o(p).B(p)$: fonction de transfert de la boucle fermée.

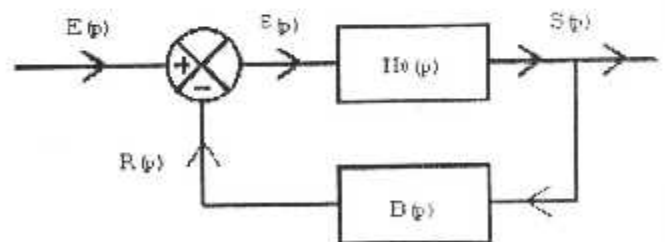


Figure I-1

Fonction de transfert de la boucle fermée :

$$H(p) = \frac{S(p)}{E(p)} = \frac{S(p) \cdot H_0(p)}{E(p)} = \frac{(E(p) - S(p) \cdot B(p)) \cdot H_0(p)}{E(p)}$$

$$H(p) = (1 - H(p) \cdot B(p)) H_0(p)$$

$$H(p) = H_0(p) - H(p) \cdot B(p) \cdot H_0(p)$$

$$H(p)(1 + B(p) \cdot H_0(p)) = H_0(p)$$

$$H(p) = \frac{H_0(p)}{1 + B(p) \cdot H_0(p)}$$

Formule de BLACK

Tout schéma-bloc avec une chaîne de retour quelconque peut être transformé, par déplacement de blocs, en un schéma-bloc à retour unitaire.

Lorsqu'un système est à retour unitaire, sa fonction de transfert en boucle fermée devient :

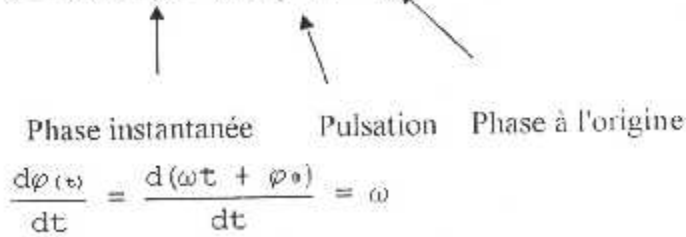
$$H(p) = \frac{H_0(p)}{1 + H_0(p)}$$

Remarque : lors de la transformation du schéma-bloc, l'expression de $H_0(p)$ est modifiée.

II-22 Schéma fonctionnel définitif

Le comparateur de phase délivre une tension proportionnelle au déphasage entre les deux signaux d'entrée. Ce sont donc deux phases qui doivent apparaître sur ses deux entrées.

Avec un signal de la forme : $v = V \sin \varphi(t) = V \sin(\omega t + \varphi_0)$



La pulsation est la dérivée par rapport au temps de la phase instantanée :

$$\omega = \frac{d\varphi(t)}{dt} \Leftrightarrow \omega(p) = p \cdot \varphi(p)$$

Réciproquement :

$$\varphi(t) = \int_0^t \omega dt + C \quad \text{et} \quad \varphi(p) = \frac{1}{p} \cdot \omega(p)$$

En pratique, les grandeurs d'entrée et de sortie sont des fréquences.

En multipliant une fréquence par 2π , on obtient une pulsation et en multipliant une pulsation par $1/p$, on obtient une phase instantanée. Ces deux multiplications vont faire apparaître deux nouveaux blocs représentant ces opérations mathématiques mais qui ne correspondent pas à des éléments matériels.

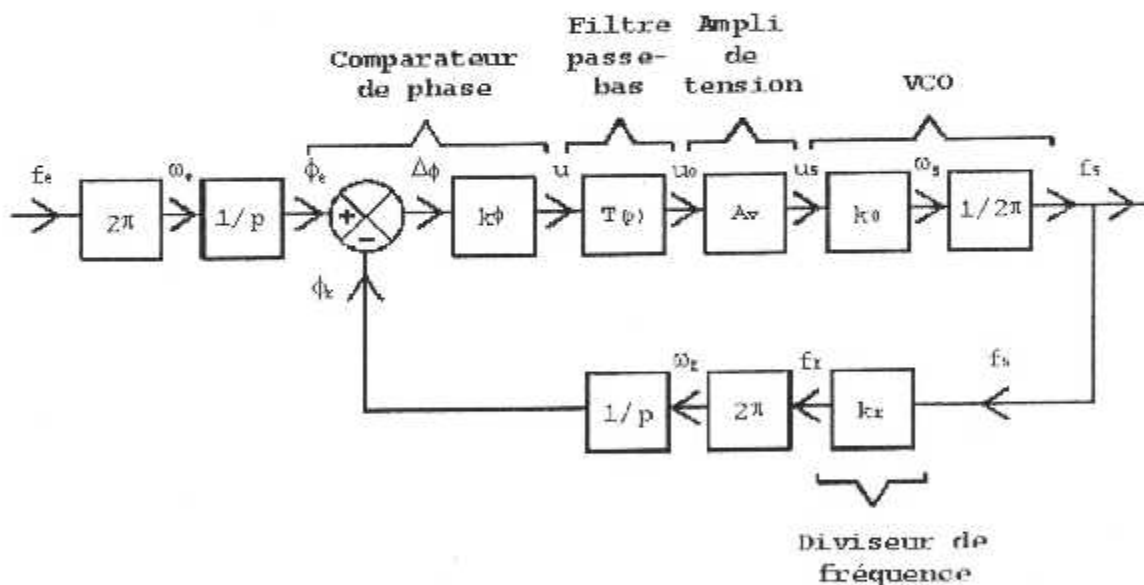


Figure 1-2 Schéma fonctionnel

On peut simplifier ce schéma en déplaçant les blocs 2π et $1/p$.

On aboutit ainsi au schéma définitif d'une PLL :

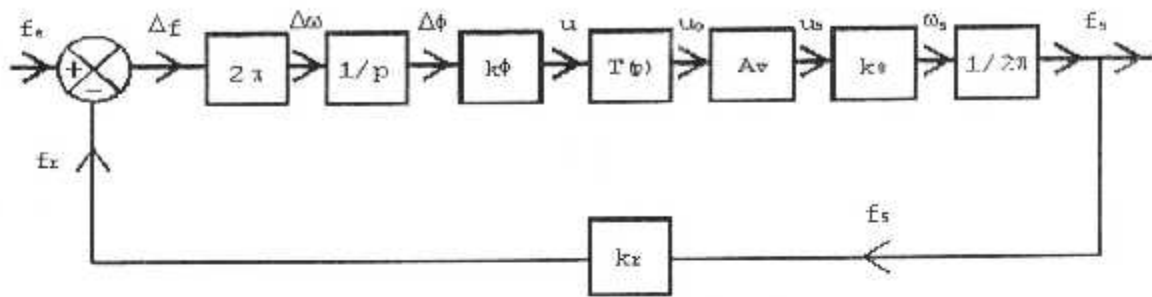


Figure I-3 Schéma définitif d'une PLL.

II-23 Fonction de transfert de la chaîne directe

On l'obtient en faisant le produit des fonctions de transfert de chaque bloc :

$$H_0(p) = \frac{2\pi \cdot k_0 \cdot T(p) \cdot A_v \cdot k_0}{p \cdot 2\pi} = \frac{k_\varphi \cdot T(p) \cdot A_v \cdot k_0}{p}$$

II-24 Fonction de transfert de la boucle fermée

La fonction de transfert de la boucle fermée est :

$$H(p) = \frac{H_0(p)}{1 + B(p) \cdot H_0(p)} \quad B(p) = k_r = \frac{1}{N}$$

$$H(p) = \frac{\frac{k_\varphi \cdot T(p) \cdot A_v \cdot k_0}{p}}{1 + \frac{k_r \cdot k_0 \cdot T(p) \cdot A_v \cdot k_0}{p}} = \frac{k_\varphi \cdot T(p) \cdot A_v \cdot k_0}{p + k_r \cdot k_\varphi \cdot T(p) \cdot A_v \cdot k_0}$$

$$H(p) = \frac{1}{k_r} \cdot \frac{1}{1 + \frac{p}{k_r \cdot k_\varphi \cdot T(p) \cdot A_v \cdot k_0}}$$

Exemple : Application à la PLL étudiée expérimentalement.

$A_v = 1$ (pas d'amplificateur de tension)

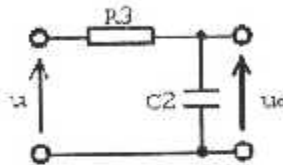
$k_r = 1$ (pas de diviseur en retour)

k_0 a été calculé lors de l'étude expérimentale :

$$k_v = \frac{V_{m}}{\pi} = \frac{10}{\pi} \approx 3,18 \text{ V / rd}$$

$$k_0 = \frac{f_0}{\frac{V_{01}}{2}} = \frac{10^4}{5} = 2 \text{ kHz / V} \approx 12,57 \cdot 10^3 \text{ rd / s / V}$$

Filtre passe-bas RC :



$$\tau = R3C2 = 1 \text{ ms}$$

$$T(p) = \frac{1}{1 + \tau p} = \frac{1}{1 + 10^{-3} p}$$

Figure 1-4

On obtient :

$$H(p) = \frac{3,18 \times 12,57 \cdot 10^3}{1 + 10^{-3} p} \approx \frac{4 \cdot 10^4}{p(1 + 10^{-3} p) + 4 \cdot 10^4}$$

$$H(p) = \frac{1}{1 + 2,5 \cdot 10^{-6} p + 2,5 \cdot 10^{-6} p^2}$$

Forme canonique :
$$H(p) = \frac{1}{1 + \frac{2m}{\omega_0} p + \frac{p^2}{\omega_0^2}}$$

C'est la fonction de transfert classique d'un système du **second ordre**.

Par identification :

$$\frac{1}{\omega_0^2} = 2,5 \cdot 10^{-6} \Rightarrow \omega_0 \approx 6,32 \cdot 10^2 \text{ rd / s} \approx 1,006 \text{ kHz}$$

$$\frac{2m}{\omega_0} = 2,5 \cdot 10^{-5} = \frac{2m}{6,32 \cdot 10^2}$$

$$m = \frac{1}{2} \cdot 2,5 \cdot 10^{-5} \times 6,32 \cdot 10^2 \approx 0,08$$

Dépassement : $d = e^{-\frac{m}{\sqrt{1-m^2}}} \approx 78\%$

II-25 Etude de la stabilité de la boucle dans le cas d'un filtre RC

$$T(p) = \frac{1}{1 + \tau p} \quad \text{avec } \tau = RC$$

$$H(p) = \frac{k_f \cdot \frac{1}{1 + \tau p} \cdot A_v \cdot k_0}{p + k_r \cdot k_f \cdot \frac{1}{1 + \tau p} \cdot A_v \cdot k_0} = \frac{k_f \cdot A_v \cdot k_0}{p(1 + \tau p) + k_r \cdot k_f \cdot A_v \cdot k_0}$$

$$H(p) = \frac{1}{\frac{p}{k_f \cdot A_v \cdot k_0} + \frac{\tau p^2}{k_f \cdot A_v \cdot k_0} + k_r}$$

$$H(p) = \frac{1}{k_r} \cdot \frac{1}{1 + \frac{p}{k_r \cdot k_f \cdot A_v \cdot k_0} + \frac{\tau p^2}{k_r \cdot k_f \cdot A_v \cdot k_0}}$$

Expressions littérales de ω_0 et m

$$H(s) = K \cdot \frac{1}{1 + \frac{2m}{\omega_0} p + \frac{p^2}{\omega_0^2}}$$

$$\frac{1}{\omega_0^2} = \frac{\tau}{k_r \cdot k_f \cdot A_v \cdot k_0} \Rightarrow \omega_0 = \sqrt{\frac{k_r \cdot k_f \cdot A_v \cdot k_0}{\tau}}$$

$$\frac{2m}{\omega_0} = \frac{1}{k_r \cdot k_f \cdot A_v \cdot k_0} \Rightarrow m = \frac{1}{2} \cdot \frac{\omega_0}{k_r \cdot k_f \cdot A_v \cdot k_0}$$

$$m = \frac{1}{2} \cdot \frac{\sqrt{k_r \cdot k_f \cdot A_v \cdot k_0}}{k_r \cdot k_f \cdot A_v \cdot k_0}$$

$$m = \frac{1}{2 \sqrt{\tau \cdot k_r \cdot k_f \cdot A_v \cdot k_0}}$$

Choix de m

- Si m tend vers 0, le dépassement tend vers 100 %, le temps de réponse à 5 % tend vers l'infini et la boucle devient instable.
- Si $m = 1$, le dépassement est nul mais le temps de réponse à 5 % est long. On dit que le régime est critique.
- Selon l'application, on choisit souvent m compris entre 0,4 et 0,7. Ces valeurs correspondent à un bon compromis dans beaucoup de cas, mais ce n'est pas une règle.
- Lors de l'étude expérimentale, on avait trouvé $m = 0,08$, ce qui peut sembler une valeur trop faible. Cette valeur a été choisie pour avoir un signal pratiquement exempt d'ondulation à la sortie du filtre RC, la durée du régime transitoire et le dépassement ayant, dans ce cas, peu d'importance.

Choix de la structure du filtre

L'étude précédente a été effectuée en prenant pour filtre passe-bas un réseau RC. C'est la solution la plus simple, mais pas la plus performante. De meilleurs résultats peuvent être obtenus facilement en utilisant un filtre passe-bas comportant deux résistances et un condensateur. Cette solution est assez courante (et constitue une source presque inépuisable de sujets de devoirs surveillés...). Par contre, l'usage de filtres actifs d'un ordre plus élevé est rare.

Application numérique :

On choisit $m = 0,5$, ce qui donnera un dépassement de 16,3 %.

Calculer ω_b , la pulsation propre de la boucle ω_b et la fréquence propre de la boucle f_0 .

Attention : f_0 ne représente pas ici la fréquence centrale du VCO.

$$m^2 = \frac{1}{4\tau \cdot k_r \cdot k_\varphi \cdot A_v \cdot k_0} \Rightarrow \tau = \frac{1}{4m^2 \cdot k_r \cdot k_\varphi \cdot A_v \cdot k_0}$$

$$\tau = \frac{1}{4 \times 0,25 \times 3,18 \times 12,57 \cdot 10^3} = 25 \cdot 10^{-6} \text{ s}$$

En valeurs normalisées, on pourra choisir par exemple $R_3 = 27 \text{ k}\Omega$
et $C_2 = 1 \text{ nF}$.

$\omega_s \approx 40 \cdot 10^3 \text{ rd/s}$ soit $f_s \approx 6366 \text{ Hz}$.

I.3 Principe de fonctionnement d'une PLL

I..31 Structure

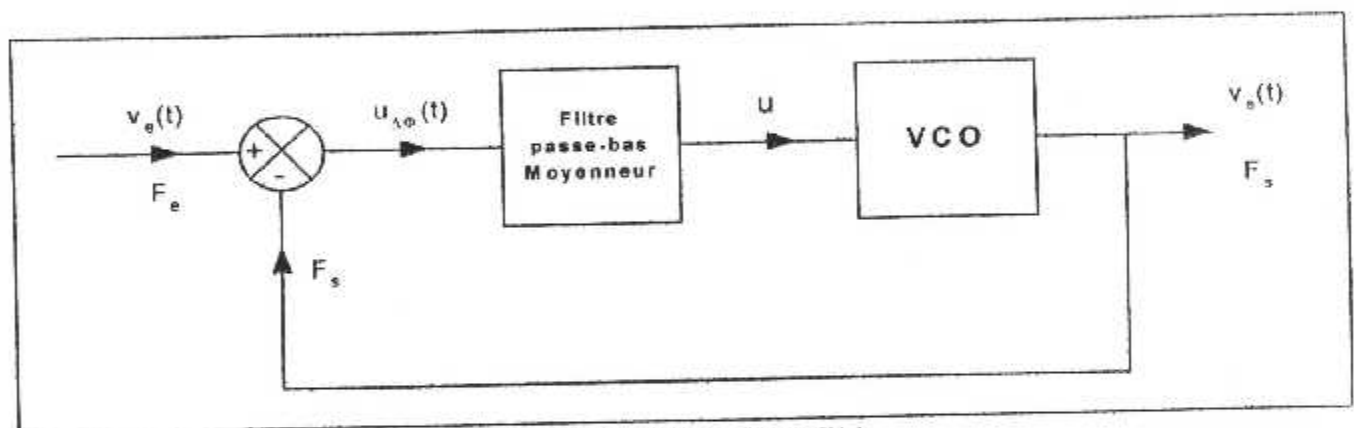


Figure I-5 Structure d'une PLL

I.32 Les éléments de la PLL

Les éléments de base de la PLL sont :

- Un comparateur de phase.
- Un filtre passe-bas.
- Un oscillateur commandé en tension (OCT ou VCO « Voltage Controlled Oscillator »).

1.32.1 Comparateur de phase

Ce circuit compare la phase de ces deux signaux, et fournit une tension d'erreur $u_{\Delta\Phi}(t)$ dont la valeur moyenne est proportionnelle au déphasage $\Delta\Phi$ (ou « erreur de phase ») entre v_e et v_s :

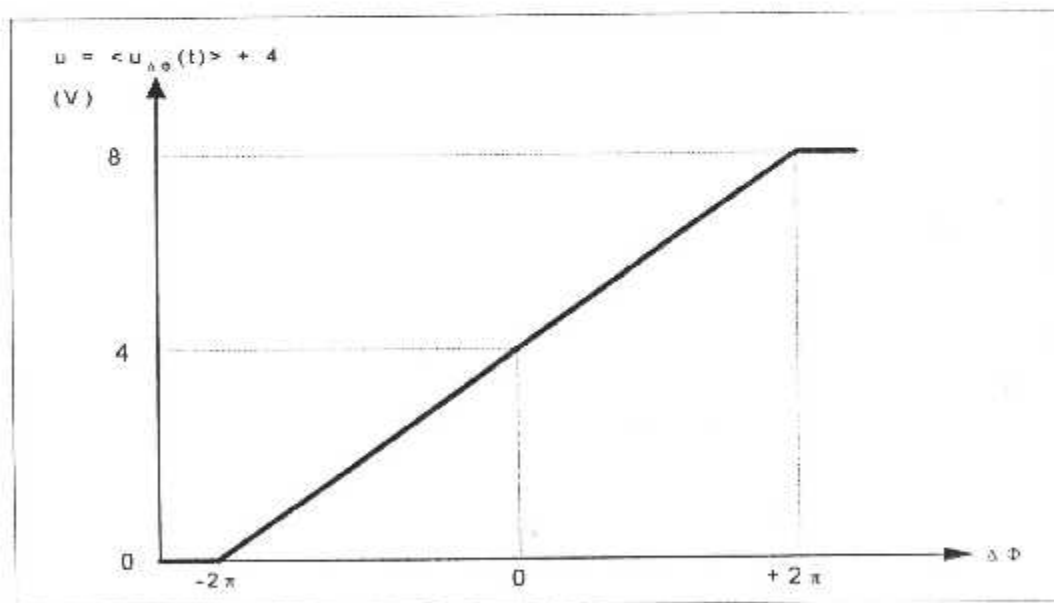
$$v_e(t) = v_e \sin(\omega_e t + \varphi_e) \quad v_s(t) = v_s \sin(\omega_s t + \varphi_s)$$

$$\Delta\Phi = (\omega_e t + \varphi_e) - (\omega_s t + \varphi_s) = (\omega_e - \omega_s) t + (\varphi_e - \varphi_s)$$

a) **Premier cas** : la boucle est « verrouillée », nous verrons que cela se traduit par $F_s = F_e$: $\Delta\Phi = \varphi_e - \varphi_s$

b) **Second cas** : la boucle n'est pas verrouillée : $\Delta\Phi$ et la tension $u_{\Delta\Phi}(t)$ varient à la fréquence $(F_e - F_s)$ qui est la fréquence des « battements » de v_e et v_s .

La forme de la tension $u_{\Delta\Phi}(t)$ peut varier en fonction de la technologie du comparateur de phase (analogique, numérique) et en fonction de la valeur du déphasage ; l'important est que sa valeur moyenne varie linéairement en fonction de $\Delta\Phi$.



2-15

Figure 1-6 $U = \langle u_{\Delta\Phi} \rangle = f(\Delta\phi)$

1.32.2 Filtre passe-bas

Le rôle de ce filtre est d'extraire la valeur moyenne de la tension $u_{\Delta\Phi}(t)$, en rejetant les harmoniques. On obtient en sortie une tension u continue égale à $\langle u_{\Delta\Phi}(t) \rangle + 4V$ (voir la caractéristique de transfert page précédente, les 4V représentent le point de repos).

Quand la boucle est verrouillée, les fréquences F_s et F_e sont égales, donc l'erreur de phase $\Delta\Phi$ et la tension u sont constantes (aux perturbations près).

Remarque : les paramètres du filtre (fréquence de coupure, pente, amplification pour les filtres actifs) sont déterminants pour les caractères de l'asservissement : stabilité, précision, temps de réponse, plages de capture et de verrouillage.

1.32.3 Oscillateur commandé en tension (VCO)

Un oscillateur est un dipôle actif (sans compter les bornes d'alimentations) qui produit un signal périodique. Un VCO est un quadripôle, il possède une entrée pour une tension de commande u qui permet de faire varier, linéairement de préférence, la fréquence F_s de l'oscillateur.

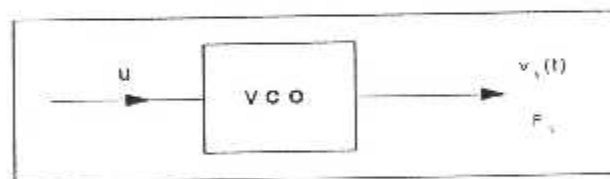


Figure I-7

La fréquence F_s de travail doit être choisie entre $F_{s\ min}$ et $F_{s\ max}$, et de préférence au voisinage de la « fréquence centrale » du VCO : F_{s0} , qui correspond au point de repos $u = 4V$.

La valeur désirée de la fréquence centrale F_{s0} du VCO est obtenue par le choix des éléments (L, C) de l'oscillateur.

I.33 Synthèse : caractéristique de transfert « comparateur de phase + filtre + VCO »

La synthèse des deux caractéristiques précédentes donne la caractéristique de transfert ci-dessous :

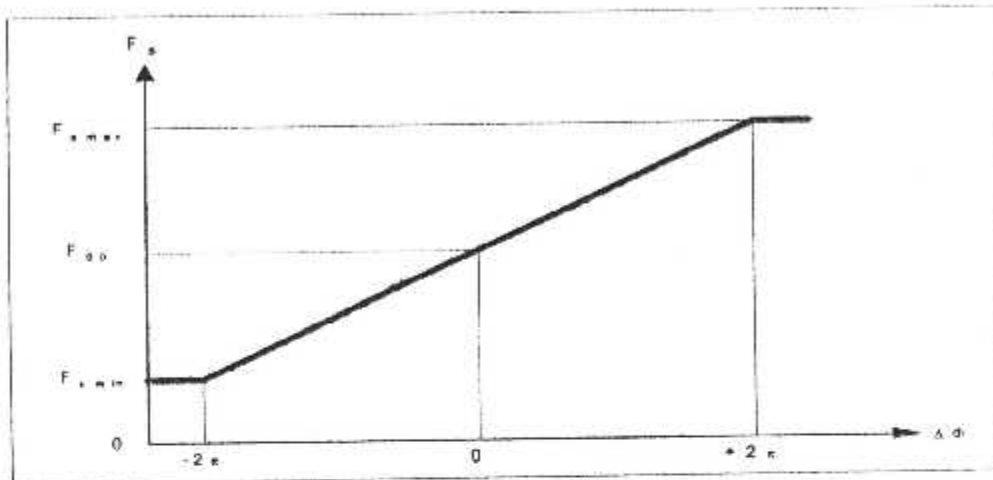


Figure I-7

I-34 Etude simplifiée du fonctionnement de la PLL

Envisageons le montage expérimental ci-dessous : la PLL est attaquée par un générateur de signal sinusoïdal de fréquence variable F_c .

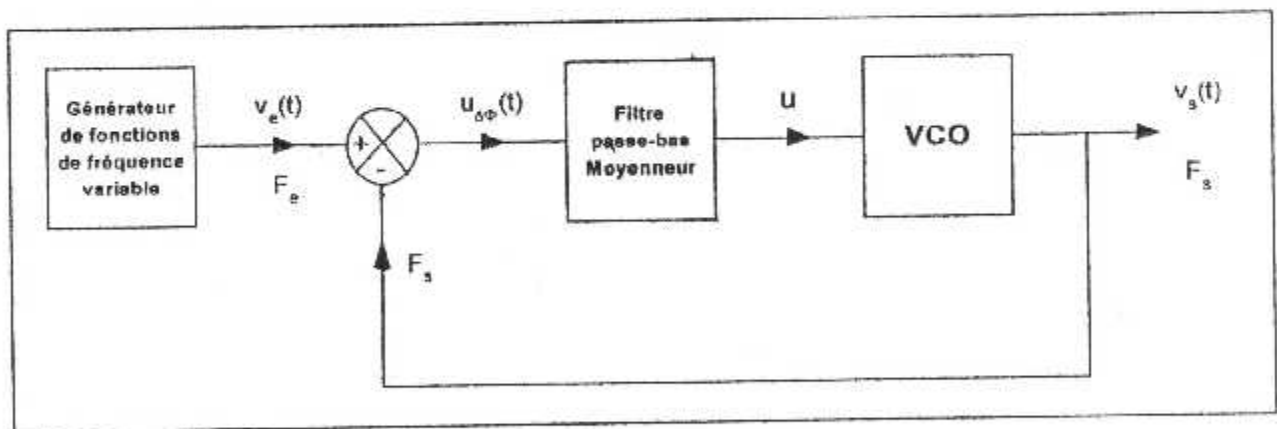


Figure I-8 Schéma synoptique d'une PLL

Supposons (voir courbes précédentes) les valeurs suivantes pour le VCO :

- fréquence centrale $F_{S0} = 1 \text{ kHz}$ (pour $u = 4 \text{ V}$) (valeurs du point de repos)
- $F_{s \text{ min}} = 600 \text{ Hz}$ (pour $u = 0 \text{ V}$)
- $F_{s \text{ max}} = 1400 \text{ Hz}$ (pour $u = 8 \text{ V}$)

Supposons que le filtre passe-bas est parfait et ne laisse passer que les signaux de fréquence $< 100 \text{ Hz}$

a) PLL verrouillée ($F_s = F_e$)

- Si $F_e = F_s = F_{S0}$ (cas idéal) alors $u = 4 \text{ V} = \text{cte}$ (tension de repos du moyennneur) et $\Delta\Phi = 0 = \text{cte}$; v_s et v_e ont même fréquence et même phase.

- Si $F_e = F_s = 900 \text{ Hz}$ alors $u = 3 \text{ V} = \text{cte}$ et $\Delta\Phi = -\pi/2 = \text{cte}$; v_s est en avance de $T/4$ sur v_e .

- Si $F_e = F_s = 1100 \text{ Hz}$ alors $u = 5 \text{ V} = \text{cte}$ et $\Delta\Phi = +\pi/2 = \text{cte}$; v_s est en retard de $T/4$ sur v_e .

Dans ces 3 cas $\Delta\Phi = \text{cte}$ donc $u = \langle u_{\Delta\Phi}(t) \rangle = \text{cte}$; mais en fait il y a toujours des perturbations : si F_s tend à augmenter, alors l'écart de phase $\Delta\Phi = \varphi_e - \varphi_s$ diminue, donc $\langle u_{\Delta\Phi}(t) \rangle$ et u diminuent, ce qui ramène F_s à la même valeur que F_e ; de même si F_s tend à diminuer ; il s'agit donc d'un équilibre stable.

b) PLL non verrouillée ($F_s \neq F_e$)

Le comparateur de phase fournit un signal $u_{\Delta\Phi}(t)$ formé de deux composantes :

- l'une de fréquence basse ($F_e - F_s$) qui pourra être dans certains cas dans la bande passante du filtre ($0 < F < 100 \text{ Hz}$)

- l'autre de fréquence haute ($F_e + F_s$) qui est toujours $\gg 100 \text{ Hz}$ donc rejetée par le filtre.

Faisons varier F_e à partir de 500 Hz :

- $F_e = 500 \text{ Hz}$; le comparateur de phase fournit une fréquence haute 1500 Hz et une fréquence basse 500 Hz ; les deux sont rejetées par le filtre ; u reste à sa valeur de repos 4 V et F_s reste égale à sa valeur de repos $F_{S0} = 1 \text{ kHz}$; la PLL n'est pas verrouillée.

- $F_e = 900$ Hz : la fréquence basse atteint 100 Hz et est transmise par le filtre. La fréquence F_s se met à osciller à 100 Hz (autour de $F_{s0} = 1000$ Hz) mais en se rapprochant de 900 Hz (* voir page suivante), donc u diminue. C'est la phase de capture. Quand F_s atteint $F_c = 900$ Hz, la PLL se verrouille, alors $u = \text{cte} = 3$ V et $\Delta\Phi = -\pi/2 = \text{cte}$.

- $900 \text{ Hz} < F_e < 1400 \text{ Hz}$: la PLL reste verrouillée, avec $F_s = F_e$; le déphasage varie de $-\pi/2$ à 2π et u varie de 3V à 8V.

- $F_e = 1400$ Hz et au-delà; F_s ne peut plus augmenter; la boucle se déverrouille ($F_s \neq F_c$), f_s retombe à $F_{s0} = 1000$ Hz, l'écart de fréquence $(F_c - F_s) = 400$ Hz puis croit, cet écart est de fréquence supérieure à la bande passante du filtre passe-bas, donc $u = 4$ V = cte.

Même principe pour F_e décroissante de 1500 Hz à 500 Hz : verrouillage à 1100 Hz et décrochage à 600 Hz.

Pour cette PLL on dira que :

- La plage de capture est de 900 Hz à 1100 Hz.
- La plage de verrouillage est de 600 Hz à 1400 Hz.

L'expérience peut se résumer par les courbes suivantes :

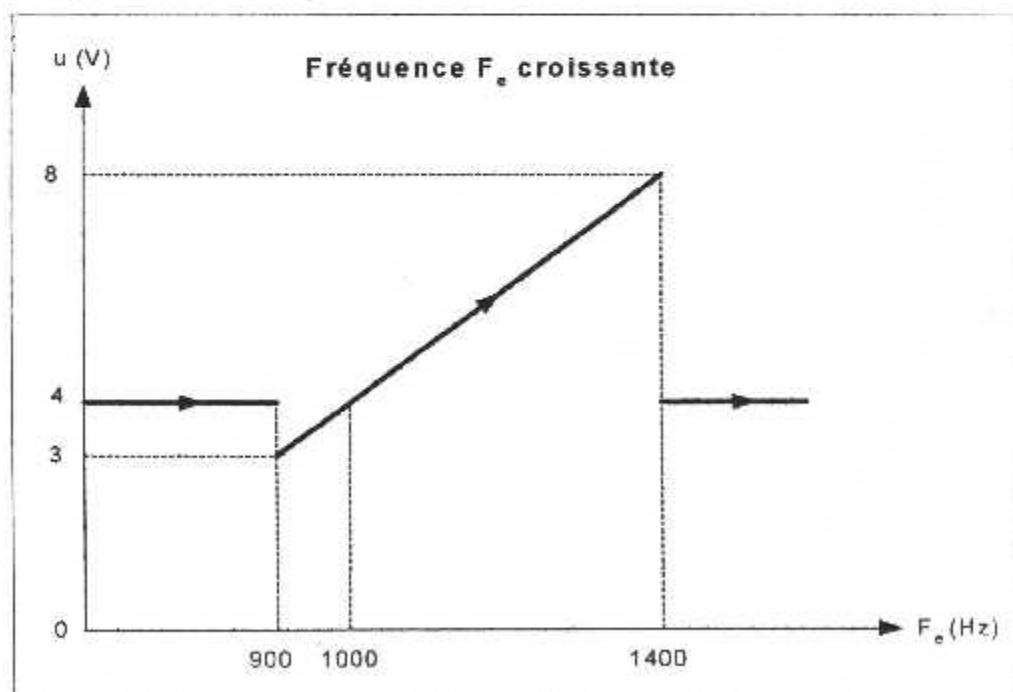


Figure I-9

- $F_e < 900 \text{ Hz}$: PLL non verrouillée
- $F_e = 900 \text{ Hz}$: capture
- $900 \text{ Hz} < F_e < 1400 \text{ Hz}$: verrouillage
- $F_e = 1400 \text{ Hz}$: décrochage
- $F_e > 1400 \text{ Hz}$: PLL non verrouillée

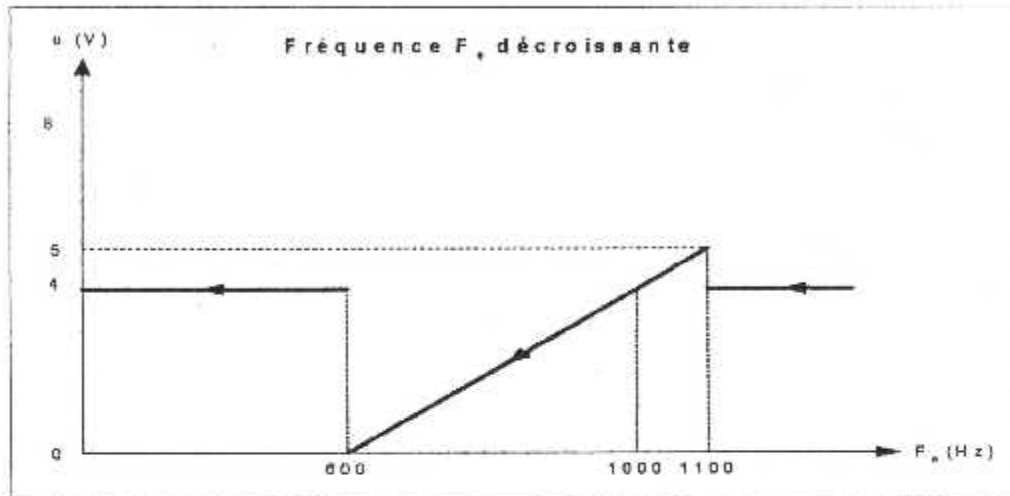


Figure I-10

- $F_e > 1100 \text{ Hz}$: PLL non verrouillée
- $F_e = 1100 \text{ Hz}$: capture
- $1100 \text{ Hz} > F_e > 600 \text{ Hz}$: verrouillage
- $F_e = 600 \text{ Hz}$: décrochage
- $F_e < 600 \text{ Hz}$: PLL non verrouillée

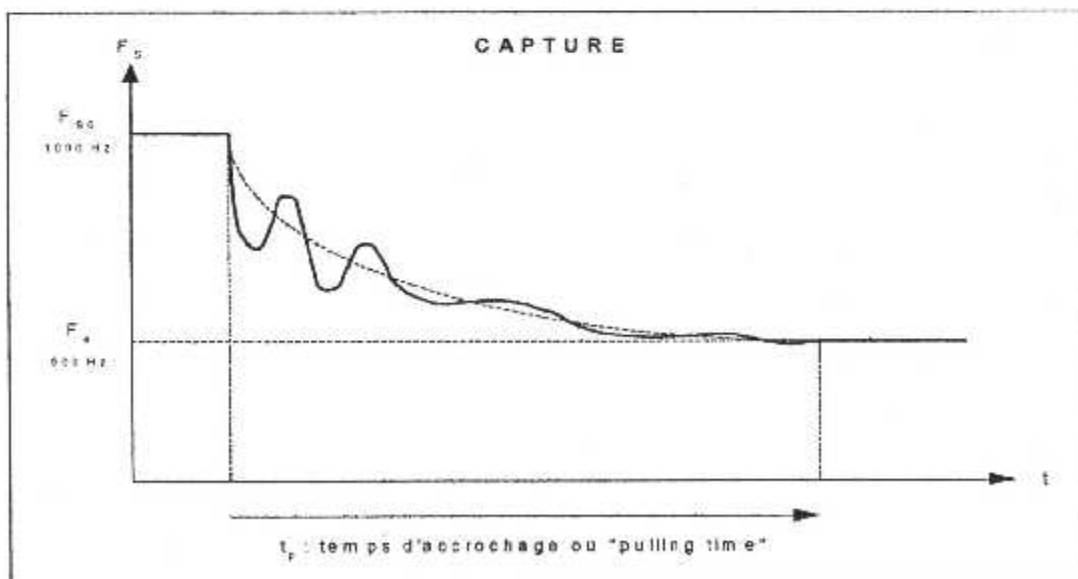


Figure I-11

En simplifiant on peut dire que :

- la plage de capture dépend plutôt de la bande passante du filtre.
- la plage de verrouillage dépend plutôt des fréquences extrêmes du VCO
- la plage de verrouillage est plus large que la plage de capture.

CHAPITRE 2

Applications des PLL

- 1- *Démodulation de fréquence.*
- 2- *Synthèse de fréquences*
- 3- *Emetteur à modulation de phase*
- 4- *Démodulation d'une onde modulée en amplitude sans porteuse et démodulation*
- 5- *Décodeur stéréophonique*
- 6- *Contrôle de la vitesse de rotation d'un moteur*

Introduction

La PLL permet une multitude d'applications. Le composant devrait à terme être aussi répondu que l'amplificateur opérationnel.

Il permet :

1. La démodulation de fréquence
2. La synthèse de fréquences
3. Emetteur à modulation de phase
4. Démodulation d'une onde modulée en amplitude sans porteuse et démodulation de phase à deux états.
5. Décodeur stéréophonique
6. Contrôle de la vitesse de rotation d'un moteur.

II- 1- Démodulation de fréquence

Nous avons montré au paragraphe I-1 que dans une boucle analogique, la tension V_c de commande du VCO était directement proportionnelle à l'écart de fréquence $(f_c - F_0)$. Dans une boucle logique, c'est $(V_c - V_{DD}/2)$ qui est proportionnelle à $(f_c - F_0)$; ceci parce que la fréquence libre F_0 est obtenue pour $V_{DD}/2$ et non pas zéro.

Une boucle à verrouillage de phase apparaît donc naturellement comme un démodulateur de fréquence, puisqu'elle délivre un signal proportionnel à l'écart de fréquence entre une fréquence f_c et une référence; la fréquence libre F_0 du VCO.

Le montage retenu pour mettre en évidence la démodulation de fréquence est donné à la Fig.II-1. Dans ce dernier cas, il s'agit d'une modulation-démodulation FSK (Frequency Shift Keying) très utilisée en modulation numérique. La démodulation FSK revient à étudier la réponse de la boucle à un saut de fréquence. Compte tenu que la PLL est un système du deuxième ordre, la réponse (le signal V_c par exemple) à un saut de fréquence peut présenter des rebondissements. Les Fig.II-2, II-3 et II-4 montrent trois réponses enregistrées pour trois différentes valeurs de la constante de

temps τ , l'amplitude ΔF_c de l'échelon de fréquence est la même pour les trois expériences.

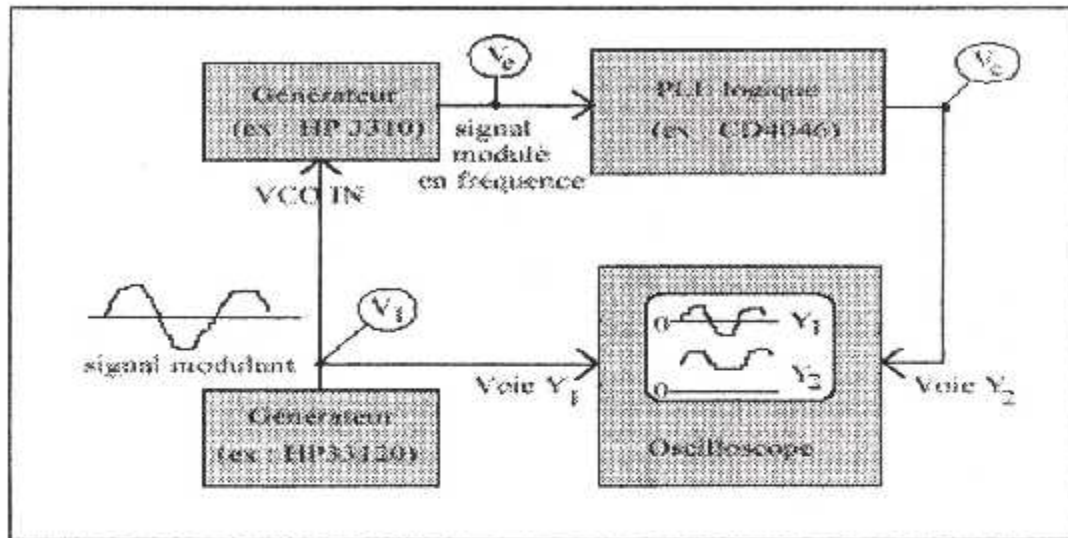


Fig. II-1 Montage d'étude de la démodulation de fréquence par une boucle à verrouillage de phase

On observe que la fréquence f_p des oscillations et l'amortissement ξ sont d'autant plus grands que la constante de temps τ est faible.

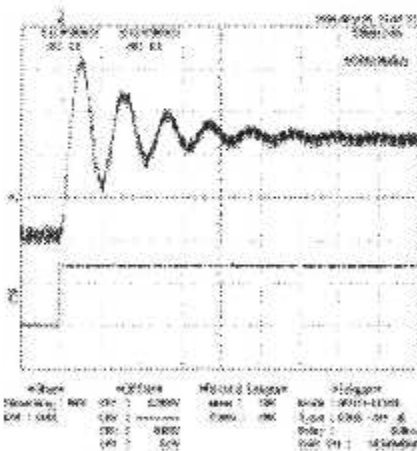


Fig. II-2 Réponse à un échelon de fréquence, $\tau=500\mu s$
signal haut : V_c
signal bas : échelon V_1

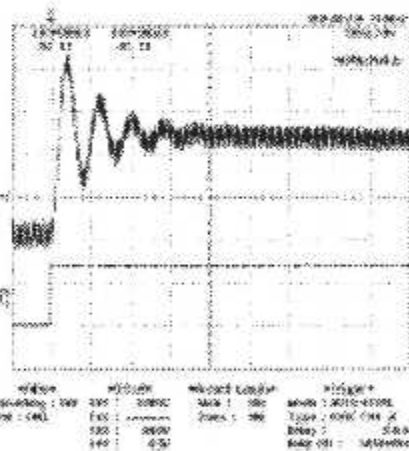


Fig. II-3 Réponse à un échelon de fréquence, $\tau=300\mu s$
signal haut : V_c
signal bas : échelon V_1

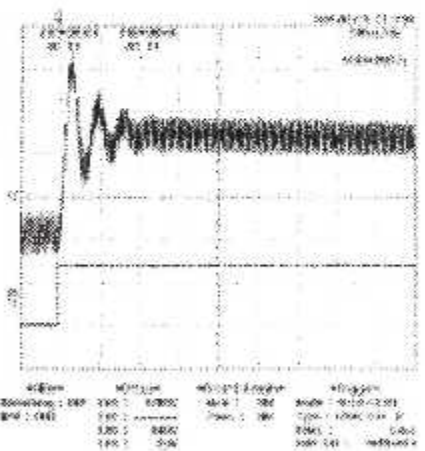


Fig. II-4 Réponse à un échelon de fréquence, $\tau=200\mu s$
signal haut : V_c
signal bas : échelon V_1

En réponse à un échelon de fréquence $\Delta F_c = f_{e2} - f_{e1}$, la fréquence du VCO passe de f_{s1} à f_{s2} comme le montre les Fig. II-2, II-3 et II-4 ci-dessus.

La démodulation FSK par une boucle à verrouillage de phase nécessite cependant certaines précautions comme en témoignent les Fig.II-5 et II-6.

Les Fig. II-5 et II-6 sont obtenues pour une même valeur de Δf_c mais pour deux valeurs différentes de τ donc de bandes passantes et d'amortissements. On observe que dans le cas d'une faible bande passante du filtre (plage de capture réduite) et d'un faible amortissement (τ élevé) la boucle a tendance à se déverrouiller à chaque transition. En conséquence, si la période du signal V_1 est trop élevée, autrement dit si les changements de fréquence de f_c sont trop rapides, la boucle ne permet pas de récupérer le signal modulant.

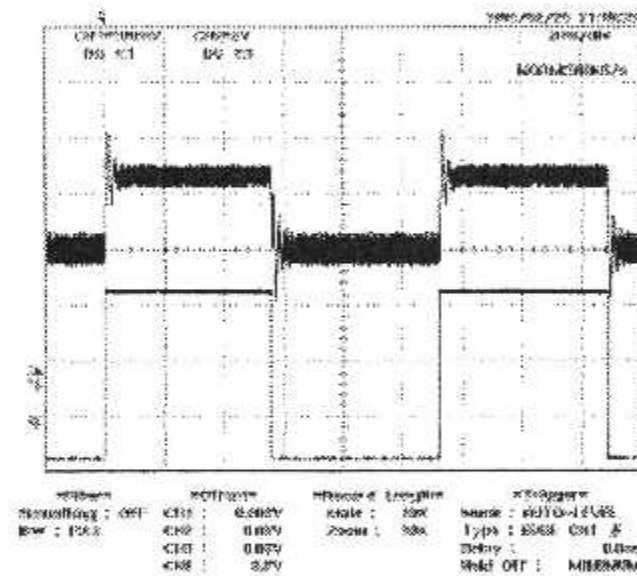


Fig.II-5 Réponse à un échelon de fréquence Δf_c

$\tau = 100\mu s$
 signal haut: V_c
 signal bas: échelon V_1

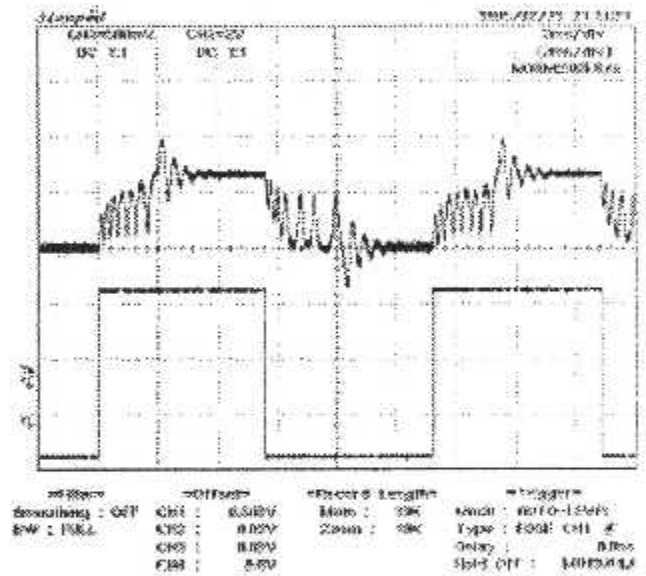
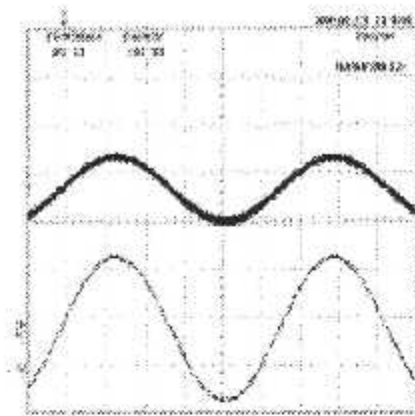


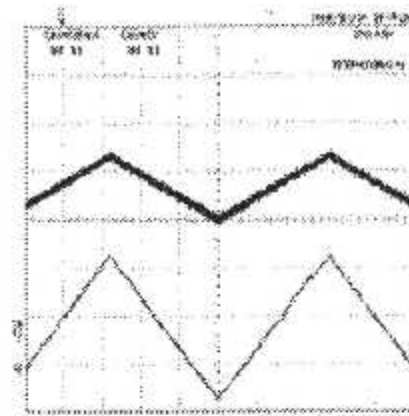
Fig.II-6 Réponse à un échelon de fréquence Δf_c

$\tau = 300\mu s$
 signal haut: V_c
 signal bas: échelon V_1

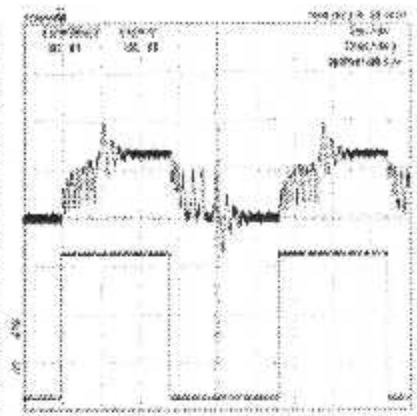
On pourra remarquer que pour la même valeur de Δf_c , la boucle permet de démoduler correctement le modulant si celui-ci est de type sinusoïdal ou triangulaire comme le montrent les Fig.II-7 et II-8, la Fig.II-9 reprend quant à elle la réponse à un échelon Δf_c .



Modèle : 487
 Basehorz : 100
 Basevert : 100
 Mode : AUTO
 Type : 4000
 Date : 11/01/2004
 Time : 10:00:00



Modèle : 487
 Basehorz : 100
 Basevert : 100
 Mode : AUTO
 Type : 4000
 Date : 11/01/2004
 Time : 10:00:00



Modèle : 487
 Basehorz : 100
 Basevert : 100
 Mode : AUTO
 Type : 4000
 Date : 11/01/2004
 Time : 10:00:00

Fig. II-7 Réponse à un modulant sinusoïdal

$\tau = 300\mu s$
 signal haut: V_{c2}
 signal bas: sinusoïde V_{c1}

Fig. II-8 Réponse à un modulant triangulaire

$\tau = 300\mu s$
 signal haut: V_{c2}
 signal bas: sinusoïde V_{c1}

Fig. II-9 Réponse à un modulant carré (échelon)

$\tau = 300\mu s$
 signal haut: V_{c2}
 signal bas: sinusoïde V_{c1}

On peut qualitativement expliquer le comportement à partir du diagramme de la Fig.II-10. Compte tenu que la boucle se comporte comme un système du deuxième ordre, la réponse à un échelon de fréquence $\Delta F_e = (f_{c2} - f_{c1})$ fait passer, lors du transitoire, la tension V_c de V_{c1} à une tension supérieure à V_{c2} , ainsi la tension V_c peut dépasser la valeur repérée par le point A de la Fig. II-10 et entraîner le déverrouillage de la boucle. Le même raisonnement s'applique lors d'une transition de f_{c2} vers f_{c1} , la tension V_c peut devenir inférieure à la valeur repérée par le point B et entraîner de nouveau le déverrouillage de la boucle.

Pour une valeur de F_e donné le risque de déverrouillage est d'autant plus grand que la plage de capture est faible et que l'amortissement est faible, en effet dans ce cas le fort rebond lors du transitoire fait que la fréquence instantanée f_s du VCO de la boucle dépasse de beaucoup la valeur de l'état stationnaire.

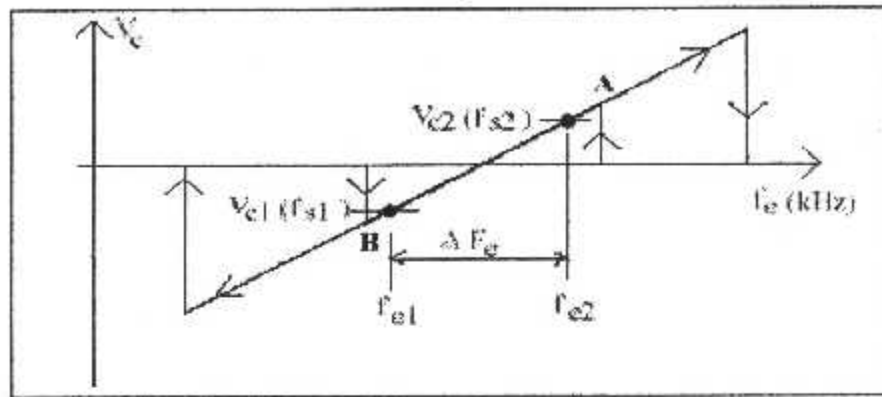


Fig. II-10 Explication du déverrouillage lors d'un échelon de fréquence

II- 2- Synthèse de fréquences

En associant un oscillateur à quartz à une boucle à verrouillage de phase il est possible de générer une fréquence quelconque avec la même précision que celle de l'oscillateur à quartz.

L'appareil ainsi réalisé porte le nom de synthétiseur de fréquences, le schéma de principe d'un synthétiseur est donné sur la Fig. II-11.

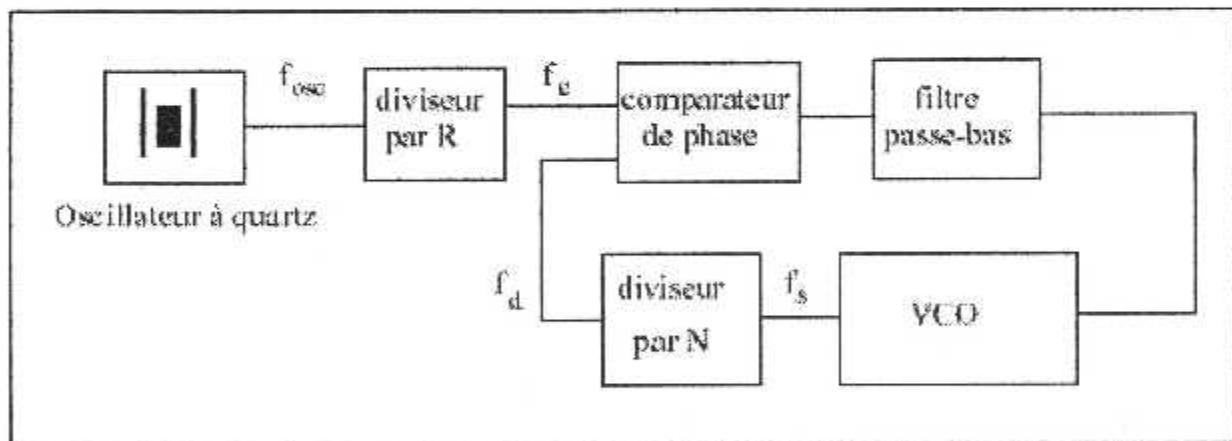


Fig.II-11 Principe d'un synthétiseur de fréquences utilisant une boucle à verrouillage de phase

Lorsque la boucle est verrouillée les fréquences f_e et f_d sont identiques, sachant que $f_e = f_{osc}/R$ et $f_d = f_s/N$, on en déduit que : $f_s = \frac{N}{R} f_{osc}$

La fréquence f_s est obtenue avec une précision égale à celle de f_{osc} , en effet $df_s/f_s = df_{osc}/f_{osc}$.

La réalisation d'un synthétiseur haute fréquence nécessite donc un compteur programmable (N) travaillant en haute fréquence. Pour obtenir par exemple un pas de 5 kHz autour de 100MHz il faut N égal à 20000, 20001, 20002, etc... La difficulté est contournée en utilisant la technique du "dual modulus prescaler". Cette technique fait appel à un compteur travaillant en haute fréquence et divisant seulement par P ou (P+Q) suivant un signal logique; le "Modulus Control" fourni par la boucle à verrouillage de phase comme le montre la Fig.II-12.

Les compteurs programmables N et A de la boucle à verrouillage de phase sont alors des compteurs travaillant dans le domaine des basses fréquences. Les compteurs et le comparateur de phase de la boucle peuvent ainsi être réalisés en technologie CMOS, le "dual modulus prescaler" est en général réalisé en technologie ECL (Emitter Coupled Logic. Contrairement à la logique TTL où les transistors peuvent être saturés, la logique ECL utilise des paires différentielles où les transistors ne sont jamais saturés.

Les niveaux logiques ECL et CMOS ne sont pas compatibles, en pratique il suffit d'insérer un condensateur de liaison entre les deux logiques si l'entrée de la PLL est un inverseur avec une résistance connectée entre l'entrée et la sortie comme le montre la Fig.II-12.

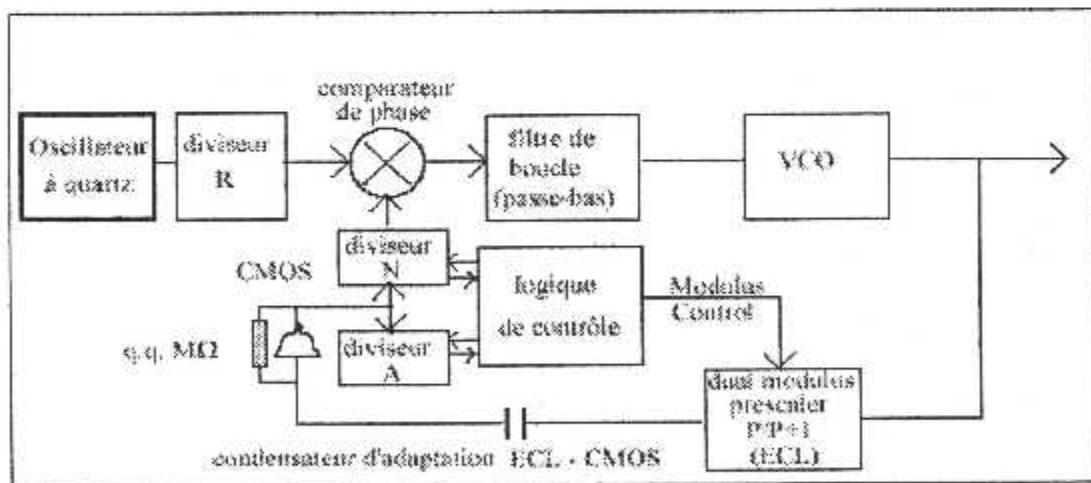


Fig.II-12 Réalisation d'un synthétiseur de fréquences par la technique du "dual modulus prescaler"

Principe de la technique du "dual modulus prescaler": les compteurs A et N sont synchrones, ils commencent à décompter ensemble. Le "dual modulus prescaler" est un diviseur rapide, il divise soit par P soit par P+Q suivant l'état du signal "modulus control" (en général Q=1.

Dans un premier temps le rang de la division est égal à A(P+Q). Ensuite lorsque A est vide, le rang devient (N-A)P puisque les compteurs A et N décomptent pendant la première phase. Le rang de division global est donc A(P+Q)+(N-A)P soit encore $AQ + NP$, si Q=1 alors on obtient : A+NP. Les valeurs possibles pour A sont 0, 1, ..., P-1.

Quand la boucle est verrouillée, il y a égalité des fréquences à l'entrée du comparateur de phase, il s'ensuit que :

$$\frac{f_{VCO}}{NP + A} = \frac{f_{quartz}}{R} \rightarrow f_{VCO} = \frac{f_{quartz}}{R} (NP + A)$$

Avec R, A et N des diviseurs programmables, en général R est fixé et on ajuste A et N. L'incrément de fréquence porteuse est égal à : f_{quartz}/R . La technique du "dual modulus prescaler" permet donc d'obtenir une grande résolution avec des diviseurs A et N de la boucle à verrouillage de phase travaillant à relativement basse fréquence (f_{VCO}/P ou $f_{VCO}/(P+1)$).

NB : On pourra consulter en annexe I, II et III, les notices techniques :

- d'une boucle à verrouillage de phase MC145152-2 de Motorola
- d'un "dual modulus prescaler" MC12015 de Motorola
- d'un VCO très haute fréquence MC12147 de Motorola

II- 3- Emetteur à modulation de phase

Réaliser une modulation de phase, c'est faire en sorte que la phase $\varphi(t)$ d'un oscillateur de pulsation ω_0 varie linéairement en fonction d'un signal modulant $e(t)$; une onde modulée en phase prend donc la forme suivante :

$B \cos[\omega_0 t + \varphi_0] = B \cos[\omega_0 t + \alpha_0 + K_p e(t)]$ avec α_0 et K_p les constantes du modulateur de phase.

Le schéma de principe d'un émetteur à modulation de phase est donné à la Fig. II-13

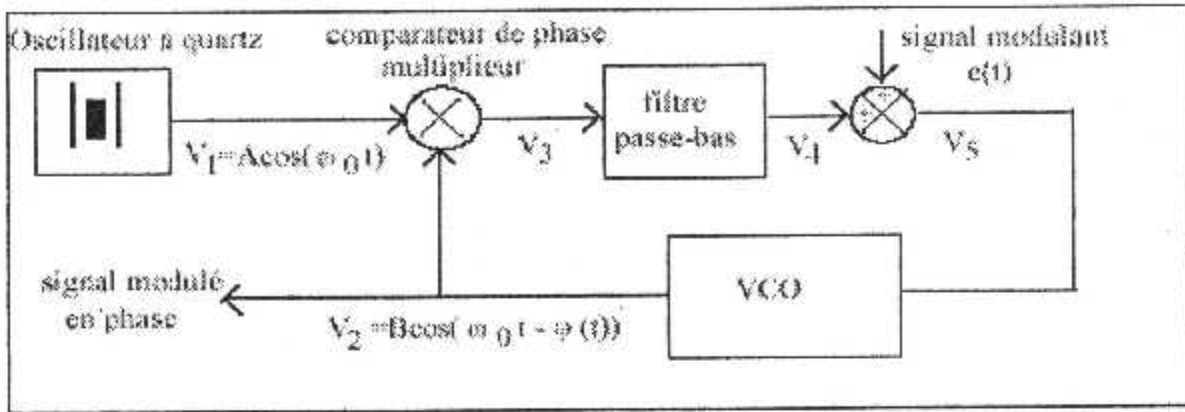


Fig.11-13 Schéma de principe d'un émetteur à modulation de phase

En l'absence de modulant $e(t)$, la phase $\varphi(t) = \pm\pi/2$ (solution stable = $-\pi/2$). En présence d'un modulant $e(t)$, le signal V_4 en sortie du filtre passe-bas s'écrit :

$$V_4 = \frac{KAB}{2} \cos(\varphi(t))$$

où K est la constante du multiplicateur jouant le rôle de comparateur de phase.

Le signal V_5 s'écrit : $V_5 = \frac{KAB}{2} \cos[\varphi(t)] + e(t)$

En supposant que les variations de $e(t)$ sont lentes, on peut faire l'hypothèse que la fréquence instantanée du VCO (dérivée de la phase) est toujours égale à la fréquence f_0 de l'oscillateur à quartz. Si la fréquence libre du VCO est égale à f_0 , il s'ensuit que la tension V_5 doit être nulle.

Les relations trigonométriques permettent d'écrire : $\cos(\varphi(t)) = \sin(\frac{\pi}{2} - \varphi(t))$

, si le produit $KAB/2$ est grand, l'angle $\varphi(t)$ reste voisin de $-\pi/2$ et $[\frac{\pi}{2} - \varphi(t)]$ reste

voisin de π il est alors possible d'effectuer un développement limité de $\sin[\frac{\pi}{2} - \varphi(t)]$

autour de π , il vient : $\sin[\frac{\pi}{2} - \varphi(t)] \approx \frac{\pi}{2} + \varphi(t)$ On obtient finalement :

$$V_5 = 0 \Rightarrow \varphi(t) = -\frac{2}{KAB} e(t) - \frac{\pi}{2} = -K_p e(t) - \frac{\pi}{2} \quad \text{avec } K_p = 2/KAB$$

avec $K_p = 2/KAB$

Le signal V_2 s'écrit donc : $V_2 = B \cos[\omega_0 t + \frac{\pi}{2} + K_p e(t)]$, il s'agit donc bien d'un signal modulé en phase.

En pratique, si on souhaite faire varier la fréquence de la porteuse, on insère le modulateur de phase dans un synthétiseur de fréquence comme le montre la Fig. II-14.

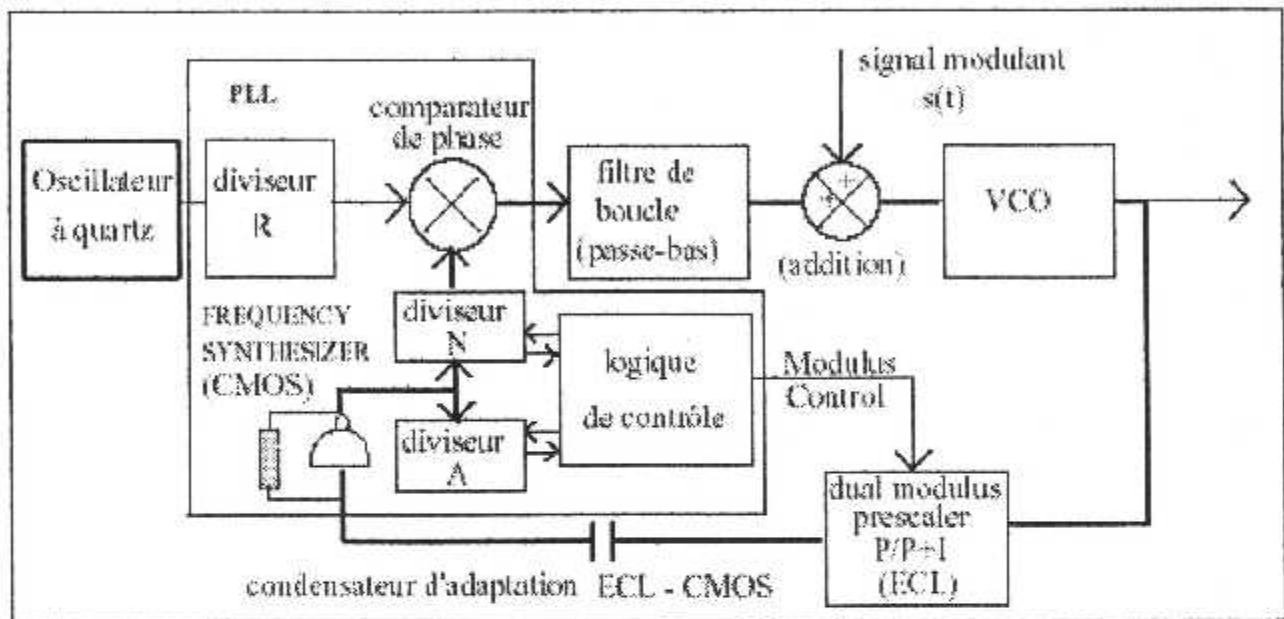


Fig.II-14 Modulateur de phase à fréquence porteuse variable

II- 4- Démodulation d'une onde modulée en amplitude sans porteuse et démodulation

a) cas de la démodulation d'une onde modulée en amplitude sans porteuse

Un signal modulé en amplitude sans porteuse s'écrit sous la forme : $Ae(t)\cos(\omega_0 t)$ où $f_0 = \omega_0/2\pi$ et $e(t)$ sont respectivement la fréquence porteuse et le signal modulant. Un tel signal ne peut être démodulé simplement par un démodulateur crête car la crête du signal modulé ne représente pas le modulant $e(t)$. La récupération de $e(t)$ est obtenue dans ce cas par une démodulation cohérente, c'est à dire en multipliant le signal modulé par un signal de fréquence f_0 et de phase convenable comme le montre la Fig.II-15.

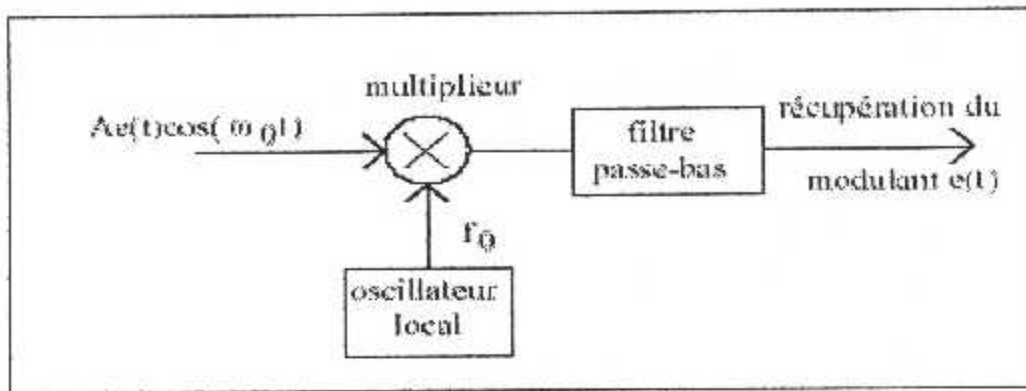


Fig.II-15 Démodulation cohérente d'une onde modulée en amplitude sans porteuse

Soit $B\cos(\omega_0 t + \alpha)$ le signal en sortie de l'oscillateur local, après multiplication et filtrage on obtient : $KAB\cos(\alpha)e(t)/2$ où K est la constante du multiplieur, on a donc bien réalisé une démodulation. Il reste cependant un problème majeur à résoudre, en effet si la phase α de l'oscillateur local est de $\pi/2$ le signal récupéré est nul car $\cos(\pi/2) = 0$; il est donc indispensable de verrouiller la phase de l'oscillateur local. Une simple boucle à verrouillage de phase ne permet pas de verrouiller la phase de l'oscillateur local car le signal modulé reçu ne contient aucune énergie à la fréquence f_0 . Pour verrouiller la phase de l'oscillateur local, il faut générer un signal d'erreur indépendant de $e(t)$; c'est ce que réalise la boucle de Costas du nom de son inventeur; la boucle de Costas est représentée à la Fig.II-16.

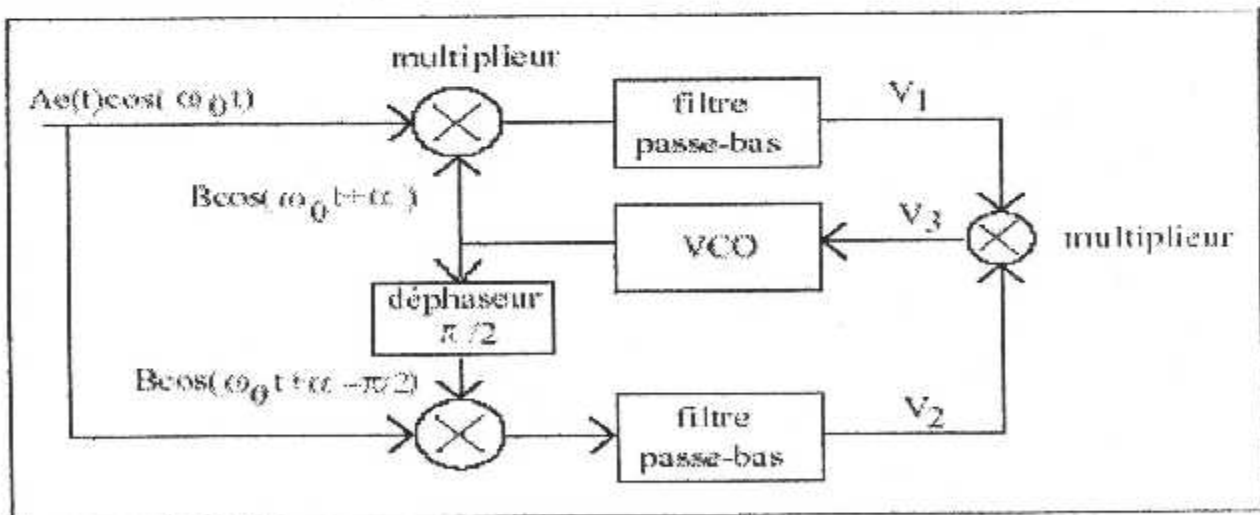


Fig.II-16 Boucle de Costas

b) cas de la démodulation de phase à deux états

En modulation numérique, la modulation de phase à deux états (BPSK pour Binary Phase Shift Keying) consiste à attribuer par exemple une phase de zéro si le modulant est un état '1' et une phase de π si le modulant est à l'état '0'.

modulant à l'état '1' \rightarrow signal émis : $A\cos(\omega_0 t)$

modulant à l'état '0' \rightarrow signal émis : $A\cos(\omega_0 t - \pi) = -A\cos(\omega_0 t)$

ω_0 est la pulsation de la porteuse. Un signal modulé à deux états de phase peut donc se mettre sous la forme $e(t)A\cos(\omega_0 t)$ avec $e(t) = \pm 1$. En conséquence, la démodulation peut être réalisée à priori par une boucle de Costas comme dans le cas de la modulation d'amplitude sans porteuse.

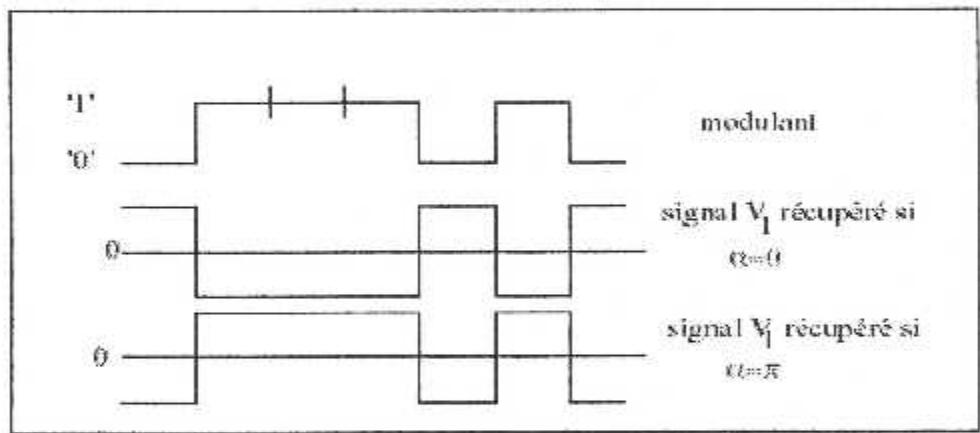


Fig. II-17 L'ambiguïté de phase du VCO ne permet pas de récupérer le modulant

Une difficulté apparaît cependant, en effet la phase du VCO est connue à π près, il s'ensuit que le signe du signal démodulé V_1 est incertain comme le montre la Fig.II-17, il dépend de la phase α . En principe les états '0' et '1' du modulant sont récupérés par un simple comparateur (si $V_1 > 0$ alors l'état est un '1' et si $V_1 < 0$ l'état est un '0'); l'incertitude sur le signe de V_1 ne permet donc pas de récupérer le modulant. On contourne le problème en réalisant une modulation de phase différentielle, c'est à dire en transmettant les différences des états de phase, et en utilisant une boucle de Costas.

II- 5- Décodeur stéréophonique

Le principe du codage stéréophonique est donné à la Fig.II-18. A partir des deux signaux G(Gauche) et D(Droit), on génère un signal (G+D) qui sera reçu par un récepteur monophonique. Le signal (G-D) module en amplitude une sous porteuse à 38 kHz obtenue par doublage de fréquence du 19 kHz, il s'agit d'une modulation d'amplitude sans porteuse. Le signal stéréophonique est un signal constitué par la somme de trois signaux :

- le signal (G+D)
- la sous porteuse à 19 kHz nécessaire pour la démodulation
- la modulation d'amplitude sans porteuse du 38 kHz par le signal (G-D)

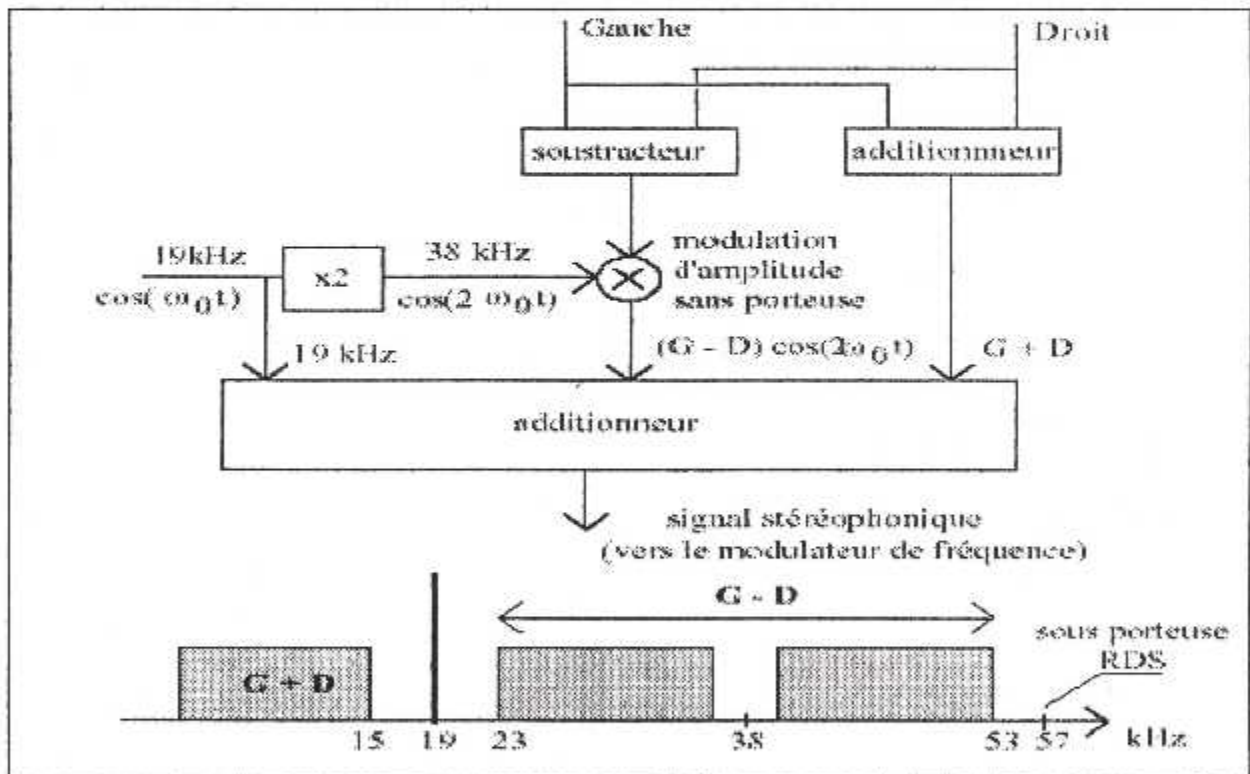


Fig.II-18 Schéma de principe d'un codeur stéréophonique

Le principe de la démodulation stéréophonique est représenté à la Fig.II-19. Le signal (G+D) est isolé par filtrage, c'est le signal reçu dans le cas d'un récepteur monophonique. Les deux lobes du signal (G-D) issus de la modulation d'amplitude sans porteuse sont isolés par filtrage.

Le signal (G-D) est récupéré par une détection cohérente, c'est à dire par une multiplication par la sous porteuse de 38 kHz fabriquée à partir du 19 KHz et d'une boucle à verrouillage de phase comme le montre la Fig.II-20. Les signaux G et D sont alors obtenus par addition et soustraction.

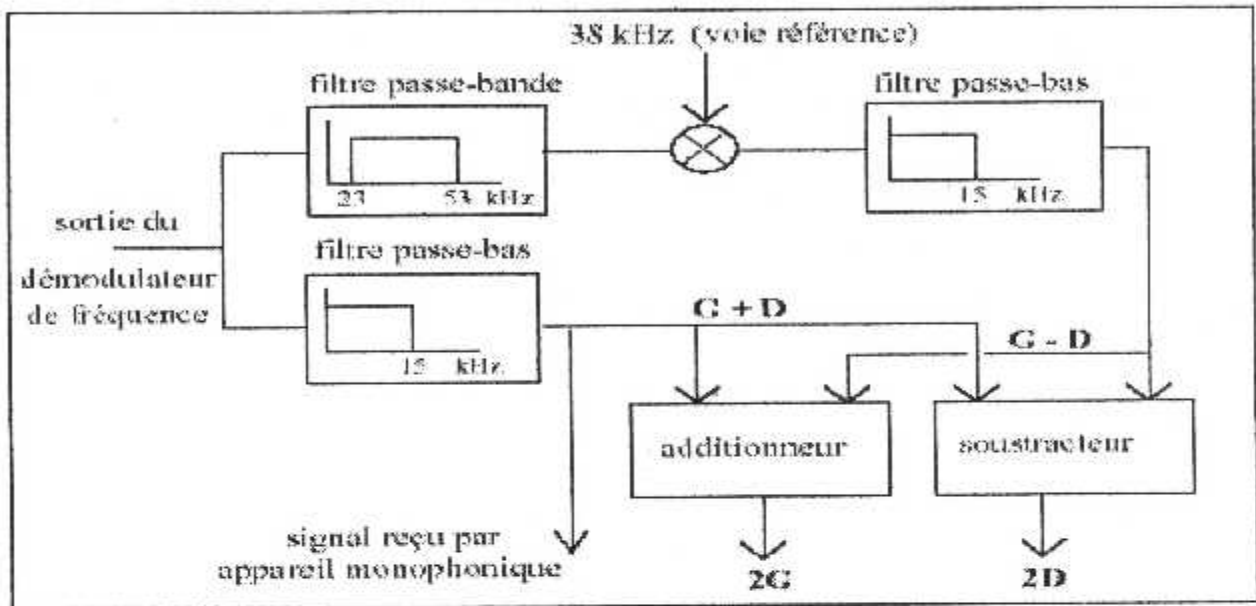


Fig.II-19 Schéma de principe d'un décodeur stéréophonique

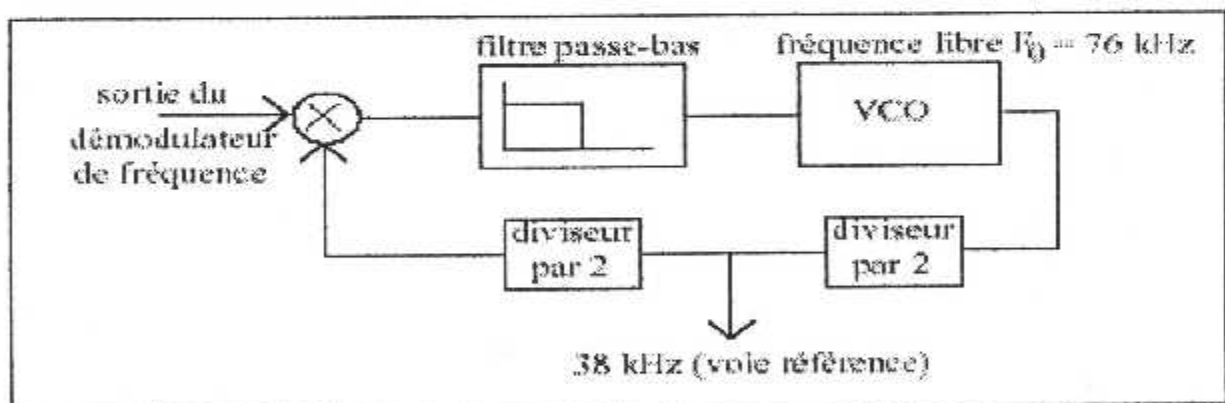


Fig.II-20 Génération de la référence à 38 kHz par boucle à verrouillage de phase

II- 6- Contrôle de la vitesse de rotation d'un moteur

La vitesse de rotation d'un moteur peut être contrôlée au moyen d'une boucle à verrouillage de phase, le schéma de principe est donné à la Fig. 40.

La fréquence f_t du signal en sortie de la dynamo tachymétrique est proportionnelle à la vitesse de rotation v_m du moteur; $f_t = k v_m$. En régime

stationnaire, la fréquence f_t est égale à la fréquence f_e du signal de contrôle : $f_t = f_e$
d'où $v_m = f_e/k$. La vitesse de rotation du moteur est directement proportionnelle à la
fréquence f_e .

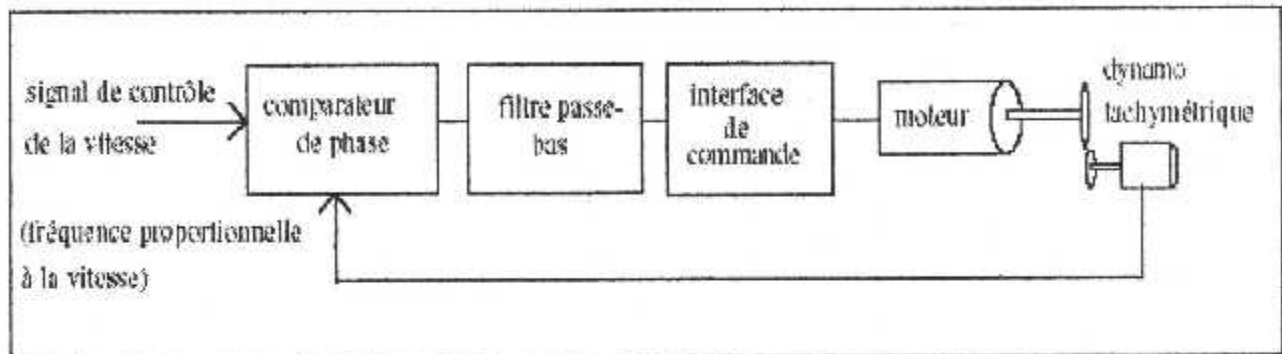


Fig. 40 Contrôle de vitesse par boucle à verrouillage de phase

CHAPITRE 3

Principe de fonctionnement du CD4046

- 1- Etude de la PLL CD 4046 avec un comparateur de phase du type 1.*
- 2- Etude de la PLL CD 4046 avec un comparateur de type 2*
- 3- Emetteur à modulation de phase*
- 4- Etude de la boucle sous l'approximation de la bande étroite*
- 5- Boucle améliorée et application*
- 6- Exemple de chronogrammes réels obtenus avec le comparateur de type II*

Introduction

CD4046 est une boucle à phase verrouillée (PLL) consiste en un oscillateur linéaire contrôlé par la tension (VCO) et à faible puissance, un suiveur de source, une diode Zéner, et deux comparateurs de phases. Les deux comparateurs de phases ont un signal d'entré commun et une entrée du comparateur commune.

Un *oscillateur commandé en tension* (VCO) délivre une fréquence F_s , dont la valeur dépend de la tension appliquée U_c sur son entrée de commande. Cette fréquence est comparée à la fréquence de référence F_e en passant par l'intermédiaire des **phases** instantanée des signaux j_e et j_s . Le **comparateur de phase** donne en temps réel l'écart (ou l'erreur) e de phase entre la source de référence et le VCO. Cette information est **filtrée** puis appliquée à l'entrée U_c de commande du VCO. Ainsi, la fréquence F_s est en permanence corrigée pour rester égale à celle de la source.

Question : *pourquoi passe-t-on par la phase pour comparer les fréquences ?*

Parce qu'il est plus facile d'un point de vue fonction électronique de comparer les phases en temps réel que les fréquences...

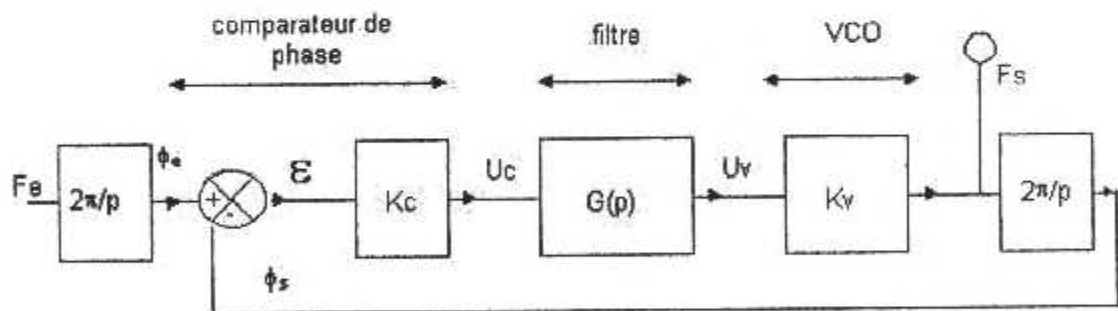


Figure III-1 Schéma bloc d'une PLL

Le comparateur de phase donne une tension ou un courant proportionnel à $\Delta j = j_e - j_s$

d'où $\Delta u_c = u_c - u_{c0} = K_c \cdot \varepsilon$ avec $\varepsilon = \Delta j - \Delta j_0$

$\Delta j_0, u_{c0}$ données au point de repos et K_c exprimé en V/rad c'est à dire en V

u_c est filtrée par un passe bas pour éliminer les composantes HF (à fréquence f_c), pour rendre la boucle stable s'il le faut et attaquer le VCO par u_v .

Le VCO fournit un signal (sinusoïdal ou carré) de fréquence, f_0 est la fréquence dite centrale du VCO.

$\Delta f_s = f_s - f_0 = K_v \cdot (u_v - u_{v0})$ avec $K_v = \text{constante}$ si le VCO est linéaire ($s^{-1} \cdot V^{-1} = \text{Hz/V}$)

$\Delta f_e = f_e - f_0$

Les grandeurs de Laplace seront écrites en majuscules, ce sont les transformées de Laplace des **variations des grandeurs instantanées** par rapport à leurs points de repos.

Note : le passage fréquence phase (en $1/\pi$) n'a pas d'existence physique dans la boucle. Il s'agit d'une simple représentation mathématique qui permet de calculer les paramètres de la PLL.

III-1 Etude de la PLL CD 4046 avec un comparateur de phase de type I

III-11 Description du comparateur de phase

Il existe de nombreux comparateurs de phase donnant continûment une tension linéaire (dans une certaine zone) en fonction du déphasage.

Les signaux peuvent être sinusoïdaux. Le comparateur est alors un modulateur équilibré à diodes (dit modulateur en anneau) en **HF** ou un multiplieur analogique à transistors montés en amplificateurs différentiels en série.

Les signaux peuvent être logiques. Un OU exclusif convient. Des mémoires SR ou D peuvent être aussi utilisées. *Le comparateur de type 1* intégré dans le circuit CMOS 4046 est à base de OU exclusif. Sa sortie est PC1out , ses entrées SIGNin pour l'entrée de référence et COMPin pour le signal de retour. Le circuit 4046 comprend aussi un VCO. Les signaux logiques doivent être carrés (rapport cyclique 0,5), la tension moyenne de sortie est linéaire avec le déphasage. On remarquera que à la fréquence centrale f_o , le VCO étant accroché, on a $\Delta j = \pi/2$ à $u_{vo} = V_{dd}/2$, $\varepsilon = 0$ pour ce type de comparateur de phase.

III-12 Etude théorique de la boucle

Dans ce premier cas $G(p)$ est un simple filtre R,C passe bas avec $\tau = R.C$. La fonction de transfert en boucle fermée $H(p) = F_s/F_e$ (K_c, K_v, p, τ) s'exprime alors sous la forme d'un 2^{ème} ordre normalisé :

$$H(p) = \frac{1}{1 + 2z \frac{p}{\Omega n} + \frac{p^2}{\Omega n^2}}$$

$$\text{Avec } Z = \frac{1}{2\sqrt{2\pi.K_v.K_c}}$$

$$\text{et } \Omega n = \sqrt{\frac{2\pi.K_v.K_c}{\tau}}$$

On a alors $\tau = (1/2z.\Omega n)^2$, $f_n = \Omega_n/2\pi$. avec $K_v = V_{dd}/\pi$
 A partir de ce calcul et en se fixant Z et Ω_n , on peut régler les valeur du filtre passe bas pour avoir la réponse en boucle fermée voulue.

III-13 Plage de maintien

Une fois le VCO accroché sur f_e , si la fréquence de référence f_e évolue lentement, f_s suit (poursuite ou tracking en anglais). u_v évolue également, de même que u_c ($u_v = u_c$ en continu) donc ε évolue.

Cependant des limitations apparaissent en pratique dans la boucle, il peut y avoir une saturation (ou butée) si l'écart entre f_e et f_o est trop grand.

De toute façon $|\Delta\varepsilon|$ ne peut dépasser $\pi/2$ dans ce type de comparateur. A la fréquence centrale f_o , $u_{vo} = V_{dd}/2$ et $|\Delta\varepsilon| = \pi/2$. Quand u_v atteint 0 ou V_{dd} , f_s ne peut plus évoluer, le VCO décroche de f_e .

La plage de maintien est donc : $\Delta f_{\text{maint}} = f_{s\text{max}} - f_{s\text{min}} = K_v \cdot V_{dd}$

Question : pourquoi cette caractéristique est elle importante ?

Parce qu'elle conditionne la capacité de la boucle à suivre les variations de la référence autour d'un point de repos (démod FM par exemple).

III-14 Plage de capture (d'accrochage)

En l'absence du signal de référence à f_e , le VCO oscille librement sur sa fréquence centrale f_o . Lorsqu'on applique soudainement le signal f_e , le VCO s'accrochera si f_e n'est pas trop éloignée de f_o . On obtient deux limites de part et d'autre de f_o entre lesquelles le VCO peut accrocher :

C'est la plage de capture : $f_{e\text{max}} - f_{e\text{min}} = \Delta f_{\text{capt}}$

En pratique, lorsque $f_s \neq f_e$, il apparaît des battements à la sortie du comparateur de phase avec une composante fondamentale à la fréquence $|f_s - f_e|$. Calculons approximativement la plage de capture : A l'instant où u_c est appliquée (de fréquence

f_e), il apparaît en sortie du comparateur de phase un signal carré de battement à la fréquence $|f_s - f_e|$ et d'amplitude c.à.c V_{dd} . Son fondamental a pour amplitude $(2/\pi)V_{dd}$. (décomposition du carré en série de Fourier). Il est filtré par le filtre passe bas de boucle de constante de temps τ .

Et il apparaît en sortie de ce filtre, une tension filtrée Δu_v :
$$\Delta u_v : \frac{2V_{dd}}{\pi} \frac{1}{|f_e - f_0| 2\pi\tau} \quad (*)$$

(*) On admet pour ce calcul que $|f_s - f_e| \gg 1/2\pi\tau$ (c'est à dire que la fréquence de coupure du filtre est bien inférieure à l'écart $f_e - f_0$). Le filtre peut dans cette région être considéré comme un intégrateur pur...

Cette composante filtrée Δu_v commande le VCO. Si Δu_v est trop faible, l'excursion de fréquence Δf_s provoquée sera insuffisante pour que la fréquence de sortie du VCO f_s , atteigne f_e : *il n'y aura pas accrochage.*

Pour faire passer la fréquence de sortie f_s du VCO de sa fréquence libre f_0 à la fréquence de consigne f_e , il faut donc que :
$$\Delta f_s = \frac{1}{2} f_e - f_0 = K_v \cdot \Delta u_v$$

$$\text{d'où : } |f_s - f_e| = \frac{1}{\pi} \sqrt{\frac{K_v \cdot V_{dd}}{\tau}}$$

La plage de capture totale est donc $\Delta f_{capt} = 2 \cdot |f_s - f_e|$

$$\text{d'où } \Delta f_{capt} = \frac{2}{\pi} \sqrt{\frac{K_v \cdot V_{dd}}{\tau}}$$

Question : *pourquoi cette caractéristique est elle importante ?*

Parce qu'elle représente l'aptitude de la boucle à se recalibrer sur un signal de référence qui peut avoir pour une raison ou une autre avoir disparu momentanément (rupture de transmission numérique par exemple).

III-15 Réponse transitoire

La réponse transitoire de la boucle est représentative du réglage des paramètres effectué sur le filtre passe bas. L'observation de cette réponse se fait en regardant l'évolution de la tension de commande de VCO, U_c lorsqu'on applique à l'entrée F_e un signal modulé en FSK (saut entre 2 fréquences). La fréquence des saut doit être assez faible pour observer la totalité de la réponse et les deux fréquences choisies comprise dans la plage de maintien. La mesure du dépassement et de la pseudo période éventuelles permet de valider le choix des caractéristiques du filtre calculé.

Question : *pourquoi cette caractéristique est-elle importante ?*

Parce qu'elle caractérise notamment l'aptitude de la boucle à effectuer plus ou moins rapidement un saut de fréquence en réponse à un saut de fréquence de la référence. (synthétiseur de fréquence et/ou poste radio à saut de fréquence par exemple)

III-2 Etude de la PLL CD 4046 avec un comparateur de type 2

III-21 Le comparateur de phase à 3 états

a) Description

Ce type de comparateur n'est sensible qu'aux fronts des signaux logiques (ex : fronts montants) donc ceux-ci peuvent avoir un rapport cyclique quelconque. Il fonctionne suivant une logique séquentielle à l'aide de bascules activées par les fronts des signaux. Les bascules commandent 2 interrupteurs électroniques en série.

La logique est telle que K_3 et K_4 ne peuvent pas être fermés en même temps.

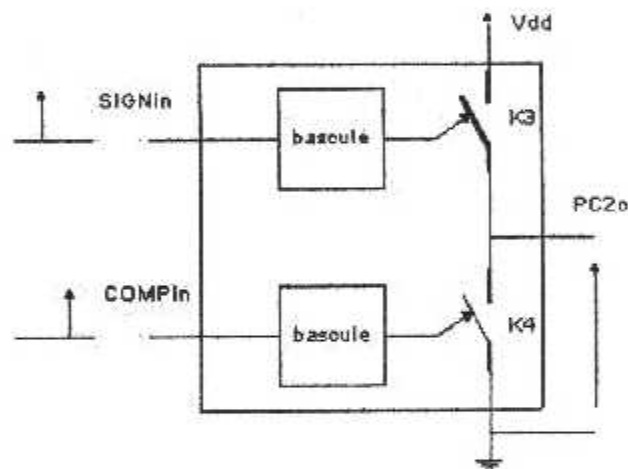


Figure III-2

On obtient 3 états en sortie PC2out :

1. K_3 fermé, K_4 ouvert $u_c = V_{dd}$ niveau H
2. K_3 ouvert, K_4 fermé $u_c = 0$ niveau L
3. K_3 ouvert, K_4 ouvert sortie PC2out en l'air, haute impédance niveau Z

b) Fonctionnement

La logique de fonctionnement est la suivante :

Un front (montant) sur SIGNin fait " monter " la sortie d'un niveau.

ex : de L \rightarrow Z ou Z \rightarrow H ou H \rightarrow H (inchangé)

Un front (montant) sur COMPin fait " descendre " la sortie d'un niveau :

ex : de H \rightarrow Z ou Z \rightarrow L ou L \rightarrow L.

On représentera le niveau Z par U_c à la moitié (c-a-d $V_{dd}/2$), ce qui se produit en pratique si la sortie PC₂out est reliée à $V_{dd}/2$ par une résistance pour fixer le potentiel dans l'état haute impédance. Exemple avec des signaux quelconques.

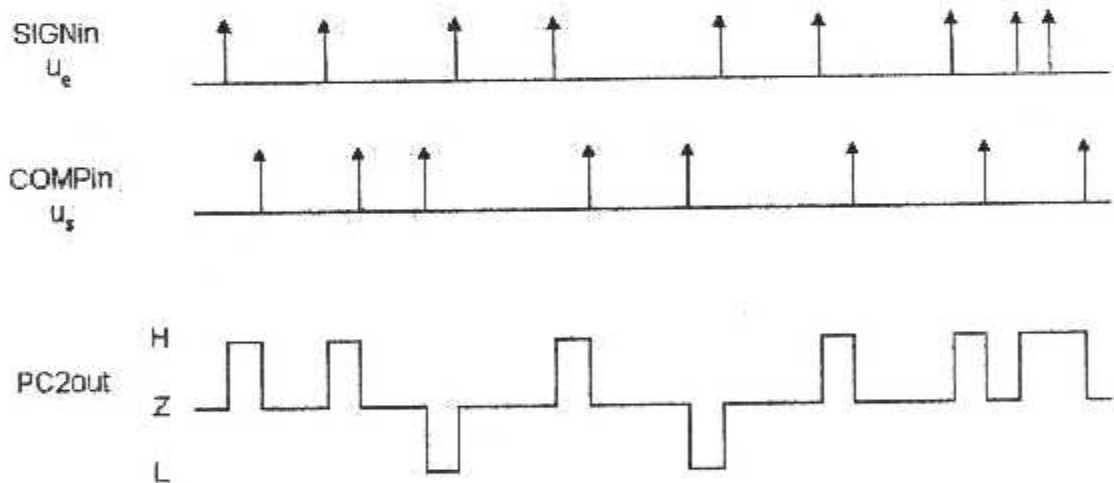


Figure III-3 Exemple de logique de fonctionnement

Si les signaux sont périodiques, mais de fréquences différentes avec par exemple $f_e > f_s$, la sortie ne sera pas à l'état L. Elle évoluera entre H et Z car puisque $T_e < T_s$ il y aura toujours au moins un front de u_e entre 2 fronts de u_s .

Si les signaux sont de même fréquence mais déphasés, la sortie est périodique avec un niveau H entre les fronts si u_e est en avance sur u_s sinon état Z. Elle serait au niveau L entre les fronts si u_e était en retard sur u_s .

III-22 La pompe de charge

III-22.1 Fonctionnement

Pendant l'état H, PC₂ out va fournir un courant positif de charge d'un condensateur. A l'état L le courant sera négatif et C₄ se déchargera. A l'état Z le courant est nul et la tension aux bornes de C n'évolue plus.

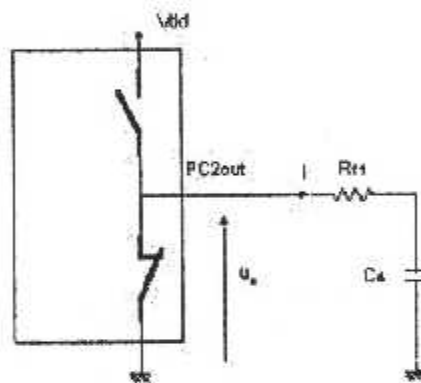


Figure III-4

Exemple simple :

Si u_v est centrée sur $V_{dd}/2$, on a :

$$i = V_{dd}/2.R_{11} = I_0 \text{ (état H) alors } u_v \uparrow$$

$$\text{ou } i = -I_0 \text{ (état L) alors } u_v \downarrow$$

$$\text{Si } i = 0 \text{ (état Z) } u_v = \text{cte}$$

Ainsi quand la boucle est refermée avec u_v qui attaque le VCO et que $f_c > f_s$ au départ, on obtient une suite d'impulsions de courant positives (entre les fronts) donc u_v et f_s pour rattraper f_c .

Question : *quel est l'intérêt du comparateur type 2 par rapport au type 1 ?*

- Avec le comparateur type 1, $\Delta f_{capt} < \Delta f_{maint}$.
- Avec le comparateur type 2, on voit qu'il y aura **toujours capture** du signal à f_c sauf s'il apparaît une saturation dans la boucle donc : $\Delta f_{capt} = \Delta f_{maint}$.
- Quand $f_s = f_c$, tout déphasage donnera lieu à une suite d'impulsions (positives si u_c est en avance sur u_s , négatives dans la cas contraire) qui sont intégrées. Donc u_v évolue et agit sur f_s (donc sur j_s), si bien qu'en régime établi $u_v = cte$, il n'y a plus d'impulsions. L'erreur statique (déphasage) sera donc nulle à cause de cette intégration supplémentaire dans la chaîne.
- Si f_c est un signal de rapport cyclique différent de 50%, f_s aura toujours un rapport cyclique de 1/2.

III-22.2 Amélioration

Ce montage simple n'étant pas symétrique car u_v n'est pas forcément centré sur $V_{dd}/2$, on utilise un filtre actif.

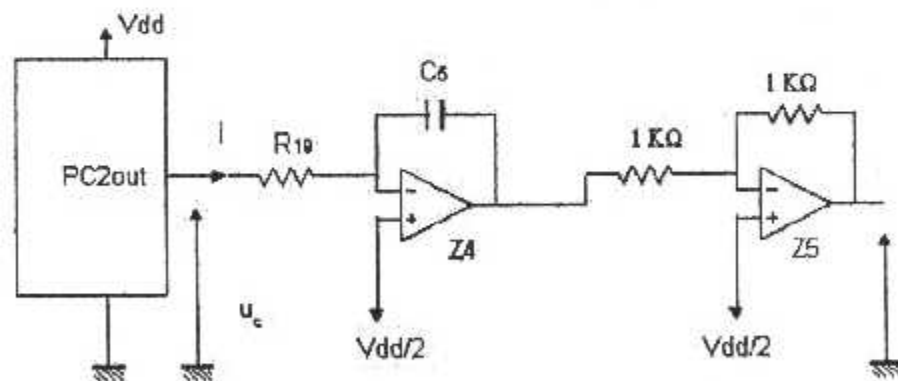


Figure III-5 Schéma synoptique d'un comparateur de phase de type II

Par le jeu de la contre réaction, le potentiel de l'entrée - de Z_4 est maintenue à $V_{dd}/2$ donc le courant sera $\pm V_{dd}/(2.R_{19})$ ou 0 même si la sortie u_v est quelconque.

Le 2^{ème} amplificateur Z_5 rectifie le signe de l'ensemble puisque la premier Z_4 est un intégrateur inverseur.

III-22.3 Fonction de transfert approchée

Pour des raisons de stabilité, on n'emploiera pas un intégrateur simple, l'impédance de retour sera notée $Z_2(p)$.

$$U_v(p) = Z_2(p).I(p)$$

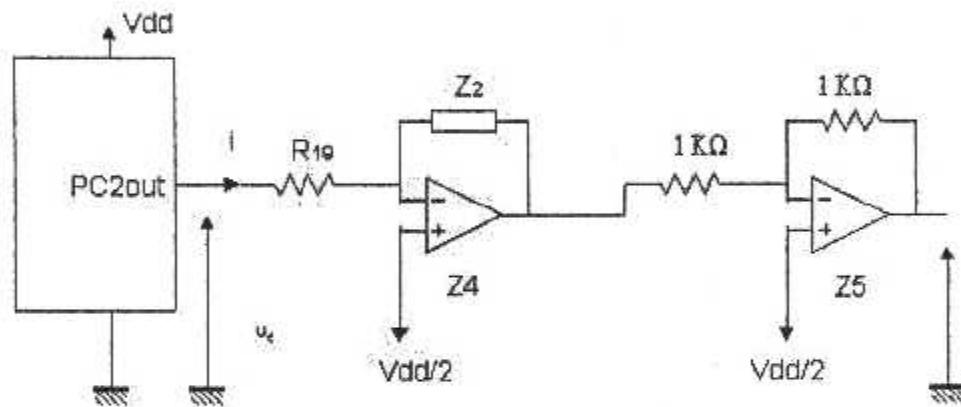


Figure III-6

$i(t) = I_0$ (entre les fronts pour $\Delta\varphi = j_c - j_s > 0$)

$i(t) = -I_0$ pour $\Delta\varphi < 0$

$i(t) = 0$ en dehors des fronts

Pour $\Delta\varphi > 0$:

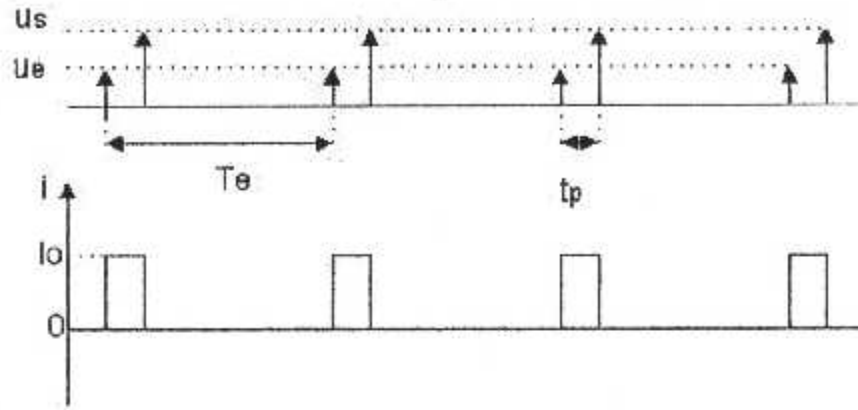


Figure III-7

Si l'on ne s'intéresse qu'aux variations de $i(t)$ à moyen terme, c'est à dire si $\Delta\phi(t)$ évolue lentement par rapport à T_e , $i(t)$ est quasi périodique. Si on observe $u_c(t)$ par exemple sur 10 périodes, $\Delta\phi$ aura peu évolué pendant ce temps.

On considérera donc uniquement la valeur moyenne de $i(t)$ à moyen ou long terme et ses variations en fonction de $\Delta\phi$.

Ainsi $I(p)$ sera la transformée de Laplace de la valeur moyenne à moyen terme.

$$\langle i(t) \rangle = I_0 \frac{t_p}{T_e} = I_0 \frac{\Delta\phi}{2\pi}$$

Si $\Delta\phi < 0$ alors $\langle i(t) \rangle < 0$

Donc
$$I(p) = L(\langle i(t) \rangle) = \frac{I_0}{2\pi} e(p)$$

La pente du comparateur de phase est :
$$K_c = \frac{I(p)}{\varepsilon(p)} = \frac{I_0}{2\pi}$$

$$U_v(p) = Z_2(p) \cdot I(p)$$

Le schéma fonctionnel du comparateur de type II associé à une pompe de charge et son filtre est :

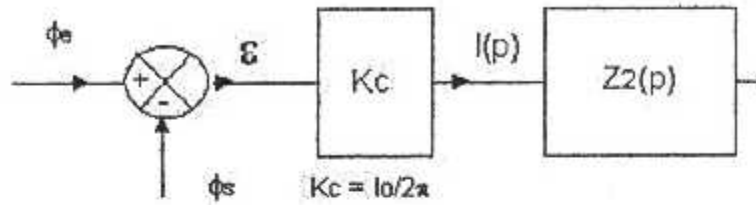


Figure III-8

Ce schéma n'est valable que si la bande passante de la boucle fermée est petite devant f_e .

Si la bande passante doit être grande, il faut tenir compte de l'aspect échantillonnage de la phase (entre les fronts) et du blocage ensuite.

III-3 Etude de la boucle sous l'approximation de la bande étroite

La stabilité s'étudie en boucle ouverte.

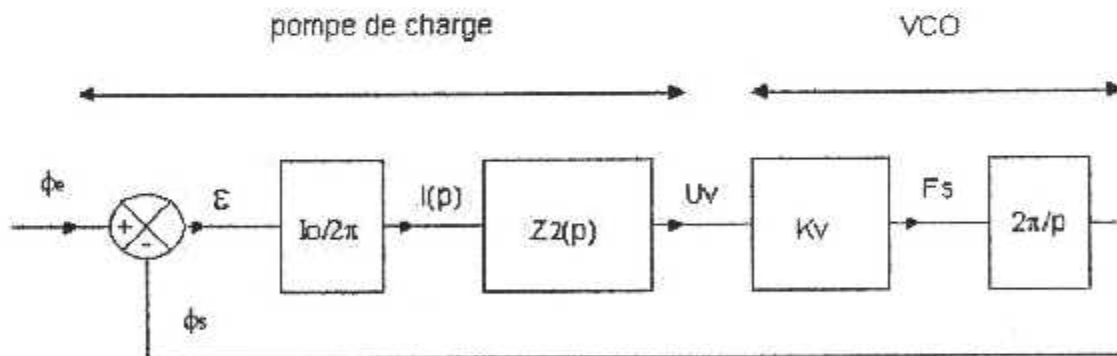


Figure III-9 Pompe de Charge

$$T(p) = \frac{I_0 K_v}{P} \cdot Z_2(p)$$

Si $Z_2(p) = 1/C_5 \cdot p$ (cas d'un intégrateur simple), on obtient un système instable qui oscille à la pulsation Ωt où la condition de Barkhausen est parfaitement remplie.

On utilise alors une correction avec Z_2 formée de R_{17} en série avec C_5 .

$$\text{Alors } T(p) = \frac{I_o K_v}{C_5 P^2} (1 + R_{17} C_5 P)$$

Le système est stable si $\Omega_2 < \Omega_1$, donc il faut que le gain $I_o K_v / C_5$ soit assez grand.

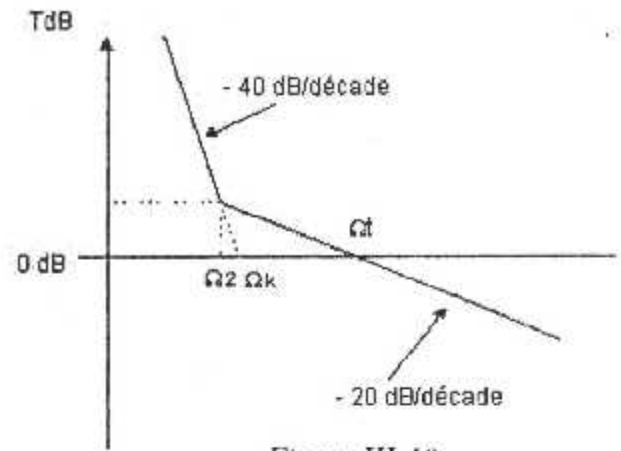


Figure III-10

III-4 Boucle améliorée et application

III-41 Boucle du 3ème ordre

Pour réduire le jitter (bruit ou vibration de phase), il faut mieux filtrer les impulsions délivrées par la pompe de charge entre ε et u_v .

Avec Z_2 formé de R_{17} en série avec C_5 , on obtenait :

$$B_1(p) = \frac{U_v(p)}{\varepsilon(p)} = \frac{I_o \cdot K_v (1 + R_{17} C_5 P)}{2\pi C_5 P}$$

Donc il n'y a plus de filtrage pour $\Omega > \Omega_2$

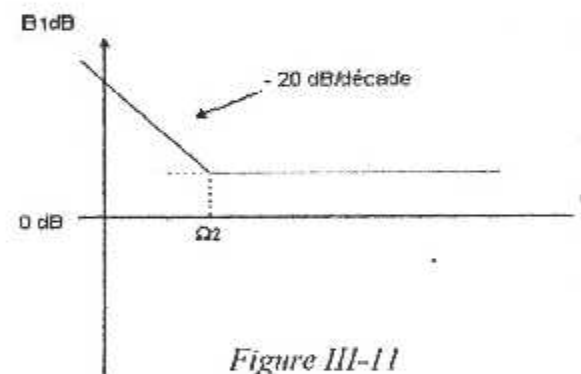


Figure III-11

On peut alors utiliser un autre filtre actif

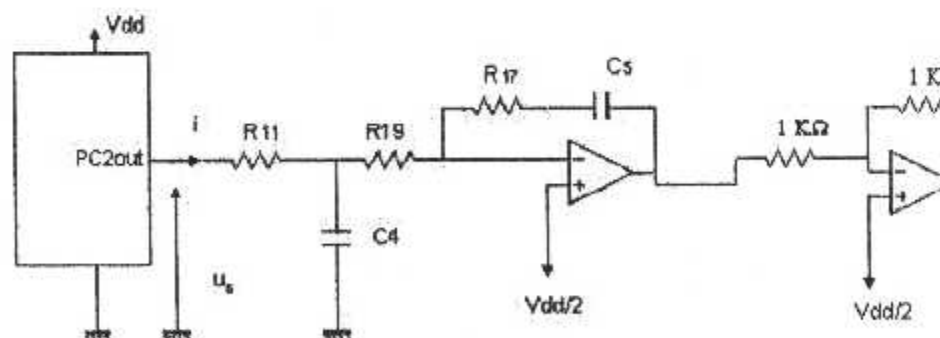


Figure III-12

dont la fonction de transfert est

$B2(p)$

Les fréquences élevées sont rejetées.

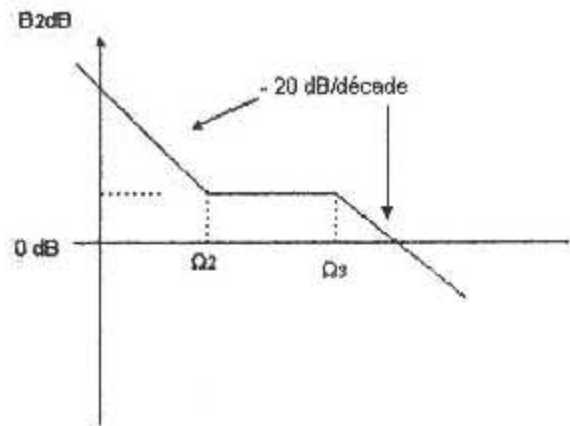


Figure III-13

Il faut veiller à la stabilité en étudiant $T(p)$ en boucle ouverte.

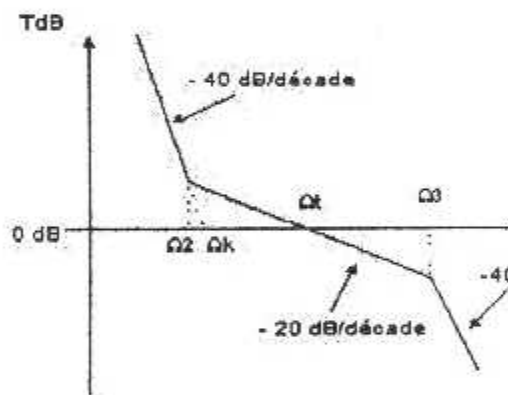


Figure III-14

On pourra placer Ω_1 à $\sqrt{\Omega_2 \Omega_3}$ pour avoir une bonne marge de phase avec $\Omega_3 = 4 \Omega_2$ (2 octaves).

III-42 Synthétiseur de fréquences

Une application courante est l'oscillateur à fréquence variable par sauts, asservi sur une référence stable.

Si l'on dispose d'une source de fréquence f_e issue par exemple d'un oscillateur à quartz ; en introduisant dans la boucle entre f_s et l'entrée - du comparateur de phase un diviseur par N programmable, on obtiendra : $f_s = N f_e$

f_s aura la même stabilité à long et moyen terme que f_e (donc le VCO n'est plus sensible aux effets de la température par exemple) mais le problème du jitter peut subsister.

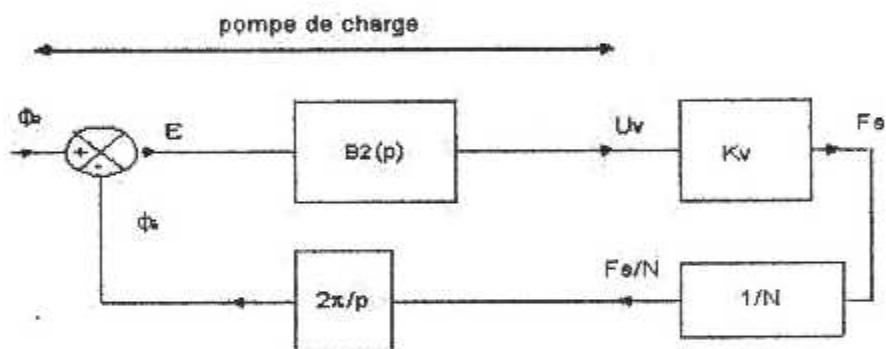


Figure III-15 Schéma synoptique de la pompe de charge

Le pas du synthétiseur est f_e .

III-5 Exemple de chronogrammes réels obtenus avec le comparateur de type II

Dans l'exemple qui suit, on a utilisé un simple filtre de boucle R,R,C. La réponse est donc du deuxième ordre.

Le relevée en figure III-15 montre la réponse de la boucle soumise à un échelon de fréquence dans sa plage de maintien. On visualise la tension de commande du VCO, U_v : les fronts dus à la pompe de charge se superposent à la tension moyenne qui change de niveau. On peut, en mesurant le dépassement et la pseudo période, remonter aux paramètres de la boucle.

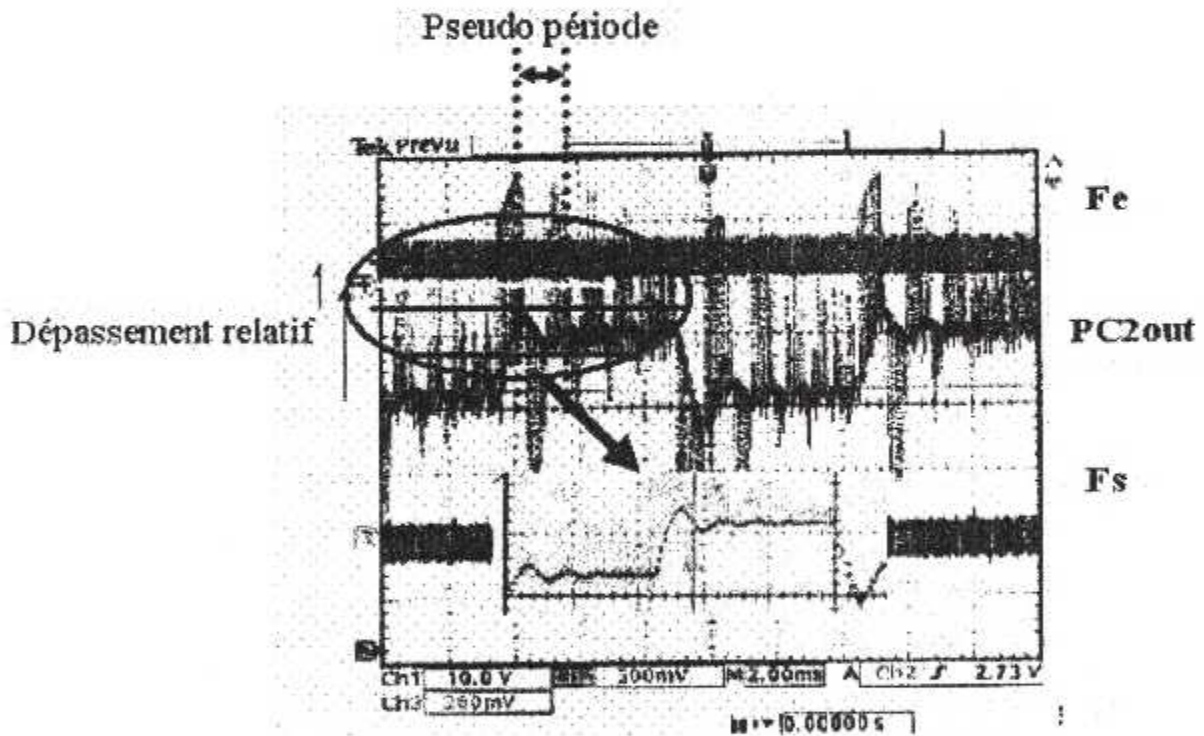


Figure III-15

Le relevé en figure III-16 montre la capture du signal f_e par la PLL. La fréquence de consigne f_e est brutalement appliquée à l'entrée. Le chronogramme permet de mesurer le temps de capture et de voir comment le VCO passe de sa fréquence d'oscillation libre f_o (ici inférieure à f_e) à celle de consigne f_e . De même qu'en figure 1, la tension de commande du VCO évolue de sa valeur moyenne initiale vers sa valeur finale, grâce aux fronts successifs générés par la pompe de charge. On observe au début de la capture, une succession de fronts positifs (car f_o est inférieur à f_e) pour augmenter U_v et répondre au plus vite, puis une alternance de fronts positifs et négatifs destinés à maintenir la fréquence de sortie f_s autour de f_e lorsque la capture est effectuée.

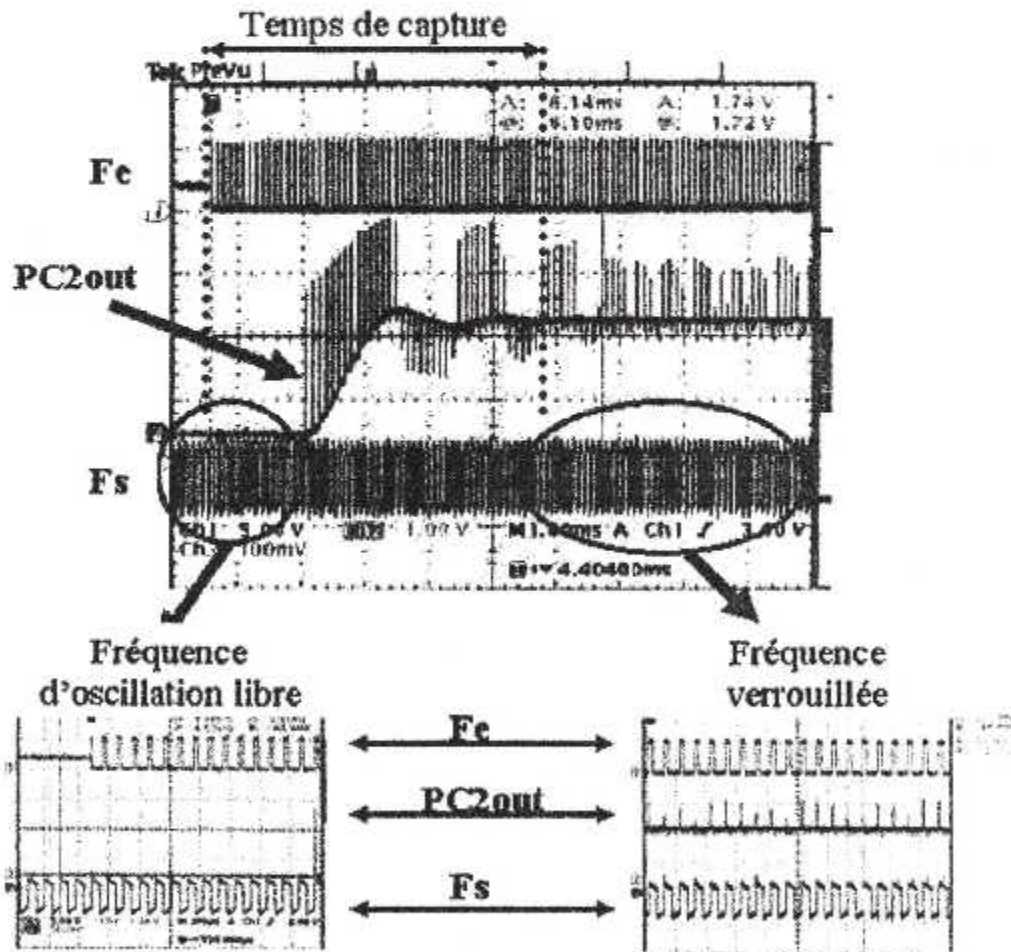


Figure III-16

CHAPITRE 4

Réalisation d'un comparateur de Fréquences

1- Description du montage.

2- Réalisation pratique

Introduction

Le comparateur de fréquences décrit dans cette application utilise deux PLL (Phase Locked Loop, ou en bon français Boucle à Verrouillage de Phase) identiques, dont la référence est CD4046. Ce comparateur avec hystérésis permet de sélectionner une fenêtre de comparaison pour les fréquences désirées.

IV-1 Description du montage

Le montage s'articulant principalement sur le circuit CD4046, nous allons commencer par décrire ce composant très intéressant et sa structure interne avec ses différentes fonctions.

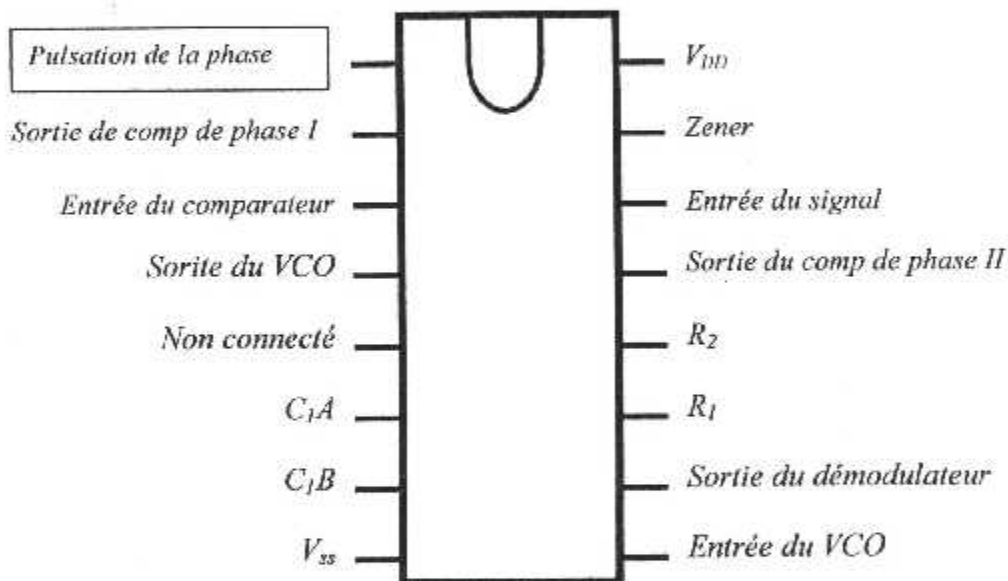


Figure IV-1 Vue Dessus d'un CD4046

Le CD4046 est une PLL qui comprend un VCO linéaire (Voltage Controlled Oscillator, ou encore Oscillateur Contrôlé en Tension) et deux comparateurs de phase différents ayant un amplificateur d'entrée commun. Une diode Zéner de 5,2V fournit une régulation en tension si nécessaire. Le VCO demande une capacité externe C1 et une ou deux résistances externes (R1, ou R1 et R2). La résistance R1 et la capacité

C1 déterminent la gamme de fréquences du VCO et R2 autorise le VCO à avoir une fréquence d'offset si nécessaire.

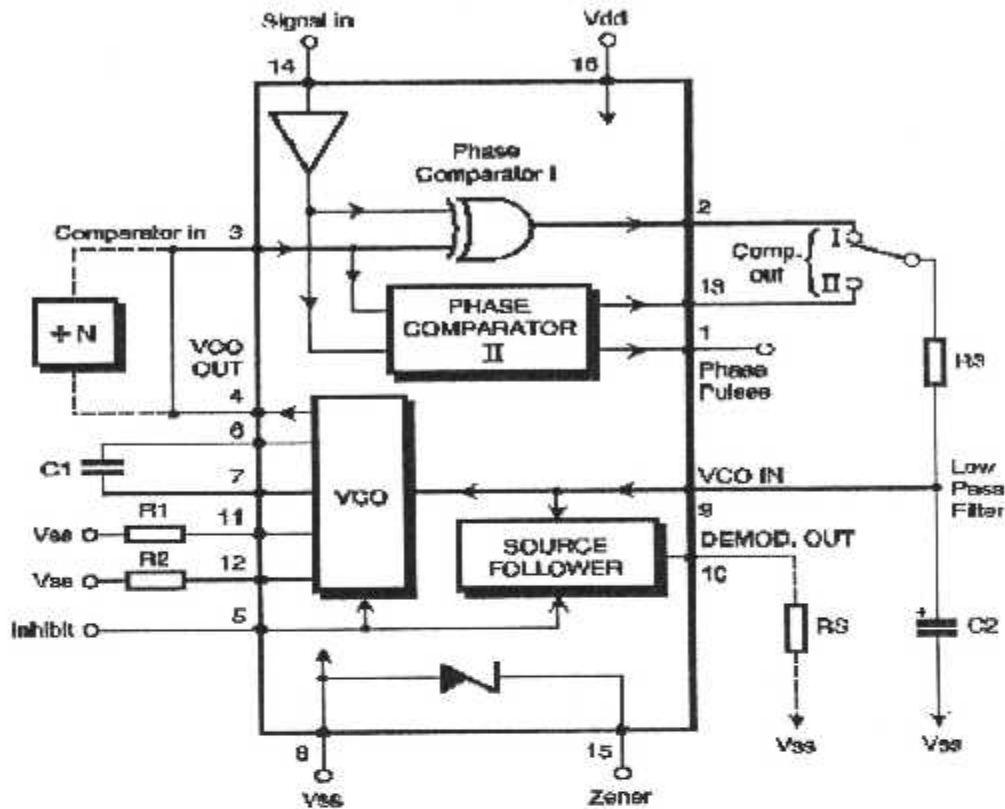


Figure IV-2 Schéma fonctionnel « CD4046 »

La valeur élevée de l'impédance d'entrée du VCO (1 million de $M\Omega$) simplifie la conception de son filtre passe-bas, permettant ainsi un large choix pour le rapport résistance/capacité. Afin de ne pas charger le filtre passe-bas, la sortie d'une source suiveuse de la tension d'entrée du VCO est disponible sur la broche 10 (Demodulator Output). Si cette terminaison est utilisée, une résistance de charge de R_s de $10\text{ k}\Omega$ ou plus peut être connectée entre cette sortie et la masse. Si cette terminaison n'est pas utilisée, la broche 10 peut être laissée ouverte.

La sortie du VCO (broche 4) peut être connectée, soit directement soit au travers des diviseurs de fréquence, sur l'entrée des comparateurs de phase. Le signal d'entrée du comparateur de phase (broche 14) peut être couplé directement,

produisant ainsi une variation du signal à l'intérieur des niveaux logiques (c'est-à-dire pour le niveau logique '0' $\leq 30\%$ de $V_{cc}-V_{ss}$, et pour le niveau logique '1' $\geq 70\%$ de $V_{cc}-V_{ss}$). Pour de plus faibles variations, le signal doit être couplé de façon capacitive au signal d'entrée par l'amplificateur auto polarisé.

Le comparateur de phase est un réseau de OU exclusifs: il fonctionne de manière analogue à un mélangeur de fréquences. Afin de maximiser la plage de verrouillage, les fréquences d'entrée des broches 3 (Comparator in) et 14 (Signal in) doivent avoir un rapport cyclique de 50%. Sans aucun signal ou bruit sur l'entrée 14, ce comparateur de phase a une tension moyenne de sortie de $V_{cc}/2$.

Le filtre passe-bas connecté sur la sortie du comparateur de phase 1 fournit les tensions moyennées à l'entrée du VCO, ce qui fait osciller le VCO à la fréquence centrale F_0 . La plage de fréquence des signaux d'entrée sur laquelle la PLL se verrouillera si elle était initialement déverrouillée est définie comme la **plage de capture de fréquence** ($2F_c$). La plage des signaux d'entrée sur laquelle la boucle restera verrouillée si elle était initialement verrouillée est définie comme la **plage de verrouillage de fréquence** ($2F_l$). La plage de capture est inférieure ou égale à la plage de verrouillage. Avec le comparateur de phase 1, la plage de fréquences sur laquelle la PLL peut se verrouiller (plage de capture) dépend des caractéristiques du filtre passe-bas, et peut être de la même largeur que la plage de verrouillage.

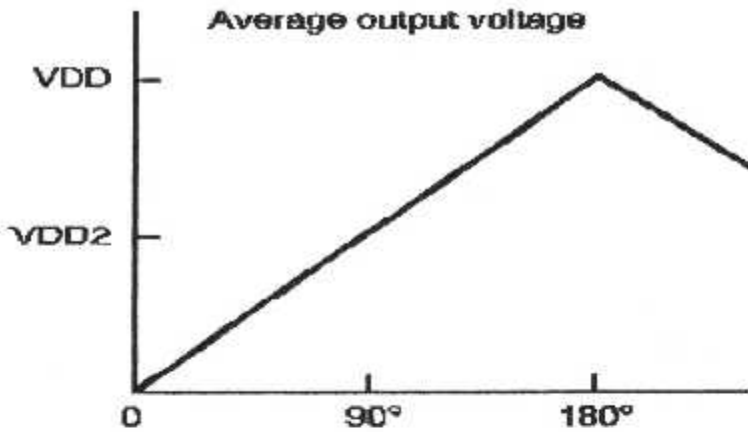


Figure IV-3 Réponse Typique triangulaire de la caractéristique Phase sur sortie du comparateur de phase 1

Le comparateur de phase 1 permet à un système PLL de rester verrouillé en dépit de pics de bruit sur le signal d'entrée. Une des caractéristiques de ce type de comparateur est qu'il peut être verrouillé sur des fréquences d'entrée proches des harmoniques de la fréquence centrale du VCO. Une seconde caractéristique est que l'angle de phase entre les entrées signal et comparateur varie entre 0 et 80 degrés, et est de 90° à la fréquence centrale. La figure ci-contre montre une réponse typique, triangulaire, de la caractéristique phase sur sortie du comparateur de phase 1. Les signaux typiques pour une PLL utilisant un comparateur de phase 1 en condition de verrouillage à la fréquence F_0 sont représentés ci-dessous.

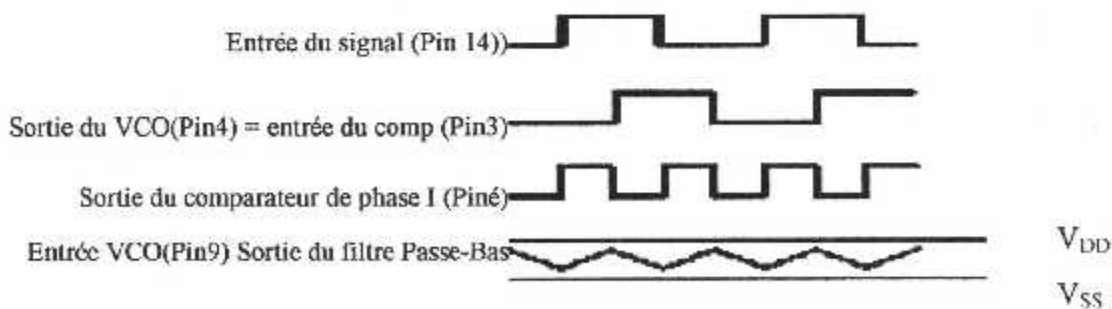


Figure IV-4 Signaux typiques pour une PLL (Comp de phase 1)

Le comparateur de phase II est un réseau à mémoire numérique contrôlé sur front. Il est constitué par quatre étages de bascules, par un contrôle de la porte de déclenchement, et par un circuit de sortie à trois étages comprenant des transistors 'drivers' de type -n et -p ayant un point commun en sortie. Quand les 'drivers' -p et -n conduisent, ils portent respectivement la sortie au niveau haut de Vcc ou au niveau bas de Vss. Ce type de comparateur de phase opère seulement sur les fronts positifs des entrées signal et comparateur. Les rapports cycliques des entrées signal et comparateur ne sont pas importants puisque ce sont des transitions positives qui contrôlent les PLL utilisant ce type de comparateur.

La plage de verrouillage et la plage de capture sont égales pour ce type de comparateur, et indépendante du filtre passe-bas. Sans signal sur l'entrée, le VCO est ajusté à sa plus basse fréquence pour le comparateur II

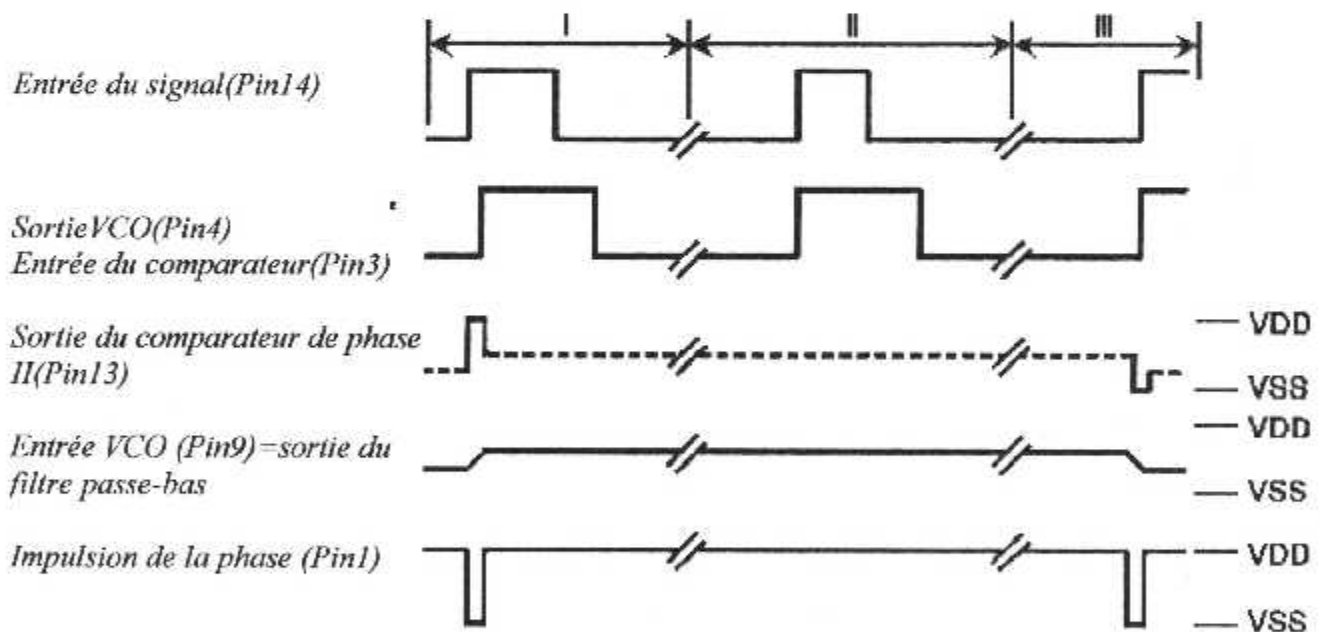


Figure IV-5 Signaux typiques pour une PLL utilisant le comparateur de phase 2

Note : la ligne en tirets est une condition de circuit ouvert

La figure ci-dessus représente les signaux typiques pour une PLL utilisant le comparateur de phase 2, ce qui est notre cas dans notre montage. Le tableau suivant indique les valeurs des composants externes pour le CD4046 dans un système de PLL.

CHARACTERISTICS	USING PHASE COMPARATOR I		USING PHASE COMPARATOR II	
	VCO WITHOUT OFFSET R2 = ∞	VCO WITH OFFSET	VCO WITHOUT OFFSET R2 = ∞	VCO WITH OFFSET
VCO Frequency				
For No Signal Input	VCO in PLL System will Adjust to centre frequency f ₀		VCO in PLL System will Adjust to Lowest Operating Frequency f _{min}	
Frequency Lock Range, 2 f _L	2 f _L = full VCO frequency range 2 f _L = f _{max} - f _{min}			
Frequency Capture Range, 2 f _c	$T1 = R3 C2$ $2f_c = \frac{1}{\pi} \sqrt{\frac{2f_L}{T1}}$		f _c = f _L	
Loop Filter Component Selection	<p>For 2f_c see ref. (2)</p>			
Phase Angle Between Signal and Comparator	90° at centre frequency (f ₀), approximating 0° and 180° at ends of lock range (2 f _L)		Always 0° in lock	
Locks on Harmonics of Centre Frequency	Yes		No	
Signal Input Noise Rejection	High		Low	

* G.S. Moskycz 'miniaturized RC filters using phase Lockedloop' BSTJ, may 1966

Figure IV-6

Les composants externes sélectionnés doivent être dans les plages suivantes :

- $5 \text{ k}\Omega \leq R1, R2, R3 \leq 1 \text{ M}\Omega$
- $C1 \geq 100 \text{ pF}$ à $V_{cc} \geq 5\text{V}$
- $C1 \geq 50 \text{ pF}$ à $V_{cc} \geq 10\text{V}$

Le schéma utilisé pour notre comparateur de phase avec hystérésis utilise donc deux CD4046. C8, R4 et R9, et la tension à la broche 9 détermine la fréquence de U1 (900 Hz). C9, R5 et R10, et la tension à la broche 9 détermine la fréquence de U2 (1580 Hz).

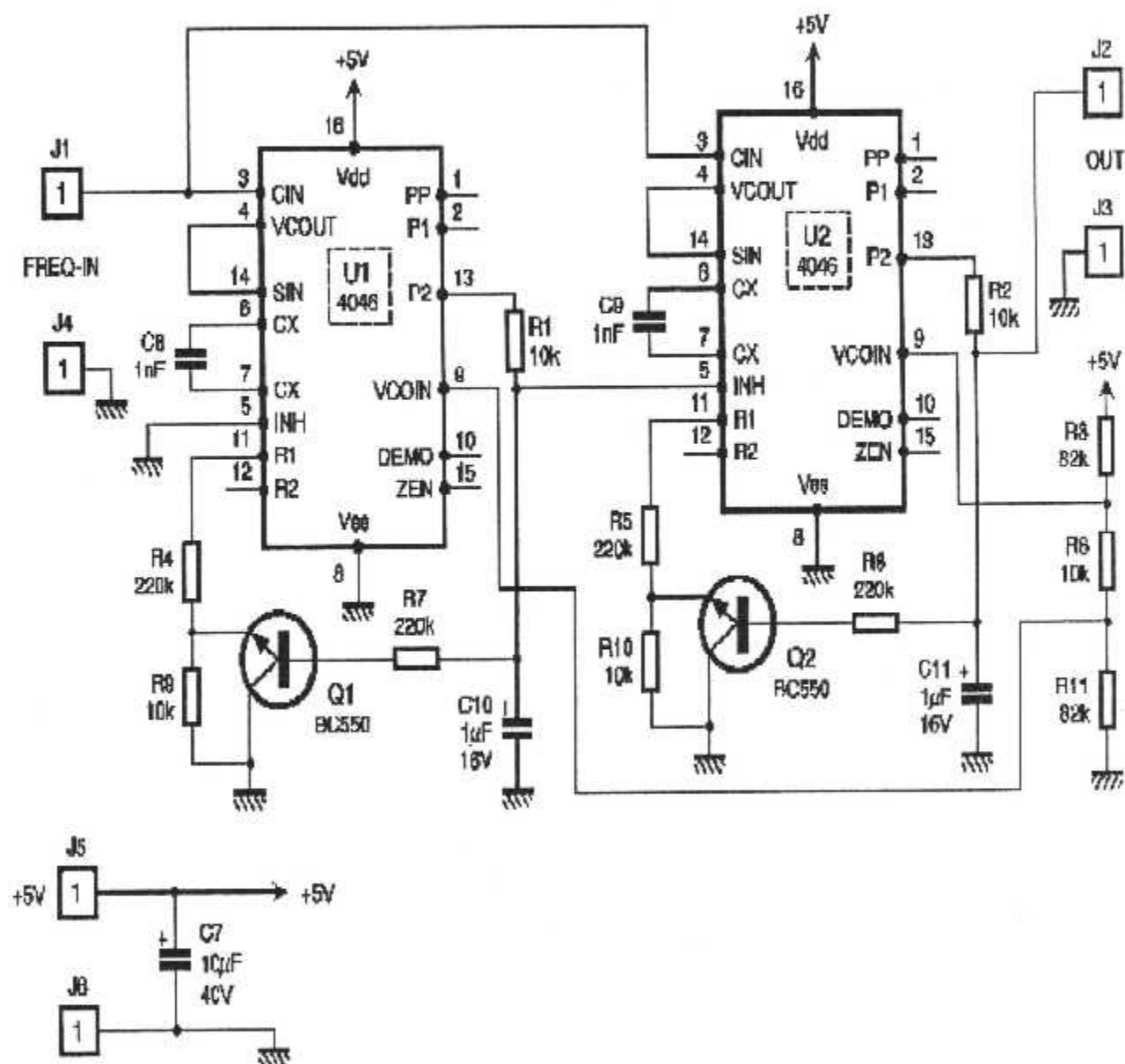


Figure IV-7 Comparateur de fréquences avec hystérésis

Si la fréquence d'entrée '*Freq-in*' est inférieure à 900 Hz, alors la sortie P2 du comparateur de phase 2 de U1 est au niveau haut et impose un niveau haut sur l'entrée d'inhibition de U2 à travers le filtre passe-bas R1- C10. En conséquence, le VCO interne de U2 s'arrête. La fréquence d'entrée '*Freq-in*' est par conséquent supérieure à la fréquence de U2 (qui est alors de 0 Hz), aussi la sortie P2 du comparateur de phase 2 de U2 passe au niveau bas, imposant un niveau sur la sortie 'OUT' à travers le filtre passe-bas R2-C11.

Si la fréquence d'entrée '*Freq-in*' est supérieure à 900 Hz et inférieure à 1580 Hz, alors la sortie P2 de U1 est au niveau bas et autorise le VCO dans U2. La fréquence de U2 est supérieure à '*Freq-in*', aussi la sortie P2 de U2 est au niveau haut. Simultanément, Q1 retire le court-circuit à travers R9, et la fréquence du VCO dans U1 décroît à 870 Hz.

Le rapport $R9 / (R4 + R9)$ détermine l'hystérésis du premier comparateur.

Si '*Freq-in*' dépasse 1580 Hz, alors P2 de U2 passe au niveau bas et Q2 retire le court-circuit à travers R10. La fréquence du VCO dans U2 décroît alors à 1520 Hz.

Le rapport $R10 / (R5 + R10)$ détermine l'hystérésis dans le second comparateur.

Ainsi par exemple,

- si '*Freq-in*' augmente de 100 à 3000 Hz, la sortie passera au niveau haut entre 900 et 1580 Hz. Fig.IV-8.

- si '*Freq-in*' décroît de 3000 à 100 Hz, elle passera au niveau haut entre 1520 et 870 Hz. Fig.IV-8.

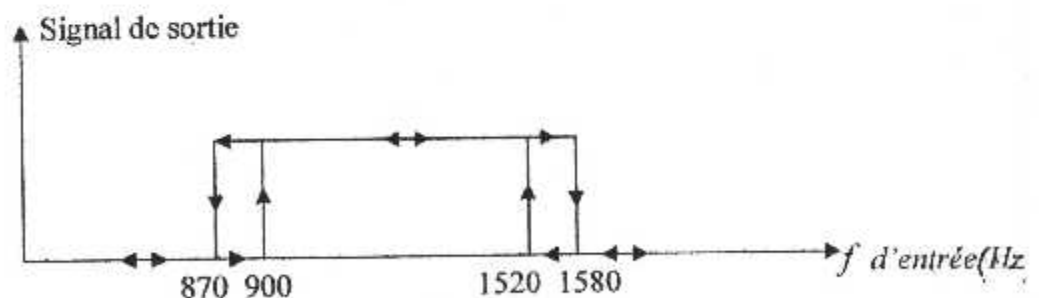


Figure IV-8 Caractéristique du montage

IV- Réalisation pratique

La première étape est de faire une simulation du CD4046 sur *Electronique Workbench*, puis on passe à notre circuit.

Après Simulation on procède à l'essai de notre circuit sur la plaque du test, avant la réalisation du circuit imprimé finale.

Durant toute la manipulation

- les mesures seront faites avec $V_{DD} = 5 V$;
- toutes les entrées inutilisées seront connectées à la masse (circuit C-MOS) ;
- toutes les sorties inutilisées resteront "en l'air".

Circuit imprimé (Fait avec Eagle 2)

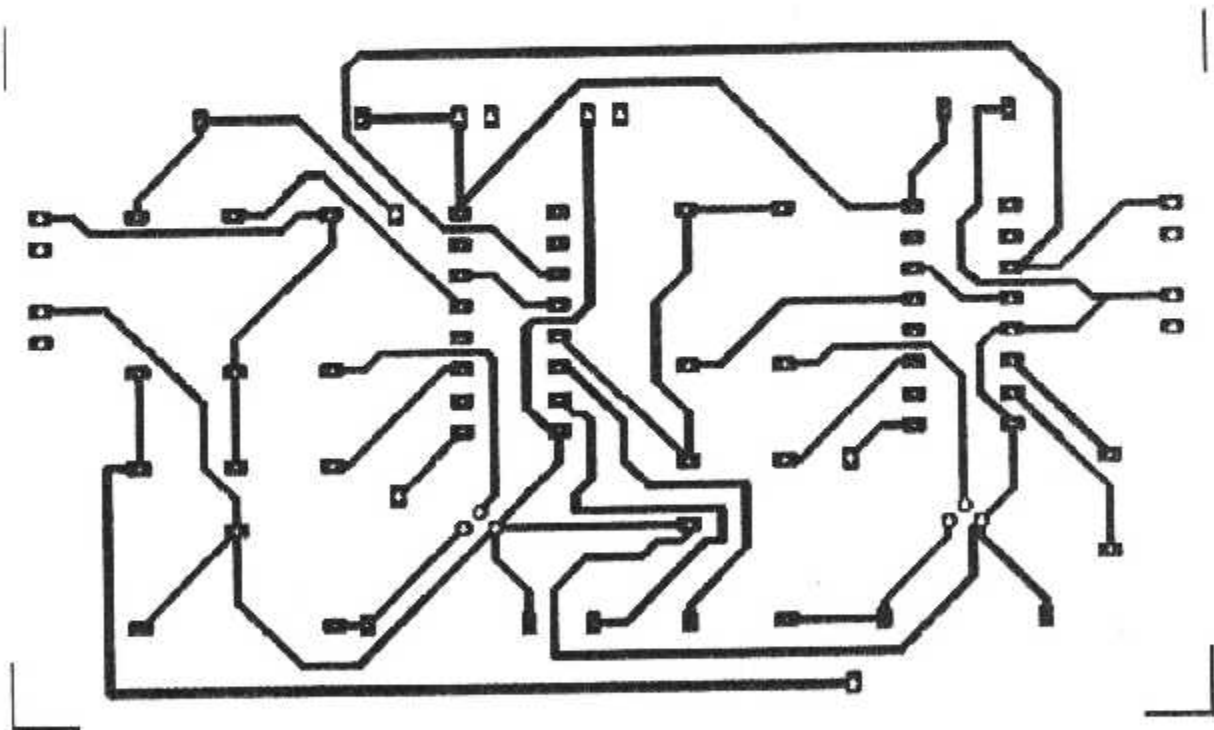


Figure IV-8 Tracé du Circuit Imprimée

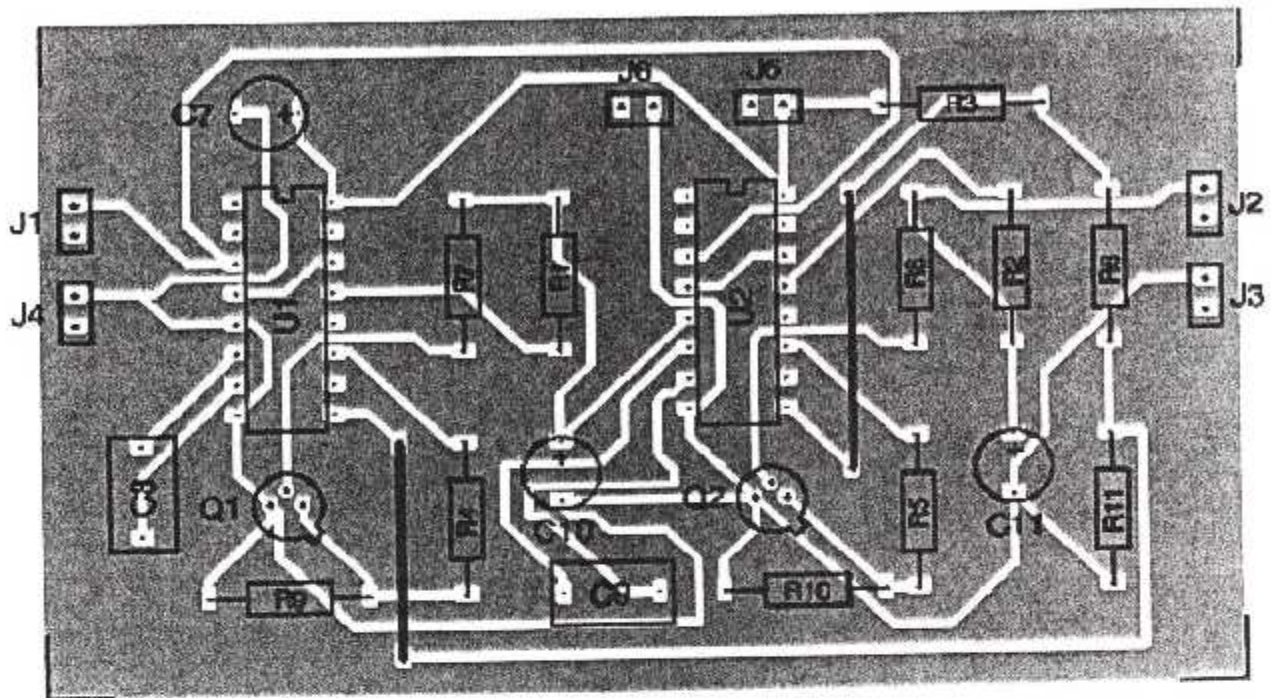


Figure IV-9 Implantation des composants

Conclusion

Ce circuit peut être très utile pour attaquer un montage nécessitant une sélection en ce qui concerne la plage des fréquences à sélectionner, le niveau haut ou bas indiquant si on se trouve à l'intérieur de cette plage ou non. Des hystérésis de 30 Hz pour les fréquences basses et de 60 Hz pour les fréquences hautes assurent des fenêtres différentes pour des changements de fréquence montants et descendants. L'utilisateur peut ajuster les fréquences et les hystérésis en changeant la valeur des composants impliqués.

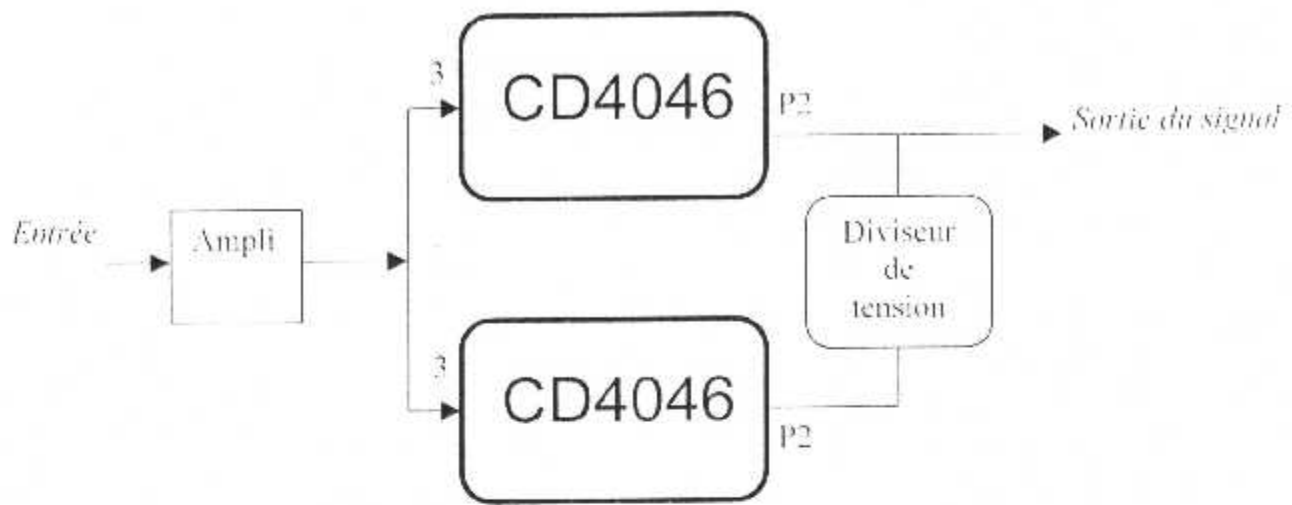


Figure IV- 7a :Schéma synoptique du montage

Nomenclature

Résistances

- R1, R2, R6, R9, R10: 10 k Ω 1/4W (marron, noir, orange)
- R3, R11: 82 k Ω 1/4W (gris, rouge, orange)
- R4, R5, R7, R8: 220 k Ω 1/4W (rouge, rouge, jaune)

Condensateurs

- C7: 10 μ F/40V
- C8, C9: 1 nF
- C10, C11: 1 μ F/16V

Semi-conducteurs

- Q1, Q2: BC550

Circuits intégrés

- U1, U2: CD4046

Divers

- J1 à J6: Prises de test

BC550

Brochage vu de dessous

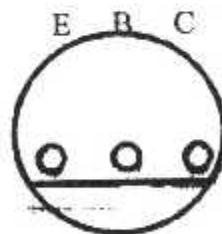


Figure IV-10

Conclusion Générale

La présente étude est consacrée aux différentes utilisations des PLL. On remarque la grande diversité de ces utilisations : modulation- démodulation, synthèse de fréquences, contrôle de la vitesse des moteurs de grande précision. etc...

Notre travail à été couronné par la réalisation d'un montage comparateur de phase avec hystérésis. Ce montage nous fournit une fenêtre de capture ,cette fenêtre définit une plage de fréquence, a l'intérieur de laquelle le montage signal l'appartenance à cette plage. Il faut noter que cette fenêtre n'est pas fixe, et cela, pendant la montée et la descente de la fréquence du signal d'entrée. Ce décalage de la fenêtre se traduit par un hystérésis dans la caractéristique du sortie du montage.

Comme utilités de notre montage, on trouve le concept de sélection de précision et a faible bruit.

CD4046BC Micropower Phase-Locked Loop

General Description

The CD4046BC micropower phase-locked loop (PLL) consists of a low power, linear, voltage-controlled oscillator (VCO), a source follower, a zener diode, and two phase comparators. The two phase comparators have a common signal input and a common comparator input. The signal input can be directly coupled for a large voltage signal, or capacitively coupled to the self-biasing amplifier at the signal input for a small voltage signal.

Phase comparator I, an exclusive OR gate, provides a digital error signal (phase comp. I Out) and maintains 90° phase shift at the VCO center frequency. Between signal input and comparator input (both at 50% duty cycle), it may lock onto the signal input frequencies that are close to harmonics of the VCO center frequency.

Phase comparator II is an edge-controlled digital memory network. It provides a digital error signal (phase comp. II Out) and lock-in signal (phase pulses) to indicate a locked condition and maintains a 0° phase shift between signal input and comparator input.

The linear voltage-controlled oscillator (VCO) produces an output signal (VCO Out) whose frequency is determined by the voltage at the VCO_{IN} input, and the capacitor and resistors connected to pin C1_A, C1_B, R1 and R2.

The source follower output of the VCO_{IN} (demodulator Out) is used with an external resistor of 10 kΩ or more.

The INHIBIT input, when high, disables the VCO and source follower to minimize standby power consumption.

The zener diode is provided for power supply regulation, if necessary.

Features

- Wide supply voltage range: 3.0V to 18V
- Low dynamic power consumption: 70 μW (typ.) at $f_o = 10$ kHz, $V_{DD} = 5V$
- VCO frequency: 1.3 MHz (typ.) at $V_{DD} = 10V$
- Low frequency drift: 0.06%/°C at $V_{DD} = 10V$ with temperature
- High VCO linearity: 1% (typ.)

Applications

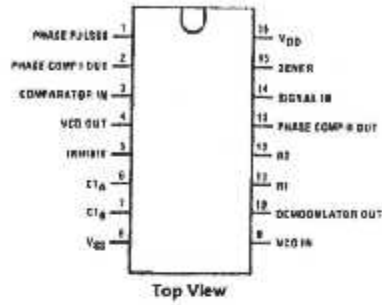
- FM demodulator and modulator
- Frequency synthesis and multiplication
- Frequency discrimination
- Data synchronization and conditioning
- Voltage-to-frequency conversion
- Tone decoding
- FSK modulation
- Motor speed control

Ordering Code:

Order Number	Package Number	Package Description
CD4046BCM	M16A	16-Lead Small Outline Integrated Circuit (SOIC), JEDEC MS-012, 0.150" Narrow
CD4046BCN	N16E	16-Lead Plastic Dual-In-Line Package (PDIP), JEDEC MS-001, 0.300" Wide

Devices also available in Tape and Reel. Specify by appending the suffix letter "X" to the ordering code.

Connection Diagram



Top View

Block Diagram

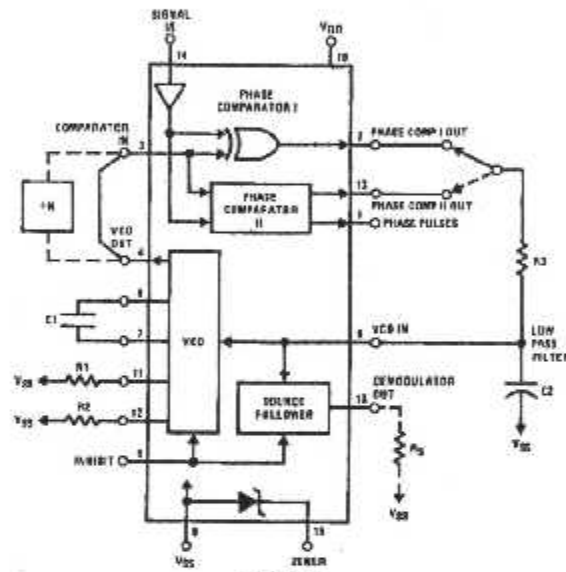


FIGURE 1.

Absolute Maximum Ratings (Note 1)		Recommended Operating Conditions (Note 2)	
DC Supply Voltage (V_{DD})	-0.5 to +18 V_{DC}	DC Supply Voltage (V_{DD})	3 to 15 V_{DC}
Input Voltage (V_{IN})	-0.5 to V_{DD} +0.5 V_{DC}	Input Voltage (V_{IN})	0 to V_{DD} V_{DC}
Storage Temperature Range (T_S)	-65°C to +150°C	Operating Temperature Range (T_A)	-55°C to +125°C
Power Dissipation (P_D)		Note 1: "Absolute Maximum Ratings" are those values beyond which the safety of the device cannot be guaranteed. They are not meant to imply that the devices should be operated at these limits. The table of "Recommended Operating Conditions" and "Electrical Characteristics" provides conditions for actual device operation.	
Dual-In-Line	700 mW	Note 2: $V_{SS} = 0V$ unless otherwise specified.	
Small Outline	500 mW		
Lead Temperature (T_L)			
(Soldering, 10 seconds)	260°C		

DC Electrical Characteristics (Note 2)

Symbol	Parameter	Conditions	-55°C		-25°C			125°C		Units
			Min	Max	Min	Typ	Max	Min	Max	
I_{DD}	Quiescent Device Current	Pin 5 = V_{DD} , Pin 14 = V_{DD} , Pin 3, 9 = V_{SS} $V_{DD} = 6V$ $V_{DD} = 10V$ $V_{DD} = 15V$		6 10 20		0.005 0.01 0.015	5 10 20		150 300 600	μA
		Pin 5 = V_{DD} , Pin 14 = Open, Pin 3, 9 = V_{SS} $V_{DD} = 6V$ $V_{DD} = 10V$ $V_{DD} = 15V$		45 450 1200		5 20 50	35 350 900		105 450 1500	μA
V_{OL}	LOW Level Output Voltage	$V_{DD} = 6V$ $V_{DD} = 10V$ $V_{DD} = 15V$		0.05 0.05 0.05		0 0 0	0.05 0.05 0.05		0.05 0.05 0.05	V
V_{OH}	HIGH Level Output Voltage	$V_{DD} = 6V$ $V_{DD} = 10V$ $V_{DD} = 15V$	4.95 9.95 14.95		4.95 9.95 14.95	5 10 15		4.55 9.55 14.55		V
V_{IL}	LOW Level Input Voltage Comparator and Signal In	$V_{DD} = 6V, V_O = 0.6V$ or 4.5V $V_{DD} = 10V, V_O = 1V$ or 9V $V_{DD} = 15V, V_O = 1.5V$ or 13.5V		1.5 3.0 4.0		2.25 4.5 6.25	1.5 3.0 4.0		1.5 3.0 4.0	V
V_{IH}	HIGH Level Input Voltage Comparator and Signal In	$V_{DD} = 6V, V_O = 0.5V$ or 4.5V $V_{DD} = 10V, V_O = 1V$ or 9V $V_{DD} = 15V, V_O = 1.5V$ or 13.5V	3.8 7.0 11.0		3.5 7.0 11.0	2.75 5.5 8.25		3.5 7.0 11.0		V
I_{OL}	LOW Level Output Current (Note 4)	$V_{DD} = 6V, V_O = 0.4V$ $V_{DD} = 10V, V_O = 0.5V$ $V_{DD} = 15V, V_O = 1.5V$	0.64 1.6 4.2		0.51 1.3 3.4	0.88 2.25 8.8		0.36 0.9 2.4		mA
I_{OH}	HIGH Level Output Current (Note 4)	$V_{DD} = 6V, V_O = 4.5V$ $V_{DD} = 10V, V_O = 9.5V$ $V_{DD} = 15V, V_O = 13.5V$	-0.64 -1.6 -4.2		-0.51 -1.3 -3.4	-0.88 -2.25 -8.8		-0.36 -0.9 -2.4		mA
I_{IN}	Input Current	All Inputs Except Signal Input $V_{DD} = 15V, V_{IN} = 0V$ $V_{DD} = 15V, V_{IN} = 15V$		-0.1 0.1		-10^{-8} 10^{-6}	-0.1 0.1		-1.0 1.0	μA
C_{IN}	Input Capacitance	Any Input (Note 3)							7.5	pF
P_T	Total Power Dissipation	$f_o = 10$ kHz, $R1 = 1$ M Ω , $R2 = \infty, V_{COH} = V_{DD}/2$ $V_{DD} = 5V$ $V_{DD} = 10V$ $V_{DD} = 15V$				0.07 0.6 2.4				mW

Note 3: Capacitance is guaranteed by periodic testing.
 Note 4: I_{OH} and I_{OL} are tested on output at a time.

AC Electrical Characteristics (Note 5)

 $T_A = 25^\circ\text{C}$, $C_L = 60\text{ pF}$

Symbol	Parameter	Conditions	Min	Typ	Max	Units
VCO SECTION						
I_{CO}	Operating Current	$f_o = 10\text{ kHz}$, $R1 = 1\text{ M}\Omega$, $R2 = \infty$, $V_{CO(N)} = V_{DD}/2$ $V_{DD} = 5\text{V}$ $V_{DD} = 10\text{V}$ $V_{DD} = 15\text{V}$		20 90 200		μA
f_{MAX}	Maximum Operating Frequency	$C1 = 50\text{ pF}$, $R1 = 10\text{ k}\Omega$, $R2 = \infty$, $V_{CO(N)} = V_{DD}$ $V_{DD} = 5\text{V}$ $V_{DD} = 10\text{V}$ $V_{DD} = 15\text{V}$	0.4 0.8 1.0	0.3 1.2 1.8		MHz
	Linearity	$V_{CO(N)} = 2.5\text{V} \pm 0.3\text{V}$, $R1 \geq 10\text{ k}\Omega$, $V_{DD} = 5\text{V}$ $V_{CO(N)} = 5\text{V} \pm 2.5\text{V}$, $R1 \geq 400\text{ k}\Omega$, $V_{DD} = 10\text{V}$ $V_{CO(N)} = 7.5\text{V} \pm 5\text{V}$, $R1 \geq 1\text{ M}\Omega$, $V_{DD} = 15\text{V}$		1 1 1		%
	Temperature-Frequency Stability No Frequency Offset, $f_{MN} = 0$	$\%/\text{C} < 5\text{c1/f}^2$ V_{CO} $R2 = \infty$ $V_{DD} = 5\text{V}$ $V_{DD} = 10\text{V}$ $V_{DD} = 15\text{V}$		0.12-0.24 0.04-0.08 0.015-0.03		$\%/\text{C}$
	Frequency Offset, $f_{MN} \neq 0$	$V_{DD} = 5\text{V}$ $V_{DD} = 10\text{V}$ $V_{DD} = 15\text{V}$		0.06-0.12 0.05-0.1 0.03-0.06		$\%/\text{C}$
$R_{CO(N)}$	Input Resistance	$V_{DD} = 5\text{V}$ $V_{DD} = 10\text{V}$ $V_{DD} = 15\text{V}$		10^6 10^6 10^6		M Ω
VCO	Output Duty Cycle	$V_{DD} = 5\text{V}$ $V_{DD} = 10\text{V}$ $V_{DD} = 15\text{V}$		50 50 50		%
t_{HL}	VCO Output Transition Time	$V_{DD} = 5\text{V}$		90	200	ns
t_{HL}		$V_{DD} = 10\text{V}$ $V_{DD} = 15\text{V}$		50 45	100 80	ns
PHASE COMPARATORS SECTION						
R_N	Input Resistance					
	Signal Input	$V_{DD} = 5\text{V}$ $V_{DD} = 10\text{V}$ $V_{DD} = 15\text{V}$	1 0.2 0.1	3 0.7 0.3		M Ω
	Comparator Input	$V_{DD} = 5\text{V}$ $V_{DD} = 10\text{V}$ $V_{DD} = 15\text{V}$		10^6 10^6 10^6		
	AC-Coupled Signal Input Voltage Sensitivity	$C_{SERIES} = 1000\text{ pF}$ $f = 50\text{ kHz}$ $V_{DD} = 5\text{V}$ $V_{DD} = 10\text{V}$ $V_{DD} = 15\text{V}$		200 400 700	400 800 1400	mV
DEMODULATOR OUTPUT						

AC Electrical Characteristics (Continued)

Symbol	Parameter	Conditions	Min	Typ	Max	Units
V_{CO-N} V_{CEM}	Offset Voltage	$R_S \geq 10 \text{ k}\Omega, V_{DD} = 5V$		1.50	2.2	V
		$R_S \geq 10 \text{ k}\Omega, V_{DD} = 10V$		1.50	2.2	
		$R_S \geq 50 \text{ k}\Omega, V_{DD} = 15V$		1.50	2.2	
	Linearity	$R_S \geq 50 \text{ k}\Omega$				%
		$V_{CO-N} = 2.5V \pm 0.3V, V_{DD} = 5V$		0.1		
		$V_{CO-N} = 5V \pm 2.5V, V_{DD} = 10V$		0.6		
		$V_{CO-N} = 7.5V \pm 5V, V_{DD} = 15V$		0.8		

ZENER DIODE

V_Z	Zener Diode Voltage	$I_Z = 50 \mu A$	6.3	7.0	7.7	V
R_Z	Zener Dynamic Resistance	$I_Z = 1 \text{ mA}$		100		Ω

Note #: AC Parameters are guaranteed by DC correlated testing.

Phase Comparator State Diagrams

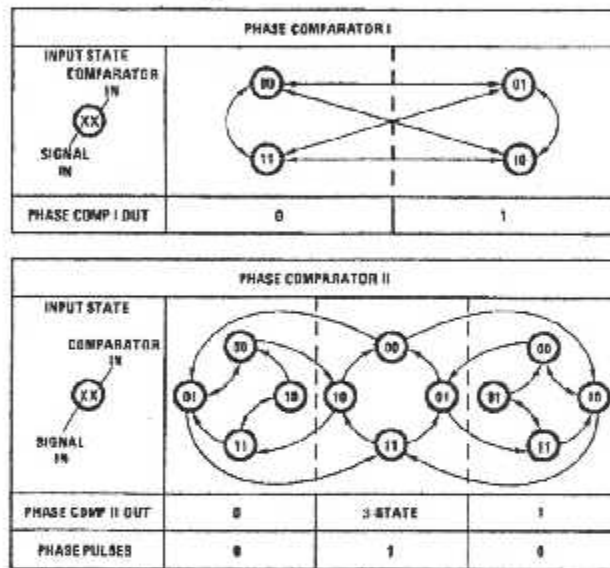


FIGURE 2.

Typical Waveforms

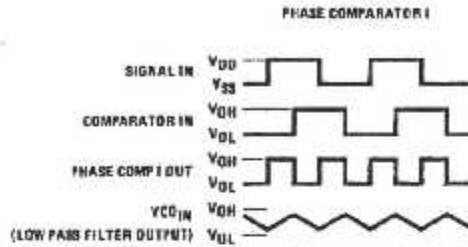


FIGURE 3. Typical Waveform Employing Phase Comparator I in Locked Condition

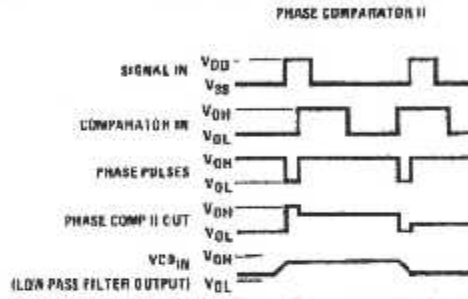


FIGURE 4. Typical Waveform Employing Phase Comparator II in Locked Condition

Typical Performance Characteristics

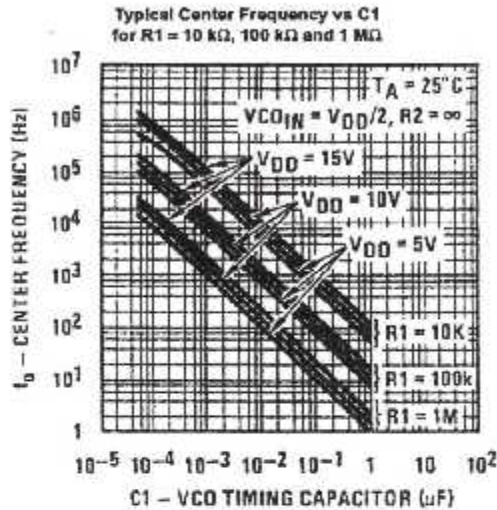


FIGURE 5.

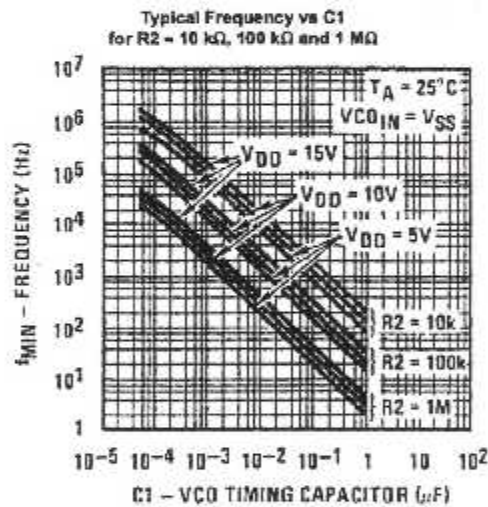


FIGURE 6.

Note: To obtain approximate total power dissipation of PLL system for no signal input: Phase Comparator I, $P_D(\text{Total}) = P_D(I_C) + P_D(I_{MB}) + P_D(R_2)$; Phase Comparator II, $P_D(\text{Total}) = P_D(I_{CS})$.

Typical Performance Characteristics (Continued)

Typical f_{MAX}/f_{MIN} vs $R2/R1$

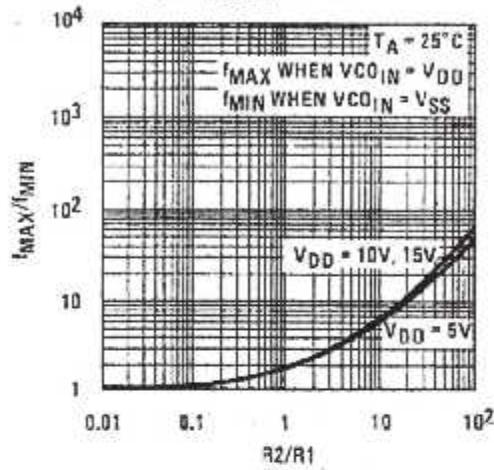


FIGURE 7.

Typical VCO Power Dissipation at Center Frequency vs $R1$

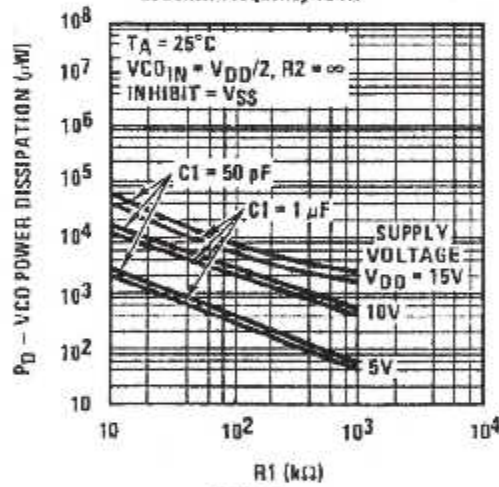


FIGURE 8.

Note: To obtain approximate total power dissipation of PLL system for no-signal input: Phase Comparator: $P_D(\text{Total}) = P_D(I_C) + P_D(I_{MAX}) + P_D(R2)$; Phase Comparator: $P_D(\text{Total}) = P_D(I_{MAX})$

Typical Performance Characteristics (Continued)

Typical VCO Power Dissipation at f_{MAX} vs R2

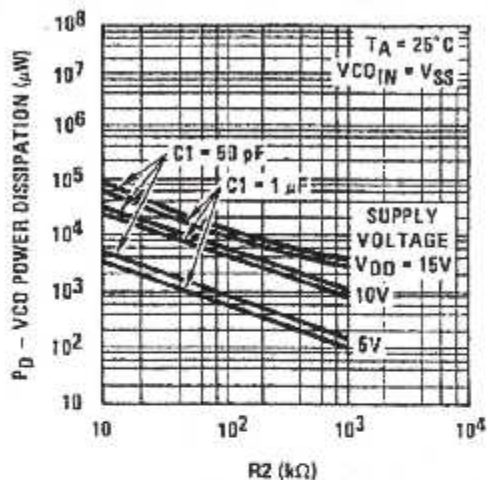


FIGURE 9.

Typical Source Follower Power Dissipation vs R_S

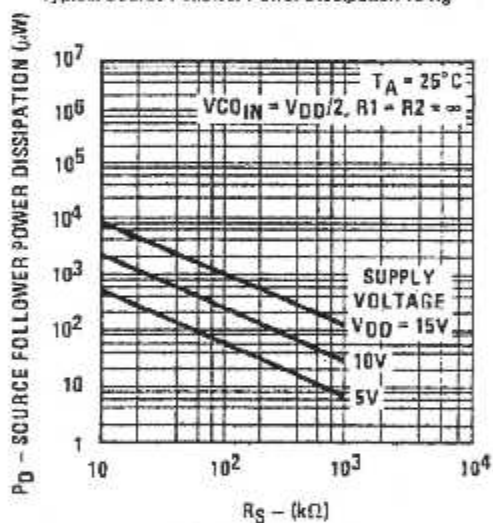


FIGURE 10.

Note: To obtain approximate total power dissipation of PLL system for no-signal input: Phase Comparator 1, $P_D(\text{Total}) = P_D(I_1) + P_D(I_{MAX}) + P_D(R_2)$; Phase Comparator 2, $P_D(\text{Total}) = P_D(I_{MAX})$.

Typical Performance Characteristics (Continued)

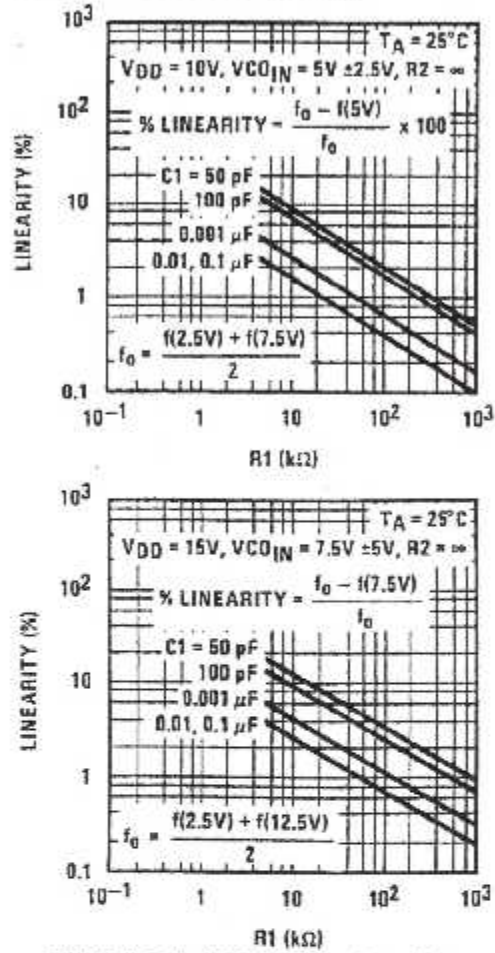


FIGURE 11. Typical VCO Linearity vs R1 and C1

Note: To obtain approximate total power dissipation of PLL system for no-signal input: Phase Comparator I, $P_D(\text{Total}) = P_D(f_c) + P_D(f_{\text{lock}}) + P_D(R_2)$; Phase Comparator II, $P_D(\text{Total}) = P_D(f_{\text{lock}})$.

Design Information

This information is a guide for approximating the value of external components for the CD4046B in a phase-locked-loop system. The selected external components must be within the following ranges: $R_1, R_2 \geq 10 \text{ k}\Omega$, $R_B \geq 10 \text{ k}\Omega$, $C_1 \geq 50 \text{ pF}$.

In addition to the given design information, refer to Figure 5, Figure 6, Figure 7 for R_1 , R_2 and C_1 component selections.

Characteristics	Using Phase Comparator I		Using Phase Comparator II	
	VCO Without Offset $R_2 = \infty$	VCO With Offset	VCO Without Offset $R_2 = \infty$	VCO With Offset
VCO Frequency				
For No Signal Input	VCO in PLL system will adjust to center frequency, f_c		VCO in PLL system will adjust to lowest operating frequency, f_{min}	
Frequency Lock Range, $2 f_L$	$2 f_L = \text{full VCO frequency range}$ $2 f_L = f_{max} - f_{min}$			
Frequency Capture Range, $2 f_C$		$2 f_C = \frac{1}{\pi} \sqrt{\frac{2 \pi f_1}{\tau_1}}$	$f_C = f_L$	
Loop Filter Component Selection		For $2 f_C$, see Ref.		
Phase Angle Between Single and Comparator	90° at center frequency (f_c), approximating 0° and 180° at ends of lock range ($2 f_L$)		Always 0° in lock	
Locks on Harmonics of Center Frequency	Yes		No	
Signal Input Noise Rejection	High		Low	

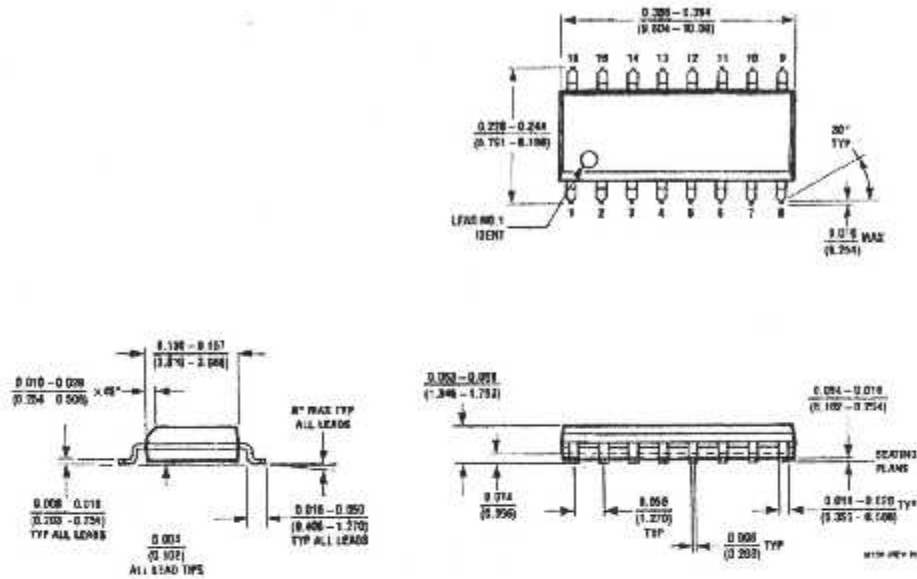
Design Information (Continued)

Characteristics	Using Phase Comparator I		Using Phase Comparator II	
	VCO Without Offset R2 = ∞	VCO With Offset	VCO Without Offset R2 = ∞	VCO With Offset
VCO Component Selection	Given: f_0 Use f_0 with Figure 5 to determine R1 and C1.	Given: f_0 and f_L Calculate f_{min} from the equation $f_{min} = f_0 - f_L$ Use f_{min} with Figure 6 to determine R2 and C1. Calculate $\frac{f_{max}}{f_{min}}$ from the equation $\frac{f_{max}}{f_{min}} = \frac{f_0 + f_U}{f_0 - f_L}$ Use $\frac{f_{max}}{f_{min}}$ with Figure 7 to determine ratio R2/R1 to obtain R1.	Given: f_{max} Calculate f_0 from the equation $f_0 = \frac{f_{max}}{2}$ Use f_0 with Figure 5 to determine R1 and C1.	Given: f_{min} and f_{max} Use f_{min} with Figure 6 to determine R2 and C1. Calculate $\frac{f_{max}}{f_{min}}$ Use $\frac{f_{max}}{f_{min}}$ with Figure 7 to determine ratio R2/R1 to obtain R1.

References

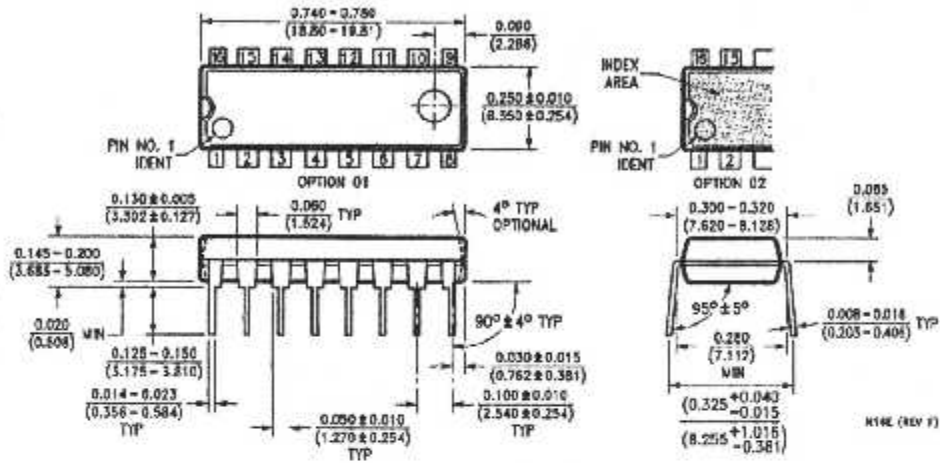
- G.S. Moschytz, "Ministorized RC Filters Using Phase-Locked Loop", BSTJ, May, 1965.
 Floyd Gardner, "Phaselock Techniques", John Wiley & Sons, 1966.

Physical Dimensions inches (millimeters) unless otherwise noted



16-Lead Small Outline Integrated Circuit (SOIC), JEDEC MS-012, 0.150" Narrow
Package Number M16A

Physical Dimensions inches (millimeters) unless otherwise noted (Continued)



16-Lead Plastic Dual-in-Line Package (PDIP), JEDEC MS-001, 0.300" Wide
Package Number N16E

Fairchild does not assume any responsibility for use of any circuitry described, no circuit patent licenses are implied and Fairchild reserves the right at any time without notice to change said circuitry and specifications.

LIFE SUPPORT POLICY

FAIRCHILD'S PRODUCTS ARE NOT AUTHORIZED FOR USE AS CRITICAL COMPONENTS IN LIFE SUPPORT DEVICES OR SYSTEMS WITHOUT THE EXPRESS WRITTEN APPROVAL OF THE PRESIDENT OF FAIRCHILD SEMICONDUCTOR CORPORATION. As used herein:

1. Life support devices or systems are devices or systems which, (a) are intended for surgical implant into the body, or (b) support or sustain life, and (c) whose failure to perform when properly used in accordance with instructions for use provided in the labeling, can be reasonably expected to result in a significant injury to the user.
2. A critical component in any component of a life support device or system whose failure to perform can be reasonably expected to cause the failure of the life support device or system, or to affect its safety or effectiveness.

www.fairchildsemi.com

Bibliographie



- 1- J.Farré & F.Lavernhe 'SUPEAERO', « Fonctions électroniques pour le traitement et la transmission du signal. 1995
- 2- Michel Cerr 'Volume I' « Instrumentation industrielle » Volume 1, 2^{ème} Edition. 1990
- 3- C.Cimelli & R.Bourgeron, « Guide Du Technicien En Electronique »
- 4- P.G.Fontolliet, « Systèmes de télécommunications bases de transmission,1983.
- 5- Electronique Pratique, N170, Septembre 1997.
- 6- Philips semiconductors, AN177, An overview of the PLL.
- 7- G. Couturier, Dept GEII IUT Bordeaux I « PLL. et applications »
- 13- Frequency Synthesis by Phase Lock 1981 Wiley Interscience de William Egan.
- 8- Data sheet CD4046
- 9- Charge Pump Phase Lock Loops IEEE Transactions on Communications, vol 28 no 11 November 1980, Floyd M.Gardner, qui propose une attaque directe du problème avec équations différentielles et transformée en z.
- 10- <http://www.semiconductors.Philips.com>
- 11- <http://www.st.com>
- 12- <http://www.guill.net>
- 13- <http://www.national.com>