

**République Algérienne Démocratique et Populaire**  
**Ministère de l'Enseignement Supérieur et de la Recherche**  
**Scientifique**  
**Université SAAD DAHLAB BLIDA1**



**FACULTE DE SCIENCE ET TECHNOLOGIE**  
**DEPARTEMENT DE L'ÉLECTRONIQUE**

**ANALYSE DES TRANSISTORS à EFFET DE  
CHAMP à GRILLE ISOLEE : VDMOS**

**Mémoire de fin d'études**  
**PRESENTE EN VUE DE L'OBTENTION DU DIPLOME DE**  
**MASTER ACADEMIQUE**

**Session : 2021/2022**

**Présenté par : SI AHMED Ahmed**

**HEZAIMIA Sidali**

**Encadré par : Dr. Mourad BELLA**

## *Remerciements*

*Avant tout, on remercie « DIEU », le tout-puissant qui m'a donné le courage, la volonté et la patience pour réaliser ce travail.*

*J'exprime mes profonds remerciements à mon encadreur, **BELLA MOURAD**. Pour sa patience, sa confiance, son encouragement, et son œil critique qui m'a été très précieux pour structurer le travail et pour améliorer la qualité des différentes sections de mon mémoire,*

*La pertinence de ses remarques et la qualité de ses conseils m'ont aidé à progresser et ont fait de cette travail un véritable processus d'apprentissage et une expérience intéressante et riche, je lui remercie vivement.*

*Mes vifs remerciements vont aux **membres du jury** pour avoir accepté d'examiner ce travail.*

*Un grand merci à **mes parents** qui m'ont construites avec amour et attention, élevées dans le respect et le partage et inculquées des valeurs morales comme l'abnégation et la volonté. Ce travail correspond à l'aboutissement d'une partie de leur éducation. Je suis extrêmement fière de les remercier pour tout cela. J'espère que vous trouverez ce travail à la hauteur de vos sacrifices.*

*Je remercie également tous **mes amis**, qui m'ont énormément soutenues, pour les moments de complicité et fous rires. Je souhaite à chacun(e) plein de réussite et de bonheur.*

*Enfin. **À tous mes proches, familles, sœurs et cousines** qui m'ont accompagnées durant cette période, qui ont partagé mes avancées et qui m'ont soutenues également dans les moments de doutes.*

## *Dédicaces*

*Avant tous, je remercie Dieu source de toute connaissance.*

*Que ce travail témoigne de mes respects :*

*Ma chère mère (Djalila et Louisa), que nulle dédicace ne pourrait exprimer mon respect, mon amour et ma considération pour tous ses sacrifices et ses concessions et ce, pour mon instruction et mon bien-être.*

*Mon cher père (Mohamed et raban), mon modèle, sur qui j'ai puisé ma force et ma détermination, je vous remercie pour tout le soutien et l'amour que vous me portez depuis mon enfance. Que ce modeste travail soit le fruit de vos innombrables sacrifices. Puisse Dieu, le très haut, vous accordé santé, bonheur et longue vie.*

*Mes sœurs et mes frères, qui eux aussi m'ont encouragée à leur façon et qui arrivent toujours à me faire rire dans les moments de déprime.*

*Mes amis amarra makhsoufia, yagoub Zahra, Laki attou, brahimi*

*Rabah. Et ma fiancé nihadalisi, qui m'ont énormément soutenues,*

*pour les moments de complicité et fous rires.*

*AHMED & SIDALI*

## Table des matières

<b>I.1. Introduction :</b> .....	12
<b>I.4. Description du Transistor MOS :</b> .....	13
<b>I.5.2. Transistor MOSFET à canal N :</b> .....	15
<b>I.6. Caractéristique courant-tension et les principaux paramètres du transistor MOS :</b> .....	16
<b>I.6.1 Le régime linéaire :</b> .....	16
<b>I.6.2. Le régime saturé :</b> .....	18
<b>I.6.3. Le régime sous le seuil :</b> .....	19
<b>I.6.4. Notion de mobilité des porteurs minoritaires :</b> .....	19
<b>I.6.5. Notion de champ électrique à travers l'oxyde de grille :</b> .....	21
<b>II.1. Introduction</b> .....	23
<b>II.2. Les différents types de transistor MOS :</b> .....	23
<b>II.2.1. Le transistor VMOS :</b> .....	23
<b>II.2.2. Le transistor UMOS :</b> .....	24
<b>II.2.3. Le transistor DMOS :</b> .....	25
a) <b>Le transistor LDMOS :</b> .....	25
b) <b>Le transistor VDMOS :</b> .....	26
<b>II.3. Principe de fonctionnement de transistor VDMOS :</b> .....	27
<b>II.3.1. Étude du comportement statique :</b> .....	27
a) <b>La tension de claquage :</b> .....	28
b) <b>Résistance drain source :</b> .....	28
<b>II.3.2. Étude de comportement dynamique :</b> .....	30
<b>II.4. Les avantages du transistor VDMOS</b> .....	31
<b>II.5. Les inconvénients du transistor VDMOS</b> .....	32
<b>II.6. Les équations fondamentales</b> .....	33
<b>II.6.1 Equation de continuités :</b> .....	33
<b>II.6.2. Équation de Poisson</b> L'intégration de l'équation de Poisson permet de calculer la variation du potentiel dans le semi-conducteur à partir de la charge d'espace qui est formée par des charges dues aux porteurs libres et aux impuretés que l'on suppose totalement ionisées [19] .....	33
<b>II.7. Méthode numérique</b> .....	34
<b>II.7.1. Dérivée finie</b> .....	34
<b>II.7.2. Élément finie</b> .....	34
<b>II.8. Conclusion :</b> .....	35

<b>III.1. Introduction :</b> .....	<b>37</b>
<b>III.2. TCAD-SILVACO :</b> .....	<b>37</b>
<b>III.2.1. Présentation</b> .....	<b>37</b>
<b>III.2.2. ATHENA</b> .....	<b>39</b>
<b>III.2.3. TONYPLOT</b> .....	<b>39</b>
<b>III.2.4. DECKBUILD</b> .....	<b>40</b>
<b>III.2.5. ATLAS</b> .....	<b>40</b>
<b>III.3. Simulation du transistor VDMOS:</b> .....	<b>41</b>
<b>III.3.1. Le Maillage :</b> .....	<b>42</b>
<b>III.3.2. Les régions</b> .....	<b>43</b>
<b>III.3.3. Les électrodes</b> .....	<b>44</b>
<b>III.3.4. Le dopage :</b> .....	<b>44</b>
<b>III.5. Conclusion :</b> .....	<b>51</b>
<b>CONCLUSION GENERALE:</b> .....	<b>53</b>
<b>BIBLIOGRAPHIE :</b> .....	<b>55</b>

**INTRODUCTION**

**GENERALE**



L'industrie de la microélectronique connaît depuis ses origines un développement extraordinaire tant les possibilités d'applications qu'elle ouvre sont nombreuses et prometteuses. Cependant, la fabrication de circuits intégrés toujours plus complexe d'une génération à l'autre n'est possible que grâce à des innovations incessantes autorisant leur faisabilité.

D'un point de vue technologique, c'est avant tout par la réduction des dimensions critiques des dispositifs élémentaires utilisés dans la microélectronique (notamment la longueur de grille et l'épaisseur d'oxyde dans les transistors MOS, Métal-Oxyde-Semiconducteur) et par l'abaissement des tensions d'alimentation que les technologies actuelles et futures permettent et permettront d'atteindre des performances élevées autant en termes de rapidité de commutation qu'en termes de densité d'intégration.

Les miniaturisations croissantes des circuits intégrés entraîne une augmentation de la complexité des procédés de fabrication où chaque nouvelle étape peut influencer la fiabilité des composants. La fiabilité des systèmes électroniques constitue un enjeu économique majeur dans le contexte de l'essor actuel du développement des applications microélectroniques. Aussi, la qualification de nouvelles technologies par les fabricants de semi-conducteurs impose de garantir une durée de vie à l'échelle du transistor élémentaire comme première étape de caractérisation de la fiabilité du circuit complet.

Ces dernières années, les composants de puissance ont vu une évolution rapide et dynamique. On a vu l'avènement de différents types de composants comme les transistors bipolaires et les transistors MOSFET. Les transistors MOS de puissance en général et le VDMOS en particulier, présentent relativement aux autres composants des avantages, comme l'absence d'effets de stockage des charges, la conductivité par les porteurs majoritaires et la grande impédance d'entrée d'où un contrôle par la tension. Ces propriétés font que les VDMOS

trouvent des débouchés d'applications grandissants dans des domaines aussi différents que télécommunications et l'automobile.

Le travail effectué dans ce mémoire s'inscrit dans ce contexte, et il est organisé en trois chapitres. Le premier chapitre de ce mémoire rappelle le fonctionnement des transistors à effet de champ MOSFET, les différents régimes de fonctionnement, ainsi les caractéristiques électriques qui relient à chaque régime de fonctionnements. Dans le deuxième chapitre nous présentons les différents types de transistor MOS : VMOS, UMOS, LDMOS et VDMOS. Après on va s'intéresser à l'étude de comportement statique et dynamique de transistors VDMOS. Dans le chapitre 3, nous présentons au début la structure sur laquelle nous allons effectuer les simulations. Ensuite, on donne les résultats analytiques obtenus de cette simulation qui est réalisée par le logiciel Silvaco, en démontrant le courant de drain et la tension de grille. En terminant ce mémoire par une conclusion générale

**CHAPITRE I :**  
**TRANSISTOR MOS**

## **I.1. Introduction :**

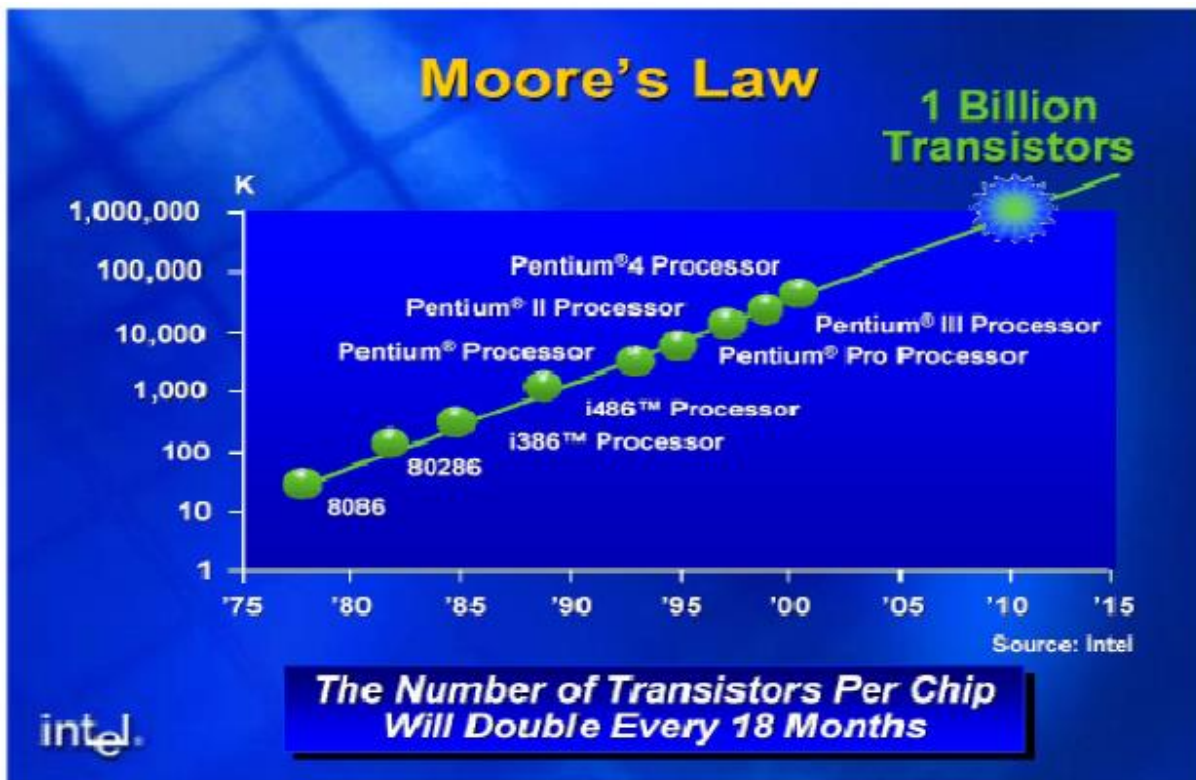
Dans ce chapitre nous nous intéressons dans un premier temps à l'évolution de la technologie CMOS, et les contraintes prévues pour les générations futures. Dans un second temps nous présentons le comportement du transistor MOS dans ses différents régimes de fonctionnement.

## **I.2. Evolution de la technologie CMOS :**

L'évolution des technologies des semi-conducteurs vers des géométries de plus en plus fines permet un accroissement des performances et des fonctionnalités par puce mais s'accompagne simultanément d'une augmentation de la puissance dissipée.

La miniaturisation du transistor à effet de champ est dictée à la fois par des arguments de coût, par la nécessité d'intégrer de nombreuses fonctions sur une surface réduite, mais aussi par la volonté d'augmenter la vitesse des circuits tout en diminuant leur consommation. En fait, la diminution de la longueur de grille des dispositifs a deux avantages décisifs pour les fabricants : d'une part, à puissance égale, elle permet de réduire la surface de silicium de la puce, ce qui en termes de coût est bénéfique, et d'autre part, elle permet d'augmenter la fréquence des circuits, cette dernière étant inversement proportionnelle à la longueur de grille. La grandeur caractéristique donc d'un transistor qui distingue d'une génération à une autre est la longueur de grille [1].

En 1965, Gordon Moore, un des fondateurs d'Intel, postula qu'on serait capable de doubler chaque 18 mois le nombre de transistors d'un circuit électronique à prix constant. Sa prédiction s'est extraordinairement bien vérifiée non seulement pour les microprocesseurs, mais aussi pour les mémoires RAM. Aujourd'hui, des circuits intégrés (IC) comprenant plus de 200 millions de transistors sont produits de façon industrielle (microprocesseurs). La longueur de grille des CMOS utilisés pour ces dernières générations de microprocesseurs est égale à  $0.1\mu\text{m}$  tandis que la surface de la puce varie de 80 à 150 mm<sup>2</sup>.



*Figure I.1. Loi de MOORE*

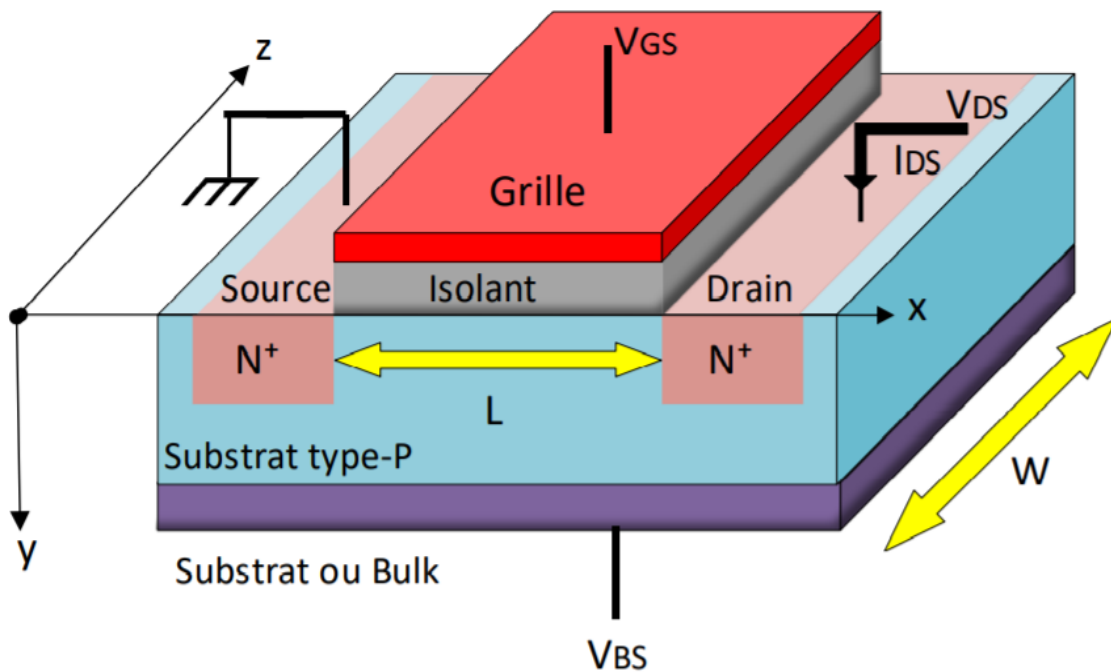
### **I.3. Contraintes pour les générations futures :**

A chaque nouvelle génération de transistor, la réalisation du défi lancé par la loi de "Moore" (figure I-1) apparaît comme un "casse-tête" de plus en plus difficile à réaliser. Un compromis complexe entre la physique, la technologie et la rentabilité concentre ainsi toute l'attention des ingénieurs et des chercheurs. Des paramètres et contraintes souvent contradictoires, tels que la performance, la consommation et la fiabilité sont à prendre en compte. Pour résumer, disons que le jeu consiste à augmenter les performances en diminuant les dimensions, sans trop augmenter la puissance dissipée à l'état bloqué du transistor.

### **I.4. Description du Transistor MOS :**

Le MOSFET acronyme anglais de Métal Oxyde Semi-conducteur Field Effet Transistor, en français Transistor à Effet de Champ (à grille) Métal-Oxyde, est constitué d'un substrat semi-

conducteur sur lequel repose une fine couche d'oxyde isolant ( $\text{SiO}_2$ ) d'épaisseur  $T_{\text{OX}}$ . Une couche conductrice (métal ou poly silicium fortement dopé), appelée électrode de grille, est aussi déposée sur l'oxyde. Enfin, deux régions fortement dopées de profondeur  $X_j$ , appelées source et drain, sont formées dans le substrat de part et d'autre de la grille. La structure basique d'un transistor N MOS est représentée à la Figure I.2. En raison du procédé de fabrication, la grille « de longueur  $L_G$  » recouvre légèrement les régions de source et de drain. La région entre les jonctions de source et de drain est appelée la région du canal et est définie par sa longueur  $L$  et sa largeur  $W$



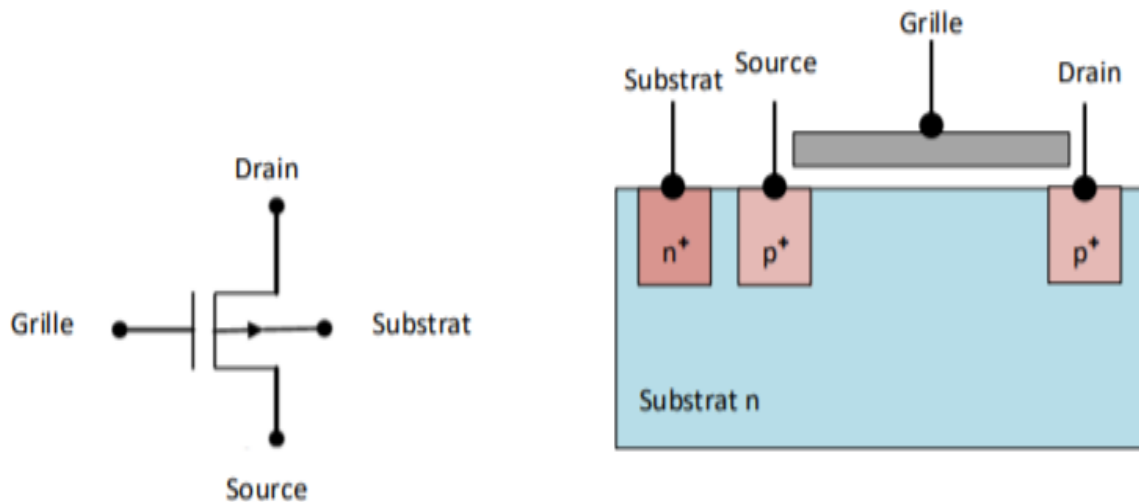
*Figure I.2: Structure basique d'un transistor MOS de type n*

La zone active du transistor MOS est la région semi-conductrice (substrat) située entre la source et le drain près de l'interface oxyde semi-conducteur [2].

## **I.5. Structure du Transistors MOS :**

### I.5.1. Transistor MOSFET à canal P :

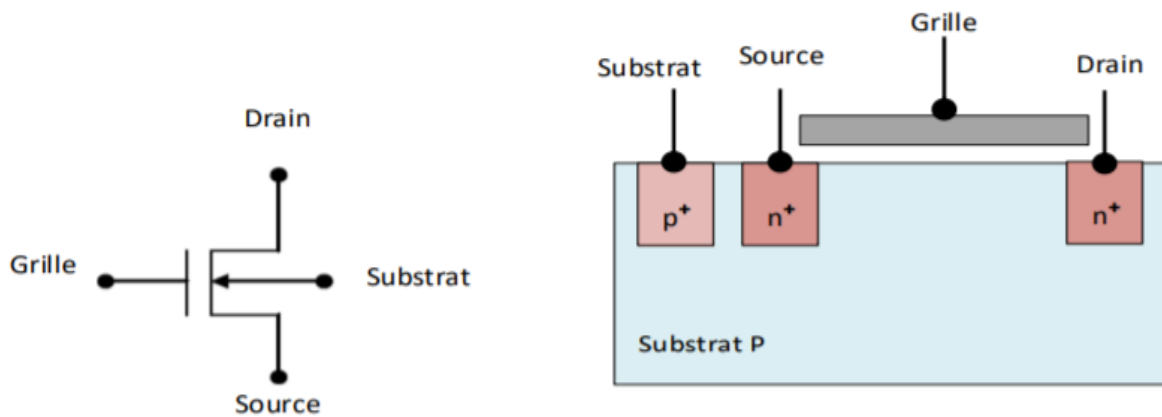
Dans les transistors N-MOSFET, le substrat est de type P. Dans ce cas la grille est polarisée positivement par une tension  $V_{GS}$  suffisante, qui va peupler l'interface SC oxyde, d'électrons permettant l'apparition de deux zones peuplées d'électrons la source et le drain reliées par un canal rempli d'électrons, et la tension  $V_{DS}$  doit être positive afin de drainer ces électrons, le courant circule du drain vers la source [3]



*Figure I.3: MOSFET à canal P*

### I.5.2. Transistor MOSFET à canal N :

Dans les transistors P-MOSFET, le substrat est de type N Le P-MOSFET, dont la grille est polarisée négativement par une tension  $V_G$  suffisante, qui va peupler de trous l'interface SC-oxyde, et qui donne deux zones peuplées de trous : la source et le drain reliées par un canal rempli de trous, et la tension  $V_{DS}$  doit être négative afin de drainer ces trous ; le courant circule donc de la source vers le drain.



**Figure 1.4: MOSFET à canal N.**

Selon la réalisation du canal on peut classer les MOSFET en deux types fondamentaux qui sont les MOSFET à appauvrissement (Déplétion) D-MOSFET, et les MOSFET à enrichissement (Enchancement) E-MOSFET [4]

## **I.6.Caractéristique courant-tension et les principaux paramètres du transistor MOS :**

### **I.6.1 Le régime linéaire :**

Le régime linéaire est obtenu lorsque la différence de potentiel entre le drain et la source est très faible. Dans ce cas, la variation de potentiel de surface est linéaire le long du canal. La polarisation positive du drain (dans le cas d'un transistor à canal d'électron), et donc la différence de potentiel positive entre le drain et la source, permet la circulation d'un courant d'électrons lorsque la tension de grille est suffisante :

$$I_D = \mu_{eff} * C_{OX} * \frac{W}{L} * (V_G - V_{TH} - \frac{V_D}{2}) * V_D$$

Où  $\mu_{eff}$  est la mobilité des porteurs dans le canal,  $C_{OX}$  est la capacité de l'oxyde de grille,  $W$  et  $L$  sont respectivement la largeur et la longueur du canal,  $V_G$  et  $V_D$  sont respectivement la tension de grille et de drain et  $V_{TH}$  est la tension de seuil, tension pour laquelle la couche d'inversion forte existe c'est-à-dire pour  $\psi = 2\phi_F$ .

$C_{OX}$  est définie par unité de surface en fonction de la permittivité du vide  $\epsilon_0$  et de la constante diélectrique relative de l'oxyde  $\epsilon_{OX}$  ainsi que l'épaisseur de l'oxyde  $T_{OX}$  :



$$C_{ox} = \frac{\epsilon_{ox} * \epsilon_0}{T_{ox}}$$

L'expression de la tension de seuil des transistors de type NMOS est donnée par l'Equation suivante :

$$V_{TH} = 2 * \phi_F + V_{FB} + \frac{\sqrt{4 * q * N_A * \epsilon_{si} * \epsilon_0 * \phi_F}}{C_{ox}}$$

Où  $\epsilon_{si}$  est la constante diélectrique relative du substrat de silicium.

Expérimentalement, il existe plusieurs méthodes pour déterminer la tension de seuil<sup>1</sup>. Les méthodes les plus courantes sont la méthode d'extrapolation en régime linéaire ( $V_{THext}$ ) et la méthode à courant fixe. Pour déterminer  $V_{THext}$ , nous devons tout d'abord définir la transconductance notée  $g_m$  comme étant la dérivée du courant de drain par rapport à la tension de grille :

$$g_m = \frac{dI_D}{dV_G}$$

La méthode consiste alors à tracer la tangente de la courbe  $I_D$ - $V_G$  au maximum de la transconductance. L'intersection de l'axe des abscisses avec la tangente correspond à  $V_{THext}$  plus un facteur correctif de  $V_D/2$ .  $V_{TH}$ , dit  $V_{TH}$  à courant donné, est la valeur de la tension de grille pour un courant de drain fixé. Un exemple d'extraction de la tension de seuil avec ces deux méthodes est représenté sur la Figure I.1.3. En régime linéaire, la courbe la plus représentative du transistor MOS est la caractéristique  $I_D$ - $V_G$ , courant de drain en fonction de la tension de grille, pour  $V_D$  faible, représentée sur la Figure 6.

Nous définissons sur la courbe  $I_D$ - $V_G$  en échelle linéaire le courant de drain en régime linéaire  $I_{Dlin}$  comme étant le courant pour une tension de grille égal à la tension nominale de fonctionnement du dispositif noté  $V_{DD}$ .

---

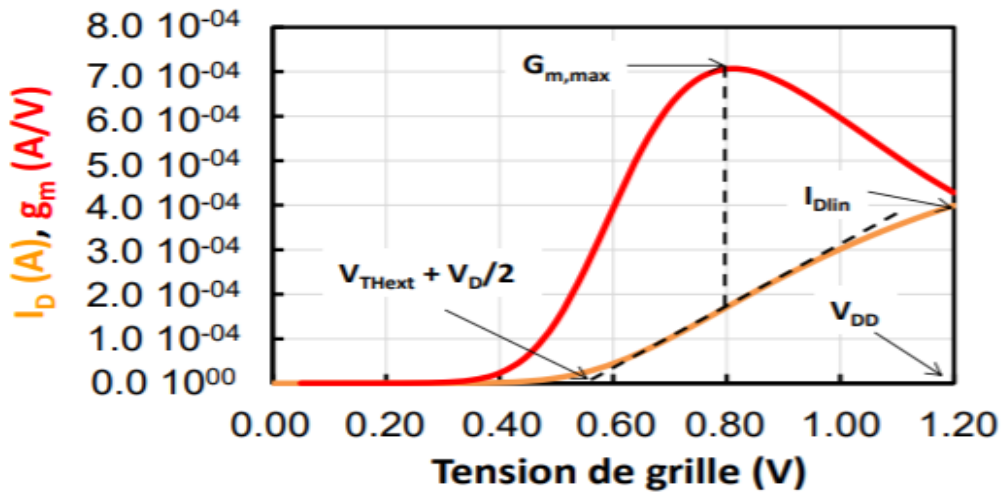


Figure I.5: Caractéristique  $I_D$ - $V_G$  en régime linéaire

### I.6.2. Le régime saturé :

Lorsque la tension du drain augmente, la différence de potentiel entre le drain et la grille diminue. A partir d'une certaine valeur de  $V_D$  appelée tension de saturation  $V_{Dsat}$ , le courant de drain sature. Cette saturation est principalement due à l'apparition d'un effet de pincement dans le canal près du drain. Lorsque la polarisation de drain devient supérieure à  $V_{Dsat}$  le point de pincement se déplace le long du canal vers la source. La saturation arrive pour une tension de drain  $V_{Dsat} > V_G - V_{TH}$ , et un courant selon l'expression :

$$I_{Dsat} = \mu_{eff} * C_{ox} * \frac{W}{L} * \frac{(V_G - V_{TH})^2}{2}$$

Le paramètre important en régime de saturation est le courant de saturation  $I_{Dsat}$ , défini à  $V_G = V_D = V_{DD}$ , comme illustré sur la caractéristique  $I_D$ - $V_D$  de la Figure 7. Ce courant peut être également nommé  $I_{ON}$ , car il s'agit du courant de fonctionnement des dispositifs MOS.

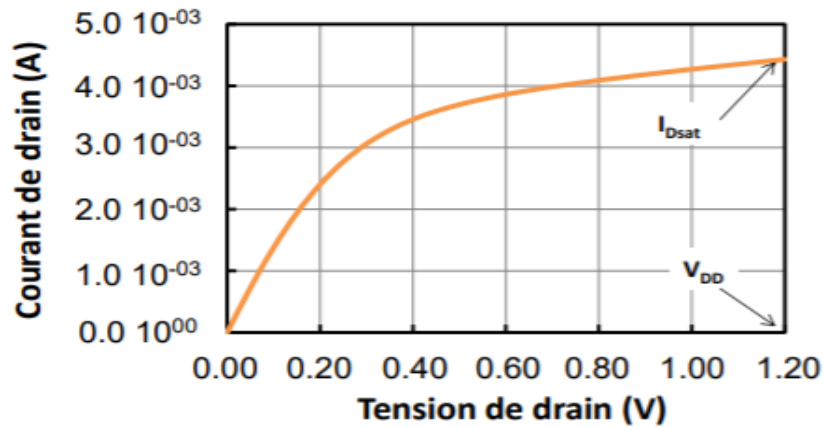


Figure I.6: Caractéristique  $I_D$ - $V_D$  montrant le régime saturé

### I.6.3. Le régime sous le seuil :

Le courant noté  $I_{OFF}$  sur la courbe  $I_D$ - $V_G$  en échelle logarithmique (Figure 8) est défini comme étant le courant de drain pour une tension de grille nulle et une tension de drain  $V_D = V_{DD}$ , correspondant au courant de fuite. Sur cette courbe, nous pouvons également définir la pente sous le seuil noté  $S$  qui s'exprime typiquement en millivolt par décade.

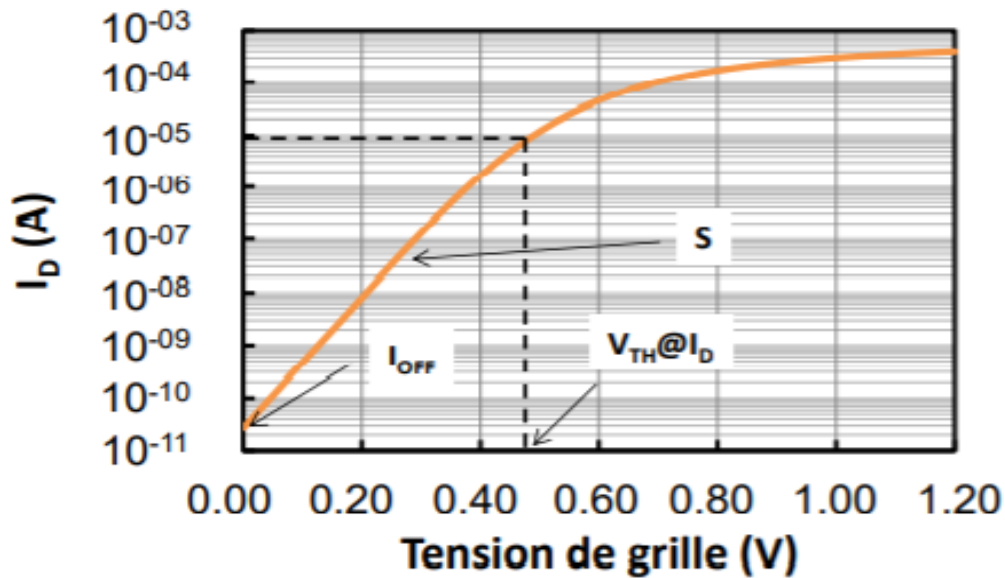


Figure I.7: Caractéristique  $I_D$ - $V_G$  en échelle logarithmique avec les principaux paramètres du transistor MOSFET en régime saturé

### I.6.4. Notion de mobilité des porteurs minoritaires :

La mobilité traduit la vitesse des porteurs dans un matériau soumis à un champ électrique. Dans le cas d'un canal d'un transistor MOS, la mobilité traduit l'aptitude des porteurs minoritaires à se déplacer dans la couche d'inversion sous l'effet d'un champ électrique. C'est un paramètre clé des transistors MOS car c'est lui qui gouverne le niveau du courant de drain à polarisation fixe. Une technologie donnant une bonne mobilité permet d'obtenir un bon niveau de courant ce qui est crucial pour des transistors MOS. Elle dépend de nombreux paramètres : le champ électrique, l'orientation du cristal, le dopage du substrat et son profil, la température, les contraintes mécaniques dans le silicium...

Les différents mécanismes de collision qui détériorent la mobilité des porteurs dans la couche d'inversion sont entre autres :

- Les collisions sur les phonons acoustiques (pour une température  $T$  inférieure à 100K) ou optiques ( $100K \leq T \leq 370K$ ) qui résultent des vibrations du réseau ;
- Les collisions Coulombiennes dues aux sites chargés près du canal, se manifestent pour de très basses températures. Les charges sont généralement localisées proche de l'interface Si/SiO<sub>2</sub> ;
- Les collisions sur la rugosité de surface générée par les défauts à l'interface Si/SiO<sub>2</sub>. Ces collisions sont indépendantes de la température et dominantes pour les forts champs électriques ;
- Les collisions porteurs-porteurs ;
- Les collisions sur les impuretés neutres.

L'influence de ces mécanismes sur la mobilité dépend fortement des conditions intrinsèques (maille du cristal...) et extérieures (dopage, température, ...).

Les trois mécanismes de collisions dominants sont les collisions sur les phonons, coulombiennes et sur les rugosités de surface.[6]

Nous définissons la mobilité effective en fonction de la tension de grille en régime linéaire ainsi :

$$\mu_{eff} = \frac{\mu_0}{1 + \theta_1 * (V_G - V_{TH}) + \theta_2 * (V_G - V_{TH})^2}$$

Où  $\mu_0$  est la mobilité sous champ électrique faible,  $\theta_1$  est le facteur intrinsèque de réduction de la mobilité due à l'interaction entre les porteurs du canal d'inversion et les phonons

du réseau cristallin appelé « premier facteur d'atténuation de mobilité » et  $\Theta_2$  qui tient compte de la rugosité de surface à l'interface Si/SiO<sub>2</sub> est appelé « second facteur d'atténuation de mobilité ».

### **I.6.5. Notion de champ électrique à travers l'oxyde de grille :**

La polarisation de la grille du transistor induit un champ électrique à travers l'oxyde ayant pour expression dans le cas d'une polarisation en régime d'inversion :

$$E_{OX} = \frac{V_{OX}}{T_{ox}} = \frac{V_G - V_{FB} - \Psi_s}{T_{OX}}$$

Où  $V_{OX}$  est le potentiel aux bornes de l'oxyde de grille,  $T_{OX}$  est l'épaisseur de l'oxyde de grille,  $V_G$  est le potentiel électrique appliqué sur la grille du transistor,  $V_{FB}$  est la tension à appliquer sur la grille afin d'être en situation de bande plate et  $\psi_s$  est le potentiel de surface du substrat.

La variation de ce champ électrique dans l'oxyde de grille implique un changement de la mobilité des porteurs dans le canal. Le paramètre le plus influent est bien sûr l'épaisseur d'oxyde.  $E_{OX}$  est un paramètre important lors de l'étude de la fiabilité des transistors MOS.

### **I.7. Conclusion**

Le principe de fonctionnement d'un transistor est basé sur la possibilité de modifier en surface la concentration et le flux de porteurs entre la source et le drain par l'application d'une tension sur l'électrode de grille et nous avons vu le comportement du transistor MOS dans ses différents régimes de fonctionnement.

**CHAPITRE II :**  
**TRANSISTOR VDMOS**

## II.1. Introduction

Dans ce chapitre nous allons présenter les différents types du transistor MOS, en commençons par les transistors VMOS, UMOS, LDMOS et VDMOS, après on va s'intéresser à l'étude de comportement statique et dynamique de transistors VDMOS, ainsi leur avantage et inconvénients.

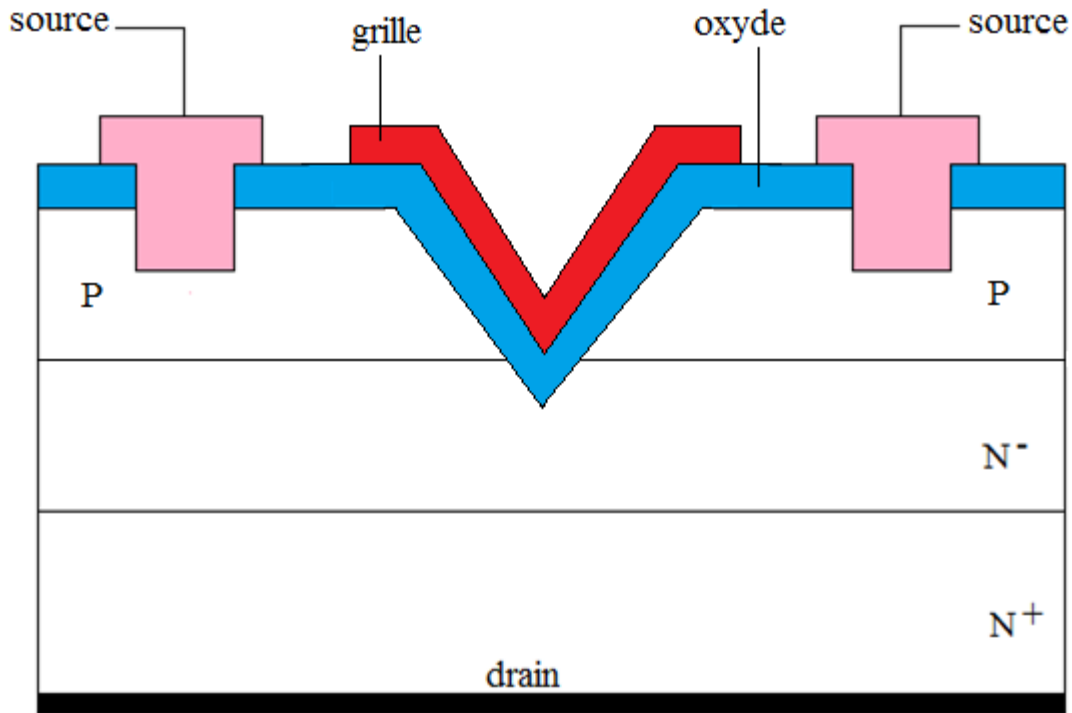
## II.2. Les différents types de transistor MOS :

Les composants de puissance au silicium sont les dispositifs actifs du contrôle et de la conversion de l'énergie électrique. Ils se différencient des autres composants dits "de signal" par la nécessité de supporter des tensions élevées et de conduire des courants portants, donc c'est des composant qui demande une forte de puissance, haut fréquence, haute température, et en même temps présentent de faibles pertes en conduction et en commutation [7]

### II.2.1. Le transistor VMOS :

Les premiers transistors de puissance développés au début des années 70 étaient des VMOS. Ces transistors étaient élaborés à partir de sillons en forme de V gravés par attaque anisotrope du silicium. Elle consiste à attaquer chimiquement, suivant les plans, une couche N-épitaxiée sur un substrat N+. La zone active est formée le long d'un sillon qui fait un angle de 45° avec la surface<sup>2</sup>. Le transistor VMOS présente cependant quelques inconvénients qui ont conduit à la régression voire à l'abandon, au début des années 80, de cette filière pour la production industrielle. En effet, la difficulté de contrôle du processus d'attaque chimique rend délicate la fabrication technologique de ces composants. D'autre part, des problèmes d'instabilité peuvent apparaître dus à une contamination de l'oxyde par le potassium provenant de la solution d'hydroxyde de potassium utilisée pour graver les sillons. Enfin, la « pointe » du sillon en V est le siège de forts champs électriques qui affectent la fiabilité et la tension de claquage des composants [9]

---

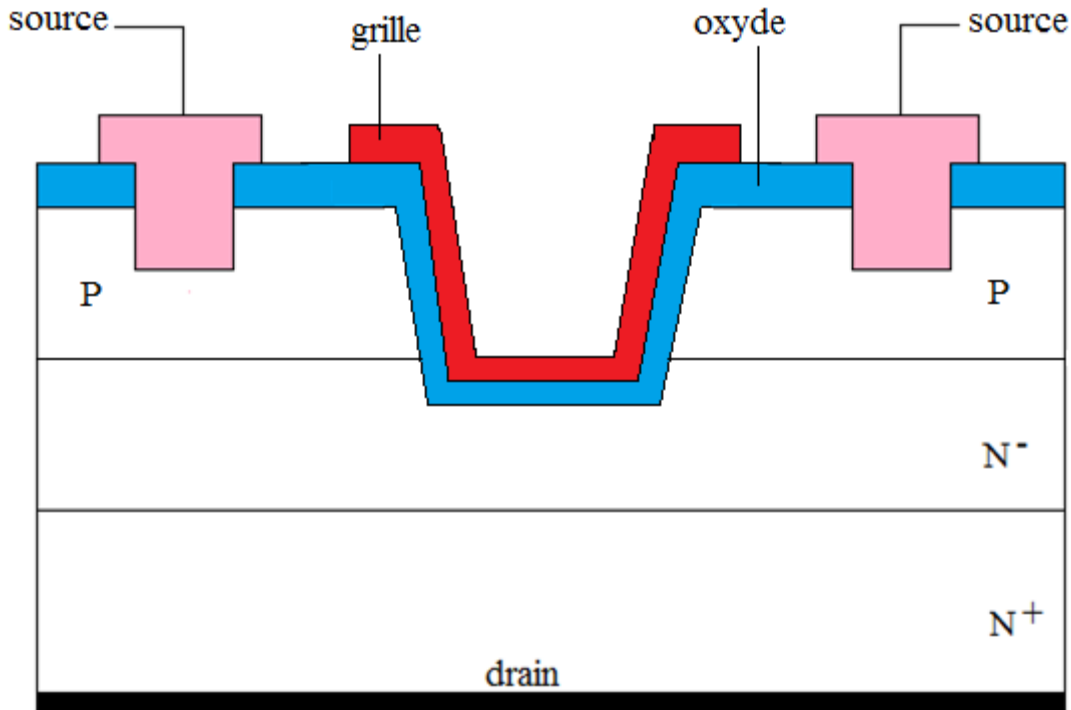


*Figure II.1: Le transistor VMOS*

### II.2.2. Le transistor UMOS :

Fin 70, la structure en tranchées, dite aussi trench, UMOS ou à grille enterrée a été proposé. Sa structure reprend celle du VMOS mais la forme du sillon est différente. Le canal est vertical. La réalisation du transistor UMOS est complexe, car elle nécessite une gravure qui doit être la plus régulière possible pour ne pas nuire à la mobilité dans le canal. L'épaisseur de l'oxyde de grille doit être plus grande que dans un VDMOS et les arrêtes des tranchées doivent être arrondies sous peine de réduire la tenue en tension. Pour les mêmes raisons, la profondeur de la tranchée doit également être soigneusement contrôlée [10]





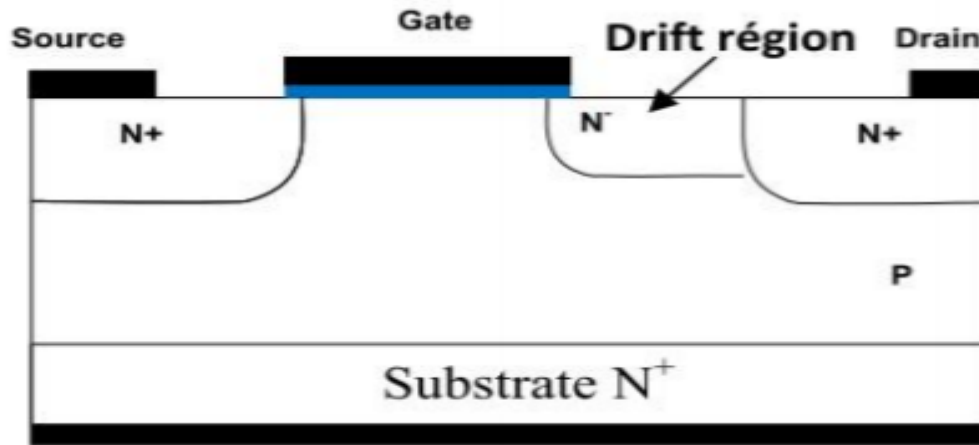
*Figure II.2. Le transistor UMOS*

### II.2.3. Le transistor DMOS :

Les différents problèmes rencontrés avec les transistors VMOS et UMOS ont été pratiquement résolus par le développement des processus de double-diffusion MOS (DMOS). Cette technologie est à nos jours largement utilisée pour fabriquer la plupart des composants de puissance, dont les configurations sont essentiellement de deux types : ce sont, d'une part, les structures verticales (VDMOS) où le drain est situé sur la face arrière de la puce et, d'autre part, les structures horizontales (LDMOS) où les électrodes sont coplanaires et le flux de courant horizontal [11]

#### a) Le transistor LDMOS :

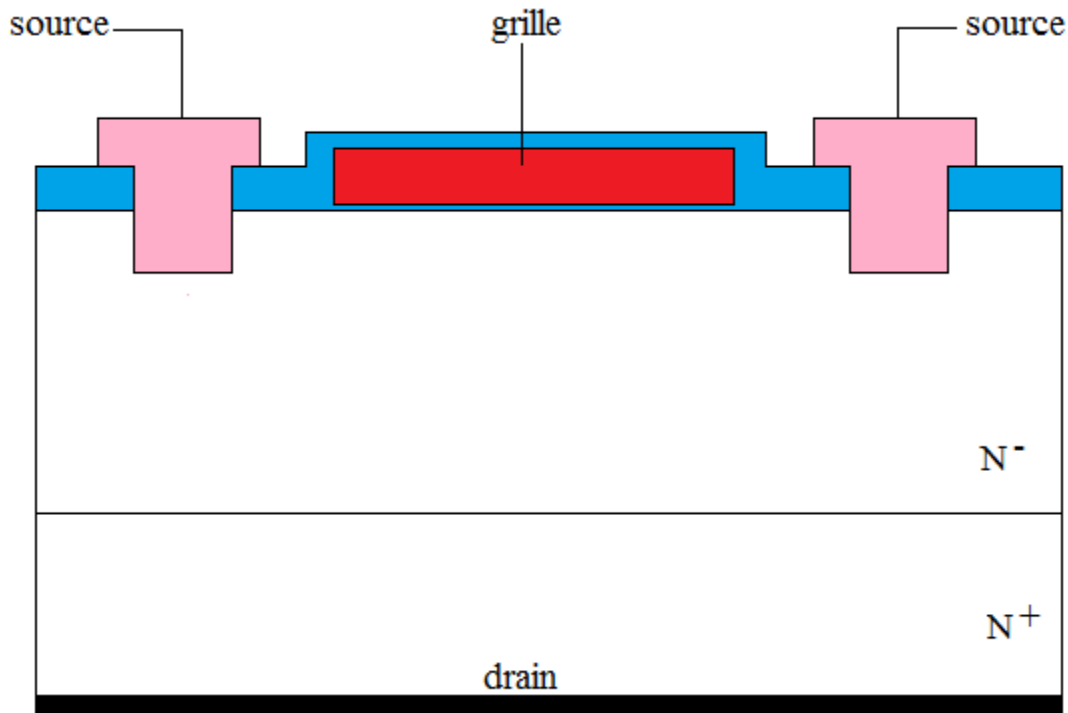
Les points de contacts du Drain, de la Grille et de la Source sont placés sur la même face de wafer de silicium. Une telle structure est très facilement intégrable mais ne permet pas d'obtenir un transfert de puissance élevé puisque la distance entre Source et Drain doit être large pour obtenir une bonne tenue en tension inverse alors que la capacité en courant est inversement proportionnelle à cette longueur [12]



*FigureII.3. Le transistor LDMOS*

**b) Le transistor VDMOS :**

Le principe de fabrication du transistor VDMOS utilise la technique de double diffusion, qui permet de déterminer la longueur du canal : après implantation de la zone « PBody » (dopée P), on implante les zones N+ de source. La différence des diffusions latérales après la double diffusion de ces deux zones fixe la longueur du canal. Le drain est situé sur la face arrière de la puce. La valeur élevée du courant de drain est liée au fait que la longueur du canal est faible (la résistance série est plus faible, ce qui augmente le courant) et à la disposition de cellules élémentaires de ce dispositif : plusieurs cellules peuvent être reliées par un drain commun et ainsi le courant total s'en trouve démultiplié. Le transistor VDMOS présente une grande capacité parasite entre l'électrode de grille et l'électrode de drain due au positionnement du drain sous une partie de l'électrode de grille [13]



*Figure II.4.: Le transistor VDMOSFET*

### II.3. Principe de fonctionnement de transistor VDMOS :

#### II.3.1. Étude du comportement statique :

L'objectif de transistor de puissance et la nécessité de supporter des tensions élevées et des courant important, comme tous les composants de puissances, le transistor de puissance VDMOS joue le rôle d'interrupteur fonctionnent entre deux états [14] :

Le premier et dit bloqué, apparait lorsque la tension grille source est inférieure à la tension de seuil ( $V_{GS} < V_T$ ), donc en aura pas circulation de courant, la tenue en tension de claquage par définition et la tension maximale qui peut être appliquer entre source et drain à l'état bloquer, c'est alors la zone de transition (appelée zone de "drift") de la jonction de drain qui supporte la tension. Le deuxième, dit "passant" ou de "conduction", apparaît lors de l'application d'une tension de grille supérieure à la tension de seuil ( $V_{GS} > V_T$ ),. Il se caractérise par l'apparition d'une zone d'inversion dans le canal, permettant ainsi le passage du courant de drain dont la valeur est limitée par les contraintes géométriques, technologiques de la structure et par les tensions appliquées. Lorsqu'un transistor fonctionne à l'état passant, il se comporte

comme une résistance notée  $R_{ON}$ , qui impose une chute de tension aux bornes du composant, cette chute de tension  $V_{DS}$ , a tout simplement l'expression suivante:

$$V_{DS} = R_{ON} \cdot I_{DS}$$

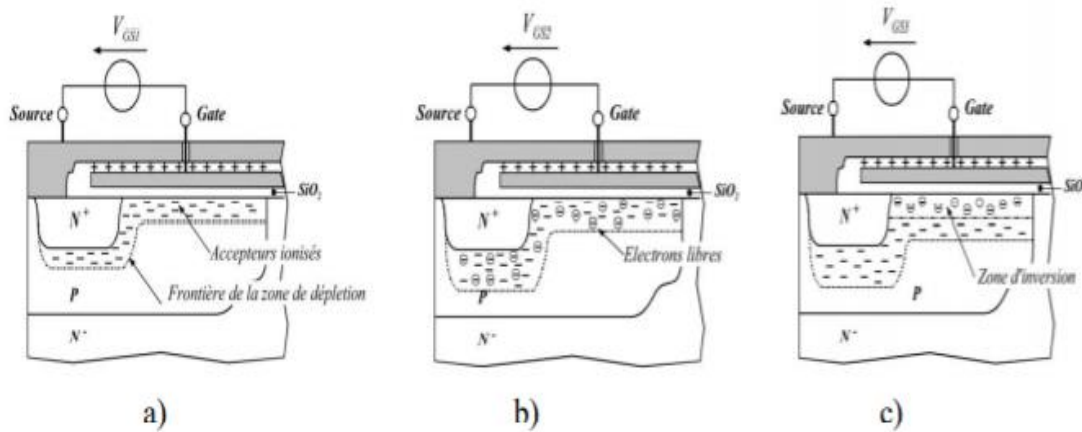


Figure II.5. : formation du canal : a) zone de déplétion, b) apparition des électrons libre

c) Zone d'inversion

a) La tension de claquage :

La tension de claquage de la résistance à l'état passant sont étroitement liées : en effet la zone de drain N- faiblement dopé a un double effet : d'une part elle supporte la tension drain source à l'état bloqué et d'autre part, elle a un effet résistif important à l'état passant entre  $R_{DSon}$  et la tension de claquage est une des principales caractéristiques des transistor de puissance [15]

b) Résistance drain source :

La résistance à l'état passant est un des paramètres spécifiques des composants de puissance car de sa valeur dépendent en particulier les pertes en conduction. Elle est définie comme étant la résistance totale qui apparaît entre la source et le drain lorsque le transistor conduit en régime linéaire (ou ohmique), c'est-à-dire à faible tension drain-source  $V_{DS}$ . Plus sa valeur est élevée, plus son utilisation dans une application de puissance commutée reste critique mais acceptable pour des applications de puissance en régime linéaire. Cette résistance peut être décomposée en trois résistances principales : la résistance  $R_{Ch}$  du canal d'inversion, la résistance d'accès au

drain  $R_A$  et la résistance de drift  $R_d$  qui représente le volume de drain épitaxié. Les résistances  $R_{Ch}$  et  $R_A$  dépendent surtout de la tension de grille tandis que la résistance de la zone de drift  $R_d$  peut devenir linéairement dépendante de la tension de drain (à fort  $V_{DS}$ ) [16]

De plus, les résistances qui ont le plus de poids dans la contribution à la résistance à l'état passant sont les résistances de drift et de canal. Pour des tensions de claquage élevées, la résistance de drift domine toutes les autres composantes et est difficile à diminuer sans dégrader la tenue en tension du composant. et en a l'apparition d'autres résistances parasites :  $R_N, R_S,$  et  $R_J$ .

$$R_{DSON} = R_N + R_{Ch} + R_A + R_j + R_D + R_S$$

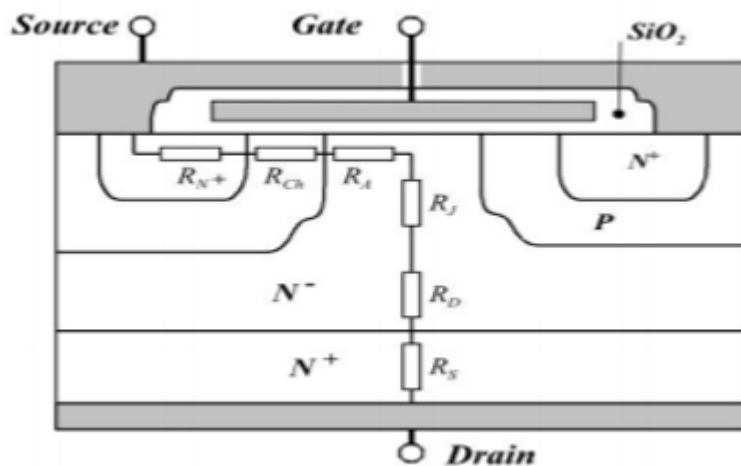


Figure II.6: élément parasite : résistance  $R_{DSON}$

$R_N$  : Résistance de caisson  $N^+$ , Cette résistance représente une très faible proportion de la résistance globale de passage  $R_{DSON}$ .

$R_J$  : elle correspond à la région  $N^-$  située entre les zones de diffusion  $P$

$R_S$  : cette résistance de substrat peut être ignorée pour des fortes valeurs de la tension  $V_{BR}$ .

Par contre c'est la tension  $V_{BR} < 50$  v elle représente une partie importante de la résistance

$R_{DSON}$ .

Donc La résistance  $R_{DS\ on}$  à l'état passant est un des paramètres les plus importants pour un composant de puissance : plus cette résistance est faible, plus les pertes en conduction sont faibles.

$$P_D = V_{DS} I_{DS} = R_{ON} I_D^2$$

### II.3.2. Étude de comportement dynamique :

Le comportement dynamique de transistor VDMOSFET est lié aux valeurs différentes capacités qui se décomposent : les capacités d'oxyde grille-source ( $C_{gs}$ ), de grille-drain ( $C_{gd}$ ), et de drain-source, en peut ces capacités par l'utilisation de la formule général de la capacité :

$$C = \frac{\epsilon \cdot S}{e}$$

Et en prend en considération des géométrie et règles de dessin pour les capacités surfacique, est pour mesure de la moyenne des capacités elle est apparus mesurer directement donc il est préférable de les muserez en trois : la capacité  $C_{iss}$  capacité d'entrée avec la sortie en court-circuit , la capacité  $C_{oss}$  capacité de sortie avec l'entrée en court-circuit et la capacité de transfert  $C_{rss}$  entre grille et drain , elles sont définie comme suit :

$$C_{iss} = C_{gs} + C_{gd}$$

$$C_{oss} = C_{gd} + C_{gs}$$

$$C_{rss} = C_{gd}$$

Pour faire commuter le transistor, il faut donc charger ou décharger  $C_{iss}$  de manière à se placer sur le point de fonctionnement désiré de la caractéristique statique. Ces capacités parasites peuvent avoir un autre effet durant les commutations :  $C_{gs}$  et  $C_{gd}$  forment un diviseur capacitif qui peut venir charger la grille du transistor lors des commutations [17]

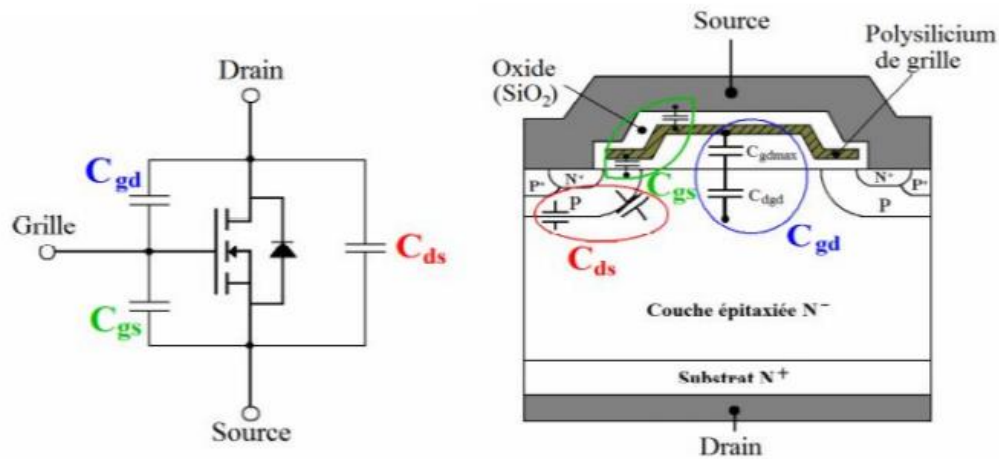


Figure II.7. Les différentes capacités de transistor VDMOSFET

Apparition des transistors BJT parasites : le caisson N+, la zone de diffusion, la région épitaxie N- forme un transistor bipolaire NPN, de plus la jonction PN- n'est rien d'autre qu'une diode. La tenue en tension inverse n'est pas possible sans adjonction de composants extérieurs.

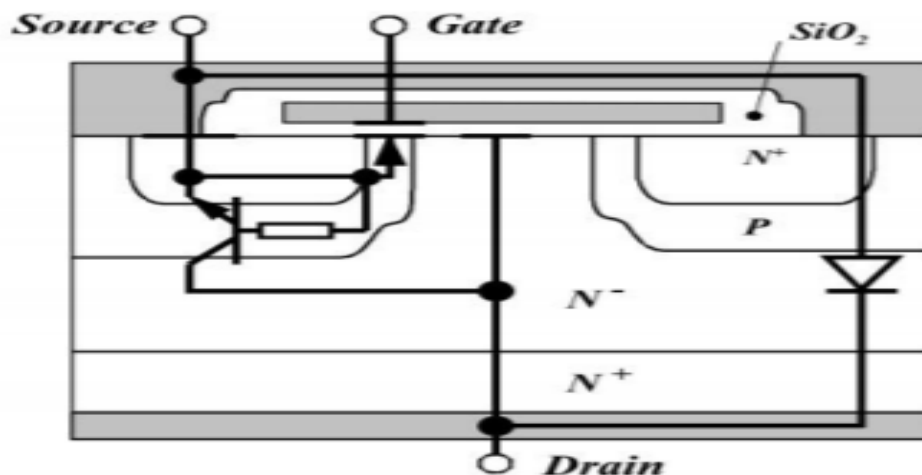


Figure II.8. Élément parasite : diode et transistor bipolaire

## II.4. Les avantages du transistor VDMOS

Le courant drain-source est vertical sur la majeure partie de son trajet. Cette configuration permet une très bonne densité d'intégration des cellules élémentaires. De plus, la tenue en tension est dissociée du canal, ce qui entraîne une importante diminution du périmètre de la zone épitaxie par rapport au périmètre du canal.

- ✓ La longueur du canal diffusé est contrôlée par la différence des avancées latérales des diffusions P et N + autos alignées. La surface plane induit une très bonne reproductibilité.
- ✓ La grille en silicium poly cristallin est l'élément clé de l'auto-centrage des diffusions N + et P : elle peut supporter des températures élevées de l'ordre de 1100 °C.
- ✓ Le transistor VDMOS ne présente pas d'effet de focalisation de courant, quelle que soit la tension de polarisation appliquée, car le mécanisme de contrôle du courant est fonction du champ électrique et de la mobilité. Cela entraîne une distribution homogène de la température et du courant sur toute la puce. Le calibre en courant souhaité peut-être obtenu par une simple mise en parallèle du nombre de cellules élémentaires nécessaires. Le courant total est alors en effet égal à la somme des courants des transistors MOS élémentaires pris séparément.
- ✓ La configuration verticale du drain de type N - N + permet d'assurer un certain calibre en tension. La tenue en tension dépend au premier ordre du dopage et de l'épaisseur de la couche épitaxie.

## II.5. Les inconvénients du transistor VDMOS

- ✓ Les deux côtés de la tranche sont à soigner car ils sont tous les deux actifs (électrodes de contact sur les deux faces du composant),
- ✓ L'isolation monolithique est difficile à réaliser,
- ✓ L'électrode de grille en poly silicium présente une faible conductivité, même après son dopage, ce qui est préjudiciable en régime transitoire,
- ✓ Un compromis est nécessaire lorsqu'on désire accroître à la fois les calibres en tension et en courant : on se heurte alors à la "limite du silicium", symbolisé par le compromis reliant la résistance à l'état passant et la tenue en tension fixés pour une surface donné.



## II.6. Les équations fondamentales

### II.6.1 Equation de continuités :

L'équation de continuité est une équation locale valable en chaque point du semi-conducteur et à chaque instant elle s'écrit pour les électrons et les trous :

$$\frac{\partial n}{\partial t} = +\frac{1}{q} \operatorname{div} \vec{J}_n + g_n - R_n$$

$$\frac{\partial p}{\partial t} = -\frac{1}{q} \operatorname{div} \vec{J}_p + g_p - R_p$$

Où :

$J_n(p)$  : Le courant d'électrons (trous)

$R_n$  : le taux de recombinaison des électrons

$R_p$  : le taux de recombinaison des trous.

$g_n$  : le taux de génération d'électrons.

$g_p$  : le taux de recombinaison des trous

### II.6.2. Équation de Poisson

L'intégration de l'équation de Poisson permet de calculer la variation du potentiel dans le semi-conducteur à partir de la charge d'espace qui est formée par des charges dues aux porteurs libres et aux impuretés que l'on suppose totalement ionisées [19]

$$\frac{d^2 V(x,y)}{dx^2} + \frac{d^2 V(x,y)}{dy^2} = -\frac{q}{\epsilon} [p-n + N_D - N_A]$$

Où :

$-V(x,y)$ : le potentiel électrique.

- $p$  : la concentration de trous (qui peut être négligé dans notre cas).
- $n$ : la concentration des électrons.
- $N_D$  et  $N_A$  : les concentrations de donneurs et accepteurs.
- $q$  : la charge élémentaire.
- $\epsilon$ : la constante diélectrique.

## II.7. Méthode numérique

Une méthode numérique est un outil mathématique conçu pour résoudre des problèmes numériques. La mise en œuvre d'une méthode numérique avec un contrôle de convergence approprié dans un langage de programmation est appelée un algorithme numérique.

### II.7.1. Différence finie

Une **différence finie** est une expression de la forme  $f(x + b) - f(x + a)$  (où  $f$  est une fonction numérique) précisés généralement, de définir des différences divisées. L'approximation des dérivées par des différences finies joue un rôle central dans les méthodes des différences finies utilisées pour la résolution numérique des équations différentielles, tout particulièrement pour les problèmes de conditions aux limites.

### II.7.2. Élément finie

Éléments finis est utilisée pour résoudre numériquement des équations aux dérivées partielles. Celles-ci peuvent par exemple représenter analytiquement le comportement dynamique de certains systèmes physiques (mécaniques, thermodynamiques, acoustiques, etc.).

Concrètement, cela permet par exemple de calculer *numériquement* le comportement d'objets même très complexes, à condition qu'ils soient continus et décrits par une équation aux dérivées partielles linéaire

## **II.8. Conclusion :**

Dans ce deuxième chapitre, nous avons commencé par présentation des différents types de transistor MOS, et ensuite nous avons focalisé sur le transistor VDMOS et leur fonctionnement. En fin nous avons présenté les équations fondamentales (équation de Poisson et l'équation de continuité).

**CHAPITRE III :**  
**SIMULATION DU TRANSISTOR**  
**VDMOS ET CARACTERISTIQUE**  
**ELECTRIQUE**

### **III.1. Introduction :**

Le programme Silvaco c'est un logiciel qui permet de simuler les éléments de conception assisté par l'ordinateur pour les technologies de l'électronique TCAD, c'est outil sont développeur par les compagnies de microélectronique dans le domaine de recherche. Dans ce chapitre, nous présentons dans un premier temps le logiciel Silvaco et ensuite, nous présentons et analysons les résultats obtenus par les simulations réalisées par ce logiciel

### **III.2. TCAD-SILVACO :**

#### **III.2.1. Présentation**

SILVACO est un environnement logiciel pour la conception et la prédiction des performances des dispositifs semi-conducteurs. Ce programme est utilisé pour modéliser des dispositifs semi-conducteurs avant leur fabrication. Il est pratique lorsque vous travaillez sur une variété de missions de recherche. TCAD-SILVACO intègre de nouveaux modèles physiques qui utilisent des approches et des algorithmes numériques efficaces, de nouvelles techniques de maillage, l'optimisation de solutions linéaires et d'autres stratégies pour produire des résultats de simulation très proches de ceux obtenus en pratique. Le principal avantage de cette forme de simulateur est qu'il permet de voir des processus physiques difficiles à observer et donc accessibles [20]

- Simulation de procédures de production technologiques telles que ATHENA, SS supreme3, SS supreme4 et autres à l'aide de modules TCAD-SILVACO
- Le module ATLAS effectue des simulations électriques de dispositifs tels que des diodes, des MOSFET et des transistors bipolaires.
- La simulation de fabrication de plaquettes peut être automatisée avec Virtual Wafer Fab.

Les simulations de cette étude sont réalisées à l'aide des deux modules ATHENA et ATLAS.

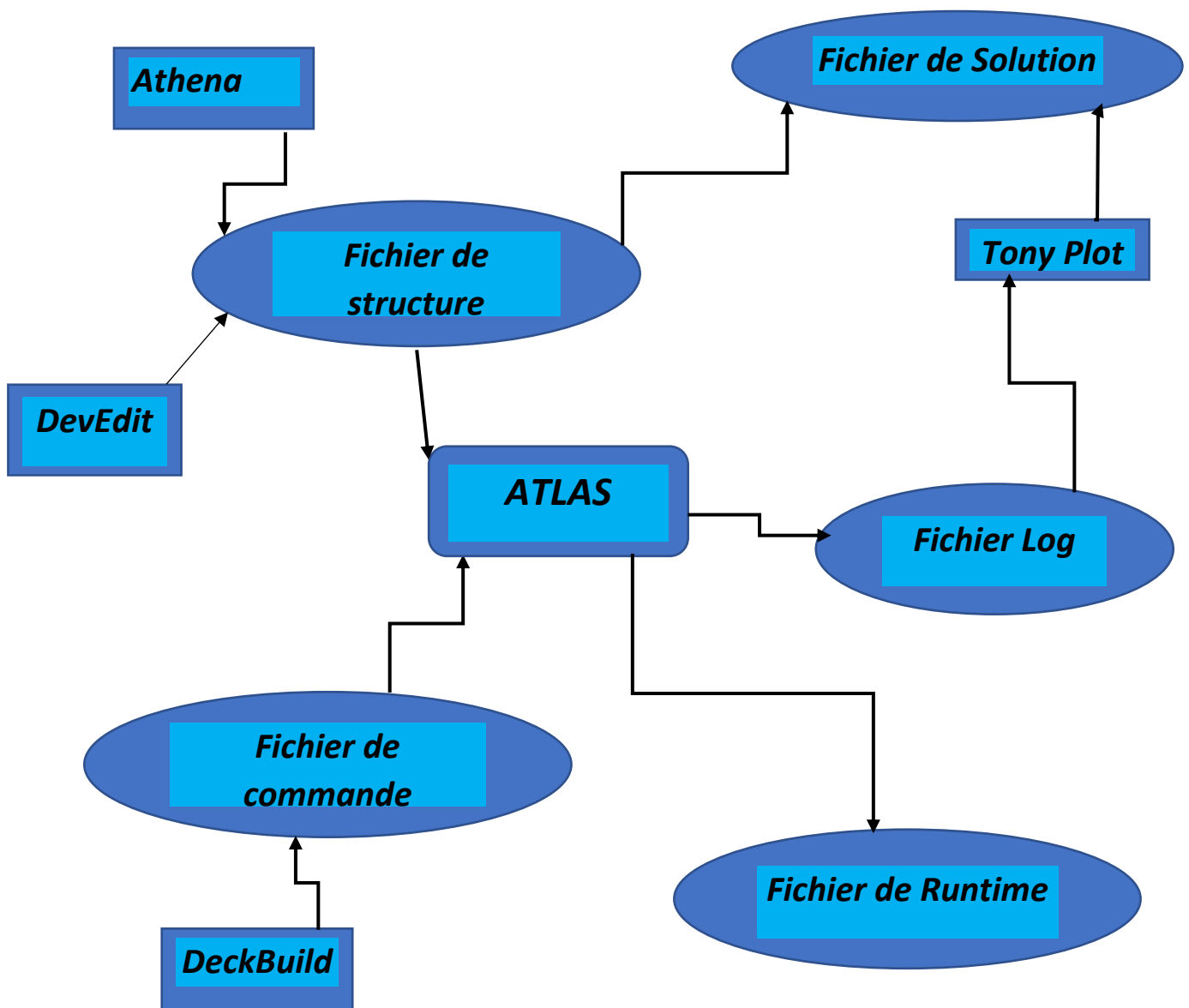
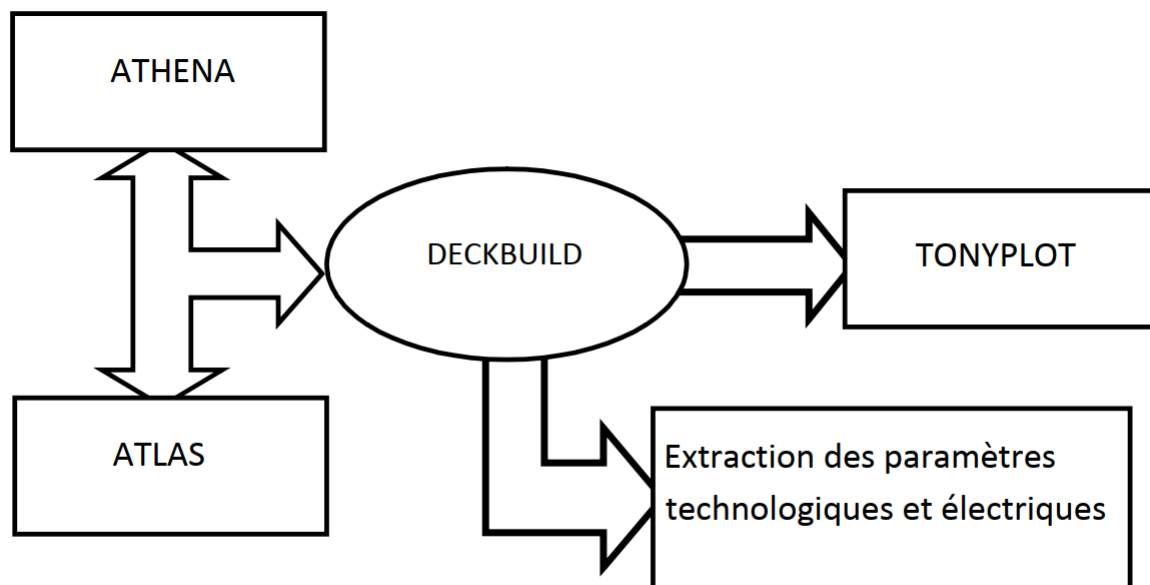


Figure III.1 : Entrées et sorties d'Atlas [21]

### **III.2.2. ATHENA**

Le logiciel de simulation ATHENA de TCAD-SILVACO fournit des possibilités générales pour la simulation des processus utilisés dans l'industrie des semi-conducteurs, et les processus de dépôt peuvent tous être simulés à l'aide du logiciel de simulation TCAD-ATHENA SILVACO. Le logiciel peut également fournir des données utiles pour la conception et l'optimisation des processus techniques, tels que les vecteurs de concentration, les profondeurs de jonction, etc. [20]



*Figure III.2 : Schéma synoptique des modules utilisés dans la simulation par TCAD-SILVACO [20]*

### **III.2.3. TONYPLOT**

TONYPLOT est l'environnement dans lequel les résultats de la simulation sont affichés. Il fournit des capacités complètes d'affichage et d'analyse pour les paramètres technologiques

### *Chapitre III : Simulation DU transistor VDMOS et caractéristique électrique*

et électriques d'extraction de paramètres ATHENA ATLAS DECKBUILD TONYPLOT. TONYPLOT peut fournir des caractéristiques de sortie dans une dimension (1D), deux dimensions (2D) ou trois dimensions (3D) selon le programme de simulation (3D).[20]

#### **III.2.4. DECKBUILD**

DECKBUILD est l'environnement dans lequel le programme de simulation est défini à l'aide de commandes spécifiques. DECKBUILD peut être utilisé avec une variété de simulateurs d'entrée de gamme tels que ATHENA, ATLAS, SSUPREM3 et autres.

L'affichage des résultats de la simulation, tels que les paramètres technologiques), ainsi que les paramètres électriques (courant, etc.), se fait à l'aide d'une fenêtre d'information (Output Windows).[20]

#### **III.2.5. ATLAS**

Le logiciel de simulation ATLAS est un simulateur de modélisation bidimensionnel qui peut prédire les caractéristiques électriques de la plupart des composants semi-conducteurs dans les régimes continus transitoire et fréquentiel.[20]

Il offre des informations sur la distribution interne de variables telles que les lignes de courant, le champ électrique et le potentiel en plus de l'activité électrique "externe". Ceci est accompli en résolvant numériquement l'équation de Poisson et les équations de continuité des électrons et des trous (en deux dimensions) en un nombre fini de points qui composent le maillage de la structure choisie par l'utilisateur ou le programme.

Il y a deux composants dans ce simulateur :

- Une section de traitement numérique (méthode d'intégration, de discrétisation, etc.),
- Une section contenant des modèles physiques des courants de composants semi-conducteurs les plus courants, y compris la recombinaison (Schrockley Read Hall), l'ionisation par impact (Pearson et Monte Carlo), les modèles de mobilité et les statistiques de Fermi Dirac et Boltzmann[20]



### III.3. Simulation du transistor VDMOS:

Nous allons présenter dans cette section l'essentiel des résultats obtenus lors de la simulation de transistor VDMOS, avec le logiciel de simulation SILVACO.

Le schéma de transistor VDMOS est considéré présent sur la figure III-3.

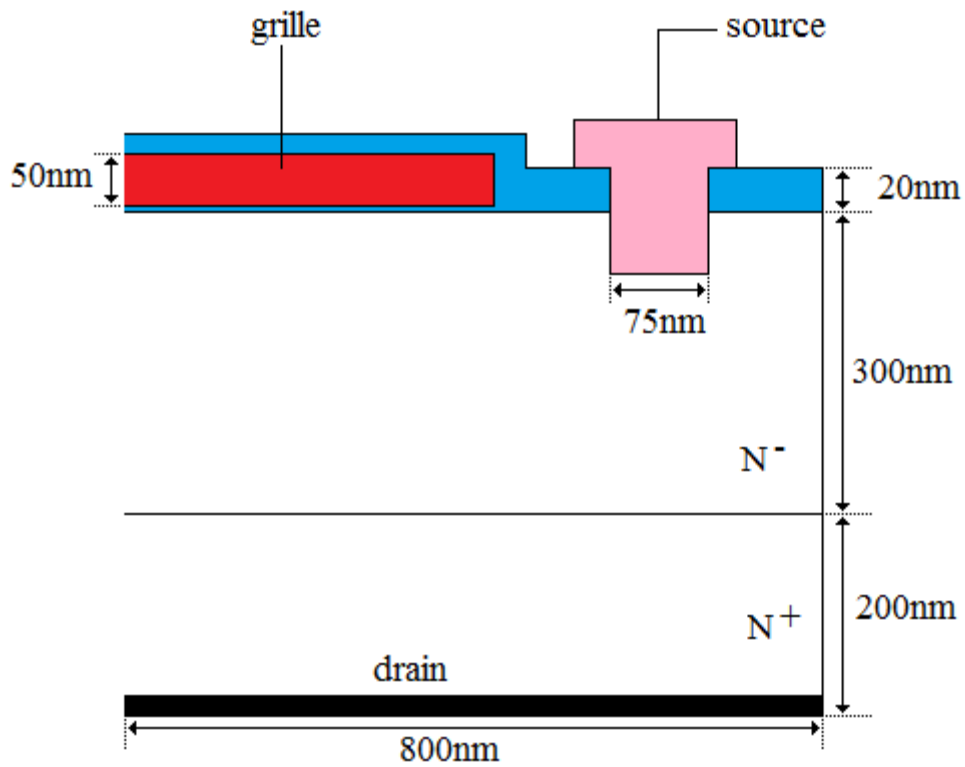
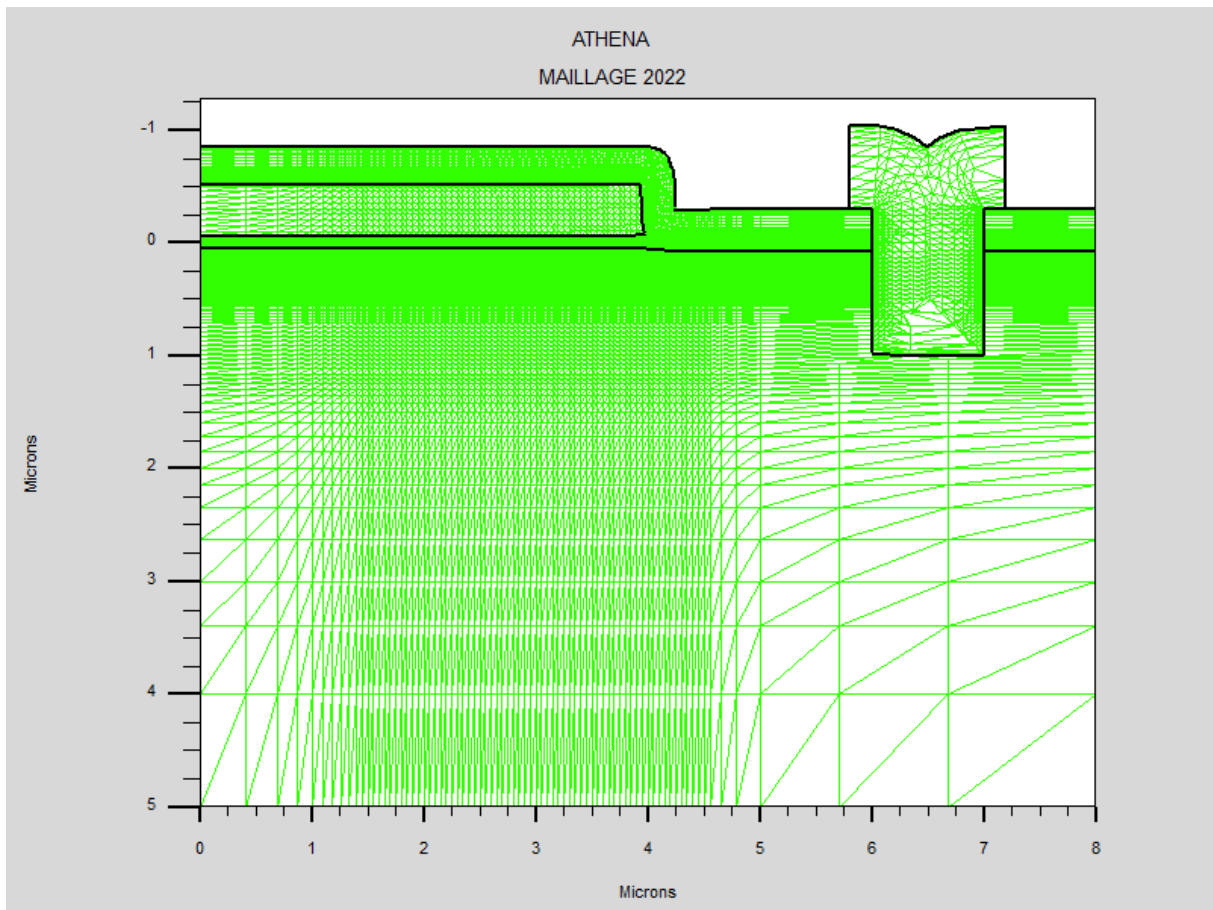


Figure III.3. Schéma considéré

### **III.3.1. Le Maillage :**

Lorsqu'il s'agit d'obtenir de bonnes simulations, le maillage est crucial. Cela doit être fait avec une extrême prudence afin d'assurer l'exactitude des résultats. La composante de maillage est une série de définitions de lignes horizontales et verticales ainsi que d'espacement. Cet espace doit être choisi parmi eux en fonction des dimensions de notre composant. La précision de la simulation est déterminée par l'état de la maille. Un maillage épais produit une simulation rapide, mais les résultats sont moins précis. Alors qu'un dernier maillage la simulation est ralentie, mais les résultats sont plus précis. En conséquence, le maillage enfin, le point de vue résultat en simulation est plus intéressant [20].



*FigureIII.4 : Définition de maillage*

### III.3.2. Les régions

Suite à la définition du maillage, les régions doivent être définies, avec le modèle suivant pour la définition de région :

**/ emplacement des paramètres > numéro de REGION = entier > type de matériel >**

Les régions doivent être numérotées séquentiellement de 1 au nombre total de régions sur la structure. Vous pouvez représenter jusqu'à 55 zones distinctes sur le simulateur Atlas [20].

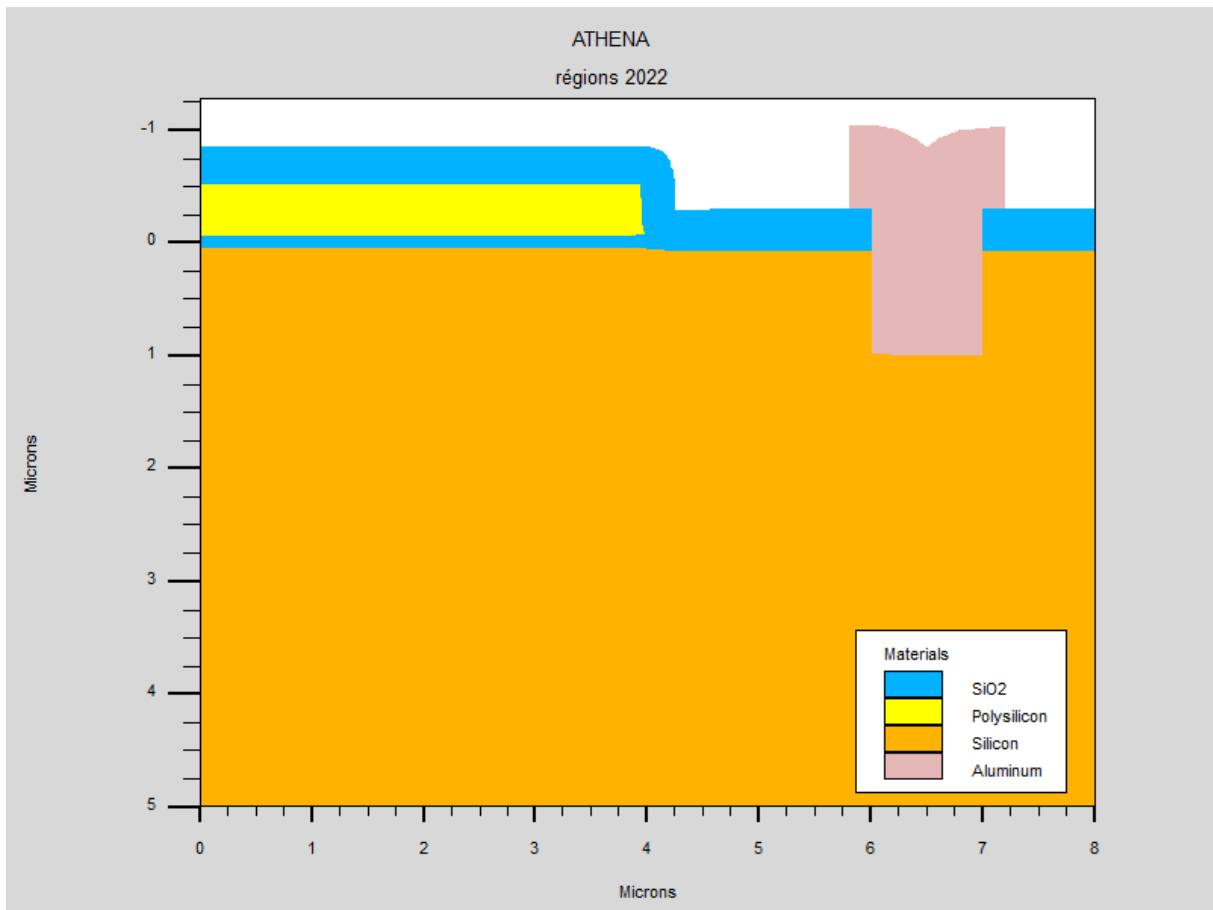


Figure III.5: Définition des régions

### III.3.3. Les électrodes

Le nombre maximum d'électrodes pouvant être configurées dans "Atlas" est de 50. Voici le format de définition du nombre d'électrodes :

**NOM DE L'ÉLECTRODE = position du paramètre > nom de l'électrode [20]**

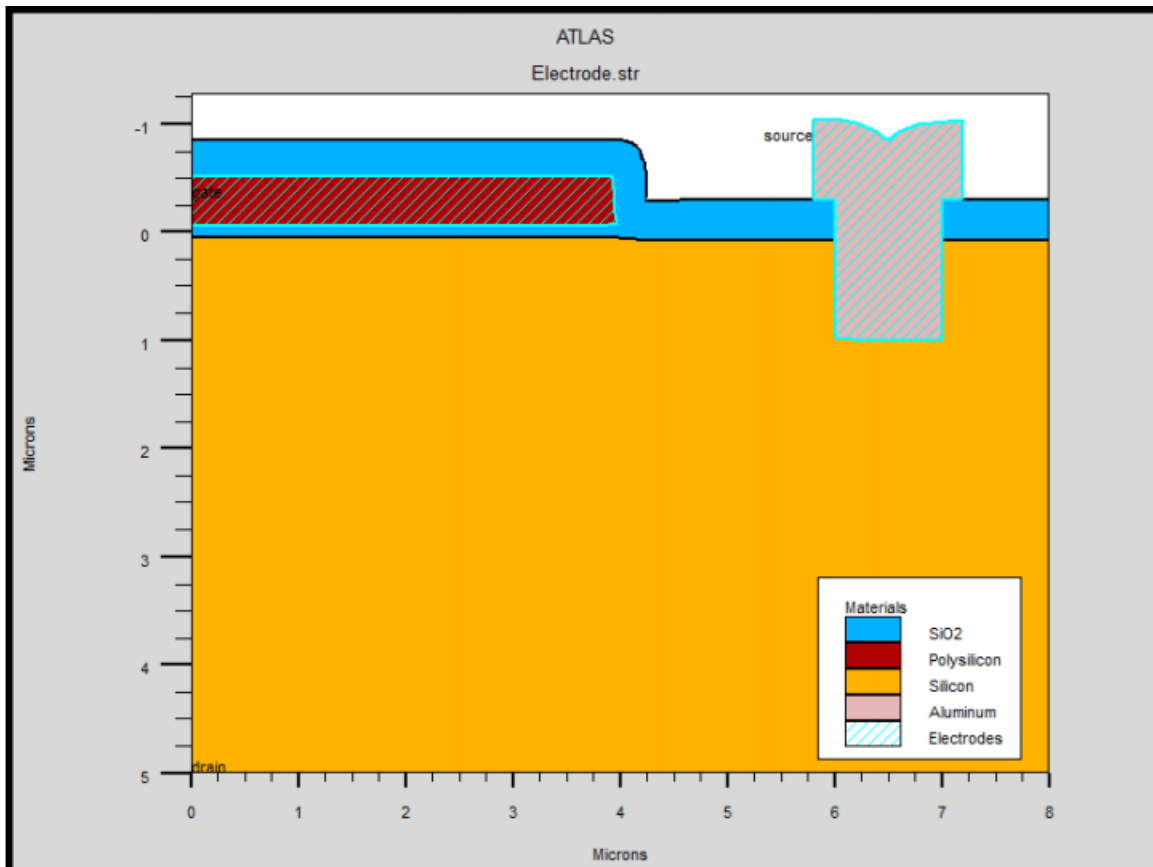


Figure III.6. Définition des électrodes

### III.3.4. Le dopage :

Le dopage est la dernière partie de la définition de la structure à définir. Voici le format de la déclaration de dopage dans "Atlas » :

**DOPAGE / position des paramètres > type de distribution > type de dopant >**

Le dopage peut être gaussien ou uniforme. [20]

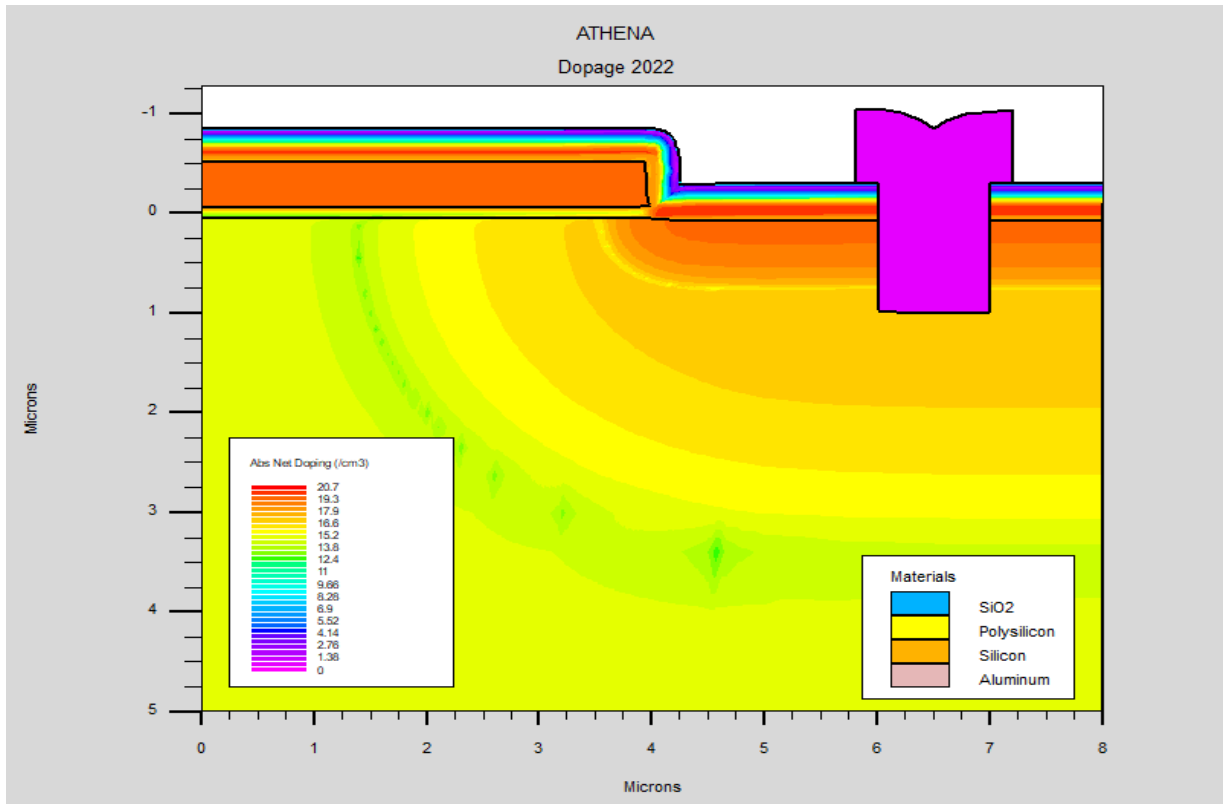


Figure III.7. Définition de dopage

### III.4. Résultats obtenus

#### III.4.1. Caractéristique électrique

Le progiciel Silvaco-Atlas a été utilisé pour construire, examiner et simuler la structure et les caractéristiques du Transistor VDMOS. Les Figure III.8 et III.9 représentent, les caractéristiques de transfert de notre structure IDS-VGS sur l'échelle linéaire et échelle logarithmique.

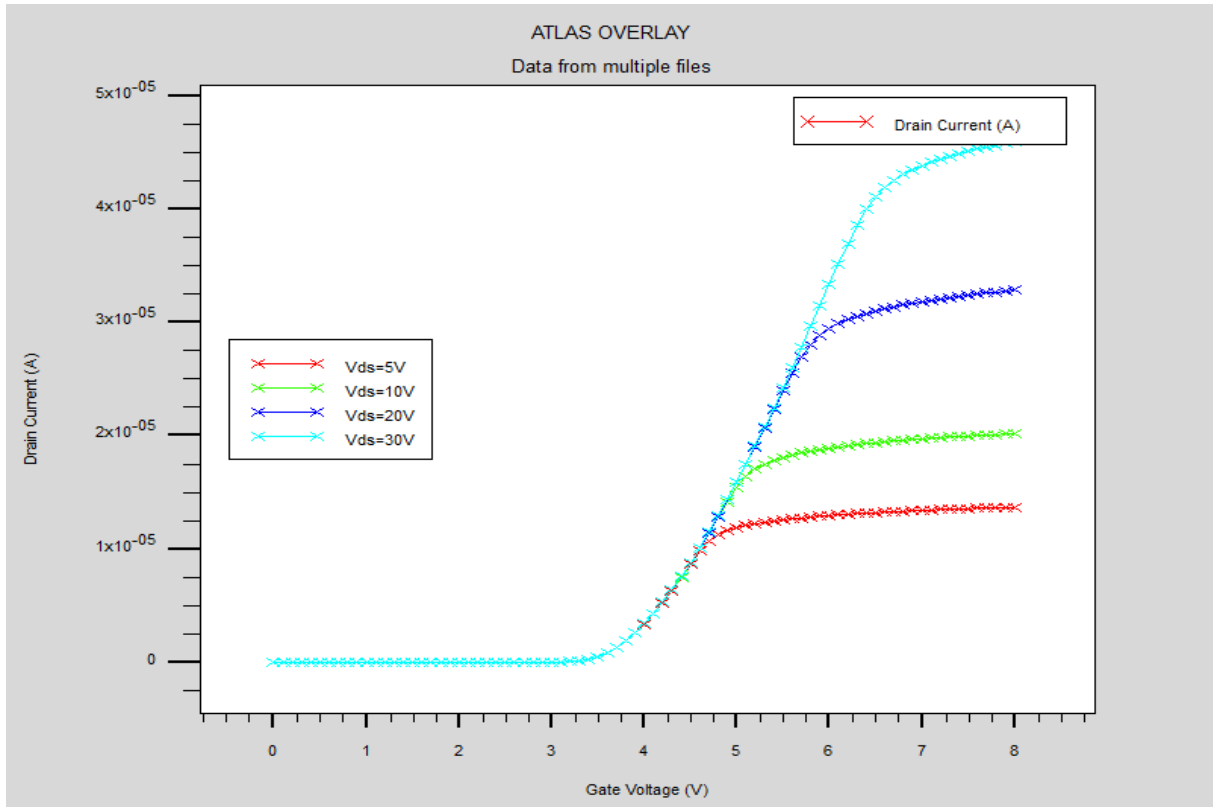


Figure III.8. Caractéristique de transfert

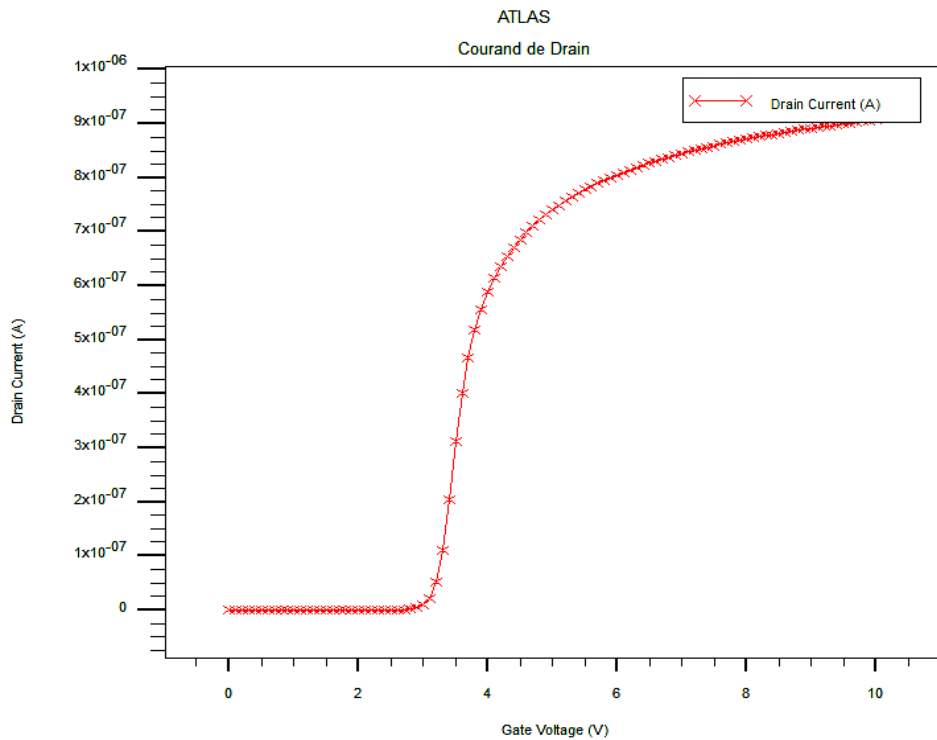


Figure III.8. Caractéristique de transfert en échelle linéaire (Vds=5V)

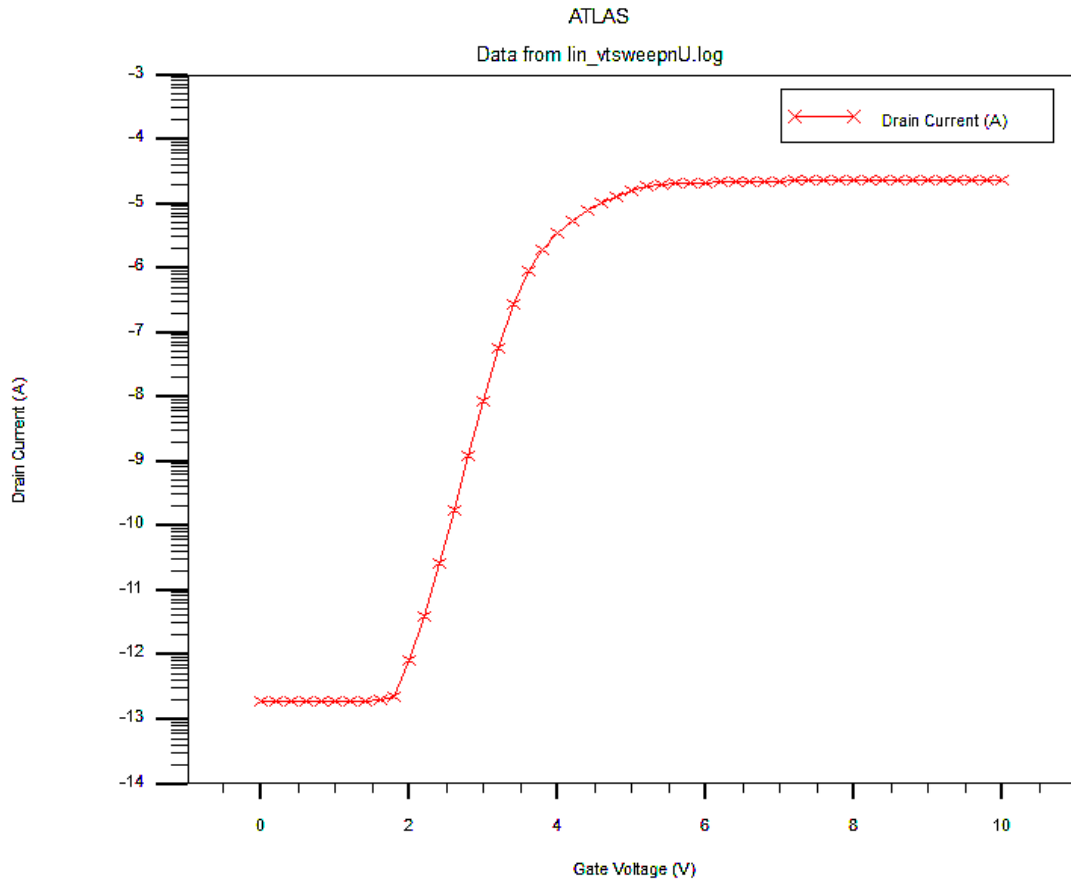


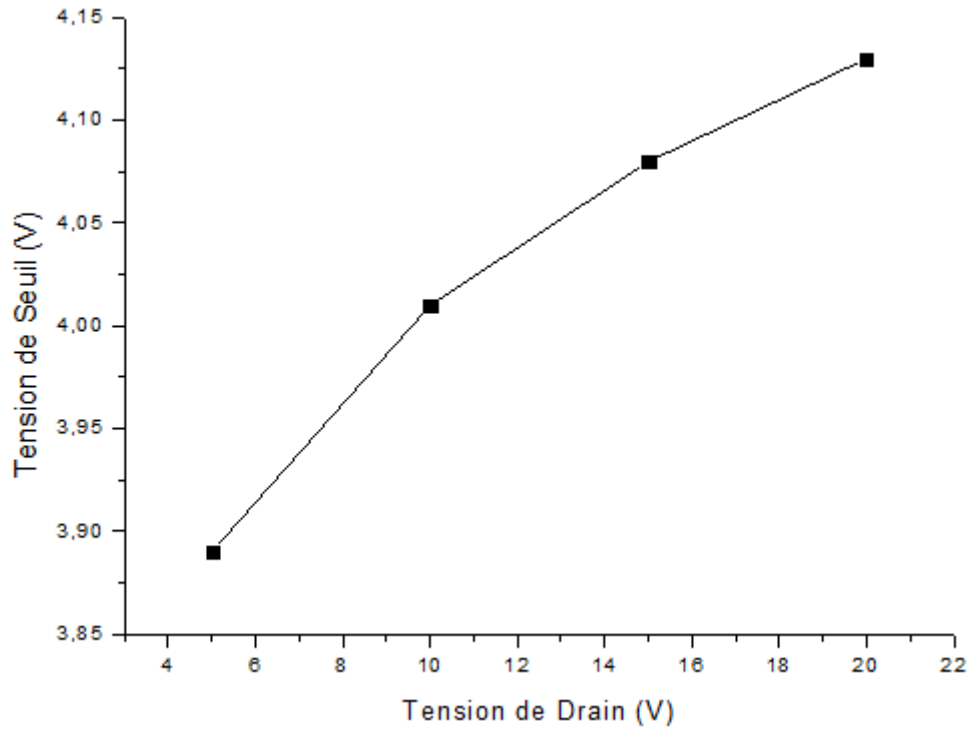
Figure 12222

**Figure III.9. Caractéristique de transfert en échelle logarithmique ( $V_{DS}=5V$ )**

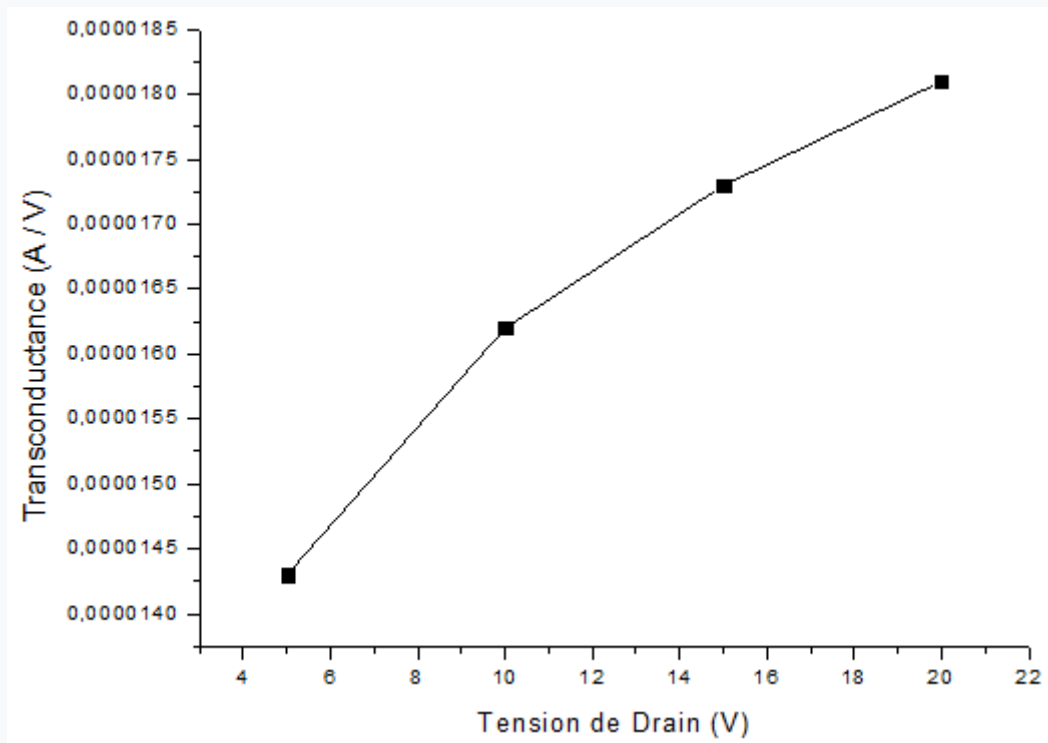
Sur la figure III.8, on observe que la tension de seuil d'un VDMOS est de 3.89 V à  $V_{DS} = 5$  V. Par conséquent, on peut également trouver la valeur de la transconductance  $g_m$  est extraite en prenant la dérivée de la courbe  $I_{DS}-V_{GS}$  (Fig. III.8). La valeur obtenue est de  $1.43 \times 10^{-5}$  A/V à  $V_{DS} = 5$  V.

Les figures III.9 et III.10 représentent la tension de seuil et la transconductance en fonction de la tension de drain respectivement.

*Chapitre III : Simulation DU transistor VDMOS et caractéristique électrique*



*Figure III.9. Tension de seuil en fonction de la tension de drain*

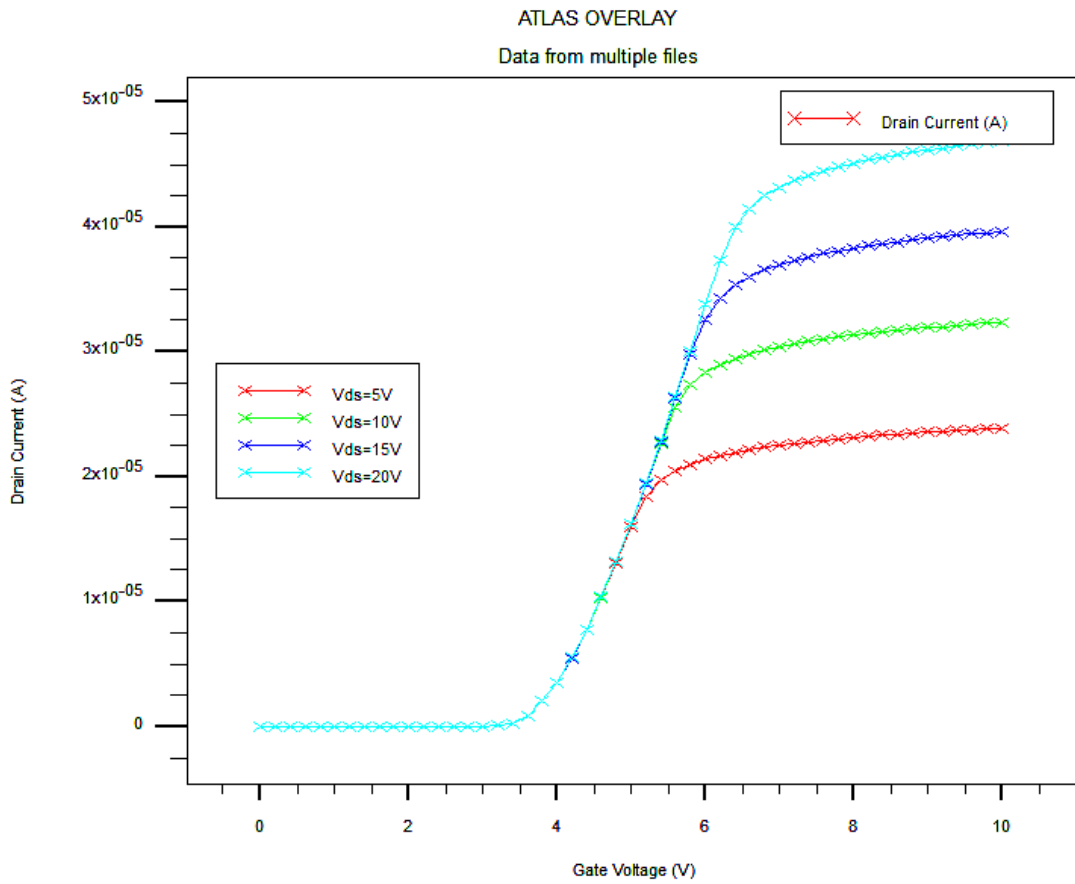


*Figure III.9. la transconductance en fonction de la tension de drain*



### Chapitre III : Simulation DU transistor VDMOS et caractéristique électrique

La figure (III.10) montre la caractéristique de transfert du transistor VDMOS, pour différentes tensions de drain tel que  $V_{DS}=5V$  jusqu'à  $V_{DS}=20V$ .



**Figure III.10. Caractéristique de transfert pour différent tension de drain, échelle linéaire**

Sur la figure III.10, on observe que lors de l'augmentation de la tension de grille au-dessus de la tension de seuil, la conductance augmente. En conséquence, un courant plus important circulera lorsque la tension de grille est supérieure à la tension de seuil et la tension de drain est augmentée.

### Chapitre III : Simulation DU transistor VDMOS et caractéristique électrique

Le courant de drain en fonction de la tension de drain pour différentes tensions de grille est illustré dans la figure III.11. L'effet de la tension de grille sur les caractéristiques de sortie (IDS-VDS) a également été observé.

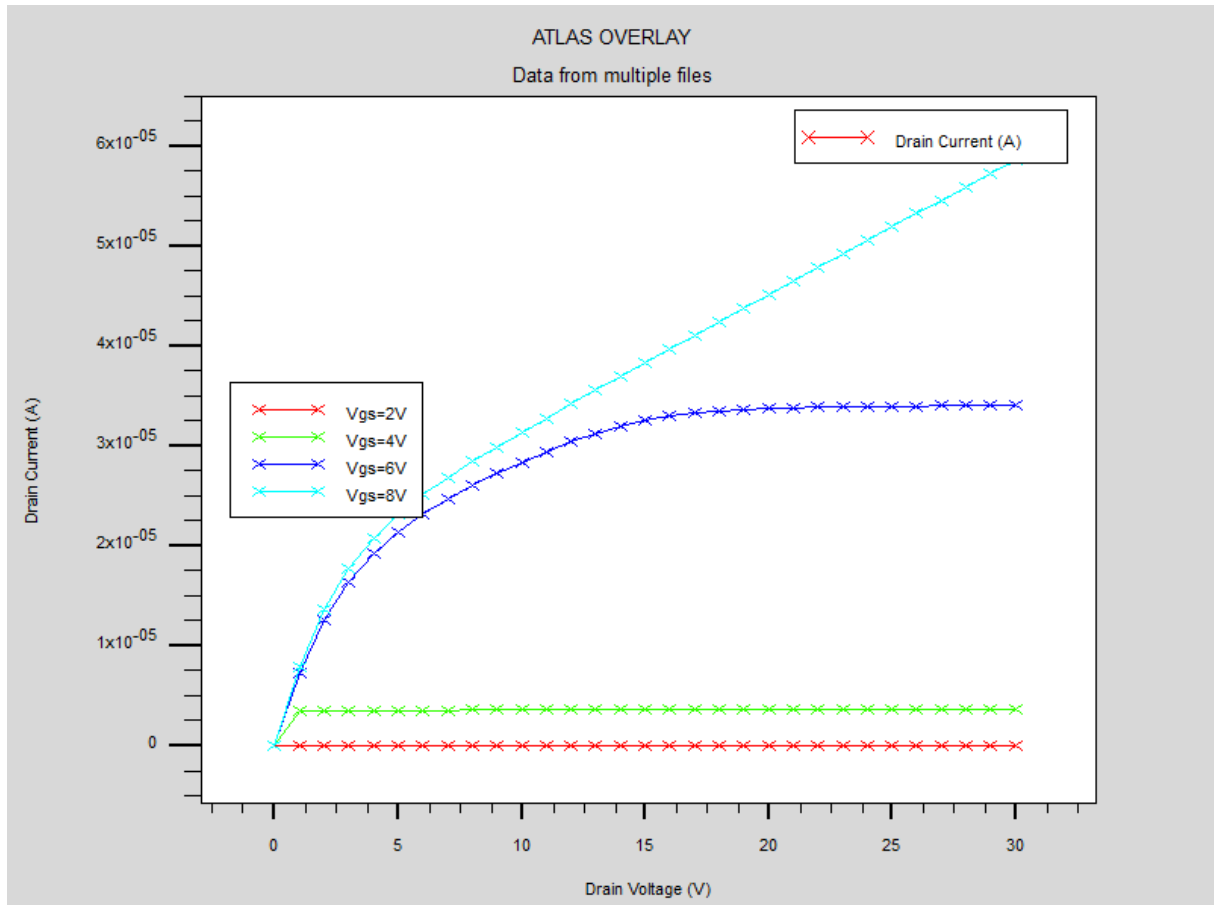


Figure III.11: Caractéristique de sortie pour différentes tensions de grille

Les résultats obtenus montrent clairement une bonne région de saturation du dispositif à une polarisation de grille plus élevée, et le courant de drain est plus important pour les tensions de grille augmentées.

#### III.4. 2.Effet du travail de sortie du métal de grille

Il est très utile de considérer l'impact du travail de sortie sur le courant et les performances de dispositif.

### Chapitre III : Simulation DU transistor VDMOS et caractéristique électrique

Sur la figure (III.12), nous présentons l'effet du travail de sortie pour différentes tensions de grille. Nous remarquons que plus le travail de sortie est faible plus le courant de drain est important. Le travail de sortie du métal étant faible, ceci fait que le nombre de porteurs qui traversent la barrière métal-semi-conducteur devient plus grand. Et nous remarquons aussi plus le travail de sortie faible la tension de seuil diminue.

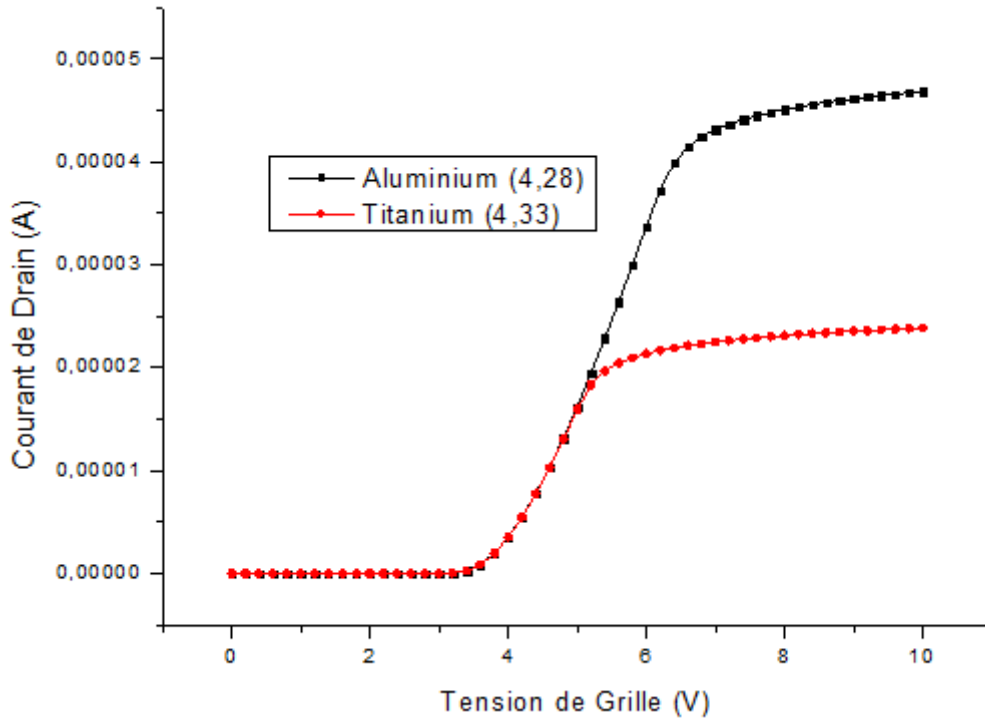


Figure III.12. Influence du travail de sortie sur le courant de drain pour différentes tensions De grille du VDMOS : échelle logarithmique.

#### III.5. Conclusion :

Dans ce chapitre nous avons présenté dans le premier temps la simulation de notre structure du transistor VDMOS par le logiciel Silvaco-Tcad, le maillage, régions, et dopage de notre dispositif et bien défini. Ensuite nous avons donné les caractéristiques de transfert et de sortie de notre dispositif. Les effets des variations des paramètres, tels que la tension de seuil, la pente sous le seuil, la transconductance, sont présentés et analysés. Nous décrirons également quelques simulations résultats liés à l'influence des variations du travail de sortie sur la structure considérée. Ces variantes ont un

### *Chapitre III : Simulation DU transistor VDMOS et caractéristique électrique*

impact direct sur les caractéristiques électrique. Les résultats montrent que la tension de seuil diminue lorsque nous réduisons la fonction de travail du métal de grille  $\Phi_m$ .

**CONCLUSION**

**GENERALE**

### *Chapitre III : Simulation DU transistor VDMOS et caractéristique électrique*

Le transistor mosfet à voir un changement radical pendant tout ces dernier année depuis leur naissance en 1959, l'invention Les composants de puissance (VDMOS) jouent en général le rôle d'interrupteurs de commande et de transfert d'énergie électrique.

MOSFET a été développé son échelle en comparaisent à son début, une centaine de fois plus petite et du micromètre au nanomètre, mais avec ce dernier-là.

La fabrication devient plus difficile et aussi comme il est possible d'éliminer plusieurs problèmes, d'autres nouveaux problèmes peuvent apparaître.

Dans ce premier chapitre nous avons étudié et présenté le transistor MOSFET En abordant sa structure, son principe de fonctionnement et ses différents régimes de Conduction, puis nous nous avons donné une petite aperçue sur les structures MOSFET Verticales plus précisément la structure VDMOS.

Dans le deuxième chapitre, nous avons commencé par présentation des différents types de transistor MOS, et ensuite nous avons focalisé sur le transistor VDMOS et leur fonctionnement. En fin nous avons présenté les équations fondamentales (équation de Poisson et l'équation de continuité) , ainsi les différents types du transistor MOS, en commençons par les transistors VMOS, UMOS, LDMOS et VDMOS, en terminons par déterminer les comportement statique et dynamique de transistors VDMOS, ainsi leur avantage et inconvénients.

Dans le troisième chapitre nous avons présenté dans le premier temps la simulation de notre structure du transistor VDMOS par le logiciel Silvaco-Tcad, le maillage, régions, et dopage de notre dispositif et bien défini. Ensuite nous avons donné les caractéristiques de transfert et de sortie de notre dispositif. En précise le courant de drain est les tensions de grille. en fait une simulation avec SILVACO Tcad , le logiciel le plus utiliser dans les laboratoire de recherche avec ses deux simulateur : ATHENA,ATLAS

**ATHENA** : il permet de simuler des procédés technologiques de fabrication des composants de puissance en semi-conducteur

**ATLAS** : il permet de prévoir précisément la caractéristique électrique statique (simulation numérique électrique) et dynamique (simulation numérique temporelle) d'une structure spécifique de semi-conducteurs

**BIBLIOGRAPHIE :**

- [1] « A. Ortiz-Conde, F. J. Garcia Sanchez, J. J. Liou, A. Cerdeira, M. Estrada, Y. Yue, “A review of recent MOSFET threshold voltage extraction methods”, *MicroelectronicsReliability*, Vol. 42, p. 583-596, 2002 ».
- [2] « Bing J. Sheu, Donald L. Scharfetter, Ping-Keung Ko, and Min-Chie Jen, “BSIM: Berkeley Short-Channel IGFET Model for MOS transistors,” *IEEE J. Solid-State Circuits*, vol. 22, no. 4, pp. 558-566, Aug. 1987. ».
- [3] « BONNAUD Olivier, « Composants à semi-conducteurs », s.l. : Edition ellipses, De la physique du solide aux transistors. ».
- [4] « Carlos Galup-Montoro, Marcio Cherem Schneider, *Mosfet Modeling for Circuit Analysis And Design*, World Scientific Publishing, 2007. ».
- [5] « Conception d’une nouvelle génération de transistor FLYMOS vertical de puissance dépassant la limite conventionnel du silicium (Thèse de doctorat YANN WEBER) ».
- [6] « D. Jeon, D.Burk, “MOSFET electron inversion layer mobilities - A physically based semiempirical model for a wide temperature range”, *IEEE Transactions on Electron Devices*, Vol. 36, No. 8, p. 1456-1463, 1989 ».
- [7] « Development, Fabrication, and Characterization of a Vertical-Diffused MOS Process for Power RF Applications (Master of Science in Microelectronic Engineering Kazuya Tokunaga ) December 2008. ».
- [8] « Développement de briques technologiques pour la réalisation de transistor MOS de puissance en Nitrure de Gallium (thèse de doctorat Elias Al Alam) Avril 2011 ».

*Chapitre III : Simulation DU transistor VDMOS et caractéristique électrique*

- [9] « Donald E. Ward and Robert W. Dutton, “A charge-oriented model for MOS transistor capacitances,” IEEE J. Solid-State Circuits, vol. 13, no. 5, pp. 703-708, Oct. 1978. ».
- [10] « Enz CC, Krummenacher F, Vittoz EA. An analytical MOS transistor model valid in all regions of operation and dedicated to low-voltage and low-current applications. Analog Integr Circuit Signal Process J 1995;8:83–114. ».
- [11] « Etude et caractérisation de structure a base de silicium (Thèse de doctorat NADINE JOUD ABOUD) Décembre 2011 ».
- [12] « G. Gildenblat et al, PSP Model, Department of Electrical Engineering, The Pennsylvania State University, August 2005. ».
- [13] « Harold Shichman and David A. Hodges, “Modeling and simulation of insulated-gatefield-effect transistor switching circuits,” IEEE J. Solid-State Circuits, vol. 3, no. 5, pp. 285-289, Sep. 1968. ».
- [14] « John E. Meyer, “MOS models and circuit simulation,” RCA Review, vol. 32, pp. 42- 63, Mar. 1971. ».
- [14] « Miura-Mattausch M, Feldmann U, Rahm A, Bollu M, Savignac D. Unifiedcomplete MOSFET model for analysis of digital and analog circuits. IEEE Trans Computer-Aided Des Integr Circuit Syst 1996;15:1–7. ».
- [15] (Mémoire Magister Anouar Essadate AOUF). « Modélisation et simulation du Nano-transistor de puissance ».
- [16] « N. Arora, MOSFET models for VLSI circuit simulation. Theory and practice, World Scientific Publishing, 2007. ».
- [17] « T. Skotnicki, « Transistor MOS et sa technologie de fabrication » Techniques de l’Ingénieur, vol. 2, no. E 2 430, 2000. ».



*Chapitre III : Simulation DU transistor VDMOS et caractéristique électrique*

- [18] « (TALMAT Rachida), « Etude des phénomènes de transport de porteurs et du bruit basse fréquence », thèse de Doctorat, électronique microélectronique et nanoélectronique, université de Caen/Basse-Normandie, 2006 ».
- [19] (Bella Mourad) étude du transport quantique et des performances fréquentielles de DGMOS nanométrique (mémoire Magister en Electronique) université Constantine 13/04/2017.
- [20](HOUARI Ridha)Etude et simulation d'un transistor VDMOS avec TCAD SILVACO (Mémoire de Master)
- [21] (Monsieur LABIOD Samir). Contribution à l'étude de perturbations électromagnétiques sur des composants MOS en Utilisant la méthode FDTD
- [22] (Mémoire de Master Khaouani Mohammed).Etude et conception d'un transistor nanométrique a grille enrobante GAA MOSFETs