

**République Algérienne démocratique et populaire Ministère de
l'enseignement supérieur et de la recherche scientifique**

UNIVERSITÉ SAAD DAHLEBDE BLIDA



Faculté de Technologie

Département d'électronique

**Mémoire de Projet de Fin d'Études pour l'obtention du Diplôme MASTER
2**

Spécialité:

Microélectronique

Présenté par :

YAHIAOUI AICHA AMINA

&

KANOUN ZINEB

**Conception d'Amplificateur à Faible Bruit en
Technologie CMOS à 2.4 GHz**

President : MR. Bounemri Ammar

Promoteur : MR. Taibi Abdelkader

Examineur : MR. Ammi Sofien

JUIN 2024

Remerciements

Remerciements,

Avant tout et toute personne, notre parfaite gratitude et nos remerciements au Bon Dieu qui nous a donné la force, le courage, la volonté et un brin de son savoir pour mener à bien ce modeste travail.

C'est avec une attention particulière que nous souhaitons adresser notre reconnaissance et une grande considération à notre encadreur monsieur Taibi Abdelkader docteur à l'université de Blida1 pour le temps qu'il nous a consacré à nous apporter les outils aussi bien méthodologiques que scientifiques, indispensables à la conduite de cette recherche et qui a tout autant su nous orienter, nous conseiller, alimenter notre réflexion et surtout a été là dans toutes les conditions auxquelles nous avons été contraintes.

Nos vifs remerciements vont à l'ensemble des enseignants du département de l'électronique, particulièrement à monsieur Nacer, monsieur Bounemri ainsi qu'à toute l'équipe de la microélectronique de l'université de Blida1.

Nous remercions les camarades, les amis de notre section et tous ceux qui ont participé de près ou de loin à ce que cette année, en dépit de tout soit exceptionnelle.

Enfin, nous exprimons notre reconnaissance aux membres du jury pour avoir sacrifié de leur temps et accepter d'examiner ce travail ainsi d'honorer par la présence le jury de soutenance.

Dédicace

À mes parents : mon père Hadi et ma mère Kebaili Naima, qui m'ont inculqué un esprit de combativité, et qui m'ont toujours poussé et motivé dans mes études.

Sans eux, certainement je ne serais pas à ce niveau

Que dieu, le tout puissant, vous préserve et vous procure santé et longue vie afin que je puisse à mon tour vous combler.

À mes frere Chihab, Abdelilah et Moiz, pour ses encouragements incessants.

À tous mes, oncles, tantes, cousins et cousines, en souvenir de toutes les joies et forces qui unissent notre chère famille

À mon marie kerrache abdeslam pour le soutien et les encouragements qu'il m'a apporté

À mes très chères collègues de promotion 2024

AICHA

Dédicace

*Avec tout mon amour, je dédie ce modeste travail à mon jeune et formidable moi
qui a réussi malgré les difficultés.*

*Aux personnes les plus grandes et aux personnes les plus chères à mon âme, mon
premier soutien, mon refuge, après Dieu, ma mère et mon père.*

*A mes très chères, mes sœurs Meriem et Siham, et ma copine khaoula qui m'a
soutenir, que Dieu les bénisse*

ZINEB

ملخص

الهدف من هذا العمل هو تصميم LNA بتقنية CMOS 0.18 ميكرومتر للتطبيقات اللاسلكية، مما يتطلب معاملات تصميم مختلفة لتحقيق حل وسط بشرط ضوضاء NF منخفضة واستهلاك منخفض للطاقة وعامل جودة عالي. إن طريقة التحليل PCNO (تحسين الضوضاء المقيدة للطاقة) التي تم اختيارها لهذا التصميم جعلت من الممكن تحقيق هذا الهدف من خلال تحقيق حل وسط جيد بين أداء LNA:

NF=1.7 ديسيبل، S21=15.3 ديسيبل، S11=-16.3 ديسيبل، S12=-35 ديسيبل و S22=4.74 ديسيبل

الكلمة الرئيسية: مضخم منخفض الضوضاء، LNA، PCNO، CMOS.

Abstract

The aim of this work is the design of an LNA in 0.18 μ m CMOS (Complementary Metal Oxide Silicon) technology for wireless applications, requiring the different design parameters to achieve a compromise provided low noise NF (Noise Figure), low power consumption and high quality factor. The PCNO (Power-Constrained Noise optimization) analysis method opted for this design made it possible to achieve this objective by achieving a good compromise between these LNA (Low Noise Amplifier) performances:

NF=1.7 dB, S21=15.3dB, S11=-16.3dB, S12=-35dB dB and S22=4.74dB

Keywords: CMOS, low noise amplifier, LNA , PCNO ,

Résumé

Le but de ce travail est la conception d'un LNA (Low Noise Amplifier) en technologie CMOS (Complementary Metal Oxide Silicon) 0.18 μ m pour les applications sans fil, nécessitant les différents paramètres de conception pour atteindre un compromis fourni une faible bruit NF, une faible consommation de puissance et un facteur de qualité élevé. La méthode d'analyse PCNO (optimisation de bruit sous contrainte de puissance) optée pour cette conception a permis d'atteindre cet objectif en réalisant un bon compromis entre ces performances du LNA:

NF=1.7 dB, S21=15.3dB, S11=-16.3dB, S12=-35dB dB et S22=4.74dB

Mot clé: amplificateur à faible bruit, LNA, PCNO, CMOS.

TABLE DES MATIERES

INTRODUCTION GENERAL	13
Chapitre I	14
INTRODUCTION AUX DISPOSITIFS EN TECHNOLOGIE CMOS	15
I.1.Introduction.....	15
I.2. Les principaux composants utilisés dans la technologie CMOS.....	15
I.2.1. Transistor MOSFET	15
I.3. La modélisation RF du MOSFET	19
I.3.1. Pourquoi le transistor MOS en RF ?	19
I.3.2. Le modèle “historique” RF	19
I.3.3. Le bruit thermique ou bruit de Nyquist	20
I.4. Capacité en technologie CMOS	21
I.5. Structure de résistance en technologie CMOS :.....	22
I.6. Inductance RF en technologie CMOS	22
I.7. Méthodes de conception d’un LNA.....	24
I.7.1.Analyse documentaire.....	24
I.7.2.Les calculs	24
I.7.3 Conception et simulation	24
I.8. Conclusion	25
Chapitre II	26
Analyse d’amplificateur à faible bruit LNA.....	27
II.1. Introduction.....	27
II.2.Topologie de bases	27
II.2.1. Amplificateur à terminaison résistive	27
II.2.2. Amplificateur à contre-réaction résistive.....	28
II.2.3. Amplificateur à terminaison en $1/g_m$	29
II.2.4.Amplificateur à dégénérescence inductive	29
II.3. La technique d’optimisation de bruit sous contrainte de puissance (PCNO)	30
II.3.1. Développement de la PCNO.....	30
II.4. Conclusion :	34
Chapitre III	35

Conception d'amplificateur à faible bruit en technologie CMOS 0.18 μm à 2.4 GHz	36
III.1. Introduction	36
III.2. La conception des composants du LNA.....	36
III.2.1. Conception des transistors M_1 , M_2 et M_3	37
III.2.2. Conception des inductances L_s et L_g	40
III.2.3. Conception des résistances R_{ref} et R_{bias}	41
III.3. Simulation et résultat.....	42
III.3.1. Objectifs de conception et optimisations des contraintes de LNA à dégénérescence inductives	43
III.3.2. Amplificateur à faible bruit en technologie MOS 0.18 μm	43
III.3.3. Les Performances du LNA.....	44
III. 3 les performances du LNA conçu avec des inductances réelles.	44
III.3.4. Estimations de la capacité Miller	44
III.3.5. Performances du LNA avec la capacité de Miller	46
III.3.6. Amplificateur IDLNA avec des inductances MOS	49
III.4. Conclusion.....	55
CONCLUSION GENERALE	56
BIBLIOGRAPHIE	57

TABLE DES FIGURES

CHAPITRE I

Figure. I. 1. Structure et symbole du MOSFET à canal N[3].....16

Figure. I. 2. a) variation de V_{gs} b) variation de V_{ds} augmentation V_{ds} au-dessus de $V_{ds(sat)}$ pince le canal et maintient I_d quasiment constant[3]..... 16

Figure. I. 3. Caractéristiques des dispositifs NMOS[4] 18

Figure. I. 4. Caractéristique FET de transconductance par rapport aux paramètres de conception [3]..... 18

Figure. I. 5. (a) Circuit équivalent "petit signal" d'un transistor MOSFET en source commune, (b) son modèle simplifié [3] 19

Figure. I. 6. Capacité MIM, (a) coupe transversale, (b) circuit électrique équivalent [6-3]. 21

Figure. I. 7. Résistance à couche mince, (a) coupe transversale, (b) circuit électrique équivalent [6]..... 22

Figure. I. 8. Inductance standard en technologie CMOS, (a) vue de dessus du masque (Layout), (b) modèle électrique équivalent (Layout), (b) modèle électrique équivalent 23

Figure. I. 9. Organigramme des étapes de conception du circuit 24

CHAPITRE II :

Figure. II. 1. Amplificateur à terminaison résistive [8]..... 27

Figure. II. 2. LNA à contre-réaction résistive [8]..... 28

Figure. II. 3. Amplificateur à terminaison en $1/g_m$ [8] 29

Figure. II. 4. LNA à dégénérescence inductive [8] 27

Figure. II. 5. Modèle de bruit de la topologie à dégénérescence inductive 31

CHAPITRE III

Figure. III. 1. LNA cascode à dégénérescence inductive [6] 36

Figure. III. 2. Contours de NF en fonction de Q_S pour différentes valeurs de P_{CONS} 38

Figure. III. 3. Structure basique du miroir de courant 40

Figure. III. 4. Installation du design Kit TSMC RF CMOS μm_v6 sur le logiciel ADS 42

Figure. III. 5. Montage du LNA 43

Figure. III. 6. Circuit équivalent d'IDLNA cascode petit signal (a) avec la capacité C_{gd} . avec la capacité C_m 44

Figure. III. 7. Simulation du gain en tension 45

Figure. III. 8. Amplitude du gain en tension AV 46

Figure. III. 9. Paramètre S_{11} 47

Figure. III. 10. Paramètre S_{12} 47

Figure. III. 11. Paramètre S_{21} 48

Figure. III. 12. Paramètre S_{22} 48

Figure. III. 13. Paramètre NF 49

Figure. III. 14. Montage pour le calcul des paramètres d'une inductance Shunt.....	50
Figure. III. 15. Variation de l'inductance L et de son facteur de qualité QL_MOS en fonction de la fréquence	50
Figure. III. 16. Amplificateur LNA avec des inductances MOS.....	51
Figure. III. 17. Paramètre S11.....	52
Figure. III. 18. Paramètre S12.....	52
Figure. III. 19. Paramètre S21.....	53
Figure. III. 20. Paramètre S22.....	53
Figure. III. 21. Facteur de bruit (NF) en (dB)	54
Figure. III. 30. Simulation DC d'IDLNA.....	55

LISTE DES TABLEAUX

Tableau.III. 1. Paramètres de la technologie TSMC	37
Tableau.III. 2. Spécifications du LNA à concevoir.....	43
Tableau.III. 3.Résumé des Performances de LNA.....	44
Tableau.III. 4.Performances du LNA avec la capacité de Miller.....	49
Tableau.III. 5.Dimensions physiques des inductances.....	51

LISTE DES ABREVIATIONS ET DES SYMBOLES

CMOS	Complementary Metal Oxide Silicon
C_{ds}	Capacité drain source
C_{gd}	Capacité grille drain
C_{gs}	Capacité grille source
C_{ox}	Capacité de l'oxyde par unité de surface
DC	Drain Commun
E_{sat}	Champ électrique de saturation
GC	Grille Commune
g_m	Transconductance
I_C	Integrated Circuits
I_{ds}	Courant drain source
IDLNA	Inductively Degenerated LNA
LNA	Low Noise Amplifier
MOSFT	Metal Oxide Semiconductor Field Effet Transistor
NF	Noise Figure
PCNO	Power-Constrained Noise optimization
RF	Radio frequency
SC	Source Commune
μ_{eff}	Mobilité effective des électrons dans le canal
TSMC	Taiwan Semiconductor Manufacturing Company
V_{ds}	Tension Drain source
V_{gs}	Tension grille source
V_{sat}	Vitesse de saturation des porteurs
V_T	Tension de seuil de transistor

Introduction Générale

INTRODUCTION GENERAL

L'amplificateur à faible bruit, également connu sous le nom de LNA (Low Noise Amplifier), joue un rôle essentiel dans les systèmes de transmission RF. Positionné au début de la chaîne de réception, il est essentiel pour produire un rapport signal/bruit élevé en sortie afin de permettre un traitement efficace des informations relatives aux signaux RF par les composants suivants.

L'objectif de ce mémoire est de concevoir un amplificateur faible bruit (LNA) en technologie CMOS 0.18 μm à 2.4 GHz, pour l'application Bluetooth, notre mémoire est divisé en trois chapitres :

Dans le premier chapitre, nous présenterons des généralités sur les dispositifs en technologie CMOS

Dans le deuxième chapitre, nous allons présenter les différentes architectures d'un LNA, et nous explorons une technique connue sous le nom de technique d'optimisation de bruit sous contrainte de puissance (PCNO) qui permet une analyse systématique des caractéristiques physiques et électriques d'amplificateur faible bruit à dégénérescence inductive (IDLNA).

Le troisième chapitre est consacré à la conception des différents composants de l'IDLNA en technologie CMOS. Ainsi qu'aux résultats de simulation

Chapitre I

INTRODUCTION AUX DISPOSITIFS EN TECHNOLOGIE CMOS

I.1.Introduction

Le transistor est un composant fondamental en électronique. En effet, il existe plusieurs catégories de transistors tels que les transistors bipolaires et les transistors à effet de champ (FET). Dans ce chapitre on s'intéresse au transistor à effet de champ du type MOSFET en étudiant son principe de fonctionnement, sa structure et nous mettons en œuvre les différentes équations de fonctionnement.

Le principe de fonctionnement du transistor MOSFET (métal oxyde semi-conducteurs à effet de champ) a été décrit pour la première fois par Lilienfeld en 1930. En décembre 1947, John Bardeen et Walter H. Brattain réalisaient le premier transistor en germanium. Avec William B. Shockley le transistor à jonction et la théorie associée sont développées aux Bell Laboratoires en 1951. En 1958, Jack Kilby invente le circuit intégré en fabriquant cinq composants sur le même substrat. C'est en 1960 que Kahng et Attala ont présenté le premier transistor MOS sur silicium qui reste aujourd'hui le semi-conducteur généralement le plus utilisé, vu la qualité inégalée de l'interface créée par le silicium et l'oxyde de silicium (SiO_2), qui sert d'isolant. Peu après, l'élaboration de la technologie CMOS assura le futur commercial et technologique du MOSFET en électronique intégrée (mémoires, microprocesseurs, circuits logiques, circuits analog et RF) grâce à une géométrie simple et une consommation pouvant être très faible. [1]

I.2. Les principaux composants utilisés dans la technologie CMOS

I.2.1. Transistor MOSFET

I.2.1.1. Description

Les MOSFETS (Metal Oxide Semi-conducteur Field Effect Transistor) sont fabriqués en silicium et comportent des dispositifs à canaux n et p. Ils conviennent donc à la logique complémentaire et présentent les avantages susmentionnés en termes de consommation d'énergie statique et de complexité du circuit.

Rappelons que l'écart entre les mobilités des électrons (μ_n) et des trous (μ_p) dans les dispositifs au silicium est relativement faible. Néanmoins, les FET à canal n restent le premier choix pour les circuits exigeant la vitesse la plus élevée. [3]

Le MOSFET se présente comme un composant à trois ports:

- Le « drain » (noté D) ;
- La « grille » (noté G) ;
- La « source » (noté S) ;

Les tensions sont mesurées par rapport à la source. On mesure ainsi :

- V_{DS} la tension entre le drain et la source ;
- V_{GS} la tension entre la grille et la source ;

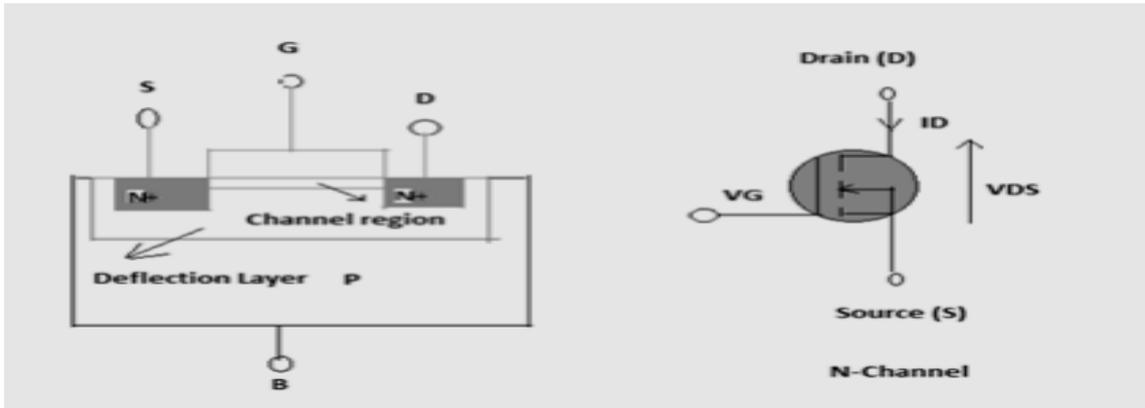


Figure. I. 1. Structure et symbole du MOSFET à canal N[3]

I.2.1.2. Les Caractéristiques DC

Pour activer le flux de courant dirigé de la source vers le drain, une tension de source de drain V_{DS} doit être appliquée. D'après la figure I.2(b), la densité de charge le long du canal n'est plus constante. Nous observons que le potentiel de grille effectif est également une fonction de la tension de la source du drain, qui a un impact croissant vers le drain où elle est maximale

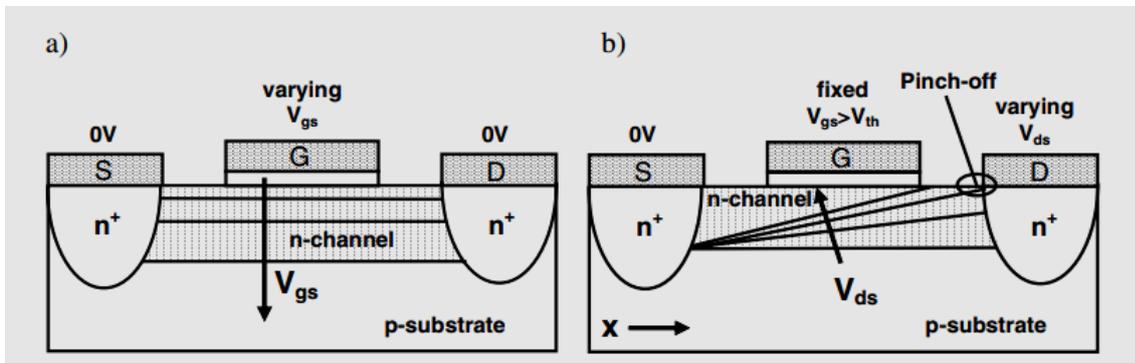


Figure. I. 2. a) variation de V_{gs} b) variation de V_{ds} au-dessus de V_{ds_sat} pince le canal et maintient I_d quasiment constant[3]

Nous pouvons identifier quatre grandes régions de fonctionnement, à savoir le seuil, la région triode, la région linéaire (où triode profonde) et la région de saturation.

a) Région du seuil

Le potentiel de la grille n'est pas suffisant pour générer la couche d'inversion conductrice. Par conséquent, la conductance du canal est très faible, ce qui se traduit par $I_d \approx 0$. En d'autres termes, le dispositif est éteint.

b) Région triode

Dans cette zone, la tension de polarisation V_{DS} est telle que $V_{ds} \leq (V_{gs} - V_T)$ et le courant du drain I_{ds} évolue avec V_{ds} ainsi :

$$I_{ds} = k_n \left[(V_{gs} - V_T) V_{ds} - \frac{V_{ds}^2}{2} \right] \quad (\text{I.1})$$

Avec :

- $K_n = \mu_n C_{ox} \frac{W}{L}$
- V_T : la tension de seuil
- C_{ox} : la capacité d'oxyde en (F/m²)
- W : la largeur du transistor en (m)
- L : la longueur du transistor en (m)
- μ_n : la mobilité ($m^2 / V.s$)

c) Région linéaire

Définie par des valeurs de V_{ds} vérifiant l'inégalité $V_{ds} \ll V_{gs} - V_T$. Dans ce cas, le courant I_{ds} évolue linéairement avec V_{ds} alors :

$$I_{ds} = k_n (V_{gs} - V_T) V_{ds} \quad (\text{I.2})$$

d) Région de saturation

Caractérisée par $V_{ds} > (V_{gs} - V_T)$, à partir de la relation (I.1), on peut constater que le maximum du courant I_{ds} est obtenu pour la tension de saturation

$$V_{dssat} = (V_{gs} - V_T) \quad (\text{I.3})$$

En remplaçant V_{ds} par V_{dssat} dans la relation (I.1), le courant I_{ds} peut être approximé par la relation :

$$I_{ds} = \frac{kn}{2} (V_{gs} - V_T)^2 \quad (\text{I.4})$$

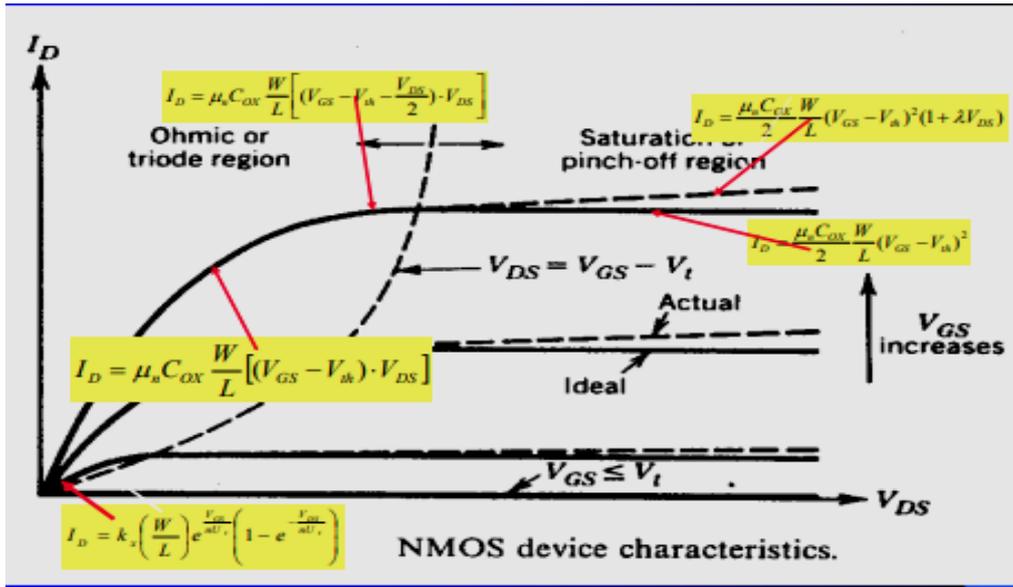


Figure. I. 3. Caractéristiques des dispositifs NMOS[4]

Cette équation révèle que le transistor idéal se comporte comme une source de courant commandée en tension avec V_{GS} comme tension de commande ; il n'y a pas de dépendance avec V_{ds} ; rappelons que la performance des sources de courant peut être décrite par la transconductance.

$$gm = \frac{\partial I_d}{\partial V_g} = k_n (V_{gs} - V_T) \tag{I.5}$$

D'autre part, d'après (I.4) on peut exprimer gm pour le régime de saturation par

$$gm = \sqrt{2I_d K_n} \tag{I.6}$$

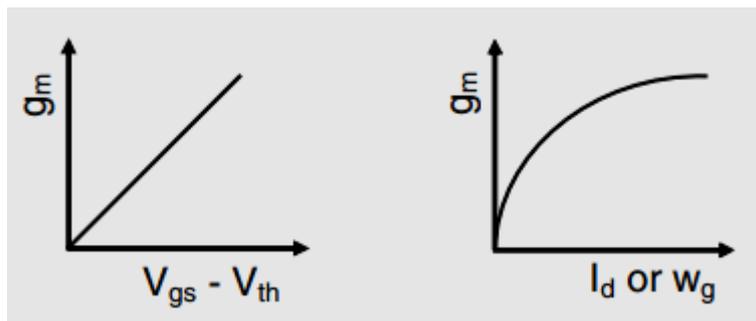


Figure. I. 4. Caractéristique FET de transconductance par rapport aux paramètres de conception [3]

I.3. La modélisation RF du MOSFET

I.3.1. Pourquoi le transistor MOS en RF ?

Les performances RF d'un dispositif comme le MOSFET peuvent être abordées par des grandeurs telles que ses fréquences de transition et maximale d'oscillation. L'expression de la fréquence de transition peut être donnée par:

$$f_t = \frac{g_m}{2.\pi C_{gs}} \quad (\text{I.7})$$

Les applications RF sont principalement les communications sans fil à savoir le wifi, le Bluetooth, les réseaux sans fil (GSM, GPS). Les dispositifs sont donc utilisés pour des circuits figurant dans la chaîne de réception ou d'émission de telles applications : amplificateur faible bruit, boucle à verrouillage de phase (dont l'oscillateur commandé en tension est un élément particulièrement délicat), convertisseurs analogique-numérique et numérique-analogique.

I.3.2. Le modèle "historique" RF

Il s'agit d'élaborer un schéma équivalent petit signal du transistor extrait de mesures RF. Ce schéma décrit le comportement du transistor à effet de champ en un point de polarisation donné [5].

Ce modèle du transistor MOSFET est indispensable pour la conception d'un circuit RF, tel que l'amplificateur faible bruit (LNA : Low Noise Amplifier) dont le signal à son entrée, en provenance de l'antenne, est de faible amplitude. [6].

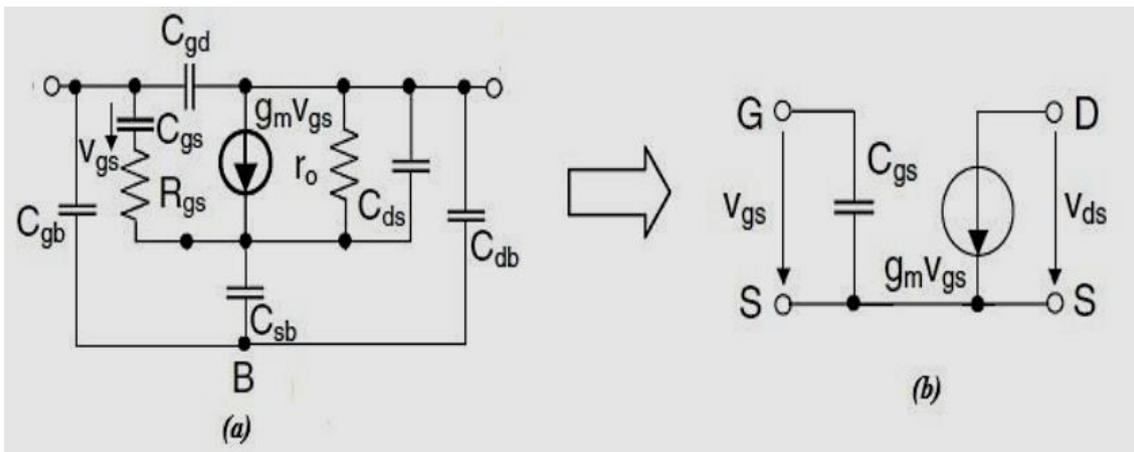


Figure. I. 5. (a) Circuit équivalent "petit signal" d'un transistor MOSFET en source commune, (b) son modèle simplifié [3]

I.3.3. Le bruit thermique ou bruit de Nyquist

Le mouvement aléatoire des porteurs de charge, dû à l'excitation thermique, est la source principale du bruit thermique. Ce mouvement thermique des porteurs provoque une tension fluctuante sur les bornes de chaque élément résistif. Si la valeur moyenne de cette tension est nulle, la puissance correspondante ne l'est pas. La source de tension de bruit interne et celle de courant sont décrites par l'équation de Nyquist [7] :

$$i_t^2 = \frac{4kT\Delta f}{R} \quad (\text{I.8})$$

Dans le model petit signal on distingue deux principales sources de bruit : les bruits thermiques de drain et de la grille, qui sont généralement modélisés à l'aide de générateurs Norton.

I.3.3.1. Bruit thermique de drain

Le bruit thermique de drain est dû au mouvement aléatoire des électrons dans le canal. Il a une densité spectrale de puissance donnée par [6]:

$$i_d^2 = 4kT\gamma g_{d0}\Delta f \quad (\text{I.9})$$

Ou :

- g_{d0} est la conductance drain-source pour $V_{ds} = 0$;
- γ est un paramètre technologique dont la valeur varie entre 2 et 3 pour un canal court et vaut 2/3 pour un canal long ;
- k et T sont respectivement la constante de Boltzmann et la température équivalente de bruit (degré Kelvin) ;
- Δf est la bande passante de calcul du bruit ;

I.3.3.2. Bruit thermique de grille

Cette source de bruit provient du couplage capacitif du canal à la borne de la grille. Le bruit, dans ce cas, s'exprime par [6]:

$$i_g^2 = 4kT\delta g_g\Delta f \quad (\text{I.10})$$

Avec :

- $g_g = \frac{\omega^2 C_g^2}{5g_{d0}}$ (ω est la pulsation) ;
- δ est le coefficient de bruit de grille ;

Le bruit de grille est partiellement corrélé avec le bruit de drain. Le coefficient de corrélation est donnée par :

$$C = \frac{i_g i_d^*}{\sqrt{i_g^2 i_d^2}} \quad (\text{I.11})$$

La densité spectrale d'une autre source de bruit thermique, liée à la résistance de la grille du transistor MOSFET, est :

$$v_g^2 = 4kTR_g \Delta f \quad (\text{I.12})$$

- $R_g = \frac{R_{sq}\omega}{3n^2L}$;
- R_{sq} et n sont respectivement la résistance carrée de poly silicium et le nombre de doigts de la grille.

Cette source de bruit peut être considérablement réduite, voire négligée, en augmentant le nombre de doigts utilisés pour fabriquer la grille du transistor. Aussi, la réduction de la longueur du canal du MOSFET entraîne quant à elle l'augmentation de ce bruit.

I.4. Capacité en technologie CMOS

La capacité en technologie CMOS peut être réalisée en utilisant deux parois métalliques séparées par un isolant. En partant de ce principe plusieurs options sont offertes pour réaliser les capacités. On peut trouver les capacités MIM (Métal Isolant Métal) ou les capacités PIM (Poly-silicium Isolant Métal), dans les deux cas l'isolant est l'oxyde de silicium. La capacité métal isolant métal (MIM) (Figure I.6(a)) est la plus utilisée dans la conception de circuits RF, en raison de ses faibles parasites par rapport aux autres capacités CMOS. Le circuit équivalent de la capacité MIM est illustré dans la figure I.6(b) [7].

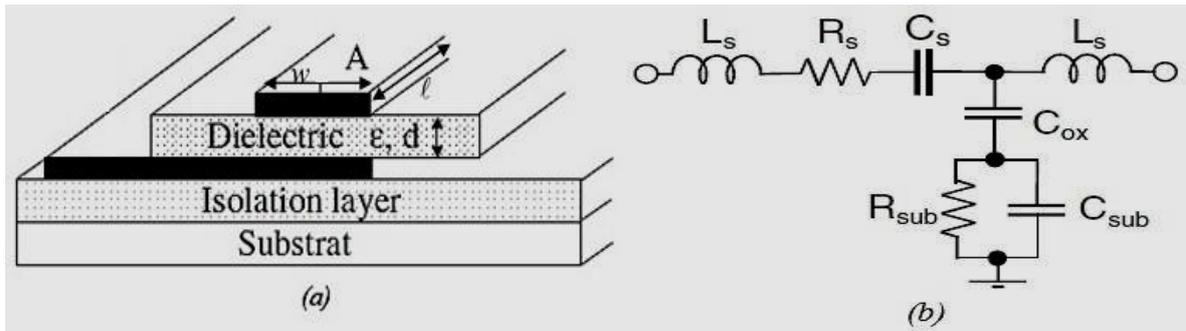


Figure. I. 6. Capacité MIM, (a) coupe transversale, (b) circuit électrique équivalent [6-3].

L'expression d'une capacité à armatures parallèles est donnée par [6]:

$$C = \frac{\epsilon A}{d} \quad (\text{I.13})$$

Où:

- $\epsilon = \epsilon_0 \epsilon_r$ (ϵ_0 et ϵ_r sont respectivement les permittivités relatives du vide et de l'isolant);
- A : représente la surface des armatures de largeur w et de longueur L ;
- d : est la distance séparant les deux armatures.

I.5. Structure de résistance en technologie CMOS :

La résistance CMOS est une plaque métallique (Figure I-7) de résistivité ρ , de longueur ℓ , de largeur w et d'épaisseur d . Sa valeur est calculée à partir de la relation suivante :

$$R = \frac{\rho \ell}{d w} \quad (\text{I.14})$$

Le premier rapport de la résistance R est lié à la technologie, tandis que le deuxième est défini par le concepteur. Si on considère que $w = \ell$, la résistance s'exprimera, uniquement en fonction des paramètres technologiques, et dont l'unité est en $\Omega/\text{carré}$, comme défini dans (I.15) :

$$R_{\square} = \frac{\rho}{d} \quad (\text{I.15})$$

En choisissant une largeur w , relativement faible afin de réduire la capacité parasite, la résistance globale vaudra R_{\square} multipliée par un coefficient n . Le modèle électrique de la résistance est exposé sur la (figure I_7(b)) [6].

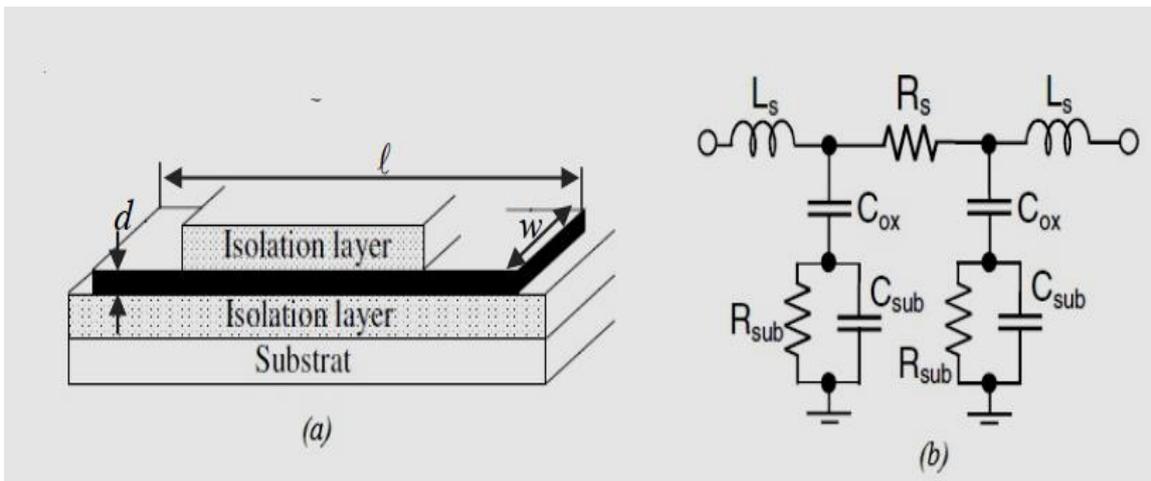


Figure. I. 7. Résistance à couche mince, (a) coupe transversale, (b) circuit électrique équivalent [6]

I.6. Inductance RF en technologie CMOS

Contrairement à la capacité, l'implémentation de l'inductance RF en technologie CMOS est relativement sensible. Ceci est dû aux effets néfastes des parasites introduit par ce composant ainsi que la taille importante occupée par son lay-out (Dessin physique). La figure (I-8 (a)) illustre le lay-out de l'inductance utilisée dans notre implémentation. C'est une inductance ayant quatre paramètres, à savoir, la largeur de la piste W , l'espacement entre deux pistes métalliques adjacentes S , le nombre de tours N et le rayon intérieur de l'inductance R . M5 et M6 sont respectivement le cinquième et le sixième niveau de métallisation

Le schéma équivalent du modèle électrique de l'inductance RF est présenté dans la figure. I.9 (b)

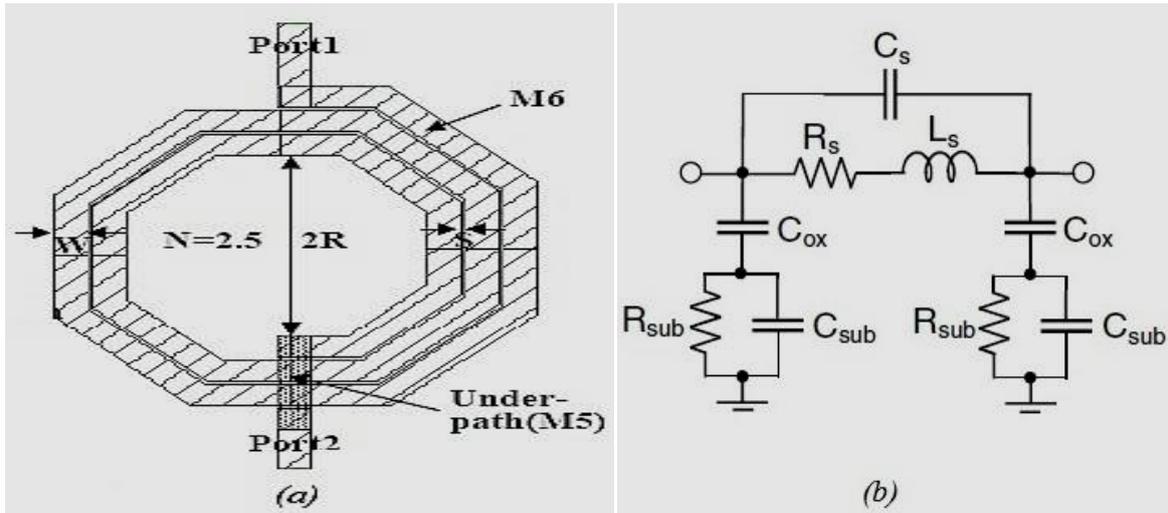


Figure. I. 8. Inductance standard en technologie CMOS, (a) vue de dessus du masque (Layout), (b) modèle électrique équivalent (Layout), (b) modèle électrique équivalent

La conception de l'inductance en technologie CMOS implique l'établissement des paramètres géométriques mentionnés précédemment. À partir des valeurs de l'inductance L et de son facteur de qualité Q_L , qui sont déduits à partir de la conception. Ces deux caractéristiques L et Q_L peuvent être représentées en fonction des paramètres de répartition S_{ij} ou des impédances Z_{ij} par :

$$L = \Im(Z_{1_port}) / 2\pi f \quad (\text{I.16})$$

$$Q_L = \Im(Z_{1_port}) / \Re(Z_{1_port}) \quad (\text{I.17})$$

Avec :

- $Z_{1_port} = Z_0 \frac{1+S_{11}}{1-S_{11}}$ (le deuxième port de l'inductance est relié à la masse) ;
- $Z_{1_port} = Z_0 \frac{2S_{11}}{1-S_{11}}$ (l'inductance est montée en série) ;

I.7. Méthodes de conception d'un LNA

La méthodologie de conception de LNA représente le processus de mise en œuvre d'amplificateur à faible bruit. Les principales étapes de la conception peuvent être structurées tel que représente sur l'organigramme de la figure. I.9. [7].

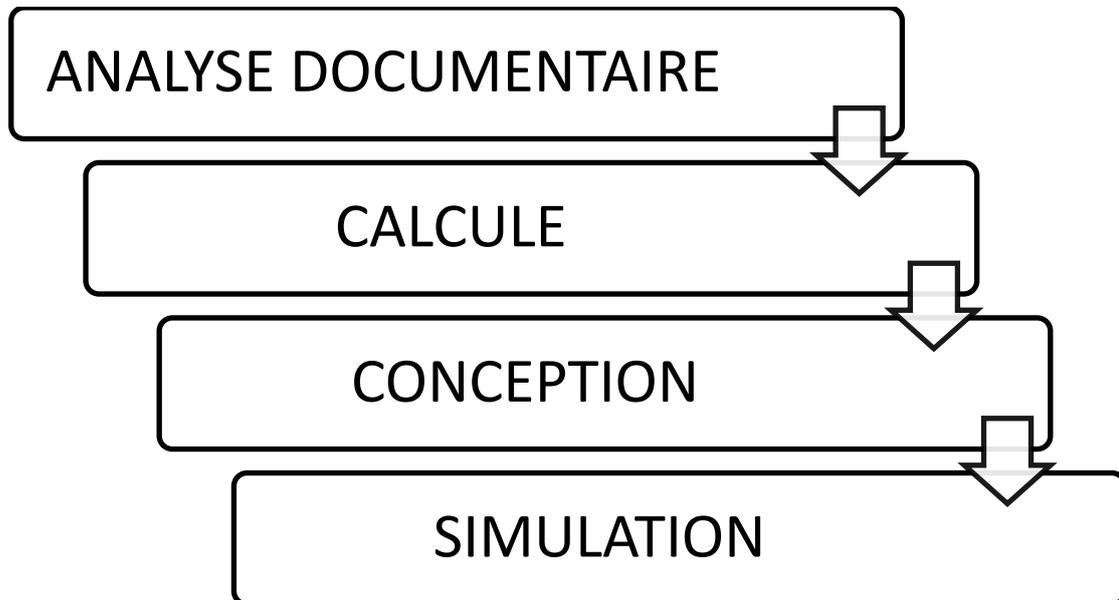


Figure. I. 9. Organigramme des étapes de conception du circuit

I.7.1. Analyse documentaire

Une étude de l'état de l'art sur le circuit à concevoir est indispensable afin d'établir le cahier charge de conception. Aussi, il est essentiel de comprendre les sujets connexes de la conception de la polarisation, la stabilisation du circuit, l'optimisation du bruit, l'optimisation de la linéarité, l'optimisation de la consommation de puissance, les paramètres de répartition S_{ij} et la caractérisation complète du circuit.

I.7.2. Les calculs

Toutes les composantes seront calculées et sélectionnées à l'aide d'une analyse théorique.

I.7.3 Conception et simulation

Les différents paramètres l'amplificateur à faible bruit calculés peuvent être simulés en utilisant un logiciel de simulation. Ainsi, Les performances du LNA à savoir le gain en tension et celui en puissance, le facteur de bruit, la puissance consommée, les paramètres S_{ij} , peuvent être obtenues à l'issus de la simulation.

I.8. Conclusion

Les représentations géométriques ainsi que les caractéristiques physiques des principaux composants actifs et passifs en technologie CMOS, à savoir le transistor, l'inductance, la capacité et la résistance, ont été présentées dans ce chapitre. Ces composants constituent les éléments de base pour la conception d'un circuit RF. En outre, des explications concernant les outils et les méthodologies de conception de circuits intégrés ont également été fournies. L'objectif de ce mémoire étant la conception d'un amplificateur faible bruit (LNA) intégré, le prochain chapitre sera donc consacré à la présentation des principales topologies fondamentales d'amplificateurs à transistors FET.

Chapitre II

Analyse d'amplificateur à faible bruit LNA

II.1. Introduction

Dans ce chapitre nous allons présenter les différentes architectures d'amplificateur faible bruit. Les quatre architectures fondamentales de conception de LNA, et ce, quelle que soit la technologie employée, sont :

- Amplificateur à terminaison résistive.
- Amplificateur à contre-réaction résistive.
- Amplificateur à terminaison en $1/g_m$.
- Amplificateur à dégénérescence inductive.

Chaque topologie a des avantages et des inconvénients relativement différents comparativement à ceux des autres topologies. Le choix de la topologie est dépend du cahier de charge fixé par le client ou établies sous exigences de l'état de l'art.

Pour la conception de LNA, nous avons opté pour la topologie à dégénérescence inductive (IDLNA : inductive Degeneration LNA). La technique adaptée pour analyser l'IDLNA est celle de l'optimisation de puissance sous contrainte de bruit (PCNO : power constraint noise optimisation).

II.2. Topologie de bases

Chaque topologie ou architectures de base d'amplificateurs à faible bruit, dédiées aux applications Radio Fréquences (RF), est caractérisée par des performances relativement différentes. L'adaptation d'impédance dans la plage de fréquence de travail du LNA, joue un rôle essentiel dans le processus de conception du LNA afin de garantir un gain élevé. En termes de bruit du LNA, minimiser ce dernier est indispensable pour éviter toute perturbation du signal de faible amplitude en provenance de l'antenne. Il existe principalement quatre topologies d'amplificateur qui sont [8]:

II.2.1. Amplificateur à terminaison résistive

Cette architecture à terminaison résistive réalise son adaptation d'impédance d'entrée, généralement à 50Ω , par l'intermédiaire d'une résistance comme l'illustre la figure (II. 1)

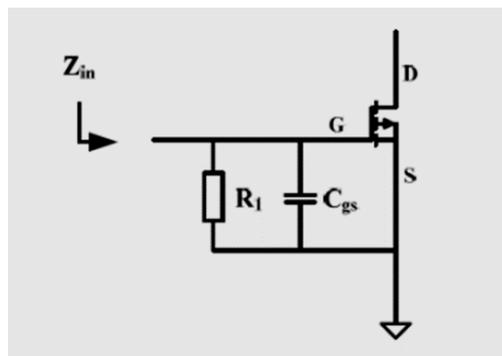


Figure. II. 1. Amplificateur à terminaison résistive [8]

Dans le cas de l'utilisation des transistors MOS, il est alors nécessaire de travailler à des fréquences telles que la capacité grille-source C_{gs} ait une influence négligeable. L'utilisation de cette topologie est donc limitée vis-à-vis de la fréquence de fonctionnement. D'autre part, les performances en bruit de cette topologie sont plutôt mauvaises due à la résistance R qui représente une source de bruit thermique.

II.2.2. Amplificateur à contre-réaction résistive

La figure (II-2) illustre la configuration d'un amplificateur à faible bruit avec rétroaction résistive. Semblable au LNA à terminaison résistive, cet amplificateur intègre une rétroaction résistive avec une impédance résistive, désignée par R_F et R_L , formant la boucle de rétroaction. Cette conception particulière présente néanmoins des inconvénients importants en termes de facteur de bruit. Plus précisément, cet amplificateur est généralement conçu sur une large bande de fréquence englobe le bruit sur une large plage de fréquences.

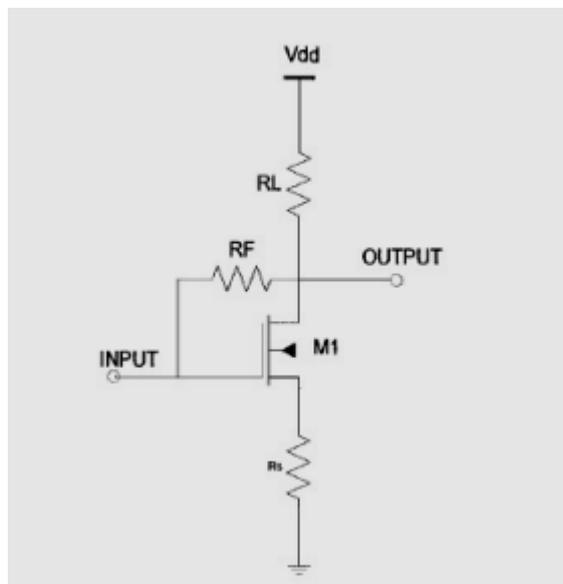


Figure. II. 2.LNA à contre-réaction résistive [8]

Ce type d'amplificateur est bruyant. Le facteur de bruit de cette topologie peut atteindre les 7.5 dB. D'autre part, le gain large bande s'accompagne d'une consommation importante, dépassant largement les 10 mW, ne permettent pas à cette architecture de répondre aux attentes de faible consommation liées aux circuits intégrés [8].

II.2.3. Amplificateur à terminaison en $1/g_m$

C'est la topologie la mieux adaptée à l'intégration car l'adaptation d'impédance d'entrée est réalisée par l'intermédiaire de la transconductance du premier étage. C'est-à-dire une adaptation d'impédance d'entrée non résistive assurant l'absence d'une source de bruit thermique, la figure II. 3 illustre la topologie d'amplificateur à terminaison en $1/g_m$.

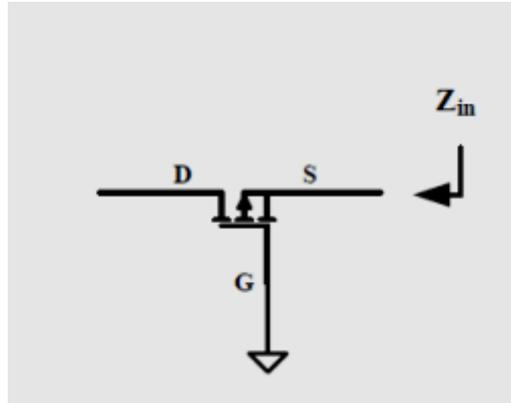


Figure. II. 3. Amplificateur à terminaison en $1/g_m$ [8]

Généralement l'impédance d'entrée est de 50Ω ce qui donne par :

$$Z_{in} = \frac{1}{g_m} = 50\Omega$$

II.2.4. Amplificateur à dégénérescence inductive

L'architecture de ce type d'amplificateur est présentée à la figure. II. 4, c'est la topologie la plus étudiée et la plus performante des LNA en termes de facteur de bruit réduit. L'adaptation d'impédance réalisée par l'intermédiaire de l'inductance à dégénérescence L_s permettant d'avoir une partie réelle de Z_{in} , dont la partie imaginaire de Z_{in} peut être annulée par l'utilisation de l'inductance L_g . L'impédance d'entrée Z_{in} est égale à :

$$Z_{in} = \frac{g_m L_s}{C_{gs}} + (L_s + L_g)\omega - \frac{j}{C_{gs}\omega} \quad (\text{II.1})$$

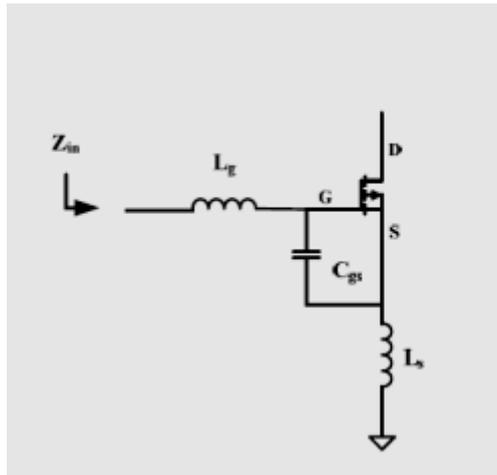


Figure. II. 4.LNA à dégénérescence inductive [8]

Cette topologie est en plein essor depuis le début des années 2000 du fait de l'amélioration de la qualité des inductances et de la possibilité de leur intégration avec l'apparition de nouvelles technologies. Ce type d'amplificateur est intéressant car il est possible d'obtenir un facteur de bruit inférieur à 3 dB.

L'utilisation d'un LNA à dégénérescence inductive permet d'atteindre des niveaux de performances satisfaisants, notamment dans le cadre d'applications caractérisées par une basse tension et une faible consommation d'énergie. Néanmoins, l'intégration des inducteurs dans les circuits entraîne une augmentation considérable de la taille, ce qui entraîne des coûts élevés et impose une contrainte à la conception architecturale globale.

II.3. La technique d'optimisation de bruit sous contrainte de puissance (PCNO)

II.3.1. Développement de la PCNO

Depuis les années 1990, la technique PCNO a été largement utilisée comme une méthode d'analyse qui permet de déterminer, pour une puissance de consommation limitée et un bruit optimum, une taille optimale du transistor. En 1997 D. K Shaeffer et T H Lee [12] ont exploité cette technique de PCNO pour optimiser les performances d'IDLNA [2], à savoir l'augmentation du gain de LNA et la minimisation de son bruit (noise figure), ce qui permet d'améliorer le niveau du signal reçu par l'antenne tout en préservant sa qualité.

II.3.1.1. Calcul du facteur de bruit de la topologie à dégénérescence inductive :

La figure (II- 5) représente le montage de la topologie à dégénérescence inductive les sources de bruit associées aux composants R_s , L_g et L_s .

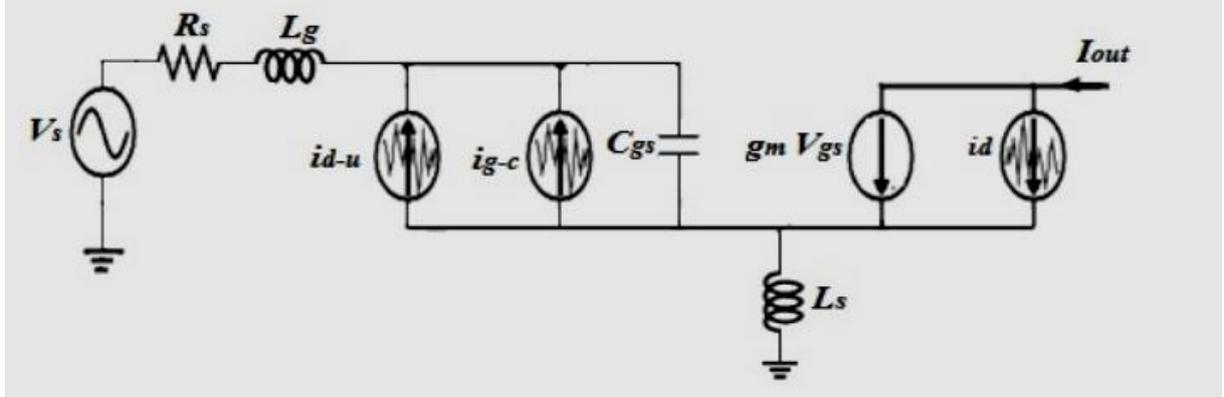


Figure. II. 5. Modèle de bruit de la topologie à dégénérescence inductive

L'objectif est de déterminer le facteur de bruit F de ce montage, il faut d'abord établir les expressions de tension et du courant de la sortie :

$$V_s = V_1 + V_{gs} + V_{L_s} = i_{in}(R_s + j\omega L_g) + \left(\frac{i_{out} - i_d}{g_m}\right) + j\omega L_s(i_{in} + i_{out})$$

$$V_s = \left(\frac{i_{out} - i_d}{g_m}\right) + [j\omega C_{gs} \left(\frac{i_{out} - i_d}{g_m}\right) (R_s + j\omega L_g + L_s) - (R_s + j\omega(L_g + L_s)) \cdot i_g] + j\omega L_s \cdot i_{out} \quad (\text{II.2})$$

$$i_{out} = \frac{V_s + (R_s + j\omega(L_g + L_s)) i_g + \left[\frac{1}{g_m} + \frac{j\omega C_{gs}}{g_m} * (R_s + j\omega(L_g + L_s))\right] i_d}{\left[\frac{1}{g_m} + \frac{j\omega C_{gs}}{g_m} * (R_s + j\omega(L_g + L_s))\right] + j\omega L_s}$$

Sous la condition d'adaptation d'impédance en entrée : $\frac{g_m L_s}{C_{gs}} = R_s$ et $(L_g + L_s) \omega = \frac{1}{\omega C_{gs}}$

L'expression de courant i_{out} et le facteur de bruit F [9] peuvent s'exprimer comme suit :

$$i_{out} = \frac{V_s + \left[\frac{R_s j\omega C_{gs}}{g_m}\right] i_d + \left(R_s + \left(\frac{j}{\omega C_{gs}}\right)\right) i_g}{\frac{R_s j\omega C_{gs}}{g_m} + j\omega L_s} \quad (\text{II.3})$$

$$F = \frac{i_{out}^2 \{all-sources\}}{i_{out}^2 \{R_s-only-sources\}} \quad (II.4)$$

F

$$= \frac{V_s + \left[\frac{R_s j \omega C_{gs}}{g_m} \right] i_d + \left(R_s + \left(\frac{j}{\omega C_{gs} R_s} \right) \right) i_g * \left[v_s + \left[\frac{R_s j \omega C_{gs}}{g_m} \right] i_d + \left(R_s + \left(\frac{j}{\omega C_{gs} R_s} \right) \right) i_g \right]^*}{V_s * V_s^*}$$

$$F = 1 + \frac{1}{Q_s^2 g_m^2 V_s^2} i_d^2 + R_s^2 * (1 + Q_s^2) \frac{i_g^2}{V_s^2} + \left[\frac{j}{Q_s g_m} \right] \cdot R_s * (1 - j Q_s) \cdot \frac{i_g \cdot i_d}{V_s^2} - \left[\frac{j}{Q_s g_m} \right] \cdot R_s * (1 + j Q_s) \cdot \frac{i_g \cdot i_d^*}{V_s^2}$$

Ou:

- $Q_s = \frac{1}{\omega C_{gs} R_s}$ est le facteur de qualité du circuit
- $C_{gs} = \frac{2}{3} C_{ox} * W * L$
- $i_g \cdot i_d^* = |C| \sqrt{i_g^2 \cdot i_d^2}$
- $i_d^2 = 4kT \gamma g_{d0} \Delta f$ et $i_g^2 = 4kT \delta \frac{\omega^2 C_{gs}^2}{5g_{d0}} \Delta f$

$$F = 1 + \frac{1}{Q_s^2 g_m^2} \frac{\gamma g_{d0}}{R_s} + R_s^2 (1 + Q_s^2) * \frac{4kT \delta \omega^2 C_{gs}^2}{5g_{d0}} * \frac{1}{4kT R_s} + \frac{2|C|R_s}{Q_s g_m} * \sqrt{\frac{4kT \delta \omega^2 C_{gs}^2}{5g_{d0}} 4kT g_{d0}} * \frac{1}{4kT R_s}$$

Après le développement, l'expression de facteur de bruit F devient :

$$F = 1 + \frac{1}{Q_s} \frac{\gamma}{\alpha} \chi \left(\frac{\omega_0}{\omega_T} \right) \quad (II.5)$$

Avec :

- $\chi = 1 + \frac{\delta \alpha^2}{5\gamma} (1 + Q_s^2) + 2|c| Q_s \sqrt{\frac{\delta \alpha^2}{5\gamma}}$
- $\alpha = \left(\frac{1 + (\rho/2)}{(1 + \rho^2)} \right)$
- $\rho = \frac{V_{gs} - V_t}{L E_{sat}}$
- E_{sat} est le champ de saturation en (V/m)

- $\omega_T = \frac{g_m}{C_{gs}}$ est la pulsation de transition
- ω_0 la pulsation du travail
- γ et $|c|$ sont les paramètres du modèle du transistor CMOS

Le courant de drain du transistor, à canal court, en saturation peut être décrit comme suit :

$$I_D = v_{sat} C_{ox} W L E_{sat} \frac{\rho^2}{\rho+1} \quad (\text{II.6})$$

Avec :

- $C_{ox} = \frac{3}{2R_S Q_S \omega W L}$;
- $\rho = \frac{(V_{gs} - V_T)}{L E_{sat}}$.

Où v_{sat} , C_{ox} , W , L , E_{sat} , V_{gs} , V_T et μ_n sont respectivement, la vitesse de saturation en (m/s), la capacité surfacique d'oxyde de grille en (F/m²), la largeur et la longueur de grille du transistor MOS en (m), le champ électrique de saturation en (V/m), la tension de polarisation en (V), la tension de seuil en (V) et la mobilité des électrons en (m²/V.S).

La puissance consommée P_{cons} en (W) s'écrira comme:

$$P_{cons} = V_{DD} I_D$$

$$P_{cons} = V_{DD} v_{sat} C_{ox} W L E_{sat} \frac{\rho^2}{\rho+1} \quad (\text{II.7})$$

On remplace l'expression de C_{ox} dans (II.7) on trouve :

$$P_{cons} = \frac{3}{2} V_{DD} \frac{1}{R_S Q_S \omega} v_{sat} E_{sat} \frac{\rho^2}{\rho+1} \quad (\text{II.8})$$

Où V_{DD} est la tension d'alimentation du circuit.

On peut exprimer le facteur de qualité en entrée Q_s en fonction de V_{gs} et de P_{cons} comme suit [5] :

$$Q_s = \frac{P_0}{P_{cons}} \left(\frac{\rho^2}{\rho+1} \right) \quad (\text{II.9})$$

Avec : $P_0 = \frac{3}{2} \frac{\alpha V_{DD} V_{sat} E_{sat}}{\omega_0 R_s}$;

D'après [9] :

$$\omega_T = \frac{3\alpha v_{sat} \rho}{L} \quad (\text{II.10})$$

On remplace l'expression de ω_T et Q_s et α dans (II.5) l'expression de facteur de bruit devient :

$$F = 1 + \frac{\chi}{\frac{P_0}{P_{cons}} \left(\frac{\rho^2}{\rho+1} \right)} \frac{\gamma}{\left(\frac{1+(\rho/2)}{(1+\rho^2)} \right)^2} \left(\frac{\omega_0}{\frac{3v_{sat}\rho}{L}} \right) \quad (\text{II.11})$$

On suppose que $\rho \ll 1$, l'expression de facteur de qualité Q_s devient :

$$Q_s = \frac{P_0}{P_{cons}} \rho^2 \quad (\text{II.12})$$

Donc :

$$\rho = \sqrt{\frac{P_{cons} Q_s}{P_0}} \quad (\text{II.13})$$

On le remplace (II.13) dans (II-11), on obtient [5] :

$$F = 1 + \left(\frac{\gamma \omega_0 L}{3v_{sat}} \right) \frac{\left\{ \left(\frac{P_{cons}}{P_0} \right) \left[1 + \left(\frac{\delta}{5\gamma} \right) \right] + 2|c| \left(\frac{P_{cons} Q_s}{P_0} \right) \sqrt{\left(\frac{\delta}{5\gamma} \right) + \left(\frac{P_0}{P_{cons}} \right) \left(\frac{\delta}{5\gamma} \right) \left(\frac{P_{cons} Q_s}{P_0} \right)^2} \right\}}{\left(\frac{P_{cons} Q_s}{P_0} \right) \sqrt{\left(\frac{P_{cons} Q_s}{P_0} \right)}} \quad (\text{II.14})$$

II.4. Conclusion :

Comme nous avons vu au cours de ce chapitre, il existe plusieurs architectures de base pour la conception de LNA. Le choix de la topologie à dégénérescence inductive a été motivé par le fait que cette topologie présente un bon compromis entre les principales performances de LNA à savoir la faible consommation de puissance, le minimum de bruit ainsi que la bonne adaptation en impédance en entrée du LNA. La méthode d'analyse PCNO (Power-Constrained Noise optimization) optée pour cette conception permet d'obtenir un compromis optimal entre un minimum de bruit et une faible consommation de puissance par l'amplificateur.

Chapitre III

Un IDLNA (Inductive Degenerated Low Noise Amplifier) est un type d'amplificateur à faible bruit utilisé principalement dans les récepteurs RF (radiofréquence) pour amplifier les signaux faibles en provenance de l'antenne, et ce, avec un bruit minimal. Dans un tel circuit, le transistor M_1 est une source commune tandis que le transistor cascode M_2 est monté grille commune (GC) afin de réduire la capacité de Miller entre la grille et le drain de M_1 , ce qui permet d'isoler la sortie du LNA de son entrée en améliorant ainsi la stabilité d'amplificateur.

L'expression de l'impédance d'entrée Z_{in} de l'étage principal de l'amplificateur à faible bruit (LNA) s'écrit comme suit :

$$Z_{in} = j\omega(L_S + L_G) + \frac{1}{j\omega C_{GS1}} + \frac{g_m L_S}{C_{GS1}} \quad \text{(III.1)}$$

III.2.1. Conception des transistors M_1 , M_2 et M_3

Le tableau III-1 résume les valeurs des différents paramètres technologiques associés au transistor CMOS utilisé dans la technologie TSMC CMOS 0.18 μm .

Paramètres	Valeurs
L_{eff} (μm)	0.16
R_S (Ω)	50
f_0 (GHz)	2.4
V_{dd} (V) pour M_1	0.9
V_T (V)	0.48
γ	2
δ	4
$ c $	0.395
V_{sat} ($\times 10^5 \text{m/s}$)	0.84
E_{sat} (MV/m)	3.66
P_0 (W)	0.44

Tableau.III. 1. Paramètres de la technologie TSMC

Ce tableau nous aide à tracer les contours de facteur de bruit NF (dB) en fonction de facteur de qualité d'entrée Q_S pour différentes valeurs de puissance de consommation (P_{cons}) du LNA.

À l'aide d'un programme développé sous MATLAB, les contours de NF en fonction de Q_S pour différentes valeurs de P_{cons} ont été tracés (Figure III.2) en insérant les paramètres de tableau III.1 dans l'équation (II.14).

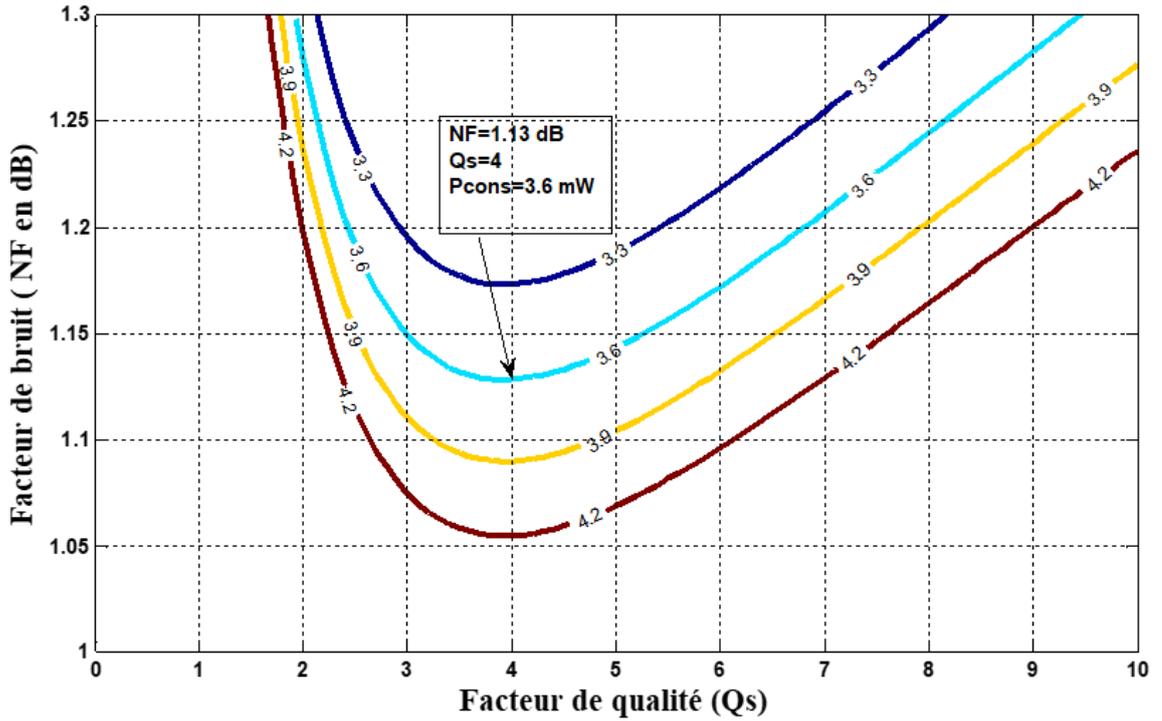


Figure. III. 2. Contours de NF en fonction de Q_S pour différentes valeurs de P_{CONS}

Il est bien claire d'après les courbes dans la figure III.2, qu'une valeur minimale de NF est obtenue pour un $Q_S \approx 4$, et ce, pour les différentes valeurs de P_{cons} . Dans le but d'obtenir un bon compromis entre un faible facteur de bruit et une faible consommation de puissance, tout en tenant compte de l'application à bande étroite de notre circuit, nous avons choisi le point fixé sur la figure III.2 correspondant à un $NF=1.13$ dB, un $Q_S=4$ et une $P_{cons}=3.6$ mW, autrement dit, un courant de drain de M_1 $I_{D_{M1}} = 4\text{mA}$.

La largeur du transistor M_1 , qui sert de composant principal de l'IDLNA, peut être déterminée à l'aide de l'expression [9]

$$W_1 = \frac{1}{C_{ox}R_sQ_s\omega 2L} = 362 \mu\text{m}$$

Avec $C_{ox} = \frac{\epsilon_{ox}}{t_{ox}} = 8.58 \text{ F}/\mu\text{m}^2$ où ϵ_{ox} et t_{ox} sont la permittivité relative et l'épaisseur d'oxyde du transistor MOS, $R_s = 50 \Omega$, $L = 0.16 \mu\text{m}$ (L ou L_{eff} est la longueur effective du canal de conduction du transistor MOS)

On utilisant l'équation (II.13) pour calculer la valeur de ρ qui nous permet de déduire celle de la transconductance g_{m1} de M_1 comme suit :

$$\rho = \sqrt{\frac{Q_s P_{cons}}{P_0}} = 0.175$$

$$g_{m1} = \frac{\partial I_D}{\partial \rho} \frac{\partial \rho}{\partial V_{gs}} = \mu_n C_{ox} W_1 E_{sat} \rho \left(\frac{1 + (\rho/2)}{(1 + \rho^2)} \right) = 0.072 \text{ S}$$

La valeur de la tension V_{gs1} du transistor M_1 est obtenue à partir de l'expression de ρ :

$$V_{gs1} = \rho L E_{sat} + V_T = 0.57 \text{ V}$$

Le transistor cascode M_2 de l'amplificateur joue un rôle crucial dans l'amélioration de la stabilité du circuit. En effet, ce transistor M_2 réduit la capacité Miller présentée en entrée du transistor M_1 ce qui permet d'isoler l'entrée du LNA de sa sortie.

Dans la structure complète d'IDLNA de la figure III.1, le drain et la grille de M_2 sont connectés à $V_{dd}=1.8\text{V}$, étant donné que la tension de drain de M_1 est fixée à 0.9 V (voir tableau III.1), la valeur de la tension V_{gs2} est obtenue comme suivant :

$$V_{gs2} = V_{g2} - V_{d1} = 0.9 \text{ V}$$

Avec : $V_{d1} = V_{s2}$

On a choisi une transconductance g_{m2} équivalente à celle du transistor M_1 (g_{m1}), donc la largeur de transistor M_2 peut être calculée comme suit :

$$W_2 = \frac{g_{m2}}{\mu_n C_{ox} E_{sat} \rho \alpha} = 87.5 \mu\text{m}$$

Avec : $\alpha = \left(\frac{1 + (\rho/2)}{(1 + \rho^2)} \right)$

Pour la conception du circuit de polarisation de la grille du transistor M_1 (V_{gs1}), nous avons choisi d'utiliser le circuit du miroir de courant de la figure. III.3. Les miroirs de courants sont utilisés dans les circuits intégrés analogiques comme des éléments de polarisation et comme des dispositifs de charge pour les étages de l'amplificateur.

L'usage des miroirs de courants en polarisation peut avoir pour résultat l'insensibilité des performances du circuit aux variations de l'alimentation et de la température. Les miroirs de courants occupent moins d'espace que les résistances lorsque la région du die exigée pour fournir le courant de polarisation est petite [12].

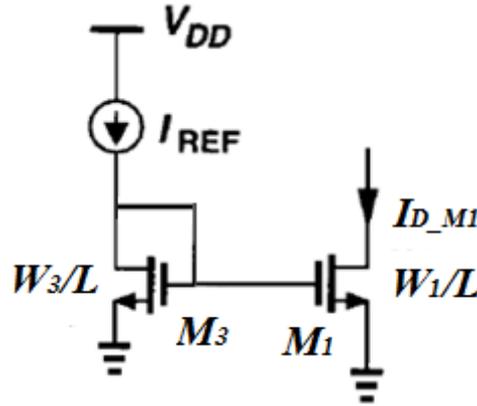


Figure. III. 3.Structure basique du miroir de courant

En négligeant l'effet de la modulation de la longueur du canal dans les deux transistors M_1 et M_3 , le rapport I_{D_M1}/I_{ref} [7] peut s'écrire comme :

$$\frac{I_{D_M1}}{I_{ref}} = \left(\frac{\mu_n C_{ox}}{\mu_n C_{ox}} \right) \left(\frac{(W/L)_1}{(W/L)_3} \right) \left(\frac{V_{gs1} - V_T}{V_{gs1} - V_T} \right)^2 \quad \text{III.2}$$

Comme V_T , C_{ox} et μ_n sont identique pour les deux transistors, le rapport devient :

$$\frac{I_{D_M1}}{I_{ref}} = \frac{(W/L)_1}{(W/L)_3} \quad \text{III.3}$$

Dans le but de réduire au minimum la consommation de miroir de courant, nous avons choisi une largeur de la grille $W_3 = W_1/95$, ce qui entraîne un courant $I_{ref} = \frac{I_{D_M1}}{95} = \frac{4mA}{95} \approx 42 \mu A$.

III.2.2. Conception des inductances L_s et L_g

Les inductances L_s et L_g jouent des rôles essentiels dans la performance globale d'IDLNA, ces dernières permettent une meilleure gestion de l'impédance d'entrée, ce qui est essentiel pour l'amélioration du gain et pour l'optimisation du facteur de bruit de l'amplificateur.

À partir des conditions d'adaptation d'impédance en entrée, d'où la partie réelle de Z_{in} égale à l'impédance de source R_s ($Re(Z_{in}) = R_s$) et la partie imaginaire de Z_{in} est nulle ($Imag(Z_{in}) = 0$), les inductances L_s et L_g sont calculées comme suit :

$$L_s = \frac{R_s C_{gs1}}{g_m} = 0.23 \text{ nH}$$

$$L_g = \frac{1}{C_{gs1} \omega_0^2} - L_s = 13.03 \text{ nH}$$

avec :

- $R_s = 50 \Omega$;
- ω_0 est la pulsation à la fréquence de travail $f_0 = 2.4 \text{ GHz}$;
- $C_{gs1} = \frac{2}{3} W_1 L C_{ox} = 0.37 \text{ pF}$.

Si on veut réduire la valeur de L_g , on ajoute une capacité externe (C_{ex}) entre la grille et la source du transistor M_1 , les expressions de L_s et de L_g devient donc :

$$L_s = \frac{R_s(C_{gs1} + C_{ex})}{g_m}$$

$$L_g = \frac{1}{(C_{gs1} + C_{ex})\omega_0^2} - L_s$$

III.2.3. Conception des résistances R_{ref} et R_{bias}

Pour calculer la valeur de R_{ref} , on utilise la formule suivante :

$$R_{ref} = \frac{V_{dd} - V_{gs1}}{I_{ref}} \approx 29 \text{ K}\Omega$$

Où : $V_{dd} = 1.8 \text{ V}$ et $I_{ref} = 42 \mu\text{A}$

Afin de maintenir les performances élevées de l'amplificateur à faible bruit sans compromettre ses caractéristiques de sensibilité et de gain, il faut choisir une valeur de la résistance R_{bias} plus grande que la résistance de source R_s , À la suite d'une évaluation approfondie des exigences du système et des spécifications des composants, une valeur R_{bias} de 15 $\text{K}\Omega$ a finalement été déterminée comme étant le choix le plus approprié pour atteindre les objectifs des performances souhaitées.

III.3. Simulation résultat

La première étape de la simulation du LNA consiste à simuler le LNA à dégénérescence inductive avec des inductances idéales, cela permet de vérifier les performances du circuit conçu initialement sur la base des inductances ayant des facteurs de qualité infinie.

Pour la simulation de LNA intégré nous avons utilisé la technologie CMOS 0.18 μm de TSMC, d'où le design kit (Libraire) de cette technologie a été installé sur le logiciel de simulation des systèmes électronique ADS (Advanced Design System 2009) comme l'indique la figure III-5.

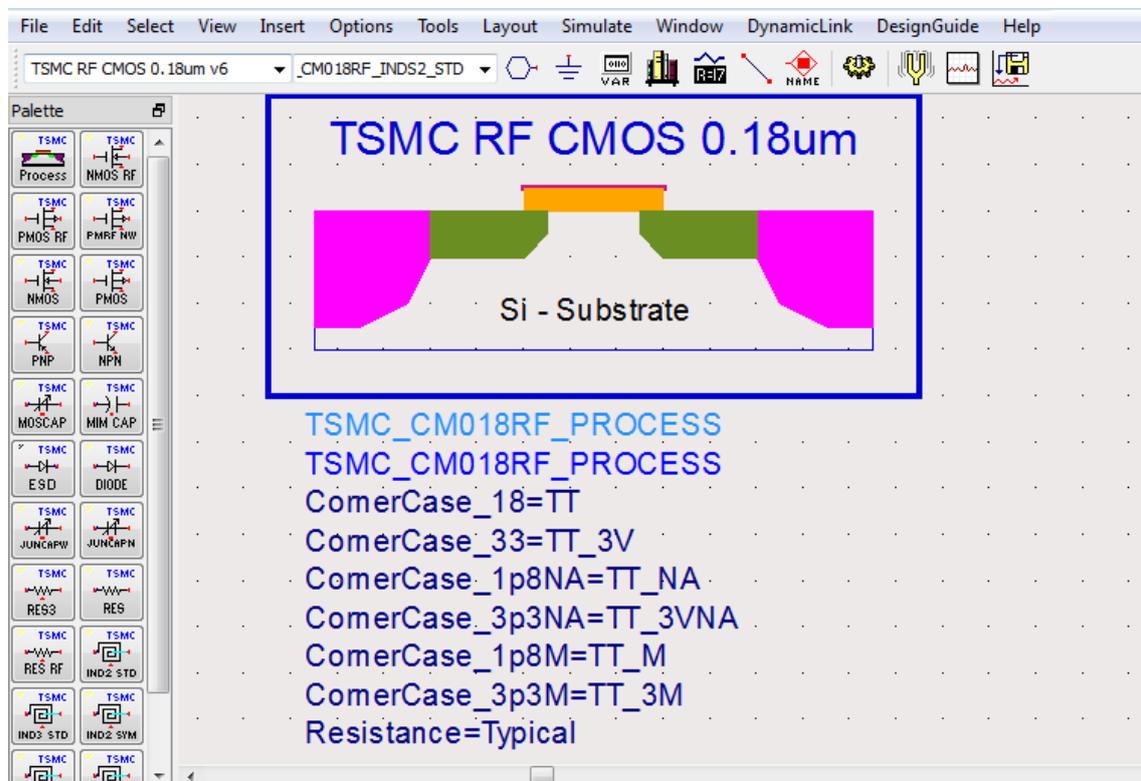


Figure. III. 4. Installation du design Kit TSMC RF CMOS μm_v6 sur le logiciel ADS

III.3.1. Objectifs de conception et optimisations des contraintes de LNA à dégénérescence inductives

En fonction des études précédentes sur l'amplificateur à faible bruit, les objectifs de conception du LNA est spécifié dans le tableau III.2.

Technologie	CMOS 0.18 μm
Fréquence	2.4 GHz
Facteur de bruit (NF)	< 2.5 dB
Le gain de puissance (S_{21})	> 10 dB
Perte de retour de sortie (S_{22})	< -10 dB
Perte de retour d'entrée (S_{11})	< -10 dB
Inverse l'isolation (S_{12})	< -10 dB
Impédance source (Z_0)	50 Ω
Puissance de consommation (P_{cons})	< 20 mW

Tableau.III. 2. Spécifications du LNA à concevoir

III.3.2. Amplificateur à faible bruit en technologie MOS 0.18 μm

Le schéma électrique d'IDLNA est montré dans Figure. III.5.

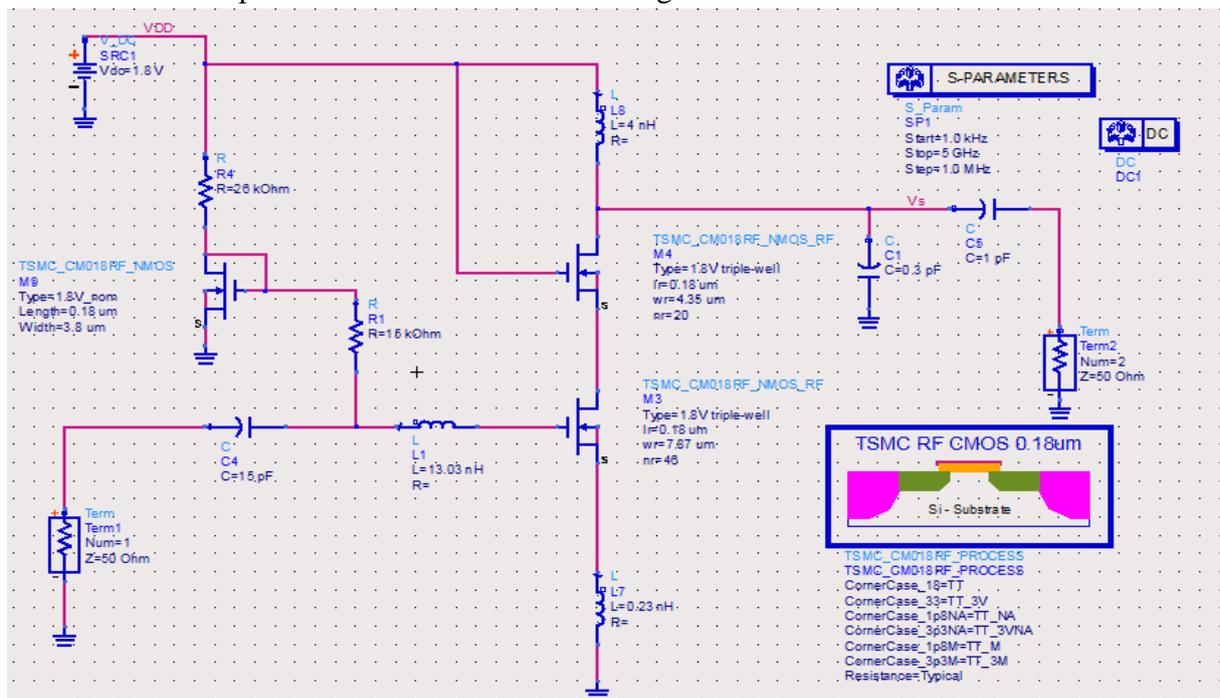


Figure. III. 5. Montage du LNA

III.3.3. Performances du LNA

Le tableau. III. 3 résume les performances du LNA conçu avec des inductances réelles.

Technologie	CMOS 0.18 μm
Fréquence	2.4 GHz
Facteur de bruit (NF)	1.35 dB
Le gain de puissance (S_{21})	18.46 dB
Perte de retour de sortie (S_{22})	-2.33 dB
Perte de retour d'entrée (S_{11})	-1.76 dB
Inverse l'isolation (S_{12})	-35 dB
$P_{\text{cons}} = I_d * V_{\text{dd}}$; (avec $V_{\text{dd}}=1.8 \text{ V}$)	9.4 mW

Tableau.III. 3.Résumé des Performances de LNA

On constate que le LNA est mal adapté en entrée ($S_{11}=-1.76\text{dB}$). Ce problème de désadaptations est dû à la capacité de Miller (c_m) ignorée dans les étapes de conception précédentes.

III.3.4. Estimations de la capacité Miller

La figure III-6 montre le schéma équivalent d'IDLNA cascode avec la capacité de Miller C_m .

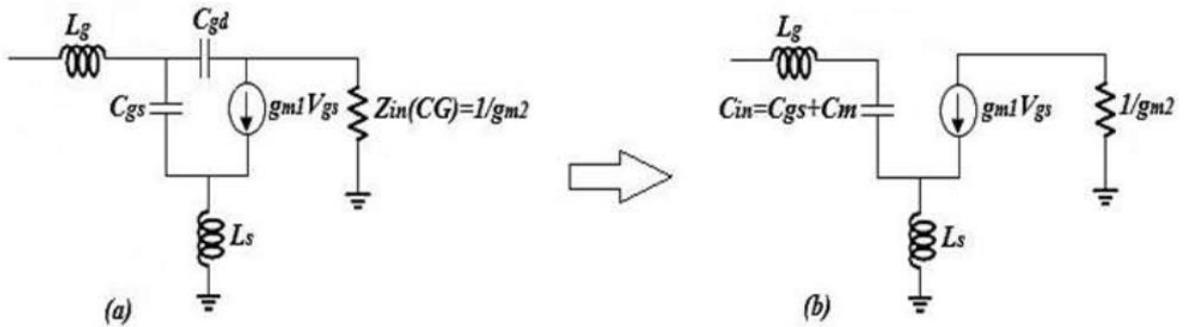


Figure. III. 6. Circuit équivalent d'IDLNA cascode petit signal (a) avec la capacité C_{gd} , (b)

$$c_m = c_{gd1}(1 - A_v) \quad \text{(III.2)}$$

$$c_{in} = c_{gs1} + c_m \quad \text{(III.3)}$$

Avec : $c_{gd1} = W_1 L_D c_{ox} = 0.031 \text{ pF}$, $L_D \approx 10 \text{ nm}$

- C_m la capacité Miller
- C_{in} la capacité d'entrée
- C_{gd1} la capacité entre le grill et le drain
- C_{gs1} la capacité entre le grill et la source
- A_v le gain en tension

Pour calculer la valeur de la capacité Miller, nous devons d'abord déterminer la valeur du gain en tension A_v . La Figure III-7 illustre le circuit de simulation de A_v .

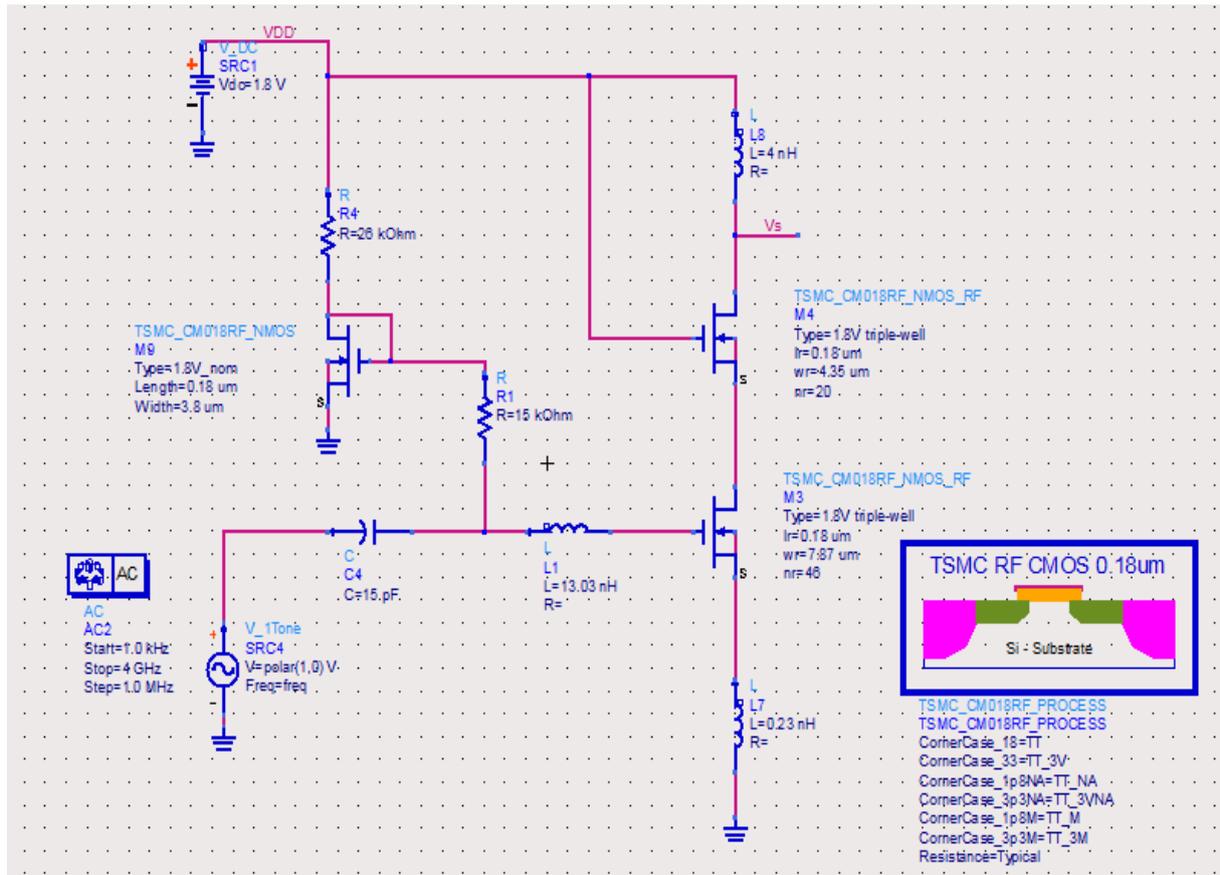


Figure. III. 7. Simulation du gain en tension

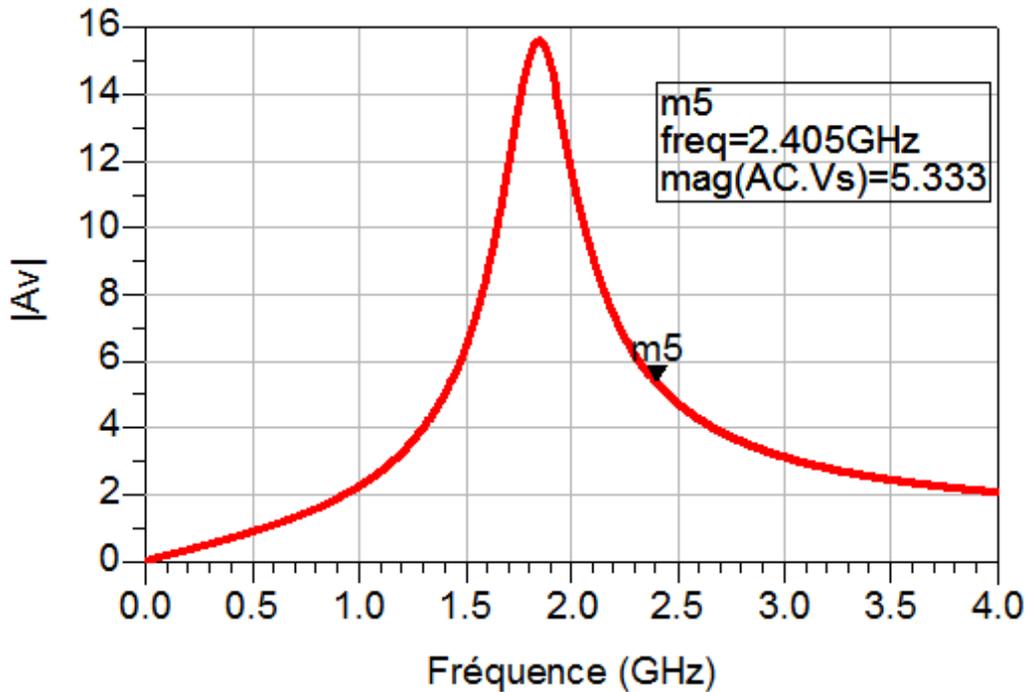


Figure. III. 8. Amplitude du gain en tension A_v

La valeur de $C_m = 0.21 \text{ pF}$ et celle de $C_{in} = 0,58 \text{ pF}$ ont été calculées en remplaçant, dans la relation (III.2), la valeur de $A_v = 5.75$ (Figure III-8) obtenue par une simulation du gain en tension A_v sur ADS (voir la figure III.7).

Pour cette valeur de C_{in} , de nouvelles valeurs de L_S et de L_g ont été obtenues en remplaçant C_{gs} par C_{in} dans les expressions suivantes :

$$L_S = \frac{R_S * C_{in}}{g_m} \approx 0.4 \text{ nH}$$

$$L_g = \frac{1}{C_{in}\omega_0^2} - L_S = 7.17 \text{ nH}$$

III.3.5. Performances du LNA avec la capacité de Miller

Les figures III-8, III-9, III-10, III-11 et III-12 illustrent les performances obtenues d'IDLNA après la considération de la capacité de Miller.

Nous constatons, d'après le tableau III -4 résumant les performances du LNA à la fréquence de travail, une amélioration des performances de l'amplificateur notamment pour les pertes de retour d'entrée $S_{11} = -14.8 \text{ dB}$ ainsi que pour facteur de bruit $NF = 0.84 \text{ dB}$.

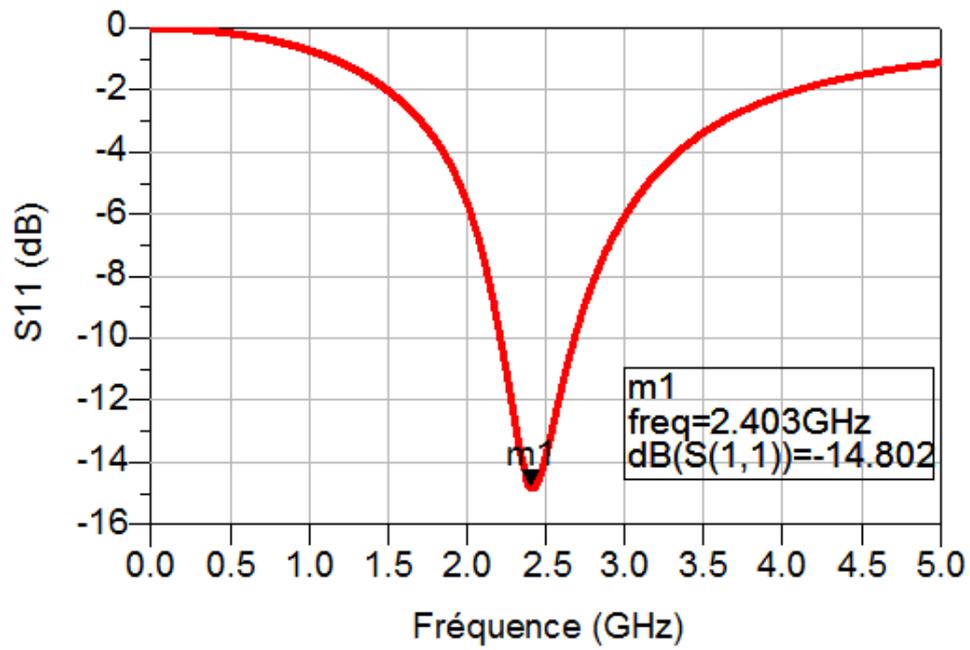


Figure. III. 9. Paramètre S_{11}

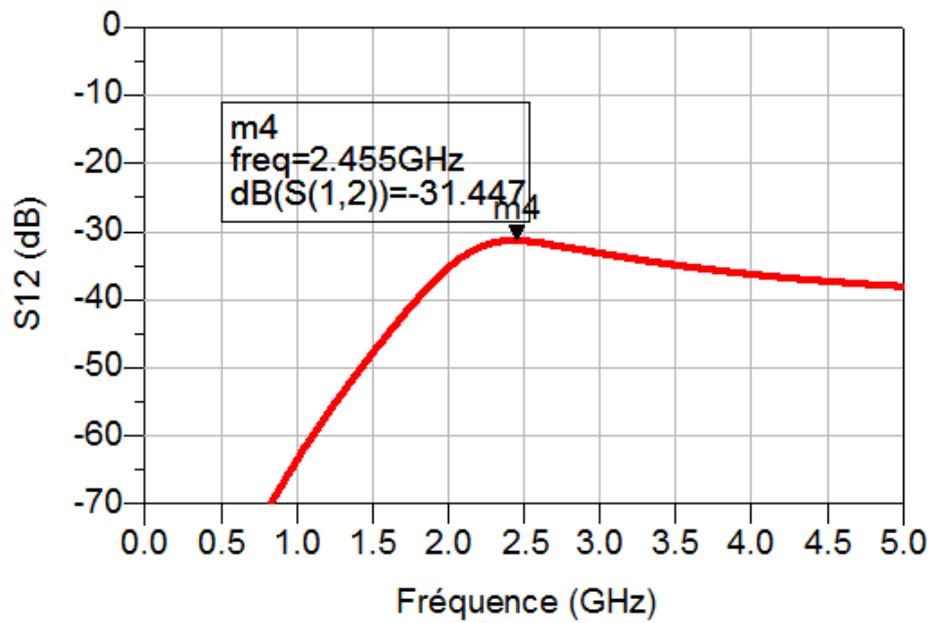


Figure. III. 10. Paramètre S_{12}

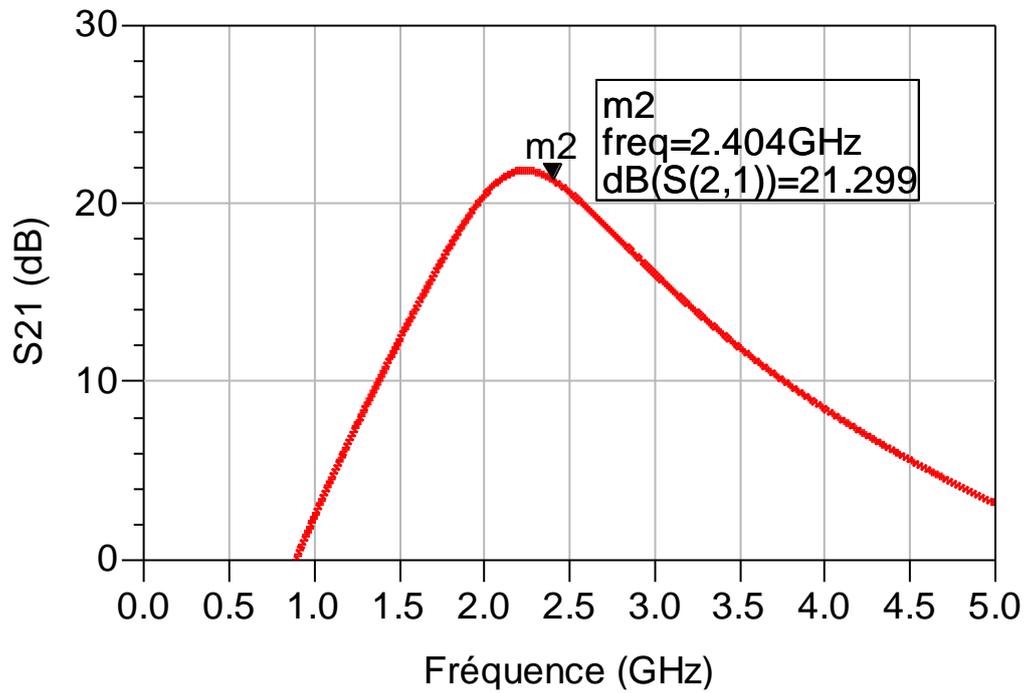


Figure. III. 11. Paramètre S_{21}

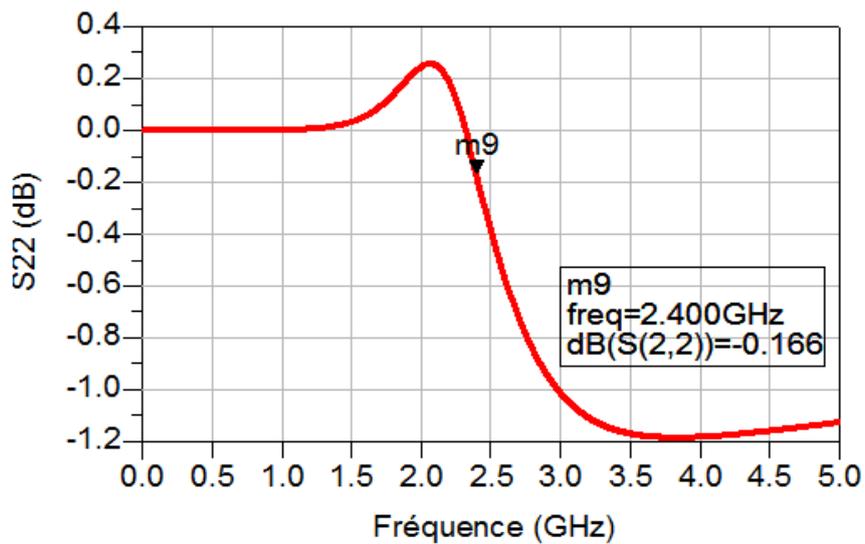


Figure. III. 12. Paramètre S_{22}

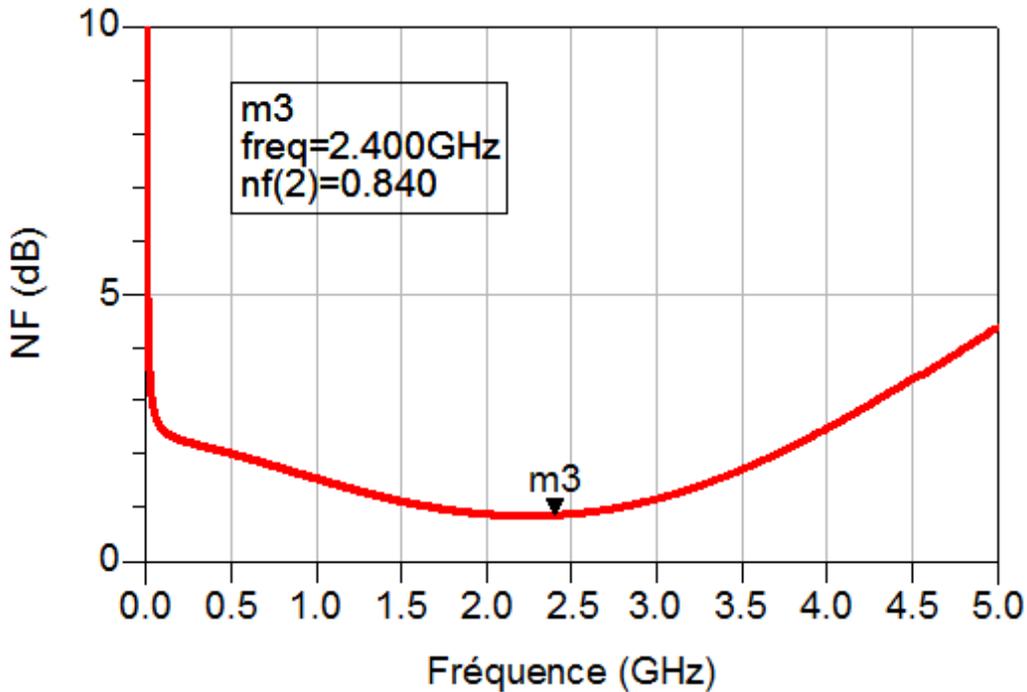


Figure. III. 13. Paramètre NF

Technologie	CMOS 0.18 μm
Fréquence	2.4 GHz
Facteur de bruit (NF)	0.84 dB
Le gain de puissance (S_{21})	21.3 dB
Perte de retour de sortie (S_{22})	-0.016 dB
Perte de retour d'entrée (S_{11})	-14.8 dB
Inverse l'isolation (S_{12})	-31.5 dB
P_{cons} (mW)	9.4 mW

Tableau.III. 4. Performances du LNA avec la capacité de Miller

III.3.6. Amplificateur IDLNA avec des inductances MOS

La première étape de la simulation du LNA avec des inductances MOS spirales consiste à déterminer leurs dimensions.

Comme montré sur la figure I-8 (a), les dimensions physiques d'inductance MOS sont le nombre de tours (N), le rayon (rad) et la largeur du ruban W. Les bonnes dimensions physiques de l'inductance MOS (L_{MOS}) permettant d'obtenir une valeur de L_{MOS} en basses fréquences quasiment égale à celle de l'inductance idéale, d'une part, et d'obtenir un facteur de qualité de l'inductance MOS ($Q_{L_{\text{MOS}}}$) relativement élevé à la fréquence de travail, d'autre part. L'approche de dimensionnement consiste à faire varier le N, par un pas de 0.25,

et le rad ($30\mu\text{m} < \text{rad} < 125 \mu\text{m}$) jusqu'à atteindre la valeur de l'inductance voulue (Figure III.13).

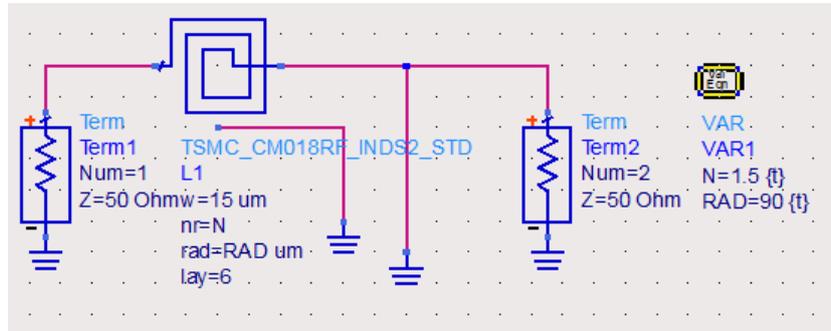


Figure. III. 14. Montage pour le calcul des paramètres d'une inductance Shunt

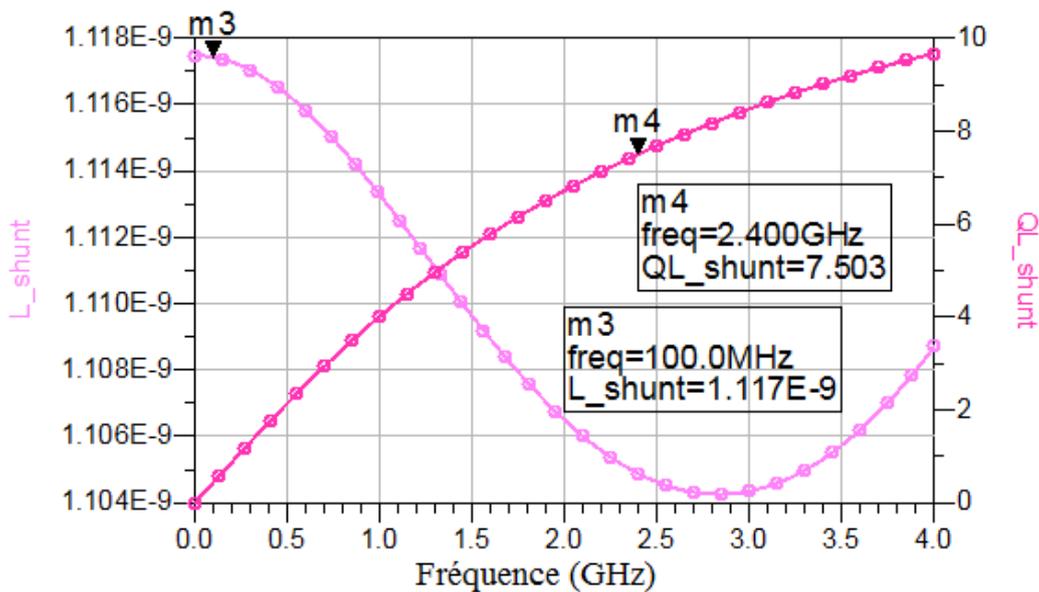


Figure. III. 15. Variation de l'inductance L et de son facteur de qualité Q_{L_MOS} en fonction de la fréquence

En intégré, la surface occupée par une inductance MOS est la plus grande par rapport aux autres composants actifs ou passifs. Ainsi, la minimisation de la valeur de l'inductance minimisant la surface de son Lay-out. Dans cet objectif, la valeur de l'inductance $L_g = 7.17 \text{ nH}$ a été réduit à une valeur de 4.38 nH en insérant une capacité externe $C_{ex} = 0.3 \text{ pF}$ en parallèle avec les deux capacités C_{gs} et C_m dont la capacité équivalente devient :

$$C'_{in} = c_{gs} + c_m + c_{ex}$$

Les dimensions des trois inductances de LNA sont résumées dans le tableau III.5. Les équations utilisées pour le dimensionnement des inductances sont celles de (I.16) et (I.17).

	Type de branchement	N	Rad (μm)	Valeur (nH)	Q_L
L_g	Série	3.5	84	4.38	6.71
L_S	Shunt	1	78	0.57	5.9
L_d	Shunt	3	99	4	6.65

Tableau.III. 5.Dimensions physiques des inductances

Le schéma complet d'IDLNA ainsi que ses performances S_{11} , S_{12} , S_{21} , S_{22} et NF sont illustrés, respectivement, dans les figures III.15, III.16, III.17, III.18 III.19 et III.20.

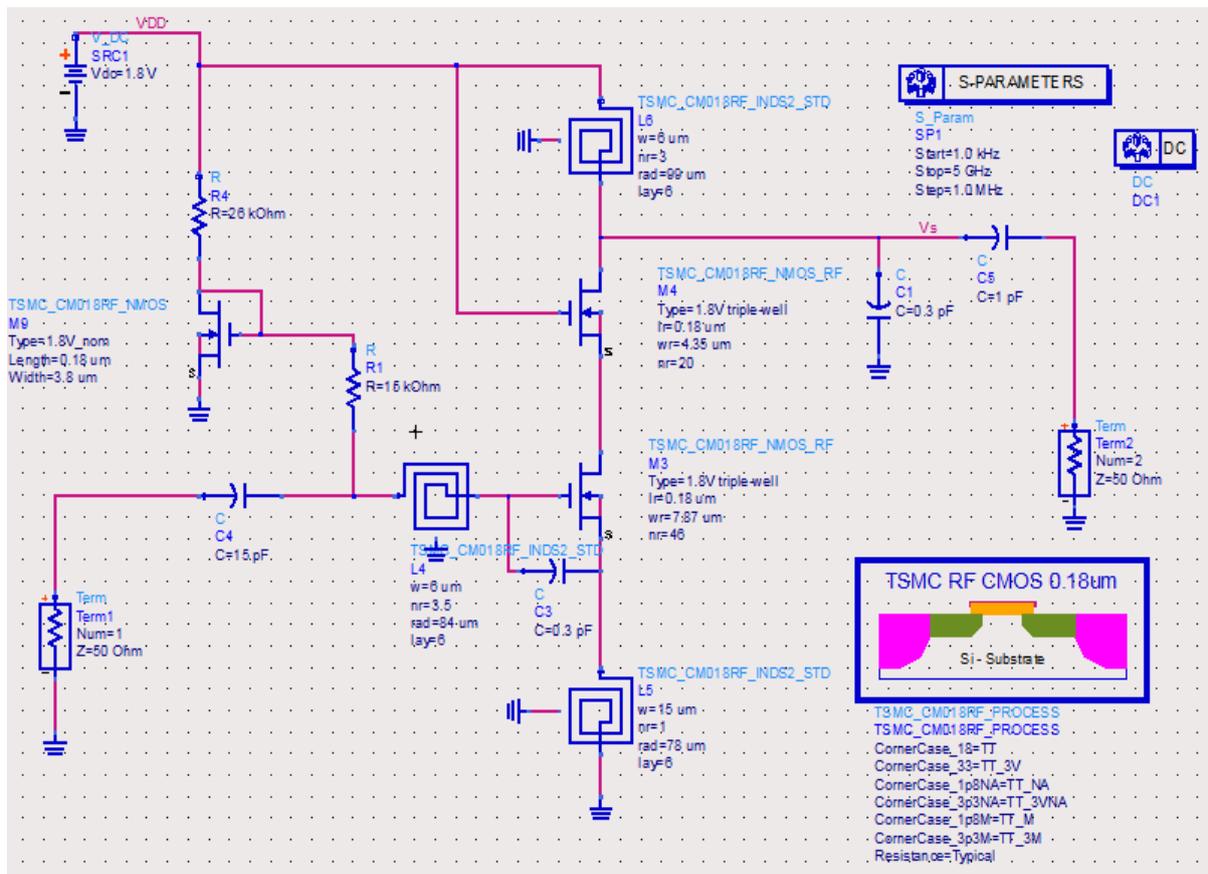


Figure. III. 16. Amplificateur LNA avec des inductances MOS

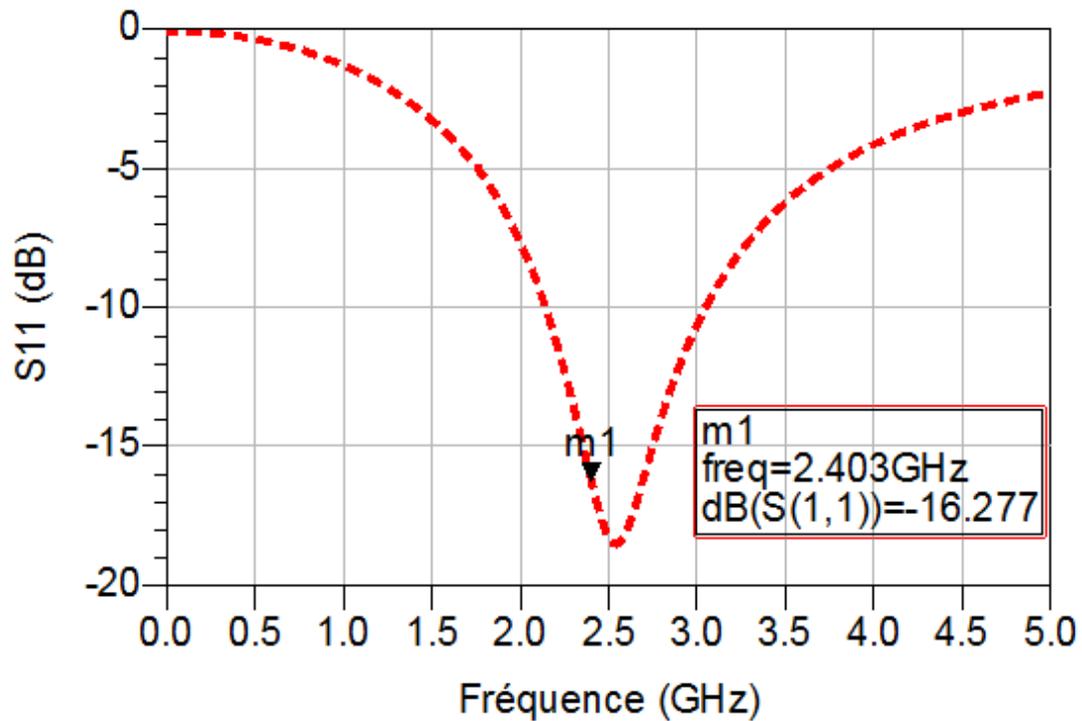


Figure. III. 17. Paramètre S_{11}

- S_{11} le coefficient de réflexion d'entrée mesurant l'adaptation de l'impédance d'entrée à l'impédance de référence Z_0 , également connu sous le nom de perte de retour d'entrée. atteint une valeur de -16.2 dB à la fréquence de travail 2.4 GHz, ce qui signifie que l'entrée du LNA est bien adaptée.

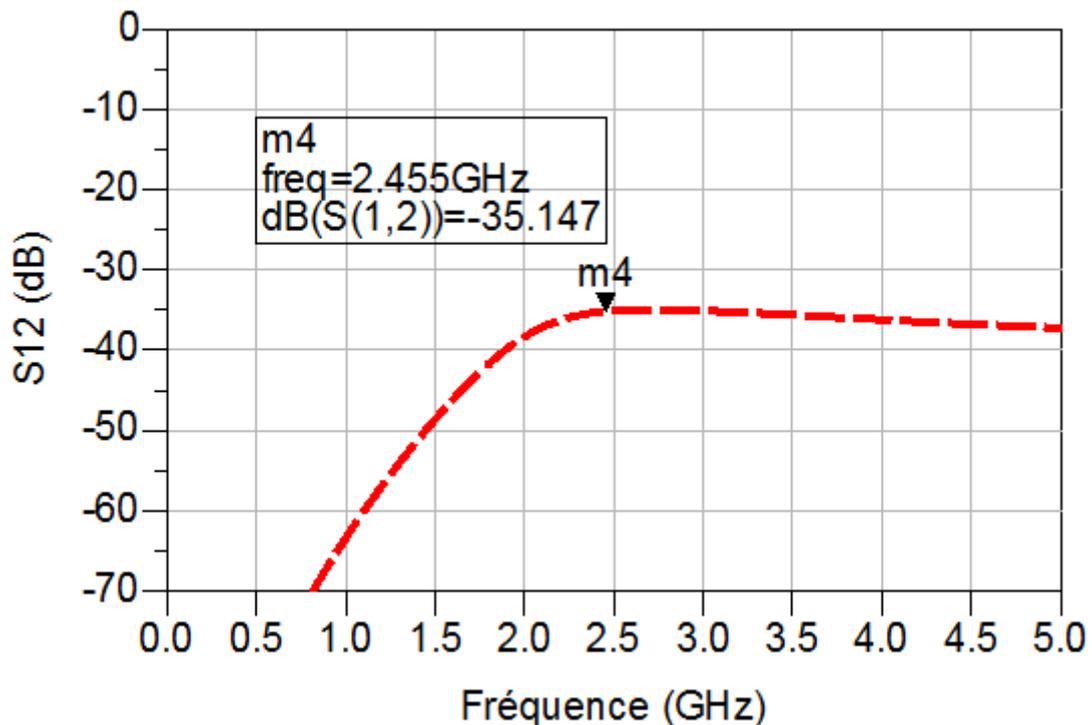


Figure. III. 18. Paramètre S_{12}

- Le coefficient de transmission inverse S_{12} mesurant l'isolation inverse du LNA montre une bonne isolation du circuit ($S_{12} = -35 \text{ dB}$ à $f_0=2.4 \text{ GHz}$), en conséquence, une bonne stabilité de l'amplificateur.

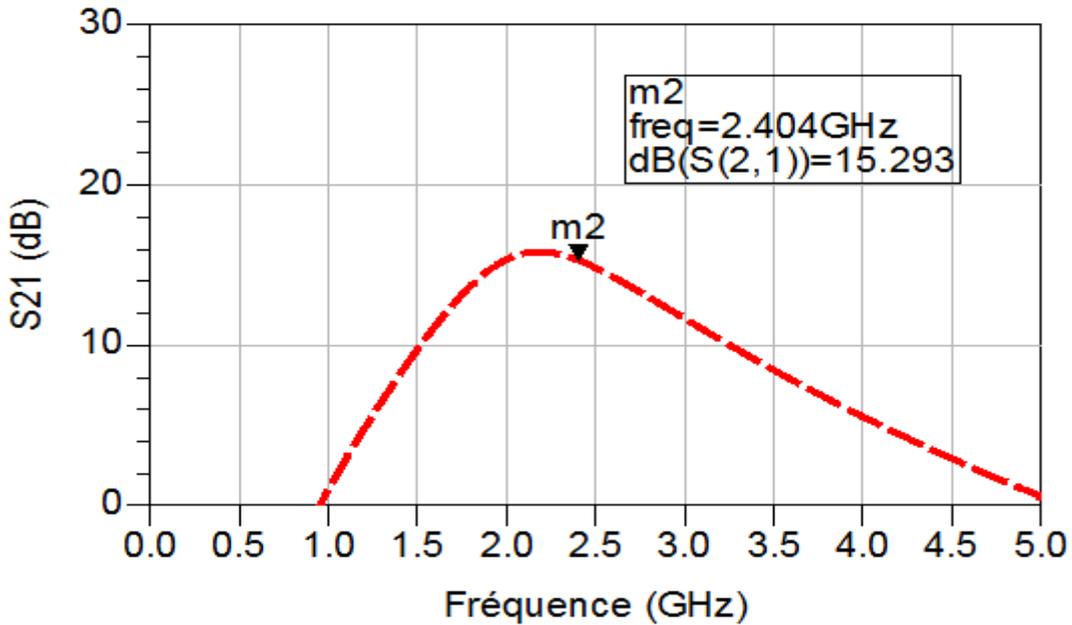


Figure. III. 19. Paramètre S_{21}

- S_{21} le coefficient de transmission direct, également connu sous le nom de gain direct, mesure la qualité du signal passant de l'entrée à la sortie. Ce dernier affiche 15.3 dB à la fréquence 2.4 GHz (Figure. III. 20), une valeur suffisamment élevée pour la fonction d'amplification du LNA.

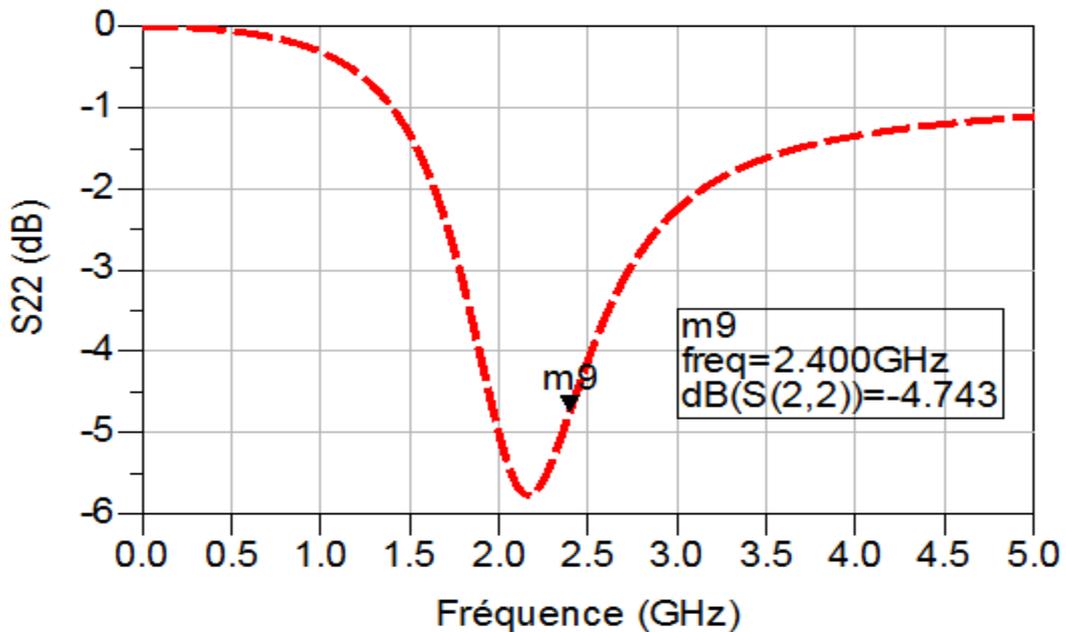


Figure. III. 21. Paramètre S_{22}

- S_{22} le coefficient de réflexion de sortie, également connu sous le nom de perte de retour de sortie, représente la mesure de l'adaptation de l'impédance de sortie à

l'impédance de charge. La faible valeur de $S_{22} = -4.7 \text{ dB}$ obtenue à la fréquence de travail 2.4 GHz est due au fait que la sortie du LNA n'est pas adaptée.

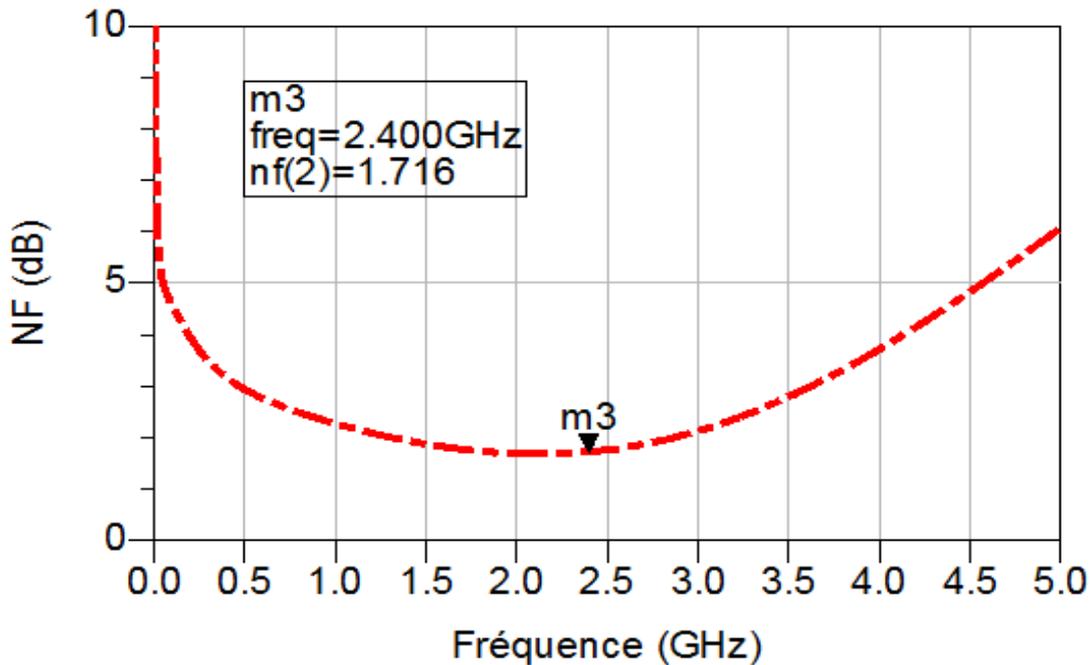


Figure. III. 22. Facteur de bruit (NF) en (dB)

- Le facteur de bruit NF simulé indique une valeur faible de bruit d'environ 1.7 dB à la fréquence de travail (Figure. III. 23). L'augmentation de NF dans ce circuit par rapport à celui du LNA avec des inductances idéales (Figure III.12) est due aux résistances séries dans les inductances MOS.

Pour estimer la consommation de puissance d'IDLNA, nous avons effectué une simulation DC du circuit dont les différents courants et tensions DC peuvent être affichés comme montré sur la figure III.21. Les résultats DC montrent un courant de drain de M_1 et M_2 $I_{D_{M1}} = I_{D_{M2}} = 5.13 \text{ mA}$ et un courant de drain de M_3 (miroir de courant) $I_{ref} = 47.4 \mu\text{A}$. Nous constatons donc que le LNA conçu consomme une faible puissance qui vaut 9.3 mW.

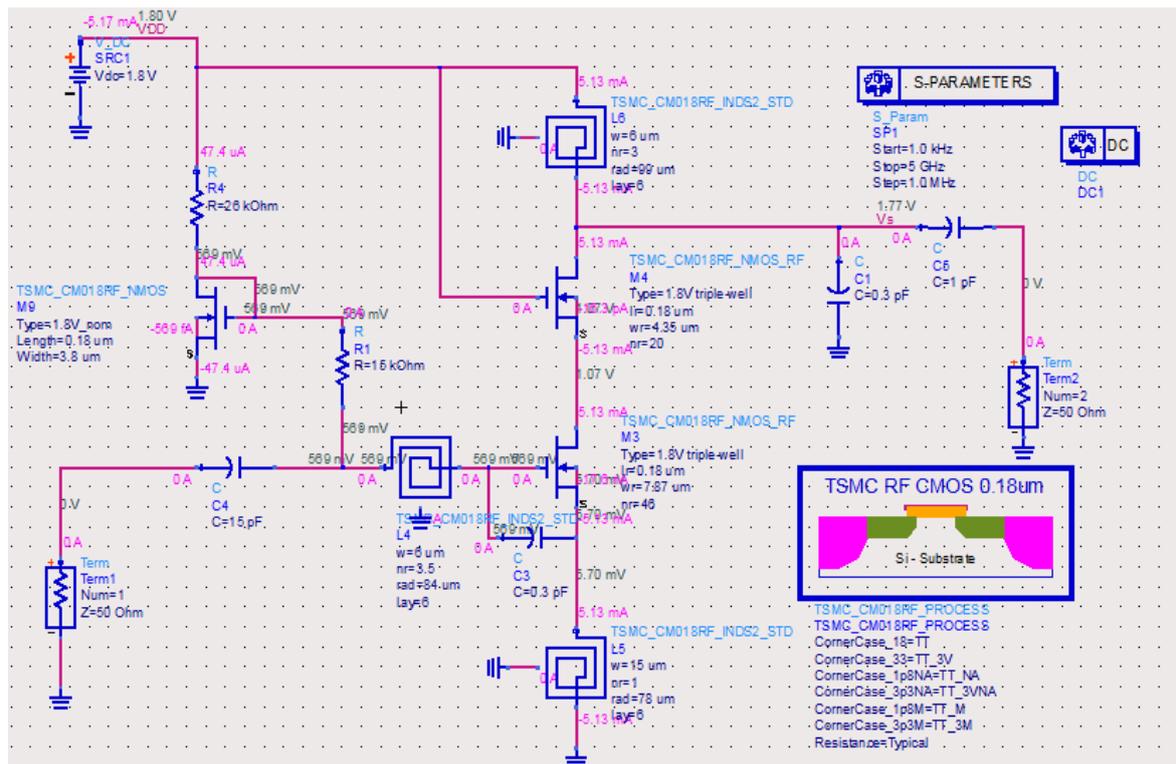


Figure. III. 24. Simulation DC d'IDLNA

III.4. Conclusion

Des simulations, sur le logiciel ADS, du LNA conçu sur une technologie CMOS 0.18 μm montrent des bonnes performances avec un faible facteur bruit ($NF=1.7$ dB), un gain ($S_{21}=15.3$ dB) suffisamment élevé, une bonne adaptation en impédance d'entrée ($S_{11}=-16.3$ dB), une bonne isolation inverse ($S_{12}=-35$ dB) ainsi qu'une faible consommation de puissance par l'amplificateur ($P_{\text{cons}}=9.3$ mW). Ces résultats compétitifs montrent le bon choix de la topologie du LNA conçu ainsi que la pertinence de la méthode de conception de PCNO.

CONCLUSION GENERALE

Cette étude a permis de concevoir et simuler un amplificateur à faible bruit en technologie CMOS pour les applications sans fil, miniaturisés et de grandes performances électriques, les principaux résultats obtenus sont les suivants :

L'amplificateur conçu présente un gain suffisamment élevé de 15.3dB, un facteur de bruit faible de 1.7 dB et une faible consommation de puissance par l'amplificateur ($P_{cons}=9.3$ mW), ce qui en fait un circuit adapté aux applications sans fil nécessitant de faibles niveaux de bruit et de consommation.

Le choix de la topologie IDLNA a permis d'atteindre des niveaux de performances satisfaisants, notamment pour les applications caractérisées par une basse tension et une faible consommation puissance.

Nous avons mis en exergue le caractère pratique de la technique d'optimisation de bruit sous contrainte de puissance (PCNO) pour le dimensionnement du transistor CMOS en source commune à dégénérescence inductive.

On a utilisé la capacité Miller pour estimer convenablement l'impédance d'entrée de l'amplificateur, ainsi amélioré son adaptation avec les étages précédents du récepteur sans fil.

Les résultats, obtenus sont très compétitifs comparativement aux résultats à l'état de l'art.

BIBLIOGRAPHIE

- [1] Jack Kilby, Miniaturized Electronic Circuits, U.S. Patent No. 3, 138,743, June 23, 1964.
- [2] E. Bouhana “Analyse du comportement petit signal du transistor MOS : contribution à une nouvelle approche d’extraction et de modélisation pour des applications RF”, thèse de doctorat à l’Université des Sciences et Technologies de Lille, octobre 2007
- [3] F. Elliner, “Radio Frequency Integrated Circuits and Technologies ”, *Springer*, Berlin, Mars 2007
- [4] R. Grisel, “Cours CAO MOS Les amplificateurs Les amplificateurs à étages” Master IGIS,
- [5] A. TAIBI, “Conception d’Amplificateurs RF Faible Bruit en Technologie CMOS”, thèse de doctorat à Ecole Nationale Polytechnique, Février 2017
- [6] S.Marcelino “Caractérisation et modélisation des sources de bruit BF dans les transistors bipolaires développés en technologie BiCMOS (sub 0.13 μm) pour application RF et THz” thèse de doctorat à Université de Montpellier, avril 2015
- [7] Muhammad fadhli bin abdul rahmANE, A low noise amplifier at 2.45 GHz", thèse de doctorat à university tehikal malaysia melaka, mai 2008
- [8] A. Goudjil, “ Stratégie de conception d’un amplificateur faible bruit LNA”, École Nationale Polytechnique 10 El Harrach, Alger, Juin 2013.
- [9] A.Guergueb et S.Meguellati, “Etude et conception d’amplificateurs micro-ondes à faible bruit en technologie hybride et monolithique(CMOS) ”, Ecole supérieure de la défense aérienne du territoire ali chabati, 2015
- [10] Derek K. Shaeffer and Thomas H. LEE, “A 1.5V, 1.5GHz CMOS Low Noise Amplifier”, IEEE Journal of Solid-State Circuits, vol 32, n°5, pp. 745-759, 1997.
- [11] T. Kanthi and D.Sharath Babu Rao, “Design and Analysis of CMOS Low Noise Amplifier Circuit for 5-ghz Cascode and Folded Cascode in 180nm Technology”, International Journal of Reconfigurable and Embedded Systems, vol 7, N°3, pp. 149-156, November 2018.
- [12] M.K.Ameur et S.Amar, “Contribution à la conception d’un AOP basse tension en Technologie CMOS 90nm pour les circuits biomédicaux”, université ibn khaldoun de tiaret,2015.

