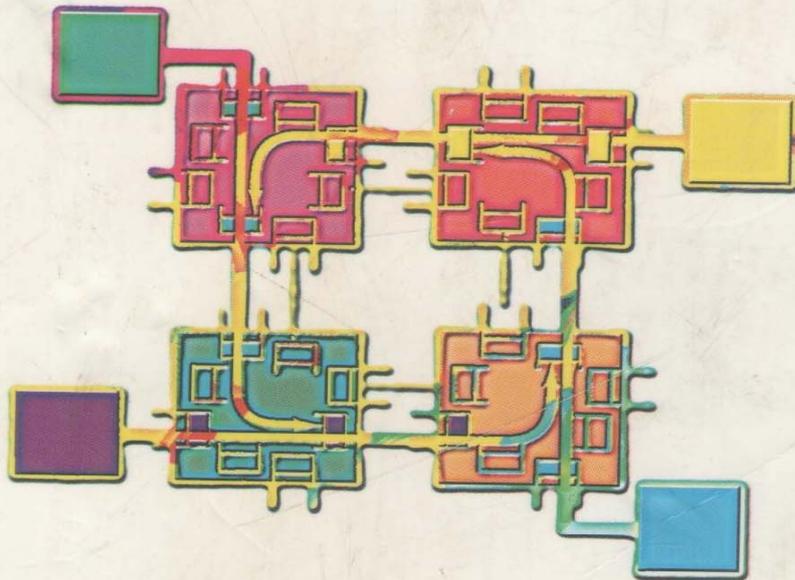


**Andrew Tanenbaum**

*2<sup>e</sup> CYCLE • ÉCOLES D'INGÉNIEURS*

# **Architecture de l'ordinateur**

Cours et exercices



**4<sup>e</sup> édition**

**DUNOD**

# Table des matières

AVANT-PROPOS	V
CHAPITRE 1 • INTRODUCTION	
1.1 L'architecture en couches	1
1.1.1 Langages, couches et machines virtuelles	2
1.1.2 Les machines multicouches actuelles	4
1.1.3 L'histoire des machines multicouches	7
1.2 Les grandes étapes de l'architecture des ordinateurs	11
1.2.1 La génération zéro. Les calculateurs mécaniques (1642-1945)	12
1.2.2 La première génération. Les tubes à vide (1945-1955)	14
1.2.3 La deuxième génération. Les transistors (1955-1965)	17
1.2.4 La troisième génération. Les circuits intégrés (1965-1980)	19
1.2.5 La quatrième génération – Les VLSI (1980- ?)	21
1.3 Le zoo de l'informatique	22
1.3.1 Forces économiques et technologiques	23
1.3.2 Les types d'ordinateurs actuels	24
1.4 Trois familles d'ordinateurs	26
1.4.1 Introduction au Pentium II	26
1.4.2 Introduction à l'UltraSPARC II	29
1.4.3 Introduction à la machine picoJava II	31
1.5 Plan de l'ouvrage	33
Exercices	34

<b>CHAPITRE 2 • STRUCTURE D'UN ORDINATEUR</b>	37
2.1 Le processeur ou unité centrale	37
2.1.1 Organisation de l'unité centrale	38
2.1.2 Exécution d'une instruction	39
2.1.3 RISC versus CISC	43
2.1.4 Principes de conception des ordinateurs modernes	45
2.1.5 Parallélisme des instructions	46
2.1.6 Parallélisme du processeur	50
2.2 La mémoire principale	54
2.2.1 Les bits	54
2.2.2 Les adresses mémoire	55
2.2.3 Organisation des octets	56
2.2.4 Les codes correcteurs d'erreurs	58
2.2.5 Mémoires cache	62
2.2.6 Conditionnement physique des mémoires principales	65
2.3 Les mémoires secondaires	66
2.3.1 La hiérarchie de mémoire	67
2.3.2 Les disques magnétiques ou disques durs	68
2.3.3 Les disques souples	71
2.3.4 Les disques IDE et EIDE	72
2.3.5 Les disques SCSI	73
2.3.6 Les disques RAID	75
2.3.7 Les CD-ROM	79
2.3.8 Les CD enregistrables ou CD-R	83
2.3.9 Les CD réinscriptibles ou CD-RW	85
2.3.10 Les DVD	86
2.4 Les entrées/sorties	88
2.4.1 Le bus et le contrôleur d'E/S	88
2.4.2 Les terminaux de visualisation	91
2.4.3 Les souris	98
2.4.4 Les imprimantes	100
2.4.5 Les modems	105
2.4.6 La codification des caractères	107
2.5 Résumé	110
Exercices	111
<b>CHAPITRE 3 • LA COUCHE PHYSIQUE</b>	117
3.1 Portes logiques et algèbre de boole	117
3.1.1 Les portes logiques	117
3.1.2 L'algèbre de Boole	120
3.1.3 Réalisation des fonctions booléennes	122
3.1.4 Équivalence entre circuits	124

3.2	Circuits logiques de base	127
3.2.1	Les circuits intégrés logiques	127
3.2.2	Les circuits logiques combinatoires	129
3.2.3	Les circuits arithmétiques	134
3.2.4	Les horloges	138
3.3	Circuits logiques à mémoire	139
3.3.1	Les bascules (latches)	139
3.3.2	Les flip-flops	142
3.3.3	Les registres	144
3.3.4	Organisation interne d'une mémoire	146
3.3.5	Caractéristiques des circuits mémoires	149
3.3.6	RAM et ROM	150
3.4	Les microprocesseurs et les bus	153
3.4.1	Le microprocesseur	153
3.4.2	Les bus d'ordinateurs	156
3.4.3	Importance de la largeur des bus	158
3.4.4	Le cadencement des échanges sur le bus	160
3.4.5	L'arbitrage du bus	165
3.4.6	Divers modes fonctionnels sur un bus	168
3.5	Exemples de microprocesseurs	171
3.5.1	Le Pentium II	171
3.5.2	L'UltraSPARC II	177
3.5.3	Le picoJava II	181
3.6	Exemples de bus	183
3.6.1	Le bus ISA	183
3.6.2	Le bus PCI	185
3.6.3	Le bus USB	192
3.7	Technique d'interfaçage	196
3.7.1	Les circuits d'E/S	196
3.7.2	Technique de décodage d'adresse	197
3.8	Résumé	200
	Exercices	202
<b>CHAPITRE 4 • LA COUCHE MICROARCHITECTURE</b>		209
4.1	Un exemple de microarchitecture : la Mic-1	209
4.1.1	Le chemin des données	210
4.1.2	La micro-instruction	216
4.1.3	La microarchitecture Mic-1	218
4.2	Un exemple de macroarchitecture : l'IJVM	223
4.2.1	La pile	223
4.2.2	Le modèle mémoire de l'IJVM	225
4.2.3	Les instructions de l'IJVM	226
4.2.4	Compilation d'un programme Java pour l'IJVM	229

4.3	Un exemple d'implémentation	231
4.3.1	Notation des micro-instructions	231
4.3.2	Implémentation de l'IJVM avec la microarchitecture Mic-1	235
4.4	Conception de la microarchitecture	245
4.4.1	Compromis entre vitesse de traitement et coût	245
4.4.2	Réduire le temps d'exécution des instructions	247
4.4.3	Conception avec une unité de recherche des instructions : la microarchitecture Mic-2	254
4.4.4	Conception avec un pipeline : la microarchitecture Mic-3	256
4.4.5	Conception avec un pipeline à sept étages : la microarchitecture Mic-4	262
4.5	Amélioration des performances	265
4.5.1	La mémoire cache	266
4.5.2	Prédiction de branchement	272
4.5.3	Exécution déséquentée et renommage des registres	276
4.5.4	Exécution anticipée	281
4.6	Exemples de microarchitectures	284
4.6.1	La microarchitecture du Pentium II	284
4.6.2	La microarchitecture de l'UltraSparc II	288
4.6.3	La microarchitecture de la picoJava II	291
4.6.4	Comparaison du Pentium II, de l'UltraSparc II et de la picoJava II	296
4.7	Résumé	297
	Exercices	298
 <b>CHAPITRE 5 • LA COUCHE ISA</b>		 303
5.1	Synthèse de la couche ISA	305
5.1.1	Propriétés de la couche ISA	305
5.1.2	Modèle d'organisation de la mémoire	307
5.1.3	Les registres	309
5.1.4	Les instructions	310
5.1.5	Aperçu de la couche ISA du Pentium II	311
5.1.6	Aperçu de la couche ISA de l'UltraSPARC II	313
5.1.7	Aperçu de la couche ISA de la machine JVM	316
5.2	Types de données	317
5.2.1	Les données numériques	318
5.2.2	Les données non numériques	318
5.2.3	Les types de données du Pentium II	319
5.2.4	Les types de données de l'UltraSPARC II	319
5.2.5	Les types de données de la JVM	320
5.3	Format des instructions	320
5.3.1	Critères d'évaluation du format des instructions	321
5.3.2	Code opération expansif	323
5.3.3	Format des instructions du Pentium II	325
5.3.4	Format des instructions de l'UltraSPARC II	326
5.3.5	Format des instructions de la JVM	328

5.4	L'adressage	329
5.4.1	Les modes d'adressage	331
5.4.2	L'adressage immédiat	331
5.4.3	L'adressage direct	332
5.4.4	L'adressage par registre	332
5.4.5	L'adressage indirect par registre	332
5.4.6	L'adressage indexé	333
5.4.7	L'adressage indexé basé	335
5.4.8	L'adressage par pile	335
5.4.9	Modes d'adressage des instructions de branchement	338
5.4.10	Orthogonalité des codes opérations et des modes d'adressage	339
5.4.11	Modes d'adressage du Pentium II	340
5.4.12	Modes d'adressage de l'UltraSPARC II	342
5.4.13	Modes d'adressage de la JVM	342
5.4.14	Synthèse des modes d'adressage	343
5.5	Types d'instructions	344
5.5.1	Instructions de transfert de données	344
5.5.2	Opérations dyadiques	345
5.5.3	Opérations monadiques	346
5.5.4	Branchements conditionnels et comparaisons	348
5.5.5	Instructions d'appel de procédure	349
5.5.6	Instructions de contrôle de boucle	350
5.5.7	Les entrées/sorties	352
5.5.8	Les instructions du Pentium II	355
5.5.9	Les instructions de l'UltraSPARC II	359
5.5.10	Les instructions de la picoJava II	362
5.5.11	Synthèse des jeux d'instructions	367
5.6	Flux de commande	368
5.6.1	Flux de commande séquentiel et branchements	368
5.6.2	Procédures	369
5.6.3	Coroutines	374
5.6.4	Déroutements ou traps	376
5.6.5	Interruptions	377
5.7	Exemples de programmes en assembleur : les tours de Hanoï	381
5.7.1	Les tours de Hanoï en langage d'assemblage pour le Pentium II	382
5.7.2	Les tours de Hanoï en langage d'assemblage pour l'UltraSPARC II	384
5.7.3	Les tours de Hanoï en langage d'assemblage pour la JVM	384
5.8	L'architecture Intel IA-64	387
5.8.1	Les problèmes du Pentium II	388
5.8.2	Le modèle EPIC de l'IA-64	389
5.8.3	Prédiction	390
5.8.4	Chargement anticipé	392
5.9	Résumé	393
	Exercices	394

## CHAPITRE 6 • LA COUCHE SYSTÈME D'EXPLOITATION

6.1	Mémoire virtuelle	401
6.1.1	Pagination	402
6.1.2	Réalisation de la pagination	403
6.1.3	Pagination à la demande et espace de travail (working set)	405
6.1.4	Le remplacement des pages	408
6.1.5	Taille des pages et fragmentation	409
6.1.6	Segmentation	411
6.1.7	Implémentation de la segmentation	412
6.1.8	Mémoire virtuelle du Pentium II	415
6.1.9	Mémoire virtuelle de l'UltraSPARC	417
6.1.10	Mémoire virtuelle et mémoire cache	422
6.2	Les instructions d'E/S virtuelles	424
6.2.1	Les fichiers	424
6.2.2	La réalisation des instructions d'E/S virtuelles	425
6.2.3	La gestion des répertoires	427
6.3	Les instructions virtuelles dans le calcul parallèle	430
6.3.1	Création de processus	432
6.3.2	Synchronisation	433
6.3.3	Synchronisation par des sémaphores	433
6.4	Exemples de systèmes d'exploitation	437
6.4.1	Introduction	441
6.4.2	Exemples de mémoire virtuelle	441
6.4.3	Exemples d'E/S virtuelles	449
6.4.4	Exemples de gestion de processus	452
6.5	Résumé	462
	Exercices	468
		469

## CHAPITRE 7 • LA COUCHE LANGAGE D'ASSEMBLAGE

7.1	Introduction au langage d'assemblage	477
7.1.1	Qu'est-ce-qu'un langage d'assemblage ?	478
7.1.2	Pourquoi utiliser un langage d'assemblage ?	478
7.1.3	Format d'une instruction	479
7.1.4	Les pseudo-instructions	481
7.2	Les macros	484
7.2.1	Définition, appel et expansion de macros	486
7.2.2	Macros avec paramètres	487
7.2.3	Caractéristiques évoluées	488
7.2.4	Implémentation des macros	489
7.3	Le processus d'assemblage	490
7.3.1	Les assembleurs à deux passes	491
7.3.2	La première passe	491
7.3.3	La deuxième passe	491
7.3.4	La table des symboles	495
		497

7.4	Éditeur de liens et chargeur	499
7.4.1	L'éditeur de liens	500
7.4.2	La structure d'un module objet	502
7.4.3	La translation dynamique	504
7.4.4	L'édition des liens dynamique	506
7.5	Résumé	510
	Exercices	510
<b>CHAPITRE 8 • ARCHITECTURES DES ORDINATEURS PARALLÈLES</b>		515
8.1	Tour d'horizon des ordinateurs parallèles	516
8.1.1	Modèles de communication	518
8.1.2	Réseaux d'interconnexion	522
8.1.3	Performances	530
8.1.4	Logiciel	535
8.1.5	Taxonomie des ordinateurs parallèles	540
8.2	Les ordinateurs SIMD	543
8.2.1	Les processeurs matriciels	543
8.2.2	Les processeurs vectoriels	544
8.3	Les multiprocesseurs à mémoire partagée	548
8.3.1	Les sémantiques d'accès à la mémoire	548
8.3.2	Les architectures SMP basées sur un bus UMA	551
8.3.3	Multiprocesseurs UMA avec commutateurs crossbar	556
8.3.4	Multiprocesseurs UMA avec réseaux de commutation multi-étages	558
8.3.5	Les multiprocesseurs NUMA	560
8.3.6	Les multiprocesseurs NUMA à cohérence de caches	561
8.3.7	Les multiprocesseurs COMA	571
8.4	Les multiordinateurs à transfert de messages	572
8.4.1	Les MPP (processeurs massivement parallèles)	573
8.4.2	Les COW (grappes de stations de travail)	577
8.4.3	L'ordonnancement	578
8.4.4	Logiciel de communication pour les multiordinateurs	583
8.4.5	Mémoire partagée au niveau de l'application	586
8.5	Résumé	593
	Exercices	593
<b>ANNEXE A • NUMÉRATION BINAIRE</b>		599
A.1	Nombres en précision finie	599
A.2	La représentation des nombres	601
A.3	Conversion d'une base à une autre	603
A.4	Les nombres négatifs	605
A.5	L'arithmétique binaire	607
	Exercices	608

---

<b>ANNEXE B • NOMBRES EN VIRGULE FLOTTANTE</b>	611
B.1 La notation en virgule flottante	611
B.2 La représentation flottante : IEEE 754	614
Exercices	618
<b>ANNEXE C • LEXIQUE</b>	621
<b>BIBLIOGRAPHIE</b>	625
Livres à consulter	625
Articles et ouvrages cités	625
<b>INDEX</b>	629