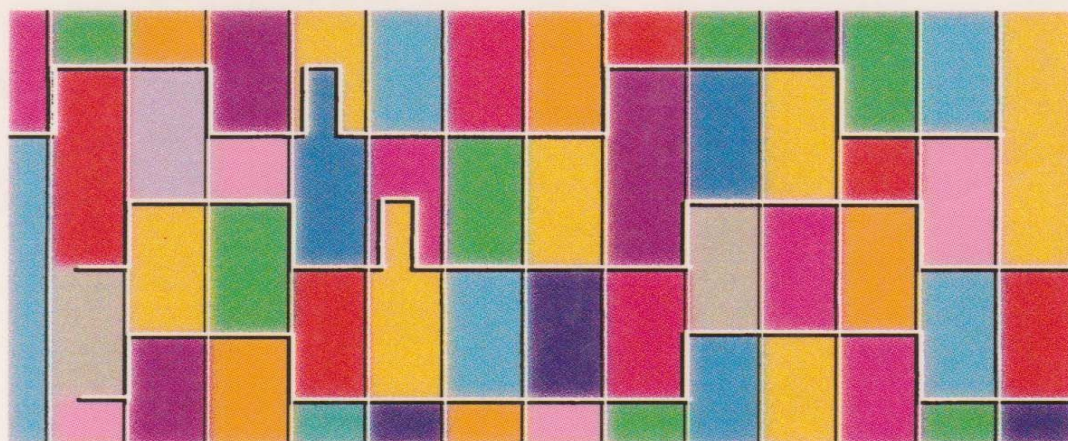


**Michel Aumiaux**

*2<sup>e</sup> CYCLE • ÉCOLES D'INGÉNIEURS*

# **Initiation au langage VHDL**



**2<sup>e</sup> édition**

**DUNOD**

# Initiation au langage VHDL



**Michel Aumiaux**

Docteur ès sciences  
Professeur à l'École Supérieure  
d'Électronique de l'Ouest (Angers)

2<sup>e</sup> édition

DUNOD



# Table des matières

(see contents page VIII)

## Chapitre 1

### Les notions de base : entité, objet, type

1.1 Définitions préliminaires	1
1.2 Les objets	5
1.2.1 Les signaux	6
1.2.2 Les variables et les constantes	8
1.2.3 La mise à jour des valeurs des variables et des signaux	12
1.2.4 le cycle delta et le cycle de simulation	15
1.3 Les types et sous-types usuels	16
1.3.1 Les types scalaires énumérés	18
1.3.2 Les types scalaires non énumérés	19
1.3.3 Le type composite record (article)	20
1.3.4 Le type composite array (tableau) à une seule rangée	22
1.3.5 Le type composite array (tableau) à plusieurs rangées	23
1.3.6 La notation par agrégat	27
1.3.7 Les sous-types	28
1.3.8 Les attributs	29
1.3.9 Les expressions qualifiées	32
1.3.10 La déclaration d'alias	32
1.4 La notation de la valeur d'un objet	33
1.4.1 Les vecteurs de bits	33
1.4.2 Les nombres entiers ou réels	33
1.4.3 Les caractères et chaînes de caractères	34
1.5 Les opérations de base sur les objets	34
1.5.1 Les opérations logiques	35
1.5.2 Les opérations relationnelles	36
1.5.3 Les opérations d'addition	37
1.5.4 Les opérations de signe	38
1.5.5 Les opérations de multiplication	38
1.5.6 Les opérations NOT, ABS et *	39

## Chapitre 2

### Les différentes descriptions d'une architecture

2.1 La description de type flot de données	40
2.2 La description de type comportemental ou procédural	42
2.2.1 Descriptin par l'instruction IF	42



2.2.2 Description par l'instruction CASE	44
2.2.3 Description par l'instruction FOR	47
2.2.4 Description par l'instruction WHILE	50
2.3 La description de type structurel	51
2.3.1 Le principe de cette description	51
2.3.2 L'instanciation	52
2.3.3 La configuration	56
2.4 La description d'une architecture de test	61
2.5 Les paquetages et les bibliothèques	69
2.5.1 Le paquetage et le corps de paquetage	69
2.5.2 Les unités de conception et les bibliothèques	71
2.5.3 Le paquetage IEEE.std_ulogic_1164	74

## Chapitre 3

### Les sous-programmes et les instructions

3.1 Les sous-programmes	76
3.2 Les instructions séquentielles	81
3.2.1 L'instruction wait	82
3.2.2 L'instruction assert	83
3.2.3 L'instruction d'affectation de signal	84
3.2.4 Les instructions next et exit	84
3.2.5 L'instruction null	86
3.3 Les instructions concurrentes	86
3.3.1 Le processus	86
3.3.2 L'instruction d'affectation concurrente de signal	88
3.3.3 L'instruction assert	91
3.3.4 L'instruction block	91
3.3.5 Les instructions port map et generic map	92
3.3.6 L'instruction concurrente generate	94

## Chapitre 4

### La modélisation de fonctions séquentielles

4.1 Quelques concepts VHDL utiles pour la logique séquentielle	98
4.1.1 Les principaux attributs sur un signal	98
4.1.2 Le concept du bloc gardé	99
4.1.3 L'incrémentement de la valeur d'un bus	101
4.2 La modélisation de bascules	112
4.2.1 La modélisation d'une bascule D	112
4.2.2 La modélisation d'une bascule T	113
4.3 La modélisation d'un registre à décalage chargeable	116



4.4 La modélisation de compteurs	117
4.4.1 La modélisation d'un compteur modulo $N \neq 2^n$	117
4.4.2 La modélisation d'un compteur-décompteur	120
4.4.3 La modélisation de compteurs cascadables	120
4.4.4 La modélisation d'un compteur BCD	122
4.5 La modélisation d'un diviseur de fréquence	126
4.6 La modélisation comportementale d'une structure modulaire	128
4.7 La modélisation d'une machine d'état	130
4.7.1 La description d'une machine d'état par les deux processus (G+M) et F	132
4.7.2 La description d'une machine d'état par les deux processus M et (G+F)	133
4.7.3 La description d'une machine d'état par les trois processus M, G et F	137
4.8 Le codage d'une machine d'état	140
4.8.1 Les deux types de code	140
4.8.2 Les deux façons de désigner le choix du code "one-hot"	142
4.8.3 La tolérance de fautes	143
<b>Chapitre 5</b>	
<b>Quelques concepts de programmation avancée en VHDL</b>	
5.1 La fonction de résolution	145
5.2 Le concept du signal résolu gardé	150
5.3 La conversion de type	154
5.4 La programmation VHDL orientée synthèse	154
5.4.1 Ce qu'il faut éviter	155
5.4.2 Quelques règles de base	155
5.4.3 La synthèse d'un multiplexeur	156
5.4.4 La synthèse de l'instruction IF	157
5.4.5 La synthèse d'une instruction d'affectation conditionnelle ou sélective	159
5.4.6 La synthèse d'une instruction case	159
5.4.7 La description VHDL de fonctions logiques spécifiques	161
<b>Annexe 1 : Liste des mots réservés.</b>	164
<b>Annexe 2 : Programmes de test.</b>	165
<b>Annexe 3 : Description d'une entité</b>	178
<b>Index</b>	179