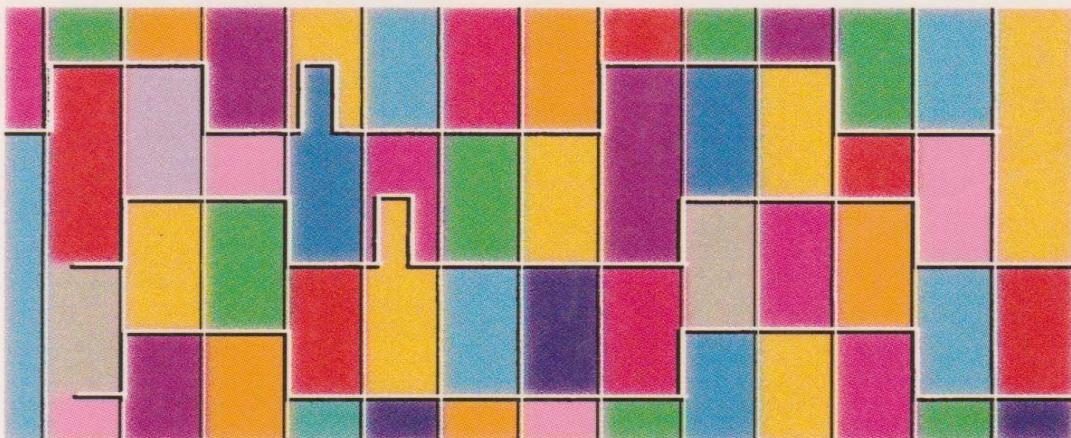


Michel Aumiaux

2^e CYCLE • ÉCOLES D'INGÉNIEURS

Initiation au langage VHDL



2^e édition

DUNOD

Initiation au langage VHDL



Michel Aumiaux

Docteur ès sciences

Professeur à l'École Supérieure
d'Électronique de l'Ouest (Angers)

2^e édition

DUNOD

Table des matières

(see contents page VIII)

Chapitre 1

Les notions de base : entité, objet, type

1.1 Définitions préliminaires	1
1.2 Les objets	5
1.2.1 <i>Les signaux</i>	6
1.2.2 <i>Les variables et les constantes</i>	8
1.2.3 <i>La mise à jour des valeurs des variables et des signaux</i>	12
1.2.4 <i>le cycle delta et le cycle de simulation</i>	15
1.3 Les types et sous-types usuels	16
1.3.1 <i>Les types scalaires énumérés</i>	18
1.3.2 <i>Les types scalaires non énumérés</i>	19
1.3.3 <i>Le type composite record (article)</i>	20
1.3.4 <i>Le type composite array (tableau) à une seule rangée</i>	22
1.3.5 <i>Le type composite array (tableau) à plusieurs rangées</i>	23
1.3.6 <i>La notation par agrégat</i>	27
1.3.7 <i>Les sous-types</i>	28
1.3.8 <i>Les attributs</i>	29
1.3.9 <i>Les expressions qualifiées</i>	32
1.3.10 <i>La déclaration d'alias</i>	32
1.4 La notation de la valeur d'un objet	33
1.4.1 <i>Les vecteurs de bits</i>	33
1.4.2 <i>Les nombres entiers ou réels</i>	33
1.4.3 <i>Les caractères et chaînes de caractères</i>	34
1.5 Les opérations de base sur les objets	34
1.5.1 <i>Les opérations logiques</i>	35
1.5.2 <i>Les opérations relationnelles</i>	36
1.5.3 <i>Les opérations d'addition</i>	37
1.5.4 <i>Les opérations de signe</i>	38
1.5.5 <i>Les opérations de multiplication</i>	38
1.5.6 <i>Les opérations NOT, ABS et *</i>	39

Chapitre 2

Les différentes descriptions d'une architecture

2.1 La description de type flot de données	40
2.2 La description de type comportemental ou procédural	42
2.2.1 <i>Descriptin par l'instruction IF</i>	42

2.2.2 Description par l'instruction CASE	44
2.2.3 Description par l'instruction FOR	47
2.2.4 Description par l'instruction WHILE	50
2.3 La description de type structurel	51
2.3.1 Le principe de cette description	51
2.3.2 L'instanciation	52
2.3.3 La configuration	56
2.4 La description d'une architecture de test	61
2.5 Les paquetages et les bibliothèques	69
2.5.1 Le paquetage et le corps de paquetage	69
2.5.2 Les unités de conception et les bibliothèques	71
2.5.3 Le paquetage IEEE.std_ulogic_1164	74

Chapitre 3

Les sous-programmes et les instructions

3.1 Les sous-programmes	76
3.2 Les instructions séquentielles	81
3.2.1 L'instruction wait	82
3.2.2 L'instruction assert	83
3.2.3 L'instruction d'affectation de signal	84
3.2.4 Les instructions next et exit	84
3.2.5 L'instruction null	86
3.3 Les instructions concurrentes	86
3.3.1 Le processus	86
3.3.2 L'instruction d'affectation concurrente de signal	88
3.3.3 L'instruction assert	91
3.3.4 L'instruction block	91
3.3.5 Les instructions port map et generic map	92
3.3.6 L'instruction concurrente generate	94

Chapitre 4

La modélisation de fonctions séquentielles

4.1 Quelques concepts VHDL utiles pour la logique séquentielle	98
4.1.1 Les principaux attributs sur un signal	98
4.1.2 Le concept du bloc gardé	99
4.1.3 L'incrémentation de la valeur d'un bus	101
4.2 La modélisation de bascules	112
4.2.1 La modélisation d'une bascule D	112
4.2.2 La modélisation d'une bascule T	113
4.3 La modélisation d'un registre à décalage chargeable	116

4.4 La modélisation de compteurs	117
4.4.1 <i>La modélisation d'un compteur modulo $N \neq 2^n$</i>	117
4.4.2 <i>La modélisation d'un compteur-décompteur</i>	120
4.4.3 <i>La modélisation de compteurs cascadables</i>	120
4.4.4 <i>La modélisation d'un compteur BCD</i>	122
4.5 La modélisation d'un diviseur de fréquence	126
4.6 La modélisation comportementale d'une structure modulaire	128
4.7 La modélisation d'une machine d'état	130
4.7.1 <i>La description d'une machine d'état par les deux processus (G+M) et F</i>	132
4.7.2 <i>La description d'une machine d'état par les deux processus M et (G+F)</i>	133
4.7.3 <i>La description d'une machine d'état par les trois processus M, G et F</i>	137
4.8 Le codage d'une machine d'état	140
4.8.1 <i>Les deux types de code</i>	140
4.8.2 <i>Les deux façons de désigner le choix du code "one-hot"</i>	142
4.8.3 <i>La tolérance de fautes</i>	143

Chapitre 5

Quelques concepts de programmation avancée en VHDL

5.1 La fonction de résolution	145
5.2 Le concept du signal résolu gardé	150
5.3 La conversion de type	154
5.4 La programmation VHDL orientée synthèse	154
5.4.1 <i>Ce qu'il faut éviter</i>	155
5.4.2 <i>Quelques règles de base</i>	155
5.4.3 <i>La synthèse d'un multiplexeur</i>	156
5.4.4 <i>La synthèse de l'instruction IF</i>	157
5.4.5 <i>La synthèse d'une instruction d'affectation conditionnelle ou sélective</i>	159
5.4.6 <i>La synthèse d'une instruction case</i>	159
5.4.7 <i>La description VHDL de fonctions logiques spécifiques</i>	161

Annexe 1 : Liste des mots réservés.	164
--	------------

Annexe 2 : Programmes de test.	165
---------------------------------------	------------

Annexe 3 : Description d'une entité	178
--	------------

Index	179
--------------	------------