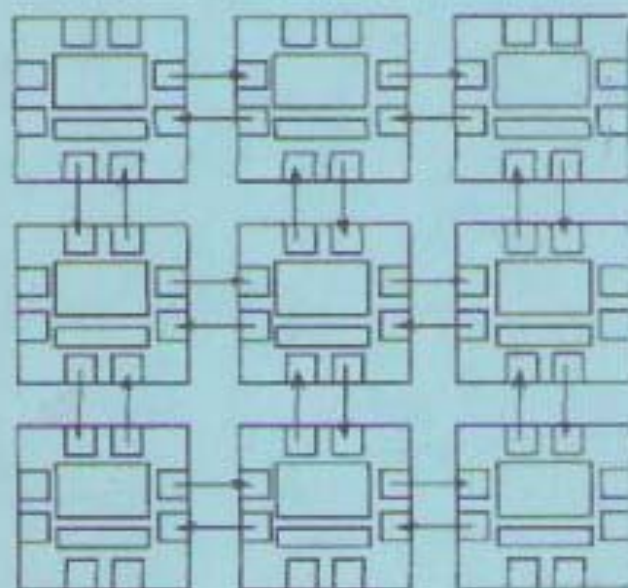
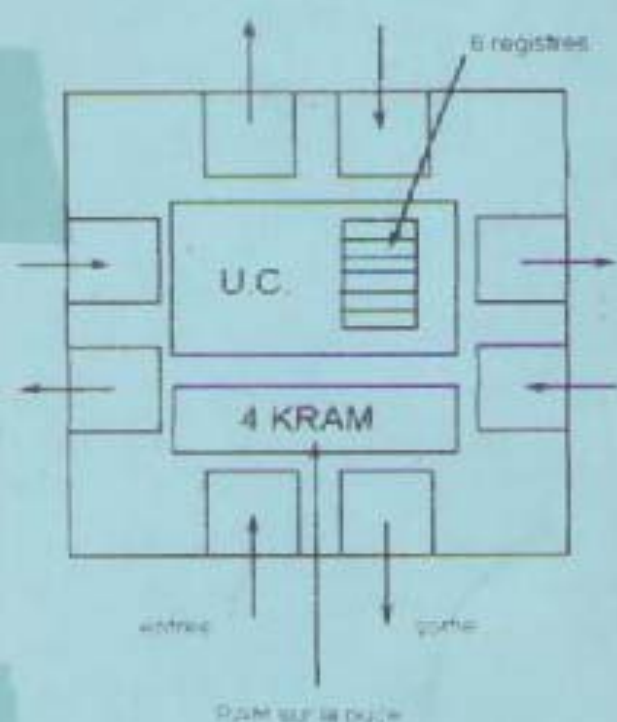


S. AIT-AOUDIA

ARCHITECTURE DES SYSTÈMES INFORMATIQUES



OFFICE DES PUBLICATIONS UNIVERSITAIRES

004-262-1

2-004-262-1

AIT-AOUDIA Samy

Dr. en informatique

Institut National de formation en Informatique

AVANT-PROPOS

ARCHITECTURE DES SYSTÈMES INFORMATIQUES



OFFICE DES PUBLICATIONS UNIVERSITAIRES

1, Place centrale de Ben-Aknoun (Alger)

TABLE DES MATIÈRES

CHAPITRE 1

Organisation hiérarchique des systèmes informatiques

1. Niveaux d'un système informatique	1
2. Architecture multicouches	4
3. Modèle de Von Neumann	6
3.1 Le Processeur ou CPU (Central Processing Unit)	7
3.1.1 L'unité de commande	8
3.1.2 L'unité arithmétique et logique UAL	8
3.2 La mémoire	9
3.2.1 Le bit	9
3.2.2 Les adresses mémoire	9
3.2.3 La hiérarchie mémoire	10
3.3 Les bus	12
3.3.1 Les lignes d'adresses	12
3.3.2 Les lignes de données	12
3.3.3 Les lignes de contrôle	12

CHAPITRE 2

Représentation et codage de l'information

1. Représentation des nombres	13
2. Conversion d'une base à l'autre	15
3. Codage des entiers	17
3.1 Codage binaire pur (Pure Binary)	17
3.2 Codage DCB (Décimal Codé Binaire)	17
3.3 Codage binaire signé	18
3.4 Codage en complément à un (ou complément restreint)	19
3.5 Codage en complément à deux (ou complément vrai)	19
3.6 Codage par excès (par excédent)	21
4. Codage des nombres flottants	21
5. Codage des caractères	22
5.1 Code ASCII	22
5.2 Code EBCDIC	23
6. Code de détection et de correction d'erreurs	24
6.1 Contrôle de parité	24
6.2 Code de Hamming	25
7. Code de Huffman	28
Exercices	31

CHAPITRE 3

La Couche Physique : les circuits logiques

1. Portes logiques et algèbre de BOOLE	35
1.1 Portes logiques	35
1.2 Algèbre de Boole	38
1.3 Réalisation des fonctions booléennes	40
1.4 Relations d'équivalence des circuits	43
2. Circuits logiques classiques	44
2.1 Les circuits intégrés logiques	44
2.2 Les circuits logiques combinatoires	46
2.2.1 Le multiplexeur	46
2.2.2 Le décodeur	49
2.2.3 Le comparateur	50
2.3 Les circuits de traitement	50
2.3.1 Le décaleur	50
2.3.2 L'additionneur	51
2.4 Les horloges	53
3. Circuits logiques séquentiels	54
3.1 Les bascules	54
3.1.1 La bascule RS	54
3.1.2 Bascule RS commandée par un niveau d'horloge	55
3.1.3 La bascule D	56
3.2 Les bascules déclenchées sur front d'horloge	57
3.3 Les registres	58
3.4 Caractéristiques des mémoires	58
4. Le microprocesseur	59
4.1 Particularités du microprocesseur	59
4.2 Les bus d'ordinateurs	63
4.3 Le microprocesseur MC68000 de MOTOROLA	65
4.4 Interface au microprocesseur	68
4.4.1 Gestion des interruptions	68
4.4.2 Les circuits d'E/S	69
4.4.3 Technique de décodage d'adresse	71
Exercices	74

CHAPITRE 4

La Couche Microprogrammée

1. Cycle de l'instruction	77
2. Microprogrammation	78

3. Micro-architecture	79
3.1 Format des micro-instructions	80
3.2 Technique de codage des micro-instructions	82
3.3 Décodage des instructions	84
4. Unité de contrôle et U.A.L.	86
4.1 Unité de contrôle	86
4.2 Unité Arithmétique et Logique (U.A.L.)	88
5. Contrôle microprogrammé versus contrôle câblé	90
Exercices.....	91

CHAPITRE 5

La Couche Conventionnelle

1. Exemple de couche conventionnelle : la famille Motorola 680x0	93
2. Format des instructions	99
2.1 Code opération expansif	100
2.2 Format d'instruction des microprocesseurs Motorola 680x0	101
3. Mode d'adressage	103
3.1 Adressage immédiat	103
3.2 Adressage direct (ou absolu)	104
3.3 Adressage par registre	104
3.4 Adressage indirect	105
3.5 Adressage registre indirect	105
3.6 Adressage indexé	106
3.7 Adressage relatif et adressage à registre de base	107
3.8 Adressage implicite	108
3.8.1 Types	108
3.8.2 Adressage par pile	108
4. Tableau récapitulatif des modes d'adressage	111
5. Types d'instructions	113
5.1 Instructions de transfert de données	113
5.2 Opérations dyadiques	114
5.3 Opérations monadiques	115
5.4 Branchements conditionnels et comparaisons	116
5.5 Instructions d'appel de procédure	117
5.6 Les entrées et sorties (E/S)	118
6. Flux de commande	120
6.1 Coroutines	120
6.2 Déroulement	123
6.3 Interruption	124
Exercices.....	125

CHAPITRE 6

La Couche Système d'exploitation

1. Introduction	129
2. Gestion de la mémoire	130
2.1 Mémoire virtuelle	130
2.1.1 Pagination	131
2.1.2 Remplacement des pages (swapping)	136
2.1.3 Modification des pages	137
2.1.4 Taille des pages et fragmentation	137
2.1.5 Segmentation	138
2.1.6 Implémentation de la segmentation	141
2.2 Mémoire virtuelle de MULTICS	143
3. Gestion des processus	145
3.1 Introduction aux processus	145
3.1.1 Modèle de processus	145
3.1.2 Hiérarchie des processus	146
3.1.3 Etat des processus	146
3.1.4 Implémentation de processus	147
3.2 Communications inter-processus	148
3.2.1 Conditions temporelles (race conditions)	148
3.2.2 Sections critiques	150
3.2.3 Exclusion mutuelle et attente active	151
3.2.4 Sleep and wakeup (dormir et réveiller)	153
3.2.5 Les sémaphores	155
3.2.6 Les régions critiques	161
3.2.7 Les moniteurs	162
3.2.8 Transmission (ou envoi) de messages	165
3.3 Processus scheduling (Plan d'exécution des processus)	166
3.3.1 Round Robin Scheduling	167
3.3.2 Priorité Scheduling	168
3.3.3 Shortest Job First	169
4. Gestion des fichiers	170
4.1 Gestion des fichiers du point de vue utilisateur	170
4.1.1 Fichiers	170
4.1.2 Directories	171
4.2 Conception du système de fichiers	172
4.2.1 Gestion de l'espace disque	172
4.2.2 Stockage des fichiers	173
Exercices	175

CHAPITRE 7

Traduction et édition de liens

1. Traduction	183
2. Structure d'un compilateur	184
2.1 Analyse lexicale	185
2.2 Analyse syntaxique	186
2.3 Analyse sémantique	186
2.4 Génération de code intermédiaire	187
2.5 Optimisation	187
2.6 Génération de code	188
3. Passes d'un compilateur	188
3.1 Les compilateurs à deux passes	189
3.2 Les compilateurs à une passe	190
3.3 La table des symboles	191
4. Les Macros	193
5. Outils d'écriture de compilateurs	194
6. Editeur de liens et chargeur	195
Exercices	199

CHAPITRE 8

Machines RISC versus machines CISC

1. Introduction	201
2. Principes de conception des machines RISC	204
2.1 Une instruction par cycle (en moyenne)	204
2.2 Architecture LOAD/STORE	205
2.3 Traitement pipeline	205
2.4 Absence de microprogramme	207
2.5 Instructions en format fixe	207
2.6 Jeu d'instructions réduit	207
2.7 Complexité du compilateur	208
2.8 Nombreux jeux de registres	209
Exercices	209

CHAPITRE 9

Architectures parallèles

1. Introduction	211
2. Classification de Flynn	212

3. Les ordinateurs MIMD à mémoire privée	214
3.1 Les transputers	215
3.2 Les hypercubes	216
4. MIMD à mémoire partagée	218
4.1 Bus unique	218
4.2 MIMD multi-étapes	219
4.2.1 Les commutateurs crossbar	220
4.2.2 Les réseaux Oméga	221
5. Les ordinateurs parallèles SIMD	223
5.1 La connection machine	223
5.2 SIMD vectorielles	224
6. Les ordinateurs à flots de données (DataFlow)	226
7. Architecture systolique	228
Exercices	230

CHAPITRE 10

Réseaux d'ordinateurs

1. Introduction	233
2. Structure des réseaux	234
3. Architecture des réseaux	238
3.1 Hiérarchie des protocoles	238
3.2 Quelques caractéristiques des couches	241
4. Le modèle OSI	242
4.1 La couche physique	243
4.2 La couche liaison (Data Link)	243
4.3 La couche réseau	243
4.4 La couche transport	244
4.5 La couche session	244
4.6 La couche présentation	245
4.7 La couche application	245
4.8 Transmission des données dans le modèle OSI	245
5. Exemples de réseaux	248
5.1 Les réseaux publics	248
5.1.1 ARPANET & INTERNET	247
5.1.2 MAP & TOP	249
6. Bases de la transmission de données	252
7. Codes de détection et de correction d'erreurs	256
7.1 Codes de correction d'erreurs	256
7.2 Codes de détection d'erreurs	257
Exercices	261
Correction d'exercices sélectionnés	263
Bibliographie	281