UNIVERSITE BLIDA 1

Faculté de Technologie

Département d'Électronique

THÈSE DE DOCTORAT EN SCIENCES

Spécialité : Electronique

SIMULATION ET OPTIMISATION DES TRANSISTORS A EFFET DE CHAMP DE LA FILIERE III-V POUR DES APPLICATIONS HAUTES PERFORMANCES ELECTRIQUES.

Par

Sofiane AMMI

Devant le jury composé de :

| M. DJEBARI | Professeur, U. de Blida 1 | Président |
|-------------|----------------------------|--------------------|
| A. AISSAT | Professeur, U. de Blida 1 | Directeur de Thèse |
| S. NACER | Professeur, U. de Blida 1 | Examinateur |
| K. RAHMOUN | Professeur, U. de Tlemcen | Examinatrice |
| A. CHEKNANE | Professeur, U. de Laghouat | Examinateur |
| B. DENNAI | Professeur, U. de Bechar | Examinateur |

ملخص

من أجل النقليل في تكلفة الإنتاج ، الحجم وفي نفس الوقت تحسين الأداء ، تخضع التر انزستورات من نوع (MOSFET) إلى تصغير مستمر. أبعادها التي تصل الآن إلى المستويات النانومترية تولد ظواهر طفيلية تؤدي إلى تدهور خصائص تيار - جهد. وبالتالي، فإن تصميمات الأجهزة الجديدة مطلوبة لتقليل تبديد الطاقة وتحسين النقل الإلكتروني. من هذا، كان العمل الذي تم إجراؤه خلال هذه الرسالة موجهًا بشكل خاص نحو دراسة التر انزستورات المبتكرة ذات الأشكال الهندسية المركبة من تكنولوجيا (SOI) المهجورة تمامًا والأجسام الفائقة الرقة (UTB-FD.SOI) مع استخدام مواد "جديدة" مثل عازل البوابة ذو السماحية العالية (kigh-k) وأشباه الموصلات العالية الحركية (OII) المهجورة تمامًا والأجسام الفائقة الرقة (UTB-FD.SOI) مع استخدام مواد "جديدة" مثل عازل البوابة ذو السماحية العالية (kigh-k) وأشباه الموصلات العالية الحركية (VIII-V). بفضل تطوير أكو اد لبرناج المحاكاة العددية في بيئة (TCAD) المتنادًا للحل المدمج لزوج معادلة بواسون-شرودينغر كذلك باستخدام ميكانيزم النقل جرياني-أنتشاري الذي يضم النماذج الفيزيائية المناسبة، قمنا بدر اسة السوك الكوربائي للتركيبات المختلفة. في البداية، إهتممنا بالجوانب التي تسمح لنا بالوصف الدقيق للعمل الكهربائي للتركيبة معانية. المحادية، إهتممنا بالجوانب التي تسمح لنا بالوصف الدقيق للعمل الكهربائي لتركيبة معن حال كشر كفاءة. بعد ذلك، تم تقييم واستكشاف إمكانيات هياكم الترنزيزورات الموسلات السلوك الكهربائي للتركيبات المختلفة. في البداية، إهتممنا بالجوانب التي تسمح لنا بالوصف الدقيق للعمل الكهربائي لتركيبة معان حال رفتور الشاد الموصلات السلوك الكهربائي للتركيبات المختلفة. في البداية، تحملنا عليها معن من هيكل سيليسيوم جسيمي (SOI) إلى التركيبة (-TCAD) باستعمال مواد جديدة للتطور نحو ترانزستورات أكثر كفاءة. بعد ذلك، تم تقيم واستكشاف إمكان التريزيز موالذي يسموع التوين الموابي التي يضم الموليدي والت هالوك الكهربائي للتركيبة مع أسما ولي الموران الموابية والموليا المولية والموليا والتوي والتولي والى الترنزيزورات المطبقة مع أشباه الموسلات بالسول المولي إلى والذي الموران والمورا في الترانزستور ألى اللى هيكان الترنزيز والتورات والى هايل المولي والى المولية والموسالة موبي والى المولي والى والمولي واللليابي والتركيبة المعام المورز في الترانوو ألما هالي هي مان ه

<u>RÉSUMÉ</u>

Dans le but de diminuer le coût de production, l'encombrement et d'améliorer en même temps les performances, les MOSFETs, sont soumis à une miniaturisation incessante. Leurs dimensions, atteignant désormais le régime nanométrique, engendrent des phénomènes parasites qui dégradent les caractéristiques courant-tension. Ainsi, de nouvelles architectures de dispositifs sont requises afin de minimiser la puissance dissipée et d'améliorer le transport électronique. Les travaux menés au cours de cette thèse se sont plus particulièrement orientés vers l'étude de transistors innovants avec une architecture combinée de SOI complétement désertée et corps ultra-mince (UTB-FD.SOI) et l'utilisation de "nouveaux" matériaux tels que les diélectriques de grille à haute permittivité dits "high- κ " et les semiconducteurs à forte mobilité (III-V). Grâce au développement de codes de simulation numérique dans un environnement TCAD basés sur la résolution auto-cohérente du couple d'équations Poisson-Schrödinger et en utilisant le formalisme de transport en Dérive-Diffusion intégrant les modèles physiques adéquats, nous avons étudié le comportement électrique de différentes structures. Dans un premier temps, Nous nous sommes intéressés aux aspects qui permettent de décrire le fonctionnement électrique de l'empilement Métal-Oxyde-Semiconducteur avec l'utilisation de nouveaux matériaux pour évoluer vers des transistors plus performants. Puis, nous avons évalué et exploré les potentialités des structures MOSFET appliquées avec les semiconducteurs III-V sous faible polarisation, en commençant par la présentation des progrès réalisés dans le transistor MOSFET depuis la structure Si-Bulk jusqu'au UTB-III-V. A la fin, nous avons présenté et analysé les résultats de simulation obtenus par nos codes sur des structures MOSFET. Une étude sur les structures à Silicium bulk et ses différentes formes SOI ensuite les structures Bulk à matériaux III-V et on a terminé par une analyse sur le MOSFET UTB-III.V, en exposant ses performances et montrant ses caractéristiques statiques et dynamiques.

ABSTRACT

In order to reduce the production cost, size and at the same time improve the performance, MOSFETs, are subject to incessant miniaturization. Their dimensions, now reaching the nanometric regime, generate parasitic phenomena that degrade the current-voltage characteristics. Thus, new device architectures are required in order to minimize the power dissipation and to improve the electronic transport. The work carried out during this thesis was more particularly oriented towards the study of innovative transistors with a combined architecture of completely deserted SOI and ultrathin body (UTB-FD.SOI) and the use of "new" materials such as high permittivity gate dielectrics called "high- κ " and high mobility semiconductors (III-V). A development of numerical simulation codes in a TCAD environment based on the self-consistent resolution of Poisson-Schrödinger equations and by using the Drift-Diffusion transport formalism integrating the appropriate physical models, allowed us to study the electrical behavior of different structures. At first, we were interested in the aspects that make it possible to describe the electrical operation of the Metal-Oxide-Semiconductor stack with the use of new materials to evolve towards transistors that are more efficient. Then, we evaluated and explored the potential of MOSFET structures applied with III-V semiconductors under low bias, starting with the presentation of the progress made in the MOSFET transistor from the Si-Bulk structure to UTB-III-V. At the end, we presented and analyzed the simulation results obtained by our codes on MOSFET structures. A study on bulk silicon structures and its different SOI forms followed by bulk structures with III-V materials and ended with an analysis of the UTB-III.V MOSFET, exposing its performance and showing its static and dynamic characteristics.

REMERCIEMENTS

Avant tout propos, Je remercie **ALLAH** le Tout-puissant de m'avoir donné le courage, la volonté et la patience de mener à terme ce présent travail.

Je tien tout d'abord à remercie particulièrement mon directeur de thèse, Professeur AISSAT Abdelkader, pour m'avoir suivi et soutenu tout le long de ces année, j'apprécie aussi la confiance qu'il m'a toujours accordée pendant mes travaux de recherche, il m'a permis de travailler tout en me laissant une grande autonomie pour développer mon sujet.

Le Professeur DJEBARI Mustapha de l'université de Blida 1 m'a fait l'honneur de présider le jury de cette thèse.

Mes remerciements vont aussi au Professeur RAHMOUN Khadija de l'université de Tlemcen pour avoir acceptée de juger ce travail.

Je suis aussi honoré de la présence dans le jury de Monsieur CHEKNANE Ali, Professeur de l'université de Laghouat.

Mes sincères remerciements sont adressés au Professeur DENNAI Benmoussa de l'université de Bechar et à Monsieur NACER Said Professeur à l'université de Blida 1 d'avoir acceptés de juger ces travaux.

Cette thèse n'en serait pas une sans les membres du jury qui en estiment la pertinence. J'ai conscience de la chance d'avoir ce panel de qualité. Je les en remercie pour cela et pour leurs retours.

Je remercie énormément mes parents pour leur confiance, leur amour et pour leur soutien inconditionnel. Mes sœurs et mon frère ainsi que tous les membres de ma belle-famille, trouveront ici l'expression de mon amour intarissable.

Et enfin, je ne saurai terminer sans remercie ma femme Lynda pour ses encouragements et la patience dont elle a su faire preuve pendant ces années d'études et pour avoir acceptée de sacrifier autant de choses pour moi. Pour conclure, je voudrais dédier ce travail à mes trois petits chères enfants que dieu les bénisse : Wissal Hanna, Nourhane Rifka et mon petit homme Mohamed Yasser.

TABLE DES MATIÈRES

| RÉSUMÉ | |
|---|--------------------------|
| REMERCIEMENTS | |
| TABLE DES MATIÈRES | |
| LISTE DES ILLUSTRATIONS, GRAPHIQUES ET TABLEAUX | |
| INTRODUCTION GÉNÉRALE | 1 |
| 1. MOTIVATIONS, PRINCIPES ET ENJEUX DES TRANSISTORS A EFFET DE CHAMP. | |
| 1-1. Motivations | 4 |
| 1-1-1. Fin de la loi de Moore 1-1-2. L'exigence de l'intelligence ambiante 1-1-3. Les transistors faibles consommation - The Green Transistor 1-1-4. Matériaux III-V et Silicium | 4 5 6 7 |
| 1-2. Transistors à effet de champ « FET » 1-2-1. Généralités 1-2-2. Le MESFET 1-2-3. Le HEMT 1-2-4. Le MOSFET | 9 9 10 12 17 |
| 1-3. Réduction des dimensions1-3-1. Les effets de canal court1-3-2. Les effets quantiques | 22 23 25 |
| 1-4. Les transistors MOSFET à base de matériaux innovants 1-4-1. Diélectrique de grille high-k 1-4-2. Transistor à canal de Silicium contraint 1-4-3. Transistors à base de semiconducteurs à forte mobilité | 26 26 27 28 |
| 1-5. Conclusion | 29 |
| 2. INTRODUCTION AUX TRANSISTORS MOSFET A BASE DES SEMICONDUCTEURS III-V. (GENERALITES, DEFIS ET ETAT DE L'ART). | |
| 2-1. Introduction | 30 |
| 2-2. Généralités sur les transistors MOS | 33 |
| 2-2-1. Les différents régimes d'une structure n-MOS 2-2-2. Principaux paramètres électriques d'un MOSFET 2-2-2-1. En régime statique 2-2-2-2. En régime dynamique | 33 38 38 44 |
| 2-2-3. Mobilité des porteurs dans le canal de conduction | 49 |

| | | 2-2-3-1. Définition de la mobilité2-2-3-2. Les interactions limitant la mobilité dans les transistors MOS | 49 51 |
|---|------------|--|--|
| | 2-3. | Défis du MOSFET à base des matériaux III-V 2-3-1. Puissance consommée et tension d'alimentation 2-3-2. Les matériaux III-V pour les futurs n-MOSFET 2-3-3. Les architectures alternatives 2-3-3-1. Le transistor Ultra-Thin-Body (UTB) 2-3-3-2. Le transistor FinFET 2-3-3-3. Le transistor Gate All-Around 2-3-4. Interface III-V/diélectrique de grille 2-3-4-1. Passivation de la surface 2-3-4-2. Technique de dépôt d'oxyde 2-3-5. Résistances d'accès R_s et R_D | 53 55 57 58 58 60 62 63 63 64 65 |
| | 2-4. | Etat de l'art des MOSFETs III-V 2-4-1. Densité d'états d'interface D _{it} 2-4-2. Comportement sous le seuil 2-4-3. Courant de drain maximal, transconductance maximale et mobilité 2-4-4. Performances fréquentielles (f _T ,f _{max}) | 66 66 67 68 70 |
| | 2-5. | Conclusion | 71 |
| 3 | . MO DE | DELISATION ET SIMULATION DES STRUCTURES MOS LA FILIÈRE III-V. | |
| | 3-1. | Introduction | 72 |
| | 3-2. | Matériaux innovants | 72 |
| | 3-3. | Approches topologiques de la structure Métal/Oxyde/S.C 3-3-1. Structure Idéale 3-3-2. Structure Réelle | 73 73 74 |
| | 3-4. | Etude des propriétés électriques de l'empilement | 75 |
| | | 3-4-1. Présentation et Equations de base 3-4-1-1. Equation de Poisson 3-4-1-2. Equation de Schrödinger 3-4-1-3. Equations de Poisson-Schrödinger 3-4-2. Simulation des structures M.O.S (Application aux différentes | 75 77 79 81 82 |
| | 25 | structures) 3-4-2-1. Structure poly-Si/SiO ₂ /Si-p 3-4-2-2. Structure Métal/SiO ₂ /Si-p 3-4-2-3. Structure Métal/High-k/Si-p 3-4-2-4. Structure Métal/High-k/III-V | 82 85 88 90 |
| | 5-5. | Conclusion | 90 |

| 4. SIMULATION DES TRANSISTORS MOSFET DE LA FILIÈRE III-V. | | | |
|--|-----|--|--|
| 4-1. Introduction | 99 | | |
| 4-2. Amélioration des performances du MOSFET : du Si-Bulk au UTB-III-V. | 99 | | |
| 4-3. Modèles de simulation de transport | 103 | | |
| 4-3-1. Formalisme de Dérive-Diffusion | 103 | | |
| 4-3. Modèles de simulation de transport 4-3. Formalisme de Dérive-Diffusion 4-3-1. Formalisme de Dérive-Diffusion 4-3-2. Modèles de mobilité 4-3-2-1. Modèle de mobilité constante 4-3-2-2. Modèle de mobilité dépendante à la concentration des dopants 4-3-2-3. Modèle de mobilité dépendante au champ électrique 4-3-3. Modèles de Génération-Recombinaison 4-4. Simulation des structures MOSFET 4-4-1. MOSFETs avec des structures à Silicium 4-4-2. MOSEETs des atmetures à matérieu ULV | | | |
| 4-3-2-1. Modèle de mobilité constante | 106 | | |
| 4-3-2-2. Modèle de mobilité dépendante à la concentration des dopants | 106 | | |
| 4-3-2-3. Modèle de mobilité dépendante au champ électrique | 107 | | |
| 4-3-3. Modèles de Génération-Recombinaison | 107 | | |
| 4-4. Simulation des structures MOSFET | 108 | | |
| 4-4-1. MOSFETs avec des structures à Silicium | 108 | | |
| 4-4-2. MOSFETs des structures à matériau III-V | 118 | | |
| 4-5. Conclusion | 132 | | |
| CONCLUSION GÉNÉRALE | | | |
| ANNEXE | | | |
| LISTE DES SYMBOLES ET DES ABRÉVIATIONS | | | |
| RÉFÉRENCES | | | |

LISTE DES ILLUSTRATIONS, GRAPHIQUES ET TABLEAUX

| Figure 1.1 | La loi de Moore | 5 | | | |
|-------------|--|----|--|--|--|
| Figure 1.2 | Débit fonction de la puissance consommée | 6 | | | |
| Figure 1.3 | Coupe schématique d'un MESFET | 10 | | | |
| Figure 1.4 | Vue en coupe et polarisation d'un MESFET | 11 | | | |
| Figure 1.5 | Structure de couche d'un HEMT | 12 | | | |
| Figure 1.6 | Structure de bande d'une hétérojonction en présence d'un potentiel de grille | | | | |
| Figure 1.7 | Evolution du diagramme de bande de conduction avec V_{gs} | 15 | | | |
| Figure 1.8 | Variation de la vitesse électronique en fonction du champ dans InP, GaAs, InGaAs | 18 | | | |
| Figure 1.9 | Schématique bidimensionnelle (2D) du transistor MOSFET | 19 | | | |
| Figure 1.10 | (a) Caractéristique $I_D(V_G)$ [en échelle logarithmique (à gauche) et linéaire (à droite)] d'un MOSFET. (b) Caractéristique $I_D(V_D)$ d'un MOSFET pour différentes tensions de grille et régimes de fonctionnement. | 20 | | | |
| Figure 1.11 | Représentation schématique de l'évolution de la barrière de potentiel dans les transistors à canal long et court sous faible et forte polarisation de drain. | 22 | | | |
| Figure 1.12 | Caractéristique $I_D(V_G)$ schématiques de transistors MOSFET. (Dégradation des paramètres sous le seuil due aux effets de canal court SCE et DIBL à cause de la réduction de L_g) | 23 | | | |
| Figure 1.13 | Propriétés des principaux matériaux high-k envisagés pour le remplacement du SiO ₂ : (a) bande interdite en fonction de la permittivité relative, (b) bande interdite, écart entre la bande de conduction ΔE_C et de la bande de valence ΔE_V par rapport au Silicium | 26 | | | |
| Figure 2.1 | Evolution de la vitesse de calcul au cours du vingtième siècle à prix constant. | 30 | | | |
| Figure 2.2 | Processeur de type Pentium : puce montée sur son boitier en céramique. | 30 | | | |

| Figure 2.3 | Evolution des dimensions du transistor, de son invention à ce jour. | 32 | |
|-------------|---|----|--|
| Figure 2.4 | (a) Schéma illustratif d'un MOSFET, (b) Découpe en axe Y : capacité MOS. | | |
| Figure 2.5 | Illustration du diagramme de bande énergétique à travers l'axe Y de la capacité MOS sans contact avec définition des paramètres qui les caractérisent. | 34 | |
| Figure 2.6 | Diagramme de bande de la structure MOS (Semiconducteur type P) pour les différents régimes de fonctionnement : (a) régime de bandes plates, (b) régime d'accumulation, (c) régime de déplétion, (d) régime d'inversion. | 35 | |
| Figure 2.7 | Représentation de l'évolution en valeur absolue de la charge dans le Semiconducteur (type P) en fonction de la valeur du potentiel de surface, mettant en évidence les différents régimes de fonctionnement. | 37 | |
| Figure 2.8 | (a) Schéma électrique équivalent de la capacité MOS (b) allure de la courbe C-V avec les différents régimes. | 37 | |
| Figure 2.9 | Illustration d'une courbe C-V avec les données différentes en basse fréquence (lf) et haute fréquence (hf). | 43 | |
| Figure 2.10 | Schéma équivalent petit-signale d'un MOSFET. | 44 | |
| Figure 2.11 | Méthodologie d'extraction des éléments extrinsèques du schéma équivalent petit signal d'un MOSFET. | 46 | |
| Figure 2.12 | (a) Trajectoire d'une particule de charge q dans un champ électrique \vec{E} dont les collisions lui confèrent une vitesse moyenne $\vec{v_d}$. (b) Courbe qui relie la vitesse de dérive des porteurs V_{drift} et le champ électrique latéral entre la source et le drain d'un transistor. (c) Schéma décrivant la collision dans le cas de 2D. | 50 | |
| Figure 2.13 | Schéma récapitulant les différentes interactions responsables de la mobilité dans un transistor MOS. | 52 | |
| Figure 2.14 | Représentation Schématique de la mobilité en fonction du champ électrique effectif, avec les trois principaux mécanismes limitants. | 53 | |
| Figure 2.15 | Les progressions sur la structure MOSFET d'après le rapport de l'ITRS 2010. | 54 | |
| Figure 2.16 | (a) : Evolution de la densité de puissance du CPU. (b) : Evolution de la fréquence d'horloge du CPU. | 55 | |

| Figure 2.17 | Allure de la caractéristique de transfert d'un MOSFET. Effet de la tension sur le courant I_{OFF} . | | |
|-------------|--|----|--|
| Figure 2.18 | Innovations de la conception du transistor MOS et technologies émergentes. | | |
| Figure 2.19 | (a) Mobilité électronique en fonction de la densité de porteurs pour les hétéro-structures à base de matériaux III-V ou Si. (b) Evolution de la vitesse d'injection en fonction de la longueur de grille L_G pour les transistors à base de III-V, Si contraint et non contraint. | | |
| Figure 2.20 | (a) Représentation schématique, (b) Vue en coupe TEM, d'un MOSFET InGaAs planaire réalisé sur substrat InP. | 59 | |
| Figure 2.21 | Evolution de la transconductance des transistors MOSFET et HEMT depuis 1980 (avec une composition d'InGaAs variable). | 60 | |
| Figure 2.22 | (a) Image MEB de la gravure des canaux InGaAs (3D), (b) FinFET InGaAs complet réalisé au MIT. (c) Vue en coupe TEM d'un FinFET InGaAs réalisé à IMEC. | 61 | |
| Figure 2.23 | (a) Comparaison de la transconductance des FinFETs InGaAs et Si en fonction de la largueur du Fin (W_f). Les chiffres annotés pour chaque point représentent le rapport d'aspect du canal (hauteur/largueur). (b) Variation de la tension de seuil des FinFETs III-V en fonction de W_f . | 61 | |
| Figure 2.24 | Techniques de fabrication de nannofils III-V par les approches « top-down » ou « bottom-up ». | 62 | |
| Figure 2.25 | (a) Schéma explicatif des résistances participantes à la résistance d'accès du MOSFET. (b) l'évolution relative de la résistance $R_{S/D}$ par rapport à la résistance totale R_{Totale} en fonction de la longueur de grille L_G . | 65 | |
| Figure 2.26 | D_{it} en fonction de L_g des transistors MOSFET et MOSHEMT d' InGaAs pour différents groupes de recherche. | 67 | |
| Figure 2.27 | (a) Etat de l'art du <i>SS</i> de MOSFET et MOSHEMT. (Purdue1[102], Tokyo[91], Purdue2[101], IMEC[103], Singapore1[94], Singapore2[83], RCIQE[104], Purdue3[93], Stanford[80], Texas1[96], Texas2[105], Singapore3[106], Purdue4[98], Lund[92], IBM1[107], IBM2[108], Glasgow[109], IBM3[110], Taiwan[111], Freescale[112], Intel[97], Purdue5[99], Texas3[113]) ; (b) Etat de l'art du <i>DIBL</i> de MOSFET et MOSHEMT. (Purdue1[102], Purdue2[114], Purdue3[98], RCIQE[104], Purdue4[95], Lund[92], Intel1[97], Singapore[94], Purdue5[101], IBM[107], Intel2[115]). | 68 | |
| | | | |

- 69 Figure 2.28 (a) Etat de l'art du *I_{dmax}* de MOSFET et MOSHEMT. (Lund[92], Tokyo1[116], Purdue1[98], Purdue2[93], Purdue3[114], Singapore1[106], Tokyo2[91], IMEC[103], Sematech[117], RCIQE[104], Singapore2[94], Texas1[96], Texas2[119], IBM1[107], Intel[115], Freescale[112], Purdue4[99], IBM2[118], Glasgow[109], IBM3[110] ; (b) Etat de l'art du gm_{dmax} de MOSFET et MOSHEMT. (Lund[92], Tokyo[116], Purdue1[93], Sematech[117], Purdue2[98], RCIQE[104], Singapore1[106], Purdue3[114]. Purdue4[102], Stanford[80], Intel1[97], Texas[105], Singapore2[94], Intel2[115], IBM1[107], Freescale[112], Taiwan[111], IBM2[108], Intel3[118], IBM3[110]); (c) Etat de l'art de mobilité effective de et MOSHEMT. MOSFET (Tokyo1[116], Singapore1[106], Purdue1[95], Sematech[117], Singapore2[94], Singapore3[83]. Texas1[96], IMEC[103], Lund[92], Texas2[119], Tokyo2[120], Tokyo3[91], Glasgow[109], Texas3[121], Freescale1[122], Freescale2[123], Freescale3[112], Texas4[113], Purdue2[99]).
- Figure 2.29 Etat de l'art du du (a) f_T et (b) f_{max} des transistors FETs III-V. (Lund[124], UK[130], Notre Dame[81], Bell[131], NCU Taiwan1[132], NCTU Taiwan[125], NTHU Taiwan[133], Intel[126], NCKU Taiwan[111], Intelligence Support[134], Purdue[99], CGU Taiwan[135], NCU2[136], Teledyne Scientific[137], Arizona State[108], MIT[129], Korea[138]).
- Figure 3.1 Schéma d'un transistor MOS intégrant divers matériaux 73 innovants : Grille métallique, Oxyde high-k, Substrat (canal) à haute mobilité.
- Figure 3.2 Organigramme schématique de la simulation d'une structure 76 M.O.S pour le calcul de la commande de charge $n_s(V_g)$, caractéristique $C(V_g)$...
- Figure 3.3 Les séquences de calcul auto-cohérent des équations Poisson- 81 Schrödinger.
- Figure 3.4 Schéma d'une structure MOS-Si avec une grille Poly-Silicium 82
- Figure 3.5Diagramme de bande d'une structure n-MOS avec une grille83Polycilicium : (PolySi P+/SiO2/Subsrat Si-p).83
- Figure 3.6 Variation de la capacité Grille-Substrat en fonction de la tension 84 de grille pour différent dopage du poly-Si (a), Impact de la déplétion du poly-Si sur la capacité totale de la structure MOS (b).
- Figure 3.7 l'effet de la déplétion sur la structure n-MOS 84 (*PolySi P+/SiO₂/Subsrat Si-p*) pour différentes épaisseurs d'oxyde.
- Figure 3.8 Evolution du courant de drain en fonction de la tension de grille 85 pour différent dopage du poly-Si pour un n-MOSFET-Si ($T_{OX} = 5$ nm, $L_g = 100$ nm).

- Figure 3.9Diagramme de bande d'une structure n-MOS. a) avec une grille
polysilcium (*PolySi N+/SiO2/Subsrat Si-p*), b) avec une grille
métallique (*Al/SiO2/Subsrat Si-p*).86
- Figure 3.10 Courant de grille en fonction de la tension de grille pour 87 différentes épaisseurs d'oxyde d'une structure *MOS(Al/SiO₂/p-Si)*.
- Figure 3.11 Evolution de la tension de seuil en fonction de l'épaisseur 87 d'oxyde pour une structure n-MOSFET-Si/SiO₂ (Na = 6.10¹⁷ cm⁻³, $L_g = 100$ nm).
- Figure 3.12 Illustration de l'intégration d'un diélectrique high-k dans une 88 structure MOS permettant de comparer les différents EOT à capacités équivalentes.
- Figure 3.13 Comparaison entre deux structures MOS intégrant un 89 diélectrique high-k Al₂O₃ et une référence SiO₂. (*MOS Al/Oxyde/Si-p*)
- Figure 3.14 Évolution de la mobilité des électrons en fonction du champ 90 électrique à travers l'empilement de la grille MOS dans une structure en Al₂O₃/Si vs SiO₂/Si
- Figure 3.15 (a) Potentiel électrique $\psi(y)$ et (b) Densité des électrons n(y) de 91 la structure Al₂O₃/p-GaAs ($T_{Al_2O_3} = 10nm, N_A = 510^{17}cm^{-3}$) dans le régime d'inversion forte
- Figure 3.16 (a) Diagramme de bande de la structure Al₂O₃/p-GaAs et (b) 92 Zoom sur le puits de potentiel (E_F se trouve dans la bande permise, GaAs est dégénéré)
- Figure 3.17 (a) Diagramme de bande avec les niveaux d'énergie quantiques, 93 (b) densité des électrons en calcul classique (CL) et calcul quantique (QM), (c) Zoom sur l'interface oxyde/semiconducteur, suivant la direction y pour la structure Al_2O_3/p -GaAs avec $N_a = 3.10^{18} cm^{-3}$
- Figure 3.18 Caractéristiques C-V simulées en calcul classique (CL) et 94 quantique (QM) avec un travail de sortie du métal ($\phi_M =$ 4.05 eV): (a) Pour différentes épaisseurs de l'oxyde ($T_{OX} =$ 0.5, 1 et 1.5 nm) et $N_A = 1 \times 10^{19} cm^{-3}$. (b) Pour différents dopages du substrat ($N_A = 1 \times 10^{18}$, 1×10^{19} et 5 × $10^{19} cm^{-3}$) et $T_{OX} = 1nm$
- Figure 3.19 Caractéristiques C-V expérimentales [148] et simulées en 95 modèle quantique de la structure SiO₂/p-Si ($\phi_M = 4.05 eV$) Pour : $T_{OX} = 2,7nm$, $N_A = 6 \times 10^{17} cm^{-3}$

- Figure 3.20 Caractéristiques C-V simulées (P-S) pour différents 96 semiconducteurs III-V dopés p $(N_A = 1 \times 10^{17} cm^{-3})$ avec une couche d'Alumine $(T_{Al2O3} = 2,3nm,EOT \approx 1nm)$ et un travail de sortie pour toutes les structures $(\phi_M = 5 \text{ eV})$
- Figure 3.21 (a) Caractéristiques C-V simulées en basse et haute fréquence. 97 (b) la densité de défauts d'interface associée en fonction de la polarisation de grille V_g pour la structure Al₂O₃/p-InP dopé p ($N_A = 1 \times 10^{17} cm^{-3}$) avec une couche d'Alumine ($T_{Al2O3} = 8nm, EOT \approx 3.4nm$) et un travail de sortie ($\phi_M = 5 eV$)
- Figure 4.1 Structure schématique d'un transistor PDSOI (a) et d'un 100 transistor FDSOI (b).
- Figure 4.2 Différentes architectures de MOSFET III-V. 102
- Figure 4.3 Structure schématique d'un transistor MOSFET-Si Bulk 108
- Figure 4.4 Caractéristique I-V d'un transistor MOSFET-Si Bulk avec 109 $L_g=0.5\mu m$, (a) : Courant de drain en fonction de la tension de drain pour différentes valeurs de la tension de grille. (b) : Courant de drain et la transconductance en fonction de la tension de grille pour une tension de drain de 0.5 V.
- Figure 4.5 Caractéristiques de transfert d'un transistor MOSFET-Si Bulk, 110 (a) : $I_d(V_g)$ pour différentes valeurs de L_g avec $V_d=0.5V$. (b) : $Log I_d(V_g)$ pour différentes valeurs de L_g avec $V_d=0.5V$. (c) : Log $I_d(V_g)$ pour $L_g = (0.4 \mu m, 1 \mu m)$ avec $V_d=0.05V$ et $V_d=1V$.
- Figure 4.6 Graphe en contour de la variation du champ électrique à travers 111 toutes les régions de la structure, $(A) : L_g = 1 \ \mu m$. (B) : $L_g = 0.3 \ \mu m$.
- Figure 4.7 Caractéristique de transfert d'un transistor MOSFET-Si Bulk 111 avec $L_g=0.3\mu m$ et $T_{ox}=5nm$ pour différents dopages du canal avec $V_d = 0.5$ V.
- Figure 4.8 Structure schématique d'un transistor n-MOSFET-FDSOI. 112
- Figure 4.9 Evolution I-V d'un MOSFET de structure FDSOI-Si avec 113 $L_g=0.5\mu m.$ (a) : Caractéristique de sortie pour différentes valeurs de la tension de grille. (b) : Caractéristique de transfert et la transconductance en fonction de la tension de grille pour une tension de drain de 0.5 V.
- Figure 4.10 Comparaison entre MOSFET de structure FDSOI-Si et Bulk-Si, 113 $L_g=0.5\mu m.$ (a) : Caractéristique de transfert et transconductance en fonction de Vg. (b) Log Id(Vg) sous le seuil.

- Figure 4.11 Caractéristique de sortie d'un MOSFET de structure FDSOI-Si 114 à $V_g=1V$ pour différentes valeurs de l'épaisseur du film de Silicium en canal.
- Figure 4.12 Effet de la température d'un MOSFET de structure FDSOI-Si, 115 $L_g=0.5\mu m$ et $V_d=0.5V$. (a) : Caractéristique de transfert. (b) : Transconductance en fonction de V_g . (c) Log $I_d(V_g)$ sous le seuil.
- Figure 4.13 (a) : Caractéristique de transfert et transconductance en fonction 116 de V_g des MOSFETs Bulk-Si, FDSOI-Si et UTB-FDSOI-Si. (b) : Log Id(Vg) sous le seuil des MOSFETs Bulk-Si, FDSOI-Si et UTB-FDSOI-Si. (c) : Log Id(Vg) d'un MOSFET de structure UTB-FDSOI-Si avec Vd =0.05V et Vd =0.5V.
- Figure 4.14 Caractéristique de sortie d'un MOSFET FDSOI-Si et UTB-FDSOI-Si à $V_g=1V$.
- Figure 4.15 (a) : Variation de la tension de seuil en fonction de la longueur 117 de grille pour un MOSFET UTB-FDSOI-Si. (b) : Evolution de la tension de seuil d'un MOSFET UTB-FDSOI-Si avec l'épaisseur du film. (c) : Variation de la mobilité du canal d'un MOSFET UTB-FDSOI-Si en fonction de champ électrique pour différentes épaisseurs du film.
- Figure 4.16 Structure schématique d'un transistor MOSFET-III-V Bulk. 118
- Figure 4.17 Caractéristique I-V d'un transistor MOSFET-GaAs Bulk avec 129 $L_g=0.5\mu m$, (a) : Courant de drain en fonction de la tension de drain pour différentes valeurs de la tension de grille. (b) : Courant de drain et la transconductance en fonction de la tension de grille pour une tension de drain de 0.5 V.
- Figure 4.18 (a) Evolution de la masse effective des électrons avec la 120 concentration d'Indium dans le ternaire In_xGa_{1-x}As. (b) Courant de drain en fonction de la tension de grille pour une tension de drain de 0.5 V d'un transistor MOSFET-In_xGa_{1-x}As Bulk pour différentes concentrations d'Indium. (c) Transconductance en fonction de la tension de grille pour une tension de drain de 0.5 V d'un transistor MOSFET-In_xGa_{1-x}As Bulk pour différentes concentrations d'Indium.
- Figure 4.19 Structure schématique d'un transistor MOSFET-III-V- 121 ThinBody.
- Figure 4.20 Caractéristique I-V d'un transistor MOSFET-T.B 122 $In_{0.53}Ga_{0.47}As/In_{0.52}Al_{0.48}As$ avec $L_g=0.5\mu m$, (a) : Courant de drain en fonction de la tension de drain pour différentes valeurs de la tension de grille. (b) : Courant de drain et la transconductance en fonction de la tension de grille pour une tension de drain de 0.5 V.

- Figure 4.21 Caractéristique de sortie d'un MOSFET-T.B 122 In_{0.53}Ga_{0.47}As/In_{0.52}Al_{0.48}As à V_g=1V pour différentes valeurs de l'épaisseur d'InGaAs en canal.
- Figure 4.22 Structure schématique d'un transistor MOSFET-III-V à canal 123 enterré.
- Figure 4.23 Effet de l'épaisseur de la couche barrière d'InP d'un transistor 124 MOSFET-InGaAs à canal enterré avec L_g=0.5μm et V_d=0.5V.
 (a) : Caractéristique de transfert. (b) : Transconductance en fonction de V_g.
- Figure 4.24 (a) : Caractéristique de transfert et transconductance en fonction 125 de V_g des MOSFETs InGaAs avec et sans couche barrière d'InP pour $L_g=0.3\mu m$ et $V_d=0.5V$. (b) : Log $I_d(V_g)$ sous le seuil des MOSFETs InGaAs avec et sans couche barrière d'InP avec $L_g = [200, 100, 50]nm$ et $V_d = 0.5V$.
- Figure 4.25 (a) : Caractéristique de transfert et transconductance en fonction 126 de V_g des MOSFETs InGaAs à canal enterré avec épaisseur de 5nm et 10nm pour L_g=50nm et V_d =0.5V. (b) : Log I_d(V_g) sous le seuil des MOSFETs InGaAs à canal enterré avec épaisseur de 5nm et 10nm pour L_g=50nm et V_d =0.5V.
- Figure 4.26 (a) : Structure épitaxiale à travers la grille d'un MOSFET-InAs 127 UTB. (b) : Diagramme d'énergie de bande interdite d'une ligne de coupe verticale à l'hétérojonction suivant la grille. (c) : Structure schématique d'un transistor MOSFET-InAs UTB à canal composite.
- Figure 4.27 (a) : Evolution du courant de drain en fonction du dopage de la région canal à $V_d = 0.7$ V et $V_g = 0.5$ V. (b) : Log $I_d(V_g)$ sous le seuil pour différentes valeurs de dopage en canal. (c) : Evolution du courant de drain en fonction du dopage des régions source/drain à $V_d = 0.7$ V et $V_g = 0.5$ V.
- Figure 4.28 Les caractéristiques I-V d'un transistor MOSFET UTB-InAs à 130 $L_g = 150$ nm (a): Caractéristique de sortie Id-Vd. (b): Caractéristique de transfert Id-Vg et Transconductance Gm-Vg à $V_d = 0.7$ V.
- Figure 4.29 Les caractéristiques I-V d'un transistor MOSFET UTB-InAs à 130 $L_g = 150 \text{ nm} (a)$ Comparaison de la caractéristique de sortie entre résultats expérimentaux et simulation à différentes tensions de grille. (b) : Comparaison de la caractéristique de transfert et transconductance entre expérimental et simulation à $V_d = 0.7 \text{ V}$.

| Figure 4.30 | (a): Evolution fréquentielle du gain en courant $ H_{21} ^2$ du | 131 |
|-------------|--|-----|
| | MOSFET UTB-InAs à $L_g = 150$ nm, polarisé à $V_d = 0.7V$ et V_g | |
| | = 0.2V. (b) : Variation du gain unilatéral de Mason U en fonction | |
| | de la fréquence MOSFET UTB-InAs avec $L_g = 150$ nm, $V_d =$ | |
| | $0.7V \text{ et } V_g = 0.2V.$ | |
| | - | |

| Tableau 1.1 | Principales caractéristiques du silicium et de matériaux III-V. | 8 |
|-------------|---|-----|
| Tableau 2.1 | Lois d'échelle pour l'intégration MOSFET. | 31 |
| Tableau 4.1 | Paramètres physiques utilisés dans la simulation. | 129 |
| Tableau 4.2 | Elément intrinsèques du modèle de schéme équivalent netit | 132 |

Tableau 4.2Elément intrinsèques du modèle de schéma équivalent petit-132signal.

INTRODUCTION GENERALE

Aujourd'hui, Sans nous en rendre compte, nous sommes habitués à utiliser d'innombrables objets électroniques dans notre vie quotidienne. Pour retirer de l'argent, communiquer avec le téléphone, programmer nos appareils électroménagers ou conduire nos voitures ; nous sommes toujours confrontés à l'électronique. Ces situations sont basées sur le comportement de composants clés mais invisibles à l'œil nu : le transistor MOSFET (Metal-Oxyde-Semiconductor Field-Effect-Transistor), élément fondamental des circuits intégrés électroniques [1].

Le facteur critique de l'évolution de la technologie CMOS sur Silicium constituée de transistors MOSFET, est la réduction des dimensions des circuits intégrés et ses composants qui a permis une amélioration de la vitesse des circuits, a réduit l'énergie de commutation et finalement a induit une augmentation de la densité d'intégration et, par rebond, un cout unitaire toujours plus faible (Loi de Moore) [2]. Suivant cette loi de miniaturisation physique du transistor, son fonctionnement n'est pas sans impact.

Cependant, les dimensions de ce transistor ont approché plusieurs dizaines de nanomètres, si bien que les lois connues de la physique classique, généralement utilisées pour décrire son fonctionnement, sont remises en cause, puisqu'elles ne peuvent plus expliquer l'apparition de "nouveaux" phénomènes physiques qui affectent gravement le bon fonctionnement du composant et donc le fonctionnement de l'ensemble du circuit [3].

Ainsi, dans le cadre de la recherche académique, de nouvelles alternatives sont découvertes, notamment grâce à la simulation numérique, d'une part pour lutter contre les effets parasites et d'autre part, pour améliorer encore les performances des transistors, dont une modification plus ou moins importante de l'architecture classique sur silicium massif ou le remplacement total ou partiel des matériaux utilisés. De plus, la réduction de la taille des transistors à base de silicium est limitée par les propriétés physiques du matériau, telle que la mobilité des électrons. De ce fait, la technologie MOSFET à base de silicium ne pourra pas obéir à la loi d'échelle, préservant l'autonomie des systèmes électriques [3,4].

Plusieurs solutions ont été proposées pour résoudre ce problème, comme l'introduction de matériau high-k ou le remplacement du polysilicium par un métal dans la grille. De plus, Intel a utilisé la contrainte pour lever le courant de drain, appelées « boosters de mobilité » [5]. En se basant sur ce concept, une voie possible pour l'amélioration est de remplacer le

silicium par des matériaux III-V, dont la mobilité est beaucoup plus élevée [6]. L'arséniure d'indium gallium (InxGa1-xAs) et l'arséniure d'indium (InAs) sont des candidats potentiels pour remplacer le silicium dans la fabrication de MOSFET [7]. En raison de leur faible masse effective, ils ont essentiellement de faibles énergies de bande interdite et une mobilité électronique élevée. Les transistors à base de ces matériaux sont à la base de plusieurs systèmes électronique à haut-débit [8]. Pour améliorer les performances, différentes topologies de transistors peuvent être explorées, comme : structure à canal enterré, de type Thin-Body, etc [9]. De plus, un fonctionnement avec des tensions d'alimentation très basses est nécessaire si la consommation est en priorité. Ainsi il est nécessaire de développer des technologies à faible consommation et hautes performances fréquentielles [10].

Notre travail s'inscrit donc dans cette démarche de compréhension et d'évaluation de nouveaux dispositifs et se propose d'étudier et de simuler notamment de nouvelles architectures pour le transistor MOSFET à base de matériaux innovants tels que les diélectriques à haute permittivité et les semi-conducteurs à forte mobilité.

Ce manuscrit comprend quatre chapitres organisés de la façon suivante :

Le premier chapitre sera traité comme un chapitre introductif. De manière générale, nous exposerons les problèmes rencontrés par l'industrie de la microélectronique. Rappelant le fonctionnement du transistor à effet de champ dans diverses topologies, nous présenterons ensuite les principaux phénomènes qui dégradent les performances des dispositifs lorsque leurs dimensions sont réduites. Enfin, plusieurs solutions prévues pour ça seront présentées, destinées à remplacer l'architecture traditionnelle et à miniaturiser davantage les composants tout en améliorant leurs performances.

Le deuxième chapitre qui va être dédié à exposer les transistors MOSFET de la filière III-V. Nous commencerons par une description des différents régimes de la structure n-MOS, évaluation des performances du MOSFET en régime statique et dynamique à partir des principaux paramètres électriques et la définition de la mobilité dans le canal de conduction ainsi que les interactions qui la limite. Ensuite, nous expliquerons les principaux axes de progressions du MOSFET qui permettent la mise en œuvre de la loi de MOORE, tels que : la puissance de consommation, l'introduction de nouveaux matériaux pour les n-MOSFET, les défis de l'interface III-V/Oxyde et les résistances d'accès. Enfin, nous présentons un état de l'art des MOSFETs III-V qui recense les résultats de la littérature. Les chapitres trois et quatre seront consacrés à la simulation du fonctionnement des MOSFET. Dans le chapitre trois, on s'intéressera aux divers aspects qui permettent de décrire le fonctionnement électrique de l'empilement Métal-Oxyde-Semiconducteur avec l'utilisation de nouveaux matériaux, ce qui semble être une voie d'évolution très sérieuse vers des transistors plus performants. Finalement, le dernier chapitre sera principalement consacré à évaluer et explorer les potentialités des structures MOSFET appliquées avec les semiconducteurs III-V sous faible polarisation à travers des simulations numériques en régimes statique et dynamique.

CHAPITRE 1

MOTIVATIONS, PRINCIPES ET ENJEUX DES TRANSISTORS A EFFET DE CHAMP.

1.1. Motivations

1.1.1. Fin de la loi de Moore :

Le développement de l'industrie des semi-conducteurs dépend aujourd'hui de sa puissance à miniaturiser la taille des transistors. Le but de cette approche est d'offrir des performances meilleures avec un coût réduit. Avec des circuits plus petits, la surface de la puce électronique se réduit, ce qui permet de fabriquer plus de transistors sans impact sur les coûts de production. En diminuant les dimensions des transistors, le temps de passage de l'état "off" à l'état "on" diminue à cause de l'évolution du temps de réponse intrinsèque (~ = longueur de canal/vitesse des porteurs). Un autre avantage est la réduction de la consommation de l'énergie, utile pour lever l'autonomie des systèmes mobiles améliorer aussi la fiabilité des systèmes performants. Les puces les plus petites consomment moins, donc chaque opération utilise moins d'énergie. Cela réduit le produit temps de réponse-puissance.

Ce phénomène a été décrit par Gordon Moore depuis 1970 (figure 1.1), [2], qui prédit qu'un doublement du nombre de composants par circuit, tous les dix-huit mois, ce qui permet à un large public d'accéder à des services plus performants, moins chers et souvent nouveaux.

L'augmentation de la densité d'intégration et la rapidité des circuits sans cesse a abouti à la réalisation de dispositifs sub-microniques et à l'apparition de limites physiques intrinsèques. C'est pourquoi, les grands laboratoires de recherche du monde entier se sont regroupés au sein de l'International Technology Roadmap for Semiconductors (ITRS) [11] afin de déterminer les principaux challenges technologiques.



Figure 1.1 : La loi de Moore [2].

Avec cette demande de plus en plus importante de dispositifs à plus grande vitesse, plus faible consommation et plus forte densité d'intégration, la taille du transistor n'a cessé de décroitre passant ainsi de quelques micromètres à quelques nanomètres. C'est ainsi que le transistor conventionnel a atteint ses limites physiques, car avec la réduction considérable de sa géométrie, des effets indésirables connus sous le nom d'Effets Canaux Courts (SCE : Short Channel Effects) altérant son bon fonctionnement et conduisant alors à trouver des solutions alternatives comme l'utilisation de nouveaux matériaux et de nouvelles architectures.

1.1.2. L'exigence de l'intelligence ambiante :

L'intelligence ambiante est un réel besoin qui comble le fossé entre le monde numérique et physique, en offrant à l'utilisateur des moyens plus naturels d'interagir avec les machines et l'environnement, comme la RFID (Radio Frequency IDentification), les « smart dust » (poussières intelligentes) [12,13], ayant un critère de taille réduite qui s'applique à tous ces nouveaux produits. Les systèmes déployés pour l'intelligence de l'environnement nécessitent une consommation d'énergie la plus faible possible pour atteindre l'autonomie et doivent pouvoir extraire et/ou récupérer l'énergie de leurs fonctionnements à partir de l'environnement dans lequel ils se trouvent. Ainsi, pour être autonome, la consommation moyenne de ces systèmes doit être inférieure à 100μ W.

C'est ce qu'illustre la figure 1.2, qui montre le débit d'information en fonction de la puissance consommée par les objets électroniques [1].



Figure 1.2 : Débit fonction de la puissance consommée [1]

Compte tenu de la limite d'autonomie au niveau de 100μ W, les débits d'information ne dépassent pas 1kbit/s. Afin d'accéder à des débits plus élevés, de l'ordre du Mbits/s, il est nécessaire de réduire la consommation d'énergie par des ordres de grandeur (de l'ordre de 10^3) ou d'augmenter les performances disponibles grâce à une meilleurs efficacité dans le stockage et la récupération de l'énergie.

Plusieurs travaux de recherche sont engagés sur le stockage et la récupération d'énergie, mais le défi de réduire d'un facteur 10³ ne peut être relevé avec ces seules innovations. Un autre levier important est de réduire la consommation électrique des circuits et notamment des transistors qui les composent. Il est donc nécessaire de développer de nouvelles technologies pour relever ce défi. Le MOSFET à base de matériaux III-V pourrait être un candidat à court terme [14].

1.1.3. Les transistors faible consommation : The Green Transistor

L'autonomie n'est possible que pour des consommations inferieures à environ 100µW, ainsi les débits d'information sont limités aux Kbit/s (CMOS Silicium), ce qui limite énormément les applications possibles.

Plusieurs équipes de recherche tentent de développer des systèmes d'où la diminution de la consommation de puissance des transistors constituants les circuits utilisés a été explorée.

Pour réduire la consommation de puissance, différentes voies sont abordées, d'un point de vue de la topologie, du mode de fonctionnement et/ou des matériaux utilisés [15,16,17,18].

Le point clé, pour atteindre une consommation de puissance aussi faible, est la réduction de la tension d'alimentation (V_{dd}) des transistors entre 50 et 200 mV ; c'est-à-dire quelques k_BT/q à température ambiante. Ce domaine de fonctionnement est difficilement accessible au CMOS silicium [19], dont les performances fréquentielles sont fortement dégradées à basse tension [20]. En effet la mobilité dans le silicium est trop faible pour compenser la dégradation des fréquences de coupure à faible V_{dd} . Pour accéder au régime de faible tension d'alimentation, il serait préférable de s'intéresser à d'autres matériaux semi-conducteurs sans modifier la topologie du transistor.

Dans la famille des matériaux III-V, les semi-conducteurs à faible bande interdite et à forte mobilité électronique sont de bons candidats pour fabriquer et explorer les potentialités fréquentielles à très faible tension V_{ds} de transistors de type MOSFET (Metal Semiconductor Field Effect Transistor) ou HEMT (High Electron Mobility Transistor). En effet, comme nous le verrons dans les parties prochaines, les propriétés de transport électronique de ces matériaux devraient permettre d'abaisser le point de fonctionnement en tension V_{ds} , tout en conservant les performances fréquentielles indispensables aux applications de communication.

1.1.4. Silicium et Matériaux III-V :

La plupart des composants microélectroniques modernes sont fabriqués à partir de silicium. Cette prédominance est due aux avantages du silicium par rapport aux autres semiconducteurs. Il est très abondant sur terre, le deuxième élément après l'oxygène, ce qui fait baisser son coût. De plus, c'est un matériau très résistant qui permet la fabrication des grands substrats, ce qui est important en termes de densité d'intégration. Enfin, le silicium permet d'obtenir un oxyde SiO₂ qui est l'un des meilleurs isolants et, surtout, possède une excellente adhérence au silicium.

Malgré tous ces avantages plus la maturité de la technologie sur silicium, l'inconvénient principal du silicium réside dans sa faible mobilité électronique : $\mu_e = 1500 \ cm^2 V^{-1} s^{-1}$. Afin de répondre au besoin croissant de rapidité dans les composants, les recherches se sont très tôt orientées vers des matériaux à forte mobilité électronique. La famille des matériaux III-V sont composées de matériaux des colonnes III et V du tableau périodique des éléments. De nombreux composés binaires peuvent être réalisés comme : GaAs, InP, InAs, GaN, GaSb, etc. Il existe également des alliages ternaires et quaternaires, formés en remplaçant partiellement l'un des éléments par un élément de la même colonne. Ces alliages peuvent, comme dans le cas de l'In_{0.53}Ga_{0.47}As, donner des matériaux à très haute mobilité et donc constituer une zone active de dispositifs capables de fonctionner à de très hautes fréquences.

Notre argument, qui sera développé par la suite, vient des bonnes propriétés de transport de ces matériaux. Nous pouvons constater dans le tableau 1.1, que les matériaux III-V présentent de meilleures caractéristiques de transport électronique que le silicium.

| | Si | GaAs | In _{0.53} Ga _{0.47} As | InAs | InSb |
|---|------|-------|--|-------|-------|
| Energie de bande interdite Eg (eV) | 1.12 | 1.42 | 0.74 | 0.354 | 0.18 |
| Masse effective des électrons m* | 0.19 | 0.063 | 0.041 | 0.023 | 0.014 |
| Mobilité des électrons µe (cm2/V.s) | 1400 | 9200 | 12000 | 40000 | 78000 |
| Vitesse de saturation des électrons (x 10 ⁷ cm/s) | 1 | 2 | 2.7 | 3 | 5 |

Tableau 1.1 : Caractéristiques principales du silicium et des matériaux III-V [21]

Dans les matériaux III-V, la mobilité est de plusieurs ordres de grandeur, ce qui est lié à une masse effective beaucoup plus faible. De plus, la vitesse de saturation est aussi plus élevée, (tableau 1.1).

Pour accéder au régime de faible tension d'alimentation, nous devons nous intéresser à d'autres matériaux semi-conducteurs sans modifier la topologie du transistor. Les transistors de type MOSFET ou HEMT à base de matériaux III-V, qui possèdent une faible bande d'énergie interdite et une forte mobilité électronique, représentent une voie prometteuse pour explorer à très basse tension V_{ds} leurs potentialités. Ces structures sont bien connues et leur développement représente un risque moins important que des solutions plus innovantes ou originales. Ainsi, les matériaux III-V sont une solution possible pour atteindre des performances élevées tout en gardant une faible consommation d'énergie.

1.2. Transistors à Effet de Champ « FET »

1.2.1. <u>Généralités</u> :

Le principe physique des transistors à effet de champ FET (Field Effect Transistors) a été inventé en 1952 par W. Shockley [22]. Le transistor à effet de champ est un dispositif unipolaire où seuls les porteurs majoritaires interviennent dans le fonctionnement. Les FETs sont essentiellement de type N car les électrons ont les propriétés de transport les plus intéressantes (mobilité, vitesse de saturation et coefficient de diffusion). Il existe principalement trois structures des transistors à effets de champ qui correspondent à différents contacts de grille :

- > Grille à jonction PN pour le transistor JFET (Junction Field Effect Transistor).
- Grille métallique isolée pour les transistors MOSFET et MISFET (Metal Isolant Semiconductor Field Effect Transistor).
- Grille métallique à barrière Schottky pour les transistors MESFET (MEtal Semiconductor Field Effect Transistor) et HEMT.

Le MESFET a été le premier composant à être constitué d'un composé III-V. C.A, Mead [23] a proposé en premier lieu de remplacer le silicium dans les transistors FET par un matériau III-V tel que le GaAs. Ce développement dans le matériau a permis l'utilisation des transistors à effet de champ aux fréquences micro-ondes. Les premiers résultats de performance avec le MESFET SiC 4H remontent à 1994 [24].

1.2.2. Le<u>MESFET</u> :

a. <u>Structure</u> :

Le transistor MESFET-GaAs est le plus ancien des transistors à effet de champ hyperfréquence et sa technologie est actuellement bien établie. La structure du MESFET sous sa forme la plus classique est schématisée dans la figure 1.3. Cette structure est la plus simple parmi les différentes structures des FET [25]. Elle est similaire à celle du transistor à effet de champ à jonction (JFET) sauf que la jonction P.N est remplacée par une barrière de Schottky.

Le MESFET se compose principalement d'un substrat semi-isolant qui fournit essentiellement un support mécanique pour le reste de la structure. Une couche active dopée « N » avec une épaisseur « a » (canal) est déposée. De part et d'autre du canal, sous les électrodes de source et de drain, deux régions fortement dopées « N+ » sont ajoutées pour minimiser la résistance du contact et ne pas dégrader les performances du transistor. Enfin, il y a les dépôts métalliques qui composent les trois électrodes classiques du FET : les contacts ohmiques de source, de drain et la grille Schottky, (figure 1.3).



Figure 1.3 : Coupe schématique d'un MESFET

b. Principe de fonctionnement :

Le principe du MESFET est basé sur la modulation du courant de drain de la source dans le canal à travers le contact Schottky qui forme l'électrode de grille. Cet effet crée une zone vide dans le canal sous la grille, dite zone de charge d'espace (ZCE). La conductivité dans le canal est contrôlée en modifiant l'épaisseur de cette zone ce qui module le courant.



Figure 1.4 : Vue en coupe et polarisation d'un MESFET

En fonctionnement normal, le drain est polarisé positivement et la grille est polarisée négativement par rapport à la source, (figure 1.4).

A une tension de drain constante, la polarisation négative de la grille conduit à plus d'expansion de la zone de charge d'espace dans la couche active et donc à une diminution du courant. Si la tension de grille est suffisamment négative, le ZCE bloque complètement le canal, empêchant la circulation du courant ce qui fait le transistor en état bloqué.

A une tension de grille fixée, l'augmentation de la tension de drain crée un champ électrique dans le canal qui entraine les électrons de la source vers le drain, établissant ainsi un courant de drain I_d. La différence de potentiel entre la grille et le canal étant plus faible à l'extrémité située près de la source que du côté drain, le canal est plus étroit à proximité du drain.

La grande mobilité des électrons dans le matériau GaAs qui compose le canal permet une bonne montée en fréquence par rapport au silicium, mais pour améliorer ces performances dynamiques il faut réduire le temps de transit des électrons dans le canal. Cela nécessite une réduction de la longueur de grille, qui doit s'accompagner d'une réduction de l'épaisseur de la couche active pour assurer un bon contrôle de la grille. Cependant, pour maintenir le même niveau de courant, il est alors nécessaire d'augmenter le dopage dans la couche active. D'où les limites du MESFET : la mobilité des électrons diminue brutalement dans le matériau GaAs dopé. Pour contourner ce problème, nous avons développé les HEMT où les électrons transitent en fait dans une couche non dopée et bénéficient ainsi d'une mobilité améliorée.

1.2.3. <u>Le HEMT</u> :

Cette nouvelle famille de composants a été élaborée en 1980 par les équipes de Thomson CSF [26] et de Fujitsu [27] sous les dénominations respectives de TEGFET (Twodimensional Electron Gas Field Effect Transistor) et de HEMT.

a. <u>Structure</u> :

La solution au problème du dopage limitant la mobilité dans le canal est de faire passer des électrons, contenus dans le plan de dopage, directement dans le canal non dopé.

Le plan de dopage se situe dans le matériau à large gap, qui est également un matériau provoquant un contact Schottky avec le métal de la grille. C'est sur ce principe que reposent les HEMTs : celui d'une hétérojonction entre un matériau grand gap (couche barrière



Schottky) et un matériau à petit gap (le canal) qui vont permettre de séparer spatialement les charges coulombiennes de la couche donneuse (plan de dopage) des électrons libres du canal.

La structure d'un HEMT classique est composée des couches suivantes (figure 1.5) :

- La couche de contact ohmique ou « cap layer » d'un matériau à faible bande interdite fortement dopé qui sert à former des contacts ohmiques de source et drain de faible résistivité afin de diminuer les résistances d'accès.
- La couche appelée « couche de barrière » non intentionnellement dopée (N.I.D) qui est constituée d'un matériau grand gap. Elle est constituée de trois zones :
 - La couche de contact Schottky, ainsi nommée, le fait de sa jonction avec la grille qui est déposée après gravure du cap layer (fossé de grille ou recess).
 - La couche donneuse, un matériau dopé et à large bande interdite, est conçue pour fournir des électrons libres à la structure. Ce dopage, qui peut être en volume, se fait généralement par un plan de dopage au silicium.
 - L'espaceur *(spacer)*, composé de même matériau que la couche de contact Schottky, permettant de séparer les atomes donneurs d'électrons de la couche active. Les interactions à courte distance électrons-impuretés sont ainsi fortement réduites. Plus cette couche sera épaisse, meilleure sera la mobilité des électrons dans le canal. A l'inverse, le transfert des électrons de la couche donneuse dans le canal est favorisé par un espaceur fin.

- Le canal, en matériau à petit gap. Cette couche active va permettre un transit rapide des électrons grâce à la forte mobilité électronique et au caractère non dopé de son matériau. C'est elle qui déterminera les performances du transport des électrons dans le dispositif.
- La couche tampon, réalisée du même matériau que l'espaceur, grâce à la forte discontinuité de la bande de conduction avec la couche canal, permet d'améliorer le confinement des électrons dans le canal en réduisant l'injection des porteurs vers le substrat. Cette couche permet également d'avoir un matériau de base de bonne qualité cristallographique nécessaire à la croissance des autres couches.
- Le substrat semi-isolant (SI) est un matériau binaire qui identifie la filière (GaAs, InP) et sert aussi de support mécanique.

Enfin, en fonction de la longueur de grille « L_g » les épaisseurs de ces couches doivent être ajustées. Par exemple, l'espacement entre grille-canal notée « d », doit toujours être suffisamment petit pour obéir à la règle du rapport d'aspect : $\frac{L_g}{d} \gg 3$. Dans le cas contraire, des effets de canal court se produiront. Cependant, une épaisseur « d » trop faible favorise un courant de fuite à travers la grille par effet tunnel.

La juxtaposition d'un matériau à grand gap avec un matériau à faible gap forme une discontinuité de bande de conduction au niveau de l'interface. Cette hétérojonction, illustrée à la figure 1.6, crée un puits de potentiel dans le matériau à faible gap dans lequel les électrons de la couche donneuse se déplacent et s'accumulent. Une hétérojonction se caractérise par une discontinuité dans la bande de conduction ΔE_C entre les deux matériaux. Le transfert de charge crée une zone de déplétion dans la couche donneuse. Le profil de charge électrique détermine la courbure de la bande de part et d'autre de l'hétérojonction, conduisant à la formation d'un puits de potentiel triangulaire dans le canal. Des effets quantiques apparaissent pour des largeurs de puits inférieure à la longueur d'onde de De Broglie. Une quantification des niveaux d'énergie et des restrictions sur le mouvement des porteurs de charges dans un plan parallèle à l'hétérojonction se traduisent par les effets quantiques. L'accumulation d'électrons dans ce puits est appelée gaz d'électrons bidimensionnel (2DEG : gaz d'électrons bidimensionnel). L'hétérojonction permet la séparation spatiale des atomes donneurs ionisés et des électrons libres. Ces électrons ne sont donc plus exposés aux interactions avec les impuretés ionisées et peuvent atteindre des mobilités élevées. Le HEMT bénéficie donc du transport d'un gaz d'électrons (presque bidimensionnel) bien supérieur à celui du matériau dopé. Les performances en fréquence du HEMT dépend du temps de transition entre la source et le drain. Augmenter la fréquence revient donc à réduire la taille du composant, mais aussi à utiliser des matériaux à forte mobilité électronique.



Figure 1.6 : Structure de bande d'une hétérojonction en présence d'un potentiel de grille.

b. <u>Fonctionnement du HEMT</u> :

Le transfert des charges dans le puits quantique est contrôlé par l'échange thermodynamique à l'interface espaceur-canal et la densité de charges dans le canal est gérée par la tension appliquée à la grille.

Le contact de grille est un contact Schottky, il y a formation d'une zone de désertion dans le canal, dont l'épaisseur varie avec le potentiel de la grille. Lorsque cette zone de charges d'espace se connecte à la couche tampon, le canal est dit pincé.

La figure 1.7, illustre ce phénomène du point de vue du diagramme de la bande de conduction pour un transistor déserté (tension de pincement négative). Nous pouvons voir que le principe de fonctionnement à un MESFET. Le canal est pincé ou ouvert selon la polarisation appliquée à la grille.



Figure 1.7 : Evolution du diagramme de bande de conduction avec V_{gs} Canal pincé (figure du haut) – Canal ouvert (figure du bas)

On retrouve deux régimes de fonctionnement classique qui apparaissent suivant la tension de drain: le régime linéaire (faible V_{ds}), puis le régime de saturation (V_{ds} élevé).

Dans le régime linéaire, le courant de drain varie d'une façon linéaire avec la tension de polarisation ; le transistor agit comme une résistance commandée par la tension de grille.

Dans le régime de saturation, sous l'action d'un champ électrique croissant côté drain, le courant cesse d'augmenter. Cela s'explique essentiellement par deux phénomènes :

Pour un transistor long, la saturation du courant de drain est causée par le pincement du côté drain. Lorsque V_{ds} augmente, on observe une extension de la zone de charge d'espace sous la grille côté drain qui ralenti le passage des électrons. On atteint ensuite le pincement du canal (la ZCE rejoint la couche tampon). Le flux des électrons est donc bloqué par cette barrière de potentiel, qui est néanmoins traversée par un flux constant par effet tunnel : on a donc un courant constant d'une valeur ID_{sat} qui dépend de V_{gs} .

Pour un transistor court, la saturation de la vitesse électronique dans le semiconducteur va causer la saturation du courant ID. Cette dernière s'explique par la saturation de la vitesse électronique à fort champ électrique.

La figure 1.8 représente la variation de la vitesse des électrons dans les matériaux III-V en fonction du champ électrique d'où apparait la variation de la mobilité des électrons. On voit une chute de la vitesse due à la diminution de la mobilité, à partir d'un champ critique E_{crit} (point d'inflexion), qui traduit le passage des électrons en vallée latérale.



Figure 1.8 : Variation de la vitesse électronique en fonction du champ électrique dans InP, GaAs, InGaAs [28].

1.2.4. <u>Le MOSFET</u> :

a. <u>Bref historique</u> :

La découverte des propriétés semi-conductrices de certains matériaux au 17^{ème} siècle, était sans grande incidence sur le monde scientifique dont les physiciens les plus éminents méprisaient ces matériaux et considéraient qu'ils étaient impurs et non importants [29]. Il a fallu attendre Alan Herries Wilson qui a publié en 1931 des travaux sur l'application du nouveau domaine de la mécanique quantique au problème de la conduction électrique dans les métaux et les semiconducteurs pour avoir changé l'opinion de la communauté scientifique [30]. Dès lors, l'engouement pour ces matériaux n'a cessé d'augmenter ; des recherches sur les propriétés des type n et p des matériaux semiconducteurs ont permis la

découverte en 1940 par Russel Schoemaker Ohl la jonction PN, en passant par les procédés de croissance et la purification du cristal pour aboutir enfin au premier transistor à effet de champ à grille isolée sur silicium, réalisé chez Bell Labs en 1960 par John Kahng et Dawon Attala [31].

Kahng et Attala travaillaient sur des finitions de surface qui empêchaient les champs électriques de pénétrer dans les semi-conducteurs. Dans leur étude de l'évolution thermique du dioxyde de silicium, ils ont constaté que ces états peuvent être fortement réduits à l'interface entre le silicium et l'oxyde dans un empilement de couches comprimées constituées de métal (M), d'oxyde (O) et de semi-conducteur (S), d'où l'origine du nom MOSFET.

L'avancée ne s'arrêtait pas là, puisqu'en 1963 Frank Wanlass inventait la configuration logique et faible en consommation MOS complémentaire (CMOS) [32] qui bouleversait l'industrie électronique. En 1967, Robert Dennard d'IBM inventait la mémoire DRAM (Dynamic Random Acces Memory) par association d'un transistor MOSFET et d'une capacité de stockage [33]. 1971, est l'année de la conception du premier microprocesseur par Ted Hoff et Stanley Mazor de la société Intel [34]. Il s'agissait d'un processeur 4 bits (Intel 4004) de 3mm par 4mm comportant 2300 transistors ayant une longueur de 8µm.

Le transistor MOSFET est l'élément principal ainsi que le vecteur du développement de cette technologie. Il est à la base de la conception des circuits intégrés à très large et ultra large échelle (VLSI-ULSI), et a mené la technologie CMOS (Complementary MOS) au rang incontesté de technologie dominante de l'industrie du semicondcuteur. Au fil des années, la complexité des circuits intégrés a augmenté de façon continue, principalement grâce aux performances accrues des nouvelles générations de transistors MOS.

A chaque nouvelle génération de transistors, relever le défi posé par la loi de Moore semble être un casse-tête de plus en plus difficile. Ainsi, un compromis complexe entre la physique, la technologie et la rentabilité concentre toute l'attention des ingénieurs et des chercheurs. Des paramètres et des contraintes souvent contradictoires, tels que la performance, la consommation et la fiabilité, doivent être pris en compte [35,36]. En résumé, le jeu consiste à augmenter les performances en réduisant la taille, sans trop augmenter la dissipation de l'énergie du transistor à l'état bloqué.

b. <u>Structure et Principe de fonctionnement</u> :

De manière générale, Le transistor MOSFET repose sur l'effet 'de champ', qui consiste à moduler de façon électrostatique une densité de charges mobiles (électrons ou trous) dans un semi-conducteur (le canal de conduction). Cette modulation est provoquée par un champ électrique perpendiculaire à la direction du mouvement de ces charges, et agissant entre deux électrodes séparées par un diélectrique, comme dans une capacité plane. L'ajout d'électrodes de source (S) et de drain (D) permet d'appliquer un champ électrique longitudinal dont le rôle est de transporter les porteurs de charges libres du canal et de venir récolter le courant résultant.

On distingue deux types de transistors : Transistor nMOS où le courant est fourni par des électrons et transistor pMOS où le courant est fourni par des trous. Le schéma simplifié du transistor nMOS est représenté sur la figure 1.9. Le transistor est fabriqué sur un substrat de type p (porteurs de charges majoritaires des trous) dans lequel sont créées deux régions très fortement dopées de type opposé (n++), appelées régions de source et de drain. Ensuite, une couche d'oxyde est générée au-dessus de la région du substrat non recouverte par les régions de source et de drain. Enfin, la grille est déposée sur la couche d'oxyde pour former l'élément de commande du dispositif. Ainsi, le transistor MOSFET se compose de trois électrodes principales (contacts de source, de drain et de grille) reliées par trois polarisations indépendantes (V_S, V_D et V_G, respectivement). En utilisation standard, le contact de source est électriquement relié à la masse et sa tension V_S est nulle.

Pour ces derniers, le MOSFET peut être à appauvrissement (D-MOSFET) et à enrichissement (E-MOSFET). Les transistors MOS à enrichissement sont bloqués sans tension de commande sur la grille (NORMALLY OFF), ils deviennent passants à partir d'une certaine tension de grille V_{Seuil} . Plus $|V_{GS}| > |V_{Seuil}|$, plus le E-MOS devient passant. Les transistors MOS à appauvrissement sont passants sans tension de commande sur la grille (NORMALLY ON), ils deviennent de moins en moins conducteurs au fur et à mesure que la tension de commande augmente pour finalement se bloquer au-delà d'une tension de blocage V_{GSoff} .

Le fonctionnement d'un transistor MOSFET est expliqué par deux phénomènes complémentaires. Tout d'abord, l'application d'une tension positive entre la grille et le substrat permet de générer un champ électrique à l'interface oxyde/semi-conducteur, se traduisant par l'apparition d'un canal de conduction, constitué de porteurs de charges mobiles à travers la surface entre la source et le drain. Le contrôle de la densité de porteurs dans le canal sera donc géré par la tension de grille V_G . Ensuite, sous l'effet d'une polarisation différente entre la source et le drain, les porteurs du canal de conduction peuvent circuler librement entre ces deux contacts, créant ainsi un courant de drain I_D, qui est modulé par la tension V_D .



Figure 1.9 : Schéma bidimensionnel (2D) représentant un transistor MOSFET.

Lorsque la tension de grille est inférieure à la tension de seuil ($V_G < V_{seuil}$), c'est-à-dire la densité de porteurs libres à l'interface oxyde/semiconducteur n'est pas suffisante pour créer un canal de conduction, le transistor est à l'état « bloqué » ; mais, quand la tension de grille augmente ($V_G > V_{seuil}$), le transistor passe à l'état « passant ». Le comportement électrique de ce composant ne se limite cependant pas à deux états distincts mais il est plus pratique de le décrire selon les différents régimes de fonctionnement représentés sur les caractéristiques de courant $I_D(V_G)$ et $I_D(V_D)$, tracées sur la figure 1.10.



Figure 1.10 : (a) Caractéristique $I_D(V_G)$ [échelle logarithmique (à gauche) et linéaire (à droite)] d'un MOSFET. (b) Caractéristique $I_D(V_D)$ d'un MOSFET pour différentes tensions de grille et régimes de fonctionnement : 1 = régime ohmique ; 2= régime non-ohmique ; 3= régime de saturation.

Dans le régime d'inversion faible, figure1.10.a ($V_G < V_{seuil}$), le courant I_D obéit à une loi exponentielle (variation linéaire en échelle logarithmique). On détermine alors la pente sous le seuil **SS**, paramètre principal du transistor indiquant la rapidité du composant. D'après I_D(V_G), il est également important pour décrire les performances du dispositif de définir : le courant de fuite I_{off} qui doit être le plus faible possible pour minimiser la consommation électrique au repos, et, le courant à l'état passant I_{on} qui doit être le plus élevé possible pour maximiser la puissance du transistor. Le rapport I_{on}/I_{off} est donc l'une des principales caractéristiques à maximiser dans les nouvelles technologies de transistors.

On distingue sur $I_D(V_D)$, représentée sur la figure I-10.b, deux principales zones de fonctionnement : le régime non saturé et le régime de saturation. La frontière entre elles est délimitée par la tension de drain de saturation, définie par $V_{Dsat} = V_G - V_{seuil}$. La première $(V_D < V_{Dsat})$ est en réalité décomposée en deux différentes zones, l'une, appelée régime Ohmique ou linéaire, le canal conducteur se comporte comme une résistance variable en fonction de la tension de grille, et le courant de drain varie linéairement en fonction de V_D selon l'expression :

$$I_D = \frac{W}{L_G} \mu_n C_{ox} (V_G - V_{seuil}) V_D \tag{1.1}$$

Où w la largeur du transistor, μ_n la mobilité des électrons dans le canal et C_{ox} la capacité de l'oxyde.

Quant à l'autre, lorsque V_D augmente, le champ électrique en côté drain diminue, la zone de déplétion s'élargit, et l'épaisseur du canal conducteur est réduite : le transistor est dans le régime non-ohmique avant saturation. Son expression, valable uniquement jusqu'à V_{Dsat} , est donnée par :

$$I_D = \frac{W}{L_G} \mu_n C_{ox} \left(V_G - V_{seuil} - \frac{V_D}{2} \right) V_D$$
(1.2)

Lorsque la tension de drain atteint la tension de saturation V_{Dsat} , il n'y a plus de canal conducteur au niveau du drain (régime de pincement) et le courant I_D reste constant tant que la tension de drain augmente :

$$I_D = \frac{W}{2L_G} \mu_n C_{ox} (V_G - V_{seuil})^2$$
(1.3)

Enfin, il est important de noter que les équations précédentes ne s'appliquent qu'aux transistors à canal long, où l'effet de la réduction des dimensions n'est pas pris en compte.

1.3. <u>Réduction des dimensions (Scaling)</u>

La diminution des dimensions dans les transistors n'est pas une coïncidence, mais résulte de la loi d'échelle générale [37,38]. Le principe de cette loi est de quantifier les principaux paramètres de la technologie (dimensions, dopage, capacité, courant, ...) à l'aide d'un facteur multiplicateur α (Chap. 2), afin de prédire facilement les performances attendues des futurs nœuds technologiques.

Les problèmes de réduction des dimensions dans les MOSFET se répartissent en deux catégories d'ordre physique ou technologique. Concernant les enjeux technologiques, nous soulignons les problèmes liés à la fabrication d'oxydes ultra-minces fiables, les résistances d'accès de la source et du drain (dans le même ordre que la résistance du canal) et la fluctuation d'impuretés dans les canaux ultra-courts [39]. Ces difficultés rencontrées dans la fabrication des composants décas nanométriques posent de problèmes sérieux pour le développement de l'industrie de la microélectronique.
En effet, les problèmes physiques, sont séparés en trois familles : les effets électrostatiques, les effets quantiques et le problème du transport des porteurs dans le canal. Toutes ces complications affectent négativement le fonctionnement du transistor, elles modifient les caractéristiques du courant et les performances globales des dispositifs.

Les effets mentionnés ci-dessus ne se produisent pas aux mêmes dimensions et peuvent essentiellement être traités d'un point de vue classique ; cependant, de nouvelles questions liées à la physique quantique semblent désormais indispensables à prendre en compte au vu des dimensions mises en jeu dans les transistors actuels.

1.3.1. Les effets de canal court :

Parmi les effets électrostatiques parasites rencontrés lors de la miniaturisation des transistors, nous notons l'apparition des effets de canal court.



Figure 1.11 : Représentation schématique de l'évolution de la barrière de potentiel dans les transistors à canal long et court sous faible et forte tension de drain.

Lorsque la longueur de la grille est réduite, les régions d'appauvrissement des jonctions source-canal et canal-drain convergent et les charges de déplétion se partagent entre le drain et la grille ; tandis que le potentiel électrostatique le long du canal est principalement dominé par les régions de charge d'espace autour des jonctions. Les charges ne sont plus exclusivement contrôlées par la grille (canal long) perdant le contrôle du potentiel électrostatique dans le canal de conduction (Short-Channel Effects ou SCE). L'effet SCE augmente le potentiel dans le canal et par conséquent abaisse la barrière que voient les électrons de la source, facilitant leur accès au drain. Lorsqu'une haute tension est appliquée au drain, la zone d'espace autour de cette région est augmentée et conduit à une réduction supplémentaire de la barrière de potentiel (figure 1.11), effet appelé DIBL (Drain-Induced Barrier Lowering).

Les effets de canal court SCE et DIBL facilitent la transition des porteurs de la source au drain. En dessous du seuil, on observe une baisse de la tension de seuil, et une dégradation générale des performances avec une forte augmentation du courant de fuite I_{off} et la pente sous le seuil SS, (figure 1.12).



Figure 1.12 : Caractéristique $I_D(V_G)$ schématiques de transistors MOSFET. (Dégradation des paramètres sous le seuil due aux effets de canal court SCE et DIBL à cause de la réduction de L_g).

D'un point de vue technologique, les effets de canal sont actuellement contrôlés par plusieurs méthodes : augmentation du dopage dans le canal pour réduire les zones de déplétion des jonctions, réduction de l'épaisseur de l'oxyde pour augmenter la capacité et ainsi renforcer le couplage capacitif entre grille-canal et la diminution de l'épaisseur des zones source et drain afin d'augmenter la longueur des lignes de champ électrique source-drain.

En effet, l'augmentation du dopage conduit à une dégradation de la mobilité des porteurs et donc à une diminution du courant I_{on} . De plus, la fabrication idéale de couches d'oxyde inférieures au nanomètre est difficilement réalisable et entrainent des effets parasites quantiques qui détériorent le courant I_{off} .

Il existe également d'autres méthodes pour réduire l'impact des effets de canal court sur le courant de drain en jouant sur l'architecture et les matériaux du dispositif.

1.3.2. Les effets quantiques :

Les relations normalement utilisées pour décrire la physique d'un transistor MOS conventionnel ne sont plus appropriées pour les petites structures, de sorte que certains effets quantiques se produisant à l'échelle nanométrique doivent être pris en compte. En effet, réduire les effets de canal court cause des changements qui ont pour conséquence l'augmentation du champ électrique à l'interface oxyde/semiconducteur, traduit par une forte courbure des bandes de conduction et de valence dans la direction verticale du transistor. Les porteurs de charge se retrouvent alors confinés dans un puits de potentiel de plus en plus étroit [40]. Les porteurs ne sont plus caractérisés par un gaz 3D occupant un continuum d'énergie, mais plutôt comme un gaz 2D, leur énergie étant quantifiée, faisant apparaitre des niveaux d'énergies discrets dans le puits de potentiel. L'effet du confinement quantique entraine alors la modification de la répartition des charges libres dans le canal notamment en déplaçant le barycentre de la couche d'inversion à l'intérieur du substrat semiconducteur [41]. Les conséquences du confinement quantique sur les propriétés électriques du transistor sont nombreuses. Aujourd'hui, il est indispensable de les prendre en compte dans la modélisation comme la réduction de la capacité d'oxyde et l'augmentation de la tension de seuil.

Les effets quantiques observés dans les transistors MOSFET font apparaitre des problèmes liés au transport tunnel à travers une barrière de potentiel. Tout d'abord, l'effet quantique est rencontré lors de la diminution de l'épaisseur de l'oxyde (ce phénomène est évité dans les transistors à canal long car la barrière de potentiel est suffisamment large). Les lois de la mécanique quantique prévoient que les porteurs de charge ont une probabilité non nulle de franchir la barrière même si leur énergie est inférieure au maximum de la hauteur de la barrière. Cet effet fait augmenter considérablement le courant de fuite et ne peut être maitrisé qu'en travaillant sur la forme de la barrière de potentiel de l'empilement de grille en utilisant différents matériaux diélectriques. Ensuite, l'effet tunnel quantique est donc bien évidemment observé dans la direction du transport. Vers les longueurs de grilles ultimes, la barrière de potentiel source-drain devient si mince que la plupart des porteurs traversent directement de la source au drain par effet tunnel, même à faible V_G et /ou V_D, de sorte que l'augmentation de I_{off} dans les MOSFETs est dramatique. Le mécanisme d'effet tunnel quantique pourrait donc être l'une des limitations physiques les plus importantes auxquelles

l'industrie de la microélectronique serait confrontée si l'architecture des composants devait rester telle quelle.

Les problèmes soulignés nous montrent qu'il est difficile de préserver le transistor MOSFET dans son architecture classique pour les futures générations de composants, malgré les efforts fournis par l'industrie et les recherches académiques, qui doivent donc s'orienter vers de nouvelles solutions technologiques pour le remplacement du transistor sur silicium massif en modifiant son architecture ou en envisageant l'utilisation de matériaux innovants comme les semiconducteurs à forte mobilité et les diélectriques de grille à haute permittivité.

1.4. Les transistors MOSFET à base de matériaux innovants

Les architectures multi-grilles dans les composants CMOS ne sont aujourd'hui pas encore utilisées, mais le changement de matériaux quant à lui, a été opéré par Intel pour la fabrication de ses derniers processeurs (Intel Core i3-i5-i7) [42]. En effet, Intel a incorporé des changements majeurs dans l'architecture historique des transistors MOSFET comme : l'introduction de nouveaux empilements de grille à base de grilles métalliques et de matériaux high-k (forte permittivité) pour la maitrise des courants de fuite, l'application de contraintes au niveau du canal pour l'amélioration du courant à l'état « *ON* » et des performances globales du transistor ainsi que le développement des MOSFETs à base de semiconducteurs à forte mobilité (Germanium et Semiconducteur III-V) [43].

1.4.1. Diélectriques de grille high-k :

L'empilement de grille (grille + oxyde de grille) est un élément essentiel au bon fonctionnement du transistor MOSFET car il permet le contrôle des porteurs dans le canal. Cependant, avec la miniaturisation des composants et la réduction physique de l'épaisseur d'oxyde, de nombreux problèmes apparaissent. La solution proposée pour remédier à ces problèmes est l'utilisation de matériaux à forte permittivité ($\varepsilon_{high-k} > \varepsilon_{SiO2}$)[44,45]. En effet, grâce à leur permittivité, ils permettent d'augmenter l'épaisseur physique de l'empilement de grille tout en maintenant la même capacité d'oxyde générale. Il est donc convenu de ne plus parler d'épaisseur d'oxyde T_{OX} mais d'épaisseur équivalente d'oxyde ou EOT (Equivalent Oxide Thickness) définit par :

$$EOT = T_{high-k} \frac{\varepsilon_{SiO2}}{\varepsilon_{high-k}}$$
(1.4)



Figure 1.13 : Propriétés des principaux matériaux *high-k* considérés pour la substitution du SiO₂ : (a) bande interdite en fonction de la permittivité relative [46], (b) bande interdite, différence entre la bande de conduction ΔE_C et de la bande de valence ΔE_V par rapport au silicium [47].

De nombreux diélectriques *high-k* sont envisagés pour le remplacement de l'oxyde de silicium, (figure 1.13), mais ne répondent pas tous aux multiples critères requis pour l'intégration dans la filière CMOS :

- Une stabilité thermique en contact avec le silicium pour parvenir à former un oxyde interfacial trop épais,
- La passivation de la surface avec le silicium pour éviter les défauts et améliorer la mobilité des porteurs du canal et la durée de vie du diélectrique,
- La compatibilité avec les procédés de fabrication surtout à hautes températures,
- Le choix du matériau avec des propriétés électriques meilleurs : forte E_G afin d'assurer un ΔE_C et ΔE_V suffisamment important par rapport au semiconducteur pour réduire le courant de fuite.

1.4.2. Transistors à canal de Silicium contraint :

Pour augmenter les performances dans les transistors MOSFET, il est possible d'améliorer le transport des porteurs (modifier la mobilité dans le canal de conduction), par l'application de contraintes sur le matériau (Silicium).

Il existe deux types de contraintes mécaniques, en tension ou compression, suivant un axe (uni-axial) ou deux axes (bi-axial). Cette contrainte induit une modification de la structure de bande du matériau, et par conséquent : un changement de la courbure des bandes de conduction et de valence (amélioration des masses effectives qui régissent la qualité du transport), et un décalage en énergie entre les différentes vallées qui font que les électrons vont occuper les vallées où la masse effective est plus faible (donc meilleur transport).

Sans parler de changement de matériau, le courant de drain est augmenté à travers l'amélioration de la mobilité des porteurs de charge et le transistor MOSFT parvient à atteindre les spécifications des nœuds technologiques actuels en conservant une architecture massive poussée (*extended bulk MOS*). Cependant, ces techniques ne permettent pas de réduire la perte progressive du contrôle électrostatique de la grille sur le canal de conduction.

1.4.3. Transistors à base de semiconducteurs forte mobilité :

L'avènement des diélectriques de grille *high-k* a permis d'envisager un changement radical des matériaux de la partie active du transistor MOSFET en introduisant les matériaux à forte mobilité comme les semiconducteurs III-V. D'autre part, leurs propriétés intrinsèques d'où une faible masse effective donc meilleure mobilité et courant de drain plus fort, les transistors MOSFET à base de ces matériaux (transistors nMOS) peuvent être utiles pour atteindre les prévisions des futurs nœuds technologiques pour les applications CMOS hautes performances [48].

L'intérêt d'utiliser un semiconducteur III-V, tel que le GaAs (mobilité électronique cinq fois plus élevée à celle du silicium), a également été démontré assez tôt avec la réalisation du premier transistor MOSFET en GaAs (avec un oxyde de grille en SiO₂) dès 1965 [49]. Cependant, l'un des principaux freins au développement des MOSFET à base de semiconducteurs III-V reste la grande difficulté à créer un empilement de grille optimal à partir de matériaux adaptés : faible EOT et courant de fuite maitrisé, densité d'états d'interfaces réduite au maximum, et minimisation des charges fixes dans les oxydes pour empêcher les instabilités de fonctionnement.

Au-delà des problèmes cités ci-dessus, les propriétés des matériaux à forte mobilité sont très différentes et favorisent l'apparition de phénomènes physiques principalement d'ordre quantique qui sont alors négligeables dans les transistors sur silicium. La faible largeur de la bande interdite de certains semiconducteurs III-V (InSb, InAs, In_{0.53}Ga_{0.47}As) qui provoque une augmentation du courant de fuite I_{off} sous le mécanisme BTBT (Band-To-Band Tunneling), cet effet quantique permet aux porteurs de passer de la BV à la BC par

pénétration des fonctions d'onde dans la bande interdite. Cependant, la réduction des dimensions des composants, implique une augmentation des effets de quantification des niveaux d'énergies qui font par la suite élever la largeur de bande effective du matériau [50]. Donc, il existe un compromis à trouver pour allier forte mobilité et faible courant de fuite.

Malgré ces inconvénients, les semiconducteurs III-V peuvent être véritablement envisagés pour pousser le courant de drain, puisque la mobilité des électrons dans ces matériaux est nettement plus élevée que dans le Silicium.

1.5. Conclusion

Ce premier chapitre introductif nous a permis dans un premier temps à introduire d'une manière assez générale les enjeux actuels auxquels sont confrontées les industries microélectroniques. Tout d'abord, le fonctionnement du transistor à effet de champ avec les différentes topologies est rappelé, puis sont présentés les principaux phénomènes physiques dégradant les performances des dispositifs lorsque les dimensions des composants sont réduites. Ensuite, nous avons présenté les différentes solutions envisagées dans l'avenir proche pour remplacer l'architecture conventionnelle afin de poursuivre la miniaturisation des composants tout en améliorant leur efficacité ; comme l'utilisation de nouveaux matériaux (semiconducteurs à forte mobilité et diélectriques de grilles à hautes permittivité) dont notre travail sera basé.

CHAPITRE 2 INTRODUCTION AUX TRANSISTORS MOSFET A BASE DES SEMICONDUCTEUR III-V (GENERALITES, DEFIS ET ETAT DE L'ART).

2.1. Introduction

Depuis l'antique, la puissance de calcul n'a cessé de s'améliorer. Dans la course à l'efficacité, les systèmes électroniques ont depuis longtemps remplacé les systèmes mécaniques. Cette augmentation de la vitesse de calcul a naturellement réduit les coûts de calcul. La figure 2.1 retrace cette fulgurante baisse des prix au cours du vingtième siècle, à travers l'augmentation colossale de la vitesse de calcul à prix constant. Cela a permis la généralisation de systèmes très complexes qui améliorent notre quotidien : ordinateurs, téléphones portable...etc.

Actuellement, les acteurs de cette accélération sont les transistors de type MOS (Métal Oxyde Semiconducteur). Ce sont les éléments constitutifs des microprocesseurs, tels le Pentium d'INTEL présenté en figure 2.2, et d'autres microcontrôleurs qui permettent d'effectuer des calculs de plus en plus complexes dans quelques centimètres carrés, à des prix toujours plus faibles.





Figure 2.2 : Processeur de type Pentium : puce ($\approx 1 \text{ cm}^2$) sur un boitier en céramique

Figure 2.1 : Evolution de la vitesse de calcul au cours du vingtième siècle à prix constant

Jusqu'à récemment, la mise en échelle des transistors a généralement suivi des règles de conception simples mais strictes avec de légères modifications. Ces règles de conception sont connues par la loi d'échelle qui dicte que la réduction de la longueur d'un transistor doit s'accompagner par une réduction de plusieurs autres paramètres physiques, géométriques et électriques relativement à un facteur α , tableau 2.1, et ceci pour garantir une amélioration dans la vitesse et la densité des circuits avec une réduction de la consommation d'énergie, tout en préservant la fiabilité et l'intégrité électrostatiques.

| | Paramètre | Facteur multiplicatif (α > 1) |
|----------------------------------|-------------------------------------|----------------------------------|
| Dimensionnement du Transistor | L _g , W, T _{ox} | 1/α |
| | V _{DD} | 1/α |
| | Concentrations dopants | α |
| Effets sur les transistors | Courant | 1/α |
| | Capacité | 1/α |
| | Densité d'intégration | α^2 |
| Effets sur les circuits | Temps de retard | 1/α |
| | Puissance / Circuit | 1/a ² |
| | Puissance / Surface | 1 |

Tableau 2.1 : Lois d'échelle pour l'intégration MOSFET [51]

Avec cette demande de plus en plus importante de dispositifs à plus grande vitesse, plus faible consommation et plus forte densité d'intégration, la taille du transistor n'a cessé de décroitre passant ainsi de quelques micromètres à quelques nanomètres (figure 2.3). C'est ainsi, que le transistor MOSFET conventionnel a atteint ses limites physiques conduisant à la recherche de technologies alternatives. Car, avec la réduction considérable de sa géométrie, des effets indésirables connus sous le nom d'effets canaux courts apparaissent, altérant ainsi son bon fonctionnement et le rend inopérable tel qu'il fut conçu au départ,

conduisant alors à trouver des solutions alternatives qui inclue l'utilisation de nouveaux matériaux comme les diélectriques high-k et semiconducteurs à forte mobilité (III-V...) pour remplacer le silicium.



(a) Réplique du premier transistor réalisé par Bardeen, Brattain et Shockley en 1947.

(b) Transistor MOS parmi les plus courts de la littérature, avec une longueur de grille de 4nm .

Figure 2.3 : (a), (b) : Evolution des dimensions du transistor, de son invention à nos jours. (Les progrès technologiques ont permis de diviser par un million la taille du transistor et d'augmenter autant la densité d'intégration de cette brique élémentaire dans les circuits intégrés),[52].

Dans ce deuxième chapitre, qui représente une introduction aux transistors MOSFET de la filière III-V, nous allons commencer par une généralité sur les transistors MOS où on décrit les différents régimes d'une structure n-MOS, les principaux paramètres électriques d'un MOSFET en régime statique et dynamique qui sont nécessaires pour évaluer les performances du composant, définir la mobilité des porteurs dans le canal de conduction ainsi que les interactions limitant cette dernière. Ensuite, nous expliquons les principales progressions du MOSFET qui vont permettre à la loi de MOORE de continuer au moins dans la prochaine décennie. La puissance de consommation et la tension d'alimentation qui libèrent la densité et la rapidité d'horloge associées aux CPU. L'introduction des nouveaux matériaux (semiconducteurs III-V) pour les n-MOSFET met en œuvre de nouvelles topologies technologiques qui représentent des architectures alternatives au MOSFET classique. Décrire le défi de l'interface III-V/diélectrique de grille ainsi que les résistances d'accès qui ont des conséquences importantes sur les performances du composant.

Enfin, nous terminons par un état de l'art des MOSFETs III-V qui recense les résultats de la littérature correspondants à la densité d'états d'interface, le comportement sous le seuil, le courant de drain maximal, la transconductance maximale, la mobilité effective et les performances fréquentielles (f_T - f_{max}).

2.2. Généralité sur les transistors MOS

Le transistor MOS est à la base de l'industrie microélectronique qui est étroitement lié à la miniaturisation de cette brique élémentaire. Cependant, le début du XXI^{ème} siècle marque un véritable tournant dans cette quête du « toujours plus petit » : des limites physiques infranchissables sont mises au jour, obligeant les chercheurs et les industriels à se tourner vers de nouvelles solutions pour poursuivre leur marche en avant. L'étude du transport électronique dans des transistors MOS intégrant de nouveaux matériaux nécessite une bonne connaissance des mécanismes régissant le déplacement des porteurs libres dans le canal de conduction. Nous nous intéresserons donc aux divers aspects théoriques permettant de décrire le fonctionnement électrique du transistor MOS, et en particulier aux caractéristiques de l'empilement MOS ainsi qu'au courant et à la mobilité des porteurs dans le canal de conduction.

2.2.1. Les différents régimes d'une structure nMOS

Le fonctionnement du transistor MOSFET est basé sur deux parties importantes dans la structure, figure 2.4(a) : l'empilement vertical (axe Y) généralement appelé « Capacité MOS » auquel on ajoute une zone de source et de drain dans la section horizontale (axe X) pour permettre au courant de circuler dans le dispositif. Par conséquent, avant tout développement technologique avancé, il est important de comprendre les mécanismes qui contrôlent le fonctionnement de la capacité MOS avant de pouvoir étudier le transistor. Pour rappeler le principe de fonctionnement de la capacité MOS, figure 2.4(b), on considère le cas d'une structure considérée comme idéale et on montre son diagramme de bande en énergie dans la direction Y (sans contact) et les principaux paramètres qui caractérisent les matériaux (figure 2.5). Le métal est défini par son travail de sortie ϕ_M l'oxyde par son affinité électronique χ_{ox} et son énergie de la bande interdite $E_{g,ox}$.



Figure 2.4 : (a) Schéma illustratif d'un MOSFET ; (b) Découpe en axe Y : capacité MOS.

Le semiconducteur est défini par son affinité électronique χ_{sc} , son travail de sortie ϕ_{sc} Et son niveau de dopage par l'intermédiaire du potentiel de Fermi ϕ_f (écart entre le niveau intrinsèque et celui du semiconducteur dopé loin de l'interface).



Figure 2.5 : Illustration du diagramme de bandes énergétiques à travers l'axe Y de la capacité MOS sans contact avec définition des paramètres qui les caractérisent

Lorsque les matériaux entrent en contact avec une tension V_G appliquée entre la grille (métal) et le substrat (semicondcuteur), on distingue quatre principaux régimes de fonctionnement selon la valeur de cette tension :

a- Régime de bandes plates (*flat band*) : Pour une capacité MOS idéale ($V_{FB}^{1} = \varphi_M - \varphi_{sc} = 0$), ce régime se produit lorsqu'aucune tension n'est appliquée à la structure ($V_G = V_{FB} = 0V$). Cet état correspond au régime d'équilibre thermodynamique de la structure et donc à l'alignement des niveaux de Fermi du métal et du semiconducteur (figure 2.6 a).



Figure 2.6 : Diagramme de bandes de la structure MOS (semicondcuteur type P) pour différents régimes de fonctionnement : (a) régime de bandes plates, (b) régime d'accumulation, (c) régime de déplétion, (d) régime d'inversion.

¹V_{FB} : la tension de bande plate, est la tension qu'il faut appliquer sur la grille pour que le potentiel à l'interface oxyde/SC ψ_s soit nul. $\psi_s = (E_i(0) - E_i(\infty))/q$: Potentiel de surface, représente la courbure de bande entre la surface et le volume du SC.

- **b-** Régime d'accumulation : si la tension appliquée sur la grille est ($V_G < V_{FB}$), le champ vertical dû à la grille est orienté vers le haut, on parle de régime d'accumulation, (figure 2.6 b). Deux phénomènes peuvent être observés : les électrons de la bande de conduction (porteurs minoritaires) sont poussés vers l'intérieur, tandis que les trous sont attirés à l'interface Ox/Sc provoquant l'accumulation de ces charges majoritaires qui vont se retrouver plus nombreuses à l'interface. La variation de la charge d'accumulation Q_{acc} est exponentielle et augmente avec $|\psi_s|$, (figure 2.7 (1)). Le transistor est à l'état bloqué (régime sous le seuil).
- c- Régime de déplétion : Lorsque la tension de grille est ($V_G > V_{FB}$), le champ électrique change de sens et s'oriente vers le bas : les trous sont alors repoussés à l'interface et une zone sans charges mobiles s'étend jusqu'à l'oxyde. Cette zone, dite de déplétion (sa profondeur T_{dep}) est chargée négativement, car elle est composée uniquement de dopants ionisés (N_A accepteurs. SC type P), (figure 2.6 c). La variation de charge de déplétion Q_{dep} est proportionnelle à $\sqrt{\psi_s}$, (figure 2.7 (2)). Le transistor est toujours bloqué (régime sous le seuil).
- d- Régime d'inversion : Quand la tension de grille est supérieure à la tension de seuil V_{seuil}, la zone de déplétion ne s'étend presque plus et le champ vertical est suffisamment fort pour attirer les électrons (porteurs minoritaires) vers l'interface. La variation de charge du semiconducteur type P est donc dû aux porteurs minoritaires, c'est la raison pour laquelle on parle de régime d'inversion, (figure 2.6 d). Ce régime est divisé en deux parties :
 - φ_f ≤ ψ_s < 2. φ_f : c'est le régime d'inversion faible, il est atteint lorsque n devient supérieur à N_A. L'augmentation de la charge d'inversion Q_{inv} est d'abord faible, et reste proportionnelle à √ψ_s, (figure 2.7 (3)).
 - ψ_s > 2. φ_f: Régime d'inversion forte. La concentration surfacique des porteurs minoritaires devient supérieure à la concentration des porteurs majoritaires en volume du semiconducteur. La croissance de charge d'inversion Q_{inv} est à nouveau exponentielle et augmente avec ψ_s, (figure 2.7 (4)). Un grand nombre de porteurs libres sont présents dans le canal ; le transistor peut alors conduire.



Figure 2.7 : Représentation de l'évolution en valeur absolue de la charge dans le semiconducteur (type P) $|Q_{sc}|$ en fonction de la valeur du potentiel de surface ψ_s , mettant en évidence les différents régimes de fonctionnement.

Ainsi, à chaque régime de fonctionnement correspond à une variation du nombre et du type de porteurs de charges dans le semiconducteur. Il est donc intéressant de voir comment la valeur de la capacité (par définition c'est la dérivée de la charge par rapport à la tension du système) change dans la structure MOS selon la variation de la tension de grille. La structure MOS est alors considérée comme, une association en série de deux capacités (figure 2.8 a) : la capacité de l'oxyde C_{ox} , dont la valeur est fixe et dépend de la permittivité du matériau isolant et de son épaisseur, et la capacité du semiconducteur C_{sc} qui varie en fonction du régime de fonctionnement et, par conséquent, selon la tension appliquée sur la grille.



Figure 2.8 : (a) Schéma électrique équivalent de la capacité MOS (b) allure de la courbe C-V avec les différents régimes.

La figure 2.8 b, montre l'allure générale de la caractéristique C-V d'une structure MOS, en distinguant différents régimes de fonctionnement. Dans le cas d'une forte accumulation ou inversion, la valeur de la capacité tend vers une valeur constante qui égale à C_{ox} . Les densités de charge à ces tensions sont très importantes et la valeur de la capacité du semiconducteur devient bien supérieure à celle de l'oxyde. Dans cette structure, l'association en série des deux capacités fait donc tendre la valeur totale vers celle de l'oxyde. La capacité diminue et atteint un minimum dans le régime d'appauvrissement, car seules des charges fixes participent à la charge totale du semiconducteur.

Cependant en réalité, il existe des charges à l'interface Q_{it} ainsi que des charges fixes dans l'oxyde Q_F qui apportent un potentiel supplémentaire en surface. Ainsi pour être en régime de bande plate, il faut appliquer une tension $V_{FB} = (\varphi_M - \varphi_{sc}) - (Q_{it} + Q_F)/C_{ox}$. Les régimes de fonctionnement en fonction de V_G ne sont quant à eux pas modifiés, cependant il faut tenir compte de l'ensemble des charges.

2.2.2. Principaux paramètres électriques d'un MOSFET

Dans cette partie, on présente les principaux paramètres électriques du transistor MOSFET, en régime statique et dynamique, nécessaires pour évaluer les performances du composant.

2.2.2.1. En régime statique

a- Tension de bande plate V_{FB}: Il s'agit de la tension de polarisation nécessaire à l'établissement du régime d'équilibre dans lequel les bandes sont plates. L'expression est donnée par l'équation ci-dessous :

$$V_{FB} = \varphi_M - \varphi_{SC} - \frac{Q_{it}}{C_{OX}}$$
(2.1)

Avec : φ_M , φ_{SC} , respectivement, les travaux de sortie du métal et semiconducteur, Q_{it} , la quantité de charges à l'interface oxyde-semiconducteur et C_{OX} , la capacité de l'oxyde.

b- Tension de seuil V_{seuil} : Elle représente la tension de polarisation qui est nécessaire à l'établissement du régime de forte inversion, c'est-à-dire la valeur de V_{GS} pour laquelle le potentiel de surface $\psi_s = 2\varphi_f$ avec φ_f , le potentiel de Fermi. Son expression est donnée par l'équation ci-dessous :

$$V_{seuil} = V_{FB} + 2\varphi_{f} + \frac{Q_{dep}}{C_{OX}}$$
(2.2)

Q_{dep}, la quantité de charges dans la zone de déplétion :

$$Q_{dep} = q \, N_a \, T_{dep} \tag{2.3}$$

avec :

$$T_{dep} = \sqrt{\frac{2\varepsilon_{sc} \, 2\varphi_{\rm f}}{qN_a}} \tag{2.4}$$

et :

$$\varphi_{\rm f} = \frac{\kappa T}{q} \ln \frac{N_a}{n_i} \tag{2.5}$$

Finalement, la tension de seuil est donnée par l'expression :

$$V_{seuil} = V_{FB} + 2\varphi_{f} + \frac{\sqrt{4q N_a \varepsilon_{sc} \varphi_{f}}}{c_{ox}}$$
(2.6)

q : la charge de l'électron, N_a : le dopage du semiconducteur, ε_{sc} : la permittivité du semiconducteur, n_i : la densité de charges intrinsèques du matériau.

A l'état passant, les tensions doivent satisfaire les conditions $V_{GS} > V_{seuil}$ et $V_{GS} = V_{DS}$. De plus, pour diminuer la consommation énergétique des transistors, il faut réduire la tension V_{DS} et donc à fortiori V_{seuil} .

c- La pente sous le seuil (S.S : Subthreshold Slope) : Correspond à la partie linéaire du $\log I_d$ en fonction de V_{GS} . On exprime le SS par la relation suivante :

$$SS = \frac{dV_{GS}}{d\log I_d} \tag{2.7}$$

Donc SS est l'inverse de la pente en dessous du seuil de la caractéristique $\log_{10}(I_d) = f(V_{GS})$. Elle spécifie le gradient de V_{GS} pour obtenir une décade de réduction de courant.

Dans le cas d'un transistor MOSFET, l'expression SS est donnée par :

$$SS = \frac{\kappa T}{q} \ln 10(1 + \frac{c_{dep}}{c_{ox}} + \frac{c_{it}}{c_{ox}})$$
(2.8)

Avec C_{it} la capacité induite par la densité d'états d'interface, C_{dep} la capacité du semiconducteur dans le régime de déplétion, cette capacité est en série avec la capacité de l'oxyde, elle s'exprime comme :

$$C_{dep} = \frac{\varepsilon_{sc}}{e_{ZCE}}$$
(2.9)

Avec : ε_{sc} est la permittivité du semi-conducteur, e_{ZCE} est l'épaisseur de la zone de déplétion.

Dans le cas où on peut négliger la capacité de désertion ainsi que les défauts d'interface, la valeur idéale de SS atteint environ 60 mV/décade à 300 K, ce qui signifie que le contrôle électrostatique du canal par la grille est de 100%.

d- Courant I_{OFF} et I_{ON} : le courant I_{OFF} est déterminé à $V_{GS} = 0V$ et le courant I_{ON} est déterminé lorsque $V_{GS} = V_{DD}$ où V_{DD} est la tension d'alimentation. Une valeur importante du rapport I_{ON}/I_{OFF} implique un excellent compromis entre une haute vitesse de commutation (meilleure fréquence de coupure) et une faible consommation.

e- Courant de grille I_g : Le courant de grille d'un MOSFET est très faible, surtout par rapport à celui d'un transistor à grille Schottky. Cependant, avec un oxyde de faible épaisseur, il peut devenir important à cause d'un courant de fuite à travers la grille qui apparait en raison de l'effet tunnel. Ce courant de fuite doit être limité car il intervient directement dans la consommation statique des portes CMOS.

f- Le DIBL (*Drain Induced Barrier Lowering*) : Il correspond à la variation de la tension de seuil par rapport à celle de la tension V_{DS} . L'expression du DIBL est donnée par :

$$DIBL = \frac{\Delta V_{seuil}}{\Delta V_{DS}} \tag{2.10}$$

Physiquement, cela signifie l'abaissement de la barrière de potentiel entre la source et le drain lorsque V_{DS} augmente. Il provoque une augmentation du courant de fuite du drain qui entraîne un décalage de la tension de seuil et par conséquent une consommation de puissance statique élevée.

g- La Transconductance (G_m) : L'expression de la transconductance est donnée par le rapport entre le courant de sortie I_d et la tension d'entrée sur la grille V_{GS} à une tension V_{DS} donnée.

$$G_m = \left(\frac{dI_d}{dV_{GS}}\right)_{V_{DS}} \tag{2.11}$$

Elle caractérise la capacité de la grille à contrôler le passage du courant I_d . C'est un paramètre qui, en général, traduit le bon fonctionnement du transistor. Une valeur importante sera favorable aux performances du composant.

h- La Conductance de sortie (G_d) : L'expression de la conductance de sortie est donnée par :

$$G_d = \left(\frac{dI_d}{dV_{DS}}\right)_{V_{GS}} \tag{2.12}$$

Contrairement à la transconductance, la valeur de la conductance de sortie doit être faible pour obtenir des fréquences d'oscillation f_{max} élevées. Cependant, son augmentation peut être importante pour les grilles courtes (effet de canal court) qui peut aussi refléter l'apparition d'une ionisation par impact.

i- Mobilité effective du canal (μ_{eff}) : Elle représente la mobilité des charges dans le canal aux faibles valeurs de V_{DS} , extraite généralement par la relation suivante :

$$\mu_{eff} = \frac{G_d L}{W.Q_n} \tag{2.13}$$

Avec L la longueur de grille, G_d la conductance du canal, Q_n la densité d'électrons dans le canal et W la largeur du transistor. Q_n est déterminée en intégrant la capacité de grille en fonction de V_{GS} qui est mesurée à V_{DS} nulle.

j- Densité de défauts d'interface (D_{it}) : Les défauts d'interface ou les pièges d'interface sont des états d'énergie localisées dans la bande interdite d'un matériau semi-conducteur à l'interface oxyde (OX)/semi-conducteur (SC). Ces états d'énergie surviennent en raison de défauts structurels associés à la discontinuité du réseau cristallin. Les charges correspondantes peuvent affecter la zone active en modifiant le potentiel de surface. L'évaluation de ces défauts d'interface peut être quantifiée par la densité de défauts d'interface D_{it} calculée à l'aide de différentes méthodes de caractérisation électrique telles que : méthode basse fréquence ou quasi-statique, méthode de la conductance, méthode haute fréquence (méthode Therman), méthode de pompage de charge,

La méthode basse fréquence est assez facile à mettre en œuvre et largement utilisée dans la littérature [53,54]. Cette méthode compare les données des mesures CV basse fréquence (BF) et haute fréquence (HF) (Figure 2.9). À haute fréquence, les données CV sont supposées être exemptes de défauts d'interface puisqu'ils ne répondent pas à la tension dynamique appliquée. Par contre, à basse fréquence, les états de l'interface ont suffisamment de temps pour y répondre. La différence entre les deux courbes C-V peut être exploitée pour fournir des informations sur la densité des états de surface. A partir des données obtenues à basse et haute fréquence, D_{it} s'exprime par la formule suivante :

$$D_{it} = \frac{c_{ox}}{q^2} \left(\frac{c_{\rm lf}/c_{ox}}{1 - c_{\rm lf}/c_{ox}} - \frac{c_{\rm hf}/c_{ox}}{1 - c_{\rm hf}/c_{ox}} \right)$$
(2.14)

Où C_{lf}, C_{hf}, C_{ox} sont respectivement la capacité en basse fréquence, la capacité en haute fréquence et la capacité surfacique de l'oxyde.

Avec cette méthode, la valeur de D_{it} peut être mesurée en fonction de la polarisation appliquée par la grille et donc en fonction de la position du niveau de Fermi à l'interface oxyde/semi-conducteur.

Le D_{it} a un effet néfaste sur le fonctionnement du transistor, un fort D_{it} limitera par exemple l'inversion du canal sous la grille ce qui induira une dégradation des paramètres électriques ($G_{m_{MAX}}, I_{D_{MAX}}, ...$).



Figure 2.9 : Illustration d'une courbe C-V avec les données différentes en basse fréquence (lf) et haute fréquence (hf), [55].

k- Densité d'états d'un matériau (*DOS*) : Le DOS (Density Of State), quantifie le nombre d'états électroniques avec une énergie donnée dans le matériau. En fonction du potentiel de surface associé à la tension de grille appliquée, le DOS affecte directement la variation de la quantité d'électrons de la couche d'inversion. Cette grandeur caractéristique peut être traduite par la distance entre l'interface OX/SC et la position du pic d'électrons dans la couche d'inversion, appelée « Dark Space » (DS) [56]. Par conséquent, l'épaisseur équivalente du diélectrique de grille augmente ($T_{équi} = T_{ox} + DS$), ce qui réduit la capacité de grille et donc la densité d'électrons dans le canal d'inversion.

D'un autre point de vue, le DOS détermine une capacité C_{inv}^{DOS} qui, de préférence, doit être la plus grande possible pour ignorer son influence devant C_{inv} . En fait, on peut dire que la capacité de grille est représentée par la capacité d'oxyde C_{ox} et la capacité d'inversion C_{inv} en série, d'où C_{inv} est composée de C_{inv}^{DOS} et C_{inv}^{thick} en série. C_{inv}^{thick} représente la capacité d'inversion résultant de la discrétisation des niveaux d'énergie. A très faible C_{inv} , nous ne verrons pas l'influence de C_{ox} si nous réduisons l'épaisseur T_{ox} nécessaire à la mise à l'échelle du transistor (Scaling). Ainsi une forte valeur de DS rend difficile l'effet de la réduction de T_{ox} , et donc le scaling du MOS. En effet, sachant que :

$$C_{inv}^{DOS} = q^2 D_{2D} \left(1 - exp(-qN_s/D_{2D}) \right)$$
(2.15)

Avec D_{2D} est la densité d'état DOS des sous-bandes en 2D donnée par :

$$D_{2D} = 2n_v \frac{\sqrt{m_x m_y}}{\pi \hbar^2} \tag{2.16}$$

Avec n_v est la dégénérescence de la vallée, m_x et m_y les masses effectives le long du canal. Ainsi, un matériau III-V avec de faibles masses effectives peut ne pas convenir à la mise à l'échelle.

2.2.2.2. En régime dynamique

Il existe plusieurs techniques pour déterminer les caractéristiques dynamiques d'un transistor. Pour modéliser un transistor, nous recourons à son schéma équivalent figure 2.10. Notez que l'hypothèse principale d'un schéma équivalent est que ses éléments sont invariants en fréquence.

A. Schéma équivalent petit-signal d'un transistor MOSFET : Autour du point de polarisation, le schéma équivalent petit-signal du MOSFET peut se mettre sous la forme du schéma illustré à la figure 2.10.



Figure 2.10 : Schéma équivalent petit-signal d'un MOSFET

Les éléments de ce schéma sont divisés en deux catégories :

a- Les éléments extrinsèques, c'est-à-dire ceux placés à l'extérieur de la partie active du composant, sont supposés être indépendants de la polarisation. Il s'agit de :

 L_G, L_S, L_D : Les inductances, respectivement de grille, de source et de drain. R_G, R_S, R_D : Les résistances, respectivement de grille, de source et de drain. C_{PG}, C_{PD} : Les capacités plots ou parasites, respectivement de grille et de drain.

b- Les éléments dits intrinsèques qui caractérisent la partie active du dispositif et qui dépendent de la polarisation. Il s'agit de :

 C_{GS}, C_{GD}, C_{DS} : Les capacités, respectivement de grille-source, grille-drain et de drain-source.

 R_{GD} , R_i : La résistance de grille-drain et la résistance intrinsèque.

 G_m : La transconductance.

 G_d : La conductance de sortie.

Cette approche par un schéma équivalent qui est dit « physique », c'est-à-dire chaque élément du schéma est lié à un paramètre physique du composant. Cet aspect a un avantage très intéressant puisqu'il nous permet d'avoir un retour sur la technologie du composant et sur les points à optimiser.

B. Extraction des éléments du schéma équivalent : Pour extraire les éléments dynamiques du transistor, nous utilisons la méthode proposée par Koolen [57]. Cette méthode consiste à mesurer la matrice d'erreur associée aux accès du transistor et de les soustraire des mesures des paramètres S_{ij} brutes. Ainsi, il devient possible de retrancher les éléments parasites de ces accès et d'extraire la matrice Y_{trans} du transistor.

La méthodologie d'extraction des éléments intrinsèques du transistor est schématisée sur la **figure 2.11**. A partir de la matrice Y_{trans} , nous retranchons les capacités de plot de C_{PG} et C_{PD} . Ensuite, les paramètres Y obtenus sont convertis en paramètres Z afin de retrancher les éléments série extrinsèques R_S , R_D , R_G et les inductances L_S , L_D , L_G . Enfin, la matrice Z obtenue est convertie en matrice Y. Cette matrice, appelée Y_{int} , permettra de déterminer les éléments intrinsèques du schéma équivalent.



Figure 2.11 : Méthodologie d'extraction des éléments extrinsèques du schéma équivalent petit signal d'un MOSFET.

a- *Extraction des capacités de plot C*_{PG}*et C*_{PD} :

Les capacités de plot sont mesurées en annulant la conductivité du canal, ça veut dire, pour une polarisation dite froide telle que V_{DS} soit nulle et V_{GS} très inférieure à la tension de seuil V_{seuil} . Pour cela, la capacité C_{GS} est prise égale à C_{GD} et négliger la capacité intrinsèque C_{DS} . En mesurant les paramètres Y, les capacités de plot sont calculées à l'aide de ces formules :

$$C_{PG} = \frac{\text{Im}(Y_{11} + 2Y_{12})}{\omega}$$
(2.17)

$$C_{PD} = \frac{\text{Im}(Y_{22} + Y_{12})}{\omega}$$
(2.18)

b- Extraction des éléments extrinsèques R_S , R_D , R_G , L_S , L_D et L_G :

Les résistances R_S , R_D , R_G et les inductances L_S , L_D , L_G sont aussi extraites en polarisation froide telle que V_{DS} soit nulle et V_{GS} relativement élevée pour être en régime de forte inversion sous la grille. Les résistances et les inductances sont calculées à partir de la matrice Z obtenue à l'aide des formules ci-dessous :

$$\operatorname{Re}(Z_{22} + Z_{12}) = R_D + \frac{1}{2K \cdot (V_{GS} - V_{seuil})}$$
(2.19)

$$\operatorname{Re}(Z_{12}) = R_S + \frac{1}{2K \cdot (V_{GS} - V_{seuil})}$$
(2.20)

$$\operatorname{Re}(Z_{11} + Z_{12}) = R_G - \frac{1}{4K \cdot (V_{GS} - V_{seuil})}$$
(2.21)

$$\frac{\mathrm{Im}(Z_{22}+Z_{12})}{\omega} = L_D + \frac{C+2C_{DS}}{4K^2 \cdot (V_{GS}-V_{seuil})^2}$$
(2.22)

$$\frac{\text{Im}(Z_{12})}{\omega} = L_S + \frac{C + 2C_{DS}}{4K^2 \cdot (V_{GS} - V_{seuil})^2}$$
(2.23)

$$\frac{\mathrm{Im}(Z_{11}+Z_{12})}{\omega} = L_G + \frac{C_{DS}(C+2C_{DS})}{4CK^2 \cdot (V_{GS}-V_{seuil})^2} - \frac{1}{2C\omega^2}$$
(2.24)

avec :

$$K = \frac{\mu W C_{ox}}{L}; \ C = C_{GS}(V_{DS} = 0) = C_{GD}(V_{DS} = 0) = \frac{C_{OX}}{2}$$

c- *Extraction des éléments intrinsèques* : Les éléments intrinsèques tels que $G_m, G_d, \tau, R_i, C_{GS}, C_{GD}, C_{DS}$ sont extraits de la matrice Y_{int} en passant par les formules suivantes :

$$G_m = -\left|\frac{Y_{int21-Y_{int12}}}{Y_{int11-Y_{int12}}}\right| \frac{1}{\text{Im}\left(\frac{1}{Y_{int21-Y_{int12}}}\right)}$$
(2.25)

$$G_d = -\operatorname{Re}(Y_{int22}) \tag{2.26}$$

$$\tau = -\frac{1}{\omega} \left(\arg \left(\frac{Y_{int21} - Y_{int12}}{Y_{int11} - Y_{int12}} \right) + \frac{\pi}{2} \right)$$
(2.27)

$$R_i = \operatorname{Re}\left(\frac{1}{Y_{int11} + Y_{int12}}\right)$$
(2.28)

$$C_{GS} = -\frac{1}{\omega . \mathrm{Im}\left(\frac{1}{Y_{int11} + Y_{int12}}\right)}$$
(2.29)

$$C_{GD} = -\frac{\mathrm{Im}(Y_{int12})}{\omega} \tag{2.30}$$

$$C_{DS} = \frac{\mathrm{Im}(Y_{int22} + Y_{int12})}{\omega} \tag{2.31}$$

Avec:
$$Y_{int11} = \frac{jC_{GS}\omega}{1 + jR_iC_{GS}\omega} + jC_{GD}\omega$$
; $Y_{int12} = -jC_{GD}\omega$;

$$Y_{int21} = \frac{G_m e^{-j\omega t}}{1 + jR_i C_{GS} \omega} jC_{GD} \omega ; \quad Y_{int22} = G_d + jC_{DS} \omega + jC_{GD} \omega$$

- C. Gains hyperfréquences et fréquences de transition d'un MOSFET : Différents gains et fréquences de transition sont utilisés pour caractériser les potentialités fréquentielles d'un transistor, dont on retient les suivants :
 - **a-** Le gain en courant de court-circuit $|H_{21}|$:

Il peut être calculé à partir des paramètres S suivant l'expression ci-dessous :

$$|H_{21}|^2 = \left|\frac{-2.S_{21}}{(1-S_{11}).(1+S_{22})+S_{12}.S_{21}}\right|^2$$
(2.32)

Ce gain suit une évolution en -20 dB par décade, ce qui permet de l'extrapoler à la fréquence de transition du gain en courant f_T , qui correspond à $|H_{21}| = 1 \ (0 \text{ dB}).$

La fréquence f_T constitue une grandeur très importante, notamment pour les applications numériques.

b- Le gain Unilatéral ou gain de Mason U :

C'est le gain en puissance obtenu en faisant adapter entrée et sortie, et en ajoutant une contre-réaction sans pertes pour avoir $S'_{12} = 0$ [58,59]. Son expression est la suivante :

$$U = \frac{\left|\frac{S_{21}}{S_{12}} - 1\right|^2}{2\left(k \cdot \left|\frac{S_{21}}{S_{12}}\right| - \operatorname{Re}\left(\frac{S_{21}}{S_{12}}\right)\right)}$$
(2.33)

Avec k est le facteur de stabilité donné par l'expression suivante :

$$k = \frac{1 - |S_{22}|^2 - |S_{11}|^2 + |S_{11}S_{22} - S_{12}S_{21}|^2}{2|S_{12}||S_{21}|}$$
(2.34)

Ou encore :

$$U = \frac{|Z_{21} - Z_{12}|^2}{4.(\operatorname{Re}(Z_{11}).\operatorname{Re}(Z_{22}) - \operatorname{Re}(Z_{12}).\operatorname{Re}(Z_{21}))}$$
(2.35)

Sur cette base, on détermine la fréquence maximale d'oscillation f_{max} , fréquence de transition, avec U=1, à partir de laquelle le quadripôle est passif. Lorsqu'elle n'est pas directement mesurable, sa détermination s'appuie sur une évolution théorique de U en -20 dB/décade. f_{max} est un paramètre important pour les applications analogiques.

2.2.3. Mobilité des porteurs dans le canal de conduction

La mobilité des porteurs dans le canal conducteur n'est donc plus constante mais se trouve modulée par le champ électrique de la grille et c'est la diminution de la mobilité en régime de forte inversion qui explique la saturation du courant de drain.

L'évolution de la mobilité effective μ_{eff} en fonction de la polarisation de grille dépend des différentes interactions que subissent les porteurs de charge lorsqu'ils se déplacent dans le canal conducteur. L'étude de cette mobilité permet donc de retracer les interactions dominantes dans le transistor. Dans ce paragraphe, nous allons préciser les relations qui définissent cette mobilité.

2.2.3.1. <u>Définition de la mobilité</u> : Nous définissons la mobilité de conduction μ comme un facteur de proportionnalité qui relie la vitesse de dérive des porteurs de charge (électrons ou trous) \vec{v}_d au champ électrique appliqué \vec{E} . Dans le cas le plus simple, on a :

$$\vec{\nu}_d = \frac{q\tau_m}{m}.\vec{E}$$
(2.36)

avec :

 $\mu = \frac{q\tau_m}{m}$

Où q la charge des porteurs, m est la masse effective, τ_m est le temps de relaxation du moment, qui correspond approximativement au temps moyen entre deux collisions²

(2.37)

² En fait τ_m est relié au temps moyen entre deux collisions τ_c par la relation $1/\tau_m = 1/\tau_c(1 - \cos\theta)$, où θ est le changement d'angle moyen induit par une collision. (Figure 2.12).

a- Mobilité dans un matériau massif : Dans un matériau massif en l'absence de champ électrique externe, les porteurs de charge libres se déplacent de manière aléatoire sous l'effet de l'agitation thermique. Leur mouvement peut être décomposé en une série de trajectoires rectilignes séparées par des interactions entre les porteurs et le réseau cristallin. Il n'existe donc pas de mouvement global des porteurs libres du matériau (aucun courant électrique ne circule).

Appliquons maintenant un champ électrique externe \vec{E} à ce matériau : les porteurs de charge libres sont donc accélérés par ce champ et, en même temps, se voient freinés par les interactions avec les atomes du matériau. Ceci conduit à un mouvement global des porteurs libres dans la direction du champ électrique avec une vitesse limite v_d , également appelée vitesse de dérive qui est dépendante du champ. La mobilité des porteurs est alors définie comme le coefficient de proportionnalité entre le champ et la vitesse, **Equation (2.36)**.



Figure 2.12 : (a) Trajectoire d'une particule de charge q dans un champ électrique \vec{E} dont les collisions lui confèrent une vitesse moyenne $\vec{V_d}$. (b Courbe qui relie la vitesse de dérive des porteurs V_{drift} et le champ électrique latéral $E_{\text{latéral}}$ entre source-drain d'un transistor. (c) Schéma décrivant la collision dans le cas 2D : l'électron incident est diffusé par un potentiel de diffusion U(r) dans un SC de surface S. le vecteur d'onde initial \vec{K} et final $\vec{K'}$ forment un angle θ .

b- Mobilité dans un transistor MOS : Dans le cas de la couche d'inversion du transistor MOS, le gaz d'électrons est confiné à l'interface canal/oxyde sous l'action de la polarisation de la grille et donc le mouvement des particules de ce gaz ne peut avoir lieu que dans un plan parallèle à l'interface : les propriétés de transport d'un tel gaz bidimensionnel changent donc par rapport au massif. En particulier, la mobilité des porteurs est différente et plus faible : on parle alors de mobilité effective, notée μ_{eff} . Dans ce cas, la mobilité des porteurs dans le canal n'est plus une constante liée au matériau mais varie avec la polarisation de grille appliquée.

$$\mu_{\rm eff}(V_{\rm g}) = \frac{q\tau(V_{\rm g})}{m} \tag{2.38}$$

Cette formule montre que le confinement plus ou moins fort des porteurs (lié à une polarisation de grille plus ou moins élevée) modifie les temps d'interaction et de ce fait la mobilité.

Il est important d'introduire la notion de champ électrique effectif, E_{eff} , qui est une grandeur couramment utilisée pour l'étude de la mobilité des porteurs dans le canal d'un transistor MOS [60].

2.2.3.2. Les interactions limitant la mobilité dans les transistors MOS :

Il existe plusieurs mécanismes de diffusion qui transfèrent les électrons ou trous d'un état initial de vecteur d'onde \vec{K} à un état final \vec{K}' (figure 2.12c). De plus, les transitions induites peuvent être intra-vallée ou inter-vallées, intra-sousbande ou inter-sousbandes [61,62].

En pratique, la mobilité effective des porteurs dans le canal d'un transistor MOS est décrite par plusieurs types d'interactions entre ces porteurs et le milieu dans lequel ils évoluent. Ainsi, le temps de relaxation $\tau(v_g)$ est déterminé par l'ensemble des mécanismes de collision et de diffusion, de sorte que :

$$\frac{1}{\tau(V_g)} = \sum_i \frac{1}{\tau_i(V_g)} \tag{2.39}$$

Cette équation, combinée à l'équation (2.38), permet d'écrire la relation suivante, connue sous le nom de « Loi de Mathiessen » :

$$\frac{1}{\mu_{\rm eff}(V_g)} = \sum_i \frac{1}{\mu_i(V_g)}$$
(2.40)

Il est alors possible de décomposer la mobilité effective totale des porteurs en une somme de mobilités limitées par un seul type d'interaction entre les porteurs et le milieu dans lequel ils évoluent. En fonction de la température et du champ effectif appliqué, cette somme peut évoluer, voir même se réduire à un seul terme : une des interactions devient alors prépondérante et détermine à elle seule la valeur de la mobilité effective mesurée.



Figure 2.13 : Schéma récapitulant les différentes interactions responsables de la mobilité dans un transistor MOS.

Dans le cas d'un transistor MOS, nous pouvons classer les différentes interactions responsables de la limitation de la mobilité en trois groupes : les interactions avec les phonons, les collisions avec des impuretés chargées (dopants ionisés, charges d'interfaces et dans l'oxyde...) ainsi que la diffusion due à la rugosité des différentes interfaces (figure 2.13). A faible champ effectif, la mobilité est dégradée par les interactions coulombiennes dues aux impuretés ionisées (dopants). Lorsque le champ augmente, la mobilité devient indépendante du niveau de dopage du canal, suivant une courbe dite *universelle* [63,64]. Dans cette région, la mobilité est limitée par les interactions avec les phonons et la rugosité des interfaces.

La dépendance en température des courbes de mobilité en fonction du champ effectif ayant une allure caractéristique semblable plus en moins à celle représentée sur la figure 2.14.



Figure 2.14 : Représentation Schématique de la mobilité en fonction du champ électrique effectif, avec les trois principaux mécanismes limitants [63].

2.3. <u>Défis du MOSFET à base des matériaux III-V</u>

Dans cette section, nous rappelons les principales avancées technologiques du MOSFET, figure 2.15, qui permettrons à la loi de MOORE de persister pendant au moins la prochaine décennie.

La première concerne le *design* de l'empilement de la grille. Le poly-silicium du contact de grille a été remplacé par du métal, cela permet de réduire la résistance de grille et le "recul" de la fonction d'onde dit "*dark space*" côté de grille, et donc de diminuer l'épaisseur équivalente d'oxyde (EOT), [65]. De plus, la tension de seuil peut être ainsi ajustée par le travail de sortie du métal de grille.

Le diélectrique de grille historiquement en SiO_2 a été remplacé par des oxydes de grande permittivité (*high-k*). Cela permet d'avoir une grande capacité d'oxyde avec une épaisseur d'oxyde physique plus grande qu'avec la silice limitant ainsi le courant de fuite à travers la grille. Afin d'augmenter l'immunité contre les effets de canal court (*SCE*), la structure traditionnelle, MOSFET sur substrat massif (*MOS-Bulk*), peut être remplacée par une architecture SOI (*Silicon On Insulator*). Dans cette dernière, le canal est représenté par un film mince, pris en sandwich entre deux isolants (de grille et de substrat) non intentionnellement dopés, la couche active peut être partiellement ou complètement désertée (*PDSOI, FDSOI*). Ces structures restent planaires mais il existe également des structures 3D à double ou triple grille dont le contrôle de charge électrostatique est plus renforcé.



Figure 2.15 : Les progressions sur la structure MOSFET d'après le rapport de l'ITRS 2010.

Les propriétés du transport électronique dans la couche active ont également été améliorées. Tout d'abord, le canal en Silicium a été contraint de sorte que la dégénérescence des vallées Δ est partiellement levée et que les interactions intervallées via les phonons deviennent moins probables. Cependant, le transport pourrait changer radicalement si le canal en Silicium est remplacé par des matériaux ayant une forte mobilité électronique tels que les composés III-V, comme InGaAs, InAs, InSb..., ou les dispositifs en carbone à base de nanotubes ou de graphène. Pour cette dernière classe de matériaux, les procédés technologiques à mettre en œuvre (type bottom-up) posent des problèmes fondamentaux [10].

2.3.1. Puissance consommée et tension d'alimentation

Aujourd'hui, les objets électroniques deviennent de plus en plus connectés et autonomes, ils fonctionnent en permanence et sont donc très énergivores. Cette consommation liée aux appareils électroniques représente actuellement 15% de la consommation totale des ménages- chiffre qui va doubler d'ici 2025 voire tripler à l'horizon 2030 d'après l'AIE (Agence Internationale de l'Energie).

La densité de puissance du CPU est limitée à 100 W/cm² et la rapidité d'horloge associée doit rester en dessous de 4 GHz, (figure 2.16).



Figure 2.16 : (a) : Evolution de la densité de puissance du CPU [66].(b) : Evolution de la fréquence d'horloge du CPU.

Dans une cellule CMOS, la puissance consommée peut être exprimée par la formule suivante [67] :

$$P_{cons} \approx f. C_{load}. V_{DD}^2 + I_{OFF}. V_{DD} \approx (I_{ON} + I_{OFF}). V_{DD}$$
(2.41)

Avec f, C_{load} , I_{OFF} sont respectivement, la fréquence d'opération, la capacité de charge, le courant à l'état OFF.

Le premier terme dans cette équation correspond à la puissance dynamique définie à partir du carré de la tension d'alimentation V_{DD} , la capacité et la fréquence. Elle exprime une énergie multipliée par la fréquence de fonctionnement. Le second terme correspond à la puissance statique, c'est une partie du courant I_{OFF} lié à la pente sous le seuil SS, V_{seuil} ainsi que la fuite de grille et des jonctions.

Actuellement, la seule méthode efficace pour réduire la puissance consommée est de diminuer la tension d'alimentation V_{DD} . Par exemple l'ITRS prévoit des valeurs de tension d'alimentation inférieures à 800 mV à partir de 2017 pour les composants dédiés aux applications basse consommation. Cependant, afin de diminuer V_{DD} , la tension de seuil V_{seuil} doit également être réduite. Or, il est très difficile d'ajuster la tension de seuil et la tension d'alimentation en même temps. Afin de comprendre l'enjeu de la réduction de V_{DD} , figure 2.17, nous voyons que malgré la diminution de la tension, la puissance consommée augmente en raison de l'augmentation du courant I_{OFF} .



Figure 2.17 : Allure de la caractéristique de transfert d'un MOSFET. Effet de la tension sur le courant I_{OFF} .

La réduction de V_{DD} favorise les effets de canal court (SCE) qui peuvent être affrontés en réduisant l'EOT. Cependant, cela conduit à un courant de fuite plus important à travers la grille. Par conséquent, la mise en œuvre des matériaux à diélectrique avec *high-k* comme oxyde est très importante.

Dans l'équation (2.41), nous avons la contribution du courant I_{ON} et I_{OFF} sur la puissance de consommation. Pour les applications analogiques, seul le courant I_{ON} est important car il détermine les performances en fréquence et le gain du circuit analogique. En négligeant I_{OFF} , nous voulons une tension V_{DD} aussi basse que possible pour réduire la consommation des circuits analogiques tout en maintenant les performances élevées. Ceci doit être réalisé grâce à l'utilisation des matériaux à fortes mobilités. Pour les applications numériques, le courant I_{OFF} va fixer la consommation statique du circuit, il dépend de I_{leak} de V_{seuil} et de SS. Ainsi, SS et I_{leak} doivent être les plus faibles possibles pour réduire la consommation, en revanche, V_{seuil} doit rester élevée afin d'éviter d'accroitre I_{OFF} . C'est la raison principale des problèmes de la réduction de la tension d'alimentation depuis les derniers nœuds des technologies CMOS, car une voie possible permettant la réduction de I_{OFF} est l'utilisation d'une topologie alternative (Intel avec les FinFET). L'objectif de notre travail est plutôt de s'orienter vers la performance fréquentielle pour des applications analogiques où les contraintes sur le comportement sous le seuil peuvent être soulagées.

2.3.2. Les matériaux III-V pour les futurs n-MOSFET

Nous avons déjà vu que le concept classique de dimensionnement des dispositifs, notamment pour la tension d'alimentation V_{DD} , la tension de seuil V_{seuil} et l'épaisseur T_{OX} , atteint ses limites en termes de compromis entre le courant I_{ON} , la consommation d'énergie liée au I_{OFF} et l'immunité contre les effets de canal court [68]. La figure 2.18, montre l'évolution de la technologie des transistors MOS selon les nœuds technologiques de l'ITRS avec une projection vers les structures alternatives : des FETs réalisés avec des nanotubes de carbone (CNT) ou avec des alliages en matériaux III-V.



Figure 2.18 : Innovations de la conception du transistor MOS et technologies émergentes [69].

En introduisant un matériau de haute mobilité dans le canal, figure 2.19 (a), le développement de nouveaux dispositifs vise à atteindre simultanément des performances élevées et une faible consommation d'énergie tout en relâchant les contraintes de

dimensionnement. Certains matériaux III-V, avec des épaisseurs raisonnables T_{OX} , permettent un compromis favorable pour I_{ON} entre la réduction de l'effet capacitif (capacité quantique associée à la faible densité d'états du matériau III-V) et l'augmentation de la vitesse d'injection du côté source, (figure 2.19 (b)). En revanche, les structures de type UTB (ultra thin body) ou multi-grille offrent une possibilité d'une meilleure immunité aux effets de canal court.



Figure 2.19 : (a) Mobilité électronique en fonction de la densité de porteurs pour les hétérostructures à base de matériaux III-V ou Si [10]. **(b)** Evolution de la vitesse d'injection en fonction de la longueur de grille L_g pour les transistors à base de III-V, Si contraint et non contraint [70].

2.3.3. Les architectures alternatives

L'architecture des MOSFET, passant d'une structure planaire 2D vers une structure 3D, représente une évolution majeure. Compte tenu de la réduction d'échelle, les courants de fuite n'étaient plus négligeables. Des solutions sont apparues comme les transistors 2D Ultra Thin Body (UTB), 3D comme les transistors à ailettes (FinFET) ou les MOSFET à grille enrobante (GAA). Ces technologies permettent de limiter le courant de fuite vers le substrat et de réduire ces effets de canal court [71] lorsque l'épaisseur active est du même ordre de grandeur que la longueur de grille [72].

2.3.3.1. Le transistor Ultra-Thin Body (UTB)

Le MOSFET U.T.B est parmi les solutions prévues pour continuer la loi de Moore. L'intérêt de cette architecture est de réduire les capacités parasites, comme la capacité de
déplétion qui limite la pente sous le seuil, ainsi que la diminution des courants de fuite par le substrat.

La fabrication de ces transistors est similaire à celle du MOSFET classique, cependant le canal est limité à une très fine épaisseur. En général, le substrat utilisé dans l'industrie de la filière Silicium est un substrat silicium sur isolant (SOI). On parle ainsi de PDSOI (Partially Depleted) quand la zone de déplétion, avec application d'un potentiel sur la grille, n'atteint pas l'oxyde enterré et il y a une légère amélioration mais lorsque la zone de déplétion atteint cet oxyde, nous parlons de FDSOI (Fully Depleted) est dans ce cas il y aura une large amélioration des performances.

Par conséquent, la mise à l'échelle des transistors de type III-V devrait être aussi bonne que celle des transistors au Silicium. Des architectures avancées telles que « Ultra-Thin Body » (UTB) pour les transistors III-V ont été proposées et utilisées pour éviter ces problèmes. Ce sont des structures qui peuvent être utilisées pour supprimer le courant de fuite sourcedrain en insérant une couche fine sous le canal comme dans les technologies SOI ou un matériau III-V à grande bande interdite, comme nous le proposons dans cette thèse. En effet, la variété des matériaux III-V offre nombreuses possibilités, ce qui n'est pas le cas pour le silicium à canal très fin.

Les transistors MOSFET basés sur $In_xGa_{1-x}As$ ont été grandement améliorés sur le substrat InP, (figure 2.20). Pour la structure la plus simple, dans une configuration planaire, les transistors de type « Quantum well » présentent une très bonne performance [74]. En effet, le confinement d'un canal très fin et à forte mobilité(InAs par exemple) permet d'améliorer la mobilité des porteurs dans le canal et réduire le courant de fuite par effet tunnel.



Figure 2.20 : (a) Représentation schématique, (b) Vue en coupe TEM, d'un MOSFET InGaAs planaire réalisé sur substrat InP [73].

La couche entourant le canal à haute mobilité peut être choisie afin d'optimiser la qualité de l'interface avec le diélectrique de grille. Le MOSFET basé sur InAs développé par l'université de Santa Barbara a également montré une très faible pente sous le seuil et un record de conductance [75].



Figure 2.21 : Evolution de la transconductance des transistors MOSFET et HEMT depuis 1980 (avec une composition d'InGaAs variable) [74].

La figure 2.21, montre l'évolution des performances des MOSFET par rapport aux HEMT depuis 1980. Les MOSFET III-V ont récemment dépassé en termes de la transconductance les meilleurs HEMT en atteignant 3,45mS/µm [76] par une équipe du MIT. En conséquence, la structure planaire reste un choix dans ce travail de thèse.

2.3.3.2. Le transistor FinFET

Les transistors FinFET ont été inventés à l'université de Berkeley par l'équipe de *C.Hu et al.* à la fin des années 1990 [77]. Ce type de transistor est basé sur une architecture « multigrilles 3D » permettant l'amélioration du contrôle électrostatique lors de la réduction d'échelle. Les premières longueurs de grille étaient de l'ordre de 50 nm [78] et ont commencé à diminuer rapidement en dessous de 20 nm [79] tandis que l'ITRS prévoit son nœud technologique le plus petit à 1.8 nm en 2025. En 2015, Samsung commence à utiliser les FinFET 14 nm, dans la même année, TSMC a commencé à fabriquer des FinFET 16 nm, [80].

Des transistors FinFET ont alors été développés soit par l'approche « top-down » en gravant les Fin, figure 2.22 (a,b), soit par l'approche « bottom-up » grâce à la croissance ART, (figure 2.22 (c)).



Figure 2.22 : (a) Image MEB de la gravure des canaux InGaAs (3D), **(b)** FinFET InGaAs complet réalisé au MIT [81]. **(c)** Vue en coupe TEM d'un FinFET InGaAs réalisé à IMEC [82].

Les FinFETs d'InGaAs montrent des résultats modestes jusqu'à présent. En fait, les performances sont particulièrement impactées à des rapports d'aspect élevés (hauteur/largeur). La figure 2.23 (a), compare les performances des transistors FinFETs Si et III-V et montre que la réduction de la largeur du Fin dégrade considérablement la transconductance des transistors III-V. La figure 2.23 (b), montre l'effet de la réduction de la largeur du Fin sur la tension de seuil des transistors III-V. Cet effet est principalement dû à la faible masse effective des électrons dans les matériaux III-V.



Figure 2.23 : (a) Comparaison de la transconductance des FinFETs InGaAs et Si en fonction de la largueur du Fin (W_f). Les chiffres annotés pour chaque point représentent le rapport d'aspect du canal (hauteur/largueur). (b) Variation de la tension de seuil des FinFETs III-V en fonction de W_{f} .[67]

2.3.3.3. Le transistor « Gate All-Around »

Il s'agit d'une structure 3D reposant sur un nanofil entouré d'un empilement oxyde/métal de grille pour de maximiser le contrôle des charges. Des nanofils verticaux et horizontaux ont été mise en évidence sur substrat InP. Les techniques de fabrication des nanofils sont résumées sur la figure 2.24.



Figure 2.24 : Techniques de fabrication de nannofils III-V par les approches « topdown » ou « bottom-up » [83].

Dans l'approche « bottom-up », le nanofil peut être fabriqué par croissance VLS (Vapor-Liquid-Solid), figure 2.24 (a) et (b). Dans cette méthode, une goutte d'or est utilisée comme catalyseur de la croissance. En raison de sa structure unique, l'interface nanofil/substrat peut s'adapter une différence de paramètre de maille beaucoup plus importante que dans le cas d'une croissance en couche complète. En revanche, l'utilisation d'un catalyseur à l'or rend cette méthode incompatible avec l'intégration de CMOS Si. La croissance sélective SAE (Selective-Area Epitaxy), figure 2.24 (c), dispense du catalyseur d'or puisque le masque d'oxyde permet la croissance sélective, le III-V sur les ouvertures du substrat Si ou III-V. L'approche « top-down » consiste à développer une couche complète de matériaux III-V et à graver le nanofil dans l'épaisseur de la couche, (figure 2.24 (d) et (e)). Cette méthode a l'avantage d'être facilement applicable à grande échelle, mais elle dépend de la différence des paramètres de maille avec le substrat et présente les mêmes problèmes d'intégration sur Si que pour les transistors planaires ou FinFET III-V. De plus, la gravure du III-V peut provoquer des dommages importants sur les flancs des nanofils et altérer la mobilité des porteurs.

Les différents exemples d'architectures citées montrent le riche développement dans le domaine des transistors MOSFET III-V. Cependant, il reste encore des défis à relever afin d'intégrer ces dispositifs sur une plateforme silicium, qui est une condition indispensable à leur viabilité en raison du coût et de taille de substrat.

2.3.4. Interface III-V / diélectrique de grille

L'une des raisons de la dominance du Silicium dans les transistors MOSFET est la présence de son oxyde natif, qui peut être utilisé comme diélectrique de grille et à une très bonne qualité d'interface avec le Silicium. L'interface entre deux matériaux avec des paramètres de maille et structures cristallographiques différentes présente de nombreux défauts, telles que les liaisons pendantes. Les défauts créent des états électroniques à l'intérieur du gap du semiconducteur, qui peuvent être vides ou pleins. L'interface Si/SiO₂ a peu de défauts à l'interface. En revanche, les matériaux III-V n'ont pas une bonne qualité d'interface avec leurs oxydes natifs et produisent de multiples états d'interface. Certaines des charges générées par la tension de grille contribuent donc à remplir les états d'interface et la courbe I(V) en dessous de la tension de seuil est moins raide. La haute densité d'états d'interface contribue ainsi au décalage de la tension de seuil, à l'augmentation de la pente sous le seuil et à la diminution du courant I_{ON}.

2.3.4.1. Passivation de la surface

La qualité de l'interface entre le semiconducteur III-V et l'oxyde de grille est primordiale dans les performances du transistor. La présence de la densité d'états de surface D_{it} altère les propriétés de transport et le contrôle électrostatique de la grille. L'origine des défauts d'interface est due à plusieurs facteurs : la présence d'oxydes natifs (dans le cas d'InGaAs : GaO_x, AsO_x, InO_x), la présence des polluants (comme les atomes du carbone 'C')... etc. Pour éliminer les oxydes natifs et minimiser les états d'interface, différentes méthodes de traitements ont été proposés dans la littérature. Nous pouvons citer :

- Les traitements par plasma : comme la phosphine (PH₃), le silane et l'ammoniaque (SiH₄-NH₃) [84].
- Les traitements humides à travers l'utilisation de : l'acide chlorhydrique (HCl) [85],
 l'acide fluorhydrique (HF) [86], l'ammoniaque (NH₄OH) [87], les solutions soufrées (NH₄)₂S_x [88].

Les techniques de passivation sont nombreuses. Malgré cela, la meilleure valeur du D_{it} qui a été rapportée est de l'ordre de 3.10^{11} cm⁻²/eV [89], ce qui reste élevé par rapport à la valeur du D_{it} dans le cas du Silicium (environ 10^9 cm⁻²/eV). Ainsi, l'insertion d'une fine couche à large bande interdite (Exemple InP) permet d'améliorer le D_{it} et d'augmenter la mobilité des électrons dans le canal en l'éloignant de l'interface avec l'oxyde, l'idée de la structure dont-on s'est basé dans cette thèse.

2.3.4.2. Technique de dépôt d'oxyde

Un oxyde de bonne qualité sur un semiconducteur III-V est un défi qui intéresse de nombreux laboratoires depuis plusieurs années. En fait, il existe plusieurs méthodes de dépôt d'oxyde telles que la croissance d'oxyde natif [90], l'oxyde déposé par PECVD [89], par MOCVD [91,93], par MBE [94,95], Ga₂O₃ (Gd₂O₃) par évaporation [96]. Au cours de la dernière décennie, une nouvelle technique a vu le jour, l'ALD (Atomic Layer Deposition). La plupart des travaux de croissance d'oxyde sur III-V utilise cette technique. Il s'agit d'un processus de dépôt de couches minces avec une précision à l'échelle atomique, qui présente une similitude avec la CVD (Chemical Vapor Deposition), sauf que l'ALD divise la réaction CVD en deux demi-réactions en gardant les précurseurs séparés en dehors de la réaction, d'où, l'épaisseur de la couche peut alors être entièrement contrôlée. De plus, l'ALD possède un effet de « self-cleaning » au début du dépôt, qui peut plus ou moins éliminer les défauts à la surface du semiconducteur. La présence de ces défauts nuit au fonctionnement du transistor car ils induisent un accrochage du niveau de Fermi (Fermi level Pinning) dans le semiconducteur, bloquant ainsi le contrôle de la commande de charges dans le transistor. Pour nos travaux dans cette thèse, l'Al2O3 a été choisi comme couche d'oxyde parce que non seulement il s'agit d'oxyde « high-k » ayant une permittivité d'environ 10, qui peut être utilisé pour maintenir une capacité élevée en limitant le courant de fuite de grille pour nos MOSFET, mais il est également connu pour sa technologie de dépôt relativement mature et est actuellement le candidat le plus utilisé pour les matériaux InGaAs, InAs.

2.3.5. Résistances d'accès Rs et RD

Afin de tirer parti de la mobilité élevée des matériaux III-V et du courant de transfert important dans les transistors submicroniques, il est nécessaire de réduire la contribution des résistances de source R_S et de drain R_D sur la résistance totale du transistor. Les transistors III-V et Si sont confrontés au même problème : à mesure que la taille du transistor diminue, les résistances d'accès deviennent dominantes et limitent le courant de transfert, cause importante de perte de performance. La **figure 2.25 (b)**, montre l'évolution relative de la résistance $R_{S/D}$ par rapport à la résistance totale R_{totale} du MOSFET en fonction de la longueur de la grille L_g [97].





Comme est montré dans la figure 2.25(a), la résistance totale R_{Totale} d'un MOSFET est décomposée en différentes résistances en série, elle s'exprime par les relations suivantes :

$$R_{Totale} = R_{S/D} + R_{Canal} \tag{2.42}$$

Où:
$$R_{S/D} = 2.(R_C + R_{\Box} + R_{int})$$
 (2.43)

avec $R_{S/D}$ la résistance de source et de drain, R_c la résistance de contact entre les pads et la région S ou D, R_{\Box} ou (R_{sheet}) la résistance carrée de la région S ou D, R_{int} la résistance d'interface entre la zone S ou D et le canal du transistor (elle s'appelle aussi la résistance balistique), et finalement R_{canal} la résistance du canal.

L'analyse de $R_{S/D}$ montre que la valeur de la résistance R_{\Box} est négligeable en raison de la faible distance des technologies auto-alignées entre la région source ou drain et le canal [98]. Cependant, la résistance dominante dans l'expression de $R_{S/D}$ est R_{int} (résistance d'interface), cette dernière caractérise essentiellement les structures à canal III-V de type « UTB » (2D). Selon les recherches réalisées par SangHyeon Kim de l'université de Tokyo [99], la valeur de R_{int} dépend essentiellement de la densité de charges et de la polarisation appliquée. Ceci est exprimé par la relation suivante :

$$R_{int} = \frac{h}{q^2} \sqrt{\frac{\pi}{2.n_s}} = 52 \sqrt{\frac{10^{13} cm^{-2}}{n_s}} \Omega. \,\mu m$$
(2.44)

h, q et n_s sont respectivement la constante de Planck, la charge élémentaire et la densité de charge dans le canal.

La limite de la résistance d'interface R_{int} est égale à 52 Ω .µm pour une densité n_s de 10¹³ cm⁻². D'autre part, pour les structures bulk (3D), il devient plus difficile de distinguer la valeur de R_{int} de la résistance d'accès à mesure que la densité de charges devient plus importante par rapport aux structures UTB (2D).

2.4. Etat de l'art des MOSFETs III-V

Dans cette partie, nous présentons les résultats de la littérature sur les performances des MOSFETs III-V y compris la densité de défauts d'interface D_{it} , le comportement sous le seuil SS, DIBL, le courant de drain maximal I_{dmax} , la transconductance maximale $G_{m_{max}}$, la mobilité effective μ_{eff} et les performances fréquentielles f_T , f_{max} .

2.4.1. Densité d'états d'interface Dit

Un bon empilement de grille convenable est très important pour un MOSFET basé sur des matériaux III-V afin de tirer profit de la mobilité élevée des porteurs dans le canal. Un D_{it} élevé altère la mobilité des porteurs et conduit également à un blocage indésirable du niveau de Fermi et donc à un mauvais contrôle électrostatique du canal. Cela a nécessité des efforts intensifs au cours des dernières décennies pour trouver un diélectrique de grille oxyde/III-V aussi bon que le SiO₂/Si. L'étude de l'interface oxyde/semi-conducteur III-V a exigé l'utilisation des diélectriques de haute permittivité (*high-k*). Les publications sur les techniques de dépôt de l'oxyde et passivation de surface des III-V se sont multipliées.

L'introduction de traitement de surface spécifique avant le dépôt d'oxyde améliore dans une certaine mesure la qualité d'interface, D_{it} d'environ 10^{12} eV⁻¹Cm⁻², comme le montre la figure 2.26. Enfin, de nouveaux oxydes comme TaSiO_x, utilisé à la place de Al₂O₃ dont la permittivité est plus élevée, ont permis d'obtenir un EOT plus important avec D_{it} à 4.10¹¹ eV⁻¹Cm⁻² [99]. Par conséquent, le meilleur D_{it} pour un oxyde sur III-V est de l'ordre de 3.10¹¹ eV⁻¹ Cm⁻² [89].



Figure 2.26 : D_{it} en fonction de Lg des transistors MOSFET et MOSHEMT d'InGaAs pour différents groupes de recherche.

2.4.2. Comportement sous le seuil

La pente sous seuil SS et l'abaissement de la barrière induite par la tension de drain DIBL sont des paramètres caractéristiques au MOSFET qui doivent être maintenues aussi basses que possible. La plupart de ses performances reportées sont autour de 100-200 mV/dec pour *SS* et reste aux alentours de 200 mV/V pour le *DIBL*, comme le montre la figure 2.27. Les meilleurs valeurs *SS* et *DIBL* sont inférieurs à 100 mV/dec [101] et de 100 mV/V [103] obtenues par l'université de Singapour et Lund pour le MOSFET InGaAs et par l'université Perdue, Freescale, Intel, Texas pour le MOSHEMT InGaAs.

Le groupe de recherche de Shinini Takagi [109] de l'Université de Tokyo a atteint des faibles valeurs de *DIBL* de 84 mV/V et de la pente sous seuil de 105 mV/dec avec un canal d'InAs. Un excellent résultat au niveau du DIBL est de 45 mV/V, cette faible valeur a été

obtenue par l'équipe de l'université de Purdue [110] et pour le SS une excellente valeur égale 79 mV/dec a été obtenue par l'équipe de l'université de Lund [101].



Figure 2.27 : (a) Etat de l'art du SS de MOSFET et MOSHEMT. (Purdue1[111], Tokyo[100], Purdue2[110], IMEC[112], Singapore1[103], Singapore2[92], RCIQE[113], Purdue3[102], Stanford[89], Texas1[105], Texas2[114], Singapore3[115], Purdue4[107], Lund[101], IBM1[116], IBM2[117], Glasgow[118], IBM3[119], Taiwan[120], Freescale[121], Intel[106], Purdue5[108], Texas3[122]); (b) Etat de l'art du **DIBL** de MOSFET et (Purdue1[111], Purdue2[123], Purdue3[107], MOSHEMT. RCIOE[113]. Purdue4[104], Lund[101], Intel1[106], Singapore[103], Purdue5[110], IBM[116], Intel2[124]).

2.4.3. Courant de drain maximal, transconductance maximale et mobilité effective

Ils se sont imposés comme des paramètres clés du composant MOSFET. Ils arrivent à atteindre des valeurs assez remarquables, Grâce au développement des techniques de passivation de la surface des matériaux III-V et la maturité de certaines techniques de dépôt du diélectrique.

Comme le montre la figure 2.28, l'université de Purdue est arrivée à un $I_{dmax}=1.1A/mm$ et une $G_{max}=1.1S/mm$ pour un MOSFET InGaAs avec le procédé Gate-Last et un traitement de surface HBr [102]. De plus, une amélioration supplémentaire a été démontré grâce à une conception originale de Source-Drain évitant la technologie d'implantation où un courant de drain élevé de (> 2A/mm) [125,101].

La structure MOSHEMT, dans laquelle le canal est enterré sous une couche barrière de grand gap, a été mise en œuvre avec succès dans les structures auto-alignées à faible budget thermique. Cette structure permet d'atteindre une forte mobilité par rapport à la structure MOSFET, en évitant l'effet néfaste de l'interface avec une amélioration de 100% ($\approx 2000 \text{ cm}^2/\text{V.s}$ pour un MOSFET [104] à >4000 cm²/\text{V.s} pour MOSHEMT [118].

L'université de Glasgow et Fresscale ont montré une mobilité effective supérieure à 6000cm²/Vs pour une structure MOSHEMT InGaAs avec un oxyde GaGdO en mode d'enrichissement, aussi, l'université de Tokyo a présenté une mobilité de plus de 4000cm²/Vs pour une structure MOSFET InGaAs avec Al₂O₃ déposé par ALD.



Figure 2.28 : (a) Etat de l'art du I_{dmax} de MOSFET et MOSHEMT. (Lund[101], Tokyo1[125], Purdue1[107], Purdue2[102], Purdue3[123], Singapore1[115], Tokyo2[100], IMEC[112], Sematech[126], RCIQE[113], Singapore2[103], Texas1[105], Texas2[128], IBM1[116], Intel[124], Freescale[121], Purdue4[108], IBM2[127], Glasgow[118], IBM3[119] ; (b) Etat de l'art du gm_{dmax} de MOSFET et MOSHEMT. (Lund[101], Tokyo[125], Purdue1[101], Sematech[126], Purdue2[107], RCIQE[113], Singapore1[115], Purdue3[123], Purdue4[111], Stanford[89], Intel1[106], Texas[114], Singapore2[103], Intel2[124], IBM1[116], Freescale[121], Taiwan[120], IBM2[117], Intel3[127], IBM3[119]); (c) Etat de l'art de *mobilité effective* de MOSFET et MOSHEMT. (Tokyo1[125], Singapore1[115], Purdue1[104], Sematech[126], Singapore2[103], Singapore3[92], Texas1[105], IMEC[112], Lund[101], Texas2[128], Tokyo2[129], Tokyo3[100], Glasgow[118], Texas3[130], Freescale1[131], Freescale2[132], Freescale3[121], Texas4[122], Purdue2[108]).

2.4.4. Performances fréquentielles (fr,fmax)

Les composants à base de matériaux III-V sont connus pour leurs propriétés dans le domaine d'hyperfréquence. Les performances dynamiques des MOSFET, HEMT et MOSHEMT basés sur les III-V sont bien décrites dans la littérature, figure 2.29. L'université de Lund a reporté les meilleures performances RF avec un MOSFET Gate-Last In_{0.53}Ga_{0.47}As fonctionnant en mode d'enrichissement avec un $f_T=244$ GHz, $f_{max}=292$ GHz et $I_{dmax}=2A/mm$, $G_{mmax}=1.9S/mm$ pour $L_g=55nm$ [101,133]. Pour la structure MOSHEMT, les meilleurs performances ont été reportées par l'université NCTU de Taiwan avec le canal InAs et Intel avec un canal InSb, ($f_T > 300$ GHz, $f_{max} > 250$ GHz pour L_g =80nm) [134,128]. Une autre excellente performance a été trouvée pour f_T =248 GHz sur un MOSFET de canal d'InAs avec une tension d'alimentation de $V_{DS} = 0.5$ V [136]. A noter également que les résultats obtenus par la structure HEMT sont supérieurs à 500 GHz voire proche de 1THz. Récemment l'équipe de recherche de la société Northrop Grumman [137], a développé des amplificateurs à faible bruit jusqu'à 1THz utilisant des transistors HEMT-InP de $L_g = 25nm$ avec f_{max} de 1.5 THz et f_T de 625 GHz, un tel résultat n'a jamais été atteint, est obtenu sur un transistor et démontre le potentiel des transistors à effet de champ avec des matériaux III-V.



Figure 2.29 : Etat de l'art du du (**a**) f_T et (**b**) f_{max} des transistors FETs III-V. (Lund[133], UK[139], Notre Dame[90], Bell[140], NCU Taiwan1[141], NCTU Taiwan[134], NTHU Taiwan[142], Intel[135], NCKU Taiwan[120], Intelligence Support[143], Purdue[108], CGU Taiwan[144], NCU2[145], Teledyne Scientific[146], Arizona State[117], MIT[138], Korea[147]).

2.5. Conclusion :

D'après les chapitres I et II, les matériaux semiconducteurs III-V offrent une alternative pour obtenir une variété de dispositifs à effet de champ qui peuvent fonctionner à faible tension d'alimentation et pouvant répondre aux besoins des futures applications de dispositifs autonomes. Dans ce contexte, notre étude va principalement évaluer et explorer les potentialités de l'architecture MOSFET III-V sous faible polarisation pour des applications à basse puissance à l'aide des simulations numériques en régimes statique et dynamique.

CHAPITRE 3 MODELISATION ET SIMULATION DES STRUCTURES MOS DE LA FILIERE III-V.

3.1. Introduction

La mise à l'échelle des MOSFET au Silicium s'approche à des limites qui sont déterminées par les propriétés des matériaux utilisés. La structure MOS est la cellule de base dans le développement de toute technologie CMOS. Nous nous concentrerons donc dans ce chapitre sur plusieurs aspects théoriques pour décrire le fonctionnement électrique de cette structure, notamment les propriétés de l'empilement Métal-Oxyde-Semiconducteur ainsi qu'au courant et la mobilité des porteurs dans le canal de conduction.

Permettre l'étude des phénomènes physiques passe par éviter le calcule manuel de tâches répétitives d'un modèle théorique, qui parfois ne peuvent pas être résolues sans outils numériques. La simulation numérique représente une brique essentielle à la construction de nouveaux dispositifs et à la prédiction de leur fonctionnement, car la compréhension et la maitrise des phénomènes physiques est cruciale pour la sélection de matériaux performants. La combinaison des matériaux III-V et de la topologie MOS doit encore relever de nombreux défis technologiques, notamment le contrôle de la qualité de l'interface III-V/high-k. A cet égard, ce chapitre va principalement évoluer et explorer les potentialités de cette combinaison.

3.2. Matériaux innovants

L'utilisation de nouveaux matériaux pour l'empilement de grille afin de réduire son courant de fuite et pour le substrat en vue d'augmenter la mobilité, semble être une voie de développement très importante vers des transistors plus performants, (figure 3.1).

Les matériaux composant l'empilement de la grille dans les structures MOS ont changé au cours de ces dernières années. La grille fabriquée en PolySilicium est désormais remplacée par des matériaux métalliques d'où l'avantage est double : évitent les effets de polydéplétion de la grille en régime de forte inversion réduisant la capacité d'inversion et la mobilité des porteurs dans le canal de conduction donc le courant à l'état *on* ; peuvent être sélectionnés en fonction de leur travail de sortie pour ajuster la tension de seuil du transistor suivant les applications ciblées (haute performance, basse consommation).

Le diélectrique de grille, à la base fabriqué en SiO₂, est progressivement substitué par des matériaux *high-k* qui permettent d'augmenter l'épaisseur physique de la couche d'oxyde tout en conservant une capacité d'oxyde équivalente à celle du SiO₂ (le contrôle électrostatique des porteurs est maintenu par la grille) qui réduit ainsi le courant de fuite I_{off} .



Figure 3.1 : Schéma d'un transistor MOS intégrant divers matériaux innovants : Grille métallique, Oxyde *high-k*, Substrat (canal) à haute mobilité.

La fabrication de ces empilements de grilles doit être bien maitrisée pour passiver convenablement la surface du semiconducteur afin d'éviter la création de pièges dans les oxydes ce qui va faire apparaître des états d'interface (défaut). Ces défauts affectent notamment le fonctionnement global du dispositif et dépendent fortement des propriétés des matériaux qui composent l'empilement de la grille, comme nous le verrons par la suite.

3.3. Approches topologiques de la structure Métal/Oxyde/SC (MOS)

3.3.1. Structure Idéale

Une structure MOS considérée comme idéale est décrite par les approximations suivantes :

- Le travail de sortie de la grille métallique correspond exactement au travail de sortie du semiconducteur φ_{SC} .

- L'isolant (oxyde) est parfait : il n'y a aucune charges fixes piégées dans le matériau donc aucun courant ne peut circuler entre le métal et le semiconducteur.
- L'interface entre l'oxyde de grille et le semiconducteur est parfaite (pas de charge piégée entre les deux matériaux donc pas d'états d'interface).

Quand une tension V_G est appliquée à la grille, il y'aura quatre grands régimes :

- Bandes plates (équilibre thermodynamique V_G=0) d'où l'alignement des niveaux $E_{F,SC}$ et $E_{F,M}$.
- Accumulation, désalignement des niveaux de Fermi traduit par une courbure des BC et BV d'où les porteurs majoritaires s'accumulent vers l'interface, (V_G<0 pour le nMOS).
- Déplétion, désalignement et courbure des bandes dans l'autre sens d'où les porteurs majoritaires se repoussent dans le volume du substrat (V_G>0 pour le nMOS).
- Inversion, fort désalignement et courbure des bandes en sens inverse par rapport à l'accumulation d'où les porteurs minoritaires s'accumulent vers l'interface (V_G>>0 pour le nMOS).

Nous verrons plus tard que la composition des matériaux de l'empilement de grille et le type du semiconducteur jouent un rôle important dans l'allure de la capacité MOS (comprend un changement du nombre et du type des porteurs dans le semiconducteur dans chaque régime) particulièrement en termes de capacité maximale (accumulation ou inversion) ou en termes de largeur de la zone de déplétion en fonction de V_G .

3.3.2. Structure Réelle

Dans le fonctionnement réel de la structure MOS, plusieurs phénomènes liés à la fabrication et à la réduction de la taille des transistors doivent être pris en compte. Dans l'empilement de grille classique, les principaux effets qui ont le plus grand impact sont : la poly-déplétion de la grille, le confinement quantique et le courant de fuite tunnel à travers l'oxyde de grille. Par la suite, il nous a donc semblé plus cohérent d'inclure des grilles métalliques dans nos simulations et de surmonter les problèmes de poly-déplétion. Les matériaux innovants utilisés dans l'empilement de grille (diélectrique à forte permittivité et matériaux à forte mobilité) nous ont permis de bien gérer les effets de confinement des porteurs et le courant de fuite dans les structures MOS.

De plus, les problèmes de fabrication nous obligent à prendre en considération lors d'une structure MOS réelle les éléments suivants :

- La différence des travaux de sortie φ_M et φ_{SC} (le régime de bande plate s'établira à V_G ≠ 0). Seul le déplacement de la courbe (gauche ou droite) affecte la caractéristique C-V.
- L'apparition d'états électroniques à l'interface Sc/Oxyde (au-dessous de E_F) qui génèrent des charges (charges piégés), ajoutent une capacité associée à la capacité du semiconducteur. Son influence est particulièrement visible sur le V_{FB} .
- La présence des défauts dans l'oxyde (lors du dépôt d'oxyde sur le Sc) entraine le piégeage de charges fixes. Cet effet revient à la déformation de la courbure des bandes de conduction et de valence, impliquant un déplacement horizontal de la courbe C-V ce qui fait un décalage de la tension de bande plate.

Une simulation numérique développée dans notre travail va être présentée par la suite pour approfondir l'étude de l'architecture MOS. Le modèle exposé sera ensuite utilisé pour étudier l'impact des effets de confinement quantique et l'influence des matériaux de la structure sur la courbe C-V.

3.4. Etude des propriétés électriques de l'empilement Métal/Oxyde/SC

3.4.1. Présentation des modèles de base

Notre étude se base sur la résolution numérique des équations de Poisson et Schrödinger qui vont nous permettre de déterminer les propriétés électriques dédiées aux structures innovantes (empilement de grille : métal, matériaux high-k et semiconducteurs III-V). Dans cette section, nous considérons que le changement du potentiel est seulement à travers l'axe (y) perpendiculaire au plan des couches de la grille. La structure MOS est ensuite réduite numériquement à une ligne de points et toutes les équations sont résolues de manière unidimensionnelle dans cette direction. Après la définition de la structure (le métal, le

diélectrique et son épaisseur, le semiconducteur : son niveau et type de dopage, le choix du calcul : classique ou quantique, ...etc), les premiers calculs qui serviront à résoudre les équations sont effectués (tension de bande plate, le niveau de Fermi dans le semiconducteur et les masses effectives selon la direction et les matériaux choisis). Dans le cas classique, seule l'équation de Poisson (distribution de Boltzmann ou Fermi-Dirac) est résolue numériquement avec la méthode de Newton, tandis que dans le cas quantique, on procède à la résolution auto-cohérente des équations de Poisson et Schrödinger. Quand la convergence est atteinte, le calcul nous permet de faire sortir la densité des charges en surface (commande de charges), la capacité de la structure par rapport à la tension de grille ainsi que d'autres résultats tels que le potentiel électrique, les niveaux d'énergie, la concentration des porteurs ...etc, (figure 3.2).



Figure 3.2 : Organigramme schématique de la simulation d'une structure MOS pour le calcul de la commande de charge $n_s(V_g)$, caractéristique $C(V_g)$...

3.4.1.1 Equation de Poisson

Lorsqu'un potentiel électrique est appliqué sur un système, l'effet des charges électriques dans ce système est étudié par les lois électrostatiques. En particulier, l'équation de Poisson qui permet de relier la distribution des charges locales au potentiel électrostatique par la formule unidimensionnelle suivante :

$$\frac{d}{dy} \left[\varepsilon_r(y) \frac{d}{dy} \right] \psi(y) = -\frac{q}{\varepsilon_0} \rho(y)$$
(3.1)

Avec : ε_0 la permittivité du vide, q est la charge élémentaire de l'électron, ε_r est la permittivité relative du matériau, ψ est le potentiel électrostatique et ρ est la distribution de charge d'espace. Cette dernière prend en compte les charges mobiles et les charges fixes localisées sur tous les dopants ionisés ($N_D(y) = N_D$, $N_A(y) = N_A$). Afin de maintenir la condition d'électro-neutralité du matériau, la somme des charges, positives et négatives, doit être nulle est donnée par l'équation :

$$\rho(y) = p(y) + N_D - n(y) - N_A \tag{3.2}$$

Le calcul de la densité des charges mobiles n(y) et p(y) peut être effectué de différentes manières selon le type de calcul (classique, quantique) et le régime de fonctionnement [148].

Le nombre d'électrons ou de trous d'énergie E est donné par le produit de la densité d'états par la fonction de distribution. Ainsi, les densités totales d'électrons dans la bande de conduction et de trous dans la bande de valence sont données par :

$$n = \int_{E_C}^{E_{Cmax}} N_C(E) f_n(E) dE$$
(3.3.a)

$$p = \int_{E_{vmin}}^{E_v} N_v(E) f_p(E) dE$$
 (3.3.b)

Dans le cas de calcul classique, les porteurs de charge (électron et trous) peuvent se déplacer librement dans toutes les directions de l'espace dans leurs bande permise, c'est pourquoi on parle alors de gaz de porteurs tridimensionnel.

En cas d'un semiconducteur non dégénéré, le niveau de Fermi dans la bande interdite est séparé de plusieurs K_BT des extrema des bandes permises, les fonctions de distribution des porteurs se ramènent à des fonctions de distribution de Boltzmann.

$$f_n(E) \approx e^{-\frac{(E-E_F)}{K_B T}} et f_p(E) \approx e^{\frac{(E-E_F)}{K_B T}}$$
(3.4)

Alors, les densités totales deviennent :

$$n = N_C e^{-\frac{(E_C - E_F)}{K_B T}}$$
(3.5.a)

$$p = N_V e^{\frac{(E_V - E_F)}{K_B T}}$$
(3.5.b)

Avec : $N_C = 2\left(\frac{2\pi m_C K_B T}{h^2}\right)^{3/2}$ et $N_V = 2\left(\frac{2\pi m_V K_B T}{h^2}\right)^{3/2}$ qui représentent les densités d'états équivalentes dans les bandes de conduction et de valence.

Lorsque le niveau de Fermi est situé dans une bande permise (semiconducteur dégénéré), les densités de porteurs correspondant au régime de dégénérescence ne peuvent donc plus être approximées par la distribution de Boltzmann. Les densités de porteurs libres sont données en explicitant les densités d'états et les fonctions de distribution de Fermi-Dirac, d'où :

$$n = N_C \frac{2}{\sqrt{\pi}} F_{1/2}(\eta) \tag{3.6}$$

avec : $F_{1/2}(\eta) = \int_0^\infty \frac{\varepsilon^{1/2}}{1 + e^{\varepsilon - \eta}} d\varepsilon$, est l'intégrale de Fermi d'ordre $\frac{1}{2}$. Où : $\eta = (E_F - E_C)/K_BT$ et $\varepsilon = (E - E_C)/K_BT$.

 η : correspond à l'écart entre le bas de la bande de conduction (haut de la bande de valence) et le niveau de Fermi du semiconducteur.

De la même manière, en posant $\varepsilon_g = \frac{E_g}{K_B T}$, la densité de trous est donnée par :

$$p = N_V \frac{2}{\sqrt{\pi}} F_{\frac{1}{2}}(-\eta - \varepsilon_g) \tag{3.7}$$

Dans l'approximation des bandes paraboliques, le potentiel électrique 1D $\psi(y)$ est relié à l'énergie potentielle des électrons $E_C(y)$ et des trous $E_V(y)$ par les équations suivantes :

$$E_C(y) = -q\psi(y) + \Delta E_{C_{SC,OX}}$$
(3.8.a)

$$E_V(y) = -q\psi(y) - \Delta E_{V_{SC,OX}}$$
(3.8.b)

Où $\Delta E_{C_{SC,OX}}$ et $\Delta E_{V_{SC,OX}}$ sont les décalages de bande entre les bandes de conduction (bandes de valence) du semiconducteur et de l'oxyde respectivement.

3.4.1.2 Equation de Schrödinger

Avec le calcul classique, nous pouvons mettre en évidence que la concentration de porteurs près de l'interface Oxyde/Semiconducteur est très élevée à faible épaisseur en raison des fortes courbures des bandes permises dans le régime d'inversion et accumulation.

Du point de vue ondulatoire et avec une approximation des bandes paraboliques, les électrons de la bande de conduction occupent un continuum de niveaux d'énergie $E(\vec{k})$ donné par :

$$E(\vec{k}) = E_{c} + \frac{\hbar^{2}\vec{k}^{2}}{2m^{*}}$$
(3.9)

Où $\hbar = \frac{h}{2\pi}$ et *h* est la constant de Planck, *m*^{*} est la masse effective des porteurs, $\vec{k} = \frac{2\pi}{\lambda} \vec{u_k}$ est le vecteur d'onde du porteur.

Pour un semiconducteur dégénéré où le niveau de Fermi est dans la bande permise, la longueur d'onde des porteurs peut avoir le même ordre de grandeur que la largeur du puits de potentiel. Dans ce cas, les lois de la mécanique quantique montrent que la probabilité de présence de porteurs de charge n'est possible qu'à des niveaux d'énergie quantifiés. Ainsi, les porteurs de charge se retrouvent confinés dans un puits de potentiel avec des niveaux d'énergies discrétisés de sorte que le concept de gaz de porteurs tridimensionnel n'est plus valable. Par conséquent, les électrons et les trous se comportent comme un gaz bidimensionnel, et la densité de porteurs libres dans la direction de confinement est déterminée à partir du calcul des niveaux d'énergie dans le puits de potentiel et de la probabilité de présence des porteurs (fonction d'onde) de ces niveaux. Cette solution quantique peut être obtenue dans toute la structure [139] en résolvant l'équation de Schrödinger stationnaire 1D suivante :

$$-\frac{\hbar^2}{2}\frac{d}{dy}\left[\frac{1}{m^{conf}(y)}\frac{d}{dy}\right]\Psi(y) + E_p(y)\Psi(y) = E\Psi(y)$$
(3.10)

Où m^{conf} est la masse effective de confinement, Ψ est la fonction d'onde, E_p est l'énergie potentiel et E correspond à l'énergie du niveau. Toute ces grandeurs sont dépendantes à

"y" (direction perpendiculaire à l'interface oxyde/semiconducteur). Cette équation aux valeurs propres doit être résolue pour chaque vallée "v", chacune des vallées peut avoir ses propres sous bandes (E_i^v) et fonctions d'onde associées $(\Psi_i^v(y))$.

Pour la bande de conduction, l'équation à résoudre est :

$$-\frac{\hbar^2}{2} \frac{d}{dy} \left[\frac{1}{m_{\nu_{-}j}^{conf}(y)} \frac{d}{dy} \right] \Psi_{i_{-}j}^{\nu}(y) + E_C(y) \Psi_{i_{-}j}^{\nu}(y) = E_{i_{-}j}^{\nu} \Psi_{i_{-}j}^{\nu}(y)$$
(3.11.a)

Avec v correspond à la vallée de la BC à prendre en compte (Γ , *X* ou *L*), *j* est le type d'électron (l : longitudinal, t : transversal) et E_c est le profil du bas de la BC (Equation 3.8.a).

Dans le cas de la bande de valence, l'équation 3.10 devient :

$$-\frac{\hbar^2}{2}\frac{d}{dy}\left[\frac{1}{m_k^{conf}(y)}\frac{d}{dy}\right]\Psi_i^k(y) + E_V(y)\Psi_i^k(y) = E_i^k\Psi_i^k(y)$$
(3.11.b)

Où *k* correspond à la bande des trous considérés (lh : trous léger, hh : trous lourd, so : trous spin-orbite) et E_V est le profil du bas de la BV (défini par l'équation 3.8.b).

En résolvant les équations (3.11) dans tout le dispositif, on peut déterminer la densité des porteurs. Dans l'approximation d'un gaz 2D, la densité globale d'électrons en espace réciproque 2D-k dans la couche d'inversion est donnée par :

$$n_{2D}(y) = \sum_{i} \sum_{\nu} \sum_{j} g_{\nu} n_{i,j}^{\nu} \left| \Psi_{i,j}^{\nu}(y) \right|^{2}$$
(3.12.a)

avec :

$$n_{i_{j}}^{v} = \frac{m_{j_{2}D}^{v}}{\pi\hbar^{2}} \int_{E_{i_{j}}^{v}}^{\infty} \frac{dE}{1 + exp\left(\frac{E - E_{F}}{K_{B}T}\right)} = \frac{m_{j_{2}D}^{v}}{\pi\hbar^{2}} K_{B}T \ln\left(1 + \exp\left(\frac{E_{F} - E_{i_{j}}^{v}}{K_{B}T}\right)\right)$$
(3.12.b)

Cette densité est obtenue en sommant toutes les contributions de chaque vallée "v" avec g_v son degré de dégénérescence de chaque niveau d'énergie de sous bande "i" et pour tout type d'électron "j". $m_{j_{2D}}^{v}$ est la masse effective de densité d'états 2D des électrons de la vallée v et de chaque type de porteurs j. Ces contributions sont pondérées par la densité de probabilité de présence $|\Psi_{i_{j}}^{v}(y)|^{2}$ associée. En utilisant une analyse très similaire, On obtient la population des trous dans la structure en ajoutant la contribution de chaque bande de trous "k" pour un nombre de niveaux d'énergie prédéfinis "i" :

$$p_{2D}(y) = \sum_{i} \sum_{k} p_{i}^{k} \left| \Psi_{i}^{k}(y) \right|^{2}$$
(3.13.a)

et :

$$p_i^k = \frac{m_{2D}^k}{\pi\hbar^2} K_B T \ln\left(1 + \exp\left(\frac{E_i^k - E_F}{K_B T}\right)\right)$$
(3.13.b)

3.4.1.3 Equations de Poisson-Schrödinger

Les équations (3.12) et (3.13) montrent que les concentrations de porteurs de charge (n,p) nécessaires pour estimer la densité de charge (ρ) dans l'ensemble de la structure dépendent directement des solutions des équations de Schrödinger des électrons et des trous. Ainsi, les équations de Schrödinger (3.11.a) et (3.11.b) dépendent de la courbure des BC et BV donc du potentiel électrostatique, qui lui-même permet de calculer la densité de charges par l'équation de Poisson. Les équations de Poisson et de Schrödinger sont donc indissociables et le système d'équations Poisson-Schrödinger doit être résolu de manière auto-cohérente, (figure 3.3).



Figure 3.3 : Les séquences de calcul auto-cohérent des équations Poisson-Schrödinger.

3.4.2. Simulation des structures MOS (Application aux différentes structures)

Les principaux avantages des simulations de composants sont tout d'abord la possibilité offerte de visualiser les phénomènes physiques difficilement accessibles. De plus, l'outil TCAD fait acquérir des compétences sur la fabrication des circuits intégrés sans la nécessité d'avoir à disposition une salle blanche disposant de tous les équipements. Ainsi, avec la TCAD, le manipulateur peut expérimenter et explorer l'effet d'une modification d'un paramètre technologique sur une structure sans coût d'équipement et de consommable.

Dans notre étude nous allons utiliser un environnement TCAD pour développer des codes de simulation de quelques structures MOS, en commençant par la structure classique SiO₂/Si et en allant vers la structure la plus améliorée *High-k*/III-V afin de présenter les différentes caractéristiques de chacune d'elle.

3.4.2.1. Structure poly-Si/SiO₂/Si-p

Le métal de la grille de ces structures MOS est remplacé par du Silicium poly cristallin, dit Polysilicium, fortement dopé n ou p (Silicium dégénéré). La concentration élevée des dopants dans ce silicium écarte le niveau de Fermi en dehors de la bande interdite et donne à la grille les mêmes propriétés qu'un métal.

La structure MOS simulée est composée d'une grille en silicium polycristallin fortement dopé te type p (Poly-p), le substrat est en silicium cristallin dopé p (p-Si) et l'isolant est un oxyde de silicium (SiO₂), (figure 3.4).



Figure 3.4 : Schéma d'une structure MOS-Si avec une grille Poly-Silicium.

La déplétion de la grille représente la zone désertée dans le Poly-Silicium le long de l'interface avec l'oxyde, (figure 3.5).



Figure 3.5 : Diagramme de bande d'une structure n-MOS avec grille PolySilicium : (*PolySi P+/SiO₂/Subsrat Si-p*)

Cette désertion en porteurs correspond dans ce cas à l'existence d'une charge image négative liée au régime d'accumulation coté canal, (figure 3.5)

Cet effet indésirable apparait dans les courbes Capacité-Tension (C-V) comme des anomalies dans l'allure de la courbe. La figure 3.6.a, nous montre une comparaison des tracés (C-V) pour une grille poly-Si de différents dopages, on observe une diminution de la capacité à cause de la dégénérescence non complète du poly-silicium de la grille même avec $p^+=10^{21}$ cm⁻³, cela peut avoir des conséquences graves si la valeur maximale de la capacité est utilisée pour mesurer l'épaisseur de l'oxyde de grille.



Figure 3.6 : (a) Variation de la capacité Grille-Substrat en fonction de la tension de grille pour différent dopage du poly-Si, (b) Impact de la déplétion du poly-Si sur la capacité totale de la structure MOS.

D'un point de vue capacitif, ce phénomène parasite ressemble à l'apparition d'une capacité, C_G , en série avec la capacité MOS C_{ox} comme le montre la figure 3.6.b. Cela conduit à une extraction imprécise de l'épaisseur de l'oxyde de grille à partir des courbes C-V, puisque la diminution de la capacité du dispositif peut être exprimée par une augmentation de l'épaisseur de l'oxyde de grille.



Figure 3.7 : Effet de la déplétion sur la structure n-MOS (*PolySi P+/SiO₂/Subsrat Si-p*) pour différentes épaisseurs d'oxyde

Suivant la figure 3.7, l'impact de cette capacité de grille qui correspond au phénomène de déplétion est d'autant plus significatif que l'épaisseur de l'oxyde est faible. Par conséquent, la déplétion de la grille en polysilicium rend difficile l'ajustement de la tension de seuil V_T ainsi que la réduction du courant de drain à l'état passant à cause de l'augmentation de l'épaisseur équivalente de l'oxyde, (figure 3.8).



Figure 3.8 : Evolution du courant de drain en fonction de la tension de grille pour différent dopages du poly-Si pour un n-MOSFET-Si ($T_{OX} = 5$ nm, $L_g = 100$ nm).

D'une manière générale, l'effet de déplétion de la grille en polysilicium implique une dégradation significative sur les performances des transistors MOS. Les solutions actuellement proposées pour lutter contre ce phénomène qui représente une limitation à la miniaturisation, consistent à remplacer le polysilicium par un métal, notamment dans les dispositifs submicroniques.

3.4.2.2. <u>Structure Métal/SiO₂/Si-p</u>

Nous avons vu que la nature semiconductrice de la grille en polysilicium conduit à l'apparition d'une couche de désertion entre la grille et l'oxyde qui, de fait, augmente artificiellement l'épaisseur d'oxyde. Contrairement au semiconducteur, le métal dans une structure MOS ne présente, par nature, aucune courbure de bande d'énergie à l'interface avec

l'oxyde sous l'effet d'une polarisation extérieure. L'utilisation d'une grille métallique nous permet d'éliminer la poly désertion, (figure 3.9).



Figure 3.9 : Diagramme de bande d'une structure n-MOS. a) avec une grille en polysilcium (*PolySi N+/SiO₂/Subsrat Si-p*), b) avec une grille métallique (*Al/SiO₂/Subsrat Si-p*).

Dans le passé, la différence entre l'épaisseur d'oxyde physique et électrique était réduite et ne représentait qu'une fraction négligeable de l'épaisseur physique de l'oxyde. Actuellement, la technologie utilise des épaisseurs d'oxyde comparables à la zone de poly désertion. A cet effet, la grille métallique est devenue incontournable.

D'autre part, la mise à l'échelle des transistors MOS et plus particulièrement la diminution de la longueur du canal, s'accompagne d'une réduction de l'épaisseur d'oxyde de grille, de manière à augmenter le couplage capacitif entre la grille et le canal et ainsi conserver le contrôle de la couche d'inversion. Cependant, le problème majeur posé lors de la réduction de l'épaisseur de l'oxyde de grille concerne la conduction par effet tunnel à travers cet oxyde [149].

Le type de barrière que voient les charges et par conséquent le courant obtenu à travers la grille, dépend non seulement du niveau de polarisation appliquée à la grille, mais également de l'épaisseur de d'oxyde (T_{ox}), (figure 3.10).



Figure 3.10 : Courant de grille en fonction de la tension de grille pour différentes épaisseurs d'oxyde d'une structure *MOS(Al/SiO₂/p-Si)*

D'après la figure 3.10, avec des épaisseurs d'oxyde suffisamment faibles, les charges peuvent franchir la barrière de la grille. Dans ce cas, si on veut réduire ce courant de fuite, on doit par conséquent diminuer le niveau de tension de grille.

Toutefois, travailler à des niveaux de tension de grille inférieurs entraine une perte de contrôle du canal. En effet, la tension de seuil est fortement proportionnelle à l'évolution de l'épaisseur d'oxyde (diminution très rapide de V_{seuil} pour les faibles épaisseurs d'oxyde de grille), figure 3.11.



Figure 3.11 : Evolution de la tension de seuil en fonction de l'épaisseur d'oxyde pour une structure *n*-*MOSFET-Si/SiO*₂ (Na = 6.10^{17} Cm⁻³, L_g = 100 nm).

Un compromis s'impose entre la tension de grille et l'épaisseur d'oxyde. Avoir une épaisseur de grille plus faible et affronter au courant tunnel à travers la grille ont conduit à l'intégration de nouveaux diélectriques dits à haute permittivité ou *high-k*, qui seront discutés plus tard.

3.4.2.3. Structure Métal/High-k/Si-p

Comme nous l'avons mentionné précédemment, la diminution continue de l'épaisseur du dioxyde de silicium (SiO₂) est devenue l'une des limites les plus critiques de la miniaturisation [150], car elle engendre un courant de fuite (par effet tunnel) suffisamment important qui augmente le courant à l'état bloqué (I_{off}) dans le dispositif, et donc de la consommation électrique à l'état off [151]. Si cette augmentation est tolérée dans les applications (HP), elle pose un gros problème dans les applications portables à basse consommation (LSTP). La technologie CMOS est basée sur les propriétés isolantes du SiO₂, elle rencontre donc une limitation fondamentale qui remet en cause son utilisation dans les générations à venir.

Pour faire face à ça tout en conservant une capacité d'oxyde de grille élevée avec des épaisseurs de diélectriques physiquement acceptables, de nouveaux diélectriques dits à haute permittivité ou *high-k* ont été utilisés par la technologie CMOS pour optimiser davantage les performances des futures générations de transistors [152,153].

La substitution du SiO₂ par un oxyde high-k permet donc d'augmenter l'épaisseur physique de la couche de diélectrique d'un facteur $\binom{\varepsilon_{h-k}}{3.9}$ tout en maintenant la capacité de grille, (figure 3.12). Par conséquent, l'introduction de matériau high-k fait appel à la notion d'épaisseur équivalente d'oxyde (EOT), qui correspond à l'épaisseur équivalente de la silice pour obtenir une valeur de capacité égale à celle d'un matériau de constante diélectrique ε_{h-k} et d'épaisseur physique T_{h-k} , (Equation 1.4).



Figure 3.12 : Représentation de l'intégration d'un diélectrique high-k dans une structure MOS permettant de comparer les différents EOT et courant de fuite à capacités constantes.

Dans notre étude, on s'est intéressé surtout au rôle de Al₂O₃ (Alumine) utilisé comme interface (oxyde high-k) dans nos structures en raison de ses propriétés (large bande interdite, technologie de dépôt relativement mature et forte permittivité) qui limitent les courants de fuites à travers la grille, (figure 3.13). Ainsi, le Al₂O₃ avec la méthode ALD (Atomic Layer Deposition) s'avère être un bon candidat sur les III-V en général, vu les nombreux résultats dans la littérature [104,119,134,145,154].



Figure 3.13 : Comparaison entre deux structures MOS intégrant un diélectrique high-k Al₂O₃ et une référence SiO₂. (*MOS Al/Oxyde/Si-p*)

On observe sur la figure 3.13 une forte réduction des courants de fuites à travers l'oxyde de grille (3 à 5 décades), et cela pour des EOT bien inférieurs à l'épaisseur de référence SiO₂.

Bien que l'utilisation des matériaux high-k permet de réduire fortement la contrainte du courant de fuite à travers la grille et d'augmenter le courant à l'état ON même pour des EOT relativement faibles d'où un réel avantage en termes de miniaturisation, l'intégration de ces matériaux a des implications sur le fonctionnement des dispositifs. En fait, il a été observé que la mobilité des porteurs du canal est gravement altérée aux faibles champs électriques dans les dispositifs à empilement de grille basé sur des matériaux high-k, (figure 3.14). Cette dégradation de la mobilité dépend fortement de l'EOT et de l'épaisseur de la couche interfaciale [155], ce qui suggère que le mécanisme à l'origine de la mobilité réduite des porteurs est dû des interactions à distance telles que : les interactions coulombiennes entre les charges fixes du matériau high-k et les porteurs du canal [156], la rugosité de surface

entre les matériaux [157] et les interactions entre les phonons optiques et les porteurs du canal [158]. Il semble y avoir plusieurs raisons possibles au déclin de la mobilité mais la quantification de l'impact de chacune reste difficile. Pour surmonter ce problème, des solutions technologiques ont été appliquées, telles que l'utilisation de nouveaux matériaux à forte mobilité pour le substrat (canal de matériaux III-V) [154].



Figure 3.14 : Évolution de la mobilité des électrons en fonction du champ électrique à travers l'empilement de la grille MOS dans une structure Al₂O₃/Si vs SiO₂/Si.

3.4.2.4. Structure Métal/High-k/III-V

Au vu des considérations ci-dessus, la consommation de courant électrique du transistor en régime bloqué est ainsi réduite, ce qui est un paramètre fondamental pour améliorer l'autonomie des applications basse consommation. Par contre, la limitation de l'intégration des matériaux à haute permittivité dans les transistors est la réduction de la mobilité des porteurs de charge dans le canal. Cette contrainte pose également des problèmes car elle réduit le courant de drain des transistors, paramètre que l'on cherche à augmenter.

Le remplacement du canal de silicium par un semi-conducteur III-V est une des voies envisagées en raison de ses propriétés intrinsèques d'où, une faible masse effective donc une meilleure mobilité et courant de drain plus élevé. Les transistors n-MOSFET basés sur ces matériaux pourraient être utiles pour prédire les futurs nœuds technologiques dans les applications CMOS hautes performances.

Comme nous l'avons montré dans le chapitre II (figure 2.19-a), il est évident que la plupart des n-FET III-V ont une mobilité des électrons plus grande que les structures conventionnelles à base de silicium.

Afin de réaliser des MOSFET à canal III-V, il est nécessaire de simuler l'empilement diélectrique de grille correspondant. Nous commençons par une structure standard composée d'un métal (Aluminium), un diélectrique (Al₂O₃ pour les raisons expliquées auparavant) et un semiconducteur (on commence par le GaAs).



Figure 3.15 : (a) Potentiel électrique $\psi(y)$ et (b) Densité des électrons n(y) de la structure Al₂O₃/p-GaAs ($T_{Al_2O_3} = 10nm$, $N_A = 5 \times 10^{17} cm^{-3}$) dans le régime d'inversion forte.

Sur la figure 3.15 (a), nous notons que le potentiel électrique n'est pas réparti uniformément le long de la structure, ce qui correspond aux changements dans les matériaux et de leurs propriétés électriques. Pour nous en convaincre, nous avons présenté sur la figure 3.15 (b) l'évolution de la densité des électrons libres dans le semiconducteur en régime forte inversion. Ces calculs ont été effectués de manière classique, c'est-à-dire en considérant la distribution de Boltzmann pour les porteurs libres et la résolution numérique de l'équation de Poisson. Le résultat montre, d'une part, que la densité de porteurs de charge libres à proximité de l'interface devient extrêmement importante, comme le semiconducteur est dopé p, ces charges d'inversion à l'interface sont uniquement les électrons et les trous sont repoussés loin dans le substrat, d'autre part, ces porteurs libres (les électrons) sont confinés dans un puits de potentiel extrêmement étroit (quelques nanomètres).

Examinons maintenant l'aspect ondulatoire de ces électrons confinés, on sait qu'il est possible d'associer à un électron d'énergie E une longueur d'onde (De Broglie). Une estimation rapide de cette grandeur pour un électron situé quelques dizaines de meV audessus du minimum de la bande de conduction donne une longueur d'onde de quelques nanomètres. Ainsi, en régime de forte inversion, les électrons sont effectivement piégés dans un puits de potentiel dont la largeur est du même ordre de grandeur que leur longueur d'onde. Ce résultat confirme que la description classique des électrons est insuffisante et qu'une approche quantique est donc nécessaire.

La figure 3.16 montre la reconstruction du diagramme de bandes d'énergie de la structure Al₂O₃/p-GaAs et prouve la formation d'un puits de potentiel très profond, suggérant la présence de phénomènes quantiques dans ces dispositifs. Nous allons voir après, l'impact de l'introduction des effets quantiques dans le calcul notamment sur les niveaux d'énergie et la densité de charges dans les bandes permises ainsi que la capacité.



Figure 3.16 : (a) Diagramme de bande de la structure Al₂O₃/p-GaAs et (b) Zoom sur le puits de potentiel (E_F se trouve dans la bande permise, GaAs est dégénéré)

La figure 3.17 montre les niveaux d'énergie quantique calculés et la densité de porteurs de charge le long de « y » dans le régime de forte inversion pour la structure Al₂O₃/p-GaAs, d'où l'accumulation de porteurs minoritaires (électrons) à l'interface. Les figures 3.17 (b) et (c) mettent en avant les principaux effets du confinement quantique des porteurs de charge dans la structure tels que: une diminution très significative de la densité de charge dans le semiconducteur par rapport aux calculs classiques, un décalage (de l'ordre du nanomètre) du maximum des charges à l'intérieur du semiconducteur et la pénétration de la fonction d'onde des porteurs dans la couche de l'isolant (une probabilité d'existence ont une probabilité non-nulle des porteurs dans l'oxyde près de l'interface).



Figure 3.17 : (a) Diagramme de bande avec les niveaux d'énergie quantiques, (b) densité des électrons en calcul classique (CL) et calcul quantique (QM), (c) Zoom sur l'interface oxyde/semiconducteur, suivant la direction y pour la structure Al₂O₃/p-GaAs avec $N_a = 3.10^{18} \ cm^{-3}$.

A partir des différents résultats, nous verrons que ces effets quantiques influencent fortement les caractéristiques C-V. Nous commençons par présenter sur les figures 3.18, les caractéristiques C-V simulées d'une structure SiO₂/p-Si dans les cas classique et quantique pour montrer également l'influence de l'épaisseur de l'oxyde ainsi que le dopage du substrat.



Figure 3.18 : Caractéristiques C-V simulées en calcul classique (CL) et quantique (QM) avec un travail de sortie du métal ($\phi_M = 4.05 \ eV$) : (a) Pour différentes épaisseurs de l'oxyde ($T_{OX} = 0.5, 1 \ et \ 1.5 \ nm$) et $N_A = 1 \times 10^{19} \ cm^{-3}$. (b) Pour différents dopages du substrat ($N_A = 1 \times 10^{18}, 1 \times 10^{19} \ et \ 5 \times 10^{19} \ cm^{-3}$) et $T_{OX} = 1 \ nm$.

D'après la figure 3.18.a, on peut voir d'une part une différence entre les courbes C-V classiques (bleu) et quantiques (rouge) particulièrement importante en régime forte inversion et accumulation ($|V_G| >> 0$) et d'autre part, cette différence augmente avec la diminution de l'épaisseur de l'oxyde. En effet, la capacité est plus faible dans le cas quantique en raison des effets de confinement quantique qui réduisent la densité des porteurs libres dans le semiconducteur, ce qui entraine une réduction de la capacité. Ainsi, lorsque l'épaisseur de l'oxyde est diminuée il y aura un confinement important, conduisant à une surestimation de la capacité en régimes forte inversion et accumulation dans le calcul classique. Donc, il parait évident que le calcul classique n'est pas valide dans les dispositifs de faibles dimensions et les effets de confinement doivent être pris en compte lors du calcul de la capacité et l'extraction de la valeur des épaisseurs d'oxyde (risque de sous-estimer l'épaisseur de cette couche).
Ces effets quantiques provoquent également un décalage en tension sur la courbe C-V, figure 3.18.b, qui peut être interprété comme une augmentation de la tension de seuil et donc un impact sur l'évaluation de ce paramètre, notamment pour les transistors. Le déplacement de ces courbes classique et quantique est d'autant plus important que le dopage augmente, puisque les champs électriques de la structure sont amplifiés, conduisant à une forte courbure des bandes et amplifiant ainsi les effets de confinement quantique.

Enfin, pour valider notre code de simulation, nous comparons sur la figure 3.19, les caractéristiques C-V d'une structure SiO₂/p-Si issues de l'expérimentation [148] avec nos simulations dans le cas quantique (Poisson-Schrödinger). Nous observons un très bon accord entre les données simulées et expérimentales. Notre simulation décrit bien les régimes d'inversion faible, de bande plate et d'accumulation, faisant de notre code un outil performant pour l'extraction de l'épaisseur des oxydes de grille dans les structures MOS. Il existe également une légère différence entre les courbes (Exp-Simul) en inversion forte parce que la grille du dispositif expérimental est fabriquée en poly-Si (effet poly-déplétion) alors que notre simulation est en grille métallique (travail de sortie identique $\phi_M = 4.05 \ eV$). Cependant, les technologies utilisant des matériaux innovants utilisent principalement des grilles métalliques.



Figure 3.19 : Caractéristiques C-V expérimentales [148] et simulées en modèle quantique de la structure SiO₂/p-Si ($\phi_M = 4.05 \text{ eV}$) Pour : $T_{OX} = 2.7nm$, $N_A = 6 \times 10^{17} \text{ cm}^{-3}$.

Aussi, ce code a été également développé pour simuler les caractéristiques C-V dont le substrat est un semiconducteur III-V. Les paramètres physiques et électriques des matériaux III-V sont très variables [voir Annexe] et offrent une large gamme d'application.

La figure 3.20 montre que le régime de déplétion dépend très fortement de l'énergie de la bande interdite du semiconducteur. Plus la valeur de E_G est faible et plus la zone de déplétion est courte en termes de tension de grille, donc le passage du régime d'accumulation au régime d'inversion est très rapide dans les III-V à faible bande interdite.

De plus, à $V_G \ll 0$, une capacité presque identique est observée pour tous les III-V, parce que la densité d'états de porteurs de la bande de valence étant très proche entre chaque semiconducteur. D'autre part, la faible densité d'états dans la bande de conduction de ces matériaux conduit à une large disparité avec une forte diminution de la valeur de la capacité dans le régime d'inversion forte. Cette faible densité d'états va jouer un rôle important dans le fonctionnement des transistors MOSFET à base de semiconducteurs III-V.



Figure 3.20 : Caractéristiques C-V simulées (P-S) pour différents semiconducteurs III-V dopés p ($N_A = 1 \times 10^{17} cm^{-3}$) avec une couche d'Alumine ($T_{Al2O3} = 2.3nm, EOT \approx 1nm$) et un travail de sortie pour toutes les structures ($\phi_M = 5 eV$).

D'autre part, les caractéristiques C-V de la structure MOS permettent également d'analyser l'état de l'interface Oxyde/SC en évaluant la densité de défauts d'interface D_{it}. Un bon empilement de grille est extrêmement important pour les transistors MOSFET à base des matériaux III-V afin de bénéficier de la mobilité élevée des porteurs dans le canal. La haute densité de pièges (D_{it}) en surface des semiconducteurs est la cause principale de dysfonctionnement des différents types de contacts MOS, dans le cas des III-V l'origine est attribuée à : la présence d'oxydes natifs, les liaisons pendantes et de polluants dues aux conditions environnementales. Leurs conséquences sont de piéger les charges à l'interface (Q_{it}) et donc d'ancrer le niveau de Fermi diminuant ainsi le contrôle de charges dans le canal et augmentant alors la pente sous le seuil.



Dans notre étude, nous avons adapté le code de calcul de la caractéristique C-V à la méthode LF-HF, Chapitre 2.2.2.1.j, afin d'évaluer la densité de défauts d'interface D_{it}.

Figure 3.21 : (a) Caractéristiques C-V simulées en basse et haute fréquence. (b) la densité de défauts d'interface associée en fonction de la polarisation de grille V_G pour la structure Al₂O₃/p-InP dopé p ($N_A = 1 \times 10^{17} cm^{-3}$) avec une couche d'Alumine ($T_{Al2O3} = 8nm, EOT \approx 3.4nm$) et un travail de sortie ($\phi_M = 5 eV$).

A partir de notre code de simulation, nous avons simulé la structure Al₂O₃/p-InP et à travers sa caractéristique C-V extraite en basse-haute fréquence, des états d'interface entre les deux matériaux ont été évalués par la méthode HF-LF qui nous a permis d'obtenir une densité de défauts d'interface de l'ordre de $1.29 \times 10^{12} eV^{-1} cm^{-2}$, (figure 3.21). Ceci traduit la nécessité d'effectuer les traitements des surfaces de l'interface avant le dépôt de l'oxyde, qui contribuent fortement à la réduction des défauts d'interface [159], et qui reste à ce jour un challenge à franchir pour la réduction de la pente sous le seuil des composants.

3.5. Conclusion

Dans ce chapitre, on s'est intéressé aux divers aspects qui permettent de décrire le fonctionnement électrique de l'empilement Métal-Oxyde-Semiconducteur avec l'utilisation de nouveaux matériaux qui semble une voie très sérieuse pour se développer vers des transistors plus performants.

Dans la première partie, nous avons présenté les modèles utilisés. Une méthodologie appelée classique où seule l'équation de Poisson est résolue. L'approche quantique quant à elle prend en considération les niveaux d'énergies discrétisés et leurs fonctions d'ondes (équation de Schrödinger) afin de calculer la densité des porteurs qui permet ensuite d'évaluer le potentiel (équations Poisson-Schrödinger).

Dans la deuxième partie, des simulations de quelques structures MOS sont présentées afin de montrer les caractéristiques de chacune. La structure poly-Si/SiO₂/Si-p, implique une dégradation significative sur les performances des dispositifs submicroniques. La structure Metal/SiO₂/Si-p, a bien montrée l'élimination de la poly désertion mais elle favorise la conduction à travers la grille. Le remplacement de la Silice par un diélectrique high-k (Al₂O₃) minimise énormément ce phénomène de courant de fuite mais en contrepartie dégrade la mobilité du canal. La structure Al/Al₂O₃/p-GaAs a été simulée. Le diagramme de bande de cette structure montre la formation d'un puits de potentiel très profond suggérant la présence des phénomènes quantiques.

A la fin, nous avons inclus dans notre code de simulation le calcul C-V. Tout d'abord, on a représenté la caractéristique C-V de la structure SiO₂/p-Si en cas classique et quantique. Ensuite, nous avons comparé des caractéristiques C-V d'une structure issue de l'expérimentation avec nos simulations dans le cas quantique d'où un bon accord a été observé. Nous avons aussi simulé des structures innovantes (Al/Al₂O₃/III-V) avec les matériaux suivants : GaAs, InP, InAs, GaSb et In_xGa_{1-x}As (pour différentes concentrations d'Indium). D'autre part, l'adaptation des caractéristiques C-V avec la méthode LF-HF nous ont permis d'analyser l'état de l'interface Oxyde/SC en évaluant la densité de défauts d'interface D_{it}.

CHAPITRE 4

SIMULATION DES TRANSISTORS MOSFET DE LA FILIERE III-V.

4.1. Introduction

Les problèmes mise en avant dans la présentation du transistor MOSFET au chapitre 2, montrent que, malgré les effort fournis, il est aujourd'hui difficile d'imaginer de préserver le transistor MOSFET dans son architecture "historique" pour les générations de composants futurs. L'industrie microélectronique, guidée par l'ITRS et les recherches académiques, doit donc se tourner vers de nouvelles solutions technologiques pour le remplacement du transistor MOSFET sur Silicium massif en modifiant l'architecture même du composant ou en envisageant l'utilisation de nouveaux matériaux. Cependant, les essais expérimentaux sont onéreux, longs, complexes et n'autorisent pas autant de degré de liberté que peut offrir la simulation numérique qui constitue une brique essentielle à la construction de nouveaux dispositifs et à la prédiction de leur fonctionnement.

Dans ce contexte, ce chapitre est principalement consacré à évaluer et explorer les potentialités des structures (MOSFET, III-V) sous faible polarisation à l'aide des simulations numériques en régimes statique et dynamique.

4.2. <u>Amélioration des performances du MOSFET</u>: du Si-Bulk au UTB-III-V L'amélioration des performances des transistors MOSFET nécessite, entre autres, d'augmenter le couplage électrostatique de la grille au flux de porteurs dans le canal de conduction. Les solutions proposées consistent donc à améliorer la grille autour du canal afin de réduire les effets électrostatiques parasites.

Les progrès de la microélectronique depuis ses débuts jusqu'à aujourd'hui dépendent des révolutions de la miniaturisation. En effet, diminuer les dimensions des transistors, permet la réduction : de la consommation d'énergie, des prix, de l'espace occupé, de la consommation de matière et du poids. Cependant, la miniaturisation ne peut se produire sans l'apparition d'effets parasites nuisant le bon fonctionnement du transistor.

A mesure que les transistors deviennent de plus en plus petits, un certain nombre de phénomènes physiques se produisent qui ne peuvent pas être ignorés, tels que l'effet canal court (SCE) et l'abaissement de la barrière de potentiel du drain (DIBL) qui se traduisent par le décalage de la tension de seuil, le partage des charges, les effets de percement, ...etc. Par conséquent, pour surmonter ces problèmes, une intégration plus poussée de nouveaux composants doit être réalisés grâce à l'introduction de nouvelles architectures ou de nouveaux matériaux pour améliorer les performances des transistors.

Les effets de canal court dans les Mosfets-Bulk se manifestent lorsque les lignes de champs de la source et du drain dans les régions de déplétion des jonctions affectent le contrôle de grille de la région de canal. Par conséquent, même si la concentration des dopants augmente, la concentration devient trop élevée pour permettre au dispositif de fonctionner correctement.

Pour mieux contrôler les effets SCE, de nouvelles solutions voire de nouvelles architectures sont réalisées sur des substrats structurés, tels que des transistors à base de substrat SOI (Silicium On Insulator). La présence d'une couche d'oxyde sous le canal permet de l'isoler des effets parasites et de séparer la zone active du substrat ce qui apporte une solution en termes de compromis performances / consommation de puissance. Il existe deux types de transistors sur SOI. Le PD-SOI pour partiellement désertée et FD-SOI pour complètement désertée.



Figure 4.1 : Structure schématique d'un transistor PDSOI (a) et d'un transistor FDSOI (b).

La technologie PD-SOI disposant d'un canal partiellement déserté ainsi qu'une large épaisseur d'isolant, constitue une amélioration de la technologie Bulk avec presque les mêmes procédés technologiques (fabrication simple et coût réduit). Ces dispositifs permettent de réduire par rapport au silicium massif les capacités parasites en haute fréquence et les courants de fuites par élimination des effets Latch-up (mauvaise isolation entre transistors voisin). Par contre, dans ce type de transistor, le film actif présente une zone interne électriquement neutre située entre la zone de déplétion et la couche d'oxyde enterré, figure 4.1 (a), qui réduit son contrôle électrostatique. Cependant, d'autres effets parasites apparaissent également, connus sous le nom de substrat flottant (Floating Body Effects) apparaissent comme l'effet bipolaire parasite, l'effet kink,....etc, dont les caractéristiques I-V ne sont plus constantes et dépendent de la densité de charges contenues dans cette zone neutre, modifiant ainsi le comportement du transistor.

L'architecture FD-SOI a vu le jour pour faire face à ces effets et améliorer les performances du transistor. Elle est basée sur la réduction de l'épaisseur du film qui représente une zone totalement désertée, figure 4.1 (b), pour remplacer avantageusement la PD-SOI. Parmi ses avantages, l'absence d'effet Kink due à la disparition de la zone neutre. En plus, la faible profondeur des jonctions (limitée par l'épaisseur du film) donne un bon contrôle électrostatique. Les contraintes imposées sur le niveau de dopage du canal peuvent être relâchée. Ainsi, il est donc possible d'utiliser un film non dopé qui reste déserté tant que le potentiel de surface est plus faible, permettant d'obtenir une pente sous le seuil et un meilleur courant I_{off}. Aussi, la suppression du dopage entraîne une augmentation de la mobilité des porteurs et donc du courant de saturation. Tout cela rend la technologie FD-SOI particulièrement attractive notamment pour les applications mobiles nécessitant une faible consommation d'énergie et une faible tension d'alimentation.

Cependant, la fabrication de transistors SOI à film mince présente quelques inconvénients. Tout d'abord, la réduction de l'épaisseur du canal fait augmenter les résistances d'accès des jonctions de source et de drain ce qui limite considérablement le courant de drain (ce problème a été résolu en surélevant les jonctions et en augmentant fortement le dopage de ces zones). Au même temps, plus les films sont fins, plus les fluctuations sur une même plaquette entrainent des comportements différents entre les composants, notamment en termes de tension de seuil. En plus, l'oxyde enterré s'avère être un obstacle (faible conductivité thermique), il empêche la dissipation de la chaleur (due au fonctionnement des transistors) à travers le substrat, ce qui provoque le phénomène d'auto-échauffement en dégradant le courant I_{off} , la pente sous le seuil et la mobilité des porteurs, ainsi il ne limite pas indéfiniment le couplage électrostatique entre la source et le drain et par conséquent les effets de canal court.

Pour cela, une autre architecture du MOSFET en technologie planaire FD-SOI avec une structure très mince a été proposée pour donner plus de performance. Le transistor planaire UTB FD-SOI est construit à partir des couches très minces de film de Silicium et de l'oxyde enterré BOX. Grace à ces épaisseurs et la longueur de grille, les effets de canal court sont mieux contrôlés avec un DIBL acceptable. De plus, les résistances d'accès bien contrôlées, une réduction des variations dans les caractéristiques statiques, une grande intégrité électrostatique et une minimisation des fuites ont fait de ce genre de transistors un candidat promoteur. Néanmoins, les transistors UTB FD-SOI présentent quelques problèmes récurrents qui sont la tension de seuil très sensible et une mobilité des électrons qui varie avec l'épaisseur du film.

Pour faire face à ces défis, l'introduction des matériaux III-V qui possèdent des propriétés de transport importantes combinées avec l'architecture SOI a permis de faire naître une nouvelle technologie MOSFET III-V avec différentes formes. Afin de respecter le « scaling » et ses conditions, le développement de cette filière a fait révéler encore plus de nouvelles structures planaires UTB-III.V basées sur l'idée de l'architecture UTB-F.D-SOI et les propriétés excellentes des matériaux III-V, comme les transistors MOSFET III-V à architecture standard en mode inversion, MOSFET III-V avec source-drain surélevés, MOSFET III-V à canal enterré et à grille encastrée ...etc. (figure 4.2)



Figure 4.2 : Différentes architectures de MOSFET III-V [160].

4.3. Modèles de simulation de transport :

La simulation numérique est devenue une méthode indispensable pour étudier les performances des dispositifs semiconducteurs et calculer de manière prédictive leurs caractéristiques. Elle tente de reproduire le fonctionnement interne d'un système réel à travers des calculs et se présente aussi comme une autre solution pour arriver aux points suivants :

- Assurer la rapidité et la fiabilité de la conception et contribuer à l'innovation industrielle.
- Comprendre et interpréter avec précision l'influence de divers phénomènes simulés sur le comportement (des matériaux, composants, systèmes) réels dont les dimensions sont en constante diminution.
- Prédire l'issue des expérimentations lorsque celles-ci sont irréalisables (coûteuses et/ou difficiles à mettre en place ...).
- Répondre au changement de paramètres physiques ou géométriques et modifier les résultats en conséquence.

Le choix des modèles adéquats avec les mécanismes physiques mise en jeu pour les conditions d'utilisation du dispositif est important pour améliorer la précision des résultats de la simulation numérique. Pour cela, les environnements TCAD mettent à notre disposition une grande variété de modèles physiques.

Dans cette partie, nous présentons les équations fondamentales du transport dans les semiconducteurs qui émanent le formalisme de Dérive-Diffusion. Ensuite, nous exposons les modèles physiques utilisés dans cette étude tels que : les modèles de mobilité, les modèles de Schokley-Read-Hall (SRH) et le modèle d'interpolation des paramètres physiques des matériaux III-V [voir Annexe].

4.3.1. Formalisme de Dérive-Diffusion :

Ce modèle est capable d'opérer dans quasiment n'importe quel dispositif à base de semiconducteur. Il consiste en un ensemble d'équations fondamentales qui rassemblent le potentiel électrostatique et les densités des porteurs dans un domaine de simulation bien précis. Ces équations sont dérivées des équations de Maxwell. Elles sont principalement : l'équation de Poisson, les équations de continuité et les équations de transport.

L'équation de Poisson lie les variations dans le potentiel électrostatique aux densités locales de charge, elle est donnée par la formule suivante :

$$div \ \varepsilon \ \vec{\nabla} \psi = -\rho \tag{4.1}$$

 ψ est le potentiel électrostatique, ε la permittivité locale et ρ la densité de charge. Notons que, la densité de charge est le total de toutes les charges mobiles et fixes dans la structure simulée. Le champ électrique est calculé à partir du gradient de potentiel et il est donné par la relation suivante :

$$\vec{E} = -\vec{\nabla}\psi \tag{4.2}$$

Les équations de continuité issues des approximations de l'équation de transport de Boltzmann (BTE), elles décrivent la vitesse de variation des concentrations de porteurs de charges. Cette variation est due soit à la génération externe, génération-recombinaison interne ou bien aux phénomènes de transport (présence des courants de conduction ou diffusion...). Pour les électrons et les trous, cette équation est définie par les formules suivantes :

$$\frac{\partial n}{\partial t} = \frac{1}{q} di v \vec{J}_n + G_n - R_n \tag{4.3}$$

$$\frac{\partial p}{\partial t} = -\frac{1}{q} div \vec{J}_p + G_p - R_p \tag{4.4}$$

 $\vec{J_n}$ et $\vec{J_p}$ sont les densités de courant pour les électrons et les trous, respectivement. $G_n(R_n)$ et $G_p(R_p)$ sont les taux de génération (recombinaison) des électrons et des trous, respectivement.

A partir des hypothèses appliquées sur la théorie du transport de Boltzmaan, nous pourrons aboutir à certains modèles qui décrivent le transport tel que le modèle de Drift-diffusion. Les causes de l'apparition des courants électriques dans ce modèle sont le champ électrique (courant de dérive) et le gradient des concentrations des porteurs de charge (courant de diffusion). Dans le cas hors équilibre thermodynamique, nous définissons les pseudopotentiel de Fermi φ_n , φ_p des électrons et trous qui expriment la modification d'occupation des états. Ainsi les densités des courants sont exprimées par les relations suivantes :

$$\vec{J}_n = -q\mu_n n \vec{\nabla} \varphi_n \tag{4.5}$$

$$\vec{J}_p = -q\mu_p p \vec{\nabla} \varphi_p \tag{4.6}$$

 μ_n et μ_p sont les mobilités des électrons et trous, respectivement. Les pseudo-potentiels de Fermi sont reliés à la concentration des porteurs de charge et au potentiel électrostatique à travers les deux approximations de Boltzmann suivantes :

$$n = n_{ie} \exp\left[\frac{q(\psi - \varphi_n)}{kT_L}\right]$$
(4.7)

$$p = n_{ie} \exp\left[\frac{-q(\psi - \varphi_p)}{kT_L}\right]$$
(4.8)

Avec n_{ie} la densité effective intrinsèque, T_L la température du réseau. Ces deux équations nous permettent d'exprimer les pseudo-potentiels et en les introduisant dans les relations (4.5) et (4.6), on obtient les relations suivantes :

$$\vec{J}_n = q D_n \vec{\nabla} n - q n \mu_n \vec{\nabla} \psi - \mu_n n (k T_L \vec{\nabla} (\ln n_{ie}))$$
(4.9)

$$\vec{J}_p = q D_p \vec{\nabla} p - q p \mu_p \vec{\nabla} \psi - \mu_p p (k T_L \vec{\nabla} (\ln n_{ie}))$$
(4.10)

Le dernier terme dans les deux équations représente le gradient de la concentration intrinsèque effective des porteurs, qui tient compte des effets de rétrécissement de la bande interdite d'où le champ effectif est défini pour les deux porteurs de charge comme suit :

$$\vec{E}_{n,p} = -\vec{\nabla} \left(\psi \pm \frac{kT_L}{q} \ln n_{ie} \right) \tag{4.11}$$

Ce qui permet alors d'écrire la formulation la plus conventionnelle des équations de Dérive-Diffusion :

$$\vec{J}_n = qn\mu_n \vec{E}_n + qD_n \vec{\nabla}n \tag{4.12}$$

$$J_n = qn\mu_n E_n + qD_n \nabla n$$

$$J_p = qp\mu_p \vec{E}_p + qD_p \vec{\nabla} p$$
(4.12)
(4.13)

Avec : $D_n = \frac{kT_L}{q} \mu_n$ et $D_p = \frac{kT_L}{q} \mu_p$ sont les coefficients d'Einstein.

Si on suppose que la distribution est de type Fermi-Dirac, les deux coefficients seront donnés tels que :

$$D_{n,p} = \frac{kT_L}{q} \mu_{n,p} \frac{F_{1/2} \left(\frac{\pm E_{Fn,p} \mp E_{C,V}}{kT_L}\right)}{F_{-1/2} \left(\frac{\pm E_{Fn,p} \mp E_{C,V}}{kT_L}\right)}$$
(4.14)

Avec : F_{α} est l'intégrale de Fermi d'ordre α , $E_{F_{n,p}}$ sont données par : $-q\varphi_{n,p}$.

4.3.2. Modèles de mobilité :

La mobilité des porteurs est un paramètre principal dans le modèle de transport électronique. Elle a le plus d'impact sur les caractéristiques électriques du MOSFET. Dans notre travail, nous avons besoin d'introduire plusieurs modèles pour les différentes régions et matériaux du composant.

4.3.2.1. Modèle de mobilité constante

Ce modèle est indépendant de la concentration de dopage, des densités de porteurs et du champ électrique. Il tient compte de la diffusion du réseau due à la température selon la formule suivante :

$$\mu_{n,p} = \mu_{300_{n,p}} \left(\frac{T_L}{300}\right)^{-3/2} \tag{4.15}$$

Avec $\mu_{300_{n,p}}$ est la mobilité des électrons (trous) du matériau massif à 300K.

4.3.2.2. Modèle de mobilité dépendante à la concentration des dopants

Les mesures expérimentales de la mobilité électronique ont montré leur forte dépendance à la concentration de dopants [161]. L'expression la plus utilisée reliant la mobilité à cette concentration est donnée par la formule suivante [162] :

$$\mu_{n,p}(N) = \mu_{min_{n,p}} + \frac{\mu_{max_{n,p}} - \mu_{min_{n,p}}}{1 + \left(\frac{N}{N_{ref_{n,p}}}\right)^{\alpha_{n,p}}}$$
(4.16)

Avec : $\mu_{min_{n,p}}$ et $\mu_{max_{n,p}}$ sont les valeurs extrêmes de la mobilité dans l'intervalle expérimentale de l'étude, $N_{ref_{n,p}}$ la concentration de référence dont elle représente le début de dégradation de la mobilité. $\alpha_{n,p}$ est un paramètre qui décrit le taux de dégradation de la mobilité.

4.3.2.3. Modèle de mobilité dépendante du champ électrique

Dans le MOSFET, les porteurs sont confinés à proximité de l'interface oxyde/semiconducteur sous l'influence du champ électrique transversal (longitudinal) associé à la polarisation de la grille (du drain). La valeur de la mobilité dans le canal d'inversion est donc bien inférieure à celle des porteurs dans le substrat semi-conducteur. L'expression suivante, décrit l'évolution de la mobilité par rapport aux champs électriques (longitudinal et transversal) [163]:

$$\mu_{n,p}(N, E_{\perp}, E_{\parallel}) = \mu_{n,p}(N, E_{\perp}) \cdot \left(1 + \left(\frac{\mu_{n,p}(N, E_{\perp}) \cdot E_{\parallel}}{V_{sat_{n,p}}}\right)^{\beta_{n,p}}\right)^{-1/\beta_{n,p}}$$
(4.17)

où :

$$\mu_{n,p}(N, E_{\perp}) = \frac{\mu_{n,p}(N)}{\left(1 + \frac{E_{\perp}}{E_{crit}}\right)^{\alpha_{n,p}}}$$
(4.18)

Avec : V_{sat} est la vitesse de saturation des porteurs, $\mu_{n,p}(N)$ calculée à partir du modèle analytique (Eqt.4.16), E_{\perp} champ électrique perpendiculaire au vecteur densité de courant, E_{\parallel} champ électrique parallèle au vecteur densité de courant, E_{crit} valeur de référence et $\alpha_{n,p}$, $\beta_{n,p}$ des paramètres d'ajustement sans dimensions.

4.3.3. Modèles de Génération-Recombinaison :

Les expressions des équations de continuité précédentes contiennent les termes $G_{n,p}(R_{n,p})$ qui décrivent le phénomène de génération (recombinaison) de paires électrons-trous dans le matériau. Il correspond aux mécanismes conduisant à la perte (création) de ces paires dont l'énergie excédentaire émise (absorbée) est sous forme de phonons ou photons.

Les processus responsables de la recombinaison-génération se divisent en six grandes catégories : transitions phononiques, transitions photoniques, transitions Auger, recombinaison en surface, ionisation impact et tunnelisation. On se limitera dans notre étude au génération-recombinaison de type Shockley-Read-Hall (GR_{SRH}) [164-165]. Ce mécanisme introduit la notion de pièges (centres de recombinaison) qui correspondent à des niveaux discrets d'énergie E_t localisés dans la bande interdite. Le taux de génération-recombinaison par unité de volume via ces niveaux est donné par :

$$GR_{SRH} = \frac{pn - n_i^2}{\tau_p \left(n + n_i exp\left(\frac{E_t - E_i}{kT_L}\right) \right) + \tau_n \left(p + n_i exp\left(-\frac{E_t - E_i}{kT_L}\right) \right)}$$
(4.19)

Où : E_t est la position énergétique des états de pièges, E_i est le niveau de Fermi intrinsèque, n_i est la concentration intrinsèque, k est la constante de Boltzmann, T_L est la température du réseau et τ_n , τ_p sont, respectivement, la durée de vie pour les électrons et les trous. Elles sont inversement proportionnelles à la concentration des pièges N_t , à la vitesse thermique v_{th} et à la section de capture $\sigma_{n,p}$ des porteurs, d'où :

$$\tau_{n,p} = \frac{1}{\sigma_{n,p}.\nu_{th}.N_t} \tag{4.20}$$

Si le niveau d'énergie E_t est au milieu de la bande interdite de sorte que : $E_t - E_i \approx 0$. Cette hypothèse impose la simplification suivante :

$$GR_{SRH} = \frac{pn - n_i^2}{\tau_p(n + n_i) + \tau_n(p + n_i)}$$
(4.21)

En pratique, les durées de vie des porteurs sont très sensibles à la concentration de dopage qui introduit dans le matériau des défauts cristallins supplémentaires comme les dislocations. La dépendance de ces durées de vie en fonction du niveau de dopage est modélisée par plusieurs expressions empiriques [166].

4.4. Simulation des structures MOSFET :

Dans cette partie, nous allons faire quelques simulations sur des MOSFET en commençant par des structures à Silicium bulk et ses différentes SOI. Ensuite, les structures bulk à matériaux III-V et on termine par UTB-III-V pour exposer les performances de cette dernière en montrant ses caractéristiques statiques et dynamiques.

4.4.1 MOSFET avec des structures à Silicium :



Figure 4.3 : Structure schématique d'un transistor MOSFET-Si Bulk.

La structure simulée est composée d'un substrat Si-p (Na= 10^{15} cm⁻³) et des implants de source et drain avec un dopage « N » (Nd= 10^{17} cm⁻³), une grille métallique (Aluminium ϕ_M =4.1 eV).

Les caractéristiques I(V) obtenues avec une longueur de grille de 500 nm et une épaisseur d'oxyde de 10 nm sont présentées sur la figure 4.4 :



Figure 4.4 : Caractéristiques I-V d'un transistor MOSFET-Si Bulk avec $L_g=0.5\mu m$, (a) : Courant de drain en fonction de la tension de drain pour différentes valeurs de la tension de grille. (b) : Courant de drain et la transconductance en fonction de la tension de grille pour une tension de drain de 0.5 V.

Les résultats d'une étude de simulation de cette structure ont montré qu'en diminuant la longueur de grille « Scaling », on gagne dans le courant de drain mais en contrepartie la tension de seuil diminue, figure 4.5.(a), la pente sous le seuil augmente ce qui fait lever le courant I_{off} , figure 4.5.(b), d'où l'apparition des effets de canal court ainsi que l'abaissement de la barrière de potentiel de drain, figure 4.5.(c).



Figure 4.5 : Caractéristiques de transfert d'un transistor MOSFET-Si Bulk, (a) : $I_d(V_g)$ pour différentes valeurs de Lg avec $V_d=0.5V$. (b) : Log $I_d(V_g)$ pour différentes valeurs de Lg avec $V_d=0.5V$. (c) : Log $I_d(V_g)$ pour $L_g = (0.4 \mu m, 1 \mu m)$ avec $V_d=0.05V$ et $V_d=1V$.

Ces effets sont dus à l'influence de la région de canal par les lignes de champ de la source et du drain à travers les zones de déplétions des jonctions qui arrivent à affecter le control de la grille. La figure 4.6, nous montre cet effet lorsque la structure passe d'une longueur de grille de 1 μ m à 0.3 μ m.



Figure 4.6 : Graphe en contour de la variation du champ électrique à travers toutes les régions de la structure, (b) : $L_g = 1 \ \mu m$. (b) : $L_g = 0.3 \ \mu m$

D'après la figure 4.7, nous pouvons remarquer aussi que même en augmentant le dopage dans la région du canal, nous arriverons à améliorer la tension de seuil mais d'un autre coté on perd en courant I_d d'où les performances de cette structure se dégradent.



Figure 4.7 : Caractéristique de transfert d'un transistor MOSFET-Si Bulk avec $L_g=0.3 \mu m$ et $T_{ox}=5 nm$ pour différents dopages du canal avec $V_d = 0.5 V$.

Pour améliorer le contrôle des effets de canal court (SCE), de nouvelles techniques de conception de circuits ont été introduites telles que le silicium sur isolant (SOI). Elles consistent à déposer une fine couche de silicium sur un isolant, généralement du dioxyde de silicium (SiO₂) ou connu sous le nom de couche d'oxyde enterrée (Buried Oxide), figure 4.8. La présence de cette couche permet d'isoler le canal des effets parasites ce qui apporte un compromis en terme performances/consommation.



Figure 4.8 : Structure schématique d'un transistor n-MOSFET-FDSOI.

Une structure SOI-Si composée d'une région active avec Na= 10^{15} cm⁻³, une région de source et de drain de concentration Nd= 5.10^{17} cm⁻³ et une grille métallique en aluminium avec un travail de sortie ϕ_M =4.1 eV, a été simulée.

Les caractéristiques I(V) simulées sont obtenues en prenant une épaisseur de canal T_{Si} =200nm, une couche d'oxyde enterré T_{Box} =400nm et en gardant la même longueur de grille et son épaisseur d'oxyde.

La figure 4.9, illustre ses caractéristiques : la caractéristique de sortie I_d (V_d) est représentée pour plusieurs tensions de grille dont le courant de drain pourra atteindre 190mA/mm avec V_d=1V et V_g=1V. La caractéristique de transfert I_d (V_g) ainsi que la variation de la transconductance G_m (V_g) sont représentées à une polarisation de drain V_d=0.5V, nous remarquons que le courant de drain arrive à 210mA/mm pour V_g=2V et la transconductance maximale touche la valeur 134mS/mm pour une polarisation de grille de 0.4V.



Figure 4.9 : Evolution I-V d'un MOSFET de structure FDSOI-Si avec $L_g=0.5\mu m$. (a) : Caractéristique de sortie pour différentes valeurs de la tension de grille. (b) : Caractéristique de transfert et la transconductance en fonction de la tension de grille pour une tension de drain de 0.5 V.

En comparant la structure FDSOI à celle du substrat massif, nous observons une amélioration du courant de drain à cause de l'augmentation de la mobilité des porteurs du canal due au relâchement de la contrainte imposée sur son niveau de dopage, figure 4.10 (a). Des performances sous le seuil sont remarquées, favorisées par la faible profondeur des jonctions qui permet un bon contrôle électrostatique et améliore la pente sous le seuil et le courant I_{off} , figure 4.10 (b).



Figure 4.10 : Comparaison entre MOSFET de structure FDSOI-Si et Bulk-Si, $L_g=0.5\mu m$. (a) : Caractéristique de transfert et transconductance en fonction de V_g . (b) Log $I_d(V_g)$ sous le seuil.

Cependant, la structure FDSOI présente quelques inconvénients. La figure 4.11 illustre, la caractéristique de sortie I_d (V_d) pour V_g=1V en variant l'épaisseur du canal. On remarque qu'avec la réduction de l'épaisseur du Silicium dans le canal, la résistance d'accès augmente ce qui fait diminuer le courant de drain.



Figure 4.11 : Caractéristique de sortie d'un MOSFET de structure FDSOI-Si à $V_g=1V$ pour différentes valeurs de l'épaisseur du film de Silicium en canal.

L'effet de la température représente aussi un inconvénient dans cette structure. La nonévacuation de la chaleur à travers l'oxyde enterré (conductivité thermique faible) sous la couche active peut provoquer le phénomène d'auto-échauffement qui dégrade la caractéristique sous le seuil, figure 4.12 (c), ainsi que la mobilité des porteurs, figure 4.12 (a) et (b), ce qui fait apparaître beaucoup plus les effets de canal court.





Figure 4.12 : Effet de la température d'un MOSFET de structure FDSOI-Si, $L_g=0.5\mu m$ et $V_d=0.5V$. (a) : Caractéristique de transfert. (b) : Transconductance en fonction de V_g . (c) Log $I_d(V_g)$ sous le seuil.

Pour réduire ces inconvénients, une structure très mince UTB-FDSOI est proposée. Nous avons simulé un MOSFET avec cette structure en prenant comme : T_{Si} =30nm, T_{Box} =200nm et L_g=200nm. La figure 4.13 (a)-(b), illustre une comparaison de cette dernière avec les structures FDSOI-Si et Bulk-Si. Nous observons que le transistor UTB-FDDOI-Si nous donne plus de performances par rapport aux deux autres, ses paramètres nous permettent de mieux contrôler les effets de canal court avec un DIBL acceptable, (figure 4.13 (c)).





Figure 4.13 : (a) : Caractéristique de transfert et transconductance en fonction de V_g des MOSFETs Bulk-Si, FDSOI-Si et UTB-FDSOI-Si. (b) : Log $I_d(V_g)$ sous le seuil des MOSFETs Bulk-Si, FDSOI-Si et UTB-FDSOI-Si. (c) : Log $I_d(V_g)$ d'un MOSFET de structure UTB-FDSOI-Si avec V_d =0.05V et V_d =0.5V.

La figure 4.14, représente la caractéristique de sortie des transistors MOSFET de topologie FDSOI-Si et UTB-FDSOI-Si, elle nous indique que la résistance d'accès de la structure UTB-FDSOI-Si est bien inférieure que celle de FDSOI-Si, tous ces atouts, ont fait de ce genre de transistor un bon candidat de la technologie Silicium.



Figure 4.14 : Caractéristique de sortie d'un MOSFET FDSOI-Si et UTB-FDSOI-Si à V_g =1V.

Malgré ce qui vient d'être dit, le MOSFET de la structure UTB-FDSOI-Si présente quelques problèmes récurrents à l'échelle dimensionnelle très basse. La figure 4.15 (a-b), nous montre une forte sensibilité de la tension de seuil avec la longueur de la grille (décroissance rapide à partir de $L_g < 100$ nm) ainsi que l'épaisseur du film de Silicium. On remarque aussi, d'après la figure 4.15 (c), une diminution de la mobilité dans le canal avec son épaisseur (apparente à partir de $T_{Si} < 30$ nm). Tout cela va créer une limite vers la miniaturisation.



Figure 4.15 : (a) : Variation de la tension de seuil en fonction de la longueur de grille pour un MOSFET UTB-FDSOI-Si. (b) : Evolution de la tension de seuil d'un MOSFET UTB-FDSOI-Si avec l'épaisseur du film. (c) : Variation de la mobilité du canal d'un MOSFET UTB-FDSOI-Si en fonction de champ électrique pour différentes épaisseurs du film.

4.3.2 MOSFET des structures à matériau III-V :

Afin de faire face à ces challenges, nous allons introduire dans la structure MOSFET des matériaux à haute mobilité (matériaux III-V) combinés avec des oxydes de grande permittivité compatibles avec les matériaux III-V, pour objectif d'atteindre simultanément la haute performance et la faible puissance de consommation tout en relâchant les contraintes de dimensionnement.



Figure 4.16 : Structure schématique d'un transistor MOSFET-III-V Bulk.

L'architecture du MOSFET-Bulk traditionnel composée de matériaux III-V, figure 4.16, a été proposée par diverses équipes telles que l'université de Purdue, l'université nationale de Tsing Hua, Intel et l'université de Texas. Son canal d'inversion est formé à l'interface entre la couche haute mobilité et le diélectrique de grille. Ses régions de source et drain sont formées par implantation d'ions. Parmi ses avantages, elle est bien connue en termes de procédés de fabrication (identique à celui du Silicium).

Dans cette partie, nous commençons notre étude par une simulation d'une structure composée d'un substrat GaAs-p (Na= 10^{17} cm⁻³) et des implants de source et drain avec un dopage « N » (Nd= 10^{19} cm⁻³), une grille métallique (Aluminium ϕ_M =4.1 eV).

Les caractéristiques I(V) obtenues avec une longueur de grille de 500 nm et une épaisseur d'oxyde *high-k* de 10 nm en Al₂O₃ sont données sur la figure 4.17.



Figure 4.17 : Caractéristique I-V d'un transistor MOSFET-GaAs Bulk avec $L_g=0.5\mu m$, (a) : Courant de drain en fonction de la tension de drain pour différentes valeurs de la tension de grille. (b) : Courant de drain et la transconductance en fonction de la tension de grille pour une tension de drain de 0.5 V.

La caractéristique de sortie I_d (V_d), figure 4.17 (a), est représentée pour plusieurs tensions de grille, on remarque que le courant de drain atteint la valeur 175mA/mm pour V_d=1V et V_g=1V. La caractéristique de transfert I_d (V_g) ainsi que la variation de la transconductance G_m (V_g), figure 4.17 (b), sont représentées à une polarisation de drain V_d=0.5V, nous apercevons que le courant de drain atteint 300mA/mm pour V_g=2V et la transconductance maximale touche la valeur 220mS/mm pour une polarisation de grille de 0.7V. Pour faire progresser les performances (courant de drain) de cette structure, nous jouons sur les propriétés de transport du matériau de la zone canal.

La figure 4.18 (a) nous montre que l'augmentation de la teneur d'Indium dans le GaAs donne une faible masse effective des électrons au ternaire $In_xGa_{1-x}As$ résultant, ce qui fait pousser la mobilité des électrons du canal donc lever le courant de drain I_{on}, figure 4.18 (b), mais en contrepartie des effets négatifs comme la diminution de la tension de seuil et la dégradation du contrôle électrostatique poursuivront la croissance de l'Indium, (figure 4.18 (b-c)).



Figure 4.18 : (a) Evolution de la masse effective des électrons avec la concentration d'Indium dans le ternaire $In_xGa_{1-x}As$. (b) Courant de drain en fonction de la tension de grille pour une tension de drain de 0.5 V d'un transistor MOSFET-In_xGa_{1-x}As Bulk pour différentes concentrations d'Indium. (c) Transconductance en fonction de la tension de grille pour une tension de drain de 0.5 V d'un transistor MOSFET-In_xGa_{1-x}As Bulk pour différentes concentrations de drain de drain de 0.5 V d'un transistor MOSFET-In_xGa_{1-x}As Bulk pour différentes concentrations de drain de drain de 0.5 V d'un transistor MOSFET-In_xGa_{1-x}As Bulk pour différentes concentrations d'Indium.

Pour compenser ces effets, des structures alternatives permettent d'améliorer encore les propriétés de transport des porteurs dans le canal et la qualité du contrôle de la grille. Le transistor qualifié de MOSFET-*ThinBody*, figure 4.19, est inspiré de la technologie SOI à couches minces. L'oxyde enterré est remplacé par un semi-conducteur III-V portant un grand gap et en accord de maille avec le matériau du canal.



Figure 4.19 : Structure schématique d'un transistor MOSFET-III-V-ThinBody.

Dans notre cas, le ternaire InAlAs qui a un grand Gap et un paramètre de maille qui est très proche à celui de l'InGaAs avec un alignement de bande de conduction qui convient pour confiner les porteurs, peut être un bon oxyde enterré au-dessous du canal. Le choix de la concentration d'Indium à l'interface $In_xGa_{1-x}As/In_yAl_{1-y}As$ est suivant l'équation de la condition d'accordabilité du paramètre de maille des deux matériaux, d'où x = 0.53 et y = 0.52 vérifie cette équation [167].

Une structure composée d'une région active d' $In_{0.53}Ga_{0.47}As$ non dopé, une région de source et de drain de concentration Nd= 10^{19} Cm⁻³ et de couche enterrée d' $In_{0.52}Al_{0.48}As$ non dopé, a été simulée.

Les caractéristiques I(V) simulées sont obtenues en prenant une épaisseur de canal T_{InGaAs} = 100 nm, une couche d'oxyde enterré T_{InAlAs} = 400 nm, une longueur de grille de $L_g = 0.5 \ \mu m$ et une épaisseur d'oxyde $T_{Al_2O_3}$ = 10 nm.

La figure 4.20, montre les graphes I-V de cette structure : la caractéristique de sortie I_d (V_d) est représentée pour plusieurs tensions de grille dont le courant de drain pourra atteindre 420mA/mm pour V_d=1V et V_g=1V. La caractéristique de transfert I_d (V_g) ainsi que la variation de la transconductance G_m (V_g) sont représentées à une polarisation de drain V_d=0.5V, nous remarquons que le courant de drain arrive à 500mA/mm pour V_g=2V et la transconductance maximale touche la valeur 280mS/mm pour une polarisation de grille de 0.3V.



Figure 4.20 : Caractéristique I-V d'un transistor MOSFET-T.B $In_{0.53}Ga_{0.47}As/In_{0.52}Al_{0.48}As$ avec $L_g=0.5\mu m$, (a) : Courant de drain en fonction de la tension de drain pour différentes valeurs de la tension de grille. (b) : Courant de drain et la transconductance en fonction de la tension de grille pour une tension de drain de 0.5 V.

La figure 4.21 qui illustre, la caractéristique de sortie I_d (V_d) pour V_g=1V, en variant l'épaisseur du canal, révèle quelques inconvénients de cette structure. On remarque qu'avec la réduction de l'épaisseur du canal (*Scaling*), la résistance d'accès augmente ce qui fait diminuer le courant de drain.



Figure 4.21 : Caractéristique de sortie d'un MOSFET-T.B In_{0.53}Ga_{0.47}As/In_{0.52}Al_{0.48}As à V_g=1V pour différentes valeurs de l'épaisseur d'InGaAs en canal.

Avec ces résultats, la structure InGaAs/InAlAs est encore loin d'avoir atteint son potentiel intrinsèque. La dégradation est principalement due à la diffusion des défauts d'interface entre l'oxyde *high-k* et le canal d'InGaAs à la surface. Une nouvelle structure appelée MOSFET à canal enterré est proposée pour éviter ces effets, en ajoutant une couche barrière mince entre le canal et l'oxyde, (figure 4.22).



Figure 4.22 : Structure schématique d'un transistor MOSFET-III-V à canal enterré.

L'InP est choisi comme barrière à cause de son accord de paramètre de maille avec le substrat qui est Semi-Isolant de type InP.

La structure simulée est composée d'une barrière InP avec une épaisseur qui varie (1nm, 2nm, 3nm), une couche canal InGaAs d'épaisseur 10nm et une couche tampon InAlAs de 300nm. On prend aussi la longueur de grille $0.5\mu m$ et l'EOT de l'oxyde Al₂O₃ est 4.4nm. Toutes ces couches sont intentionnellement non dopées sauf les régions source et drain qui sont dopées avec une concentration N_d=10¹⁹cm⁻³.

La figure 4.23, montre la caractéristique de transfert I_d (V_g) ainsi que la variation de la transconductance G_m (V_g) de cette structure avec une polarisation de drain V_d=0.5V pour différentes épaisseurs de la couche barrière. Nous observons une amélioration des performances à l'état *ON* par rapport au dispositif à canal surface (sans barrière) en utilisant l'InP comme barrière. Une épaisseur de 1nm présente une augmentation considérable du courant I_D ainsi que la transconductance G_m, et avec plus d'épaisseur, le courant a été encore amélioré. Cela est dû, à l'écart entre le canal et l'interface d'oxyde de la grille qui permet aux porteurs du canal d'être moins affectés par les défauts de l'interface.



Figure 4.23 : Effet de l'épaisseur de la couche barrière d'InP d'un transistor MOSFET-InGaAs à canal enterré avec $L_g=0.5\mu m$ et $V_d=0.5V$. (a) : Caractéristique de transfert. (b) : Transconductance en fonction de V_g .

Comme nous avons vu, le MOSFET à canal enterré améliore les performances à l'état *ON* d'une manière significative, le compromis est qu'en ajoutant l'épaisseur de la couche barrière, la grille s'éloigne du canal conduisant ainsi à réduire le contrôle de la grille sur le canal. Cela peut potentiellement dégrader les performances des composants à canal court.

Le comportement de mise à l'échelle du MOSFET InGaAs à canal enterré jusqu'au régime inférieur à 300 nm va être discuté et comparé au MOSFET InGaAs canal à surface.

La figure 4.24 (a), représente une comparaison du courant de I_d ainsi que la transconductance G_m , sans et avec barrière d'InP. La structure avec barrière montre un courant et une transconductance meilleurs par rapport à la structure sans barrière, cela est dû peut-être à l'amélioration de la mobilité (porteurs moins affectés par la surface). Par contre, à l'état off, les propriétés sous le seuil (SS, I_{off}) se dégradent en diminuant L_g (effets canal court). En plus, les composants à canal enterré sont moins bons par rapport aux composants à canal surface en régime de canal court, figure 4.24 (b), à cause de la réduction du contrôle de la grille en canal.

Au fur et à mesure que le transistor a été réduit latéralement pour réduire la zone active et améliorer les performances de la structure, la dimension verticale doit être mise à l'échelle en même temps.



Figure 4.24 : (a) : Caractéristique de transfert et transconductance en fonction de V_g des MOSFETs InGaAs avec et sans couche barrière d'InP pour L_g= 0.3μ m et V_d=0.5V. (b) : Log I_d(V_g) sous le seuil des MOSFETs InGaAs avec et sans couche barrière d'InP avec L_g = [50, 100, 200] nm et V_d =0.5V.

L'une des façons, consiste à réduire l'EOT. Avec une EOT plus petite, la grille a un meilleur contrôle sur le canal et l'effet de canal court est réduit, mais l'élément qui suit le rétrécissement de l'EOT consiste à augmenter le courant de fuite.

Une autre manière est de réduire l'épaisseur du canal. Dans cette partie, l'impact de la dépendance de l'épaisseur du canal des structures nanométriques InGaAs QWFET avec un diélectrique haute permittivité est exploré.

La structure simulée dans ce cas est composée d'une barrière InP avec une épaisseur de 1nm, une couche canal InGaAs d'épaisseur (10nm et 5nm), la longueur de grille est de 50nm et l'oxyde Al₂O₃ d'épaisseur effective (EOT) de 2.5nm.

Les résultats de simulation nous montrent, des propriétés sous le seuil qui sont meilleurs pour la structure à 5nm comparés à celle de 10nm, figure 4.25 (b), parce qu'en mode de déplétion la distance effective entre le canal de conduction et l'électrode de grille diminue pour un canal mince à cause de la réduction de la région de déplétion. Pour les structures à canal mince, la diminution de la pente sous le seuil est due aux progrès des SCE. Par contre, à l'état *ON*, nous remarquons une dégradation du courant I_d et la transconductance G_m du composant à canal de 5nm par rapport à celui de 10nm, figure 4.25 (a). Un possible mécanisme de la réduction de mobilité pour un canal mince est une diffusion accrue des phonons en raison d'un fort confinement des porteurs. D'après l'analyse ci-dessus, les structures à canal mince présentent une pente sous le seuil et un contrôle des effets canal court meilleurs mais leur inconvénient est de réduire la mobilité des porteurs du canal donc le courant I_d. Les FET à puits quantiques (QWFET) présentent un potentiel de mise à l'échelle pour une dimension plus petite.



Figure 4.25 : (a) : Caractéristique de transfert et transconductance en fonction de V_g des MOSFETs InGaAs à canal enterré avec des épaisseurs de 5nm et 10nm pour L_g=50nm et V_d =0.5V. (b) : Log I_d(V_g) sous le seuil des MOSFETs InGaAs à canal enterré avec épaisseur de 5nm et 10nm pour L_g=50nm et V_d =0.5V.

Afin de compenser la réduction des caractéristiques à l'état passant, insérer dans la zone active un matériau qui porte des propriétés de transport importantes est incontournable. L'InAs est considéré comme un matériau potentiel en canal pour produire des meilleures performances à cause de sa haute mobilité.

La structure épitaxiale sous la grille choisie dans cette partie ainsi que sa structure de bande d'énergie sont représentées sur la figure 4.26 (a-b). Cette hétérojonction InP/InAs/InGaAs/InAlAs non dopée est réalisée sur un substrat InP semi-isolant (SI), (figure 4.26(c)). La structure comprend, une barrière InP (grand *Gap*) de 3nm qui permet d'éloigner le canal d'électrons de l'interface oxyde/canal et avoir un oxyde de bonne qualité. Le canal conducteur est constitué de deux matériaux InAs et In_{0.53}Ga_{0.47}As d'épaisseur totale de 6nm afin de réaliser une structure de type Ultra-Thin-Body pour minimiser les courants de fuites,

obtenir une bonne commande de charge dans le canal et ainsi de limiter les effets de canal court. Une couche tampon d'InAlAs (grande bande interdite) joue le rôle de couche isolante sous le canal conducteur. La différence de paramètre de maille d'InAs avec l'InP est d'environ 3.2%, donc contraint (tension). Son épaisseur est limitée à 3nm afin d'éviter la relaxation et l'apparition de dislocations. Cependant, une épaisseur trop fine n'est pas favorable pour l'obtention d'une forte densité d'électrons.

Le MOSFET-InAs U.T.B (InP/InAs/InGaAs) à canal enterré avec un oxyde de haute permittivité (Al₂O₃) d'épaisseur de 4nm est simulé.



Figure 4.26 : (a) : Structure épitaxiale à travers la grille d'un MOSFET-InAs UTB. (b) : Diagramme d'énergie de bande interdite d'une ligne de coupe verticale à l'hétérojonction suivant la grille. (c) : Structure schématique d'un transistor MOSFET-InAs UTB à canal composite.

Les résultats de simulation obtenus pour cette structure avec une longueur de grille de 150 nm nous permettent de bien choisir la concentration de dopage des régions source/drain et canal.



Figure 4.27 : (a) : Evolution du courant de drain en fonction du dopage de la région canal à $V_d = 0.7$ V et $V_g = 0.5$ V. (b) : Log $I_d(V_g)$ sous le seuil pour différentes valeurs de dopage du canal. (c) : Evolution du courant de drain en fonction du dopage des régions source/drain à $V_d = 0.7$ V et $V_g = 0.5$ V.

D'après la figure 4.27 (a), nous pouvons observer que le courant de drain prend quasiment la même valeur jusqu'au dopage du canal 10^{18} cm⁻³ puis il augmente au fur et à mesure qu'on dope, par conséquent il y'aurait une détérioration de la pente sous le seuil avec

l'augmentation du dopage dans la région canal ce qui fait hausser le courant de fuite, (figure 4.27 (b)). D'un autre côté, les régions source et drain sont fortement dopées avec $N_d=10^{19}$ cm⁻³, cette valeur donne un courant I_d optimal, (figure 4.27 (c)). Idéalement, le transistor le plus important est caractérisé par un courant I_{ON} élevé et d'une faible oscillation de tension de grille sous le seuil, ce qui améliore la vitesse de commutation du dispositif.

Cette structure UTB est choisie pour réduire le courant de fuite et maintenir un bon contrôle des électrons dans le canal. Ses couches épitaxiales sont développées avec la technique d'épitaxie par jets moléculaires (MBE) dans laquelle la composition finale est similaire à la figure 4.26. Il s'agit d'une architecture MOSFET auto-alignée à grille, dans laquelle l'électrode de grille est utilisée comme masque pour la définition des contacts ohmiques. L'oxyde de grille Al₂O₃ d'une épaisseur de 4 nm est déposé par dépôt de couche atomique (ALD). Les contacts ohmiques sont réalisés par la technique « Silicide-like » au Nickel pour obtenir un alliage métal/III-V afin d'avoir de faibles résistances d'accès [168]. La mesure expérimentale est effectuée à l'aide d'une unité de source/moniteur DC modulaire HP 4142B à température ambiante sur un MOSFET de 150 nm de longueur de grille [169]. Les paramètres physiques utilisés dans notre simulation pour arriver à valider nos caractéristiques par rapport aux résultats expérimentaux sont résumés dans le Tableau 4.1.

| Paramètres | | Valeurs | | |
|---|------|---------|-------|--|
| | | InP | InAs | In _{0.53} Ga _{0.47} As |
| Affinité électronique [e. | .V] | 4.38 | 4.9 | 4.51 |
| Mobilité des électrons [cm ² /V | .s] | 450 | 33000 | 13000 |
| Vitesse de saturation des électrons ($\times 10^7$) [cm | ı∕s] | 0.65 | 0.8 | 0.22 |
| Resistance d'acces Source-Drain $[\Omega.\mu]$ | .m] | | 200 | |
| Travail de sortie effectif de la grille | eV] | 3.94 | | |

Tableau 4.1 : Paramètres physiques utilisés dans la simulation

Les caractéristiques I-V d'un transistor MOSFET de la structure UTB-InAs avec une longueur de grille $L_g = 150$ nm sont représentées sur la figure 4.28. Le courant de drain I_d est tracé par rapport à la tension de drain V_d sur la figure 4.28 (a) avec une tension de grille variant de -1 à 1V par pas de 0.5V. On constate que I_d atteint la valeur 630 mA/mm à V_d = 0.7V et V_g = 1V. La caractéristique de transfert I_d-V_g et la transconductance correspondante G_m à V_d = 0.7V sont illustrées sur la figure 4.28 (b). Le courant de drain I_d et la transconductance maximale G_m(max) atteignent respectivement 665 mA/mm et 440 S/mm.



Figure 4.28 : Les caractéristiques I-V d'un transistor MOSFET UTB-InAs à $L_g = 150$ nm (a) : Caractéristique de sortie I_d-V_d. (b) : Caractéristique de transfert I_d-V_g et Transconductance G_m-V_g à V_d = 0.7 V.

La figure 4.29 (a), montre une comparaison de la caractéristique de sortie I_d - V_d de cette structure entre les résultats de nos simulations et les données expérimentales [169]. En calculant le coefficient de corrélation, on trouve une valeur de 0.96, valeur proche de 1 ce qui signifie qu'il y a un bon accord entre les résultats expérimentaux et ceux de notre simulation.



Figure 4.29 : Les caractéristiques I-V d'un transistor MOSFET UTB-InAs à $L_g = 150$ nm (a) Comparaison de la caractéristique de sortie entre résultats expérimentaux [159] et simulation à différentes tensions de grille. (b) : Comparaison de la caractéristique de transfert et transconductance entre expérimental et simulation à $V_d = 0.7$ V.
Sur la figure 4.29 (b), nous comparons les caractéristiques I_d - V_g et G_m - V_g à $V_d = 0.7V$. Les résultats sont comparés entre la mesure réelle du dispositif et sa simulation. Les tracés montrent un très bon accord avec les données de la mesure où le coefficient de corrélation est évalué à 0.99.

Des simulations en régime dynamique du transistor MOSFET UTB-InAs à $L_g = 150$ nm nous permettent d'extraire les paramètres S. A partir des modèles du chapitre II (Equations : 2.32, 2.33 et 2.34) les gains hyperfréquences et fréquences de transition ont été évalués. La figure 4.30 (a), représente le gain en courant $|H_{21}|^2$ en fonction de la fréquence à $V_d = 0.7V$ et $V_g = 0.2V$. La fréquence de coupure f_T du dispositif simulé est estimée en extrapolant le gain de courant basse fréquence avec -20 dB/décade jusqu'à l'unité. Comme est indiqué, la fréquence de coupure $f_T = 41,69$ GHz. La variation du gain unilatéral de Mason U par rapport à la fréquence et aux mêmes points de polarisation a été illustrée en figure 4.30 (b). La fréquence maximale d'oscillation f_{max} de la structure simulée est estimée à $f_{max} = 94$ GHz



Figure 4.30 : (a) : Evolution fréquentielle du gain en courant $|H_{21}|^2$ du MOSFET UTB-InAs à $L_g = 150$ nm, polarisé à $V_d = 0.7V$ et $V_g = 0.2V$. (b) : Variation du gain unilatéral de Mason U en fonction de la fréquence MOSFET UTB-InAs avec $L_g = 150$ nm, $V_d = 0.7V$ et $V_g = 0.2V$.

En utilisant le modèle du schéma équivalent petit-signal expliqué dans le chapitre II et les équations (2.25-30), notre simulation nous permet de déterminer les éléments intrinsèques tels que G_m , G_d , τ , R_i , C_{gs} , C_{gd} et Cds qui sont résumés dans le Tableau 4.2. On note que le maximum de Gm avec simulation DC ($G_m = 420 \text{ mS} / \text{mm}$) a approximativement la même valeur que celle obtenue par simulation AC ($G_m = 414 \text{ mS} / \text{mm}$).

| Elements Intrinsèques | Notation | Unité | Valeurs |
|-------------------------|-----------------|--------|---------|
| Transconductance | Gm | mS/mm | 414 |
| Conductance | Gd | mS/mm | 130 |
| Résistance Intrinsèque | R _i | Ohm.mm | 0.592 |
| Résistance Grille-Drain | R _{gd} | Ohm.mm | 1.30 |
| Capacité Grille-Source | C _{gs} | fF/mm | 1200 |
| Capacité Grille-Drain | C _{gd} | fF/mm | 229 |
| Capacité Drain-Source | C _{ds} | fF/mm | 51 |

Tableau 4.2 : Eléments intrinsèques du modèle de schéma équivalent petit-signal

4.5. Conclusion

Les essais expérimentaux sont onéreux, longs, complexes et n'offrent pas autant de degrés de liberté que les simulations numériques, essentielles pour construire de nouveaux dispositifs et prédire leur fonctionnement. Dans ce cadre, ce chapitre a été principalement consacré à évaluer et explorer les potentialités des structures MOSFET utilisées avec les semiconducteurs III-V sous faible polarisation à l'aide de simulations numériques en régimes statique et dynamique.

Nous avons commencé par présenter les progrès réalisés dans le transistor MOSFET de la structure Si-Bulk jusqu'au UTB-III-V en terme du développement de la miniaturisation. Les effets canal court dans la structure massive ont été amélioré avec l'apparition de l'architecture SOI et ses deux types, PD-SOI pour partiellement désertée et FD-SOI pour complètement désertée. Après, pour donner plus de performance, le transistor planaire UTB FD-SOI est construit à partir de couches très minces. Introduire les matériaux III-V dont les propriétés de transport sont importantes à révéler encore plus de nouvelles structures

planaires UTB-III.V basées sur l'idée de l'architecture UTB-F.D-SOI et les propriétés excellentes des matériaux III-V.

En deuxième partie, nous avons exposé les différents modèles introduits dans nos simulations et qui sont adéquats avec les mécanismes physiques mise en jeu pour les conditions d'utilisation du dispositif. Nous avons commencé par les équations fondamentales du transport dans les semiconducteurs qui émanent le formalisme de Dérive-Diffusion. Ensuite, les modèles physiques utilisés tels que : les modèles de mobilité, les modèles de Schokley-Read-Hall (SRH).

Dans la dernière partie, nous avons présenté les résultats de simulation sur des structures MOSFET obtenus avec nos codes. Une étude sur les structures à Silicium bulk et ses différentes formes SOI a été faite, puis sur les structures Bulk à matériaux III-V et nous avons terminé par, une analyse sur le MOSFET UTB-III.V, en exposant ses performances et en montrant ses caractéristiques statiques et dynamiques.

CONCLUSION GÉNÉRALE

Au fur et à mesure que les dimensions du transistor MOSFET diminuent, son fonctionnement se modifie et quand la longueur de sa grille est inférieure à des dizaines de nanomètres, ses performances se dégradent. La réduction du contrôle de la grille de commande sur les charges du semiconducteur et l'élévation du courant de fuite à travers la grille et les jonctions font partie des causes de cette dégradation. De plus, le transport des électrons dans la structure doit être amélioré afin d'augmenter le courant à l'état passant et repousser les limites de la miniaturisation de ces composants.

Ainsi, les travaux effectués lors de cette thèse ont consisté à décrire, grâce à la simulation numérique basée sur différents niveaux de modélisation, le fonctionnement de nouveaux dispositifs composés de matériaux innovants. D'une part, la structure MOS, cellule de base dans le développement de la technologie du MOSFET, a été étudiée pour révéler les divers aspects qui permettent de décrire le fonctionnement électrique de l'empilement Métal-Oxyde-Semiconducteur avec l'utilisation de nouveaux matériaux qui semble une piste très sérieuse pour évoluer vers des transistors plus performants. D'autre part, l'augmentation du contrôle électrostatique de la grille sur le canal de conduction en minimisant les effets canal court a été abordée en examinant le fonctionnement des structures avec une architecture SOI. Enfin, les semiconducteurs à forte mobilité (III-V), qui regagnent ces dernières années un grand intérêt, ont été envisagés dans notre étude avec les différentes structures MOSFET afin de montrer leurs avantages par rapport au Silicium.

La première partie, considérée comme introductive, nous avons y introduit d'une manière assez générale les enjeux confrontés aux industries microélectroniques. On a rappelé le fonctionnement du transistor à effet de champ avec les différentes topologies. Les principaux phénomènes physiques dégradant les performances des dispositifs lors de la miniaturisation des composants ont été présentés. Les différentes solutions envisagées pour remplacer l'architecture conventionnelle du transistor ont été présentées afin de poursuivre cette miniaturisation tout en améliorant l'efficacité du composant.

Ensuite, une introduction aux transistors MOSFET de la filière III-V est représentée. Une généralité sur les transistors MOS où nous avons décrit les différents régimes d'une structure n-MOS. L'évaluation des performances du MOSFET en régime statique et dynamique est décrite à partir des principaux paramètres électriques et la mobilité des porteurs dans le canal de conduction ainsi que les interactions qui la limite. Nous avons expliqué les principaux

axes de progressions du MOSFET qui vont permettre à la loi de MOORE de continuer comme : la puissance de consommation, l'introduction de nouveaux matériaux et architectures pour les n-MOSFET, le défi de l'interface III-V/diélectrique de la grille ainsi que les résistances d'accès. A la fin, nous avons terminé par un état de l'art des MOSFETs III-V qui recense les résultats de la littérature.

Dans la deuxième partie, nous nous sommes intéressés aux aspects qui permettent de décrire le fonctionnement électrique de l'empilement Métal-Oxyde-Semiconducteur avec l'utilisation de nouveaux matériaux pour évoluer vers des transistors plus performants.

En premier, nous avons présenté un modèle basé sur des équations de base. Avec une méthodologie appelée classique, seule l'équation de Poisson est résolue. L'approche quantique quant à elle considère les niveaux d'énergies discrétisés et leur fonctions d'ondes afin de calculer la densité des porteurs selon la direction de confinement qui nous permet ensuite d'évaluer le potentiel d'où le système d'équations Poisson-Schrödinger doit être résolu de manière auto-cohérente.

En second, nous avons développé des codes de calcul dans un environnement TCAD à partir des modèles étudiés précédemment. La simulation de différentes structures MOS, sont présentées afin de montrer les caractéristiques de chacune. A travers la structure poly-Si/SiO₂/Si-p, nous avons étudié l'effet de déplétion de la grille en polysilicium qui implique une dégradation significative sur les performances surtout pour les dispositifs submicroniques. L'élimination de la poly désertion a été bien montrée en remplaçant le polysilicium par un métal, mais d'un autre coté la diminution de l'épaisseur d'oxyde favorise la conduction par effet tunnel à travers la grille. Nos simulations révèlent aussi que la substitution de la Silice par un diélectrique high-k (Al₂O₃) minimise énormément ce phénomène de courant de fuite à travers la grille mais en contrepartie dégrade la mobilité du canal. L'utilisation des matériaux à forte mobilité (semiconducteurs III-V) peut compenser les pertes de la mobilité dans le canal. Avec notre code de calcul qui nous a permis de simuler la structure Al/Al₂O₃/p-GaAs, le potentiel électrique et la densité des électrons dans le régime d'inversion ont été extraits. La reconstruction du diagramme de bande d'énergie de cette structure prouve la création d'un puits de potentiel très profond impliquant les phénomènes quantiques. D'après nos simulations avec l'approche quantique, les niveaux d'énergies et la densité de porteurs de charge calculés dans le régime d'inversion forte mettent en avant les principaux effets de confinement quantique dont une réduction importante de la densité par rapport au calcul classique ainsi qu'un déplacement de son maximum à l'intérieur du semicondcuteur.

A la fin, nous avons inclus dans notre code de simulation le calcul de la caractéristique C-V. Nous avons tout d'abord étudié l'influence de l'épaisseur de l'oxyde et le dopage du semiconducteur à partir de la représentation C-V de la structure SiO2/p-Si dans les cas classique et quantique. Notre code a été validé, en comparant une caractéristique C-V d'une structure issue de l'expérimentation avec notre simulation dans le cas quantique d'où un bon accord a été observé. Notre calcul de simulation nous a aussi permis de simuler des structures innovantes (Al/Al₂O₃/III-V) avec les matériaux suivants : GaAs, InP, InAs et InGaAs. Une forte dépendance du régime de déplétion avec l'énergie de la bande interdite des matériaux III-V a été soulevée. Une capacité presque identique pour tous les matériaux en régime d'accumulation, par contre, une large disparité avec une forte diminution de sa valeur dans le régime d'inversion forte. D'autre part, les caractéristiques C-V avec l'adaptation de la méthode LF-HF dans notre code de calcul nous ont permis d'analyser l'état de l'interface Oxyde/SC en évaluant la densité de défauts d'interface D_{it}.

La dernière partie de ce travail a été consacré à évaluer et explorer les potentialités des structures MOSFET appliquées avec les semiconducteurs III-V sous faible polarisation en utilisant des simulations numériques en régimes statique et dynamique. Nous avons commencé par la présentation des progrès réalisés dans le transistor MOSFET depuis la structure Si-Bulk jusqu'au UTB-III-V. Les effets canal court dans la structure massive ont été améliorés avec l'apparition de l'architecture SOI et ses deux types. La construction du transistor planaire UTB FD-SOI à partir des couches très minces a donné plus de performance. Introduire les matériaux III-V dont les propriétés de transport sont importantes à révéler encore plus de nouvelles structures planaires UTB-III.V basées sur la combinaison de l'architecture UTB-F.D-SOI et les propriétés excellentes des matériaux III-V. Ensuite, nous avons présenté les différents modèles introduits dans nos codes de simulations et qui sont adéquats aux mécanismes physiques mise en jeu pour les conditions d'utilisation du dispositif. Les équations fondamentales du transport dans les semiconducteurs qui émanent le formalisme de Dérive-Diffusion intégrant les modèles physiques utilisés tels que : les modèles de distribution de charges, les modèles de mobilité, les modèles de Schokley-Read-Hall (SRH). En fin, nous avons présenté et analysé les résultats de simulation obtenus par nos codes sur des structures MOSFET. Nous avons commencé par une étude sur les structures à Silicium massif et ses différentes formes SOI ainsi que les structures Bulk à matériaux III-V et nous avons terminé par une analyse sur le MOSFET UTB-III.V, en exposant ces performances et montrant ses caractéristiques statiques et dynamiques.

Comme perspective, il serait intéressant d'élargir notre étude par le développement de nouveaux modèles adaptés aux dispositifs nanométriques qui deviendrait de plus en plus nécessaires pour une analyse physique du comportement électrostatique et du transport électronique. Tout cela permettrait de réévaluer plus finement les performances statiques et dynamiques, pour une interprétation correcte des résultats expérimentaux et pour la conception et l'optimisation de nouveaux composants aptes à fonctionner dans le domaine haute fréquence et faible consommation.

ANNEXE

Cette annexe a pour but de rappeler les principaux paramètres des matériaux utilisés dans ce manuscrite ainsi que les expressions d'interpolation qui permettent d'évaluer les paramètres des composés ternaires.

 A. Paramètres des matériaux semiconducteurs (IV et III-V) et diélectriques utilisés dans les calculs : [46, 47, 170, 171, 172].

| Semiconducteur | IV | | | III-V | | |
|---|-----------------------|-----------------------|-------------------------|-----------------------|-------------------------|-------------------------|
| Paramètre à 300K | Si | GaAs | InP | InAs | AlAs | GaSb |
| Largeur du bandgap (eV) <i>E</i> _G | 1.124 | 1.430 | 1.344 | 0.359 | 3.01 | 0.726 |
| Permittivité relative ϵ_r/ϵ_0 | 11.8 | 12.9 | 12.5 | 15.15 | 10.06 | 15.7 |
| Affinité électronique (eV) x | 4.05 | 4.07 | 4.38 | 4.9 | 3.5 | 4.06 |
| Concentration intrinsèque (cm ⁻³) \boldsymbol{n}_i | 1.5×10^{15} | 2.15×10^{6} | 1.74×10^{7} | 1.02×10^{15} | 1.23×10^{-6} | 9.38×10^{11} |
| Densité d'état de la BC (cm ⁻³) <i>N_c</i> | $3.24 	imes 10^{19}$ | 3.97×10^{17} | 5.68×10^{17} | 1.37×10^{17} | 1.49×10^{19} | 2.08×10^{17} |
| Densité d'état de la BV (cm ⁻³) <i>N_V</i> | 3.11×10^{19} | 9.73×10^{18} | 1.23 × 10 ¹⁹ | 6.69×10^{18} | 1.66 × 10 ¹⁹ | 6.33 × 10 ¹⁸ |
| Mobilité des électrons (cm ⁻² V ⁻¹ S ⁻¹) μ _{0n} | 1350 | 8500 | 4600 | 33000 | 294 | 5000 |
| Mobilité des trous (cm ⁻² V ⁻¹ S ⁻¹) μ _{0p} | 450 | 400 | 150 | 460 | 100 | 850 |
| Masse effective par | X :0.92x0.19 | X :1.99x0.23 | X :1.32x0.27 | X :1.13x0.18 | X :1.08x0.24 | X :1.51x0.22 |
| vallée des électrons (/m ₀) | L : | L :1.54x0.13 | L :1.88x0.15 | L :1.57x0.12 | L:1.1x0.19 | L :0.95x0.11 |
| $m_l \times m_t$ | 1 : | 1 :0.06/ | 1 :0.080 | 1 :0.023 | 1 :0.124 | 1 :0.041 |
| Masse effective par | lh : 0.16 | lh : 0.082 | lh : 0.089 | lh : 0.050 | lh : 0.81 | lh : 0.026 |
| vallée des trous (/m ₀) | hh : 0.49 | hh : 0.51 | hh : 0.60 | hh : 0.40 | hh : 0.16 | hh : 0.41 |
| m_h | SO: 0.29 | SO: 0.15 | SO: 0.17 | SO: 0.14 | SO: 0.30 | SO: 0.16 |
| Paramétre de maille (Å) a | 5.431 | 5.653 | 5.869 | 6.058 | 5.661 | 6.095 |

| | Semiconducteurs III-V Ternaires | | | |
|---|--|------------------------|--|--|
| Paramètre à 300K | In _{0.53} Ga _{0.47} As | $In_{0.52}Al_{0.48}As$ | | |
| Largeur du bandgap (eV) <i>E</i> _G | 0.74 | 1.45 | | |
| Paramètre de Bowing (eV) C | -0.58 | -0.72 | | |
| Permittivité relative $\frac{\varepsilon_r}{\varepsilon_0}$ | 13.9 | 12.75 | | |
| Affinité électronique (eV) x | 4.51 | 4.23 | | |
| Concentration intrinsèque (cm ⁻³) n_i | 1.21×10^{12} | 1.89×10^{6} | | |
| Densité d'état de la BC (cm ⁻³) <i>N_C</i> | 2.17×10^{17} | 6.09×10^{17} | | |
| Densité d'état de la BV (cm ⁻³) <i>N_V</i> | 7.73×10^{18} | 1.44×10^{19} | | |
| Mobilité des électrons (cm ⁻² V ⁻¹ S ⁻¹) μ _{0n} | 13000 | 4400 | | |
| Mobilité des trous (cm ⁻² V ⁻¹ S ⁻¹) μ 0 p | 250 | / | | |
| Masse effective par vallée des | X :2.26x0.25 | X :2.26x0.25 | | |
| e^{i} | L :1.552x0.125 | L :0.304x0.304 | | |
| $(1110) m_l \times m_t$ | Г :0.041 | Г :0.083 | | |
| Masse effective par vallée des | lh : 0.052 | lh : 0.62 | | |
| trous (/m ₀) $\boldsymbol{m_h}$ | hh : 0.45 | hh : 0.086 | | |
| Paramètre de Bowing (/m ₀) | -0.008 | -0.012 | | |
| Paramètre de maille (Å) a | 5.8687 | 5.8677 | | |

| | Oxyde | | | |
|---|------------------|--------------------------------|--|--|
| Paramètre à 300K | SiO ₂ | Al ₂ O ₃ | | |
| Largeur du bandgap (eV) E_G | 9 | 8.6 | | |
| Permittivité relative $\frac{\varepsilon_r}{\varepsilon_0}$ | 3.9 | 11.5 | | |
| Affinité électronique (eV) x | 0.9 | 1 | | |
| Offset de BC (Ox/Sc) (eV) | 3 15 (/Si) | 2.19 (/Si) | | |
| $\Delta E_{C O x/S c}$ | 5.15 (751) | 3.28 (/InGaAs) | | |
| Offset de BV (Ox/Sc) (eV) | 4 72 (/Si) | 2.28 (/Si) | | |
| $\Delta E_{V \ O x/Sc}$ | T.72 (751) | 4.58 (/InGaAs) | | |

- B. <u>Expressions d'interpolation pour évaluer les paramètres des alliages ternaires</u>: Les alliages A_xB_{1-x}C, composés par les deux binaires AB et AC, sont appelés ternaire dont les propriétés dépendent de la composition *x*. Tous les paramètres de l'alliage ternaire sont déterminés à partir d'une relation d'interpolation type loi de Végard. Soit *T* un des paramètres.
 - Si on utilise le schéma d'interpolation linéaire, le paramètre ternaire T peut être dérivé des paramètres binaires B suivant cette expression :

$$T_{A_xB_{1-x}C} = xB_{AC} + (1-x)B_{BC} \equiv a + bx$$

Avec : $a \equiv B_{BC}$ et $b \equiv B_{AC} - B_{BC}$

Certains paramètres de matériaux, s'écartent significativement de la relation linéaire précédente et présentent une dépendance approximativement quadratique avec la composition x. Dans un tel cas, le paramètre du matériau ternaire peut être approximé très efficacement par la relation suivante :

$$T_{A_x B_{1-x} C} = x B_{AC} + (1-x) B_{BC} + C_{A-B} x (1-x) \equiv a + bx + cx^2$$

Avec : $a \equiv B_{BC}$, $b \equiv B_{AC} - B_{BC} + C_{A-B}$ et $c \equiv -C_{A-B}$ Le paramètre *c* et appelé *Bowing* ou paramètre non-linéaire.

LISTE DES SYMBOLES ET DES ABRIVIATIONS

| AFM | : « Atomic Force Microscopy » Microscope à force atomique |
|-----------------------------------|---|
| ALD | : « Atomic Layer Deposition » Dépôt de couche atomique. |
| ART | : Aspect Ratio Trapping |
| BC | : Bande de Conduction. |
| BOX | : « Buried Oxide » Oxyde enterré |
| BV | : Bande de Valence. |
| BTE | : Boltzmann Transport Equation |
| CMOS | : Complementary MOS |
| CVD | : « Chemical Vapor Deposition » Dépôt chimique en phase vapeur. |
| DD | : Drift-Diffusion |
| DIBL | : « Drain Induced Barrier Lowering » : Abaissemement de la barrière d'injection |
| | source/drain due à la tension de drain. |
| D _{it} | : Density of interface states (densité d'etats d'interface) |
| DoS | : Density of States |
| \vec{E} | : Champ électrique |
| EOT | : Epaisseur de diélectrique équivalente à SiO2- Equivalent Oxide Thickness |
| E _C | : Energie de la bande de conduction. |
| E_F | : Energie du niveau de Fermi. |
| E_{F_n} , E_{F_p} | : pseudo-niveau de Fermi des électrons et des trous respectivement. |
| $E_{F,M}$ | : Energie du niveau de Fermi du Métal. |
| $E_{F,SC}$ | : Energie du niveau de Fermi du Semiconducteur. |
| E _{Fi} ou E _i | : Energie du niveau de Fermi intrinsèque. |
| E_p | : Energie potentiel |
| E_V | : Energie de la bande de valence. |
| FDSOI | : Fully-Depleted SOI |
| FLP | : « Fermi Level Pinning » Accrochage du niveau de Fermi. |
| F_j | : l'Intégrale de Fermi d'ordre j |

| GAA MOSFETs | : « Gate-All-Around Mosfets » les mosfets à grille enrobante |
|--------------------|---|
| G _m | : Transconductance. |
| HP | : Dispositifs à Haute Performance – High Performance. |
| ID | : Courant de drain d'un transistor |
| I _{DS} | : Courant entre source et drain d'un transistor |
| I _{OFF} | : Courant de drain à l'état bloqué (Off-State Current) |
| I _{ON} | : Courant de drain en saturation à l'état passant (On-State Current) |
| Ion | : Courant de drain à l'état passant. |
| ITRS | : « International Technology Roadmap of Semiconductor » : feuille de route internationale des semi-conducteurs. |
| Lg | : Longueur de grille. |
| LOP | : Dispositif opérant à faible puissance – Low Opérating Power. |
| LPM | : Libre Parcours Moyen des porteurs. |
| LSTP | : Dispositif à Puissance statique basse – Low Standby Power. |
| MBE | : « Molecular-Beam Epitaxy » Epitaxie par jet moléculaire. |
| MOCUD | : « Metal Organic Chemical Vapor Deposition » Dépôt chimique en phase vapeur |
| MOC V D | organométallique. |
| MOS | : Métal/Oxyde/Semiconducteur. |
| MOS-Bulk | : MOSFET sur substrat massif |
| MOSFET | : « MOS Field Effect Transistor » : transistor à effet de champ MOS |
| N _A | : Concentration en atomes accepteurs dans le canal ou au niveau des jonctions. |
| N _C (E) | : Densité d'états de la bande de conduction. |
| ND | : Concentration en atomes donneurs dans le canal ou au niveau des jonctions. |
| NMOS | : Transistor à effet de champ MOS à canal N. |
| N _V (E) | : Densité d'états de la bande de valence. |
| PDSOI | : Partially-Depleted SOI |
| PECVD | : « Plasma Enhanced Chemical Vapor Deposition » Dépôt chimique en phase |
| ΓΕυνμ | vapeur assisté par plasma. |
| PMOS | : Transistor à effet de champ MOS à canal P. |
| K _B | : Constante de Boltzmann |
| QWFET | : « Quantum Well Field Effect Transistor » : transistor à effet de champ à puits quantique. |
| R _C | : Résistance de contact entre les pads et la région S ou D d'un MOSFET |

| R _{canal} | : Résistance du canal d'un MOSFET. |
|--------------------|--|
| R _{int} | : Résistance d'interface entre la zone S ou D et le canal d'un MOSFET. |
| Ron | : Resistance of device in on-state - Résistance à l'état ON |
| R _{S/D} | : Résistance de souce ou de drain d'un MOSFET |
| R _{sheet} | : Résistance de la région Source ou Drain d'un MOSFET |
| SAE | : Selective-Area Epitaxy – Epitaxie à surface selective |
| SCE | : Short Channel Effects : Effets des Canaux Courts |
| SOI | : Silicon On Insulator : Silicium sur Isolant |
| SON | : Dispositif où le canal est localement isolé du substrat –Silicon On Nothing. |
| SS | : Sub-threshold Slope – pente sous le seuil |
| Т | : Température |
| TCAD | : Conception assisté par ordinateur (Technology Computer Aided Design) |
| TEM | : « Transmission Electron Microscopy » : Microscopie à transmission électronique |
| TL | : Température du réseau |
| TSMC | : Taiwan Semiconductor Manufacturing Company |
| U | : Gain Unilatéral ou Gain de Mason |
| UTB | : « Ultra Thin Body », Substrat Ultra Fin |
| VLS | : « Vapor-Liquid-Solid », Vapeur- Liquide-Solide |
| V_g | : Tension de grille |
| V_d | : Tension de drain |
| V _{seuil} | : Tension de seuil |
| \vec{v}_d | : Vitesse de dérive des porteurs |
| ZCE | : Zone de Charge d'Espace. |
| f _{max} | : Fréquence maximale d'oscillation |
| $f_n(E)$ | : Fonction de distribution des électrons |
| $f_p(E)$ | : Fonction de distribution des trous |
| f _T | : Fréquence de transition du gain en courant |
| g_{DS} | : Conductance du canal. |
| h | : Constante de Planck $(\hbar = \frac{h}{2\pi})$ |
| n | : Densité des électrons |
| n _{ie} | : Densité effective intrinsèque |
| p | : Densité des trous |

| $ H_{21} ^2$ | : Gain en courant de court-circuit |
|---------------------------|---|
| ΔE_C | : Décalage de bandes de Conduction |
| ΔE_V | : Décalage de bandes de Valence |
| Ψ | : Fonction d'onde. |
| ψ_s | : Potentiel de surface |
| ε_0 | : Permittivité électrique du vide ; $\varepsilon_0 = 8.85 \ 10^{-12} \ F/m$ |
| E _{highK} | : Permittivité électrique du matériau à haute permittivité. |
| E _{ox} | : Permittivité statique de l'oxyde |
| $	au_m$ | : Temps de relaxation du moment |
| φ_M, φ_{SC} | : Travaux de sortie respectivement d'un métal, d'un semi-conducteur |
| $arphi_f$ | : Potentiel de Fermi. |
| φ_n , φ_p | : pseudo-potentiel de Fermi des électrons et des trous respectivement. |
| Xsc | : Affinité électronique du semicondcteur. |
| Xox | : Affinité électronique de l'oxyde. |
| μ | : Mobilité |
| μ_{eff} | : Mobilité effective |
| μ_n | : Mobilité des électrons |
| μ_p | : Mobilité des trous |
| $	au_{c}$ | : Temps moyen entre deux collisions |
| Е | : Permittivité. |
| ρ | : Distribution de charge d'espace |

REFERENCES

- 1. Aarts, E. et Roovers, R., "IC design challenges for ambient intelligence", in *Design, Automation and Test in Europe Conference and Exhibition, (2003)*, 2 7.
- 2. GORDON Moore "Progress in digital integrated electronics", International Electron Device Meeting (IEDM) techn. Digest, (1975), 11-13.
- Thompson, S., Packan, P., Bohr, M., "MOS Scaling : Transistor Challenges for 21st Century", Intel Technology Journal Q3, (1998), 1-19.
- 4. Kim, Y.B., "Challenges for Nanoscale MOSFETs and Emerging Nanoelectronics", Transactions on Electrical and Electronic Materials, V. 11, n°.3, (2010), 93-105.
- 5. Zeitzoff, P. M., Huff, H. R., "MOSFET ScalingTrends, Challenges, and Key Associated Metrology Issues Through the End of Roadmap", American Institute of Physics Conference Proceedings 788, (2005), 203-213.
- 6. Del Alamo, J. A., "Nanometre-Scale Electronics with III-V Compound Semiconductors", Nature, V. 479, (2011), 317-323.
- 7. Thayne, I.G., Hill, R.J.W., Holland, M.C. et al., "Review of Current Status of III-V MOSFETs", ECS Transactions, V. 19, n°5, (2009), 275-286.
- Riel, H., Wernersson, LE., Hong, M. et al. "III–V compound semiconductor transistors—from planar to nanowire structures", MRS Bulletin 39, (2014), 668-677.
- Lin, J., Czornomaz, L., Daix, N., Antoniadis, D.A. and Del Alamo, J.A., " Ultrathin Body InGaAs MOSFETs on III-V-On-Insulator Integrated With Silicon Active Substracte", IEEE Transactions on Electron Devices, V. 63, n°8, 3088-3095.
- Chau, R., Datta, S. and Majumdar, A., "Opportunities and Challenges of III-V Nanoelectronics for Future High-Speed, Low-Power Logic Applications", IEEE Compound Semiconductor Integrated Circuit Symposium, (2005), 17 - 20.
- 11. "International Technological roadmap of semiconductors" section Front and Process, ITRS (2005).
- 12. Warneke, B., Last, M., Liebowitz, B. et Pister, K. S. J., "Smart Dust: Communicating with a cubic-millimeter computer", *Computer*, V. 34, n°. 1, (2001), 44 - 51.
- 13. Hornyak, T., "RFID Powder", Scientific American, V. 298, nº. 2, (2008), 68 71.

- 14. Del Alamo, J.A., Antoniadis, D.A., Lin, J., Lu, W., Vardi, A. and Zhao, XIN., "Nanometer-Scale III-V MOSFETs", *IEEE Journal of the Electron Device Society*, V. 4, n° 5, (2016), 205 - 214.
- 15. Padilla, A., Yeung, C. W., Shin, C., Hu, C. and Liu, T. J. K., "Feedback FET: a novel transistor exhibiting steep switching behavior at low bias voltages". In Electron Devices Meeting, 2008. IEDM 2008. IEEE International, (2008), 1-4.
- 16. Hu, C., "Reduce IC power consumption by >10x with a green transistor?", In Device Research Conference, (2009). DRC 2009, 9 10.
- Hu, C., Chou, D., Patel, P. and Bowonder, A., "Green transistor a VDD scaling path for future low power ICs. In VLSI Technology Systems and Applications", 2008. VLSI-TSA 2008. International Symposium on, (2008), 14 - 15.
- 18. Gopalakrishnan, K., Griffin, P.B. and Plummer. J.D., "I-MOS: a novel semiconductor device with a subthreshold slope lower than kT/q", In Electron Devices Meeting, 2002. IEDM '02. Digest. International, (2002), 289 292.
- 19. ITRS 2006 update. URL http://www.itrs.net/Links/2006Update/ 2006UpdateFinal.htm.
- Bollaert, S., Desplanque, L., Wallart, X., Roelens, Y., Malmkvist, M., Borg, M., Lefebvre, E., Grahn, J., Smith, D. and Dambrine. G., "Benchmarking of low band gap III-V based-HEMTs and sub-100nm CMOS under low drain voltage regime". *In Microwave integrated circuit conference, EuMIC 2007*, (2007), 20 - 23.
- 21. Oktyabrsky, S., Peide, D.Y, "Fundamentals of III-V Semiconductor MOSFETs", Springer, New York (2010), 350p.
- 22. Schokley, W., "A unipolar field effect transistor", Proc IEEE, V. 40, (1952).
- 23. Mead, C. A., "Schottky barrier gate field effect transistor", Proc IEEE, V. 54, (1966).
- 24. Ouarch, Z., "Caractérisation et modélisation des effets de pièges et thermiques des transistors à effets de champ sur AsGa. Application à la simulation de la dynamique lente des circuits non-linéaires microondes", Thèse de Doctorat, Université de Limoges, France (1999).
- 25. Mathieu, H., "Physique des semiconducteurs et des composants électroniques", 4^{eme} Edition, Masson, Paris (1998).
- 26. Delagebeaudeuf, D., Delescluse, P., Etienne, P., Laviron, M., Chaplart, J., Linh Nuyen, T., "Two dimensional electron gas MESFET structure". Electronics Letters, V. 16, n°. 17, (1980), 667 668.

- Mimura, T. et al., "A new field effect transistor with selectively doped GaAs/n-AlGaAs heterojunction". Japanese journal of Applied Physics, V. 19, n°. 5, (1980), L225 - L227.
- 28. Laval, S., "Physique des semiconducteurs III-V", Ecole d'été d'optoélectronique, Institut d'Electronique Fondamentale, Université Paris Sud.
- 29. Howard, Huff, R., "Into The Nano Era Moore's Law Beyond Planar Silicon CMOS", Springer edition, Berlin, (2009).
- Wilson, A. H., "The Theory of Electronic Semi-Conductors", *Proceedings of the Royal Society of London. Series A*, V. 133, n°. 822 (Oct. 1, 1931) pp. 458 491 and "The Theory of Electronic Semi-Conductors II," in V. 134, n°. 823 (Nov. 3, 1931), 277 287.
- 31. Kahng, D. and Attala, M.M., "Silicon-Silicon Dioxide Field Induced Surface Devices", IRE-AIEE Solid-State Device Research Conference, Carnegie Institute of Technology, Pittsburgh, (1960).
- Wanlass, F. M "Low Stand-By Power Complementary Field Effect Circuitry." U. S. Patent 3,356,858 (Filed June 18, 1963. Issued December 5, 1967).
- 33. Dennard, R. H., "Field-effect transistor memory," U. S. Patent 3,387,286 (Filed July 14, 1967. Issued June 4, 1968).
- Faggin, F., Hoff, M.E., Jr., Mazor, S., Shima, M., "The history of the 4004," *IEEE Micro* V. 16, Issue 6 (December 1996), 10 20.
- 35. Taur, Y. et *al.*, "CMOS scaling into the nanometer regime", in Proc. IEEE , V. 85, n°. 4, (April 1997), 486 504.
- 36. Timp, G. et al., "Progress toward 10nm CMOS devices", in Proc. IEEE Int. Electron Devices Meeting (IEDM), (1998), 615 618.
- 37. Baccarani, G., Wordeman, M. R. and Dennard, R. H., "Generalized scaling theory and its application to a ¹/₄ micrometer MOSFET design", *IEEE Trans. Electron device*, V. 31, n°. 4, (1984), 452 462.
- Dennard, R. H., Gaensslen, F. H., Rideout, V. L., Bassous, E. and LeBlanc, A. A., "Design of ion-implanted MOSFET's with very small physical dimensions", *IEEE J. Solid-State Circuits*, V. 9, n°. 5, (1974), 256 268.
- 39. Asenov, A., Brown, A. R., Davies, J. H., Kaya, S. and Slavcheva, G., "Simulation of intrinsic parameter fluctuation in decananometer and nanometer-scale MOSFETs", *IEEE Trans. Electron Dévices*, V. 50, n° 9, (2003), 1837 1852.

- 40. Ando, T., Fowler, B., Stern, F., "Electronic properties of two-dimensional systems", *Rev. Mod. Phys.*, V. 58, n°. 2, (1982), 437 672.
- 41. Autran, J. L. et Munteanu, D., "Les architectures innovantes sur le silicium mince : un second souffle pour la loi de Moore", *Revue de l'Electricité et l'Electronique*, n°. 8, (2003), 21 31.
- 42. Packan, P. et al, "High Performance 32nm Logic Technoloy Featuring 2nd Generation High-k + Metal Gate Transistors", in *Proc. IEDM*, (2009), 1 4.
- 43. Heyns, M. M. and Tsai, W., "Ultimate Scaling of CMOS Logic Devices with Ge and III-V Materials", *MRS Bulletin*, V. 34, (2009), 485 492.
- 44. Houssa, M. and Heyns, M. M., "High-k Gate Dielectrics", edited by M. Houssa (IOP Publishing, Bristol, U.K., 2004), Chap. 1.1.
- 45. Gusev, E. P., Narayanan, V. and Frank, M. M., "Advanced high-k dielectric starcks with PolySi and metal gates: Recent progress and current challenges", IBM j. res. & dev., V. 50, n° 4/5, (2006), 387 410.
- 46. Robertson, J., "High dielectric constant gate oxides for metal oxide Si transistors", *Rep. Prog. Phys.*, V. 69, (2006), 327 396.
- Afanasev, V. V. and Stesmans, A., "Internal photoemission at interfaces of highk insulators with semiconductors and metals", *J. Appl. Phys.*, V. 102, (2007), 081301.
- 48. Chau, R., "Challenges and Opportunities of III-V Nanoelectronics for Future Logic Applications", *in Proc.* 64th Dev. Research Conf., (2006), 3 4.
- 49. Becke, H., Hall, R. and White, J., "Gallium arsenide MOS transistors", *Solid-State Electron.*, V. 8, n° 10, (1965), 813 818.
- 50. Saraswat, K. C., Chui, C. O., Kim, D., Krishnamohan, T. and Pethe, A., "High Mobilily Materials and Novel Device Structures for High Performance Nanoscal MOSFETs", in *IEDM Tech. Dig*, (2006), 1 4.
- 51. Taur, Y., Nowak, E.J, "CMOS Devices below 0.1pm: How high will Performance Go?", *International Electron Devices Meeting IEDM* (1997), 215 218.
- Wakabayashi, H., Yamagami, S., Ikezama, N., Ogura, A., Narihiro, M., Arai, K., Ochiai, Y., Takeuchi, K., Yamamoto T. & Mogami, T., "Sub10nm Planar-Bulk-CMOS Devices Using Lateral Junction Control", in *IEDM Technical Digest*, (December 2003), 989 - 991.

- Morassi, L., Verzellesi, G., Zhao, H., Lee, J.C., Veksler, D., Bersuker, G., "Errors Limiting Split-CV Mobility Extraction Accuracy in Buried-Channel InGaAs MOSFET", *IEEE Transactions on Electron Devices*, vol. 59, n°. 4, (2012), 1068 - 1075.
- 54. Lin, T.D., Chang, P., Wu, Y.D., Chiu, H. C., Kwo, J. et Hong, M., "Achieving very high drain current of 1.23 mA/μm in a 1-μm-gate-length self-aligned inversion-channel MBE-Al₂O₃/Ga₂O₃(Gd₂O₃)/In_{0.75}Ga_{0.25}As MOSFET", *Journal of Crystal Growth 323*, (2011), 518 521.
- 55. Dieter K. Schroder, "Semiconductor Material and Device Characterization", 3rdEdition, by John Wiley & Sons, Inc. New Jersey, (2006), 342 - 347.
- 56. Yang, T., Xuan, Y., Zemlyanov, D., Shen, T., Wu, Y. Q., Woodall, J. M., Ye, P. D., Aguirre-Tastado, F. S., Milojevic, M., MacDonndll, S., et Wallace, R. M., "Interface stadies of GaAs metal-oxide-semiconductor structures using atomic-layer-deposited HfO₂/Al₂O₃ nanolaminate gate dielectric", *Applied Physics Letters*, V. 91. n° 14, (2007), 142122-1 142122-3.
- 57. Koolen, M.C. A. M., Geelen, J. A. M. et Versleijen, M. P. J. G., "An improved de-embedding technique for on-wafer high-frequency characterization", *in Proceddings of Bipolar Circuits and Technology Meeting, IEEE* (1991), 188 191.
- 58. MASON, S. J., "Power Gain in Feedback Amplifiers", IRE *Transactions on Circuit Theory* V.CT-1, (1954), 20 25.
- 59. GUPTA, M. S., "Power Gain in Feedback Amplifiers, a Classic Revisited", *IEEE Transaction on Microwave Theory and Techniques*, V. 40, n° 5, (1992), 864 879.
- 60. Ando, T., Fowler, A. B. and Stern, F., "Electronic Properties of Two Dimensional System", Reviews of Modern Physics, V. 54, n° 2, (1982), 437 672.
- 61. Lundstrom, M., "Fundamental of carrier transport", Cambridge University Press, 2nd Edition, (2000).
- 62. Hamaguchi, C., "Basic semiconductor physics", Springer-Verlag, (2001).
- 63. Takagi, S., Toriumi, A., Iwase, M. and Tango, H., "On the universality of inversion layer mobility in Si MOFET's : Part I- Effects of substracte impurity concentration", *IEEE Transactions On Electron Devices*, V. 41, n° 12, (1994), 2357 2362.
- 64. Chen, K., Wann, H. C., Dunster, J., Ko, P. K., Yshida, C.H., "MOSFET carrier mobility model based on gate oxide thickness, threshold and gate voltages", *SolidState Electronics*, V. 39, n° 10, (1996), 1515 1518.

- 65. Pacelli, A., Spinelli, A. and Perron, L., "Carrier quantization at flat bands in MOS devices", *IEEE Transactions On Electron Devices*, V. 46, n° 2, (1999), 383 387.
- 66. Pop, E., "Energy Dissipation and Transport in Nanoscale Device", *Nano Research*, V. 3, n° 3, (2010), 147 169.
- 67. Sakurai, T., "Perspectives on power-aware electronics", *IEEE International Solid-State Circuit Conference*, V. 1, (2003), 26 29.
- 68. Shinichi, T., Toshifumi, I., Tsutomu, T., Toshinori, N., "Carrier-Transport-Enhanced Channel CMOS for Improved Power Consumption and Performance" *IEEE Transactions on Electron Devices*, V. 55, (2008), 21 - 39.
- 69. Chau, R., Datta, S., Doczy, M., Doyle, B., Jin, B., Kavalieros, J., Majumdar, A., Metz, M., Radosavljevic, M., "Benchmarking Nanotechnology for High-Performance and Low Power Logic Transistor Applications". *IEEE Transaction on Nanotechnology*, V. 4, n° 2, (2005), 153 158.
- 70. Kim, D.H., Del Alamo, J.A., Antoniadis, D. and Brar, B., "Extraction of virtualsource injection velocity in sub-100 nm III-V HFETs", *IEEE International Electron Devices Meeting (IEDM)*, (2009), 35.4.1 - 35.4.4.
- 71. Hu, C., "3D FinFET and other sub-22nm transistors", In Proceedings of International Symposium on the Physical and Failure Analysis of Integrated Circuits, IPFA, (2012), 1 5.
- 72. Hu, C., "Thin-body FinFET as scalable low voltage transistor", Int. Symp. VLSI Technol. Syst. Appl. Peoc., (2012), 1 4.
- 73. Lin, J., Antoniadis, D.A. and del Alamo, J.A., "Impact of Intrinsic Channel Scaling on InGaAs Quantum-Well MOSFETs", *IEEE Transactions on Devices*, V. 62, n° 11, (2015), 3470 3476.
- 74. Del Alamo, J.A., Antoniadis, D.A., Lin, J., Lu, W., Vardi, A. and Zhao, XIN., "Nanometer-Scale III-V MOSFETs", *IEEE Journal of the Electron Device Society*, V. 4, n° 5, (2016), 205 - 214.
- 75. Lee, S., Chobpattana, V., Huang, C-Y., Thibeault, BJ., Mitchell, W., Stemmer, S., Gossard, A.C. and Rodwell, M.J.W., "Record Ion(0.5mA/μm at VDD=0.5V and Ioff=100nA/μm) 25 nm-Gate-Length ZrO2/InAs/InAlAs MOSFETs", 2014 Symposium on VLSI Technology Digest of Technical, (2014), 1 - 2.
- 76. Lin, J., Cai, X., Wu, Y., Antoniadis, D.A. and Del Alamo, J.A., "Record Maximum Transconductance of 3.45 mS/μm for III-V FETs", *IEEE Electron Device Letters*, V. 37, n° 4, (2016), 381 - 384.

- Hisamoto, D., Kedzierski, J., Anderson, E., Takeuchi, H., Asano, K. and Bokor, J., "A folded-channel MOSFET for deep-sub-tenth micro era", *Int. Electron Devices Meet. 1998. Tech. Dig*, V. 39, (1998), 1032 - 1034.
- Huang, X., Lee, W.C., Kuo, C., Hisamoto, D., Chang, L., Kedzierski, J., Anderson, E., Takeuchi, H., Choi, Y-K., Asano, K., Subramanian, V., King, T-J., Bokor, J. and Hu, C., "Sub 50-nm FinFET: PMOS", *in International Electron Devices Meeting 1999. Technical Digest*, (1999), 67 - 70.
- 79. Hisamoto, D., Lee, W.C., Kuo, C., Hisamoto, D., Chang, L., Kedzierski, J., Anderson, E., Takeuchi, H., Choi, Y-K., Asano, K., Subramanian, V., King, T-J., Bokor, J. and Hu, C., "FinFET- A self-aligned double-gate MOSFET scable to 20 nm", *IEEE Trans. Electron Devices*, V. 47, n° 12, (2000), 2320 - 2325.
- 80. Loukil, R., "Semi-conducteurs : Samsung met fin à l'avance technologique d'Intel en production", *usine-digitale.fr*, (2015).
- 81. Vardi, A., Zhao, X. and del Alamo, J.A., "InGaAs Double-gate fin-sidewall MOSFET", *IEEE Device Research Conference*, (2014), 219 220.
- 82. Waldron, N., Merckling, C., Guo, W., Ong, P., Teugels, L., Ansae, S., Tsvetanova, D., Sebaai, F., Van Drop, D. H., Milenin, A., Lin, D., Nyns, L., Mitard, J., Pourghaderi, A., Douhard, B., Richard, O., Bender, H., Boccardi, G., Caymax, M., Heyns, M., Vandervorst, W., Barla, K., Collaert, N. and Thean, Y., "An InGaAs/InP quantum well FinFET using the replacement fin process integrated in RMG flow on 300 mm Si Substrates", *IEEE 2014 Symposium on VLSI Technology Digest of Technical Papers*, (2014), 1 2.
- 83. Zhang, C. and L, X., "III-V Nanowire Transistors for low-Power Logic Applications: A Review and Outlook", *IEEE Transaction on Electron Devices*, V.63, n° 1, (2016), 223 234.
- 84. Lescaut, J. F. B., Nissim, Y. I., "Passivation of InGaAs surfaces with an integrated process including an ammonia DECR plasma", *Indium Phosphide Related Materials*, (1996), 1 4.
- 85. Chu, L. K., Chu, R. L., Lin, T. D., Lee, W. C., Lin, C. A., Huang, M. L., Lee, Y. J., Kwo, J. and Hong, M., "Effective passivation and high-performance metal-oxide-semiconductor devices using ultra-high-vacuum deposited high-k dielectrics on Ge without interfacial layers", *Solid. State. Electron*, V. 54, n° 9, (2010), 965 971.
- 86. Suzuki, S., Kodoma, S., Tomozawa, H. and Hasegawa, H., "InGaAs Insulated Gate Effect Transistors Using Silicon Interlayer Based Passivation Technique", *Indium Phosphide Related Materials*, V. 3, (1995), 436 - 439.

- Billaud, M., Duvernay, J., Grampeix, H., Pelissier, B., Martin, M., Baron, T., Boutry, H., Chalupa, Z., Cass, M., Ernst, T. and Vinet, M., "Al₂O₃/InGaAs interface study on MOS capacitors for 300mm process integration", *EUROSOI-ULIS 2015, 2015 Joint International EUROSOI Workshop and International Conference on Ultimate Integration on Silicon*, (2015), 113 - 116.
- Alian, A., Brammerts, G., Degraeve, R., Cho, M., Merckling, C., Lin, D., Wang, W. E., Caymax, M., Meuris, M., De Meyer, K. and Heyns, M., "Oxide Trapping in the InGaAs/Al₂O₃ System and the Role of Sulfur in Reducing the Trap Density", *IEEE Electron Device Lett.*, V. 33, n° 11, (2012), 1544 - 1546.
- Nainani, A., Irisawa, T., Yuan, Z., Sun, Y., Krishnamohan, T., Reason, M., Bennett, B. R., Boos, J. B., Ancona, M. G., Nishi, Y. and Saraswat, K.C., "Development of high-k dielectric for antimonides and sub 350°C III-V pMOSFET outperforming Germanium", *in IEEE International Electron Devices Meeting. IEDM*, (2010), 138 - 141.
- Xiu Xing and Fay, P. J., "Enhancement-Mode Pseudomorphic In_{0.22}Ga_{0.78}As-Channel MOSFETs With Ultrathin InAlP Native Oxide Gate Dielectric and Cutoff Frequency of 60 GHz", *IEEE Electron Device Letters*, V. 31, n° 11, (2010), 1214 - 1216.
- 91. Ho, H. C., Fan, T. W., Liau, G. Y., Lin, H. K., Chiu, P. C., Chyi, J. I., Ko, C. H., Kuan, T. M., Hsieh, M. K., Lee, W. C. and Wann, C. H., "DC and RF characteristics of InAs-channel MOS-MODFETs using PECVD SiO₂ as gate dielectrics", *in International Conference on Indium Phosphide & Related Materials IPRM*, (2010), 1 - 4.
- 92. Chin, H. C., Liu, X., Gong, X. and Yeo, Y. C., "Silane and Ammonia Surface Passivation Technology for High-Mobility In_{0.53}Ga_{0.74}As MOSFETs", *IEEE Transactions on Electron Devices*, V. 57, n° 5, (2010), 973 979.
- 93. Lin, J., Lee, S., Oh, H. J., Yang, W., Lo, G. Q., Kwong, D. L. and Chi, D. Z., "Plasma PH₃-passivated high mobility inversion InGaAs MOSFET fabricated with self-aligned Gate-First process and HfO₂/TaN gate stack", *in IEEE International Electron Devices Meeting*, (2008), 1 - 4.
- 94. Lin, T. D., Chang, P., Wu, Y. D., Chiu, H. C., Kwo, J. and Hong, M., "Achieving very high drain current of 1.23mA/[mu]m in a 1-μm-gate-legth self-aligned inversion-channel MBE-Al₂O₃/Ga₂O₃(Gd₂O₃)/In_{0.75}Ga_{0.25}As MOSFET", *Journal* of Crystal Growth, (2011), 518 - 521.
- 95. Lee, W. C., Chang, P., Lin, T. D., Chu, L. K., Chiu, H. C., Kwo, J. and Hong, M., "InGaAs and Ge MOSFETs with high [kappa] dielectrics", *Microelectronic Engineering*, V. 88, n° 4, (2011), 336 - 341.

- 96. Hwang, Y., Chobpattana, V., Zhang, J. Y., LeBeau, J. M., Engel-Herbert, R. and Stemmer, S., "Al-doped HfO₂/In_{0.53}Ga_{0.74}As metal-oxide-semiconductor capacitors", *Applied Physics Letters*, V. 98, n° 14, (2011), 142901 142901-3.
- 97. Ivana, "InGaAs n-MOSFETs with CMOS compatible source/drain technology and the integration on Si platform", Thèse, Natl. Univ. Singapore, (2013).
- Czornomaz, L., El Kazzi, M., Hopstaken, M., Caim, D., MacHler, P., Rossel, C., Bjoerk, M., Machiori, C., Seigwart, H. and Fompeyrine, J., "CMOS compatible self-aligned S/D region for implant-free InGaAs MOSFETs", Solid-State Electronics, V. 74, (2012), 71 - 76.
- 99. Kim, S., Yokoyama, M., Nakane, R., Ichikawa, O., Osada, T., Hata, M., Takenaka, M. and Takagi, S., "High-performance InAs-On-Insulator n-MOSFETs With Ni-InGaAs S/D Realized by Contact Resistance Reduction Technology", IEEE Transactions on Electron Devices, V. 60, n° 10, (2013), 3342 - 3350.
- 100.Ishii, H., Miyata, N., Urabe, Y., Itatani, T., Yasuda, T., Yamada, Fukuhara, N., Hata, M., Deura, M., Sugiyama, M., Takenaka, M. and Takagi, S., "High Electron Mobility Metal-Insulator-Semiconductor Field-Effect Transistors Fabricated on (111)-Oriented InGaAs Channels", *Appl. Phys. Express*, V. 2, n° 12, (2009), 12101.1 - 12101.3.
- 101.Egard, M., Ohlsson, L., Borg, B. M., Lenrick, F., Wallenberg, R., Wernersson, L.-E. and Lind, E., "High transconductance self-aligned Gate-Last surface channel In_{0.53}Ga_{0.47}As MOSFET", in IEEE International Electron Device Meeting (IEDM), (2011), 13.2.1 - 13.2.4.
- 102.Wu, Y.Q., Xu, M., Wang, R.S., Koybasi, O. and Ye, P. D., "High Performance Deep-Submicron Inversion-Mode InGaAs MOSFETs with maximum Gm exceeding 1.1 mS/μm: New HBr pretreatment and channel engineering", *in IEEE International Electron Devices Meeting (IEDM)*, (2009), 1 4.
- 103.Lin, J.Q., Lee, S. J., Oh, H. J., Lo, G. Q., Kwong, D. L. and Chi, D. Z., "Inversion-Mode Self-Aligned In_{0.53}Ga_{0.47}As N-Channel Metal-Oxide-Semiconductor Field-Effect Transistor with HfAlO Gate Dielectric and TaN Metal Gate", *IEEE Electon Device Letters*, V. 29, n° 9, (2008), 977 – 980.
- 104.Xuan, Y., Wu, Y. Q., Lin, H. C., Shen, T. and Ye, P. D., "Submicrometer Inversion-Type Enhancement-Mode InGaAs MOSFET with Atomic-Layer-Deposited Al₂O₃ as Gate Dielectric", *IEEE Electron Device Letters*, V. 28, n° 11, (2007), 935 - 938.
- 105.Chen, Y.-T., Zhao, H., Wang, Y., Xue, F., Zhou, F. and Lee, J. C., "Fluorinated HfO2 gate dielectric engineering on In_{0.53}Ga_{0.47}As metal-oxide-semiconductor field-effect-semiconductors", *Applied Physics Letters*, V. 96, n° 10, (2010), 10350.1 103506.3.

- 106.Radosavljevic, M., Dewey, G., Fastenau, J. M., Kavalieros, J., Kotlyar, R., Chu-Kung, B., Liu, W. K., Lubyshev, D., Metz, M., Millard, K., Mukherjee, N., Pan, L., Pillarisetty, R., Rachmady, W., Shah, U. and Chau, R., "Non-planar, multi-gate InGaAs quantum well field effect transistors with high-k gate dielctric and ultrascaled gate-to-drain/gate-to-source separation for low power logic application", *in IEEE International Electron Devices Meeting (IEDM)*, (2010), 6.1.1 - 6.1.4.
- 107.Gu, J. J., Liu, Y. Q., Wu, Y. Q., Colby, R., Gordon, R. G. and Ye, P. D., "First experimental demonstration of gate-all-around III-V MOSFETs by top-down approach", in IEEE International Electron Devices Meeting (IEMD), (2011), 33.2.1 33.2.4.
- 108.Lin, H. C., Yang, T., Sharifi, H., Kim, S. K., Xuan, Y., Shen, T., Mohammadi, S. and Ye, P. D., "Enhancement-mode GaAs metal-oxide-semiconductor highelectron-mobility transistors with atomic layer deposited Al₂O₃ as gate dielectric", Appl. Phys. Lett., V. 91, n° 21, (2007), 212101.1 - 212101.3.
- 109. Kim, S. H., Yokoyama, M., Taoka, N., Nakane, R., Yasuda, T., Ichikawa, O., Fukuhara, N., Hata, M., Takenaka, M. and Tagachi, S., "Sub-60 nm Deeply-Scaled Channel Length Extremely-thin Body In_xGa_{1-x}As-On-Insulator MOSFETs on Si with Ni-InGaAs Metal S/D and MOS Interface Buffer Engineering", *Symposium of VLSI Technology Digest of Technical Papers*, (2012), 177 – 178.
- 110. Gu, J. J., Koybasi, O., Wu, Y. Q. and Ye, P. D., "III-V-on-nothing metal-oxidesemiconductor field-effect transistors enabled by top-down nanowire release process: Experiment and simulation", Appl. Phys. Lett., V. 99, n° 11, (2011), 112113.1 - 112113.3.
- 111. Xuan, Y., Wu, Y. Q., Lin, H. C., Shen, T. and Ye, P. D., "High-performance submicron inversion-type enhancement-mode InGaAs MOSFET with maximum drain current of 360 mA/mm and transconductance of 130 mS/mm", *in Device Research Conference*, (2007), 207 208.
- 112. Lin, D., Brammertz, G., Sioncke, S., Fleischmann, C., Delabie, A., Martens, K., Bender, H., Conard, T., Tseng, W. H., Lin, J. C., Wang,W. E., Temst, K., Vatomme, A., Mitard, J., Caymax, M., Meuris, M., Heyns, M. and Hoffmann, T., "Enabling the high-performance InGaAs/Ge CMOS: a common gate stack solution", *in IEEE International Electron Devices Meeting (IEDM)*, (2009), 1 - 4.
- 113. Tomioka, K., Yoshimura, M. and Fukui, T., "Vertical In_{0.7}Ga_{0.3}As nanowire surrounding-gate transistors with high-k gate dielectric on Si substrate", *in IEEE International Electron Devices Meeting (IEDM)*, (2011), 33.3.1 33.3.4.
- 114. Zhao, H., Zhu, F., Chen, Y.-T., Yum, J. H., Wang, Y. and Lee, J. C., "Effect of channel doping concentration and thickness on device performance for In_{0.53}Ga_{0.47}As metal-oxide-semiconductor transistors with atomic-layer-

deposited Al₂O₃ dielectrics", Applied Physics Letters, V. 94, n° 9, (2009), 093505 - 093505-3.

- 115. Oh, H. J., Lin, J. Q., Suleiman, S., Lo, G. Q., Kwong, D. L., Chi, D. Z. and Lee, S. J., "Thermally robust phosphorous nitride interface passivation for InGaAs self-aligned Gate-First n-MOSFET integrated with high—k dielectric", *in IEEE International Elecron Devices Meeting (IEDM)*, (2009), 13.6.1 - 13.6.4.
- 116. Sun, Y., Kiewra, E. W., de Souza, J. P., Bucchignano, J.J., Fogel, K. E., Sadana, D. K. and Shahidi, G. G., "Scaling of In_{0.7}Ga_{0.3}As buried-chanal MOSFETs", *in IEEE International Electon Devices Meeting*, (2008), 1 4.
- 117. Sun, Y., Kiewra, E. W., Koester, S. J., Ruiz, N., Callegari, A., Fogel, K. E., Sadana, D. K., Fompeyrine, J., Webb, D. J., Locquet, J.-P., Sousa, M., Germann, R., Shiu, K. T. and Forrest, S.R., "Enhancement-Mode Buried-Channel MOSFETs with High-k Gate Dielectrics", *IEEE Electron Device Letters*, V. 28, n° 6, (2007), 473 - 475.
- 118. Bentley, J., Holland, M., Li, X., Paterson, G. W., Zhou, H., Ignatova, O., Macintyre, D., Thoms, S., Asenov, A., Shin, B., Ahn, J., McIntyre, P. C. and Thayne, I. G., "Electron Mobility in surface- and Buried-Channel Flatband In0.53Ga0.47AS MOSFETs with ALD Gate Dielectric", IEEE Electron Device Letters, V. 32, n° 4, (2011), 494 - 496.
- 119. Sun, Y., Kiewra, E. W., de Souza, J. P., Koester, S. J., Fogel, K. E. and Sadana, D. K., "Enhancement-mode In_{0.7}Ga_{0.3}As-channel MOSFETs with ALD Al₂O₃", *Device Research Conference*, (2007), 209 - 210.
- 120. Lee, K-W., Lee, K-L., Lin, X-Z., Tu, C-H. and Wang, Y-H., "Improvement of Impact Ionization Effect and Subthreshold Current in InAlAs/InGaAs Metal-Oxide-Semiconductor Metamorphic HEMT with Liquid-Phase Oxideized InAlAs as Gate Insulator", *IEEE Transactions on Electron Devices*, V. 54, n° 3, (2007), 418 - 424.
- 121. Hill, R. J. W., Moran, D. A. J., Li, X., Zhou, H., Macintry, D., Thoms, S., Asenov, A., Zurcher, P., Rajagopalan, K., Abrokwah, J., Droopad, R., Passlak, M. and Thayne, I. G., "Enhancement-Mode GaAs MOSFETs with an In_{0.3}Ga_{0.7}As Channel, a Mobility of Over 5000cm²/Vs, and Transconductance of Over 475 μS/μm", *IEEE Electron Device Letters*, V. 28, n° 12, (2007), 1080 1082.
- 122. Zhao, H., Chen, Y.-T., Yum, J. H., Wang, Y., Zhou, F., Xue, F. and Lee, J. C., "Effect of barrier layers on device performance of high mobility In_{0.3}Ga_{0.7}As metal-oxide –semiconductor field-effect-transistors", *Applied Physics Letters*, V. 96, n° 10, (2010), 102101 - 102101-3.

- 123. Xuan, Y., Wu, Y. Q. and Ye, P. D., "High-Performance Inversion-Type Enhancement-Mode InGaAs MOSFET With Maximum Drain Current Exceeding 1 A/mm", *IEEE Electron Device Letters*, V. 29, n° 4, (2008), 294 296.
- 124. Radosavljevic, M., Chu-Kung, B., Corcoran, S., Dewey, G., Hudait, M. K., Fastenau, J. M., Kavalieros, J., Liu, W. K., Lubyshev, D., Metz, M., Millard, K., Mukherjee; N., Rachmady, W., Shah, U. and Chau, R., "Advanced high-k gate dielectric for high-performance short-channel In_{0.3}Ga_{0.7}As quantum well field transistors on silicon substrate for low power logic applications", *in IEEE International Electron Devices Meeting (IEDM)*, (2009),1 4.
- 125. Yonai, Y., Kanazawa, T., Ikeda, S. and Miyamoto, Y., "High drain current (>2A/mm) InGaAs channel MOSFET at V_D=0.5V with shrinkage of channel length by InP anisotropic etching", *in* IEEE International Electron Devices Meeting (IEDM), (2011), 13.3.1 - 13.3.4.
- 126. Hill, R. J. W., Park, C., Barnett, J., Price, J., Huang, J., Goel, N., Loh, W. Y., Oh, J., Smith, C. E., Kirsch, P., Majhi, P. and Jammy, R., "Self-aligned III-V MOSFETs heterointegrated on 200 mm Si substrate using an industry standard process flow", *in IEEE International Devices Meeting (IEDM)*, (2010), 6.2.1 6.2.4.
- 127. Oktyabrsky, S., Koveshnikov, S., Tokranov, V., Yakimov, M., Kamblhampati, R., Bakhru, H., Zhu, F., Lee, J. and Tsai, W., "InGaAs and GaAs/InGaAs Channel Enhancement Mode n-MOSFETs With HfO2 Gate Oxide and a-Si Interface Passivation Layer", *Device Research Conference*, (2007), 203 204.
- 128. Zhu, F., Zhao, H., Ok, I., Kim, H. S., Yum, J., Lee, J. C., Goel, N., Tsai, W., Graspe, C. K. and Santos, M. B., "A high performance In_{0.53}Ga_{0.47}As metal-oxide –semiconductor field effect transistor with silicon interface passivation layer", *Applied Physics Letters*, V. 9, n° 1, (2009), 013511 0.13511-3.
- 129. Yokoyama, M., Iida. R., Kim, S., Taoka, N., Urabe, Y., Takagi, H., Tasuda, T., Yamada, H., Fukuhara, N., Hata, M., Sugiyama, M., Nakano, Y., Takenaka, M. and Takagi, S., "Sub-10-nm Extremely Thin Body InGaAs-on-Insulator MOSFETs on Si Wafers With Ultrathin Al₂O₃ Buried Oxide Layers", *IEEE Electron Device Letters*, V. 32, n° 9, (2011), 1218 - 1220.
- 130. Xue, F., Zhao, H., Chen, Y.-T., Wang, Y., Zhou, F. and Lee, J. C., "InAs inserted InGaAs buried channel metal-oxide-semiconductor field-effect-transistors with atomic-layer-deposited gate dielectric", *Applied Physics Letters*, V. 98, n° 8, (2011), 082106 082106-3.
- 131. Rajagopalan, K., Zurcher, P., Abrokwah, J., Droopad, R., Moran, D. A. J., Hill, R. J. W., Li, X., Zhou, H., McIntyre, D., Thomas, S. A. T., Thayne, I. G. A. T. and Passlack, M. A. P., "Enhancement Mode n-MOSFET with High-k Dielectric on GaAs Substrate", *Device Research Conference*, (2007), 205 - 206.

- 132. Rajagopalan, K., Droopad, R., Abrokwah, J., Zurcher, Fejes, P. and Passlack, M., "1-μm Enhancement Mode GaAs N-Channel MOSFETs With Transcondcutance Exceeding 250mS/mm", *IEEE Electron Device Letters*, V. 28, n° 2, (2007), 100 - 102.
- 133. Egard, M., Ohlsson, L., Ärlelid, M., Persson, K. M., Borg, B. M., Lenrick, F., Wallenberg, R., Lind, E. and Wernersson, L. E., "High-frequency performance of self-aligned gate-last surface channel In_{0.53}Ga _{0.47}As MOSFET", *IEEE Electron Device Lett.*, V. 33, n° 3, (2012), 369 371.
- 134. Chang, C. Y., Hsu, H. T., Chang, E. Y., Trinh, H. D. and Miyamoto, Y., "InAs-Channel Metal-Oxide-Semiconductor HEMTs with Atomic-Layer-Deposited Al₂O₃ Gate Dielectric", *Electrochem. Solid-State Lett.*, V. 12, n° 12, (2009), H256 - H459.
- 135. Datta, S., Ashley, T., Brask, J., Buckle, L., Doczy, M., Emeny, M., Hayes, D., Hilton, K., Jefferies, R., Martin, T., Philips, T. J., Wallis, D., Wilding, P. and Chau, R., "85nm gate length enhancement and depletion mode InSb quantum well transistors for ultra high speed and very low digital logic applications", *in IEEE International Electron Devices Meeting*, (2005), 763 - 766.
- 136. Dae-Hyun, K., Tae-Woo, K., Hill, R. J. W., Young, C. D., Chang, K. W., Hobbs, C., Kirsch, P., del Alamo, J. A. and Jammy, R., "High-Speed E-Mode InAs QW MOSFETs With Al₂O₃ Insulator for Future RF Applications", *Electron Device Lett. IEEE*, V. 34, n° 2, (2013), 196 - 198.
- 137. Gorospe, B., Nguyen, K. and Mei, X. B., "A 670 GHZ Low Noise Amplifier with < 10 dB Packaged Noise Figure", *IEEE Microwave and Wireless Components Letters*, V. 26, n° 10, (2016), 837 839.
- 138. Kim, T. W., Kim, D. H. and Del Alamo, J. A., "60 nm self-aligned-gate InGaAs HEMTs with record high-frequency characteristics", *Tech. Dig. Int. Electron Devices Meet. IEDM*, (2010), 696 699.
- 139. Ashley, T., Dean, A. B., Elliott, R., Jefferies, R., Khaleque, F. and Phillips, T. J., "High-speed. Low-power InSb transistors", *IEEE International Electron Devices Meeting*, (1997), 751 - 754.
- 140. Wang, Y. C., Hong, M., Kuo, J. M., Mannerts, J. P., Kwo, J., Tsai, H. S., Krajewski, J. J., Chen, Y.K. and Cho, A. Y., "Demonstration of submicron depletion-mode GaAs MOSFETs with negligible drain current drift and hysteresis", *IEEE Electron Device Letters*, V. 20, n° 9, (1999), 457 459.
- 141. Ho, H-. C., Fan, T. W., Liau, G. Y., Lin, H. K., Chiu, P. C., Chyi, J. I., Ko, C. H., Kuan, T. M., Kuan, T. M., Hsieh, M. Lee, W. C. end Wann, C. H., "DC and RF characteristics of InAs-channel MOS-MODFTs using PECVD SiO2 as gate

dielectrics", in International Conference on Indium Phosphide & Related Materials, (2010), 1-4.

- 142. Lin, T. D., Chang, P., Chiu, H. C., Hong, M., Kwo, J., Lin, Y. S. and Hsu, S. S. H., "dc and rf characteristics of self-aligned inversion-channel In_{0.53}Ga _{0.47}As metal-oxide-semiconductor field-effect transistors using molecular beam epitaxy- Al₂O₃/Ga₂O₃(Gd₂O₃) as gate dielectrics", *J. Vac. Sci. Techmol. B*, V. 28, n° 3, (2010), C3H14 C3H17.
- 143. Xu, D., Kong, W. M., Yang, X., Mohnkern, L., Seekell, P., Pleasant, L. Mt., Duh, K. G., Smith, P. M. and Chao, P.-C., "50-nm Metamorphic High-Electron-Mobility Transistors With High Gain and High Breakdown Voltages", *IEEE Electron Device Letters*, V. 9, n° 8, (2009), 793 795.
- 144. Chiu, H. C., Chen, C. H., Lin, C. K. and Fu, J. S., "High electrical performance liquid-phase HBr oxidation gate insulator of InAlAs/InGaAs metamorphic MOSmHEMT", *Microelectronics Reliability*, V. 51, n° 8, (2011), 1337 - 1341.
- 145. Lin, H. K., Fan, D. W., Lin, Y. C., Chiu, P. C., Chien, C. Y., Li, P. W., Chyi, J. I., Ko, C. H., Kuan, T. M., Hsieh, M. K., Lee, W. C. and Wann, C. H., "E-beam-evaporated Al₂O₃ for InAs/AlSb metal-oxide-semiconductor HEMT development", *Solid-State Electronics*, V. 54, n° 5, (2010), 505 508.
- 146. Kim, D.-H., Brar, B. and del Alamo, J. A., "f_T=688 GHZ and f_{max}=800GHZ in L_g=40nm In_{0.7}Ga_{0.3}As MHEMTs with g_{mmax}>2.7mS/mm", *in IEEE International Electon Devices Meeting (IEDM)*, (2011), 13.6.1 13.6.4.
- 147. Kim, T. W., Kim, D. H. and Del Alamo, J. A., "InGaAs HEMT with InAs-rich InAlAs barrier spacer for reduced source resistance", *Electronics Letters*, V. 47, n° 6, (2011), 406 - 407.
- 148. Raynaud, C., Autran, J. L., Masson, P., Bidaud, M. and Poncet, A., "Analysis of MOS Device Capacitance-Voltage Characteristics Based on the Self-Consistent Solution of the Schrödinger and Poisson Equations", *Mater. Res. Soc. Symp. Proc*, V. 592, (2000), 159-164.
- 149. Wang, J., Ma, Y., Tian, L., and Li, Z., "Modified Airy function method for modeling of direct tunneling current in metal-oxide-semiconductor structures", *Appl. Phys. Lett.*, V. 79, (2001), 1831-1833.
- 150. Buchanan, D.A., "Scaling the gate dielectric: Materials, integration and reliability", *IBM Journal of Research and Development.*, V. 43, n° 3, (1999), 245-264.
- 151. Lo, S.H., Buchanan, D.A., Taur, T. et al., "Quantum-Mechanical Modeling of Electron Tunneling Current from the Inversion Layer of Ultra-Thin-Oxide nMOSFET's", *IEEE Electron Device Letters.*, V. 18, n° 5, (1997), 209-211.

- 152. Stathis, J.H., "Reliability limits for the gate insulator in CMOS technology", *IBM J. RES. & DEV.*, V. 46, (2002), 265-286.
- 153. Wallace, R.M. et Wilk, G., "Alternative gate dielectrics for microelectronics", *MRS bulletin*, V. 27, (2002), 186-191.
- 154. Huang, M.L., Chang, Y.C., Chang, C.H., Lee, Y.J., Chang, P., Kwo, J., Wu, T.B., and Hong, M., "Surface passivation of III-V compound using atomic-layerdeposition-grown Al₂O₃", *Applied Physics Letters*, V. 87, n° 25, (2005), 252104-252104-3.
- 155. Cassé, M., Thevenod, L., Guillaumot, B. et al., "Carrier transport in HfO₂ metal gate MOSFETs : a physical insight into critical parameters", *IEEE Transactions Electron Devices*, V. 53, n° 4, (2006), 759-768.
- 156. Esseni, D., and Abramo, A., "Modeling of electron mobility degradation by remote Coulomb scattering in ultrathin oxide MOSFETs", *IEEE Transactions Electron Devices*, V. 50, n° 7, (2003), 1665-1674.
- 157. Poli, S., Pala, M.G., Poiroux, T., and Deleonibus, S., "Size dependence of surface-roughness limited mobility in silicon-nanowire FETs", *IEEE Transactions Electron Devices*, V. 55, n° 11, (2008), 2968-2976.
- 158. Fischetti, M.V., Neumayer, D.A., and Cartier, E.A., "Effective electron mobility in Si inversion layers in metal-oxide-semiconductors systems with a high-k insulator : the role of remote phonon scattering", *J. Appl. Phys.*, V. 90, (2001), 4587-4608.
- 159. Zhuo, Y., Jing-zhi, Y., and Yong, H., "Effect of alumina thickness on Al2O3/InP interface with post deposition annealing in oxygen ambient", *Chinese Phys. B*, V. 23, n° 7, (2014), 0773051-0773056.
- 160. Thayne, I.G., Hill, R.J.W., Holland, M.C. et al., "Review of Current Status of III-V MOSFETs", ECS Transactions, V. 19, n°5, (2009), 275-286.
- 161. Thurber, W.R., Mattis, R.L., and Liu, Y.M., "Resistivity-Dopant density Relationship for Phosphorus Doped Silicon", J. Electrochem. Soc.: Solid State Sci. &Technol., V. 127, (1980), 1807-1812.
- 162. Caughey, D.M., and Tomas, R.E., "Carrier Mobilities in Silicon Empirically Related to Doping and Field", Proceedings of the IEEE, (1967), 2192-2193.
- 163. Yu, Z., Chen, D., So, L., Dutton, R.W., Beeb, S.G., Goossens, R.J.G., and Rottella, F.M., "Pieces- 2ET and its applications subsystems", *Integrated Circuits Laboratory*, Stanford University, California, 1994.

- 164. Shockley, W., and Read, W.T., "Statistics of Recombination of Holes and Electrons", *Phys. Rev.*, V. 87, n°5, (1952), 835-842.
- Hall, R.N., "Electron Hole Recombination in Germanium", *Phys. Rev.*, V.87, n°2, (1952), 387-387.
- Silvaco, "Atlas User's Manual, Device simulation software", Chap.5, p. 216-22, (2016).
- 167. Ammi, S., Aissat, A., Wichmann, N., and Bollaert, S., "Investigation of the UTB-InAs-MOSFETs structure", Materials Science in Semiconductor Processing, V. 96, (2019), 41-45.
- 168. Zhang, X., Guo, H., Gong, X., Zhou, Q., Lin, Y. R., Lin, H. Y. et al., "In0.7Ga0.3As Channel n-MOSFET with Self-Aligned Ni–InGaAs Source and Drain", *Electrochemical and Solid-State Letters*, V. 14, (2011), p. H60-H62.
- 169. Ridaoui, M., Pastorek, M., Fadjie, A. B. D., Wichmann, N., Jaouad, A., Maher, H., and Bollaert, S., "Ultra-Thin-Body InAs-MOSFETs with elevated Source/Drain contacts", *Compound Semiconductor Week, Toyama, Japan*, IEEE Xplore, 2016.
- 170. http://www.ioffe.rssi.ru/SVA/NSM/.
- 171. Vurgaftman, I., Meyer, J. R., and Ram-Moham, L. R., "Band Parameters for III-V Compound Semiconductors and their Alloys", Journal of Applied Physics, V. 89, n° 11, (2001), 5815-5875.
- 172. Adachi, S., "III-V Ternary and Quaternary Compounds", Springer Handbook of Electronic and Photonic Materials, (2017), 725-741.

Publications:

- <u>S. Ammi</u>, A. Aissat, N. Wichmann, and S. Bollaert, "Investigation of the UTB-InAs-MOSFETs structure", Materials Science in Semiconductor Processing, V. 96, (2019), 41-45.
- <u>S. Ammi</u>, A. Aissat, N. Wichmann, and S. Bollaert, "III-V MOSFET Structure (InP/InGaAs/InAlAs) I-V Characteristics using Silvaco TCAD Simulator", Springer Nature Singapore Pte Ltd, LNEE V. 519, (2019), 207-215.
- L. Chenini, A. Aissat, <u>S. Ammi</u> and J.P. Vilcot, "Investigation of Temperature, Well Width and Composition Effects on the Intersubband Absorption of InGaAs/GaAs Quantum Wells", In book: Springer Nature Singapore Pte Ltd, LNEE V. 681, (2020), 325-332
- 4. <u>S. Ammi</u>, L. Chenini, and A. Aissat, "Impact of InGaAs Thikness and Indium content on the Performance of (InP/InGaAs/InAlAs) MOSFET Structure", In book: Springer Nature, (2021), 347-352.

Conferences nationales et internationales:

- 1. <u>S. Ammi</u>, A. Aissat, L. Chenini, and S. Nacer, "Electronic bands structures and optical conditions of InGaNAs/GaAs and GaNAsSb/GaAs quantum wells calculated by k.p models", The Third International Seminar on Lasers and Applications, (2010), Constantine, Algérie.
- A. Aissat, <u>S. Ammi</u>, and L. Chenini, "Investigation of Optical Gain of GaNAsSb/GaAs Strained Quantum Wells", Colloque international Journée Franco-Maghrébine, JFMMA, (2011), Tanger, Maroc.
- 3. A. Aissat, L. Chenini, and <u>S. Ammi</u>, "L'effet de l'azote sur les propriétés d'une structure à puits quantique constraint pour la détection des gaz", Congrés Méditerranéen des Télécommunications CMT, (2012), Fes, Maroc.
- 4. <u>S. Ammi</u>, A. Aissat, and L. Chenini, "Simulation of MOSFETs based on structures of III-V semiconductors", The fourth International Seminar on Lasers and Applications, (2012), Constantine, Algérie.
- L. Chenini, A. Aissat, and <u>S. Ammi</u>, "Intersubband Infrared Trace Gas Detector In_xGa_{1-x}N_yAs_{1-y}/GaAs Operating at Wavelength 4-12μm", 3rd International conference on Optics Photonics and their Application (ICOPA'2013), Bab-Ezzouar, Algérie.

- A. Aissat, L. Chenini, and <u>S. Ammi</u>, "Theoretical Analysis of Temperature Dependence of Material Parameters in GaAsSbN/GaAs Intersubband Quantum Wells", 2014 International Conference on Multimedia Computing and Systems (ICMS), (2014), Marrakech, Maroc.
- L. Chenini, A. Aissat, and <u>S. Ammi</u>, "Composition Dependence of Intersubband Transition in In_xGa_{1-x}N_yAs_{1-y}/GaAs Strained Single Quantum Wells", Congrès Méditerranéen des Télécommunications, (2014), Mohammadia, Maroc.
- <u>S. Ammi</u>, N. Wichmann, A. Aissat, and S. Bollaert, "Simulation des structures MOSFET-InAs avec Silvaco-Atlas", 15ème Journées Nano, Micro et Optoélectronique, JNMO 2016, Les Issambres, France.
- <u>S. Ammi</u>, A. Aissat, N. Wichmann, and S. Bollaert, "III-V MOSFET Structure (InP/InGaAs/InAlAs) I-V Characteristics using Silvaco TCAD Simulator", The 1st International Conference on Electronic Engineering and Renewable Energy, ICEERE 2018, Saidia, Maroc.
- L. Chenini, A. Aissat, <u>S. Ammi</u>, and J. P. Vilcot, "Investigation of Temperature, Well Width and Composition Effects on the Intersubband Absorption of InGaAs/GaAs Quantum Wells", The 2nd International Conference on Electronic Engineering and Renewable Energy, ICEERE 2020, Saidia, Maroc.
- <u>S. Ammi</u>, L. Chenini, and A. Aissat, "Impact of InGaAs Thikness and Indium content on the Performance of (InP/InGaAs/InAlAs) MOSFET Structure" The 2nd International Conference on Electronic Engineering and Renewable Energy, ICEERE 2020, Saidia, Maroc.