

Andrew Tanenbaum

ARCHITECTURE DE L'ORDINATEUR

Troisième édition



INFORMATIQUE
ia
INTELLIGENCE ARTIFICIELLE

© InterEditions

Sommaire

Préface de la troisième édition	13
Chapitre 1 Introduction	17
1.1. Langages et machines virtuelles	20
1.2. Les machines multi-couches actuelles	21
1.3. L'histoire des machines multi-couches	24
1.4. Matériel et logiciel	27
1.5. Les grandes étapes de l'architecture des ordinateurs	30
1.5.1. La génération zéro	
Les calculateurs mécaniques (1642-1945)	30
1.5.2. La première génération	
Les tubes à vide (1945-1955)	33
1.5.3. La deuxième génération	
Les transistors (1955-1965)	36
1.5.4. La troisième génération	
Les circuits intégrés (1965-1980)	39
1.5.5. La quatrième génération	
Ordinateurs personnels et VLSI (1980-199?)	40
1.5.6. La famille Intel	42
1.5.7. La famille Motorola	44
1.6. Plan de l'ouvrage	46
1.7. Exercices	48
Chapitre 2 Structure d'un ordinateur	51
2.1. Les processeurs	51
2.1.1. L'exécution d'une instruction	52
2.1.2. Organisation de l'UC	55
2.1.3. Exécution d'instructions en parallèle	56

8 Architecture de l'ordinateur

2.2. La mémoire	61
2.2.1. Les bits	62
2.2.2. Les adresses mémoire	62
2.2.3. Ordonnancement des octets	64
2.2.4. Les codes correcteurs d'erreurs	66
2.2.5. Les mémoires secondaires	71
2.3. Les entrées/sorties	80
2.3.1. Les terminaux de visualisation	84
2.3.2. Les modems	90
2.3.3. Les souris	95
2.3.4. Les imprimantes	97
2.3.5. La codification des caractères	102
2.4. Résumé	104
2.5. Exercices	105

Chapitre 3 La couche physique	109
3.1. Portes logiques et algèbre de Boole	109
3.1.1. Les portes logiques	110
3.1.2. L'algèbre de Boole	113
3.1.3. Réalisation des fonctions booléennes	115
3.1.4. Relations d'équivalence des circuits	118
3.2. Circuits logiques de base	121
3.2.1. Les circuits intégrés logiques	122
3.2.2. Les circuits logiques combinatoires	126
3.2.3. Les circuits arithmétiques	133
3.2.4. Les horloges	137
3.3. Circuits logiques à mémoire	139
3.3.1. Les bascules	140
3.3.2. Flip-flops et registres	143
3.3.3. Organisation interne d'une mémoire	146
3.3.4. Caractéristiques des mémoires	150
3.4. Les microprocesseurs et les bus	153
3.4.1. Le microprocesseur	153
3.4.2. Les bus d'ordinateurs	157
3.4.3. Les bus synchrones	160
3.4.4. Les bus asynchrones	164
3.4.5. L'arbitrage du bus	166
3.4.6. Gestion des interruptions	171
3.5. Exemples de microprocesseurs	174
3.5.1. Microprocesseurs Intel 8088, 80286, 80386	174
3.5.2. Microprocesseurs Motorola 68000, 68020, 68030	183
3.5.3. Comparaison entre 80386 et 68030	187
3.6. Exemples de bus	188
3.6.1. Le bus IBM PC	188
3.6.2. Le bus IBM PC/AT	195
3.6.3. Le bus VME	196

3.7. Technique d'interface	207
3.7.1. Les circuits d'E/S	207
3.7.2. Technique du décodage d'adresse	209
3.8. Résumé	213
3.9. Exercices	215
Chapitre 4 La couche microprogrammée	221
4.1. Compléments sur la couche physique	222
4.1.1. Les registres	223
4.1.2. Les bus	223
4.1.3. Multiplexeur et décodeur	226
4.1.4. L'UAL et le décaleur	227
4.1.5. Les horloges	228
4.1.6. La mémoire principale	229
4.1.7. L'encapsulation des composants logiques	231
4.2. Un exemple de micromachine	234
4.2.1. Le chemin des données	234
4.2.2. Les micro-instructions	235
4.2.3. Cycle d'exécution de la micro-instruction	238
4.2.4. Enchaînement des micro-instructions	243
4.3. Un exemple de macromachine	244
4.3.1. La structure de pile	245
4.3.2. Jeu d'instructions de la macromachine	252
4.4. Un exemple de microprogramme	255
4.4.1. Langage de micro-assemblage	255
4.4.2. Le microprogramme	257
4.4.3. Remarques sur le microprogramme	262
4.4.4. Perspectives	263
4.5. Etude de la couche microprogrammée	264
4.5.1. Microprogrammation horizontale et verticale	264
4.5.2. Nanoprogrammation	271
4.5.3. Amélioration des performances	275
4.5.4. Traitement pipeline	278
4.5.5. La mémoire cache	284
4.6. Quelques exemples de couches microprogrammées	292
4.6.1. La micro-architecture du 8088 d'Intel	292
4.6.2. La micro-architecture du 68000 de Motorola	298
4.7. Résumé	304
4.8. Exercices	305
Chapitre 5 La couche conventionnelle	311
5.1. Couche conventionnelle : exemples	311
5.1.1. La famille Intel 8088, 80286, 80386	312
5.1.2. La famille Motorola 68000, 68020, 68030	328
5.1.3. Comparaison entre 80386 et 68030	336

10 Architecture de l'ordinateur

5.2. Format des instructions	337
5.2.1. Critères d'évaluation du format des instructions	338
5.2.2. Code opération expansif	341
5.2.3. Exemples de formats d'instructions	342
5.3. Modes d'adressage	350
5.3.1. Adressage immédiat	351
5.3.2. Adressage direct	351
5.3.3. Adressage par registre	352
5.3.4. Adressage indirect	354
5.3.5. Adressage indexé	355
5.3.6. Adressage par pile	356
5.3.7. Exemples de modes d'adressage	365
5.3.8. Remarques sur les modes d'adressage	375
5.4. Types d'instructions	377
5.4.1. Instructions de transfert de données	377
5.4.2. Opérations dyadiques	378
5.4.3. Opérations monadiques	380
5.4.4. Branchements conditionnels et comparaisons	382
5.4.5. Instructions d'appel de procédure	386
5.4.6. Instructions de contrôle de boucle	387
5.4.7. Les entrées/sorties	388
5.5. Flux de commande	396
5.5.1. Flux de commande séquentiel et branchements	396
5.5.2. Procédures	397
5.5.3. Coroutines	404
5.5.4. Déroutements ou traps	407
5.5.5. Interruptions	408
5.6. Résumé	414
5.7. Exercices	415
Chapitre 6 La couche système d'exploitation	423
6.1. Mémoire virtuelle	426
6.1.1. Pagination	427
6.1.2. Réalisation de la pagination	429
6.1.3. Pagination à la demande	435
6.1.4. Le remplacement des pages	437
6.1.5. Taille des pages et fragmentation	439
6.1.6. Segmentation	440
6.1.7. Implémentation de la segmentation	445
6.1.8. Mémoire virtuelle de MULTICS	446
6.1.9. Mémoire virtuelle de l'Intel 80386	451
6.1.10. Mémoire virtuelle du Motorola 68030	457
6.1.11. Comparaison du 80386 et du 68030	461

6.2. Les instructions d'E/S virtuelles	463
6.2.1. Les fichiers séquentiels	463
6.2.2. Les fichiers à accès aléatoire	465
6.2.3. La réalisation des instructions d'E/S virtuelles	467
6.2.4. La gestion des répertoires	472
6.3. Les instructions virtuelles dans le calcul parallèle	473
6.3.1. Création de processus	475
6.3.2. Synchronisation	475
6.3.3. Synchronisation par des sémaphores	480
6.4. Exemples de systèmes d'exploitation	483
6.4.1. Exemples de mémoire virtuelles	486
6.4.2. Exemples d'E/S virtuelles	488
6.4.3. Exemples de gestion de processus	501
6.4.4. Comparaison d'Unix et d'OS/2	504
6.5. Résumé	504
6.6. Exercices	505
Chapitre 7 La couche langage d'assemblage	513
7.1. Introduction au langage d'assemblage	514
7.1.1. Qu'est-ce qu'un langage d'assemblage?	515
7.1.2. Format d'une instruction	516
7.1.3. Langage d'assemblage ou de haut niveau?	518
7.1.4. Optimisation des programmes	519
7.2. Le processus d'assemblage	521
7.2.1. Les assembleurs à deux passes	521
7.2.2. La première passe	522
7.2.3. La deuxième passe	527
7.2.4. La table des symboles	529
7.3. Les macros	531
7.3.1. Définition, appel et expansion de macros	531
7.3.2. Macros avec paramètres	534
7.3.3. Implémentation des macros	535
7.4. Editeur de liens et chargeur	535
7.4.1. L'éditeur de liens	537
7.4.2. La structure d'un module objet	540
7.4.3. La translation dynamique	542
7.4.4. L'édition des liens dynamique	545
7.5. Résumé	547
7.6. Exercices	548
Chapitre 8 Architectures évoluées	553
8.1. Les machines RISC	553
8.1.1. Évolution de l'architecture des ordinateurs	554
8.1.2. Principes de conception des machines RISC	558
8.1.3. Utilisation d'un registre	567
8.1.4. RISC ou CISC: le grand débat	575