

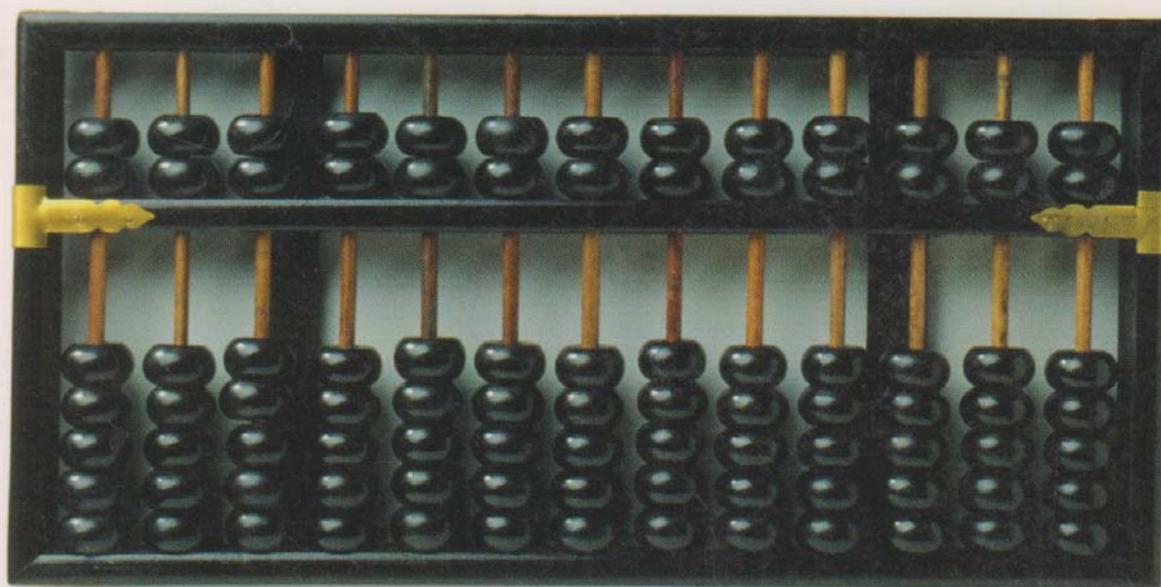
L'architecture des systèmes PC

# ARCHITECTURE DES MACHINES PENTIUM

2<sup>e</sup> édition

MindShare, Inc. — Don Anderson et Tom Shanley

Traduction de Pascal Sainrat



# Table des matières

<i>A propos de ce livre</i>	<i>xv</i>
1 Les collections "architecture" de Mindshare . . . . .	xv
2 Organisation du livre . . . . .	xv
2.1 Introduction aux processeurs Pentium . . . . .	xv
2.2 Partie I: les processeurs Pentium 60 et 66 MHz . . . . .	xvi
2.3 Partie II: les processeurs Pentium 90/100 MHz . . . . .	xvii
2.4 Partie III: les autres processeurs Pentium . . . . .	xvii
2.5 Annexes . . . . .	xvii
3 A qui s'adresse ce livre . . . . .	xvii
4 Connaissances requises . . . . .	xviii
5 Conventions d'écriture . . . . .	xviii
5.1 Notation hexadécimale . . . . .	xviii
5.2 Notation binaire . . . . .	xviii
5.3 Notation décimale . . . . .	xviii
5.4 Représentation des noms de signaux . . . . .	xviii
5.5 Identification des champs de bits . . . . .	xix
<i>1: Introduction aux processeurs Pentium</i>	<i>1</i>
1 Evolution du processeur x86 . . . . .	1
1.1 Processeur lent, mémoire lente . . . . .	1
1.2 Processeur plus rapide, mémoire lente . . . . .	2
1.3 Le pipeline devient le goulet d'étranglement . . . . .	5
1.4 La lecture anticipée d'instructions gère mal les branchements . . . . .	5
1.5 Les systèmes monoprocesseurs deviennent le goulet d'étranglement . . . . .	6
2 Caractéristiques des processeurs Pentium . . . . .	7
2.1 Les processeurs Pentium 60 et 66 Mhz . . . . .	8
2.2 Les processeurs Pentium 90 et 100 Mhz . . . . .	10

<b>I</b>	<b>Les processeurs Pentium 60 et 66 MHz</b>	<b>11</b>
	<i>2: Les unités fonctionnelles</i>	<i>13</i>
1	Les unités fonctionnelles du processeur Pentium . . . . .	13
2	Survol des unités fonctionnelles . . . . .	15
	2.1 Le pipeline d'instructions . . . . .	15
	2.2 Exécution des instructions entières . . . . .	16
	2.3 Unité de calcul flottant . . . . .	17
3	Description des unités fonctionnelles . . . . .	17
	3.1 Unité d'interface bus . . . . .	17
	3.2 Cache de données . . . . .	18
	3.3 Cache d'instructions . . . . .	18
	3.4 Préchargeur . . . . .	19
	3.5 Files d'anticipation . . . . .	19
	3.6 Unité de décodage des instructions . . . . .	20
	3.7 Unité de contrôle . . . . .	20
	3.8 Unités arithmétiques et logiques (UALs) . . . . .	20
	3.9 Registres . . . . .	20
	3.10 Générateurs d'adresse . . . . .	20
	3.11 Unité de pagination . . . . .	21
	3.12 Unité de calcul flottant . . . . .	21
	<i>3: Survol du cache du Pentium</i>	<i>23</i>
1	Introduction . . . . .	23
2	Survol du fonctionnement du cache et des différents types de cache . . . . .	24
	2.1 Principes de localité . . . . .	26
	2.2 Performances du cache . . . . .	26
	2.3 Performances d'un système entier . . . . .	27
	2.4 Les architectures des caches . . . . .	27
	2.5 Cohérence des caches . . . . .	30
3	Le cache du 486 . . . . .	35
	3.1 Le cache interne du 486 . . . . .	35
	3.2 L'avantage du cache de deuxième niveau . . . . .	35
	3.3 La cohérence des caches avec deux niveaux de caches . . . . .	36
4	Survol du cache du processeur Pentium . . . . .	37
	4.1 Gestion des lectures en mémoire effectuées par le processeur Pentium . . . . .	39
	4.2 Gestion des écritures en mémoire effectuées par le processeur Pentium . . . . .	39
	4.3 Gestion des lectures en mémoire effectuées par un autre maître du bus . . . . .	41
	4.4 Gestion des écritures en mémoire effectuées par un autre maître du bus . . . . .	42
	4.5 Cache de niveau 2 utilisant une politique de mise à jour immédiate . . . . .	42
	4.6 Cache de niveau 2 utilisant une politique de mise à jour différée . . . . .	42
	<i>4: Plusieurs processeurs et le modèle MESI</i>	<i>45</i>
1	Introduction au modèle MESI . . . . .	45

2	Mise en œuvre monoprocesseur du modèle MESI — La vie d'un bloc du cache	46
2.1	Première lecture en mémoire système . . . . .	47
2.2	Première écriture dans une ligne du cache interne . . . . .	48
2.3	Accès d'un maître du bus à un emplacement mémoire ... (dans l'état E)	49
2.4	Ecritures suivant une première écriture dans le cache interne . . . . .	51
2.5	Accès d'un maître du bus à un emplacement mémoire...(dans l'état M)	51
3	Mise en œuvre multiprocesseur du modèle MESI — La vie de deux blocs...	53
3.1	Processeurs fortement couplés . . . . .	53
3.2	Lecture par le processeur B d'un bloc présent dans le cache du processeur A . . . . .	53
3.3	Ecriture par le processeur B d'un bloc présent dans le cache du processeur A . . . . .	60
3.4	Résumé des changements d'état du modèle MESI du cache de premier niveau . . . . .	68
<b>5</b>	<b><i>Interface matérielle du Pentium</i></b>	<b>73</b>
1	Introduction aux signaux du processeur Pentium . . . . .	73
2	Le bus d'adresse . . . . .	77
2.1	Le signal A20M# (A20 Mask) . . . . .	80
2.2	Transferts non alignés . . . . .	80
3	Le bus de données . . . . .	81
4	Communication avec des dispositifs 8, 16, 32 et 64 bits . . . . .	82
4.1	Traduction d'adresse . . . . .	82
4.2	Alignement du bus de données . . . . .	82
5	Signaux de contrôle du cycle bus . . . . .	88
5.1	Sortie d'état de l'adresse (ADS#) . . . . .	90
5.2	Définition du cycle bus . . . . .	90
5.3	Contrôle du cycle bus en rafale . . . . .	95
5.4	Signal Burst Ready . . . . .	95
6	Ordre des écritures strict - EWBE# . . . . .	95
7	Contrôle du cache . . . . .	96
7.1	Possibilité de cacher (cachabilité)- KEN# . . . . .	96
7.2	Contrôle de l'état MESI du cache de données - WB/WT# . . . . .	96
7.3	Réponse/contrôle de l'espionnage . . . . .	97
7.4	Contrôle du cache de deuxième niveau (L2) . . . . .	98
7.5	FLUSH# . . . . .	99
7.6	Signal de contrôle de mise en pipeline des cycles bus . . . . .	99
8	Signaux d'interruption . . . . .	99
9	Signaux de contrôle du maître du bus . . . . .	101
10	Gestionnaire des erreurs de calcul flottant . . . . .	102
10.1	Gestionnaire d'erreur natif . . . . .	102
10.2	Gestionnaire d'erreur PC-DOS . . . . .	103
11	Redémarrage du système et INIT . . . . .	103
12	Mode de gestion du système (SMI & SMIACK#) . . . . .	104
13	Fiabilité du processeur Pentium et rapport d'erreur . . . . .	104
13.1	Parité d'adresse (AP & APCHK#) . . . . .	104

13.2	Parité des données (DP7:DP0, PCHK# & PEN#)	104
13.3	Parité interne (IERR#)	105
13.4	Vérification par redondance fonctionnelle	105
14	Signaux de test et de mise au point	106
14.1	Interface de Boundary Scan (TAP)	106
14.2	Trace d'exécution	106
14.3	Suivi de la performance/points d'arrêt	107
14.4	Mode sonde	107

## 6: *Le cache et le pipeline d'instructions* 109

1	Introduction au cache d'instructions et aux deux pipelines d'instructions	109
1.1	Survol	110
1.2	Introduction au cache d'instructions	111
1.3	Le préchargeur	111
1.4	La fonction de base de l'étage de décodage D1	113
1.5	La fonction de base de l'étage de décodage D2	114
1.6	La fonction de base de l'étage d'exécution	114
1.7	L'étage d'écriture du résultat	115
2	Règles pour l'appariement d'instructions entières	116
2.1	Définition des instructions simples	117
2.2	Compétition pour un registre	118
3	Prédiction des instructions de branchement	119
4	Fonctionnement et organisation du cache d'instructions	122
4.1	La structure du cache d'instructions	122
4.2	L'algorithme de rangement des blocs	124
4.3	Cycles de recherche	125
5	Accès chevauchant des blocs	126
6	Le pipeline flottant	127
6.1	Les étages du pipeline flottant	128
6.2	L'appariement des instructions flottantes	128
6.3	Mise en pipeline de l'unité flottante	129

## 7: *Le cache de données et les chargements de blocs en rafale* 131

1	Introduction au cache de données interne	131
2	Anatomie d'un succès en lecture	132
2.1	La mémoire principale du système vue depuis le cache interne	132
2.2	La structure du cache de données interne	133
2.3	Mise à jour de l'état du cache	135
2.4	L'accès et la recherche dans le cache interne	136
2.5	Mise à jour LRU	137
2.6	L'espionnage	137
2.7	Structure du cache et performance des instructions appariées	138
3	Anatomie d'un échec en lecture	138

3.1	Positionner l'état du cache . . . . .	138
3.2	La recherche dans le cache interne . . . . .	138
3.3	Les requêtes de cycle bus . . . . .	139
4	L'automate à états des cycles bus . . . . .	139
4.1	Scénario 1: . . . . .	141
4.2	Scénario 2: . . . . .	152
4.3	Scénario 3: . . . . .	157
4.4	Scénario 4: . . . . .	161
5	Anatomie du succès d'une écriture . . . . .	165
5.1	Ecriture dans un bloc stocké dans l'état "Partagé" . . . . .	165
5.2	Ecriture dans un bloc stocké dans l'état "Exclusif" . . . . .	165
5.3	Ecriture dans un bloc stocké dans l'état "Modifié" . . . . .	165
6	Anatomie de l'échec d'une écriture . . . . .	165
6.1	Les tampons d'écriture . . . . .	166
7	Cycles de recherche . . . . .	166
7.1	Espionnage externe sur un bloc "Modifié" . . . . .	166
7.2	Espionnage sur un bloc "Partagé" . . . . .	166
7.3	L'espionnage interne . . . . .	168
 <i>8: Résumé des cycles du bus du Pentium</i>		 <i>169</i>
1	Survol des cycles du bus . . . . .	169
2	Cycles bus en rafale . . . . .	170
3	Cycles bus de transfert simple (sans rafale) . . . . .	171
3.1	Cycles bus de lecture et d'écriture en mémoire - Non pipelinés . . . . .	171
3.2	Cycles bus de lecture et d'écriture d'E/S - Non pipelinés . . . . .	173
3.3	Les cycles bus de transfert simple (pipelinés) . . . . .	173
4	Cycles spéciaux . . . . .	174
5	Cycles d'acquiescement d'interruption . . . . .	176
6	L'automate à états des cycles bus . . . . .	176
6.1	Transitions de l'état du bus . . . . .	177
 <i>9: Mode de gestion du système (SMM)</i>		 <i>179</i>
1	Introduction au mode de gestion du système . . . . .	179
2	Mémoire de gestion du système (SMRAM) . . . . .	181
2.1	La carte d'adressage de la SMRAM . . . . .	181
2.2	Initialisation de la SMRAM . . . . .	184
2.3	Modification de l'adresse de base de la SMRAM . . . . .	184
3	Entrée dans le mode de gestion du système . . . . .	184
3.1	Le système valide SMI# . . . . .	184
3.2	Les écritures en attente sont purgées en mémoire système . . . . .	185
3.3	SMIACT# est activé (accès à la SMRAM) . . . . .	185
3.4	Le processeur sauve son état . . . . .	186
3.5	Entrée du processeur en SMM . . . . .	188
3.6	L'espace d'adressage . . . . .	189
3.7	Exceptions et interruptions . . . . .	189

4	Exécution du gestionnaire SMI . . . . .	189
5	Sortie du mode de gestion du système . . . . .	190

## *10 : Résumé des modifications du logiciel* 193

1	Introduction . . . . .	193
2	Interprétation des bits CD et NW de CR0 . . . . .	194
3	Registre de contrôle 4 (CR4) . . . . .	194
4	Registre EFLAGS . . . . .	196
5	Vérification des cycles bus et de la parité . . . . .	196
6	Extensions de la pagination virtuelle . . . . .	198
7	Extensions VM86 . . . . .	199
	7.1 Redirection d'interruptions . . . . .	199
	7.2 Autorisation/interdiction de la reconnaissance des interruptions . . . . .	201
8	Extensions de mise au point . . . . .	203
9	Nouvelles exceptions . . . . .	205
10	Nouvelles instructions . . . . .	205
	10.1 RDMSR et WRMSR . . . . .	205
	10.2 CMPXCHG8B . . . . .	206
	10.3 Identification du CPU . . . . .	206
	10.4 RSM . . . . .	207
11	Incompatibilités . . . . .	208
	11.1 Accès aux registres de test . . . . .	208
	11.2 Utilisation de bits réservés . . . . .	208

## *11 : Test et mise au point* 209

1	Mécanismes relatifs au test du matériel du processeur Pentium . . . . .	209
	1.1 Mécanismes de test dans l'environnement de l'utilisateur . . . . .	210
	1.2 Mécanismes de test pour la fabrication et le développement . . . . .	215
2	Mécanismes de mise au point des programmes . . . . .	220
	2.1 Support ICE . . . . .	221
	2.2 Support pour les points d'arrêt matériels . . . . .	222

## **II Les processeurs Pentium 90 et 100 MHz** **229**

### *12 : Survol du processeur P54C* 231

1	Introduction aux processeurs P54C . . . . .	231
2	Noyau processeur plus rapide / horloge bus plus lente . . . . .	232
3	Support pour un biprocesseur . . . . .	232
4	Contrôleur d'interruption programmable avancé (APIC) . . . . .	232
5	Niveaux logiques 3,3 V . . . . .	233
6	Gestion de la puissance améliorée . . . . .	233
7	Support pour extension future . . . . .	233

## 13 : Les signaux du P54C 235

1	L'interface matérielle du P54C . . . . .	235
2	Les signaux qui ont disparu . . . . .	236
3	Signaux pour le mode biprocesseur . . . . .	237
3.1	Signaux de présence d'un deuxième processeur . . . . .	237
3.2	Signaux d'arbitrage en environnement biprocesseur . . . . .	237
3.3	Signaux de cohérence des caches en environnement biprocesseur . . . . .	238
3.4	Autres signaux pour le fonctionnement biprocesseur . . . . .	238
4	Les signaux de l'APIC . . . . .	239
4.1	Le bus APIC . . . . .	239
4.2	Les entrées d'interruption de l'APIC local . . . . .	239
5	Le signal d'arrêt de l'horloge . . . . .	239
6	Le signal de fréquence du bus . . . . .	240
7	Les signaux de trace de l'exécution . . . . .	241

## 14 : Bi-processeur 243

1	Les capacités du processeur P54C à fonctionner en biprocesseur . . . . .	243
2	Détermination de la présence d'un deuxième processeur . . . . .	245
3	Configuration et initialisation du multiprocesseur . . . . .	245
4	Arbitrage du bus dans un système monoprocesseur . . . . .	246
5	Arbitrage du bus dans un système biprocesseur . . . . .	246
5.1	Définition des MRM et LRM . . . . .	246
5.2	Arbitrage des MRM et LRM . . . . .	247
5.3	Arbitrage durant des transferts pipelines . . . . .	247
6	Espionnage d'adresse dans un système monoprocesseur . . . . .	250
7	Espionnage d'adresse dans un système biprocesseur . . . . .	251
7.1	Espionnage de cache inter-processeur . . . . .	252
7.2	Espionnage de cache externe . . . . .	255
7.3	Espionnage d'un cache externe durant un transfert du MRM . . . . .	259

## 15 : L'APIC 263

1	Introduction . . . . .	263
2	Gestion des interruptions en présence de plusieurs processeurs . . . . .	264
2.1	La solution 8259 . . . . .	264
2.2	La solution APIC . . . . .	265
3	Le concept APIC . . . . .	265
4	Les requêtes d'interruption du système . . . . .	267
4.1	Déterminer le processeur cible . . . . .	267
4.2	Le transfert des interruptions par l'APIC d'E/S . . . . .	268
4.3	Le processeur cible accepte la requête d'interruption . . . . .	271
4.4	Priorité des exécutions des interruptions matérielles . . . . .	273
4.5	Le module APIC local interrompt le noyau du processeur . . . . .	275
4.6	Le processeur exécute la routine de service de l'interruption . . . . .	278
4.7	Fin d'interruption (EOI) . . . . .	278

4.8	Modes de déclenchement . . . . .	278
5	Interruptions locales (LINT, horodateur et erreur) . . . . .	282
5.1	Interruption de l'horodateur local . . . . .	282
5.2	Interruptions locales (LINT0 et LINT1) . . . . .	284
6	Interruptions non masquables (NMI) . . . . .	287
6.1	NMI via LINT0 et LINT1 . . . . .	288
6.2	NMI via l'APIC d'E/S . . . . .	288
7	Interruptions inter-processeurs (IPI) . . . . .	289
7.1	Message d'initialisation . . . . .	289
7.2	Message de désactivation du niveau . . . . .	293
7.3	message de mise en marche . . . . .	293
7.4	Message SMI . . . . .	293
7.5	Message de lecture à distance . . . . .	293
8	Arbitrage du bus APIC . . . . .	293
8.1	Type de transfert . . . . .	298
8.2	Cycles d'arbitrage du bus . . . . .	298
9	Résumé sur la distribution et le traitement des interruptions . . . . .	301
9.1	Modes de destination . . . . .	301
9.2	Mode d'envoi . . . . .	306
9.3	Envoi des interruptions . . . . .	308
9.4	Adressage des registres de l'APIC local . . . . .	312
10	Modes opératoires de l'APIC local . . . . .	312
11	Compatibilité avec le 8259 . . . . .	314

## *16: Les améliorations au mode de gestion du système du P54C* 315

1	Améliorations au mode de gestion du système (SMM) . . . . .	315
2	Réexécution d'une instruction d'E/S . . . . .	316
3	Envoi d'une SMI par le bus APIC . . . . .	318
4	Mécanismes de contrôle de l'horloge . . . . .	318
4.1	Contrôle de la fréquence noyau/bus . . . . .	318
4.2	Arrêt de l'horloge . . . . .	318

## **III Autres processeurs Pentium** **321**

### *17: Le processeur Pentium 610/75 MHz* 323

1	Principales caractéristiques du Pentium 610/75 MHz . . . . .	323
2	Noyau du processeur plus rapide/Horloge du bus plus lente . . . . .	324
3	Contrôleur d'interruption programmable avancé (APIC) . . . . .	324
4	Gestion de la consommation améliorée . . . . .	324

### *18: Processeurs OverDrive - Supports* 327

1	Survol des processeurs Pentium OverDrive . . . . .	327
2	Supports types 2 et 3 . . . . .	328
3	Support type 4 . . . . .	328
4	Support type 5 . . . . .	329
5	Support type 6 . . . . .	329

**Annexes** **333**

*A: Glossaire des termes* *333*

*B: Glossaire des signaux* *347*

*C: Appariement des instructions* *361*

*Bibliographie* *365*

*Index* *367*