

2.1 Introduction :

On distingue deux types d'inductances, l'inductance passive qui est à base d'enroulement ou d'encombrement métallique, elle présente un facteur de qualité faible et une valeur d'inductance principalement proportionnelle aux nombres des spires qui nécessitent une grande surface en silicium afin de réaliser des inductances d'une valeur élevée et un facteur de qualité important.

La surface de silicium utilisée n'est pas le seul inconvénient de l'inductance passive, mais on peut distinguer autres comme les pertes joule qui nous mettent face à une grande consommation en énergie.

Dans le but de minimiser toutes ces contraintes, on fait appel à l'inductance active.

Le principe d'une inductance active repose sur un ensemble de transistors et de capacités et son facteur de qualité peut s'avérer important et l'implémentation plus simple et efficace, la valeur de l'inductance dépend principalement des capacités qui forment le circuit.

2.2 Présentation d'une inductance active :

Une inductance active est un circuit qui repose dans son fonctionnement sur le principe du gyrateur-c qui est à base de transconductances, ce dernier a été proposé en 1949 par Henry Tellegen.

2.2.1 Définition d'une transconductance :

Une transconductance est le rapport entre la variation du courant de sortie et la variation de la tension d'entrée d'un dispositif électronique (transistor bipolaire, transistor à effet de champ, un amplificateur opérationnel etc...). Elle s'exprime en ampères/volt.

Son schéma synoptique est donné par la « figure 2.1 ».

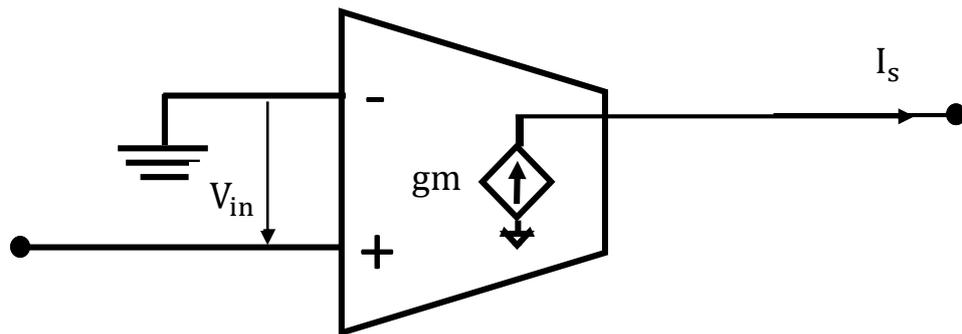


Figure (2.1) : Schéma synoptique d'une transconductance.

La transconductance est attaquée par une tension d'entrée V_{in} , et en sortie un courant I_s est collecté tel que :

$$I_s = V_{in} \cdot gm \quad (2.1)$$

gm : représente le gain en courant d'une transconductance.

Dans le présent travail, les transconductances utilisées sont principalement à base de transistors MOSFET.

2.2.2 Présentation d'un transistor MOSFET :

Un transistor MOSFET présente une grille, une source et un drain « figure 2.2 ».

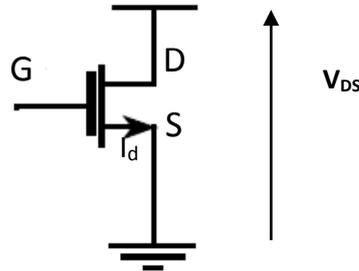


Figure (2.2) : Représentation symbolique d'un transistor MOSFET.

La source délivre un courant I_d , ce dernier est en fonction de certains paramètres, et son expression est donnée par :

$$I_d = \frac{1}{2} \mu_n C_{ox} \frac{W}{L} (V_{GS} - V_{TH})^2 \quad (2.2)$$

Où

μ_n : La mobilité des électrons.

C_{ox} : La capacité due à l'oxyde entre la grille et le substrat.

W : La largeur du transistor.

L : La longueur du canal du transistor.

V_{GS} : La tension entre la grille et la source.

V_{TH} : La tension de threshold ou tension de seuil.

La représentation du MOSFET de type N en fonction des différentes couches des matériaux utilisés dans son procédé de fabrication est donnée dans la « figure 2.3 ».

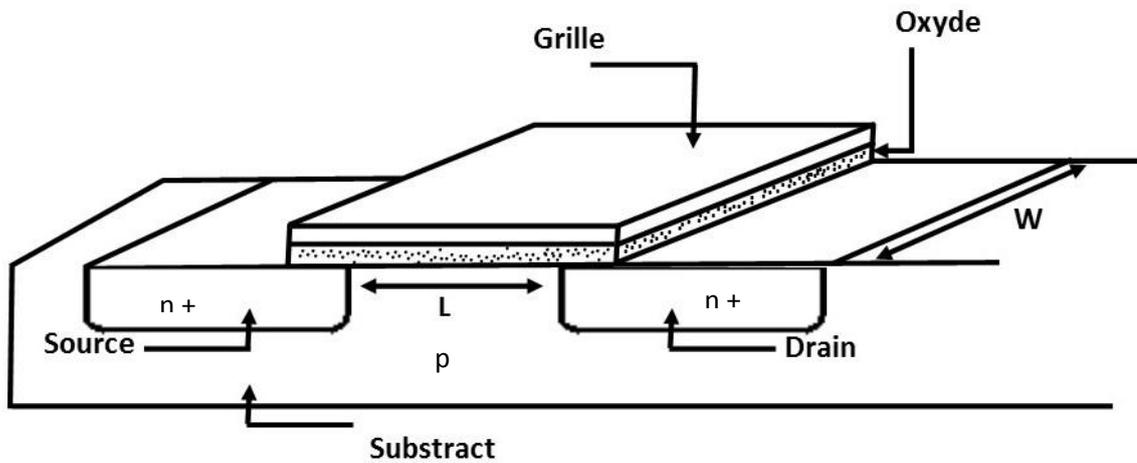


Figure (2.3) : Structure d'un MOSFET de type N.

La « figure 2.4 » montre la variation du courant I_d en fonction de V_{DS} en précisant les différentes zones de fonctionnement qui sont :

- La zone linéaire : dans cette zone le transistor se comporte comme une résistance.
- La zone de saturation : dans cette zone le courant prend une valeur quasi constante.

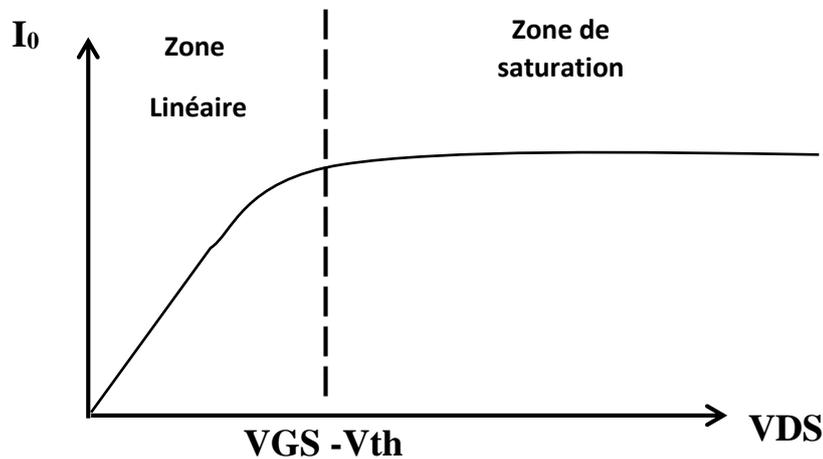


Figure (2.4) : Régions de fonctionnement et de saturation d'un MOSFET.

Le gain en courant ou la transconductance g_m du transistor est donné par :

$$g_m = \left. \frac{\partial I_d}{\partial V_{GS}} \right|_{V_{DS} \text{ constant}} \quad (2.3)$$

Cette grandeur mesure la variation du courant de drain quand la tension de grille change. Sa valeur est exprimée comme suit :

$$g_m = \mu_n C_{ox} \frac{W}{L} (V_{GS} - V_{in}); \quad g_m = \sqrt{2\mu_n C_{ox} \frac{W}{L} I_d}; \quad g_m = \frac{2I_d}{V_{GS} - V_{in}} \quad (2.4)$$

La transconductance peut avoir plusieurs valeurs selon le point de fonctionnement du MOSFET.

A titre d'exemple, on considère un MOSFET de type N de la technologie 0.18 micron, en effectuant sur ce dernier une caractérisation DC (V_{DS} et V_{GS} tensions continues), plusieurs courbes exprimant g_m en fonction de V_{GS} et V_{DS} sont obtenues « figure 2.5 ».

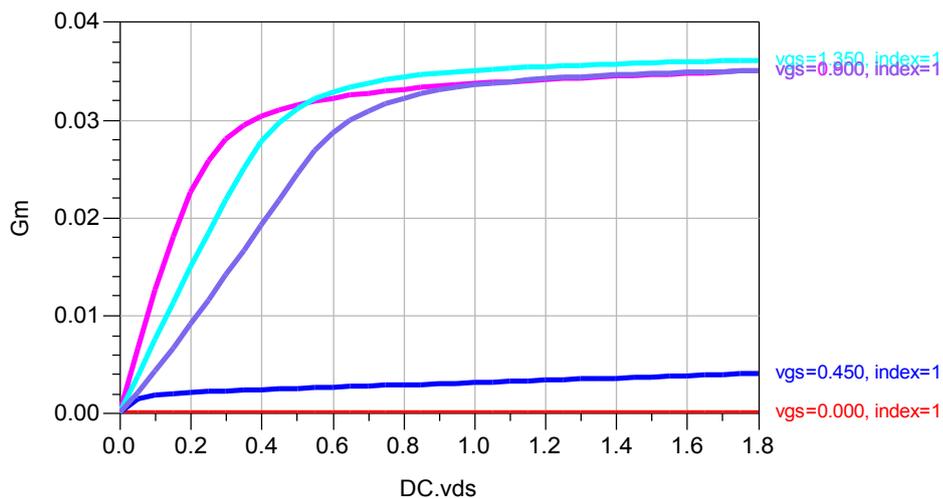


Figure (2.5) : g_m en fonction de V_{GS} et V_{DS} .

A partir de ces courbes nous pouvons choisir une transconductance g_m désirée.

2.2.3 Principe théorique d'un gyrateur-c [6] :

La réalisation d'un gyrateur-c nécessite l'utilisation de deux transconductances G_{m1} et G_{m2} qui sont montées en (back-to-back) « figure 2.6.a », et une capacité qui simule l'effet inductive d'une inductance « figure 2.6.b ».

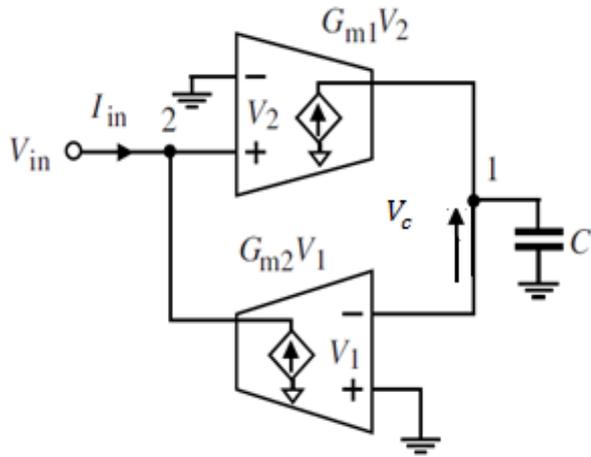


Figure (2.6.a) [6] : Schéma fonctionnel d'une inductance active à base de « gyrateur-c ».

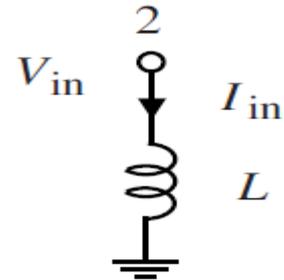


Figure (2.6.b) [6] : Effet inductif « L ».

On utilise des transconductances idéales afin de simplifier les expressions pour mieux comprendre le principe.

Une entrée V_{in} est appliquée au point (2) « figure 2.6.a », ce dernier représente l'entrée positive de la première transconductance.

Pour générer un courant I_1 de sortie tel que :

$$I_1 = G_{m1} V_2 \quad (2.5)$$

Comme c'est indiqué dans la figure 2.6.a une tension V_c est générée par le condensateur C.

$$V_c = Z_C I_1 \quad (2.6)$$

$$Z_C = \frac{1}{sC} \quad (2.7)$$

La tension V_c est l'entrée négative de la deuxième transconductance qui donne en sortie un courant I_2 tel que :

$$I_2 = G_{m2} V_1 \quad (2.8) \text{ Avec : } V_1 = -V_c$$

L'impédance Z_{in} vue au point (2) admet pour expression : $Z_{in} = \frac{V_{in}}{I_{in}} \quad (2.9)$

Où : $I_{in} = -I_2$

A partir des équations (1 ...9) on peut déduire l'expression de l'impédance d'entrée Z_{in} telle que :

$$Z_{in} = s \frac{C}{G_{m1} G_{m2}} \quad (2.10)$$

On remarque que l'impédance représente une inductance pure car les transconductances idéales ont des impédances d'entrée et de sortie infinies.

Par identification on obtient :

$$L = \frac{C}{G_{m1} G_{m2}} \quad (2.11)$$

On appelle cette configuration « singel-ended », car le circuit est attaqué avec une seule tension V_{in} .

Il existe une seconde configuration appelée « différentiel gyrator-c ».

2.3 principe de fonctionnement d'une inductance active à base de gyrateur-c différentiel [6] :

Cette inductance est appelée aussi inductance active flottante, sa configuration est donnée dans la « figure 2.7.a ».

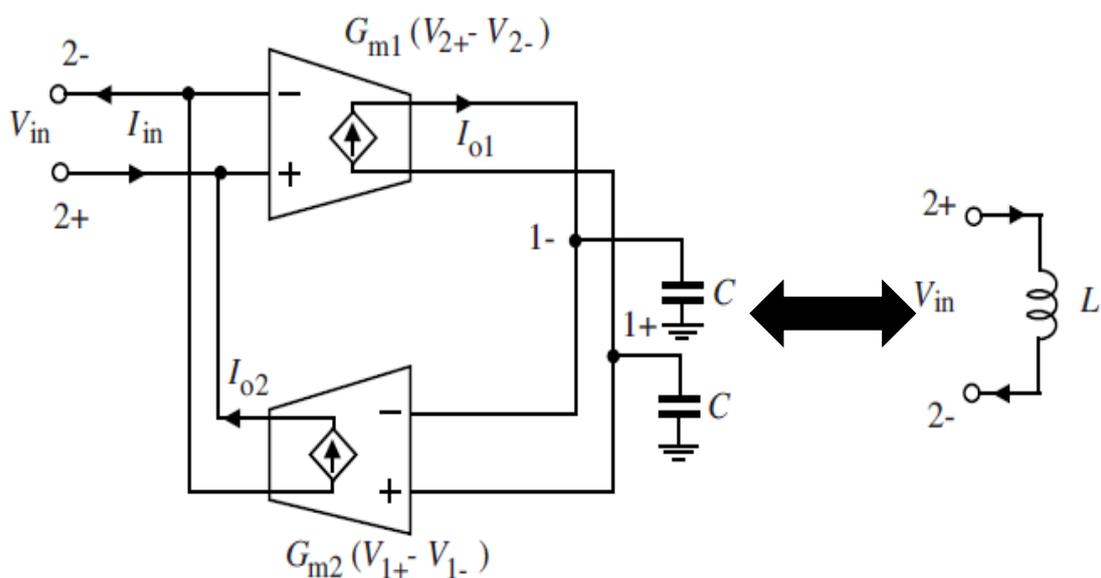


Figure (2.7.a) [6] : schéma fonctionnel d'une inductance active différentielle à base de « gyrateur-c ».

Figure (2.7.b) [6] : Effet inductif vue entre les deux nœuds (2+ et 2-)

Contrairement à la configuration (singel_ended) on remarque que le courant I_{o1} ne dépend plus d'une seule tension mais il varie en fonction de la différence entre V_{2+} et V_{2-} d'où l'appellation inductance active différentielle.

Même raisonnement pour le courant I_{o2} , il est exprimé en fonction de la différence entre V_{1+} et V_{1-} qui sont les voltages aux bornes des capacités comme il est indiqué sur la « figure 2.7.a » cette représentation n'inclue pas les pertes au niveau des différents nœuds du gyrateur-c, ces derniers sont schématisés dans la « figure 2.8 ».

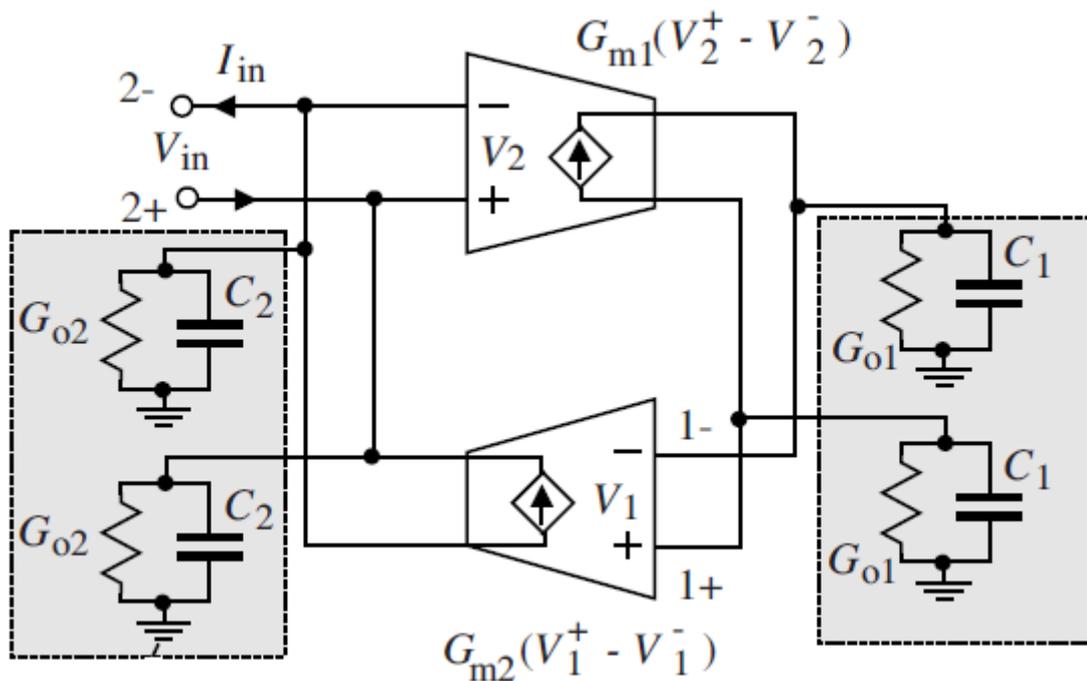


Figure (2.8) [6] : Gyrateur-c différentiel avec pertes.

On peut analyser l'inductance active différentielle de la même façon que celle de l'inductance active (single_ended), nous continuons à considérer que les transconductances G_{m1} et G_{m2} comme constantes mais sans négliger les conductances G_{o1} et G_{o2} de sorties des transconductances et les capacités aux nœuds 2^+ et 2^- .

Afin de trouver l'expression de l'inductance et les autres paramètres du circuit équivalent à la « figure 2.8 », on cherche l'admittance d'entrée Y à travers les équations suivantes :

Le courant I_{o1} est le courant de sortie de la transconductance G_{m1} tel que :

$$I_{o1} = G_{m1} (V_2^+ - V_2^-) \quad (2.12)$$

Les transconductances introduisent des pertes qui simulent des circuits RC (G_{o1} , C_1 et G_{o2} , C_2). Le courant I_{o1} qui traverse le circuit de pertes génère un potentiel ($V_1^+ - V_1^-$) à l'entrée de la transconductance G_{m2} .

Notons que la somme des courants entrants dans la transconductance G_{m2} est nulle, d'où l'expression suivante :

$$-G_{m1} (V_2^+ - V_2^-) + \frac{sC_1 + G_{o1}}{2} (V_1^- - V_1^+) = 0 \quad (2.13)$$

Il en est de même pour I_{o2} (courant de sortie de la transconductance G_{m2}), l'expression de la somme des courants entrants est donnée par :

$$I_{in} + \left(\frac{sC_2 + G_{o2}}{2} \right) (V_2^- - V_2^+) + G_{m2}(V_1^+ - V_1^-) = 0 \quad (2.14)$$

Les équations (13) et (14) permettent de déduire l'expression de l'admittance d'entrée Y vue au nœud 2 du gyrateur-c différentiel.

$$Y = \frac{I_{in}}{V_2^+ - V_2^-} = s \frac{C_2}{2} + \frac{C_{o2}}{2} + \frac{1}{s \left(\frac{C_1}{2 G_{m1} G_{m2}} \right) + \frac{C_{o1}}{2 G_{m1} G_{m2}}} \quad (2.15)$$

A partir de l'équation (15) on peut déduire les différentes expressions du circuit RLC équivalent au gyrateur-c différentiel.

$$R_p = \frac{2}{C_{o2}} \quad (2.16)$$

$$C_p = \frac{C_2}{2} \quad (2.17)$$

$$R_s = \frac{G_{o1}/2}{G_{m1}/G_{m2}} \quad (2.18)$$

$$L = \frac{C_1/2}{G_{m1}/G_{m2}} \quad (2.19)$$

$$\omega_p = \sqrt{\frac{R_p + R_s}{R_p C_p L}} \quad (2.20)$$

La « figure 2.9 » montre le circuit équivalent du gyrateur-c différentiel avec pertes de la « figure 2.8 ».

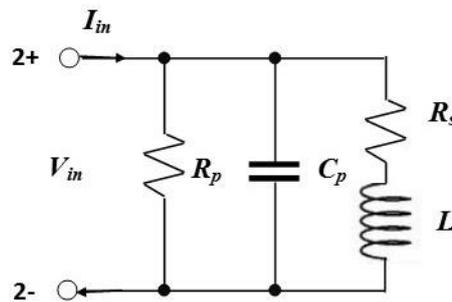


Figure (2.9) : Circuit équivalent du gyrateur-c différentiel avec pertes.

2.4 Caractéristiques d'une inductance active [6] :

Une inductance active peut être caractérisée par plusieurs paramètres parmi lesquels : la gamme de fréquence, la possibilité de réglage, la consommation en puissance et le facteur de qualité.

2.4.1 La gamme de fréquence :

Contrairement à l'IA sans pertes, l'inductance active avec pertes ne présente pas un effet inductif sur tout le spectre de fréquence mais seulement sur une partie spécifique appelée "gamme de fréquence".

Cette dernière peut être obtenue par l'analyse de l'impédance totale Z du circuit RLC équivalent à l'inductance active avec pertes qui a l'expression suivante :

$$= \left(\frac{R_s}{C_p L} \right) \frac{S \frac{L}{R_s} + 1}{S^2 + S \left(\frac{1}{R_p C_p} + \frac{R_s}{L} \right) + \frac{R_p + R_s}{R_p C_p L}} \quad (2.21)$$

Lorsque des pôles complexes conjuguées sont rencontrés, l'impédance Z admet un pôle résonant ω_p tel que :

$$\omega_p = \sqrt{\frac{R_p + R_s}{R_p C_p L}} \quad (2.22)$$

Puisque $R_p \gg R_s$ l'expression de ω_p devient :

$$\omega_p \approx \sqrt{\frac{1}{LC_p}} = \omega_0 \quad (2.23)$$

Où ω_0 est la fréquence de résonance propre de l'inductance active.

On observe que Z a un zéro à la fréquence :

$$\omega_z = \frac{R_s}{L} = \frac{G_{O1}}{C_1} \quad (2.24)$$

En analysant les diagrammes de Bode de l'impédance Z du gyrateur-c tracés dans la « figure 2.10 », on remarque que Z est résistive quand $\omega < \omega_z$, inductive pour $\omega_z < \omega < \omega_0$ et capacitive pour les fréquences supérieures à ω_0 .

La résistance R_p n'a aucune influence sur la gamme de fréquence où Z est inductive, par contre R_s affecte ω_z . Afin de maximiser la gamme de fréquence, R_s et C_p doivent être minimales.

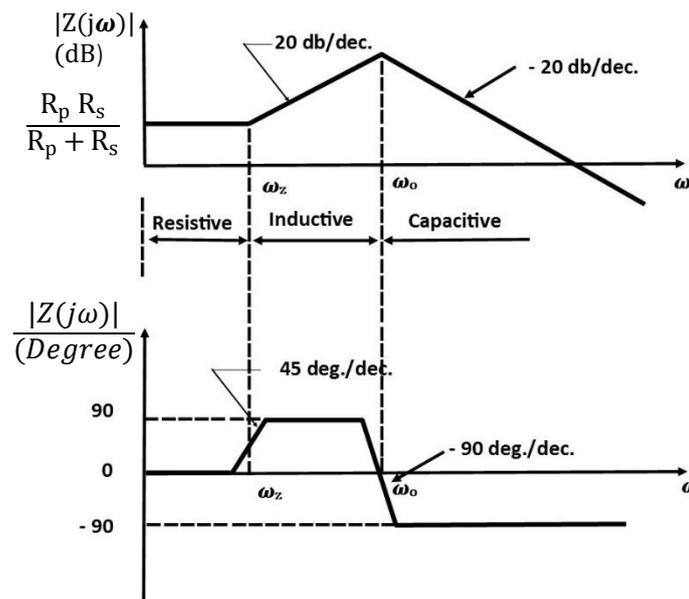


Figure (2.10) : Diagrammes de bode indiquant le module et la phase de Z du gyrateur-c.

2.4.2 La possibilité de réglage :

Plusieurs circuits comme les filtres et les oscillateurs contrôlés, exigent une inductance variable avec une grande plage de possibilités de fréquences, l'équation (2.19) montre que la variation de L se fait par la variation de la capacité C_1 et les transconductances g_{m1} et g_{m2} .

La « figure 2.11 » représente un schéma simplifié d'un gyrateur-c avec une capacitance variable (capacité variable).

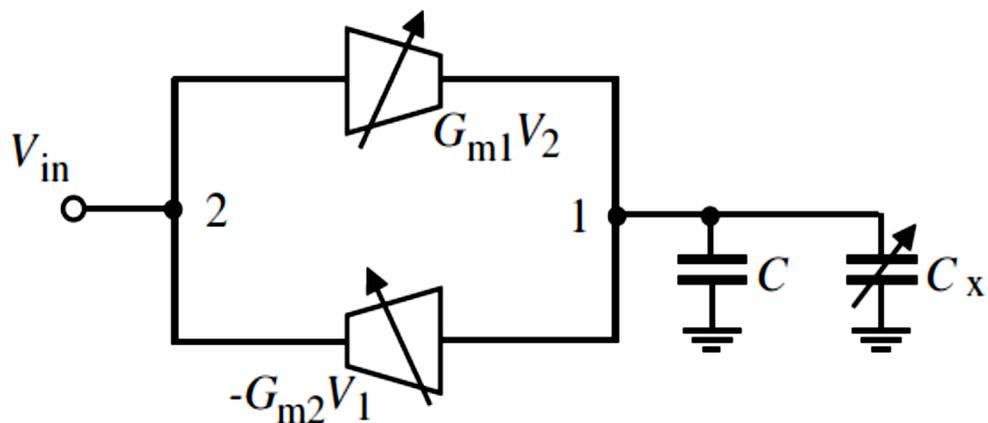


Figure (2.11) [6] : Schéma d'une inductance active variable utilisant une capacitance variable C_x .

Il y'a deux types de capacitance variable utilisées pour la variation de l'inductance active qui sont les capacités variables à jonction PN et les capacités variable MOS.

2.4.3 Consommation d'énergie :

Les inductances en spirale ne consomment pas de l'énergie statique, par contre les inductances actives à base de "gyrateur-c" tirent un courant continu dû à la polarisation des transconductances utilisées, généralement cette consommation en énergie ne présente pas une préoccupation essentielle car la valeur de l'inductance est inversement proportionnelle aux transconductances G_{m1} et G_{m2} .

2.4.4 Le facteur de qualité :

Le facteur de qualité d'une inductance représente le rapport entre l'énergie magnétique stockée dans l'inductance et sa perte ohmique sur un cycle d'oscillation.

Pour les inductances spirales, le facteur de qualité est indépendant du « Voltage / Courant » de la bobine. Cette propriété ne tient pas pour les inductances actives car la valeur de cette dernière dépend des valeurs des transconductances utilisées dans le montage et la capacité de charge C_{GYR} . Quand les inductances actives sont utilisées dans des oscillateurs LC, leurs valeurs sont fortement liées à la variation du voltage et le courant de l'oscillateur. Afin de quantifier le facteur de qualité sur un cycle d'oscillation en fait appel à la définition alternative de ce dernier.

$Q = 2\pi \times$ (l'énergie magnétique pure stockée / l'énergie dissipée dans un cycle d'oscillation)

Les inductances actives sont linéaires quand la variation de voltage et de courant est petite et tous les transistors utilisés sont bien polarisés, on peut extraire le facteur de qualité directement de l'expression suivante :

$$Q = \left(\frac{\omega L}{R_s}\right) \frac{R_p}{R_p + R_s \left[1 + \left(\frac{\omega L}{R_s}\right)^2\right]} \left[1 - \frac{R_s^2 C_p}{L} - \omega^2 L C_p\right] \quad (2.25)$$

La « figure 2.12 » montre la variation du facteur de qualité en fonction de la fréquence de l'inductance active, on peut décomposer l'expression du facteur de qualité en trois termes afin de simplifier l'étude.

Le premier terme noté par :

$$Q_1 = \left(\frac{\omega L}{R_s}\right) \quad (2.26)$$

Quantifie le facteur de qualité de l'inductance active à basse fréquence. Le deuxième terme noté par :

$$Q_2 = \frac{R_p}{R_p + R_s \left[1 + \left(\frac{\omega L}{R_s}\right)^2\right]} \quad (2.27)$$

Représente l'effet de l'impédance de sortie finie du MOSFET,

le troisième terme donné par :

$$Q_3 = \left[1 - \frac{R_s^2 C_p}{L} - \omega^2 L C_p\right] \quad (2.28)$$

montre que le facteur de qualité disparaît lorsque la fréquence se rapproche de la fréquence de coupure des transconductances de l'inducteur actif.

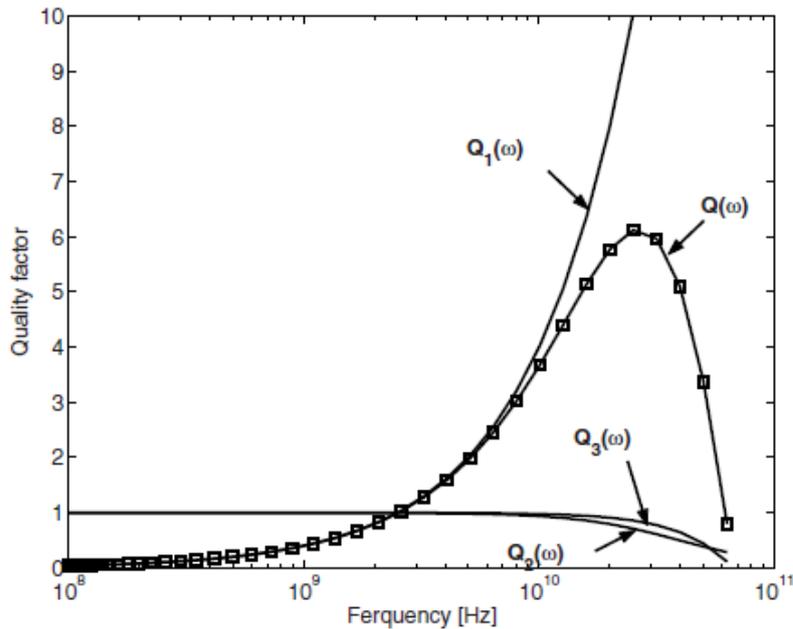


Figure (2.12) [6] : La dépendance du facteur de qualité d'une IA a la fréquence.

2.5 Topologies de quelques inductances actives :

Dans cette partie, on présente quelques topologies d'inductances actives qui sont basées sur différentes techniques.

2.5.1 Inductance active à base d'un seul MOSFET :

Le circuit de la « figure 2.13 » représente un circuit d'inductance active élémentaire utilisant un transistor MOS. En considérant une valeur finie pour la capacité parasite du MOS l'impédance est donnée par l'expression (2.29).

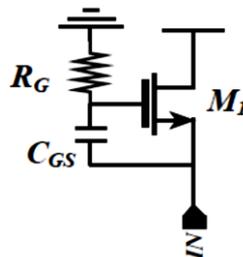


Figure (2.13) [3] : inductance active à partir d'un transistor MOS.

$$Z_{IN} = \frac{1 + S R_G C_{GS}}{C_{m1} + S C_{GS}} \quad (2.29)$$

L'expression de l'inductance est déduite par :

$$L_{GYR} = \frac{R_G C_{GS}}{g_{m1}} \quad (2.30)$$

Dans un domaine de fréquence situé entre le zéro associé à la pulsation, $\omega_{ZGYR} = 1 / (R_G \cdot C_{GS})$ et le pôle $\omega_{PGYR} = g_{m1} / C_{GS}$, le circuit présente une inductance équivalente L_{GYR} . C'est cet effet qui est responsable de l'impédance inductive d'un montage de type suiveur de tension, encore appelé drain commun.

2.5.2 Inductance active de Karsilayan-Schaumann [6] :

L'inductance active proposée par **Karsilayan-Schaumann** est montrée dans la « figure 2.14 », elle est constituée d'une paire différentielle qui représente la transconductance positive et un transistor source commune qui a une transconductance négative.

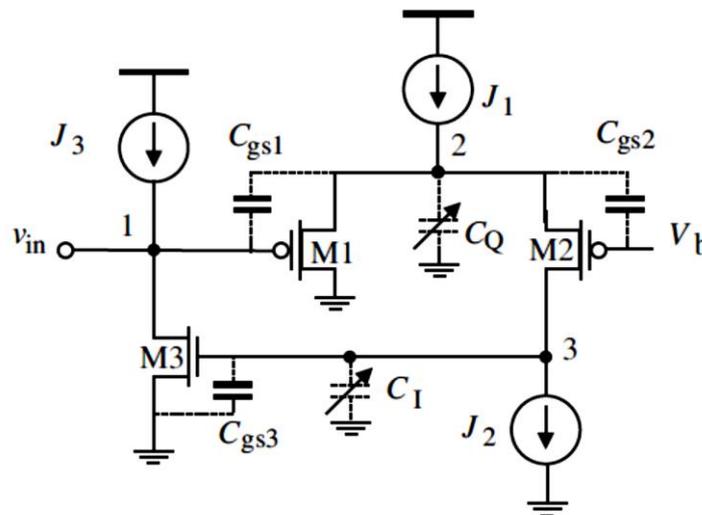


Figure (2.14) [6] : Schéma simplifié de l'inductance active de karsilayan-schaumann.

a) Inductance active sans pertes de Karsilayan-Schaumann

Dans la situation sans pertes suppose que $g_{ds} = 0$. Dans ce cas, l'admittance de l'inductance active est donnée par :

$$Y = sC_{gs1} \frac{sC_{gs2} + g_{m2}}{s(C_{gs1} + C_{gs2}) + (g_{m1} + g_{m2})} + \frac{g_{m2} g_{m3}}{sC_{gs3}} \frac{sC_{gs1} + g_{m1}}{s(C_{gs1} + C_{gs2}) + (g_{m1} + g_{m2})} \quad (2.31)$$

Supposons que M1 et M2 sont parfaitement adaptés, c.-à-d. $g_{m1} = g_{m2} = g_m$, $C_{gs1} = C_{gs2} = C_{gs}$.

L'équation (31) devient:

$$Y = \frac{1}{s \left(\frac{sC_{gs3}}{g_m g_{m3}} \right)} + S \left(\frac{C_{gs}}{2} \right) \quad (2.32)$$

L'équation (2.32) montre que l'inductance active peut être représentée par un condensateur en parallèle avec une inductance. La capacitance et l'inductance sont données par les expressions suivantes :

$$C_p = \frac{C_{gs}}{2} \quad (2.33)$$

$$L = \frac{2C_{gs3}}{g_m g_{m3}} \quad (2.34)$$

L'équation (2.34) montre que la valeur de l'inductance active peut être augmentée en augmentant la capacité entre la grille et la source de M_3 . Cela peut être obtenu par addition d'un condensateur C_1 auxiliaire en parallèle avec C_{gs3} « figure 2.14 ».

L'inductance devient dans ce cas :

$$L = \frac{2(C_{gs3} + C_1)}{g_m g_{m3}} \quad (2.35)$$

Le condensateur auxiliaire C_1 peut être implémenté en utilisant des capacitances variables MOS (capacités variables MOS). L'inductance active peut être réglée de cette manière.

b) Inductance active avec pertes de Karsilayan-Schaumann :

L'analyse précédente exclut l'effet des gds et d'autres capacités parasites des transistors, par conséquent, le facteur de qualité de l'inductance active ne peut être étudié. Dans ce qui suit, nous allons rechercher le facteur de qualité de l'inductance active et son accordabilité par l'approche de Karsilayan et Schaumann. Son circuit équivalent est représenté sur la « figure 2.15 ».

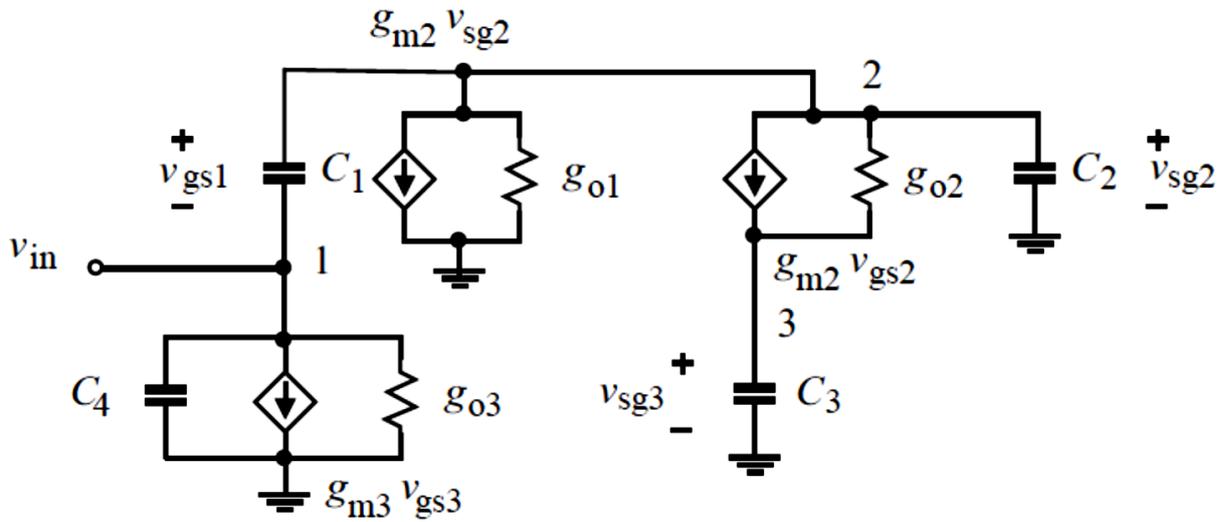


Figure (2.15) [6] : Circuit équivalent petits signaux du karsilayan-schaumann inductance active.

Les condensateurs C_1 , C_2 , C_3 , C_4 représentent le total des capacités, y compris les capacités intrinsèques et parasites rencontrées aux nœuds respectifs.

L'admittance de l'inductance active est donnée par :

$$Y \approx \frac{1}{j\omega + \left(\frac{2C_3}{g_m g_{m3}}\right) + \frac{G(\omega)}{g_m g_{m3}}} \quad (2.36)$$

Avec :

$$G(\omega) = g_{o2} + 2g_{o4} - \omega^2 C_3 \frac{C_1 + C_2}{g_m} \quad (2.37)$$

L'inductance active peut être représentée par une bobine d'inductance :

$$L = \frac{2C_3}{g_m g_{m3}} \quad (2.37)$$

En série avec une résistance série R_S :

$$R_S = \frac{G(\omega)}{g_m g_{m3}} \quad (2.38)$$

Le facteur de qualité Q correspondant est donné par :

$$Q \approx \frac{\omega L}{R_S} \approx \frac{2\omega C_3}{G(\omega)} \quad (2.39)$$

Il est observé à partir de (37) que si l'on pose $G(\omega) = 0$, on obtient :

$$C_2 = \frac{(g_{o2} + 2g_{o4})}{\omega^2 C_3} - C_1 \quad (2.40)$$

Le facteur de qualité de l'inducteur actif deviendra infini. Cette situation doit donc être évitée, Pour ce faire, un condensateur auxiliaire C_Q peut être ajouté à la source de M_1 et M_2 , comme le montre la « figure 2.16 ». Il est important de noter que le facteur de qualité Q est réglé en faisant varier C_Q , qui est la capacité rencontrée à la source de M_1 et M_3 tandis que l'inductance active est accordée par la variation de C_i , la capacité auxiliaire du condensateur inséré entre la grille et la source de M_3 . En d'autres termes, Q et L peuvent être réglés indépendamment.

Dans une mise en œuvre d'inductance active de Karsilayan-Schaumann, pour une technologie CMOS de $0,5 \mu\text{m}$, il a été démontré que le facteur de qualité de l'inductance active est autour de 400 pour une valeur de l'inductance dépassant les 600 nH.

c) Modifications de l'inductance active de Karsilayan-Schaumann :

Pour augmenter la vitesse de l'inducteur actif et réduire la consommation de silicium, il a été montré par Xiao et Schaumann que la précédente inductance active de Karsilayan-Schaumann peut également être mise en œuvre en utilisant que des transistors NMOS (à l'exclusion des sources de courant de polarisation), tel que représenté sur la « figure 2.16 ». Réalisé en technologie CMOS TSMC- $0.18\mu\text{m}$, cette inductance active présente une fréquence de résonance propre de 6,68 GHz et un facteur de qualité de 106.

la transconductance représentée par une source commune (M_3) de la précédente configuration de Karsilayan-Schaumann a été remplacée par un inverseur afin de renforcer la transconductance de g_{m3} à $g_{m3} + g_{m4}$, comme représenté par la « figure 2.17 ». L'inductance est accordée par C_Q variable tandis que le facteur de qualité est réglé en changeant C_i . La tension d'entrée de l'inverseur doit satisfaire $V_{IL} \leq V_2 \leq V_{IH}$ où V_{IL} et V_{IH} sont la tension inférieure et supérieure limites de la zone de

transition de l'inverseur, respectivement, afin de faire en sorte que M3 et M4 sont dans la zone de saturation.

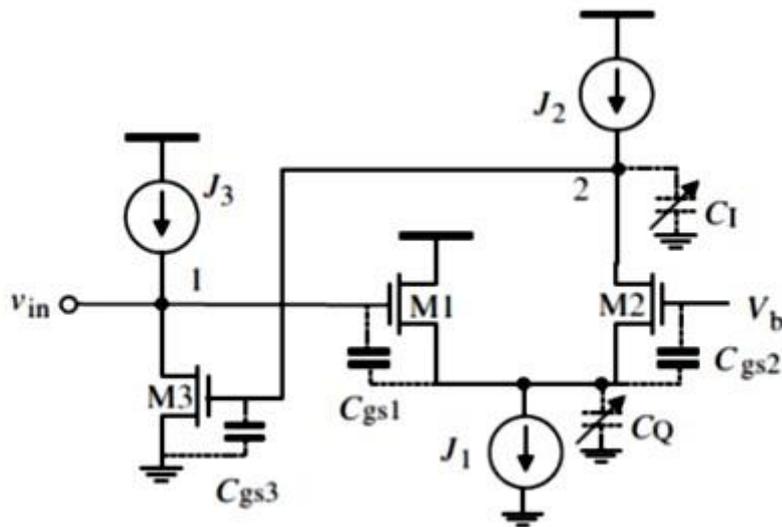


Figure (2.16) [6] : Schéma simplifié de l'inductance active de karsilayan-schaumann utilisant que des transistors NMOS.

Un inconvénient de cette conception est la contrainte rigoureuse imposée sur la balançoire de tension du nœud 2 de l'inductance active.

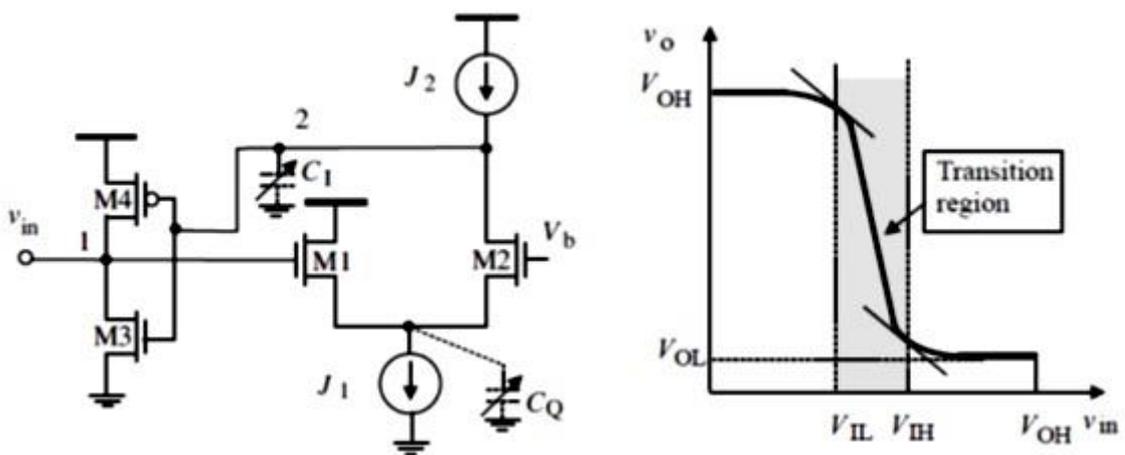


Figure (2.17) [6] : Schémas simplifiés de l'inductance active de karsilayan-schaumann utilisant la transconductance négative d'un inverseur.

2.6 Conclusion

Nous avons présenté une inductance active à base de transistors MOS et deux topologies dont l'une des deux va être approchée par notre conception.

Cette conception traite quelques problèmes parmi tels que :

- Le facteur de qualité : il doit être maximisé et reconfigurable (i.e. pour la même conception d'une inductance active, il est possible d'avoir un facteur de qualité acceptable et ceux pour plusieurs fréquences désirées)
- Le cout de production : il dépend de la quantité de silicium utilisée pour implémenter une configuration donnée (i.e. plus la surface de silicium est réduite moins sera le cout)

Les deux topologies citées nous ont été utiles pour notre approche , en effet, la première (l'Inductance active MOS) nous a permis de nous familiariser avec les inductances actives (topologie très simple), la seconde (la configuration de Karsilayan-Schaumann) nous a inspiré notre propre conception qui est présenté dans le prochain chapitre .

Durant ce travail nous avons réglé un des problèmes majeurs lié à l'intégration des composants passifs l'inductance en particulier en s'appuyant sur le principe du gyrateur-c afin de réaliser une inductance active .

Nous avons développé et en mis en œuvre un circuit sous ADS à base d'inverseurs dont les transistors sont polarisés en régime de saturation. L'effet inductif a pu être obtenu en utilisant un circuit qui ne contient aucune inductance passive. Donc la miniaturisation des inductances est devenue complètement possible vu qu'on utilise que des transistors MOS.

L'utilisation des transistors fournie par la technologie 0.18 μm donne la possibilité de miniaturiser le circuit pour moins de coût et moins de consommation en puissance, les capacités variables qui sont disponibles dans cette technologie facilitent la production des inductances actives reconfigurables.

Nous avons montré à travers les simulations qu'il était possible de régler la valeur de l'inductance active de la topologie proposée. Les résultats acquis ont un rôle plutôt explicatif, ce qui nous a permis de montrer la possibilité de réglage de la topologie étudiée, dans notre mémoire à travers les capacités variables additionnelles et le choix des tailles des transistors constituant les inverseurs. Pour un concepteur qui va utiliser cette topologie il faut un bon travail d'engineering afin de choisir les bons paramètres pour une application voulue.

On peut dire que le domaine de la conception analogique est très riche en possibilité de conception de circuits, les outils de conception et de simulation comme ADS permettent de gérer les composants des nouveaux procédés de fabrication.

Ce travail nous permis de d'enrichir nos connaissances, nous espérons que notre conception va être reprise pour être améliorée et/ou utilisée dans d'autres projets futurs.

3.1 Introduction :

Dans ce chapitre on va présenter notre approche d'une inductance active qui consiste à utiliser les inverseurs à base du transistor MOS fournie par la technologie 0.18 μm . Les inverseurs sont considérés comme des transconductances, afin de réaliser le principe de gyrateur-c.

3.2 Etude d'un inverseur à base du MOSFET :

À travers la « Figure 3.1.a » on peut voir la configuration de l'inverseur qui est conçu à l'aide de deux MOSFET, l'un est un PMOS et l'autre un NMOS, son schéma symbolique représenté dans la « Figure 3.1.b » est un système à une entrée V_{in} et une sortie V_{out} dont la transconductance est $(-GM_2)$ du circuit composé des deux MOSFET « Figure 3.1.a ».

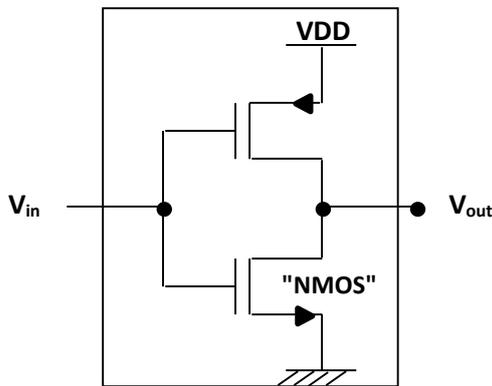


Figure (3.1.a) : schéma représentatif de l'inverseur.



Figure (3.1.b) : transconductance équivalente à l'inverseur.

En régime dynamique où toute source continue (V_{DD}) se retrouve à la masse, le schéma électrique équivalent de l'inverseur CMOS est constitué d'un ensemble de capacités intrinsèques, de résistances internes et de générateurs de courants montés tels que le montre la « Figure 3.2 ».

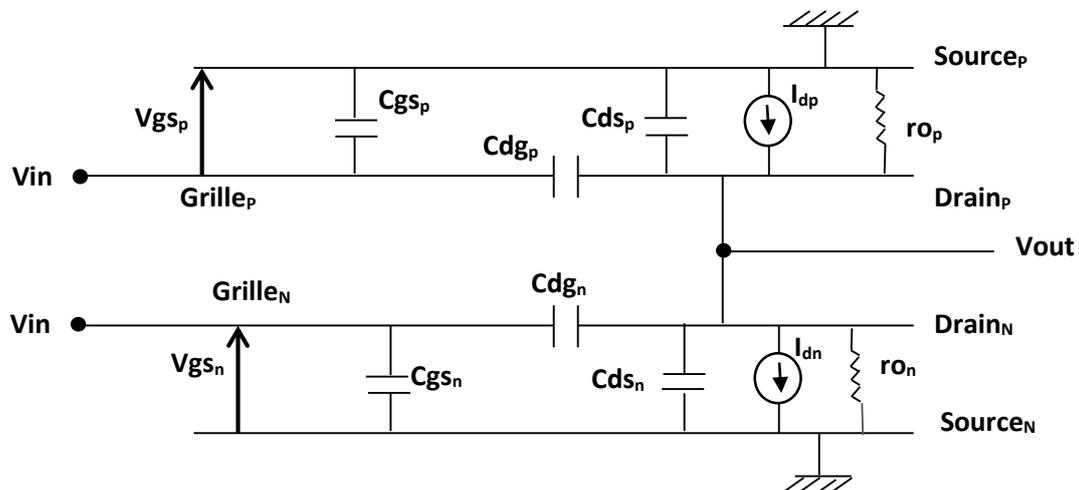


Figure (3.2) : Schéma électrique équivalent de l'inverseur CMOS.

Où :

C_{gs_p} : capacité entre la grille et la source du transistor PMOS

C_{dg_p} : capacité entre le drain et la grille du transistor PMOS

C_{ds_p} : capacité entre le drain et la source du transistor PMOS

r_{o_p} : résistance de sortie du transistor PMOS

C_{gs_n} : capacité entre la grille et la source du transistor NMOS

C_{dg_n} : capacité entre le drain et la grille du transistor NMOS

C_{ds_n} : capacité entre le drain et la source du transistor NMOS

r_{o_n} : résistance de sortie du transistor NMOS

et

$$I_{d_p} = V_{gs_p} * g_{m_p}$$

$$I_{d_n} = V_{gs_n} * g_{m_n}$$

$$V_{gs_p} = -V_{in}$$

$$V_{gs_n} = V_{in}$$

g_{m_p} (respectivement) g_{m_n} : transconductance d transistor P (respectivement) N.

En prenant :

$$R_{o_{inv}} = r_{o_n} // r_{o_p} \quad (3.1)$$

$$C_{gs_{inv}} = C_{gs_n} + C_{gs_p} \quad (3.2)$$

$$C_{ds_{inv}} = C_{ds_n} + C_{ds_n} \quad (3.3)$$

$$C_{gd_{inv}} = C_{gd_n} + C_{gd_p} \quad (3.4)$$

$$I_{d_{inv}} = (g_{m_n} + g_{m_p}) V_{in} \quad (3.5)$$

La version simplifiée du circuit électrique équivalent de l'inverseur CMOS en régime dynamique, est représentée dans la « Figure 3.3 ».

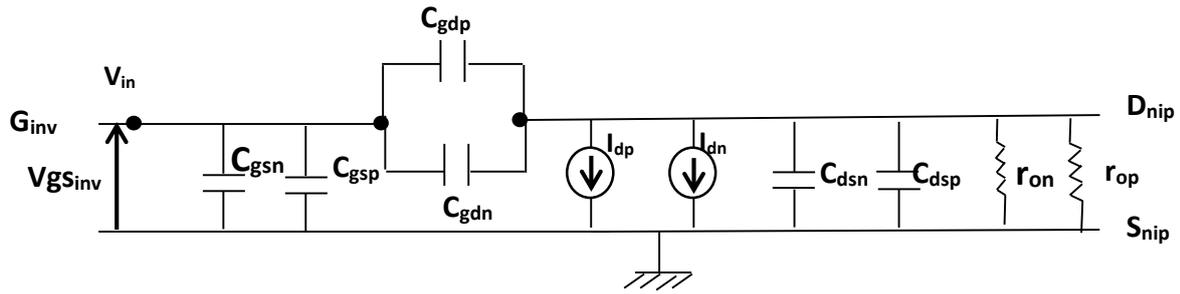


Figure (3.3) : Version simplifiée du circuit électrique équivalent de l'inverseur CMOS.

Afin de simplifier l'étude et donc les calculs, on a utilisé l'effet Miller car il permet la division par deux de la capacité $C_{gd_{inv}}$ de la « Figure 3.4 » et la remplacer par une capacité placée entre la grille et la source qui devient en parallèle avec $C_{gs_{inv}}$ (coté entrée), et une capacité $C_{gd_{out}}$ placée entre le drain et la source (bloc de sortie), les équations qui en découlent sont données ci-dessous.

C_{gd} Inverseur divisé en deux capacités :

$$I_{d_{inv}} = (g_{m_n} + g_{m_p}) * V_{in} \quad (3.6)$$

$$C_{gd_{in}} = C_{gd_{inv}} * (1 - AV) \quad (3.7)$$

$$C_{gd_{out}} = C_{gd_{inv}} * (1 - \frac{1}{AV}) \quad (3.8)$$

$$V_{out} = I_{d_{inv}} * (r_{o_{inv}} // c_{ds_{in}} // c_{gd_{out}}) \quad (3.9)$$

$$\frac{V_{out}}{V_{in}} = -(g_{m_t}) * (Z_{out}) \quad (3.10)$$

Avec :

$$g_{m_t} = g_{m_n} + g_{m_p} \quad (3.11)$$

Et

$$Z_{out} = r_{o_{inv}} // c_{ds_{in}} // c_{gd_{out}} \quad (3.12)$$

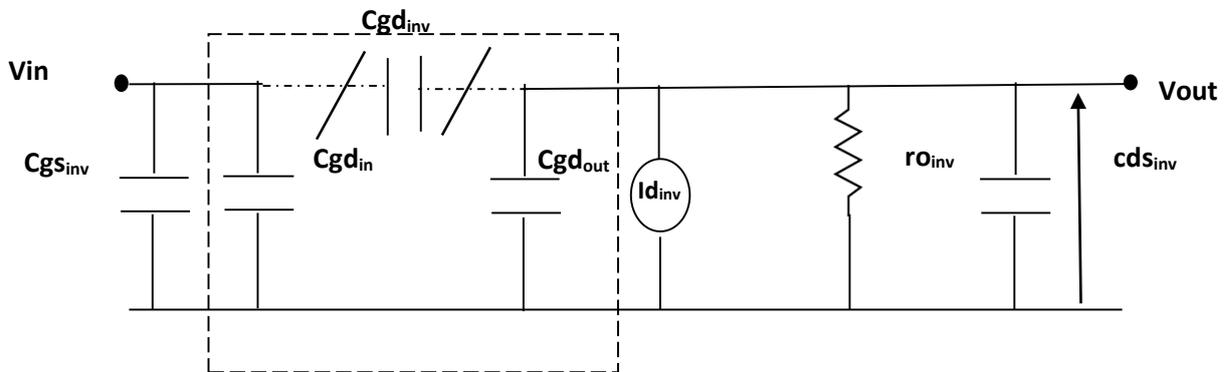


Figure (3.4) : application de l'Effet Miller.

Toutes les représentations et les simplifications faites jusqu'à présent, nous permettent de donner une nouvelle représentation électrique de l'inverseur en introduisant la transconductance équivalente ceci dans le but d'utiliser cette configuration dans la conception de l'inductance active « Figure 3.5 »

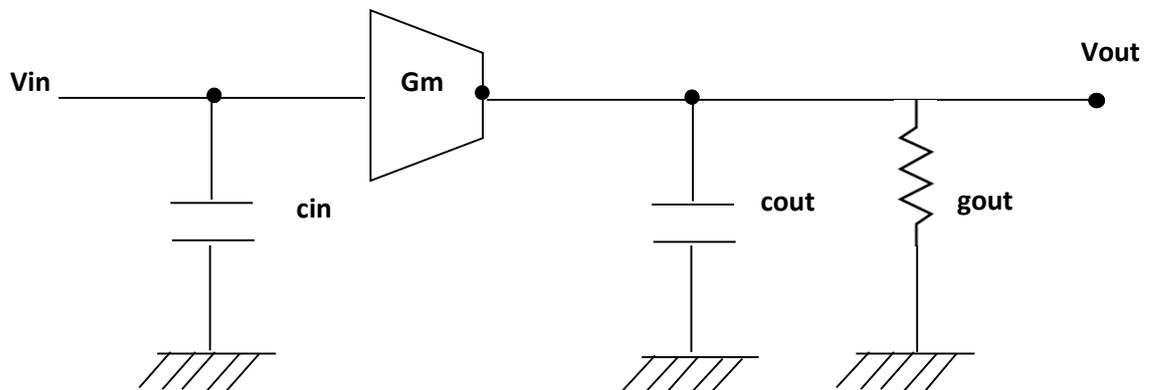


Figure (3.5) : Représentation électrique de l'inverseur en introduisant la transconductance.

Ou :

$$G_m = -(g_{m_n} + g_{m_p}) \quad (3.13)$$

$$G_{out} = \frac{1}{(r_{o_n} // r_{o_p})} \quad (3.14)$$

$$C_{out} = cds_n + cds_p + (cgd_n + cgd_p) \cdot \left(1 - \frac{1}{AV}\right) \quad (3.15)$$

$$C_{in} = cgs_n + cgs_p + (cgd_n + cgd_p) \cdot (1 - AV) \quad (3.16)$$

On sait que en régime de saturation la valeur de (C_{ds} , C_{gd}) sont très faibles devant (C_{gs}) par conséquent :

$$C_{in} = (c_{gs_n} + c_{gs_p}) \quad (3.17)$$

La « Figure 3.6 » résume l'étude schématique d'un inverseur « MOS » :

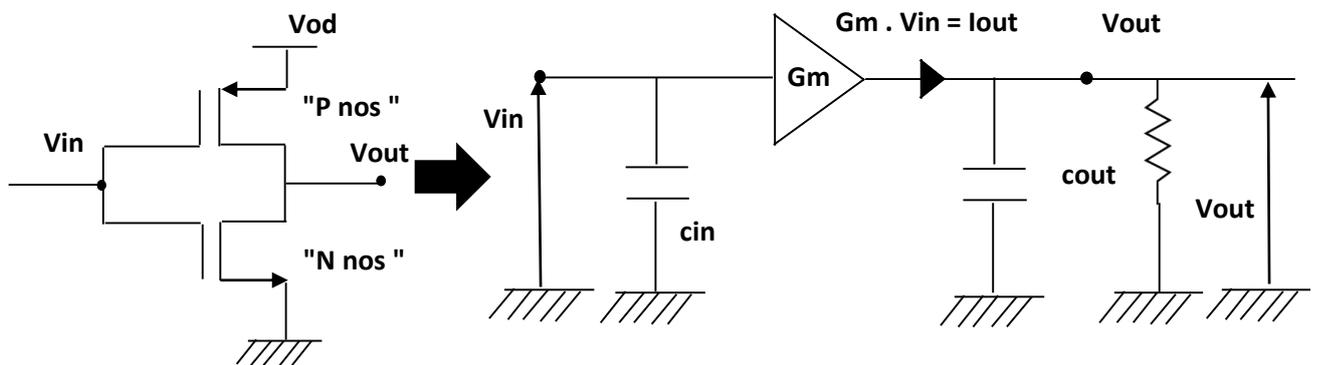


Figure (3.6) : Schéma définitif d'un inverseur MOS.

On prend:

$$G_M = - (g_{m_n} + g_{m_p}) \quad (3.18)$$

$$G_{in} = (C_{g_{sn}} + C_{g_{sp}}) \quad (3.19)$$

$$C_{out} = (C_{d_{sn}} + C_{d_{sp}}) \quad (3.20)$$

$$R_{out} = (r_{out_n} + r_{out_p}) \quad (3.21)$$

$$I_{out} = G_M \cdot V_{in} \quad (3.22)$$

3.3 Etude d'une inductance active à base d'inverseurs :

L'inductance active étudiée dans ce mémoire est constituée de trois inverseurs MOS montés en source commune à transconductance négative. Les deux premiers inverseurs Inv_1 et Inv_2 sont en série simulant ainsi une transconductance positive, l'ensemble est mis en parallèle avec un troisième inverseur Inv_3 « Figure 3.7 », ce montage est connu sous le nom de « **back to- back** ».

Une capacité C_{gyr} est ajoutée en sortie afin de réaliser le principe du gyrateur-c (génération de l'effet inductif).

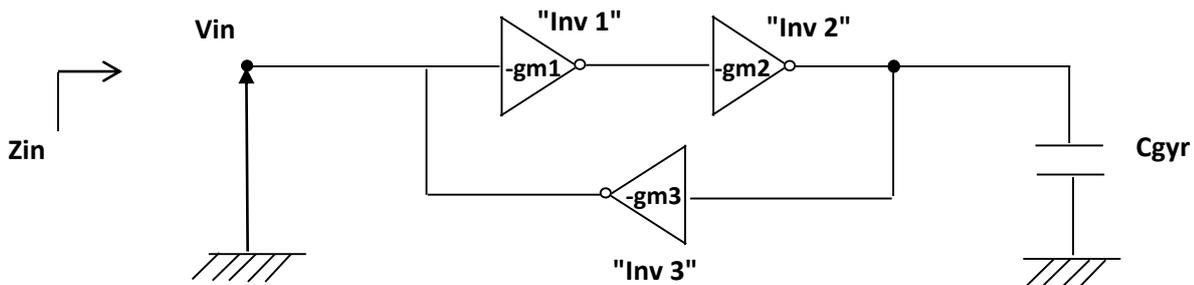


Figure (3.7) : Représentation schématique de l'inductance active étudiée.

Les inverseurs MOS de la « Figure 3.7 » sont remplacés par leurs schémas réels en introduisant les capacités d'entrée et de sortie ainsi que les résistances de sortie de chaque inverseur nous obtenons le circuit électrique de la « Figure 3.8 » :

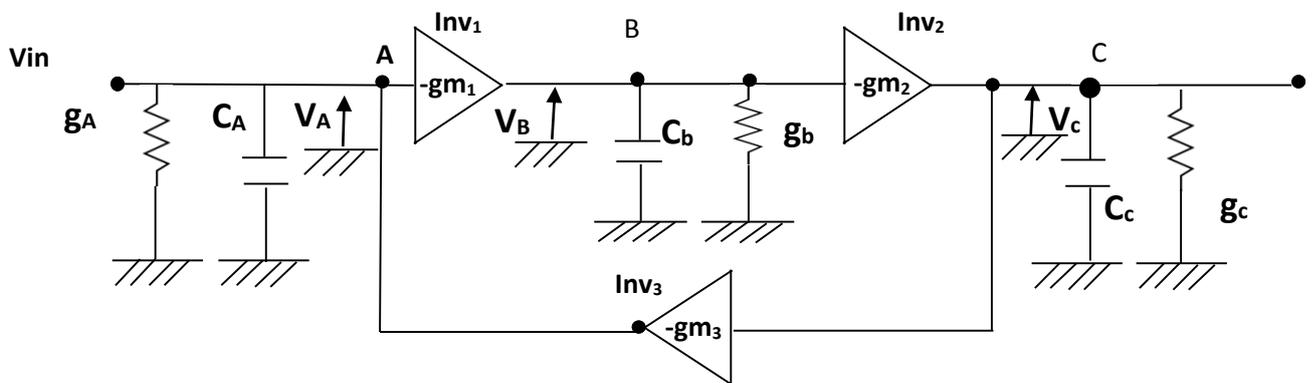


Figure (3.8) : Schéma électrique réel de l'inductance active étudiée.

Dans ce qui suit nous allons chercher l'impédance d'entrée Z_{in} du gyrateur-c pour cela on note :

$$g_A = \frac{1}{R_{oinv_3}} ; C_A = (C_{dsinv_3} + C_{gsinv_1}) \tag{3.23}$$

$$g_B = \frac{1}{R_{oinv_1}} ; C_B = (C_{dsinv_1} + C_{gsinv_2} + C'_B) \tag{3.24}$$

$$g_c = \frac{1}{R_{\text{inv}2}} ; \quad C_c = (C_{\text{dsinv}2} + C_{\text{gsinv}3} + C_{\text{gyr}}) \quad (3.25)$$

Avec :

g_A : conductance de l'inverseur 3

g_B : conductance de l'inverseur 1

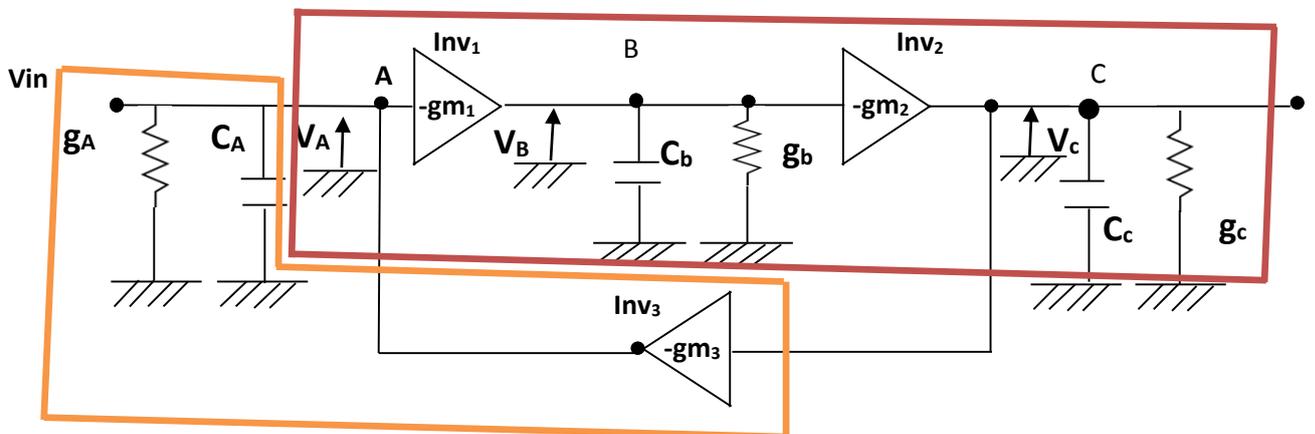
g_C : conductance de l'inverseur 2

C'_B : une capacité additionnelle au point « B » qu'on peut la variée

C_{gyr} : une capacité additionnelle au point « C » qu'on peut la variée

Notre étude du circuit du gyrateur-c est faite en deux étapes, dans une première partie on considère que les deux premiers inverseurs Inv_1 , Inv_2 ainsi que les capacités C_B , C_c et les conductances g_B et g_C .

Dans la seconde partie on considère l'inverseur trois avec la capacité C_A et la conductance g_A « Figure 3.9 ».



Figure(3.9) : Représentation du bloc 1 en rouge et le bloc 2 en orange.

3.3.1 Etude du premier bloc :

L'intérêt d'étudier le premier bloc à part est la discrimination de la transconductance positive et de remplacer tout l'ensemble par une seule transconductance qui a moins de paramètres. Cela ce fait à travers les équations suivantes((3.26)...(3.31)).

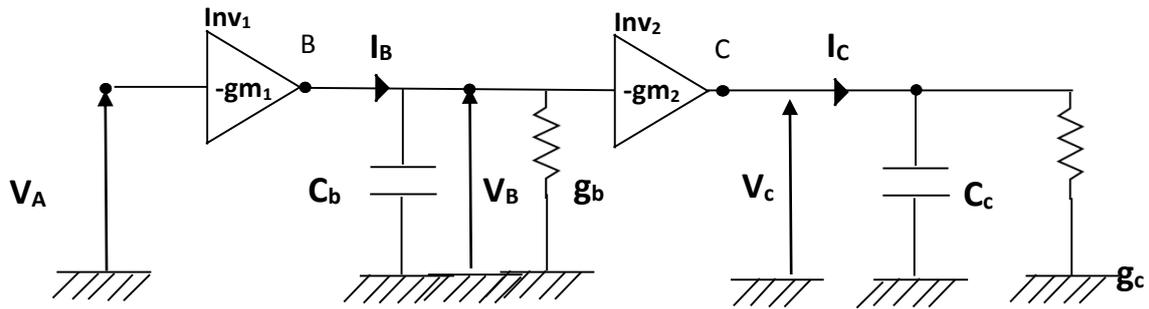


Figure (3.10) : Schéma électrique du premier bloc.

$$V_B = \frac{-V_A \cdot gm_1}{SC_B + g_B} \quad (3.26) \quad \text{avec : } I_B = -V_A \cdot gm_1 \quad (3.27)$$

$$-gm_1 = -(gm_{n1} + gm_{p1}) \quad (3.28)$$

$$V_C = \frac{-V_B \cdot gm_2}{SC_C + g_C} \quad (3.29) \quad \text{avec : } I_C = -V_B \cdot gm_2 \quad (3.30)$$

$$-gm_2 = -(gm_{n2} + gm_{p2}) \quad (3.31)$$

On remplace l'équation (3.26) dans l'équation (3.29) on obtient l'équation (3.32) qui représente l'expression de la tension au nœud C.

$$V_C = \frac{V_A \cdot gm_1 \cdot gm_2}{1} \cdot \frac{1}{(SC_B + g_B) \cdot (SC_C + g_C)} \quad (3.32)$$

Après les calculs précédents, nous avons le droit de grouper Inv₁ et Inv₂ en une seule transconductance qui est représentée dans la « Figure 3.11 » par Invéqu avec une valeur de transconductance de gméqu.

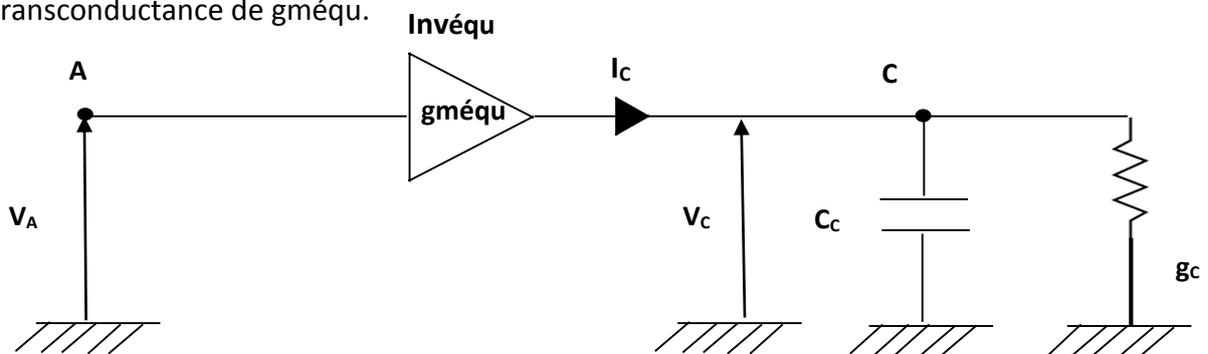


Figure (3.11) : Schéma définitif du premier bloc.

L'expression de la transconductance équivalente peut être extraite en remplaçant l'équation (3.26) dans l'équation (3.30).

$$g_{méqu} = \frac{g_{m1} g_{m2}}{SC_B + g_B} \quad (3.33)$$

3.3.2 L'expression de l'impédance d'entrée Z_{in} :

Le schéma dans la « Figure 3.12 » représente l'ensemble des deux blocs qui constituent l'inductance active, afin d'évaluer la valeur de l'inductance, on a intérêt de chercher l'expression de l'impédance d'entrée totale qui va nous aider au cours de notre étude.

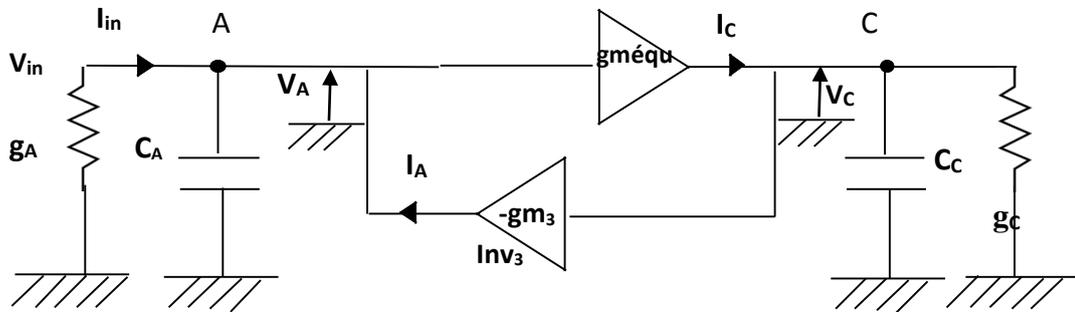


Figure (3.12) : Ensemble des deux blocs constituent l'inductance active.

Cherchons d'abord le courant de la sortie d'Inv₃ « I_A ».

$$V_C = \frac{V_A g_{méqu}}{(SC_C + g_C)} \quad (3.34)$$

$$I_A = \frac{-V_A g_{méqu} g_{m3}}{(SC_C + g_C)} \quad (3.35)$$

Avec :

$$(V_{in} = V_A) \text{ et } -g_{m3} = -(g_{m3} + g_{mp3}) \quad (3.36)$$

On a :

$$V_{in} = \frac{I_{IN} + I_A}{(SC_C + g_C)} \quad (3.37)$$

$$I_{in} = V_{IN} (g_A + SC_A) - I_A \quad (3.38)$$

$$I_{IN} = V_{IN} (g_A + SC_A) + \frac{-V_A g_{méqu} g_{m3}}{(SC_C + g_C)} \quad (3.39)$$

$$I_{IN} = V_{IN} (g_A + SC_A) + \frac{g_{m1} g_{m2} g_{m3}}{(SC_C + g_C) (SC_B + g_B)} \quad (3.40)$$

Dans le but de simplifier les calculs on traite l'admittance équivalente y_{IN} .

$$y_{IN} = \frac{I_{IN}}{V_{IN}} = g_A + S C_A + \frac{g_{m1} g_{m2} g_{m3}}{(S C_C + g_C)(S C_B + g_B)} \quad (3.41)$$

On s'intéresse par le troisième terme dans l'équation (3.41) afin d'investiguer l'effet inductif, les équations ((3.42)...(3.45)) montrent les étapes qui conduisent à obtenir l'expression de l'inductance équivalente L.

$$y'_{IN} = \frac{g_{m1} g_{m2} g_{m3}}{S C_A C_B + S C_C g_B + g_C g_B + S G_C g_B + S g_C C_B} \quad (3.42)$$

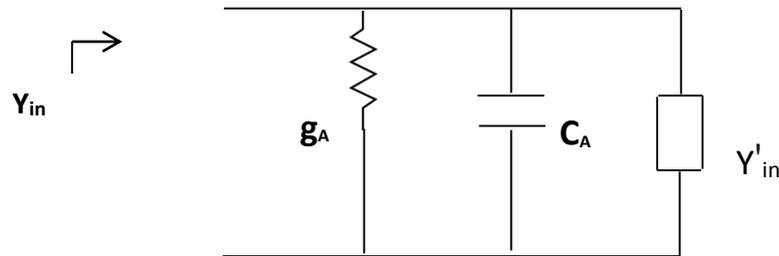


Figure (3.13) : Circuit électrique qui simule l'admittance totale du l'inductance active.

$$y'_{IN} = \frac{g_{m1} g_{m2} g_{m3}}{S C_A C_B + S C_C g_B + g_C g_B + S G_C g_B + S g_C C_B} \quad (3.43)$$

$$y'_{IN} = \frac{g_{m1} g_{m2} g_{m3}}{S(C_C g_B + C_B g_C) + g_C g_B + S g_C C_B} \quad (3.44)$$

On sait que l'impédance est l'inverse de l'admittance, dans l'équation (3.45) l'impédance Z'_{IN} associée à l'admittance y'_{IN} est exprimée, le premier terme représente l'expression du l'inductance $L_{équ}$ (voir l'équation(3.46)), le deuxième terme représente les pertes Joule R_{Ioss} (voir l'équation (3.47)) qui sont en fonction de la fréquence de travail ω^2 .

$$Z'_{IN} = S \frac{C_C g_B + C_B g_C}{g_{m1} g_{m2} g_{m3}} + \frac{g_C g_B - (\omega^2) C_C C_B}{g_{m1} g_{m2} g_{m3}} \quad (3.45)$$

$$L_{équ} = \frac{C_C g_B + C_B g_C}{g_{m1} g_{m2} g_{m3}} \quad (3.46)$$

$$R_{\text{loss}} = \frac{g_C g_B - (\omega^2) C_C C_B}{g_{m_1} g_{m_2} g_{m_3}} \quad (3.47)$$

Le schéma dans la « Figure 3.14 » montre la représentation finale et simplifiée de l'inductance active en introduisant l'inductance équivalente et les pertes joule dû à la fréquence.

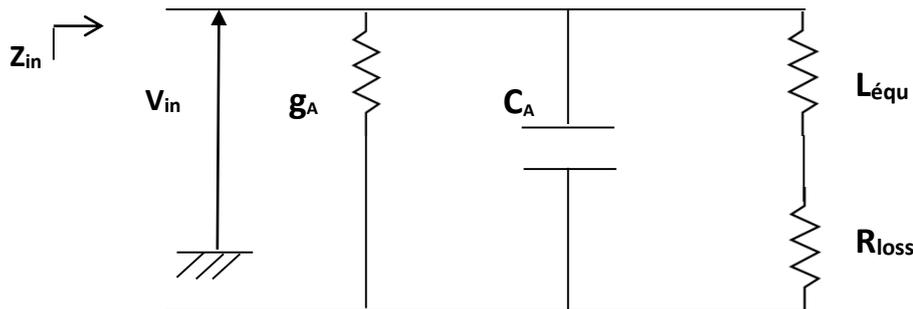


Figure (3.14) : Schéma électrique final d'une inductance active.

Dans ce qui suit nous allons mettre en œuvre notre modèle en réalisant son implémentation sous un logiciel de développement de circuits appelé ADS.

3.4 Présentation du logiciel ADS :

Advanced Design Systems connus sous le nom d'ADS est un logiciel qui permet la conception, la simulation et présentation des résultats

Pour réaliser un projet sous ADS on doit passer par trois étapes fondamentales « Figure 3.15 » :

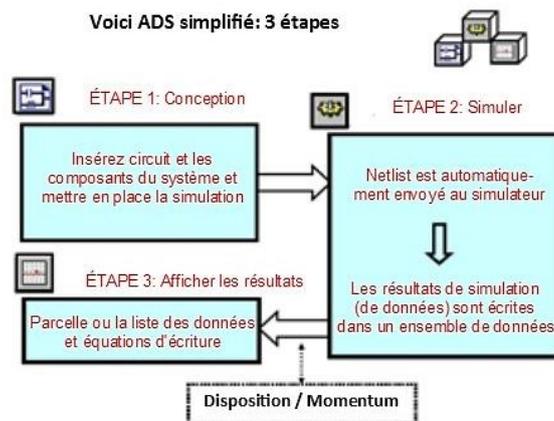


Figure (3.15) : Étapes de réalisation d'un projet sous ADS.

3.4.1 Étape de conception

La conception consiste à utiliser les bibliothèques ainsi que les designs kits (présentant à chaque fois de nouveaux procédés de fabrication (0.25µm, 0.22µm, 0.18µm et 0.13µm)) de ADS pour insérer les circuits et les composants du système et prépare les étapes de simulation « figure 3.16 ».

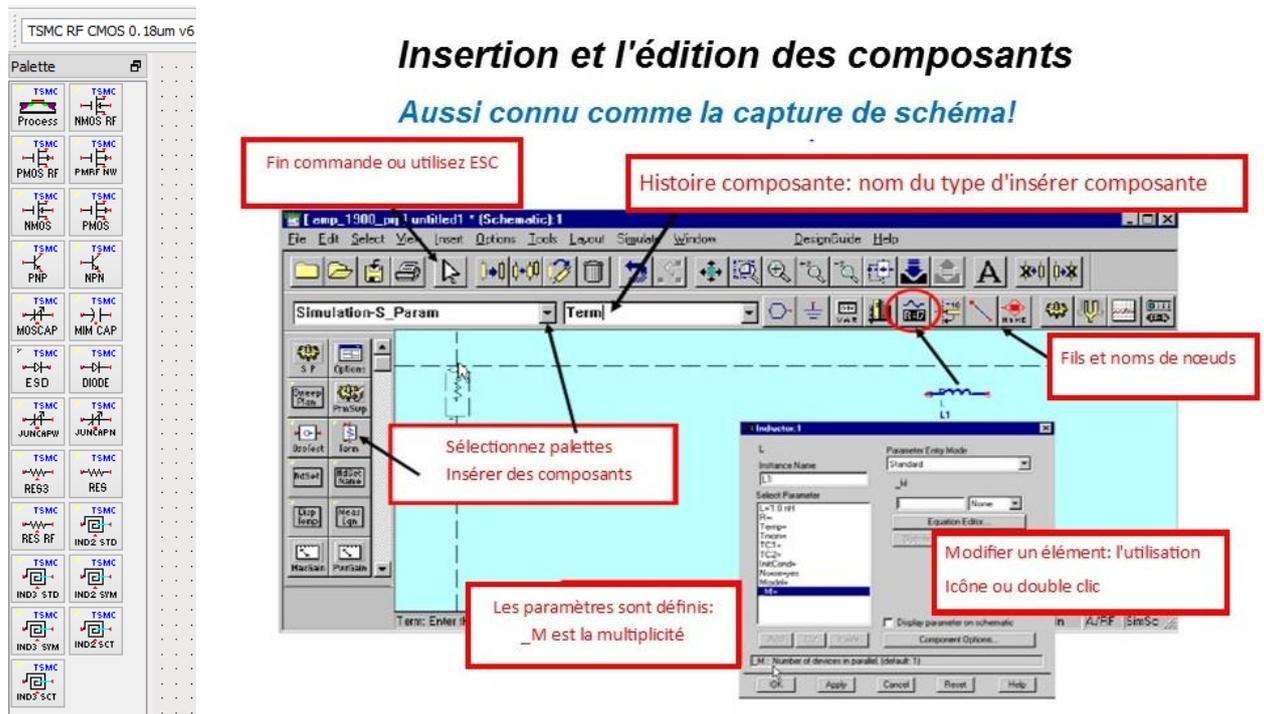


Figure (3.16) : Etapes d'édition d'un circuit sous ADS.

Dans cette phase est choisie la bibliothèque de composants à utiliser, par exemple TSMC RF CMOS 0.18 µm v6, Sont également choisis les composants du circuit à concevoir dont les paramètres sont modifiables selon nos besoins. Une fois le circuit conçu, il est sauvegardé dans un fichier conception ou design (*.dsn)

3.4.2 Étape de simulation :

Dans cette phase on présente les simulateurs les plus utilisés dans notre travail.

a- Simulateur DC : il est sollicité dans les régimes continus « figure 3.17 ».

b- Simulateur AC : il est utilisé lorsque les sources sont alternatives i.e. le régime dynamique « figure 3.17 ».

c- Simulateur des paramètres S : dans notre cas, il est utilisé pour mettre en évidence l'impédance du circuit en en fonction de la fréquence « figure 3.17 ».

d- Le balayeur des paramètres (PARAMETER SWEEP) : il est associé à tous les simulateurs, il permet de simuler les circuits en introduisant plusieurs paramètres à la fois « figure 3.17 ».

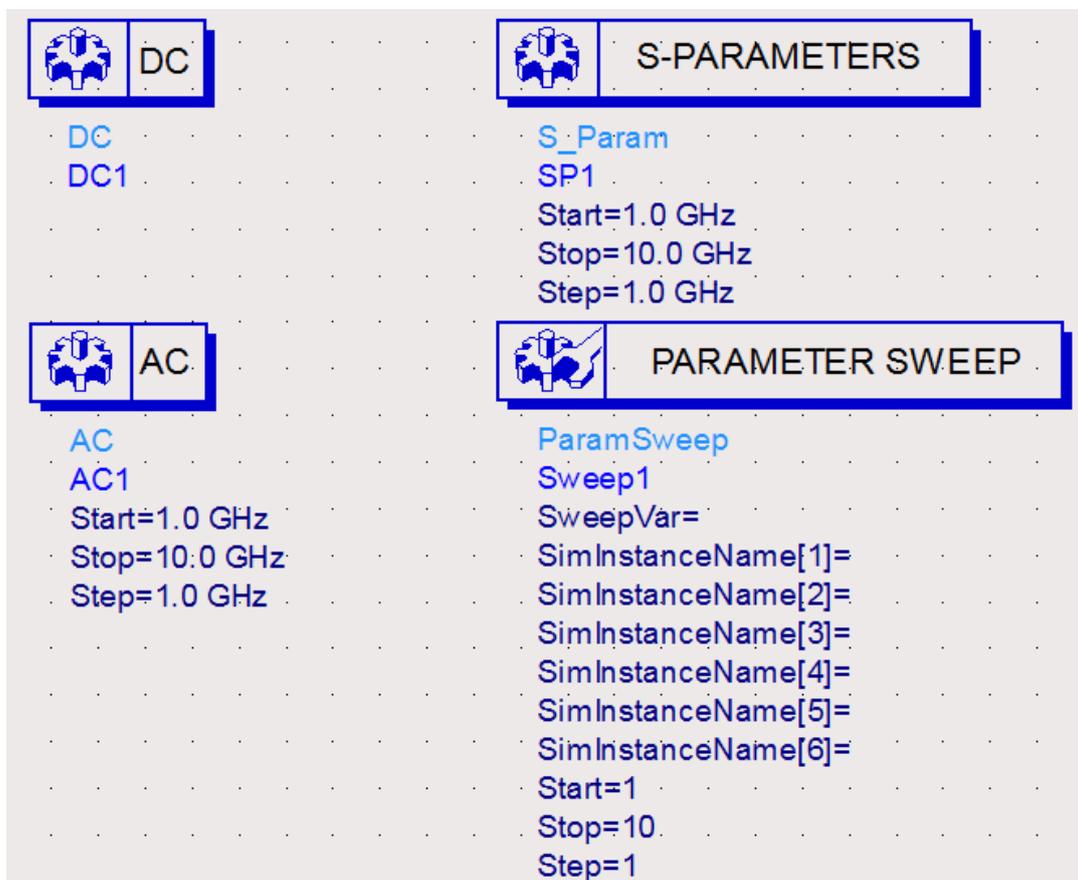
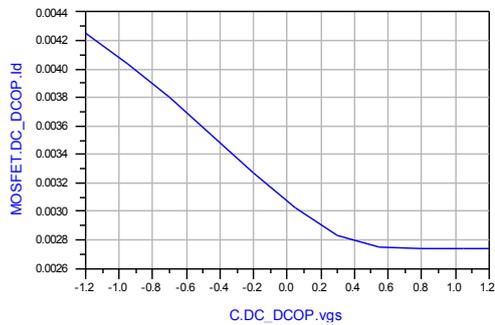


Figure (3.17) : Présentation des différents simulateurs.

3.4.3 Étape de présentation des résultats

Une fois la simulation lancée et terminée, une fenêtre apparaît mettant en évidence le résultat de cette dernière sous plusieurs formes possibles (forme graphique ou tabulaire etc...) « Figure 3.18 », les résultats vont être sauvegardé dans un fichier de type (*.dds).



C.DC_DCOP.vgs	MOSFET.DC_DCOP.id index=1
-1.200	0.004
-0.950	0.004
-0.700	0.004
-0.450	0.004
-0.200	0.003
0.050	0.003
0.300	0.003
0.550	0.003
0.800	0.003
1.050	0.003
1.200	0.003

Figure (3.18.a) : résultats sous forme graphique.

Figure (3.18.b) : résultats sur tableau.

Figure (3.18) : exemple de présentation des résultats.

3.5 Simulation de l'inductance active à base d'inverseurs :

Dans la partie pratique nous avons procédé en deux étapes : la conception et la réalisation D'un inverseur à base de MOSFET puis l'implémentation du circuit de l'Inductance Active qui est basé sur les blocs d'inverseurs.

3.5.1 Simulation du bloc inverseur :

L'inverseur utilisé dans le circuit de l'inductance active est représenté dans la « figure 3.19 »

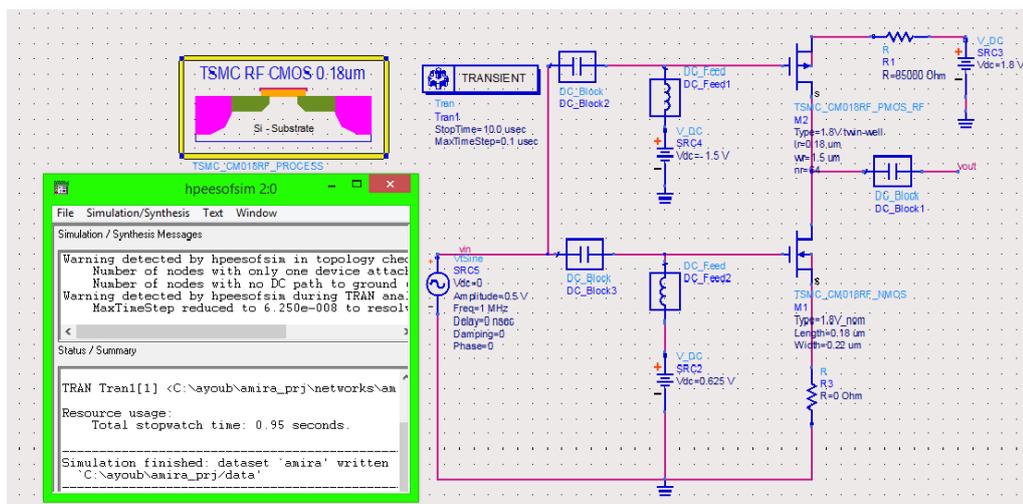


Figure (3.19) : Circuit d'un inverseur MOS en simulation (0.18µm).

Il est construit à partir de deux transistors MOSFET (un nMOST et un pMOST) La « figure 3.19 » montre les parties conception (à droite) et simulation (à gauche). La largeur W du transistor pMOST est quatre fois et demi plus grande que celle du nMOST, ceci est du faite que pour la technologie $0.18 \mu\text{m}$, la mobilité des électrons est quatre fois et demi plus importante que celle des trous.

Pour avoir un effet d'inversion, les transistors sont polarisés hors la zone de blocage la « figure 3.20 » montre cet effet.

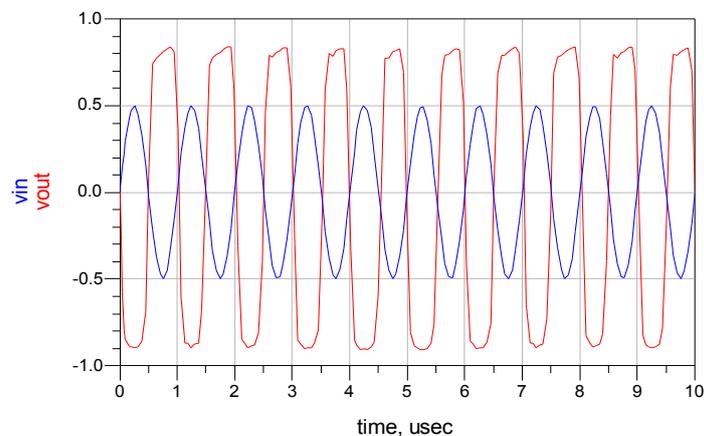


Figure (3.20) : Résultat de simulation qui montre V_{in} et V_{out} d'un inverseur.

Pour la réalisation de l'inductance active, l'effet d'inversion n'est pas indispensable, on ne considère que les transconductances des transistors, pour ce faire les transistors sont polarisés dans la zone de saturation afin d'utiliser l'effet d'amplification. D'après l'étude théorique la transconductance totale du circuit inverseur est négative et est égale à la somme des transconductances des MOSFET.

Dans le paragraphe suivant le bloc inverseur est utilisé pour simuler le circuit de l'inductance négative.

3.5.2 Simulation du circuit de l'Inductance Active :

Pour simuler le circuit de l'inductance active, nous avons réalisé le synoptique de la « figure 3.7 » en utilisant les blocs d'inverseurs à transconductance négative « figure 3.22 ».

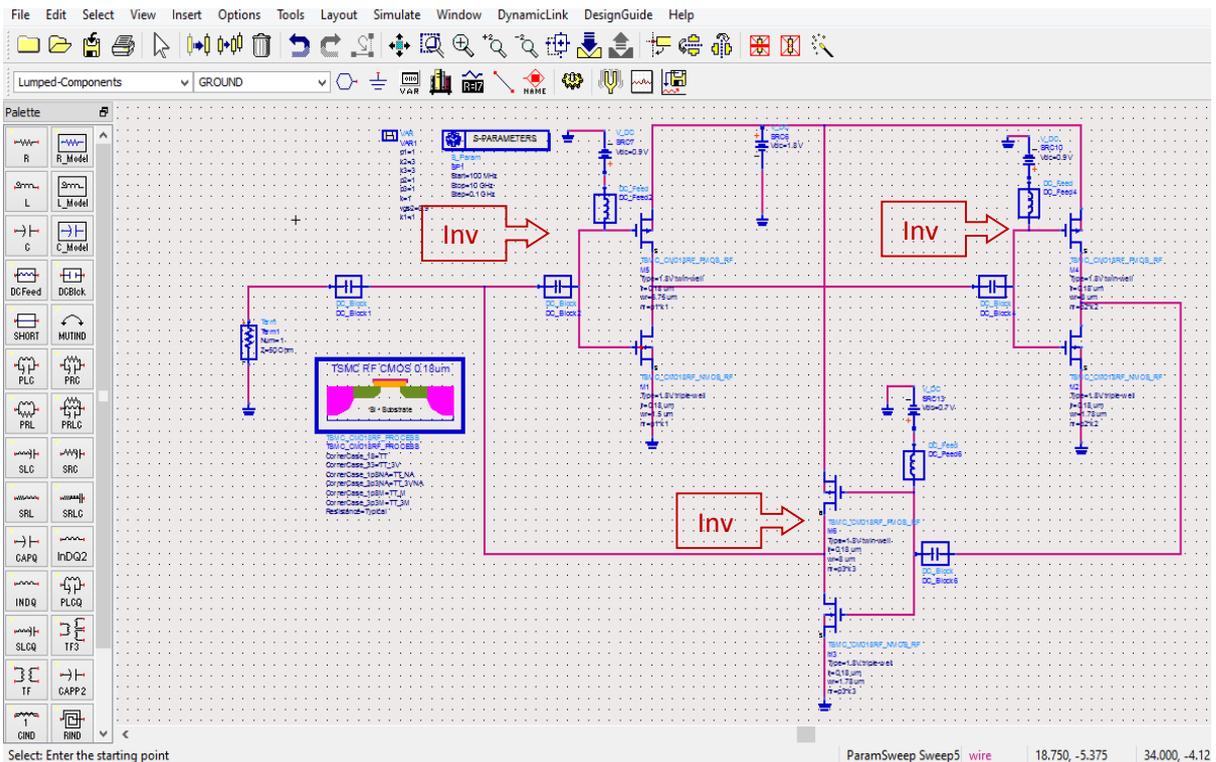


Figure (3.21) : circuit de l'inductance active sous ADS.

Pour obtenir l'effet inductif du circuit, plusieurs dispositions ont été prises :

- Les tensions de grille V_g de chaque transistor sont choisies pour les mettre en régime de saturation en respectant la condition de saturation :

$$V_{gs} - V_{th} \leq V_{ds}$$

En reposant aussi sur les informations données par la « Figure 3.23 » qui montre aussi les différentes régimes de fonctionnement d'un inverseur MOS, car on s'intéresse à la zone de saturation la caractéristique dans la « Figure 3.23 » nous donnera une idée sur les valeurs des V_{gs} .

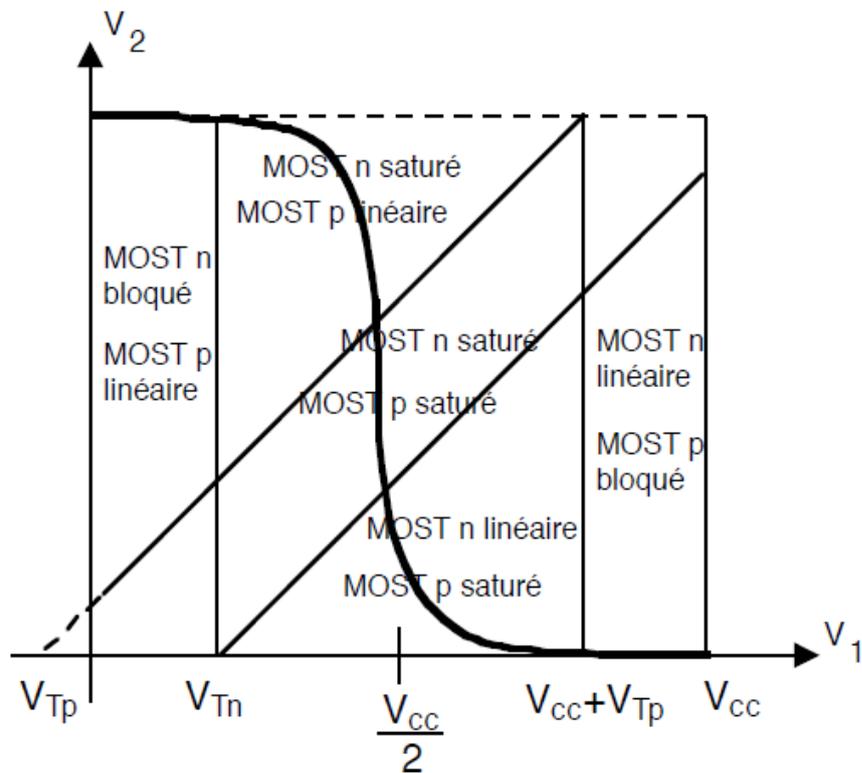


Figure (3.22) : Caractéristique entrée sortie d'un inverseur MOS.

On note :

V_1 : la tension d'entrée ou de polarisation (V_{gs}).

V_2 : la tension de sortie de l'inverseur.

V_{cc} : la tension d'alimentation de l'inverseur.

V_{Tp} : la tension de threshold du transistor pMOS (MOST p).

V_{Tn} : la tension de threshold du transistor nMOS (MOST n).

- D'après la théorie, la valeur de l'inductance dépend des capacités de sortie et d'entrée des inverseurs Inv_2 et Inv_3 respectivement de la « Figure 3.22 », par conséquent il faudrait augmenter les tailles (W) d' Inv_2 et d' Inv_3 par rapport à celle d' Inv_1 .

- La résistance de sortie doit être au minimum, et par voie de conséquence on fait varier la tension de grille source V_{gs} du troisième inverseur pour la diminuer.

Tableau (3.1) : valeurs des paramètres des inverseurs prises qui donnent l'effet naissance à l'effet inductif.

	Inverseur Inv ₁	Inverseur Inv ₂	Inverseur Inv ₃
V _g (V)	0.9	0.9	0.7
W pMOSFET (μm)	6.75	24	24
W nMOSFET (μm)	1.5	5.34	5.34

Nous avons obtenus les résultats graphiques suivants :

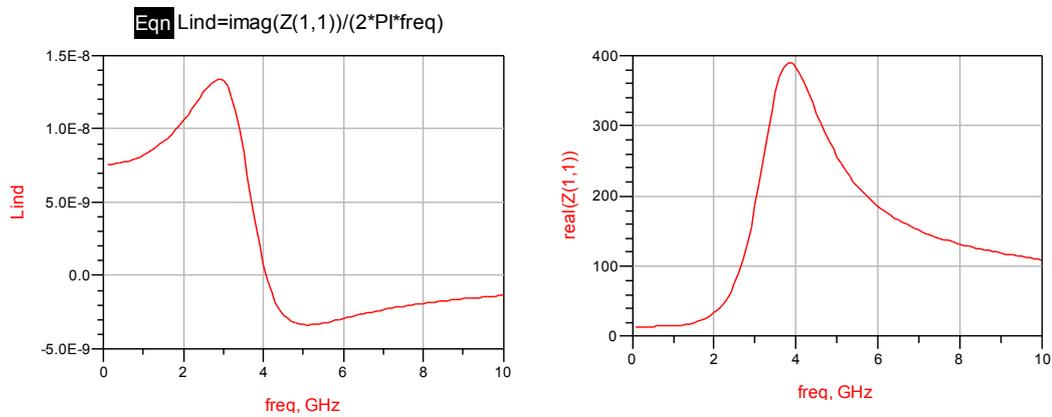


Figure (3.23) : Résultat de la simulation de l'inductance active qui présente l'effet inductif (L_{ind}) à gauche et la partie réelle de l'impédance totale (Z) à droite en fonction de la fréquence (freq).

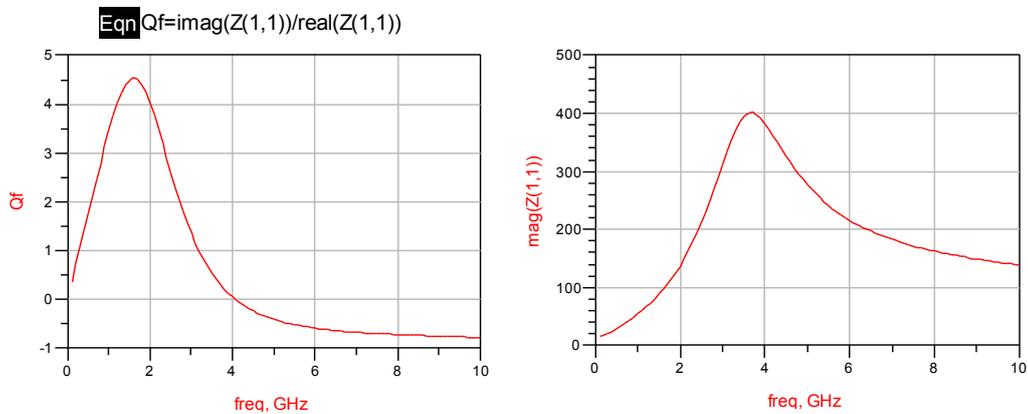


Figure (3.24) : Résultat de la simulation de l'inductance active qui présente le facteur de qualité (Q_f) à gauche et le module de l'impédance totale (Z) à droite en fonction de la fréquence (freq).

La « Figure 3.24 » montre que l'effet inductif est présent sur une plage de fréquence de 100 MHz à 4 GHz avec des valeurs entre 7.58 nH et 0.70 nH avec une valeur maximale de 13.41 nH à 2.9 GHz.

Le facteur de qualité est aussi représenté dans la « Figure 3.25 » il varie de 0.37 à la fréquence 100 MHz jusqu'à 0.046 à la fréquence 4 GHz passant par un maximum de 4.533 à la fréquence 1.6 GHz ou le rapport entre la valeur de l'inductance et celle de la partie réelle de l'impédance Z est maximum.

3.5.3 Simulation de l'inductance active en fonction des tailles des inverseurs :

Afin d'améliorer les valeurs de l'inductance (Lind) et le facteur de qualité (Qf), on va jouer sur les valeurs des tailles (W) des trois inverseurs, en utilisant le balayeur des paramètres fournie par ADS dans le but de faire une simulation paramétrique qui permet de varier les trois tailles des trois inverseurs en même temps en plus de la fréquence.

On va se limiter à un maximum de taille ($W = 48 \mu\text{m}$) pour Inv_3 car d'après les calculs théoriques il faut qu'il soit le plus grand parmi les trois inverseurs, dans ce mémoire on va admettre que dans la conception de l'inverseur sa taille correspond au W du transistor pMOS utilisé. Cette condition est faite pour limiter les résultats obtenus par la simulation afin qu'ils deviennent plus simple à manipuler car le but est juste de montrer la relation entre la variation des tailles des transistors et les valeurs de l'inductance (ou partie imaginaire) et le facteur de qualité.

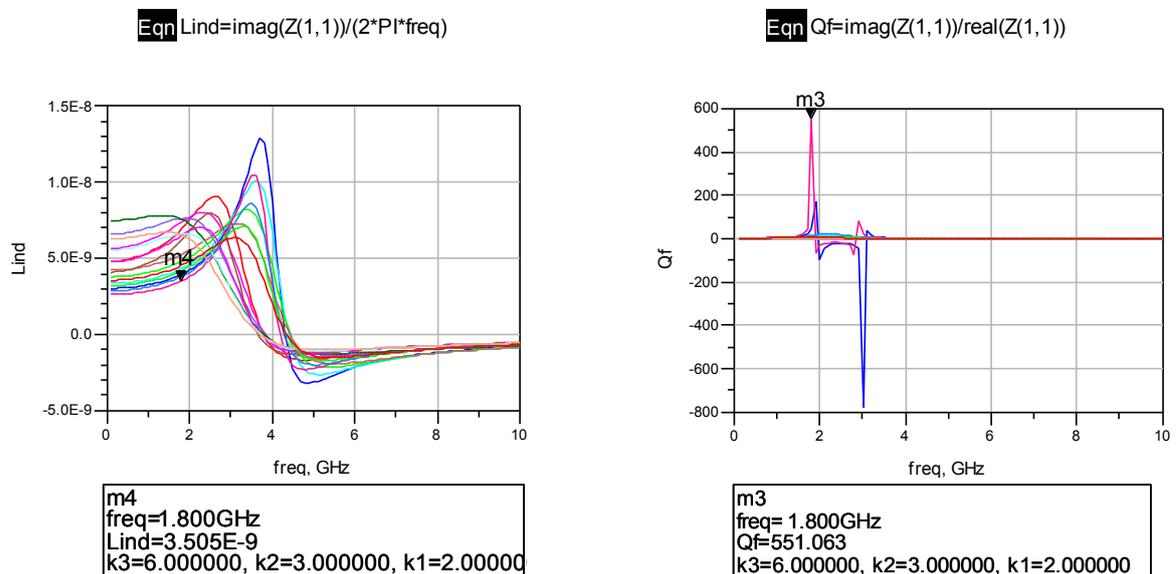


Figure (3.25) : Représentation des résultats de la simulation paramétrique en changeant les tailles des inverseurs.

La « Figure 3.26 » montre que les paramètres de l'inductance active changent avec la combinaison des tailles des inverseurs choisis, le facteur de qualité et l'inductance peuvent atteindre des grandes valeurs pour certaines fréquences comme le montre les curseurs m3 et m4.

La largeur W de chaque transistor est proportionnellement liée au nombre de (finger) k1, k2 et k3 des transistors qui constituent les trois inverseurs respectivement.

3.5.4 Simulation du facteur de qualité du circuit en fonction de la capacité additionnelle C_1 entre les inverseurs Inv_1 et Inv_2 :

En fonction de ce qui a été dit au chapitre 2 paragraphe 2.5.2 c) et l'expression de R_{loss} (équation 3.47), dans cette étape nous allons ajouter au circuit de la « figure 3.22 » une capacité C_1 variable qui en variant va influencer le facteur de qualité (Qf) en minimisant la valeur de R_{loss} « figure 3.27 ».

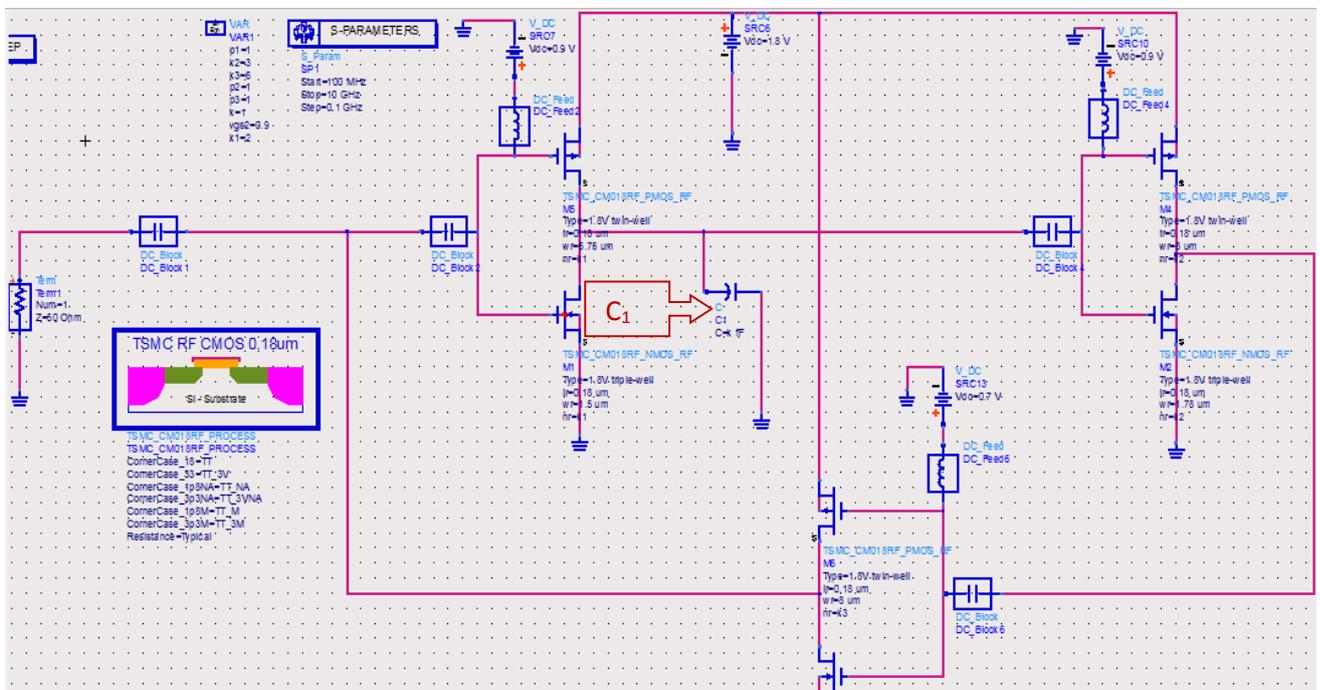


Figure (3.26) : Schéma sous ADS de l'inductance active avec la capacité aditionnelle C_1 .

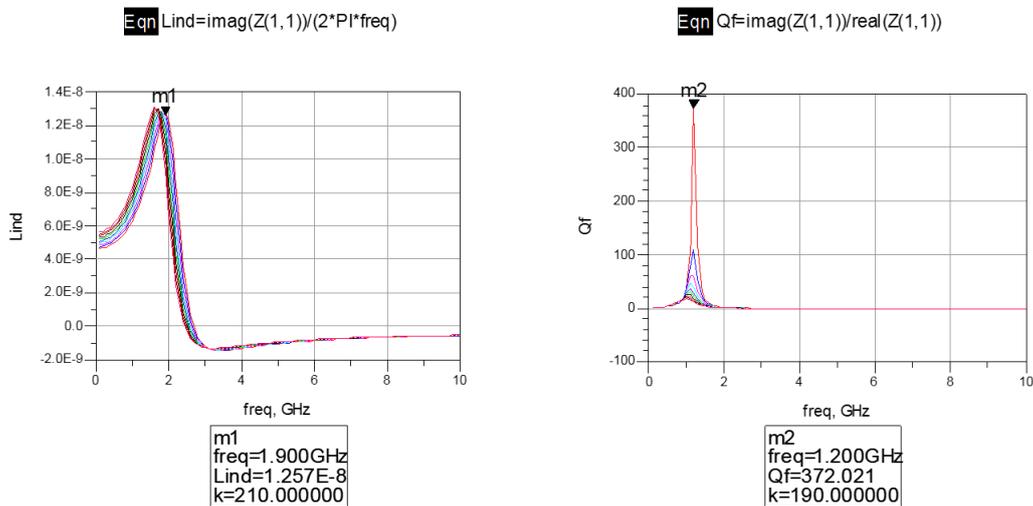


Figure (3.27) : Résultats de la simulation du (Qf) et (Lind) en fonction de C_1 (La variable K représente la valeur de la capacité C_1 en pF).

En variant la capacité C_1 et donc la fréquence, on voit qu'on peut obtenir une valeur maximale du facteur de qualité « figure 3.28 » : Avec une petite variation de la capacité C_1 le facteur de qualité (Qf) atteint une valeur de 372 a la fréquence 1.2 GHz pour l'exemple de la simulation précédente ce qui est très pratique pour les applications RF qui nécessitent un facteur de qualité important pour les inductances utilisées.

3.5.5 simulation de l'inductance active en fonction de la capacité additionnelle C_2 entre les inverseurs Inv_2 et Inv_3 :

L'expression de l'inductance monte que sa valeur est proportionnelle à la capacité entre les deux inverseurs Inv_2 et Inv_3 (équation 3.46) par conséquent nous allons ajouter une capacité variable C_2 entre Inv_2 et Inv_3 et observer la variation de l'inductance.

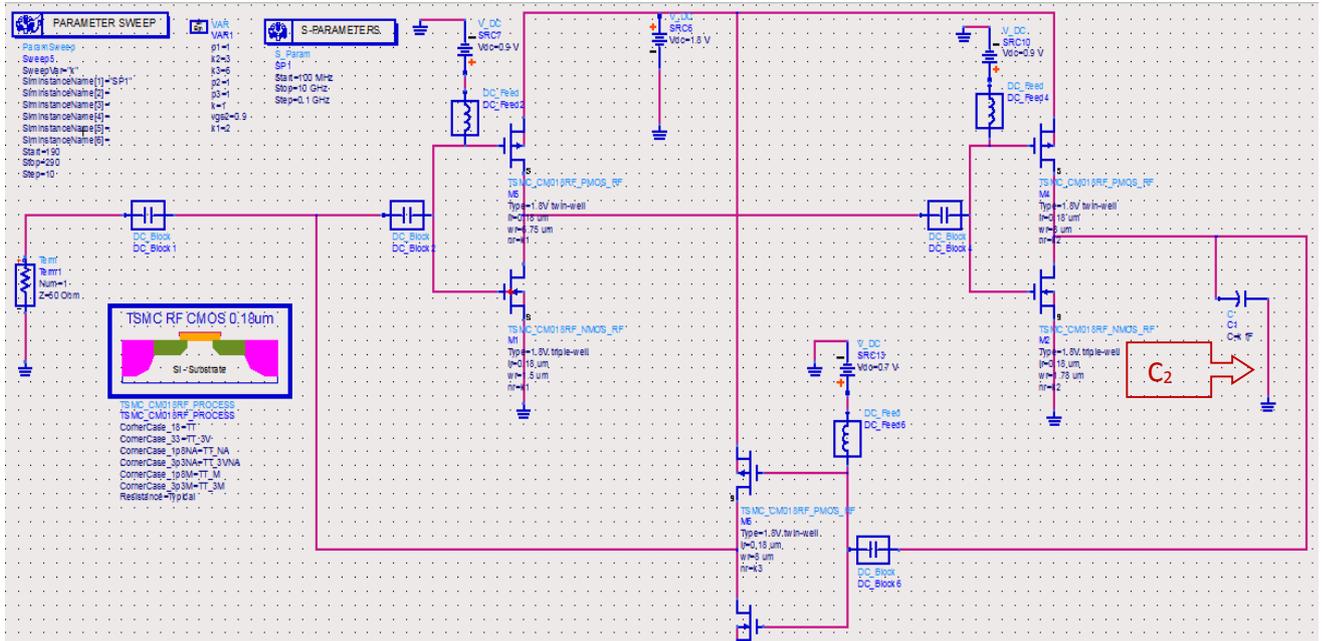


Figure (3.28) : Schéma sous ADS de l'inductance active avec la capacité additionnelle C2.

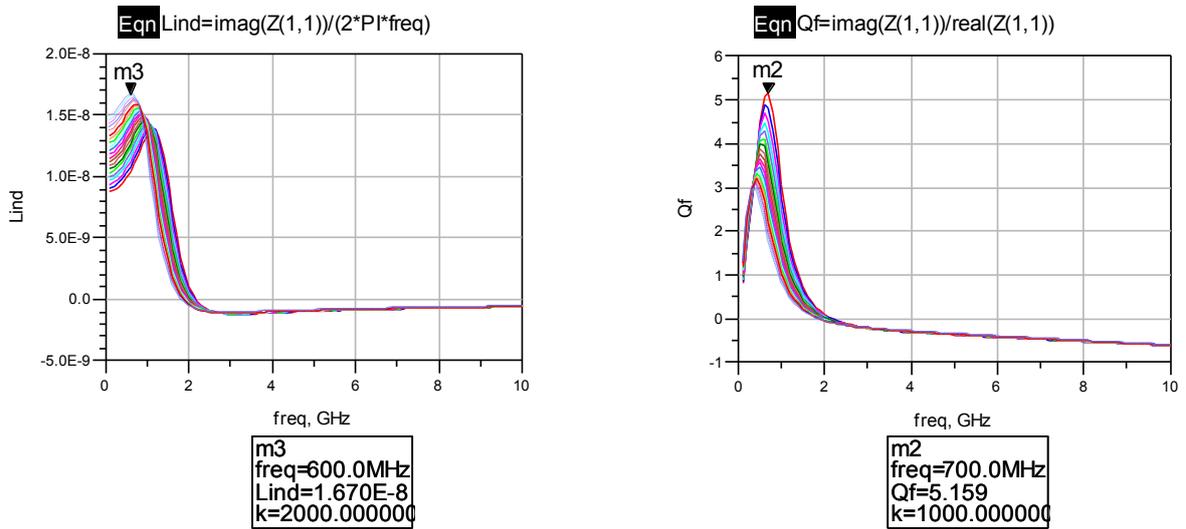


Figure (3.29) : Résultats de la simulation du (Lind) et (Qf) en fonction de C2.

La variation de la capacité C_2 affecte la valeur de l'inductance (L_{ind}), les courbes de (L_{ind}) dans la « figure 3.30 » montrent que la relation entre la capacité et l'inductance est proportionnelle, pour l'exemple précédent le maximum du ($L_{ind}=16.70$ nH) est atteint pour une valeur de $C_2 = 2$ pF. La plage de fréquence dont le circuit se comporte comme une inductance est de 100 MHz à 2.1 GHz.

Contrairement au (L_{ind}), le facteur de qualité (Q_f) est inversement proportionnel à la variation de la capacité C_2 , son maximum ne dépasse pas 6, ce problème peut être réglé en réintroduisant la capacité C_1 dans le montage précédent afin d'augmenter le facteur de qualité sans influencer la valeur de l'inductance d'une manière importante.

3.6 Conclusion

Dans ce chapitre nous avons proposé une structure d'une inductance active afin de régler les problèmes rencontrés dans les implémentations classiques d'inductances passives intégrés, pour ce faire, on a réalisé l'étude qui donne toutes les étapes de calcul pour arriver à l'effet inductif généré par notre circuit.

Nous avons procédé sous ADS à la mise en œuvre du circuit de l'inductance active à base d'inverseurs dont les transistors sont polarisés en régime de saturation afin d'avoir des transconductances. Nous avons réussi à obtenir l'effet inductif du circuit, nous avons également montré que le facteur de qualité peut être rehaussé en ajoutant des capacités additionnelles.

- [1] Wikipedia, Semiconductor manufacturing processes, août 2015,
<http://jai-on-asp.blogspot.com/2010/05/parallel-computing-and-net.html#comment-form>.
- [2] Jaivardhan Joshi, parallel computing, Asp.net, mai 2010,
<http://jai-on-asp.blogspot.com/2010/05/parallel-computing-and-net.html#comment-form>.
- [3] Froncois Belmas, Etude de structures innovantes pour la réalisation des amplificateurs RF faible bruit sans inductance et à faible consommation, Chapitre 2 page (18,19), mars 2013.
- [4] Publier par Have you ever wondred, avril 2011,
<https://haveueverwondered.wordpress.com/author/haveueverwondered/>.
- [5] Wikipedia, liste des microprocesseurs Intel, avril 2015,
<https://haveueverwondered.wordpress.com/author/haveueverwondered/>.
- [6] Fei Yuan, CMOS Active inductors and Transformers, Springer, Chapter 2 (CMOS active inductors), 2008.

الجمهورية الجزائرية الديمقراطية الشعبية
République Algérienne démocratique et populaire

وزارة التعليم العالي والبحث العلمي
Ministère de l'enseignement supérieur et de la recherche scientifique

جامعة سعد دحلب البلدية
Université SAAD DAHLAB de BLIDA

كلية التكنولوجيا
Faculté de Technologie

قسم الإلكترونيك
Département d'Électronique



MEMOIRE DE PROJET DE FIN D'ÉTUDES

PRESENTE PAR :

IKHLEF AYOUB ABDELHADI

pour l'obtention du diplôme de Master en Électronique option Microélectronique
Microsystème et Conception de Circuits.

Thème

ETUDE ET CONCEPTION D'UNE INDUCTANCE ACTIVE EN TECHNOLOGIE CMOS

Proposé par : SLIMANE Abdelhalim & BOUGHERIRA Nadia

ANNEE UNIVERSITAIRE : 2014/2015

REMERCIEMENTS

Tout d'abord je tiens à remercier Allah le tout miséricordieux de nous avoir permis d'achever ce travail.

Nous adressons nos vifs remerciements à Mr SLIMANE Abdelhalim , mon promoteur , pour ses conseils, sa collaboration et ses encouragements .

Nous remercions notamment Mme BOUGHÉRIRA Nadia qui m'a aidé dans mon travail, et tous mes chers enseignants pour leurs efforts durant mes années d'étude.

Enfin, je remercie toute personne ayant contribué de près ou de loin à la progression de ce projet.

Abdelhadi

DEDICACES

*Le premier mérite revient à mes chers parents pour leur
grande patience, compréhension et soutien.*

A ma chère tante Amina pour son soutien permanent

*A mes chers frères Mohamed et Omar pour leur
encouragement*

*A mes chers amis Rafik, HADJI Ahmed, SERADJ
Abderrahmane, KOURNANE Abderrahmane et Rabah,
pour leur encouragement*

A toute ma famille

A tous mes amis

Ainsi qu'à tous ceux qui me sont chers

Abdelhadi

ملخص:

العمل المقدم في هذه المذكرة يقترح حلاً لمشكلة تصغير حجم الدارات المعتمدة على الحث في تكوينها مع الأخذ بعين الاعتبار كفاءتها، الدراسة عبارة عن تصميم دائرة نشطة اعتماداً على الترونزستور المتأثر بالمجال في تكنولوجية شبه الموصل أكسيد الفلز المكمل، هذه الدائرة النشطة متكونة من ثلاث عواكس مربوطة على طريقة BACK TO BACK

مع اقتراح التصميم والمحاكاة في هذا العمل

كلمات المفاتيح:

دائرة نشطة ، الترونزستور، أكسيد الفلز المكمل، عواكس، BACK TO BACK

Résumé :

Le travail présenté dans ce mémoire propose une solution pour le problème de la miniaturisation de l'inductance en prenant en compte ces performances, il s'agit d'étudier et concevoir un circuit actif à base de MOSFET composé de trois inverseurs montés en BACK-TO-BACK .

Une conception et une simulation ont été proposées dans ce projet

Mots clés : inductance; miniaturisation ; inverseur; MOSFET, BACK-TO-BACK.

Abstract :

The work presented in this paper proposes a solution for the problem of miniaturization of the inductance taking into account their performance, it's about studying and developing an active circuit based on MOSFET consists of three inverters connected by BACK- TO-BACK .

Design and simulation are proposed in this project

Keywords : miniaturization ; inductance ; MOSFET ; inverter ; BACK- TO-BACK

TABLE DES MATIERES

INTRODUCTION GENERALE	2
-----------------------------	---

CHAPITRE 1 : CONTRAINTES DE LA TECHNOLOGIE CMOS EN RF

1.1 Introduction.....	5
1.2 L'évolution de la technologie CMOS.....	6
1.2.1 Historique et définition :	6
1.2.2 Définition processus de technologie or (technology node).....	7
1.2.3 Évolution de processus de technologie or (technology node).....	8
1.3 Impact de la technologie CMOS sur le domaine digitale.....	9
1.3.1 Introduction.....	9
1.3.2 Influence de la technologie CMOS sure la conception des circuits numérique.....	10
1.4 Les inconvénients de la technologie CMOS en RF.....	12
1.4.1 Introduction.....	12
1.4.2 Présentation d'une inductance passive intégrée.....	12
1.4.3 caractéristiques des inductances passives.....	13
1.5. Conclusion.....	15

CHAPITRE 2 : THEORIE ET TOPOLOGIES DE L'INDUCTANCE ACTIVE

2.1 Introduction.....	17
2.2 Présentation d'une inductance active.....	18
2.2.1 Définition d'une transconductance.....	18
2.2.2 Présentation d'un transistor MOSFET.....	19
2.2.3 Principe théorique d'un gyrateur-c.....	21
2.3 Principe de fonctionnement d'une inductance active à base de gyrateur-c différentiel.....	23
2.4 Caractéristiques d'une inductance active.....	26
2.4.1 La gamme de fréquence.....	26
2.4.2 La possibilité de réglage.....	28
2.4.3 Consommation d'énergie.....	28
2.4.4 Le facteur de qualité.....	28
2.5 Topologies de quelques inductances actives.....	30
2.5.1 Inductance active à base d'un seul MOSFET.....	30

2.5.2 Inductance active de Karsilayan-Schaumann.....	31
a) Inductance active sans pertes de Karsilayan-Schaumann.....	31
b) Inductance active avec pertes de Karsilayan-Schaumann.....	32
c) Modifications de l'inductance active de Karsilayan-Schaumann.....	34
2.6 conclusion.....	36

CHAPITRE 3 : ETUDE D'UNE INDUCTANCE ACTIVE A BASE D'INVERSEUR

3.1 Introduction.....	38
3.2 Etude d'un inverseur à base du MOSFET.....	39
3.3 Etude d'une inductance active à base d'inverseurs.....	43
3.3.1 Etude du premier bloc.....	45
3.3.2 l'expression de l'impédance d'entrée Z_{in}	47
3.4 Présentation du logiciel ADS.....	49
3.4.1 Étape de conception.....	50
3.4.2 Étape de simulation.....	50
3.4.3 Étape de présentation des résultats.....	51
3.5 Simulation de l'inductance active à base d'inverseur.....	52
3.5.1 Simulation du bloc inverseur.....	52
3.5.2 Simulation du circuit de l'inductance Active.....	54
3.5.3 Simulation de l'inductance active en fonction des tailles des inverseurs.....	58
3.5.4 Simulation du facteur de qualité du circuit en fonction de la capacité additionnelle C_1 entre les inverseurs Inv_1 et Inv_2	59
3.5.5 Simulation de l'inductance active du circuit en fonction de la capacité additionnelle C_2 entre les inverseurs Inv_2 et Inv_3	60
3.6 Conclusion.....	62
Conclusion générale.....	64
Bibliographie.....	66
Annexes.....	

LISTE DES FIGURES

CHAPITRE 1 : CONTRAINTES DE LA TECHNOLOGIE CMOS EN RF

FIGURE (1.1) : Schéma représentatif d'un MOSFET de type N.....	7
FIGURE (1.2) : Schéma d'un inverseur à base de MOSFET.....	9
FIGURE (1.3) : Évolution des micro-processeurs.....	11
FIGURE (1.4) : Encombrement d'inductances passives intégrées en technologie CMOS 65 nm.....	13

CHAPITRE 2 : THEORIE ET TOPOLOGIES DE L'INDUCTANCE ACTIVE

FIGURE (2.1) : Schéma synoptique d'une transconductance.....	18
FIGURE (2.2) : Représentation symbolique d'un transistor MOSFET.....	19
FIGURE (2.3) : Structure d'un MOSFET de type N.....	20
FIGURE (2.4) : Régions de fonctionnement et de saturation d'un MOSFET.....	20
FIGURE (2.5) : g_m en fonction de V_{GS} et V_{DS}	21
FIGURE (2.6.a) : Schéma fonctionnel d'une inductance active à base de « gyrateur-c »..	22
FIGURE (2.6.b) : Effet inductif « L ».....	22
FIGURE (2.7.a) : Schéma fonctionnel d'une inductance active différentielle à base de « gyrateur-c »	23
FIGURE (2.7.b) : Effet inductif vue entre les deux nœuds (2+ et 2-)	23
FIGURE (2.8) : Gyrateur-c différentiel avec pertes.....	24
FIGURE (2.9) : Circuit équivalent du gyrateur-c différentiel avec pertes.....	26
FIGURE (2.10) : Diagrammes de bode indiquant module et phase de z du gyrateur_c...	27
FIGURE (2.11) : Schéma d'une inductance active variable utilisant une capacitance variable c_x	28
FIGURE (2.12) : La dépendance du facteur de qualité d'une IA a la fréquence.....	30
FIGURE (2.13) : Inductance active à partir d'un transistor MOS.....	30
FIGURE (2.14) : Schéma simplifié de l'inductance active de karsilayan-schaumann	31
FIGURE (2.15) : Circuit équivalent petits signaux du karsilayan-schaumann inductance active.....	33
FIGURE (2.16) : Schéma simplifié de l'inductance active de karsilayan-schaumann utilisant que des transistors NMOS.....	35
FIGURE (2.17) : Schémas simplifiés de l'inductance active de karsilayan-schaumann utilisant la transconductance négative d'un inverseur.....	35

CHAPITRE 3 : ETUDE DE L'INDUCTANCE ACTIVE A BASE DE L'INVERSEUR

FIGURE (3.1.a) : Schéma représentatif de l'inverseur.....	39
FIGURE (3.1.b) : Transconductance équivalente à l'inverseur.....	39
FIGURE (3.2) : Schéma électrique équivalent de l'inverseur CMOS.....	39
FIGURE (3.3) : Version simplifiée du circuit électrique équivalent de l'inverseur CMOS..	41
FIGURE (3.4) : Application de l'effet miller.....	42

FIGURE (3.5) : Représentation électrique de l'inverseur en introduisant la transconductance.....	42
FIGURE (3.6) : Schéma définitif d'un inverseur MOS.....	43
FIGURE (3.7) : Représentation schématique de l'inductance active étudiée.....	44
FIGURE (3.8) : Schéma électrique réel de l'inductance active étudiée.....	44
FIGURE (3.9) : Représentation du bloc 1 en rouge et le bloc 2 en orange.....	45
FIGURE (3.10) : Schéma électrique du premier bloc.....	46
FIGURE (3.11) : Schéma définitif du premier bloc.....	46
FIGURE (3.12) : L'ensemble des deux blocs constituent l'inductance active.....	47
FIGURE (3.13) : Circuit électrique qui simule l'admittance totale du l'inductance active.....	48
FIGURE (3.14) : Schéma électrique final d'une inductance active.....	49
FIGURE (3.15) : Étapes de réalisation d'un projet sous ADS.....	49
FIGURE (3.16) : Étapes d'édition d'un circuit sous ADS.....	50
FIGURE (3.17) : Présentation des différents simulateurs.....	51
FIGURE (3.18.a) : Résultats sous forme graphique.....	52
FIGURE (3.18.b) : Résultats sur tableau.....	52
FIGURE (3.18) : Exemple de présentation des résultats.....	52
FIGURE (3.19) : Circuit d'un inverseur MOS en simulation (0.18 μm).....	52
FIGURE (3.20) : Résultats de simulation qui montre V_{IN} et V_{OUT} d'un inverseur.....	53
FIGURE (3.21) : Circuit de l'inductance active sous ADS.....	54
FIGURE (3.22) : Caractéristique entrée sortie d'un inverseur MOS.....	55
FIGURE (3.23) : Résultat de la simulation de l'inductance active qui présente l'effet inductif (L_{ind}) à gauche et la partie réelle de l'impédance totale(Z) à droite en fonction de la fréquence (freq).....	56
FIGURE (3.24) : Résultat de la simulation de l'inductance active qui présente le facteur de qualité (Q_f) à gauche et le module de l'impédance totale (Z) à droite en fonction de la fréquence (freq).....	57
FIGURE (3.25) : Représentation des résultats de la simulation paramétrique en changeant les tailles des inverseurs.....	58
FIGURE (3.26) : Schéma sous ADS de l'inductance active avec la capacité aditionelle C1.....	59
FIGURE (3.27) : Résultats de la simulation du (Q_f)et(L_{ind})en fonction de C1 (La variable K représente la valeur de la capacité C1 en pF).....	60
FIGURE (3.28) : Schéma sous ADS de l'inductance active avec la capacité aditionelle C2.....	61
FIGURE (3.29) : Résultats de la simulation du (L_{ind}) et (Q_f) en fonction de C2.....	61

LISTE DES TABLEAUX

CHAPITRE 1 : CONTRAINTES DE LA TECHNOLOGIE CMOS EN RF	
TABLEAU (1.1) : Diminution de la longueur du canal L depuis 1957.....	8
TABLEAU (1.2) : Caractéristiques des inductances de la figure (1.4).....	14
CHAPITRE 3 : ETUDE DE L'INDUCTANCE ACTIVE A BASE DE L'INVERSEUR	
TABLEAU (3.1) : Valeurs des paramètres des inverseurs prises qui donnent l'effet naissance à l'effet inductif.....	56

Introduction générale :

Le domaine de la microélectronique a connu un essor considérable ces trente dernières années. Pour les télécommunications, La tendance à l'intégration et à la miniaturisation est sans conteste portée par le développement à croissance exponentielle des systèmes embarqués. Il est ainsi dorénavant possible d'intégrer des systèmes électroniques comprenant plusieurs modules analogiques ayant des fonctions d'amplification ou de filtrage.

Le développement de la microélectronique n'aurait pas pu être si spectaculaire sans la maîtrise de l'élément de base des circuits intégrés : le silicium (Si). Nous pouvons ainsi considérer aujourd'hui que le transistor MOS est l'élément principal des évolutions technologiques majeures.

Le transistor MOS est à la fois acteur mais aussi vecteur de l'évolution car il est à l'origine de la conception des circuits intégrés à très large et ultra large échelle (VLSI, ULSI) et a permis de mener la technologie CMOS au rang incontesté de technologie dominante dans l'industrie du semi-conducteur. Son évolution peut alors être vue à double sens. En réduisant constamment les dimensions géométriques des composants élémentaires, une course à la performance s'est dessinée partout où son utilisation était effective. Mais en désirant des circuits toujours plus performants, l'industrie a elle-même motivé son évolution. C'est la raison pour laquelle la veille technologique est aujourd'hui primordiale afin de se projeter dans la conception des futurs équipements.

Dans les applications RF l'inductance joue un rôle capitale (les circuits émetteurs /récepteurs RLC), or sa miniaturisation à des échelles très petites est quasi impossible étant donnée sa topologie du point de vue le nombre de tours et la surface occupée, et par voie de conséquence, son coût de fabrication ainsi que sa consommation énergétique, cependant une solution est envisageable : c'est la simulation d'une inductance active avec un circuit actif à base de transistors MOS, ces derniers pouvant être miniaturisés plus facilement que les composants passifs(RLC).

L'idée est de concevoir un circuit à base d'inverseurs logiques fabriqués avec des transistors MOSFET destinés aux applications RF, ce dernier (le circuit à très petite échelle), va simuler un circuit RLC, et donc va mettre en évidence l'effet inductif recherché.

Une fois cet effet obtenu, on se préoccupera des performances du circuit RLC en étudiant son facteur de qualité dans une certaine plage de fréquence.

Le présent mémoire est organisé en trois chapitres :

Le premier chapitre donne une description de l'évolution de la technologie CMOS dans les domaines numériques et analogiques, il met également en évidence les limites physiques à laquelle se trouve confronté le domaine analogique (par rapport au numérique), due au fait que les composants passifs ne peuvent pas être miniaturisés indéfiniment en utilisant les procédés de fabrications classiques.

Le chapitre deux présente une étude détaillée d'une inductance active à base de transistors MOS à travers deux topologies dont l'une des deux va être approchée par notre conception, il va également traiter quelques problèmes en vue d'améliorer les performances de l'inductance active (Le facteur de qualité, Le cout de production).

Dans le chapitre trois, nous avons proposé une structure d'une impédance active afin de régler les problèmes rencontrés dans les implémentations classiques d'impédances (qui concernent principalement leur tailles non miniaturisables), pour ce faire, on a réalisé l'étude qui donne toutes les étapes de calcul pour arriver à l'effet inductif généré par notre circuit.

Nous terminons notre mémoire par une conclusion générale.

1.1 introduction :

La technologie CMOS a donné la possibilité de diminuer la taille des composants électroniques qui donne naissance à la microélectronique, où tout système électronique (digital, analogique, mixte) peut être réalisé sur une petite puce qui a la possibilité d'être intégrée dans d'autres systèmes plus complexes, cet avantage de minimiser la taille des composants attire l'attention dans tous les domaines, parmi lesquels on distingue le domaine de la radio fréquence(RF).

La technologie sans fil existe depuis 1901, lorsque Guglielmo Marconi a transmis avec succès des signaux radio à travers l'océan Atlantique. Les conséquences et les perspectives de cette manifestation étaient tout simplement très grandes. La possibilité de remplacer communications télégraphiques et téléphoniques avec la transmission d'ondes à travers l'éther dépeint un futur passionnant.

La réalisation des circuits destinés aux applications RF comme les émetteurs, récepteurs et oscillateurs nécessite l'utilisation des composants électroniques, parmi eux on distingue un composant clé pour la conception des circuits RF qui est l'inductance, dans ce chapitre, nous allons montrer le développement de la technologie CMOS et son impact sur le domaine de circuits numériques, nous voyons aussi les avantages et les contraintes de cette technologie sur la conception de circuits RF, en particulier sur l'inductance qui est le joueur clé dans ce Domaine.

1.2 l'évolution de la technologie CMOS :

1.2.1 Historique et définition :

En 1930, un brevet a été déposé à l'université de Leipzig par Julius Edgar Lilienfeld, ce brevet présentait un composant qui aurait pu être le premier transistor dans l'histoire, mais les technologies de fabrications n'étaient pas assez développées pour réaliser cet élément.

Il était si proche du transistor **MOS** dans la conception, au début des années 60 le développement technologique et surtout l'évolution dans la fabrication des transistors bipolaire a permis de fabriquer le premier transistor CMOS.

La technologie **CMOS** (**COMPLEMENTARY-METAL-OXIDE-SEMICONDUCTOR**) a pris sa place dans le monde de l'industrie du matériel électronique grâce à son produit ultime qui est le **MOSFET** (**MOS-FIELD EFFECT TRANSISTOR**), sa facilité de production et ses dimensions qui se réduisent jour après l'autre l'ont rendu comme un choix favorable pour la réalisation de toute sorte de matériel électronique y compris les microprocesseurs, les circuits logiques etc... .

Généralement le semi-conducteur utilisé dans la fabrication des composants CMOS est le Si (silicium), parfois il est dopé par d'autres matériaux comme le Bore (B) ou le phosphore (P) afin de réaliser un substrat de type p ou n respectivement, l'utilisation de silicium attire plus de compagnies de fabrication des composants électroniques d'adopter la technologie CMOS car le bas prix de silicium et sa disponibilité améliorent le côté économique de ses compagnies.

1.2.2 Définition processus de technologie (technology node) :

En ce qui concerne les circuits intégrés numériques, le processus de technologie se réfère au procédé particulier utilisé pour fabriquer des composants et des puces en silicium, mais historiquement il se rapporte aussi à la longueur L du canal en silicium entre les bornes du drain et la source du transistor à effet de champs « figure 1.1 » MOSFET, les tailles des autres composants réalisés par la technologie CMOS sont généralement dérivés en tant que rapport de la longueur de canal, où certains peuvent être plus grandes que la taille du canal et d'autres plus petites.

Par exemple, dans un processus de 90 nm, la longueur du canal peut être 90 nm, mais la largeur de la borne de grille peut être seulement 50 nm

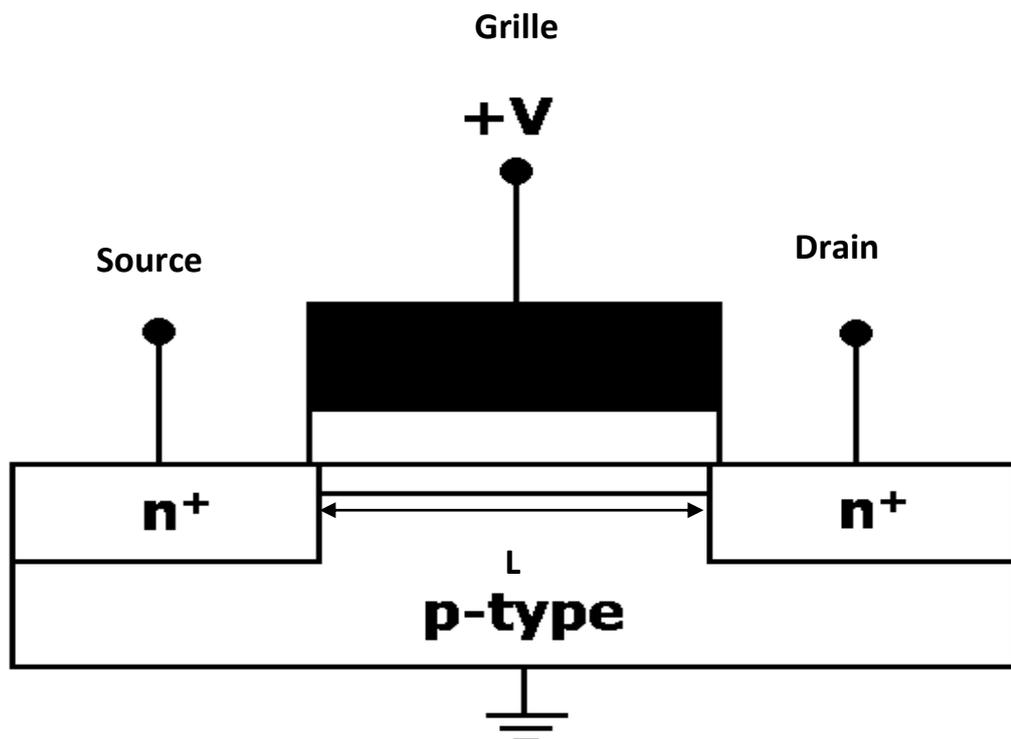


Figure (1.1) [4] : Schéma représentatif d'un MOSFET type de N.

Le type de transistor présenté dans la « figure 1.1 » est N car le drain et la source sont dopés avec des atomes donneurs d'électrons comme le phosphore.

1.2.3 Evolution des processus de technologie (technology node) :

Comme la miniaturisation des circuits et des composants est la plus grande motivation dans le domaine des circuits intégrés, le processus de technologie ne cesse d'évoluer afin de satisfaire ce besoin d'améliorer le nombre des composants introduits dans une puce en silicium, dans le tableau suivant on va voir l'évolution de la réduction du **L** depuis 1957 « Tableau 1.1 ».

Cette réduction de la longueur **L** qui a passé de 120 μm en 1957 à 14 nm en 2014 n'aurait pas été possible si le procédé de fabrication du CMOS n'avait pas été développé par des chimistes et des physiciens par l'invention de nouvelles techniques et la modernisation des laboratoires et des salles blanches à haute classe (norme)

Tableau (1.1) [1] : Diminution de la longueur du canal **L** depuis 1957.

Année	(nm)	(μm)
1957	120,000	120.0
1963	30,000	30.0
1971	10,000	10.0
1974	6,000	6.0
1976	3,000	3.0
1982	1,500	1.5
1985	1,300	1.3
1989	1,000	1.0
1993	600	0.6
1996	350	0.35
1998	250	0.25
1999	180	0.18
2001	130	0.13
2003	90	0.09
2005	65	0.065
2008	45	0.045
2010	32	0.032
2012	22	0.022
2014	16	0.016
2014	14	0.014
2016**	11	0.011
2018**	6	0.006
2020**	4	0.004

** estimée

1.3 Impact de la technologie CMOS sur le domaine digitale :

1.3.1 Introduction :

Il est connu dans le monde de l'électronique numérique que l'inverseur logique est la pièce maîtresse dans toute conception numérique, et que la puissance des micro-processeurs et leurs vitesses viennent du nombre des circuits intégrés introduits dans ces derniers, alors comme l'inverseur « figure 1.2 » est un circuit basé sur les transistors, la technologie CMOS offre un grenier de composants comme le MOSFET, qui satisfait le besoin de la réduction des tailles des circuits intégrés, ce qui implique l'augmentation du nombres des transistors utilisés .

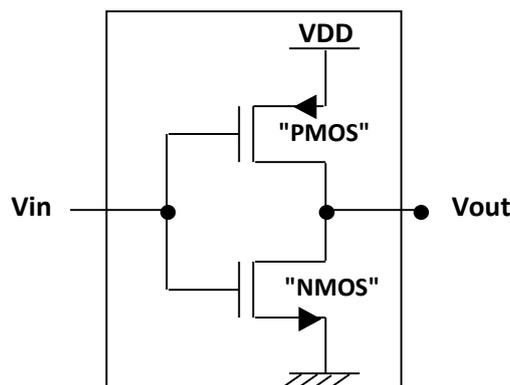


Figure (1.2) : Schéma d'un inverseur à base de MOSFET.

Ce type de montage, simple à la base, peut constituer une unité de base pour la fabrication des circuits digitaux comme les portes logiques (AND, NAND, NOR, XOR, OR...), à partir desquelles sont conçus les circuits plus complexes tels que les microprocesseurs, les mémoires etc....

1.3.2 Influence de la technologie CMOS sur la conception des circuits numériques

[5] :

L'évolution des circuits numériques se voit dans les microprocesseurs et les mémoires numériques et d'autres circuits à base de transistors, où on peut remarquer facilement l'amélioration qui se passe dans leurs paramètres comme la puissance, la vitesse, réduction de la taille, réduction du coût, capacité de stockage etc... .

Le développement des microprocesseurs est également considérable, les graphes de la « figure 1.3 » montrent la croissance des performances de ces derniers où on peut voir le nombre des transistors utilisés dans un processeur INTEL **8080** qui ne dépasse pas les cinq milles transistors en 1974, avec une vitesse de CPU qui est de 2 à 4 MHz, son processus de technologie est le 6 μm .

Mais la loi de Moore qui n'était qu'une observation par Gordon E. Moore, dit que le nombre de transistors dans une puce en silicium double chaque 18 mois.

Le développement dans la technologie des composants semi-conducteur a prouvé cette observation ce qui a comme résultat des microprocesseurs plus perfectionnés et plus rapides et moins chère, par exemple :

- En 1976 l'**INTEL 8085** qui contient 6500 transistors, une vitesse de 3.5 à 6 MHz, processus e technologie 3 μm .
- En 1985 l'**INTEL 80386** qui contient 275000 transistors, une vitesse de 12 à 40 MHz, processus e technologie 1.5 μm .
- En 1993 le **Pentium** qui contient 3100000 transistors, une vitesse de 60 à 66 MHz, processus e technologie 0.8 μm .
- En 2002 l'**Itanium 2 McKinley** contient 220000000 transistors, une vitesse de 900 MHz à 2.53 GHz, processus de technologie 0.18 μm .

- En 2015 l'IBM z13 Storage Controller contient 7100000000 transistors, une vitesse de 5 GHz, processus de technologie 22 nm.

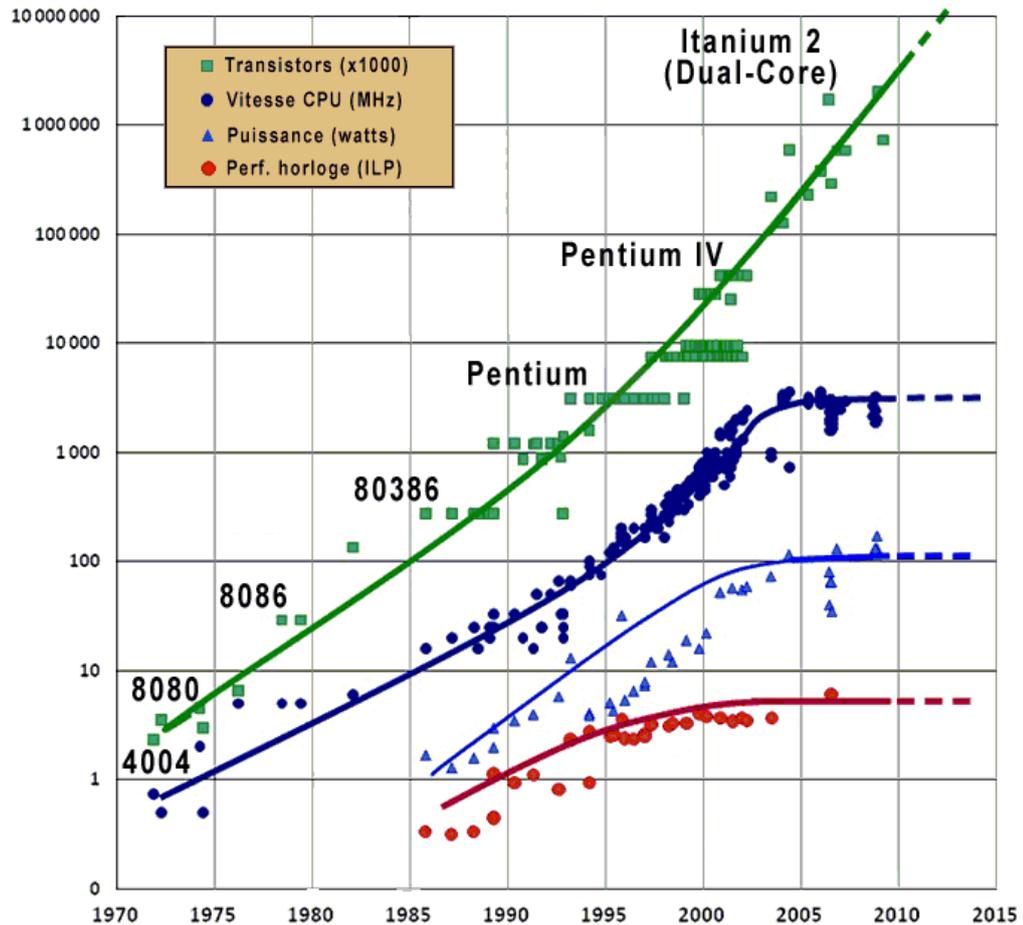


Figure (1.3) [2] : Évolution des micro-processeurs.

Le rapport de la consommation d'énergie par le nombre de transistors utilisé est toujours en diminution car la réduction de la taille des transistors ou la longueur du canal exige l'utilisation des tensions de plus en plus faibles.

Cette mutation n'a pas touché que les microprocesseurs, mais tous dispositifs électroniques que ça soit numériques comme les mémoires, ou analogiques comme les oscillateurs, amplificateurs, capteurs, émetteurs et récepteurs.

1.4 Les inconvénients de la technologie CMOS en RF :

1.4.1 Introduction :

On a vu dans ce qui a précédé que le progrès acquis par la technologie CMOS a beaucoup d'influence sur le domaine de la conception digitale et la production des transistors, mais d'autres domaines qui sont touchés par ce progrès comme le domaine analogique qui nécessite plus de composants (résistance, capacité et bobine « inductance »).

Parmi les inconvénients de la technologie CMOS il 'y a la relation entre la réduction de la longueur du canal et la tension maximale appliquée sur le MOSFET, cette règle limite le concepteur analogique par des contraintes comme la linéarité, le gain et la rapidité des circuits, ces derniers sont intrinsèquement liés à la diminution de la tension d'alimentation.

Autres inconvénients sont envisagés comme dans le domaine spatial où l'étude des projets dure des années, ce qui mit en doute la pérennité de la technologie usitée.

Dans notre cas on s'est intéressé par le domaine RF ou radio fréquence qui bénéficie de tous les produits offerts par la technologie CMOS spécialement les inductances qui représentent un composant clé dans la conception analogique.

Dans la partie suivante nous allons essayer de voir la relation entre les caractéristiques d'une bobine conçue par la technologie CMOS et ses dimensions, dans le but de déterminer l'influence de la taille des bobines intégrées sur le côté du rendement et le coté économique.

1.4.2 Présentation d'une inductance passive intégrée [3] :

Les inductances passives intégrées sont généralement réalisées par des enroulements métalliques et les interconnexions métalliques disponibles dans la technologie, dans la « figure 1.4 » on présente trois inductances passives de valeurs différentes réalisées dans la technologie 65 nm.

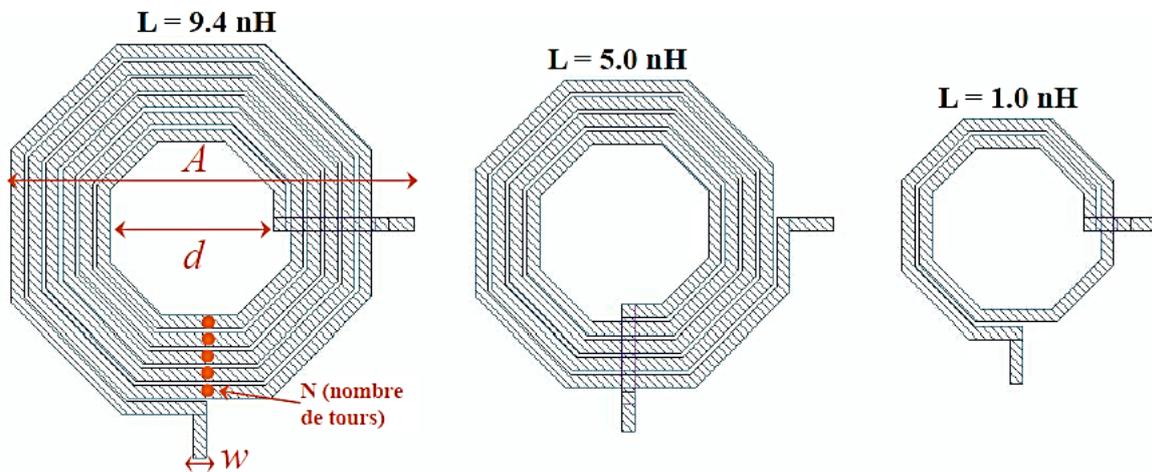


Figure (1.4) [3] : Encombrement d'inductances passives intégrées en technologie CMOS 65 nm.

Des métaux supérieurs épais qui sont disponibles dans la technologie afin de minimiser les pertes résistives dans l'encombrement de l'inductance.

1.4.3 Caractéristiques des inductances passives :

Le « tableau 1.2 » résume les caractéristiques physiques et électriques des trois inductances passives « figure 1.4 ».

Tableau (1.2) [3] : caractéristiques des inductances de la figure (1.4).

<i>Paramètre</i>	<i>L=9,4nH</i>	<i>L=5,0nH</i>	<i>L=1.0nH</i>
N (nombre de tours)	5.75	4.25	1.75
w (μm)	11	11	11
d (μm)	140	137	130
a (μm)	372	332	245
F_{RES} (GHz)	4.1	6.64	25.2
Q_{MAX} (U.A)	14.3	13.8	31
$L_{@Q=Q_{\text{max}}}$ (nH)	11.0	6.0	1.15
$F_{@Q=Q_{\text{max}}}$ (GHz)	1.58	2.78	8.99
$R_{P@Q=Q_{\text{max}}}$ (K Ω)	2.6	1.47	2.02

Par la comparaison entre les valeurs montrées dans le tableau précédent, on remarque que la réalisation d'une inductance avec une valeur importante nécessite l'augmentation du l'encombrement surfacique (A) et le nombre de trous (N).

De même pour la résistance parasite (R_P), sa valeur est proportionnellement liée aux deux paramètres (A) et (N) ce qui influe les performances de l'inductance par la minimisation de la fréquence d'auto-résonance (F_{res}) et le facteur de qualité(Q_{max}), pour obtenir un couple (F_{res} , Q_{max}) élevé, il est indispensable d'utiliser des largeurs de piste (W) et des diamètres d'inductances (A) élevées. C'est pour cette raison que les inductances passives intégrées occupent une surface en silicium de 0.1 mm² qui ne tire aucun avantage de la réduction des nœuds technologiques de l'exemple précédent (65 nm). Par contre Les transistors CMOS intégrés sur silicium occupent quant à eux une surface toujours plus petite dont l'ordre de grandeur se situe autour de 0.001 mm².

Cette contrainte d'encombrement représente un facteur majeur qui freine l'utilisation des inductances passives dans les circuits RF, car le prix d'un circuit intégré est

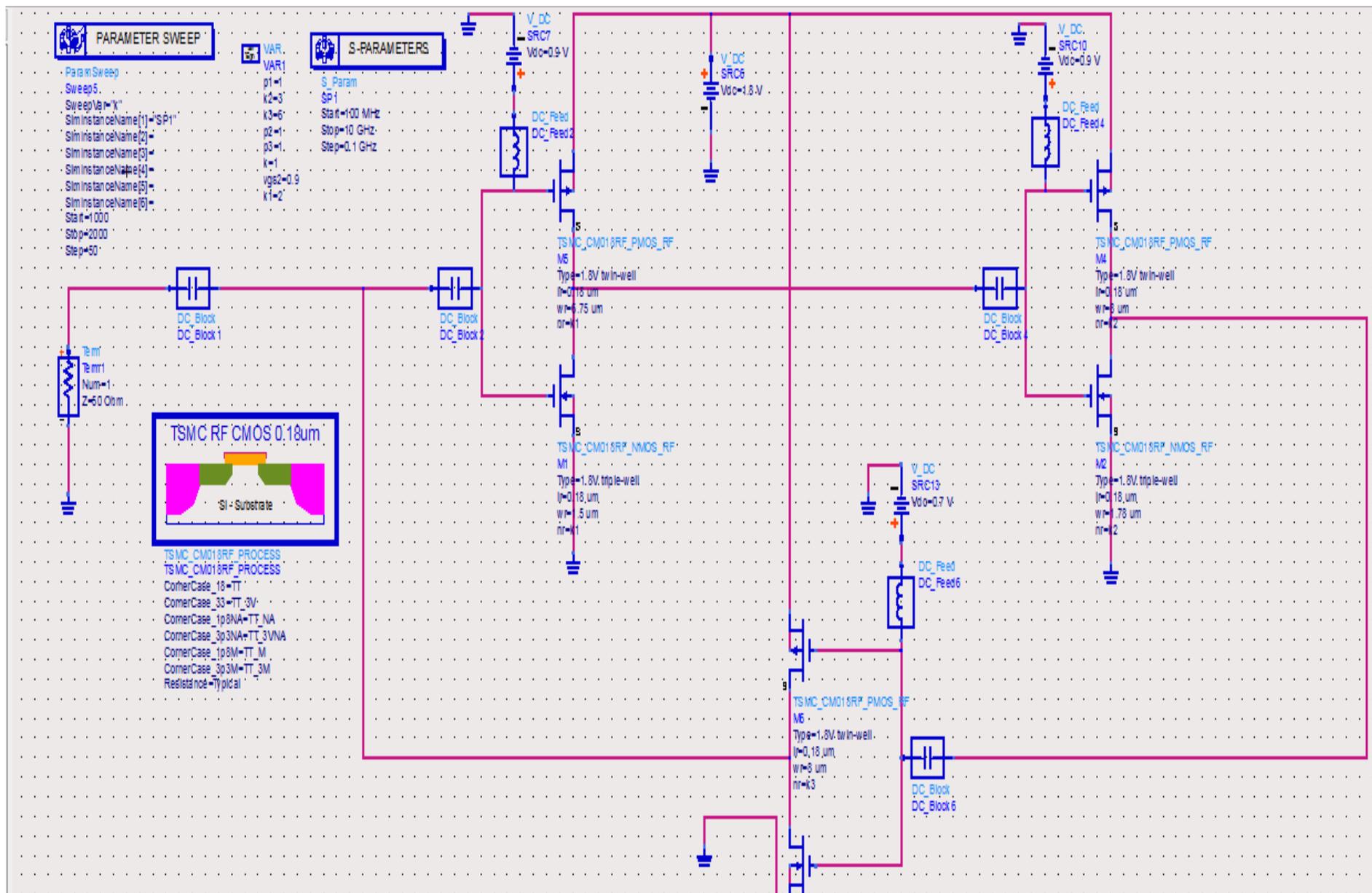
fortement lié à sa surface ce qui oblige les concepteurs analogique de surmonter ce problème par l'adoption d'autres méthodes et principes.

1.5 Conclusion :

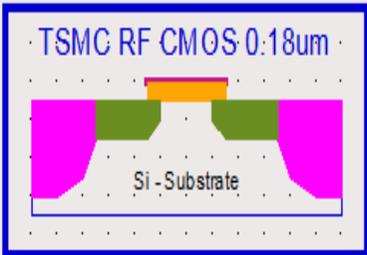
Ce chapitre se veut d'être seulement informatif dans le but de monter la limite physique à laquelle se trouve confronté le domaine analogique (par rapport au numérique), cette limite est due au faite que les composants passifs ne peuvent pas être miniaturisés indéfiniment en utilisant les procédés de fabrications classiques, l'exemple de l'inductance est suffisant pour monter cela.

Pour contourner ce problème (miniaturisation trop limitée), on est amené à voir d'autres techniques pour concevoir les éléments passifs en général et l'inductance en particulier dans des tailles miniaturisées.

Le chapitre 2 présente une de ses solutions qui est l'inductance active, où la taille et donc le prix ne sont pas des problèmes majeurs pour le concepteur.



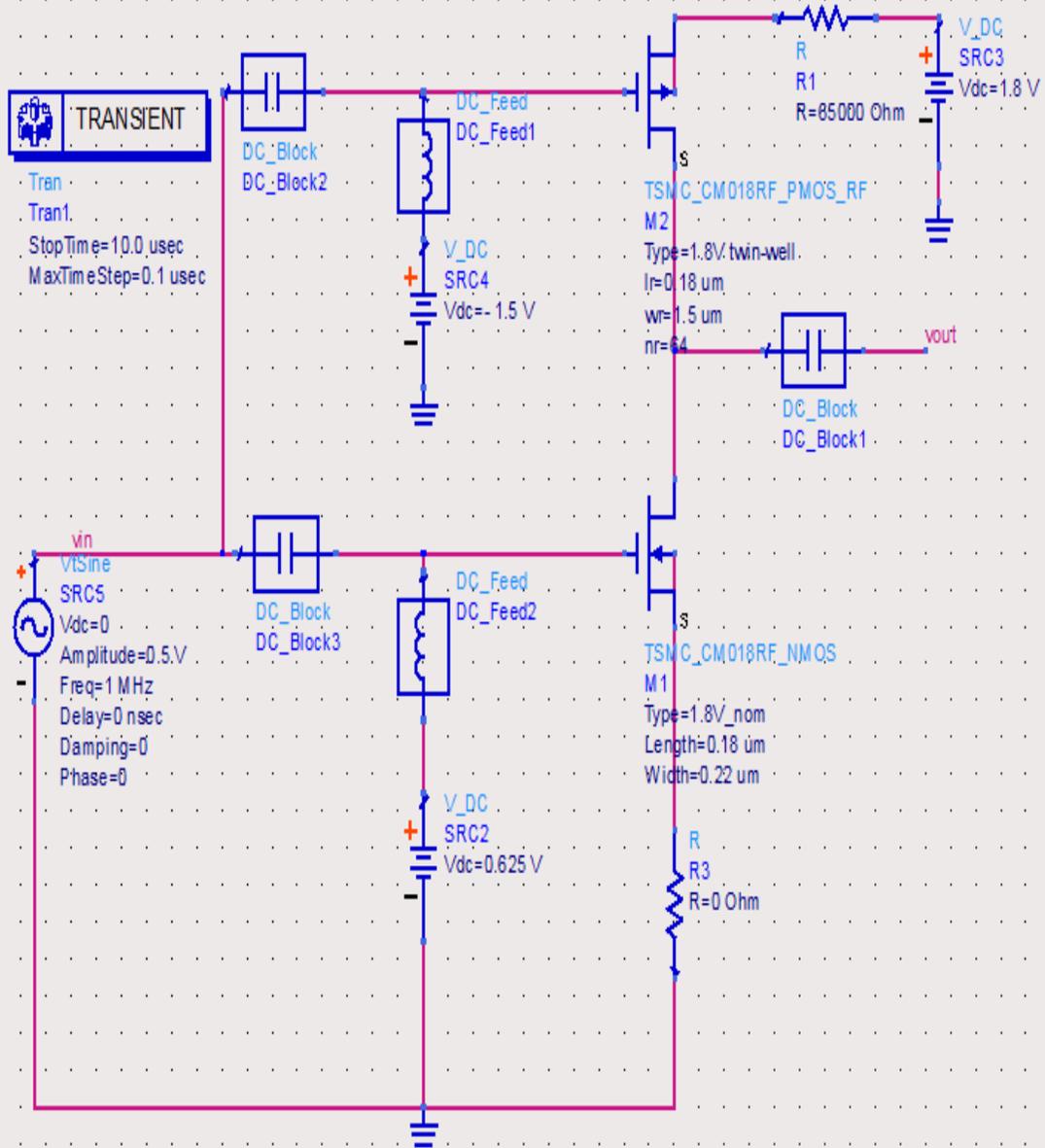
Circuit de l'inductance active sous ADS.



TSMC_CMD18RF_PROCESS
 TSMC_CMD18RF_PROCESS
 CornerCase_18=TT
 CornerCase_33=TT_3V
 CornerCase_1p8NA=TT_NA
 CornerCase_3p3NA=TT_3VNA
 CornerCase_1p8M=TT_M
 CornerCase_3p3M=TT_3M
 Resistance=Typical

TRANSIENT

Tran
 Tran1
 StopTime=10.0 usec
 MaxTimeStep=0.1 usec



Circuit d'un inverseur MOS en simulation (0.18µm).

CHPITRE 3 :
ETUDE DE L'INDUCTANCE
ACTIVE A BASE
D'INVERSEURS CMOS

CONCLUSION

BIBLIOGRAPHIE

ANNEXE

INTRODUCTION GENERALE

CHPITRE 1 :
CONTRAINTES DE LA
TECHNOLOGIE CMOS EN RF

CHPITRE 2 :
THEORIE ET TOPOLOGIES
DE L'INDUCTANCE ACTIVE