

République Algérienne Démocratique et Populaire

Ministère de l'Enseignement
Supérieur et de la Recherche
Scientifique

Université Saad Dahlab Blida 1



Institut d'Aéronautique et des Études
Spatiales
Département Études Spatiales

Mémoire de Master
En Aéronautique
Option : Télécommunications Spatiale(s)

Thème

*Chaine de transmission d'un modulateur et
démodulateur sur un circuit FPGA*

Réalisé par :

Mlle MEBROUK Hasnaa Amina
Mlle SALLOUH Rihab

Devant le Jury composé de :

Dr. Krim mohamed	Maître de conférence MCB	Président
Dr. Dilmi smain	Maître de conférence MCA	Examinateur
Mr. Ouabel hamza	Ingénieur (ASAL)	Encadreur
Dr. Bekadour abdelrazek	Maître de conférence MCB	Co-Encadreur

-2024/2025-

Remerciement

بِسْمِ اللّٰهِ الرَّحْمٰنِ الرَّحِيْمِ

Avant de conclure ce mémoire, je tiens à exprimer ma profonde gratitude à toutes les personnes qui ont contribué, de près ou de loin, à sa réalisation.

Je remercie tout d'abord Monsieur OUABEL Hamza, pour son encadrement rigoureux, ses conseils avisés et sa disponibilité tout au long de ce travail. Son expertise et sa bienveillance ont été précieuses à chaque étape de cette recherche.

Je remercie Mr Ben Bouzid Directeur de centre CESTS pour tous les efforts qui a été exploiter pour nos projets.

Je souhaite également remercier l'ensemble des enseignants et membres du corps professoral de L'institut d'aéronautique et des études spatiales, spécialement mon promoteur BELKADOUR Abderrazak et chef département MR TAHRAOUI Soufien qui m'ont transmis leurs connaissances durant ces années de formation.

Mes remerciements s'adressent également à L'Agence Spatiale Algérienne, et MR HASSANI Farouk, Professeur KEZAI Taher, pour m'avoir accueilli(e) et offert les conditions idéales pour effectuer cette étude et pour leur accompagnement et leur confiance.

Je n'oublie pas ma famille et mes proches, dont le soutien moral, les encouragements constants et la patience ont été essentiels pour mener à bien ce travail.

À toutes et à tous, merci du fond du cœur

DEDICACE

Sur ce papier blanc je grave mes mots et exprime ma plus profonde reconnaissance, ne pouvant offrir que ce que j'ai sans ignorer la connaissance et l'amitié n'ont pas de prix, je dédie ce modeste de travail

Je dédie ce mémoire à mes parents, pour leur amour inconditionnel, leurs sacrifices et leur soutien constant tout au long de mon parcours., dans la profondeur de vos regards discrets, que j'ai puisé la force d'avancer.

Vous ne m'avez pas seulement offert la vie vous m'avez appris à la rendre digne, droite, pleine de sens. Vous avez porté mes doutes sans les juger, allégé mes peines sans les dire, éclairé mes choix sans les imposer.

À ma sœur d'amour Ranya, ma meilleure amie, pour ton amour fraternal m'ont profondément touchée, pour ton présence rassurante et son encouragements.

À mon Frère Mouhmed Raed, pour ta force tanquille, ton soutien discret et ta manière unique de me rappeler que je ne suis jamais seule .

À ma binôme et ma meilleure amie, Hasna et sa famille avec qui j'ai partagé bien plus qu'un travail de fin d'études et tout mes bon moments .

À mes meilleures amies Ryhem, Aya, Zahra, Melek, kaouther, houda, anissa, chaïma, melissa et ses famille et camarades de promotion , pour les moments partagés, l'entraide et la motivation.

À mes futurs enfants, que je n'ai pas encore rencontrés, mais que je porte déjà dans mon cœur.

Enfin, à toutes les personnes qui, de près ou de loin, ont cru en moi et m'ont encouragé(e) à persévérer.

Rihab

DEDICACE

Sur les lignes de ce travail, je grave bien plus que des mots : j'y inscris toute ma gratitude, mon amour et mes espoirs.

Je dédie ce modeste travail à mes parents chéris, piliers de ma vie, dont le soutien inconditionnel et l'amour profond m'ont portée jusqu'ici.

À mes frères, Mohammed et Meriem, compagnons de route et de cœur, et à mon frère et ami d'enfance, le futur ingénieur Houari Boumediene.

À mes amis fidèles : Zahra, Aya, Sara, Rayane, Ouissam, Malak et Abir — merci pour les éclats de rire, les encouragements et les souvenirs partagés.

À ma meilleure amie Rihab, mon binôme de travail, celle avec qui j'ai partagé le stress, les efforts et les fous rires. Ce chemin aurait été bien plus difficile sans toi.

À mes enfants de demain, que je n'ai pas encore rencontrés, mais que j'aime déjà à travers mes rêves. Votre maman vous rendra fiers d'elle.

À celui qui a éveillé en moi la détermination et m'a accompagné vers mon objectif... Ma gratitude et ma reconnaissance sont sans limite Monsieur Hamza.

À vous tous, je dis merci, du fond du cœur. Vous m'avez accompagnée à chaque étape avec force, complicité et détermination. Cette réussite est aussi la vôtre.

Hasna

Résumé :

Notre projet de fin d'études s'intitule « Chaîne de transmission d'un modulateur-démodulateur sur un circuit FPGA ». Il s'inscrit dans le domaine des télécommunications numériques et de la conception de systèmes embarqués reconfigurables. L'objectif est de concevoir, simuler et implémenter une chaîne de modulation QPSK (Quadrature Phase Shift Keying) sur une carte FPGA de la famille Zynq XC7Z010, en utilisant l'environnement MATLAB/Simulink couplé à l'outil System Generator de Xilinx. Nous commençons par une étude théorique approfondie des techniques de modulation numérique, en particulier la QPSK, ainsi que des architectures FPGA. Ensuite, nous concevons une chaîne de modulation complète. Le modèle est simulé avec précision dans Simulink, et le code VHDL généré automatiquement est déployé sur la cible matérielle. Cette réalisation concrète, qui associe modélisation logicielle et test matériel, démontre la faisabilité d'un système de communication numérique embarqué, temps réel, et optimisé pour le matériel FPGA. Ce projet trouve des applications potentielles dans les domaines des liaisons satellitaires, des modems logiciels (SDR), ou encore dans l'enseignement des systèmes numériques.

Abstract:

Our graduation project is entitled “Transmission Chain of a Modulator-Demodulator on an FPGA.”

It falls within the field of digital telecommunications and the design of reconfigurable embedded systems. The objective is to design, simulate, and implement a QPSK (Quadrature Phase Shift Keying) modulation chain on an FPGA board from the Zynq XC7Z010 family, using the MATLAB/Simulink environment coupled with Xilinx's System Generator tool.

We begin with an in-depth theoretical study of digital modulation techniques, particularly QPSK, as well as FPGA architectures. Next, we design a complete modulation chain. The model is accurately simulated in Simulink, and the automatically generated with VHDL code.

This concrete implementation, combining software modeling and hardware testing, demonstrates the feasibility of a real-time embedded digital communication system optimized for FPGA hardware. This project has potential applications in satellite communications, software-defined radios (SDR), and in the teaching of digital systems.

ملخص

يندرج هذا المشروع ضمن مجال "FPGA". سلسلة إرسال لمعدل و Mixer التعديل على دارة" يحمل مشروع تخرجنا عنوان نحن نعمل على تصميم، ومحاكاة، وتنفيذ سلسلة تعديل. الاتصالات الرقمية والأنظمة المدمجة القابلة لإعادة التشكيل، باستخدام بيئة Zynq XC7Z010 من نوع FPGA على لوحة (تعديل طور رباعي) QPSK وإزالة تعديل بتقنية MATLAB/Simulink وأداة System Generator Xilinx. إلى جانب دراسة معمارية دارات QPSK نقوم حالياً بدراسة نظرية معمقة حول تقنيات التعديل الرقمي، خاصة تقنية انطلاقاً من هذه الدراسة، نقوم بتطوير نموذج متكامل للمعدل و Mixer التعديل. يتم إجراء المحاكاة على برنامج FPGA. ليتم تحميله على العتاد المادي VHDL ، ويتم تحويل النموذج تلقائياً إلى كود Simulink (FPGA). من خلال هذا العمل، ثبتت إمكانية دمج النمذجة البرمجية مع التنفيذ المادي في الزمن الحقيقي، مما يؤدي إلى نظام اتصالات مدمج، فعال وموثوق. يُعتبر هذا المشروع ذا تطبيقات واعدة في مجالات الاتصالات عبر الأقمار الصناعية، والراديو ، وكذلك في تدريس الأنظمة الرقمية (SDR) المعرفة برمجياً.

Sommaire

Liste de figures	9
Liste des tableaux.....	11
Liste d'acronymes	12
Introduction Générale	15
Chapitre 1 : «Coté manageriel» la gestion de notre projet	17
Introduction	17
I.1 Tableau démarche projet	18
I.2 Présentation de l'agence spatiale algérienne	20
I .3 Projets Satellites Algériens Réalisée	21
Chapitre 2: « transmission spatiale description des équipements »	24
Introduction	24
II.1 Définition de La transmission	24
II.2 Généralités sur la transmission spatiale	24
II.3 Transmission de l'information	25
II.3.1 Définition	25
II.4 Différents supports de transmission	25
II.4.1 Transmission avec guide physique :	25
II.4.2 Transmission sans guide physique (Par satellite)	25
II .5 La Transmission Spatiale.....	27
II.5.1 Segement Spatiale :	27
II.5.2.a Liaison Montante (UPLINK).....	28
II.5.1.b Liaison Descendante (DOWNLINK)	31
Conclusion :.....	33
Chapitre 3: «La Modulation Numérique ».....	35
Introduction	35
III .Généralités sur la transmission de l'information spatiale	35
III .Modulations numériques.....	36
III.2.4 Modulation par déplacement de phase (PSK).....	37
III.2.4.1 Applications de la Modulation PSK :.....	37
III.2.5 Modulation par Déplacement de Phase Binare (BPSK)	37
III.2.5.1 Principe et fonctionnement	37
III.2.5.2 Diagramme de constellation de BPSK.....	38
III.2.5.3 Modulateur BPSK.....	Error! Bookmark not defined.
III.2.5.4 Démodulateur BPSK.....	38

III.2.6 Modulation par déplacement de phase en Quadrature (QPSK).....	39
III.2.6.1 Diagramme de constellation de QPSK :	39
III.2.6.2 Modulateur QPSK :.....	40
III.2.6.3 Démodulateur QPSK :.....	40
III Démodulation numérique.....	41
Conclusion.....	44
 Chapitre 4 : « Circuit FPGA ».....	46
 Introduction	Error! Bookmark not defined.
IV .1 Étude de la structure générale d'un FPGA.....	46
IV.1.1 Cellules logiques de base.....	46
IV .1.2 Types des FPGA.....	47
IV 1..3. Architecture générale des FPGA	49
IV.1.4. Différents éléments d'un circuit FPGA	49
IV.2 Présentation du circuit Zynq XC7Z010 :	53
IV.2 .1 Famille Zynq-7000 de Xilinx :	53
IV .2.3 Architecture de la famille ZYNQ	53
IV .2.3 Description de la partie PS du Zynq.....	54
IV .2.4 interfaces externes du système de traitement PS :	56
IV .2.5 Description de la partie PL du ZYNQ :.....	58
IV .2.6 Interfaçage (Interconnexion) entre le PS et le PL :	58
Conclusion.....	59
 Chapitre 5: « Partie conceptuelle ».....	61
 Introduction	61
V.1 Matériel utilisées :	61
V.1.1 Présentation de la carte ZYBO :	61
V.1.2 Les outils de conception :	63
V.2 Fonctionnement global du système :.....	68
Conclusion.....	68
Conclusion Générale.....	72
Bibliographie :.....	73

Liste de figures

Figure I.1	Triangle du projet	17
Figure I.2	Les deux volets de management de projet	17
Figure I.3	Diagramme de responsabilité OBS	19
Figure I.4.	Diagramme de GANTT	20
Figure I.5	Schéma d'ASAL	21
Figure I.6.	Alcomsat -1	22
Figure II.1	Chaine de transmission	25
Figure II.2	Faisceau Hertzien	26
Figure II.3	Faisceau Hertzien en visibilité directe	27
Figure II.4	Hight Power Amplifier (HPA)	29
Figure II.5	Antenna Control Unit (ACU)	30
Figure II.6	Un Block UpConverter (BUC)	30
Figure II.7	Guide d'onde	31
Figure II.8	Antenne 13M bande C (FMA)	31
Figure II.9	Antenne 13M bande C/L (LMA)	32
Figure II.10	Low Noise Amplifier LNA	32
Figure II.11	Low Noise Block LNB	33
Figure III.1	Signal analogique et numérique.	36
Figure III.2	Nature de signaux	37
Figure III.3	Paramètres d'un signal modulé	38
Figure III.4	Diagramme de constellation de la modulation BPSK	39
Figure III.5	Démodulateur BPSK	40
Figure III.6	Diagramme de constellation (modulation QPSK)	41
Figure III.7	Modulateur QPSK	41
Figure III.8	Démodulateur QPSK	42
Figure IV.1	Structure détaillée d'un CLB	47
Figure IV.2	Architecteur d'un circuit FPGA-SRAM	48

Figure IV.3	Blocs de mémoire SRAM 16x1 bit	49
Figure IV.4	Architecture interne d'un FPGA	50
Figure IV.5	Différents secteurs d'un FPGA	50
Figure IV.6	Routage d'un FPGA	51
Figure IV.7	Concept architectural de base des FPGAs	52
Figure IV.8.	Les points d'interconnexion	52
Figure IV.9	Les différentes interconnexions de FPGA	53
Figure IV.11	Connecter la partie PS avec la partie PL par le bus industriel AXI	54
Figure IV.12	La partie PS et PL du ZYNQ	55
Figure IV.13	Architecture de la partie PS.	56
Figure IV.14	Les interfaces externes du système de traitement PS	57
Figure V.1.	Carte ZYBO	62
Figure V.2.	Matlab R2023b	63
Figure V.3	Xilinx vivado	63
Figure V.4	Xilinx System Generator for DSP	63
Figure V.5	Co-Simulation	65
Figure V.6	QPSK avec xilinx system Generator	65
Figure V.7.	Constellation QPSK	66
Figure V.22	Connexion FPGA avec le PC	78

LISTE DES TABLEAUX

TABLEAU I.1 TACHE A REALISER DANS PROJET.17ERROR! BOOKMARK NOT DEFINED.

TABLEAU II. 3 : BANDES DE FREQUENCES..... 27ERROR! BOOKMARK NOT DEFINED.

Liste d'acronymes

Acronyme	Sens
4G	Fourth Generation
5G	Fifth Generation
ACU	Antenna Control Unit
ASAL	Agence Spatiale Algérienne
ASIC	Application Specific Integrated Circuit
ASK	Amplitude Shift Keying
AWGN	Additive White Gaussian Noise
BER	Bit Error Rate
BPSK	Binary Phase Shift Keying
BUC	Block Up Converter
CAN	Convertisseur analogique-numérique
CDR	circuit de récupération
CLB	configurable logique bloc
CLB	Configurable Logic Block
CNA	Convertisseur numérique-analogique
CPLD	Complex Programmable Logic Devices
DDR	Double Data Rate
DLL	Delay-Locked Loop
DSBSC	Convertisseur analogique numérique
DSP	Digital Signal Processing
DSP	Digital Signal Processing
DVBS	Digital Video Broadcasting – Satellite
EBR	Embedded Block RAM
EEPROM	Electrically Erasable PROM - Mémoire à lecture seule, électriquement effaçable
EHF	
EPLD	Erasable Programmable Logic Device - Réseau logique programmable effaçable
EPROM	Erasable Programmable Read Only Memory - Mémoire à lecture seule effaçable
FEC	Forward Error Correction
FF	Flip-Flop
FFT:	Fast Fourier Transform
FH	Frequency Hopping
FHT	Flexible Horn Termination
FIR	Finite Impulse Response Filter
FMA	Frequency Modulated Audio
FPGA	Field-Programmable Gate Array
FPROM	Field Programmable Read Only Memory
FPROM	Read Only Memory - Mémoire à lecture seule

FSK	Frequency Shift Keying
GAL	Generic Array Logic - PAL générique
GANTT	Gantt Chart
GTO	Gate Turn-Off Thyristor
HPA	Hight Power Amplifier
IBS	International Business Service
IEEE	Institute of Electrical and Electronics Engineers
IOB	Input/output Block
IOE	Input/output Element
ISP	In-System Programmable - Composant programmable sur carte
JTAG	Join Test Action Group
LC	Logic Cell
LCA	Logic Cell Array (Xilinx) - Réseau de cellules logiques
LDPC	Low Density Parity- Check
LE	Logic Element
LMA	Linear Modulation Amplifier
LNA	Low Noise Amplifier
LTE	Long Term Evolution
LUT	Look-Up Table
OBS	Organizational Breakdown Structure
OL	Oscillateur Local
PAL	Programmable Array Logic - Réseau logique programmable
PCS	Physical Coding Sublayer
PFE	Projet de Fin d'Études
PIC	Programmable Interface Controller (ou Programmable Interrupt Controller)
PLD	Programmable Logic Device - Dispositif logique programmable
PLL	Phase-Locked Loop
PROM	Programmable Read Only Memory - Mémoire à lecture seule programmable
PSK	Phase-Shift Keying
QAM	Quadrature Amplitude Modulation
QPSK	Quadrature Phase Shift Keying
RACI	Responsible Accountable Consulted Informed
RF	Radio Frequency
RFID	Radio Frequency Identification
ROM	Read Only Memory - Mémoire à lecture seule
SHF	Super Haute Fréquence
SNR	Rapport Signal sur Bruit
SRAM	Static Random Access Memory
SSPA	Solid-State Power Amplifier
TDM	Time Division Multiplexing

TNT	Télévision numérique terrestre
TTL	Transistor Logic - Logique transistor-transistor
TWTA	Traveling Wave Tube Amplifier
UHF	Ultra High Frequency
UL	Underwriters Laboratories
USDB	Université saad Dahlab Blida
VCCA	Voltage for Core Analog
VCCHRX	Voltage for High-speed RX Circuit
VCCHTX	Voltage for High-speed TX Driver
VCO	Voltage Controlled Oscillator
VHF	Very Hight Frequency
VHL	VHSIC Hardware Description Language - Langage de description matérielle
VSAT	Very Small Aperture Terminal
Wi-Fi	Wireless Fidelity
XADC	Xilinx Analog-to-Digital Converter
VGA	Video Graphics Array
UART	Universel Asynchrone Récepteur émetteur
USB OTG	Universal Serial Bus On The Go
Pmod	Peripheral Module interface
PL	Programmable Logique
PS	Programmable System
SCU	Snoop Control Unit
SPI	Interface Périphérique Série
OLED	Organic Light-Emitting Diode
LED	Light-Emitting Diode
I2C	Inter-Integrated Circuit bus
GND	Ground
GigeE	Ethernet
GPU	Graphics Processing Unit.
FPU	Floating Point Unit
DSP	Digital Signal Processor
APU	Application Processing Unit
AXI	Advanced extensible Interface

Introduction Générale

Dès sa naissance l'homme cherche à communiquer, échanger avec la nature pour comprendre et se faire comprendre. Ainsi au sein de chaque peuple, chaque civilisation existe une forme de partage d'idées, de pensées par le biais d'un code commun.

C'est alors, vu l'importance de la communication les hommes ne se sont sans doute jamais épousé pour améliorer et développer des méthodes et techniques pour faire parvenir leur message à destination dans le temps et malgré certaine difficulté majeure.

FPGA modernes (Xilinx, Intel/Altera, etc.). Une analyse des performances sera réalisée pour évaluer tels que le débit binaire, l'efficacité spectrale, la robustesse aux interférences et la consommation énergétique

En développant pour visualise avec VHDL, une simulation pour être flexible, reconfigurable et performante, capable de mieux comprendre la modulation et démodulation sur FPGA

La question qui se pose est quels sont les moyens de transmission de l'émission vers la réception d'un point A à un point B d'une distante quelconque ?

Pour cela nous allons choisi comme thème : chaîne de transmission d'un modulateur démodulateur sur un circuit FPGA.

Le travail présenté dans ce mémoire entre dans le cadre de notre projet de fin d'étude pour l'obtention du diplôme de master, option d'aéronautique et des études Spatiales à USDB. Ce stage pratique est effectué au niveau d'ASAL (Agence Spatiale Algérienne).

Dans ce sens notre approche est essentiellement orientée vers cinq chapitres :

- Le premier intitulé « **Coté manageriel** » la gestion de notre projet de fin d'étude.
- Le deuxième chapitre intitulé « **Transmission spatiale et description des équipements** ».
- Le troisième chapitre intitulé « **Modulation numérique** » est consacré à l'étude des concepts fonctionnement et utilité.
- Le quatrième chapitre qui est intitulé « **Circuit FPGA** » est consacré à l'étude des concepts de la technologie.
- Le dernier chapitre intitulé « **Mise en place d'une simulation** » traite les différentes étapes de configuration et d'implémentation.

CHAPITRE

I

*Coté manageriel la gestion de
notre projet*

Chapitre 1 : «Coté manageriel» la gestion de notre projet »

I. Introduction

Notre projet consiste d'étudier la chaîne de transmission d'un modulateur-démodulateur (modem) sur un circuit FPGA. Ce chapitre décrit les étapes clés de la gestion de ce projet, de l'initiation à la clôture. Et pour arriver à tous ces aspects il faut respecter les normes suivantes :

Les 3 caractères du projet (coût – délai – objectif) sont interdépendants, chaque changement d'un caractère déséquilibre le projet :

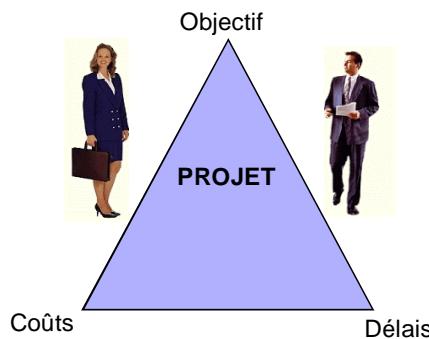


Figure I.1. Triangle du projet.

Le management de projet

■ Le management de projet : consiste à planifier, organiser, suivre et maîtriser tous les aspects d'un projet, de façon à atteindre les objectifs en respectant les coûts, les délais et les spécifications prédefinies.

Le management de projet comporte 2 volets :



Figure I.2. Les deux volets de management de projet.

I.1 Tableau démarche projet

Ce tableau indique les activités par ordre séquentiel d'exécution

Tâches	Nature	Durée en jours	Travaux antérieurs
A	Recherche d'un sujet de thèse	15	-
B	Sélection du sujet	10	A
C	Choix de l'application à réaliser	5	B
D	Recherche bibliographique sur le sujet traité	3	C
E	Rédaction des lignes directrices du travail	2	B
F	Sélection des documents utiles	2	E
G	Commencer la saisie	60	E
H	Réalisation de l'application	60	G
I	Correction de la syntaxe	10	H
J	Rédaction du document final	4	I
K	Mise en page	1	J
L	Impression du document	2	K
M	Déposer la thèse	1	L

Tableau I.1 Tâche à réaliser dans projet.

Ce tableau, modique, montre quelques éléments d'une véritable démarche de projet :

- Une décomposition en plusieurs tâches
- Des contraintes de temps : délais à respecter pour l'exécution de chaque tâche
- Des contraintes d'antériorité : certaines tâches ne peuvent commencer avant le terme d'une autre tâche
- Certaines tâches peuvent être commencées en même temps
- Contraintes de production de tâches : budgets, hommes mobilisés

Les logiciels de gestion de projet assistent le chef de projet (ex : les étudiants "binôme" dans le cadre du PFE) sur plusieurs fonctions :

- Coordonner les tâches
- Calculer les délais
- Programmer les moyens humains et matériels et financiers

■ Contrôler l'avancement des tâches

➤ *Diagramme de responsabilités OBS :*

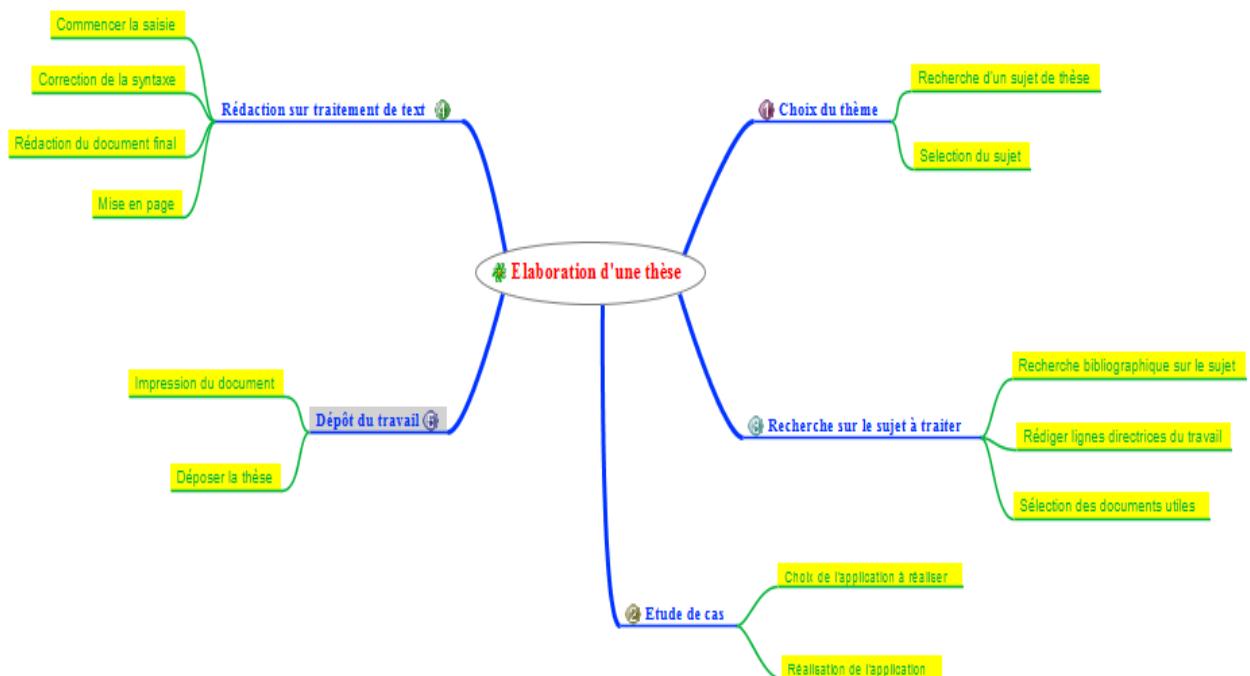


Figure I.3. Diagramme de responsabilité OBS

➤ *Matrice RACI*

A	B	C	D	E	F
Nature de la tâche	Nom de la tâche	Moi	Binôme	Promoteur	Encadreur
Choix du thème	Recherche d'un sujet de thèse	R	R	I	C
	Selection du sujet	R	R	I	A
Etude de cas	Choix de l'application à réaliser	R	R	C	A
	Réalisation de l'application	R	R	I	A
Recherche bibliographique	Recherche bibliographique sur le sujet	R	R	C	C
	Rédaction des lignes directrices du travail	R	R	C	A
	Sélection des documents utiles	R	R	C	C
Rédaction sur traitement de texte	Commencer la saisie	R	R	I	I
	Correction de la syntaxe	R	R	A	C
	Rédaction du document final	R	R	A	C
	Mise en page	R	R	A	I
Dépôt de la thèse	Impression du document	R	R	C	I
	Dépôt de la thèse	R	R	I	I

Tableau I.2. Matrice RACI.

➤ *Diagramme de GANTT*

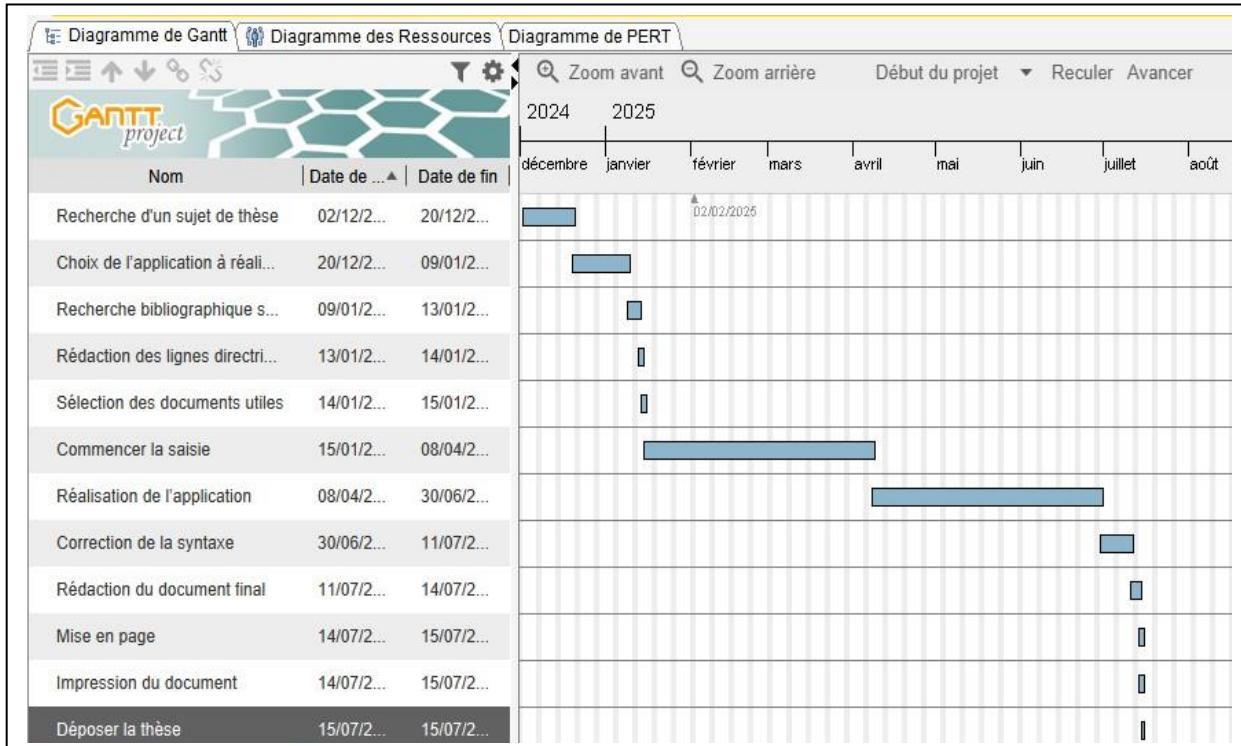


Figure I.4. Diagramme de GANTT.

I.2 Présentation de l'agence spatiale algérienne

Agence Spatiale Algérienne est également désignée par son acronyme ASAL ; Responsable du programme spatial de l'Algérie.

L'Agence Spatiale Algérienne (ASAL) est un établissement public national à caractère spécifique, doté de la personnalité morale et de l'autonomie financière. Elle a été créer auprès du chef du gouvernement par décret présidentiel n° 02-48 du 16 janvier 2002.

Elle est dotée d'un conseil d'administration composé des représentants de 15 ministériels ; d'un comité scientifique composé d'experts dans les domaines des technologies et applications spatiales.

L'Agence Spatiale Algérienne est constituée d'une structure centrale et de quatre entités opérationnelles :

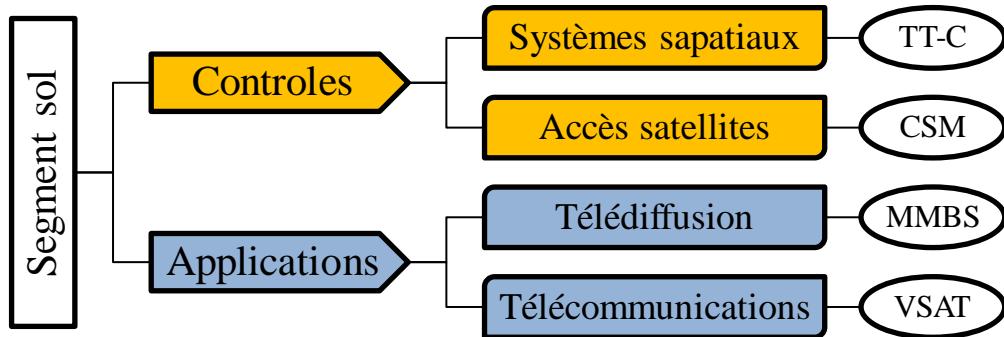


Figure I.5. Schéma de ASAL.

I .3 Projets Satellites Algériens Réalisée

- Alcomsat-1

Est le premier satellite de Télécommunications en Algérie. Il a été lancé le 10 décembre 2017 par un lanceur longue March 3B à partir de la base de lancement de Xichang en Chine. Il a été placé en orbite géostationnaire à une longitude de 24,8° Ouest. Le jour de lancement, 26 minutes après le décollage vertical, selon les données du centre de poursuite et de contrôle des satellites de Xi'an, les opérations de séparation du satellite Alcomsat-1 du véhicule de lancement et son entrée en Orbite de Transfert Géostationnaire (GTO) se sont déroulées avec succès. L'apogée de cette Orbite de Transfert est de 41991km, son périgée est de 200 km et son inclinaison est de 26.4°. Cinq manœuvres d'Alcomsat-1 seront nécessaires dans les 06 prochains jours, pour atteindre son orbite géostationnaire 36000km et sa position orbitale.

Il fait partie de la plateforme satellitaire Dong Feng Hong 4 de 5200kg de masse brute et 26 mètres d'envergure pour une durée de 15ans de durée de vie en orbite géostationnaire.

Il emporte de transpondeurs au bond Ku, pour la télévision, en band KA pour le V-SAT et les transmissions internet ainsi que des transpondeurs en bandes X, EHF et UHF pour les besoins de l'armée et des secteurs stratégique de l'état.



Figure I.6. Alcomsat -1.

I.4 Conclusion

Le contrôle opérationnel est assuré par deux stations construites en Algérie. L'exploitation et le contrôle du satellite seront effectués par des ingénieurs de l'ASAL, depuis les centres d'exploitation des systèmes de télécommunications de Bouchaoui (Alger) et de Boughezoul (Médéa). Ces opérations ont débuté dès la séparation du satellite du lanceur jusqu'à sa position orbitale géostationnaire. Ces ingénieurs procéderont à l'activation, à la surveillance et au contrôle des différents sous-systèmes du satellite et de ses appendices (antennes, panneaux solaires, réflecteurs etc.

CHAPITRE

II

*Transmission spatiale et
description des équipements*

Chapitre 2 : « transmission spatiale et description des équipements »

II. Introduction

Les systèmes de transmission spatiale jouent un rôle clé dans les télécommunications mondiales, en connectant des régions éloignées et en assurant des services critiques comme la téléphonie, l'Internet ou la télévision. Ils reposent sur une architecture complexe intégrant des équipements sophistiqués à bord des satellites et dans les stations terrestres. Ce chapitre présente les principes de base de la transmission spatiale, décrit l'architecture des systèmes satellites et détaille les principaux équipements utilisés.

II.1 Définition de La transmission

La transmission en générale est d'envoyer une information d'un point (A) un point (B) à une distance quelconque, petite distance (transmission terrestre), très grande distance (transmission spatiale), en visibilité directe (sans obstacle) et bilatérale, et cela en utilisant des ondes électromagnétiques OEM (RF), super haute fréquence (SHF).

Une liaison louée offre de multiples applications. Par exemple, pour : interconnecter des sites privés, décentraliser une activité, assurer sa sécurité en établissant une liaison avec les services de sécurité tels que les banques, la police, la gendarmerie, les secteurs pompiers, etc. transmettre des informations écrites de tous genres (télégraphie, télécopie, données, etc.) ou établir une communication orale privilégiée avec un correspondant de son choix, celui avec qui l'on choisit d'établir la liaison spécialisée.

II .2 Généralités sur la transmission spatiale

La transmission spatiale désigne l'ensemble des techniques et technologies utilisées pour échanger des signaux via des satellites en orbite autour de la Terre. Elle repose sur l'utilisation d'ondes électromagnétiques, généralement dans les bandes de fréquences radio (RF), pour établir des liaisons entre des stations terrestres et des satellites. Ces communications peuvent être de type unidirectionnel (diffusion) ou bidirectionnel (échanges de données), et sont essentielles dans de nombreux domaines : télécommunications, météorologie, navigation, surveillance, défense [1].

II.3 Transmission de l'information

II.3.1 Définition

Un système de communication est chargé de transmettre une information d'une source vers un récepteur. La source et le récepteur peuvent être très proches (exemple : mémoire vive - disque dur. Les éléments sont à l'intérieur d'une même machine) ou éloignés (exemple : satellite station terrestre). Cependant, tous les systèmes de communication dits « numériques » sont architectures autour d'un schéma général de base indiqué ci-dessous [2].:

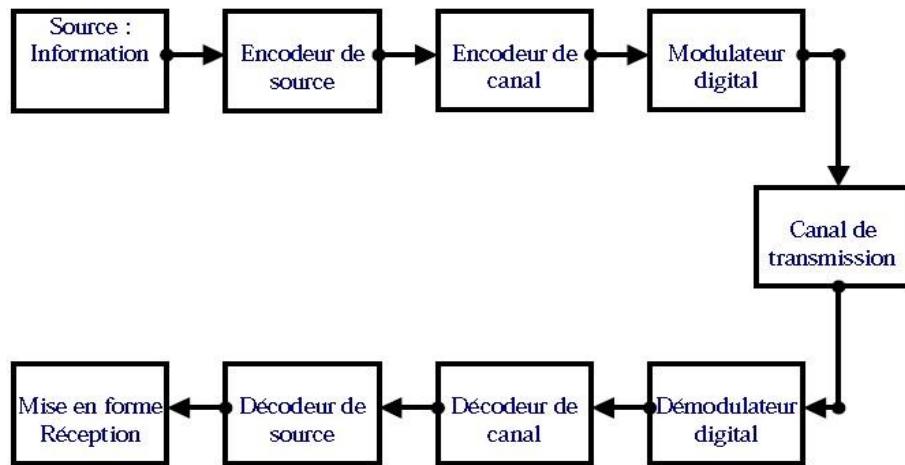


Figure II.1. Chaine de transmission

II.4 Différents supports de transmission

Différentes formes de supports de transmission peuvent être utilisées pour réaliser une transmission [3].

II.4.1 Transmission avec guide physique :

Bandes de base (VHF-UHF), les liaisons par câble ne sont pratiquement jamais utilisées pour la transmission de signaux de télévision (SHF) à des très grandes distances. On peut relier entre station (émettrice et réceptrice) à une distance d'environ 2 Km, en amplifiant les signaux afin de compenser l'affaiblissement aux câbles.

II.4.1.1 Fibre optique

C'est une liaison qui assure une transmission de haute qualité, elle permet de porter jusqu'à 10 Km environ la distance entre récepteurs et émetteur, ses différents avantages sont :

- L'insensibilité nécessaires aux électromagnétiques.
- L'immunité à la foudre.
- La résistance à l'environnement.
- Faible encombrement.
- Le seul inconvénient est que la fibre optique est fragile elle est conçue avec du verre.

II.4.2 Transmission en espace libre

II.4.2.a Faisceau hertzien

Un faisceau hertzien est un système de transmission de signaux, numériques ou analogiques, entre deux points fixes. Il utilise des ondes radioélectriques très fortement concentrées à l'aide d'antennes directives. La directivité du faisceau est d'autant plus grande que la longueur d'onde utilisée est petite et que la surface de l'antenne émettrice est grande. Le faisceau est un support de type pseudo-4 fils. Les deux sens de transmission sont portés par des fréquences différentes. Pour des raisons de distance et de visibilité, le trajet hertzien entre l'émetteur et le récepteur souvent découpé en plusieurs tronçons, appelés bonds, reliés par des stations relais qui reçoivent, amplifient et réémettent le signal modulé vers la station suivante. On distingue deux catégories de faisceaux hertziens (FH) :

II.4.2.b Faisceau Hertzien Transhorizon (FHT)

Le Faisceau Hertzien Transhorizon (FHT) est un système de communication radio utilisant des ondes hyperfréquences (micro-ondes) pour atteindre des distances bien supérieures à la portée d'une liaison hertzienne classique en visibilité directe (line of sight).

Ce système repose sur le phénomène de diffraction, de réflexion troposphérique ou de réfraction ionosphérique, permettant aux ondes de se propager au-delà de l'horizon visuel.

- ✓ Fréquences utilisées : généralement entre **1 GHz et 10 GHz**.
- ✓ Distance couverte : de **100 km à plus de 1000 km**, selon le mode de propagation.

II.4.2.c Faisceau Hertzien en visibilité directe

Supposant un trajet entre antenne d'émission et antenne de réception suffisamment dégagé de tout obstacle, ils fonctionnent presque tous sur des fréquences supérieures à 1 GHz.

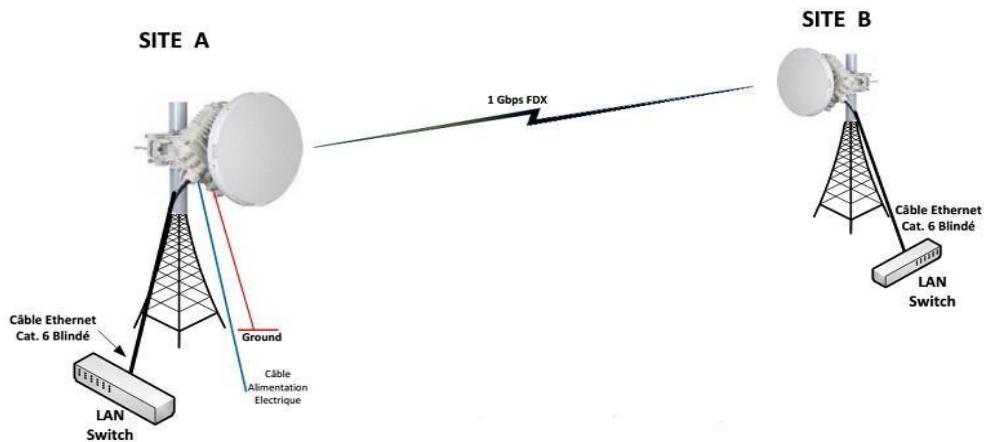


Figure II.2. : Faisceau Hertzien en visibilité directe.

II .5 La Transmission Spatiale

Une liaison satellite est une liaison radio entre une station terrestre émettrice et une station terrestre réceptrice, à travers un satellite de communication. Une liaison satellite se compose d'une liaison montante (uplink) et d'une liaison descendante (downlink) ; l'électronique embarquée du satellite (c'est-à-dire le transpondeur) remappe la fréquence de la liaison montante vers celle de la liaison descendante.

Le canal de transmission d'un système satellite est un canal radio utilisant une approche par onde directe, opérant dans des bandes de fréquences radio (RF) spécifiques au sein du spectre électromagnétique global [4].

II.5.1 Segment Spatiale :

Le développement des moyens de transmission de l'information qui constitue l'une des caractéristiques principales de notre époque résulte d'une part d'une augmentation continue des besoins est d'autre parts des possibilités offerts par le progrès technique.

Le développement des techniques spatiales et leur mise au service des besoins de l'homme s'est fait avec une rapidité sans exemple caractéristique de l'accélération du progrès technique.

II.5.1.a Définition d'un satellite

Le satellite est un corps métallique céleste à base d'élément actif. Le satellite en position géostationnaire sur l'orbite dans le plan équatorial a une altitude de 36000 KM synchronisé avec la rotation de la terre (même vitesse et même direction), alors il apparaît immobilier par rapport un repère lié à la terre [8.3].

Un satellite de télécommunication fonctionne comme un véritable relais hertzien dans l'espace, c'est l'intermédiaire qui assure la liaison entre une station terrienne émettrice et une station terrienne réceptrices (vis-versa), cette liaison comprend deux parties :

- Une liaison montante entre la station terrienne émettrice et le satellite.
- Une liaison descendante entre station terrienne en utilisant deux ou plusieurs satellites.

Cette caractéristique permet au satellite la couverture en permanence de la terre et la réception directe au public.

II.5.1.b Rôle de satellite

Le satellite est comme étant un relais hertzien dans l'espace ou on peut transmettre l'information à grand distance.

Le satellite de télécommunication a pour but de :

- Transmettre et acheminer une grande qualité d'information, lien directe à la TV entre continents.
- Un seul satellite peut relier par des liaisons de transmission un nombre important de stations terriennes et on peut réaliser une transmission à grande distance, ceci présente un avantage important en faveur des systèmes à satellite alors que leur comparaison économique avec un système terrestre :

- Permettant la distribution de la même information à tout un ensemble de station terrienne.
- La station avec d'autres stations mobiles telles que camion.
- Les satellites occasionnent de grosses dépenses grâce aux conditions d'environnement sévères qu'ils rencontrent et surtout de l'impossibilité de les dépanner après le lancement.

II.5.1.c Bande de fréquences

Une bande de fréquence définit une plage de fréquences qui ont des propriétés similaires.

Bande Ku : Gamme utilisée pour la télévision et la radio. Dans ce domaine, elle s'étend de 10,70 à 12,75 GHz. Cette bande est la plus répandue en Europe, du fait de la petite taille des paraboles nécessaires à sa réception. Elle se subdivise en sous bandes, Télécom. Le tableau I.1 représente les différentes bandes utilisées pour transmettre le signal vers le satellite.

Bandes homologuées (licenciées)	
Type de bande	Fréquence [GHz]
L	1 à 2
S	2 à 4
C	4 à 8
X	8 à 12.5
Ku	12.5 à 18
Ka	18 à 40
Bandes en cours d'homologation (non licenciées)	
Q	~ 40 à 50
V	~ 50 à 60

Tableau II .3 : Bandes de fréquences.

II.5.2.a Liaison Montante (UPLINK)

La liaison montante est la partie d'une liaison de communication par satellite qui implique la transmission du signal depuis le sol et sa réception à bord du satellite. Un système de liaison montante comprend les sous-systèmes suivants :

- **Source de données** : Il s'agit de la donnée initiale à transmettre : voix, vidéo, données numériques Vidéo, données, voix
- **Codage de Canal (Correction d'erreurs)**
 - ✓ Protéger les données contre les erreurs introduites par le canal de communication (bruit thermique, interférences, atténuations atmosphériques, évanouissements).
 - ✓ Ce type de codage n'est pas visible par l'utilisateur, mais améliore considérablement la fiabilité de la transmission.
- **Des modulateurs** (dispositifs qui superposent l'amplitude, la fréquence ou la phase d'un signal sur une autre onde — appelée porteuse — utilisée pour transmettre le

signal original via la liaison satellite). (Les modulations QPSK et 8-PSK sont courantes, mais d'autres méthodes plus avancées sont également utilisées. La correction d'erreurs directe (FEC) est généralement gérée à ce stade.) [2]

A1- Des convertisseurs de fréquence montante (upconverters), qui transforment un signal à 70/140/900 MHz en une fréquence finale dans la bande C, Ku ou Ka ;

A2- Des amplificateurs de puissance (HPA), notamment les amplificateurs de puissance à semi-conducteurs (SSPA) ou les klystrons. Ces amplificateurs augmentent la puissance des signaux à transmettre au satellite [2].

- Cela un amplificateur à tube à ondes progressives (TWTA) de chez CPI (Communications & Power Industries).
- Ce type d'amplificateur est utilisé pour amplifier des signaux RF, notamment dans les communications satellites et militaire.



Figure II.4 : Hight Power Amplifier (HPA)

A3- Antenna Control Unit (ACU) est un équipement électronique qui sert à piloter et contrôler les mouvements d'une antenne pour assurer son alignement optimal avec une cible, comme un satellite ou un autre point de communication. Elle gère principalement les mouvements azimut, élévation (et parfois polarisation) d'une antenne motorisée [2].



Figure II.5 : Antenna Control Unit (ACU)

A4- Un Block UpConverter (BUC) prend un signal en bande L et le convertit en une fréquence finale dans la bande C ou Ku. Ce dispositif est généralement utilisé pour des antennes de terrain bidirectionnelles et fonctionne dans une plage de 5 à 25 watts pour les applications commerciales (mais peut aussi fonctionner à d'autres puissances dans des cas particulier[2].



Figure II.6 : Un Block UpConverter (BUC)

A5- Low Noise Amplifier LNA amplifie le signal RF reçu de l'antenne et l'envoie à un convertisseur de fréquence, dont la sortie est généralement une fréquence intermédiaire (IF) de 70/140/900 MHz. Il fournit un gain de 50 à 60 dB. Le LNA est généralement plus précis et stable, mais aussi plus coûteux que le LNB

A6- Guide d'onde : est une structure physique (souvent un tube métallique creux) utilisée pour transporter les ondes électromagnétiques à haute fréquence, notamment dans le domaine des micro-ondes et des radiofréquences (RF). Il sert d'alternative aux câbles coaxiaux, surtout dans les fréquences > 3 GHz[3].



Figure II.7 : Guide d'onde

A7- Des antennes d'émission : généralement de type parabolique, dont le gain est déterminé par la capacité de formation du faisceau de l'antenne, directement proportionnel au carré du diamètre de l'antenne parabolique [4].

Les différentes antennes de la station BOCHAoui

- **Antenne 13M bande C (FMA)** : Full motion antenne est indispensable pour recevoir des signaux de la bande C et contrôlé par MSC , elle utilisée pour

TT&C (Télémétrie Training &Commande)



Figure II.8 : Antenne 13M bande C (FMA)

- **Antenne 13M bande C/L(LMA)** : Limited motion antenne , elle fait la transmission en bande C et réception de signal en bande L. elle est utilisable pour la navigation du militaire



Figure II.9 : Antenne 13M bande C/L (LMA)

I.5.1.b Liaison Descendante (DOWNLINK)

La conversion descendante (downconversion) est le processus de conversion de la fréquence d'un signal vers une fréquence plus basse ; elle est effectuée au point de réception pour permettre la récupération du signal original.

Une liaison descendante comprend les éléments suivants :

1. **Antennes de réception** fournit un certain degré de directivité (appelée gain d'antenne), ce qui aide à isoler le signal désiré des autres signaux et du bruit lorsque le faisceau principal de l'antenne est précisément orienté vers la source du signal voulu. Dans le cas d'une antenne parabolique classique, le gain est directement proportionnel au carré du diamètre de l'antenne.
2. **Convertisseurs de fréquence descendante** (downconverters), qui transforment un signal dans la bande C, Ku ou Ka en une fréquence finale de 70, 140 ou 900 MHz.
3. **LNA** (amplificateurs à faible bruit), Un Low Noise Amplifier est un amplificateur situé en tout début de chaîne de réception, conçu pour amplifier les signaux très faibles captés par l'antenne, tout en minimisant le bruit ajouté.



Figure II.10 : Low Noise Amplifier LNA

4. **LNB** amplifie le signal RF de l'antenne et le convertit en un signal en bande L. Il offre également un gain de 50 à 60 dB et effectue une conversion de blocs de fréquences (ce qui entre est amplifié et ressort à une fréquence différente) [6].
5. **Démodulateur** (sur le site client) permettant de récupérer les données à partir de la porteuse modulée (pour les liaisons bidirectionnelles, le modulateur et le démodulateur sont souvent combinés dans un seul appareil appelé modem) [6].

Conclusion :

La transmission spatiale constitue un pilier essentiel des télécommunications modernes, permettant de relier des zones géographiquement éloignées avec fiabilité et efficacité. Ce chapitre a mis en évidence l'architecture complexe de ces systèmes, intégrant des équipements spécialisés tels que les antennes, les transpondeurs, les amplificateurs et les guides d'onde, chacun jouant un rôle clé dans la transmission et la réception des signaux. L'étude des techniques de traitement du signal, incluant le codage source et le codage de canal, montre l'importance d'optimiser la qualité tout en réduisant les erreurs et la bande passante. La compréhension de ces principes et équipements est indispensable pour concevoir, exploiter et améliorer les systèmes de communication spatiale face aux défis actuels et futurs.

CHAPITRE

III

Modulation numérique

Chapitre 3: « La Modulation Numérique »

Introduction

Les modulations numériques font référence à l'emploi d'une porteuse sinusoïdale haute fréquence qui est modulée par un signal numérique informatif. Les types de modulation varient, mais les circuits modulateurs sont identiques dans leur concept à ceux des modulations analogiques, le rapport signal-bruit est meilleur avec un système numérique, car même en présence de bruit, distorsion ou interférence sur un signal numérique, il est possible de le restaurer grâce à une comparaison avec un seuil. Cela permet d'atteindre des taux d'erreurs (qui correspondent au nombre de bits incorrects divisé par le nombre total de bits) de 10^{-4}

Les signaux modulés numériquement présentent des densités spectrales avec des largeurs inférieures à celles des signaux analogiques, ce qui offre la possibilité d'accroître le nombre de canaux exploitables par Hz lors des transmissions de données. [5].

III. Généralités sur la transmission de l'information spatiale

Petite distance (transmission terrestre), très grande distance (transmission spatiale), en visibilité directe (sans obstacle) et bilatérale, et cela en utilisant des ondes électromagnétiques OEM (RF), super haute fréquence (SHF).

1. Source de données

Il s'agit de la donnée initiale à transmettre : voix, vidéo, données numériques.

2. Codage de Canal (Correction d'erreurs)

- Protéger les données contre les erreurs introduites par le canal de communication (bruit thermique, interférences, atténuations atmosphériques, évanouissements).
- Ce type de codage **n'est pas visible par l'utilisateur**, mais **améliore considérablement la fiabilité** de la transmission [5].

Rappel sur la modulation analogique



Figure III.1. Signal analogique et numérique.

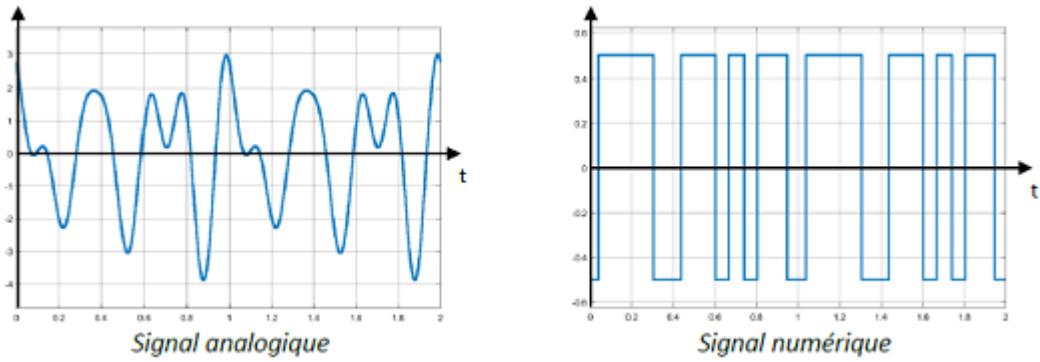


Figure III.2. Nature de signaux.

Modulations dans quelques standards [3]

Standard	Modulation numérique
Modem V34 33.6kb/s	QAM-1664
DECT	GFSK
GSM	GMSK
DCS1800	GMSK
IS54	$\pi/4$ -DQPSK
IS95	DSSS + QPSK
UMTS (3G)	DSSS + QPSK
802.11b (wifi)	DSSS + QPSK
802.11a (wifi5)	OFDM
802.11g	OFDM

III.1 Modulations numériques

La modulation numérique consiste à adapter un signal numérique informatif en modulant une onde porteuse afin de le transmettre efficacement à travers un canal de communication. Elle fait ainsi référence à l'emploi d'un signal sinusoïdale haute fréquence qui est modulée par un signal numérique dans le modèle.

En fonction des caractéristiques fondamentales d'un signal en onde sinusoïdale notamment l'amplitude, la fréquence et la phase, plusieurs types de modulation sont existés tel que l'ASK, la FSK et la PSK [6].

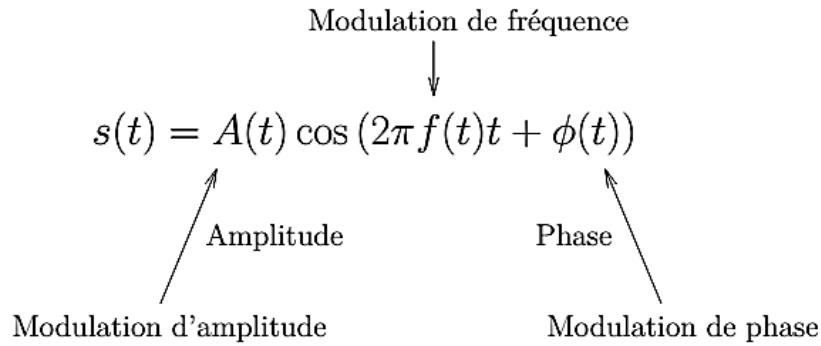


Figure III.3. Paramètres d'un signal modulé.

Ainsi plusieurs schémas sont existés dans un type bien spécifique en fonctions des exigences du système, tels que BPSK, QPSK, 8PSK et QAM. Ces techniques permettent d'optimiser le débit binaire, la robustesse face aux interférences et l'occupation spectrale.

III.2.1 Modulation par déplacement de phase (PSK)

PSK est un processus de modulation numérique qui transmet des données en modifiant (modulant) la phase d'un signal de référence à fréquence constante (l'onde porteuse).

2.1.1 Applications de la Modulation PSK :

La modulation de phase est largement utilisée dans différents domaines technologiques :

- Wi-Fi : Employée dans les techniques de modulation du standard IEEE 802.11.
- Satellites de communication : Assure la robustesse et l'efficacité du signal.
- Télévision numérique : Utilisée pour la transmission de signaux de haute qualité.

La combinaison de la modulation de phase avec d'autres techniques de modulation procure une transmission de données fiable et performante [6].

III.2.2 Modulation par Déplacement de Phase Binare (BPSK)

2.2.1 Principe et fonctionnement

La technique BPSK est également appelé 2-PSK. Dans cette technique, la porteuse sinusoïdale prend deux inversions de phase telles que 0° et 180° étant un déphasage relatif de 180° , ces sinusoïdes sont appelées signaux antipodaux.

La position exacte des points de la constellation n'a pas particulièrement d'importance, et parfois ils peuvent être sur l'axe réel, à 0° et 180° .

BPSK est essentiellement un schéma de modulation à double bande latérale à porteuse supprimée (DSBSC), le message étant l'information numérique.

Il n'est cependant capable de moduler qu'à 1 bit/symbole et n'est donc pas adapté aux applications à haut débit. Cette modulation est la plus robuste de toutes les PSK car il faut le plus haut niveau de bruit ou de distorsion pour que le démodulateur prenne une décision incorrecte.

Ces deux signaux sont séparés par une phase de 180 degrés et c'est cette grande différence de phase qui explique la robustesse de la méthode BPSK.

En présence d'un déphasage arbitraire introduit par le canal de communication, le démodulateur est incapable de dire quel point de constellation est lequel. La principale caractéristique d'identification de BPSK est que le processus de modulation crée deux porteuses haute fréquence distinctes en fonction des données transmises, représentant soit un '1', soit un zéro '0' [6].

$$S(t) = \begin{cases} A \cos(2\pi f_c t) & \text{binary 1} \\ A \cos(2\pi f_c t + \pi) & \text{binary 0} \end{cases} \dots \quad (1)$$

2.2.2 Diagramme de constellation de BPSK

Le diagramme de constellation BPSK est un graphique en deux dimensions (plan complexe) où l'axe horizontal (axe réel, I) représente la composante en phase, et l'axe vertical (axe imaginaire, Q) représente la composante en quadrature.

Les déphasages sont :

Code 0 avec déphasage de 180°

Code 1 avec déphasage de 0°

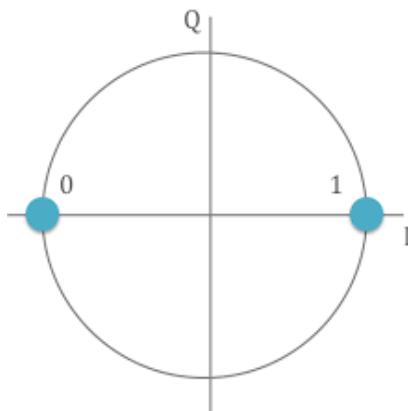


Figure III.4. Diagramme de constellation de la modulation BPSK.

III.2.2.4 Démodulateur BPSK

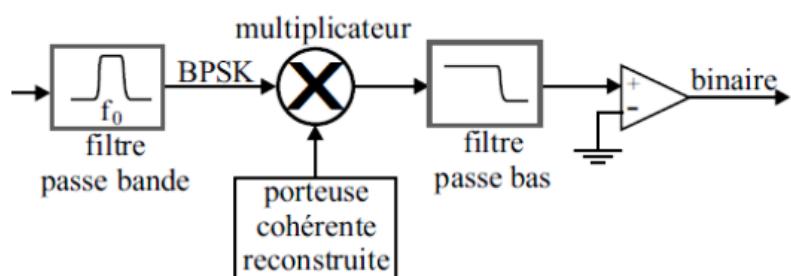


Figure III.5. : Démodulateur BPSK.

III.2.3 Modulation par déplacement de phase en Quadrature (QPSK)

QPSK est la technique de modulation numérique procédant par déplacement de phase en quadrature, qui consiste à moduler indépendamment deux porteuses déphasées de 90° . La somme de ces deux porteuses, donne une onde sinusoïdale de même fréquence que les porteuses mais déphasée. La porteuse de référence et appelée I « In phase » et l'autre porteuse déphasée de 90° est appelée Q « in Quadrature ». En QPSK, on encode donc indépendamment chacune des porteuses en BPSK. Les deux signaux BPSK sont additionnés pour former le signal QPSK. A la réception, on peut séparer ce qui a été codé sur I de ce qui a été codé sur Q. Puisqu'il y a 2 bits par symbole[6].

L'équation de QPSK est définie par :

$$s(t) = A \cos(2\pi f_c t + \varphi_i) \quad \dots \quad (2)$$
$$0 \leq t \leq T \quad i = 1,2,3,4$$

Où : $\varphi_i = \frac{(2i-1)\pi}{4}$

Les phases initiales du signal sont : $\frac{\pi}{4}; \frac{3\pi}{4}; \frac{5\pi}{4}; \frac{7\pi}{4}$

L'expression ci-dessus peut être écrite comme :

$$S(t) = A \cos \varphi_i \cos(2\pi f_c t) + A \sin \varphi_i \sin(2\pi f_c t) \quad \dots \quad (3)$$

On prend :

$$I = A \cos \varphi_i$$

$$Q = A \sin \varphi_i$$

Ou I : In phase ; Q : Quadrature

Donc l'équation sera : $S(t) = I \cos(2\pi f_c t) + Q \sin(2\pi f_c t) \quad \dots \quad (4)$

III.2.3.1 Diagramme de constellation de QPSK :

Les déphasages sont :

Code 00 avec déphasage de 225°

Code 01 avec déphasage de 135°

Code 10 avec déphasage de 315°

Code 11 avec déphasage de 45°

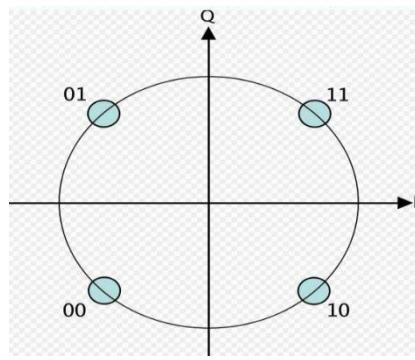


Figure III.6. Diagramme de constellation (modulation QPSK).

III.2.3.2 Modulateur QPSK :

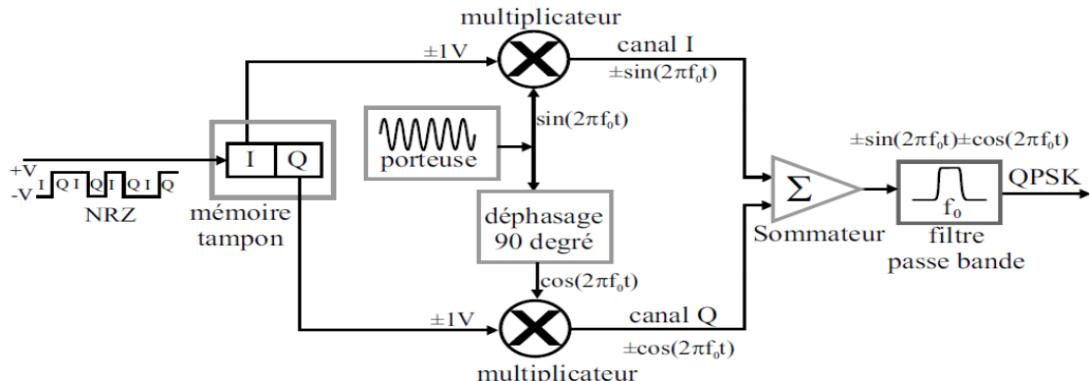


Figure III.7. : Modulateur QPSK.

Les blocs électroniques qui sont responsables à générer l'équation mathématique

Une Porteuse : bloc fonctionne comme un oscillateur local générant la fréquence porteuse

Déphasage 90° : c'est un circuit de décalage de phase

III.2.3.3 Démodulateur QPSK :

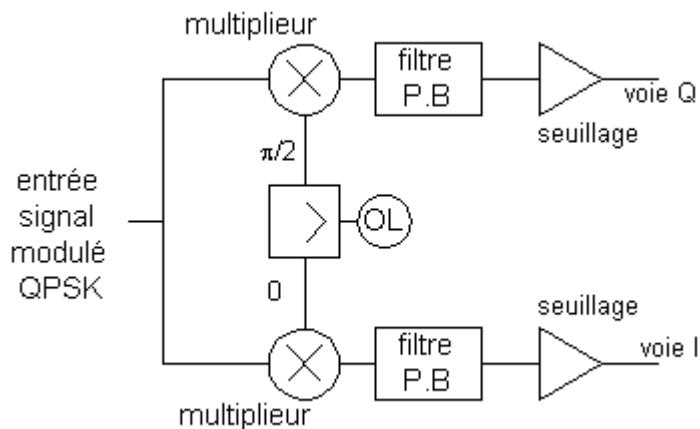


Figure III.8. : Démodulateur QPSK.

III.2.4 Processus de modulation

La modulation numérique permet de transmettre des données binaires sur un signal analogique en modifiant ses propriétés. Ce processus se déroule en plusieurs étapes clés :

✓ **Codage des données :**

- Les informations numériques (texte, audio, vidéo, etc.) sont d'abord converties en une suite de bits (0 et 1).
- Ce codage peut inclure des techniques de détection et de correction d'erreurs (comme le code de Hamming ou le code convolutif) pour améliorer la fiabilité de la transmission.

✓ **Modulation du signal :**

- Les bits obtenus modifient une propriété d'un signal porteur sinusoïdal :
 - **Amplitude (ASK)** : La hauteur de l'onde change en fonction des bits.
 - **Fréquence (FSK)** : La fréquence de l'onde varie pour représenter des 0 et des 1.
 - **Phase (PSK)** : La phase de l'onde est décalée selon les bits transmis.
 - **Combinaisons (QAM)** : Amplitude et phase sont modifiées simultanément pour encoder plus de bits par symbole.
- Cette modulation permet d'adapter le signal aux caractéristiques du canal de transmission tout en optimisant l'utilisation de la bande passante.

✓ **Transmission sur le canal :**

- Le signal modulé est transmis via un canal de communication, qui peut être :
 - **Guidé** : câbles coaxiaux, fibres optiques, lignes téléphoniques.
 - **Non guidé** : ondes radio, micro-ondes, satellites.
- Pendant la transmission, le signal peut être soumis à des perturbations : bruit, interférences, affaiblissement du signal, etc.

III.2 Démodulation numérique

La démodulation est un processus essentiel dans les systèmes de communication numérique, permettant de récupérer les informations originales à partir d'un signal modulé reçu. Ce processus implique plusieurs étapes cruciales pour garantir que les données soient correctement extraites et interprétées [6].

1) Filtrage

Le filtrage est la première étape de la démodulation. Il consiste à éliminer les composantes indésirables du signal reçu, telles que les interférences ou le bruit hors bande. Les filtres utilisés peuvent être des filtres passe-bas, passe-haut, passe-bande ou coupe-bande, selon les spécifications du système.

2) Suppression du Bruit

La suppression du bruit est cruciale pour améliorer la qualité du signal. Des techniques de traitement du signal, telles que le filtrage adaptatif ou les algorithmes de réduction de bruit, sont utilisées pour minimiser l'impact du bruit sur le signal reçu.

3) Filtrage Passe-Bande

Le filtrage passe-bande est appliqué pour sélectionner la bande de fréquences d'intérêt. Ce filtre permet d'éliminer les composantes de fréquence indésirable et de se concentrer sur la bande où se trouve le signal modulé.

4) Décodage de la Porteuse

Le décodage de la porteuse implique la récupération de la fréquence et de la phase de la porteuse d'origine. Cela est essentiel pour synchroniser le démodulateur avec le signal reçu. Des techniques comme les boucles à verrouillage de phase (PLL) sont souvent utilisées pour cette étape.

5) Synchronisation

La synchronisation est une étape critique qui consiste à aligner le signal reçu avec le signal attendu. Cela inclut la synchronisation en temps (pour aligner les symboles) et en phase (pour aligner la porteuse). Une synchronisation précise est nécessaire pour une détection correcte des symboles.

6) Extraction du Signal Modulé

L'extraction du signal modulé implique d'utiliser la référence de porteuse pour extraire le signal modulé à partir du signal reçu. Cela peut être réalisé par multiplication avec un signal sinusoïdal en phase ou en quadrature, selon le type de modulation utilisée.

7) Détection de Symboles

La détection de symboles consiste à identifier les symboles numériques à partir du signal modulé extrait. Cette étape utilise souvent des techniques de détection par décision, où le signal est comparé à des seuils pour déterminer le symbole le plus probable.

8) Déetecte et corriger les erreurs.

En résumé, le processus de démodulation numérique implique plusieurs étapes critiques pour extraire avec précision les données originales à partir d'un signal modulé reçu, tout en minimisant les erreurs introduites par le bruit et les distorsions du canal.

Tout signal numérique modulé peut être exprimé sous la forme générale :

où :

- $A(t)$ est l'amplitude (porteuse d'information en ASK),
 - f_c est la fréquence de la porteuse,

- $\phi(t)\backslash\phi(t)\phi(t)$ est la phase (porteuse d'information en PSK).

La démodulation consiste à extraire l'information (bits) de l'un ou plusieurs de ces paramètres.

9) Types de démodulation numérique

a) Démodulation d'Amplitude (ASK)

- Principe : on détecte les variations d'amplitude de la porteuse.

- Équation :

$$s(t) = A(t) \cdot \cos(2\pi fct) \dots \dots \dots (7)$$

où $A(t) \in \{0,1\}$

- Démodulation : filtrage + détection d'enveloppe.

b) Démodulation de Fréquence (FSK)

- Principe : l'information est codée dans les variations de fréquence.

- Équation :

$$s(t) = A \cos(2\pi f_i t) \dots \dots \dots (8)$$

où $f_i \in \{f_0, f_1\}$

Selon le bit transmis (0 ou 1)

- Démodulation : détection de fréquence par discriminateur.

c) Démodulation de Phase (PSK/QPSK)

Pour la **BPSK** (Binary PSK), on a :

$$S(t) = A \cos(2\pi fct), \text{ si bit } = 0 \\ A \cos(2\pi fct + \pi), \text{ si bit } = 1$$

Pour la **QPSK** (Quadrature PSK), on transmet 2 bits par symbole :

$$s(t) = I(t) \cos(2\pi fct) - Q(t) \sin(2\pi fct)$$

Avec :

$$I(t), Q(t) \in \{-1, +1\}$$

- Démodulation :
 - Multiplier le signal reçu par $\cos(2\pi fct)$ pour extraire $I(t)$
 - Multiplier le signal reçu par $\sin(2\pi fct)$ pour extraire $Q(t)$
 - Filtrage passe-bas,

9.1 Étapes générales de la démodulation numérique

1. **Réception du signal bruité $r(t)$:**

$$r(t) = s(t) + n(t) = I(t)\cos(2\pi fct) - Q(t)\sin(2\pi fct) + n(t) \dots \dots (9)$$

Où $n(t)$ est un bruit (souvent gaussien).

2. **Filtrage passe-bas** pour éliminer les fréquences indésirables.
3. **Détection de la porteuse et synchronisation.**
4. **Récupération des composantes modulées** (par corrélation ou multiplication avec ondes de référence).
5. **Décision logique** pour estimer les bits transmis.

Exemple : Démodulation QPSK

- **Signal transmis :**

$$s(t) = I(t)\cos(2\pi fct) - Q(t)\sin(2\pi fct) \dots \dots (10)$$

- **Signal reçu :**

$$r(t) = s(t) + n(t) \quad r(t) = s(t) + n(t)r(t) = s(t) + n(t) \dots \dots (11)$$

Démodulation :

- $r(t) \cdot \cos(2\pi fct) \rightarrow I(t)r(t) \cdot \cos(2\pi fct) \rightarrow I(t) + bruit$
- $r(t) \cdot \sin(2\pi fct) \rightarrow Q(t)r(t) \cdot \sin(2\pi fct) \rightarrow Q(t) + bruit$

Puis :

- Passage dans un filtre passe-bas
- Quantification (décision logique)

Conclusion

La modulation numérique joue un rôle crucial dans la transmission efficace et fiable des données dans divers domaines technologiques. La compréhension des différentes techniques de modulation, de leurs avantages et de leurs limitations, est essentielle pour concevoir et optimiser les systèmes de communication modernes.

CHAPITRE

IV

Circuit FPGA

Chapitre 4 : « Circuit *FPGA* »

IV. Introduction

Deux décennies après les années 60, soit les années 80 que la logique programmable commence vraiment à prendre forme. Par ailleurs, les premiers circuits notamment les circuits PAL arrivent sur le marché, elles sont programmées un peu comme des ROM, servaient à créer des fonctions simples pour le décodage d'adresses ou le contrôle de bus. Puis, la technologie a rapidement évolué, avec les progrès en microélectronique, de nouvelles familles sont apparues : d'abord les CPLD, puis les FPGA, introduits par la société Xilinx en 1985. Ces circuits ont ouvert la porte à des systèmes beaucoup plus flexibles et puissants, capables d'être reprogrammés encore et encore.

IV. Étude de la structure générale d'un FPGA

IV .1 Cellules logiques de base

Généralement on distingue deux types de cellule de base qui sont :

1- Cellules d'entrées-sorties

Ils constituent l'interface entre les branches de sortie du circuit et les CLB. Ils sont présents sur toute la périphérie du circuit FPGA car ces cellules sont des intermédiaires par lesquelles les données transitent depuis les blocs logiques internes jusqu'aux ressources externes et vice versa. Chaque bloc IOB contrôle une broche du composant et peut être défini en entrée, en sortie, en entrée/sortie ou être inutilisé qui peut prendre les états suivant 0, 1 ou haute impédance.

Le rôle principal des interfaces d'entrées/sorties est de transmettre et de recevoir des données.

Néanmoins l'interface d'entrée/sortie peut être dotée d'options telles que des registres, impédances et buffers.

Chaque fabricant a sa propre appellation pour désigner l'interface d'entrées/sorties mais la fonction reste toujours la même.

Altera les nomme IOE Input Output Element. L'IOE remplit toujours son rôle d'interface d'entrées/sorties, elle dispose d'une résistance de rappel pull-up et un temporisateur du signal.

Chez XILINX, les interfaces d'entrées/sorties sont nommées IOB pour Input Output Blocks. L'IOB est constitué de registres, de diviseurs de tension, des résistances de rappel Pull up et autres ressources spécifiques. [13]

2- Macro-cellules

Ces cellules logiques sont appelées aussi par :

- Soit CLB (configurable logic block), c'est la dénomination adoptée par XILINX.
- Soit LC (cellule logique), c'est le nom choisi par CYPRESS.
- Soit LE (élément logique), c'est l'appellation d'ALTERA.

Ces macro-cellules sont plus nombreuses, et il n'y a pas de matrice ET et OU .la macro-cellule est constitué d'une partie combinatoire et une partie séquentielle.

La partie combinatoire sur laquelle on peut réaliser les fonctions de complexité moyenne car les constructeurs ont proposé pour chacun une ou plusieurs solutions de synthèse dont les principales sont :

La synthèse de fonctions à 4 ou 5 variables avec des portes classiques ET, OU et NON.

La synthèse de fonction à l'aide d'un multiplicateur.

La synthèse de fonction combinatoire à l'aide de mémoire vive. Dans ce dernier cas, on dit aussi réalisation de fonction logique par LUT (look-up ou table d'observation).

La partie séquentielle à une ou deux bascules généralement de type D. il est rare de trouver des macro-cellules uniques pourvues de la partie combinatoire. [13]

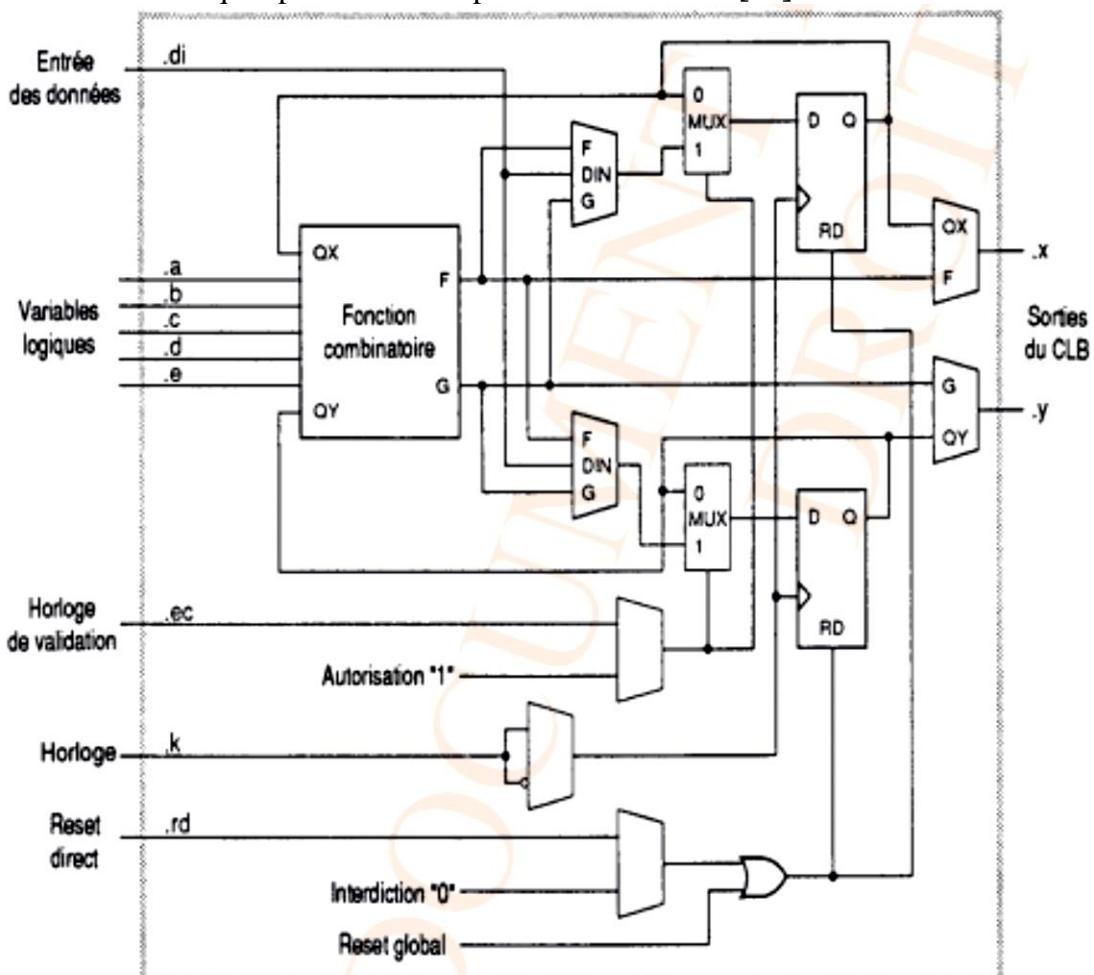


Figure IV.1. Structure détaillée d'un CLB.

IV .2 Types des FPGA

Les deux types majeurs de systèmes de programmation pour les circuits FPGA sont les suivants : FPGA à SRAM ou LCA (Logic Cell Array) introduit en 1985 par Xilinx à base de SRAM pour configurer les connexions logiques non dédiée avec des solutions d'interconnexions souples.

- FPGA à anti fusibles nés en 1990 par Actel, programmables électriquement par l'utilisateur non effaçable. [13]

A- FPGA du type SRAM

La structure de base d'un FPGA de type SRAM est complexe. Un point de connexion entre les différentes cellules est un ensemble de transistors MOS de commutation commandés par des cellules de mémoire vive (RAM).

Ces circuits FPGA type SRAM sont constitués de blocs logiques élémentaires et de réseaux d'interconnexions pouvant être configurés par l'utilisateur. Celui-ci a la possibilité d'implanter une fonctionnalité donnée dans ces circuits sans avoir à se préoccuper des différentes étapes de sa fabrication. La complexité des circuits implantés dans les FPGAs leur permet aujourd'hui de concurrencer les circuits spécifiques pour de petits volumes de production (jusqu'à quelques milliers d'unités). Ils sont donc particulièrement appropriés pour une utilisation dans des applications du domaine spatial. L'utilisation des circuits intégrés spécifiques à une application (ASIC) nécessite effectivement des délais de développement et de production s'étalant sur plusieurs mois, pour un coût considérable. Les FPGAs permettent de concevoir des circuits d'une complexité comparable à moindre coût et dans des délais plus courts. Par ailleurs, de nombreux FPGA offrent la possibilité de reconfiguration à tout moment, ce qui permet d'adapter les circuits tout au long de leur durée de vie. Cela nous conduit à examiner plus en détail leur architecture. [14]

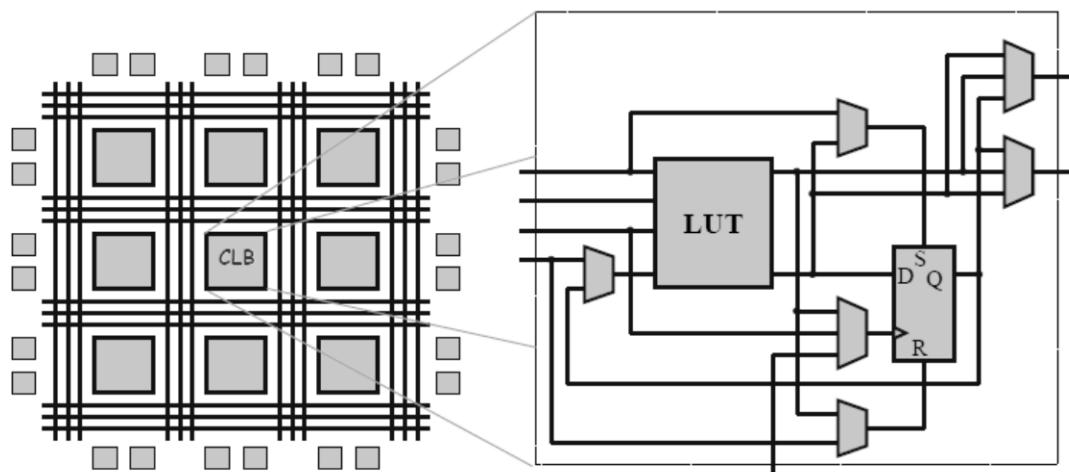


Figure IV.2. Architecteur d'un circuit FPGA-SRAM.

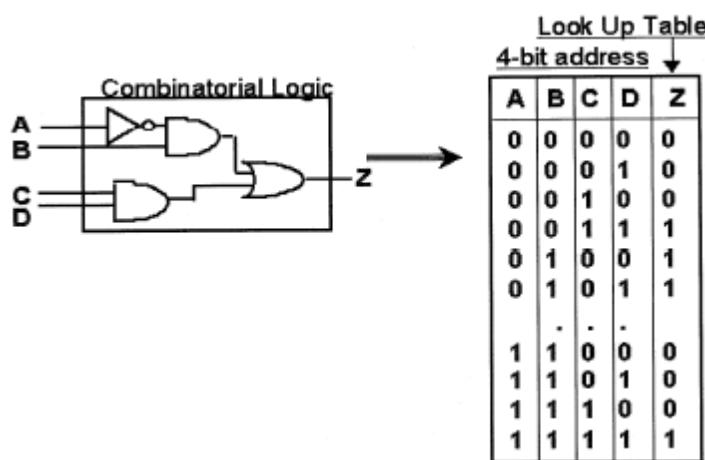


Figure IV.3. Blocs de mémoire SRAM 16x1 bit.

B- FPGAs anti-fusible

Ces circuits sont commercialisé pour la première fois en 1990 et ils sont différent des autres FPGAs car ceux-là sont pas effaçables. Ils sont proposés pour l'essentiel par Texas Instrument.

Ces circuits ne sont pas reprogrammables, le fait qu'il utilise des connexions de type ROM, dans les modifications sont irréversibles. D'où le nom d'anti-fusible puisque dans l'état initiale d'un fusible (couche isolante) est présent et il n'y a pas de contacte. Pour établir ce contact, il faut détruire le fusible ce qui est contraire au fonctionnement habituel d'un fusible.

L'architecture globale de ces FPGAs sont généralement beaucoup moins complexe que celle des FPGAs de type SRAM, et on constate aussi que son architecture est analogue à celle des LCA, avec un certain nombre de blocs d'entrées/sorties répartis tout autour de la puce. Des blocs logiques placés en matrice au centre de celle-ci et des lignes d'interconnexions, mais la similitude s'arrête là.

En effet, alors que les LCAs faisaient appel à des cellules logiques de base relativement complexes, les CLB, des FPGAs à anti-fusibles utilisant des cellules très simples. Leurs avantages par rapport aux autres circuits c'est qu'ils peuvent être nombreux sur la puce, ce qui accroît la souplesse d'interconnexions internes et facilite le routage. Comme référence, la famille TCP 10XX et TCP 12XX de TEXAS INSTRUMENT [12]

IV.3. Architecture générale des FPGA

L'architecture d'un FPGA se décompose en deux types de ressources :

1. Les ressources de traitement (incluant les mémoires, la logique, les registres) regroupées en blocs logiques de différents types.
2. Les ressources d'interconnexions programmables qui relient les blocs logiques entre eux.

La programmation d'un circuit reconfigurable consiste donc à spécifier la fonctionnalité de chaque bloc logique et à organiser le réseau d'interconnexion afin de réaliser la fonction demandée.

IV.4. Différents éléments d'un circuit FPGA

Les éléments constitutifs d'un circuit FPGA sont toujours à peu près les mêmes quelle que soit l'architecture choisie. Chaque fabricant ayant ses variantes par rapport à un autre.

Nous pouvons citer les éléments. (Voir figure 4.4).

- Logiques
- De mémorisation.
- De routages.
- D'entrées- sorties.
- De contrôle et d'acheminement des horloges.

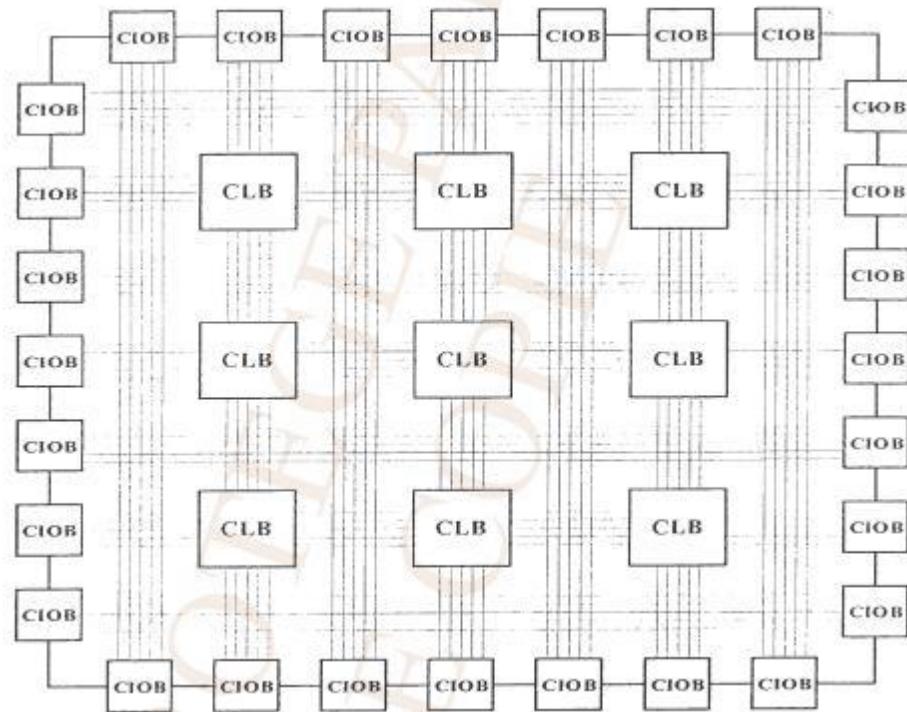


Figure IV.4. Architecture interne d'un FPGA.

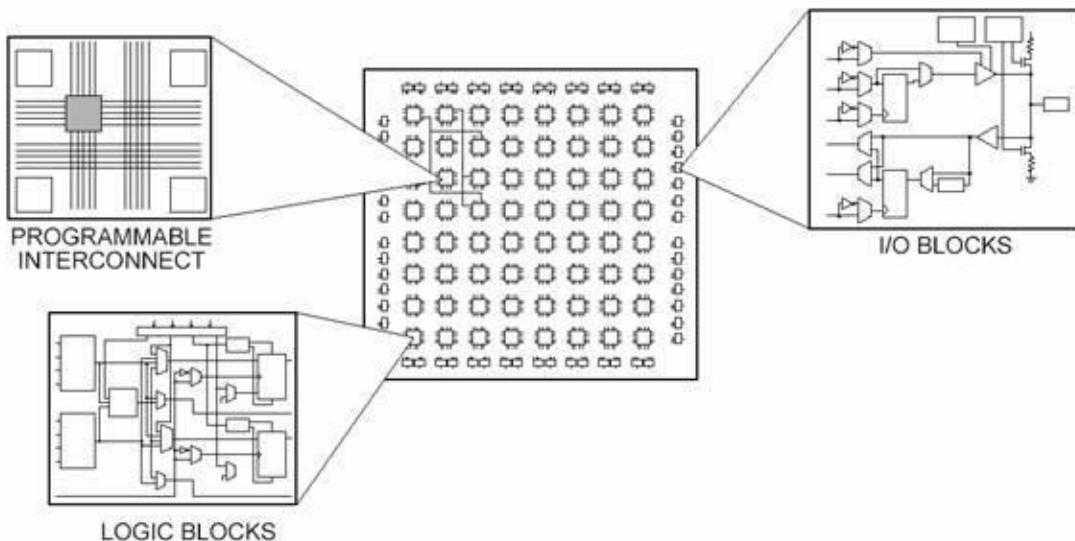


Figure IV.5. Différents secteurs d'un FPGA.

2. Les éléments logiques :

Ce sont les éléments de base de tout FPGA. Grâce à leur configuration on peut réaliser dans ces blocs toutes les opérations de logique combinatoire. Ces blocs ont souvent la même constitution et cela malgré la différence de fabricants et d'architectures. Ils sont généralement constitués d'une ou plusieurs LUTs (Look Up Table) qui contiennent, après configuration, la table de vérité de la fonction logique qu'elles doivent réaliser ou alors un ensemble de valeurs qui sont mémorisées comme dans une ROM. La taille des LUTs est généralement de 4 entrées. Les LUTs sont généralement suivis d'un registre de sortie, ce qui permet de synchroniser, si nécessaire, la sortie sur une horloge. [14]

➤ Les éléments de mémorisation :

Actuellement, Les FPGAs sont utilisés pour des applications plus importantes qui demandent souvent des capacités de stockage (par exemple les applications du traitement vidéo). La nécessité d'intégrer des blocs de mémoire directement dans l'architecture des FPGAs est vite devenue capitale. De cette façon, les temps d'accès à la mémoire sont diminués puisqu'il n'est plus nécessaire de communiquer avec des éléments extérieurs au circuit. [14]

➤ Les éléments de routage :

Les éléments de routages sont les composants les plus importants dans les FPGAs. En fait, ces éléments représentent la plus grosse partie du silicium consommée sur la puce du circuit. Ces ressources sont composées de segments (de longueurs différentes) qui permettent de relier entre eux les autres éléments via des matrices de connexions. Le routage de ces ressources est un point critique du développement d'une application sur un FPGA. Ces éléments sont très importants puisqu'ils vont déterminer la vitesse et la densité logique du système. Par exemple, les matrices de routage sont physiquement réalisées grâce à des transistors de cellules SRAM, qui ont une résistance et une capacité, ce qui entraîne l'existence de constantes de temps. Et ce routage est montré dans la figure suivante : [14]

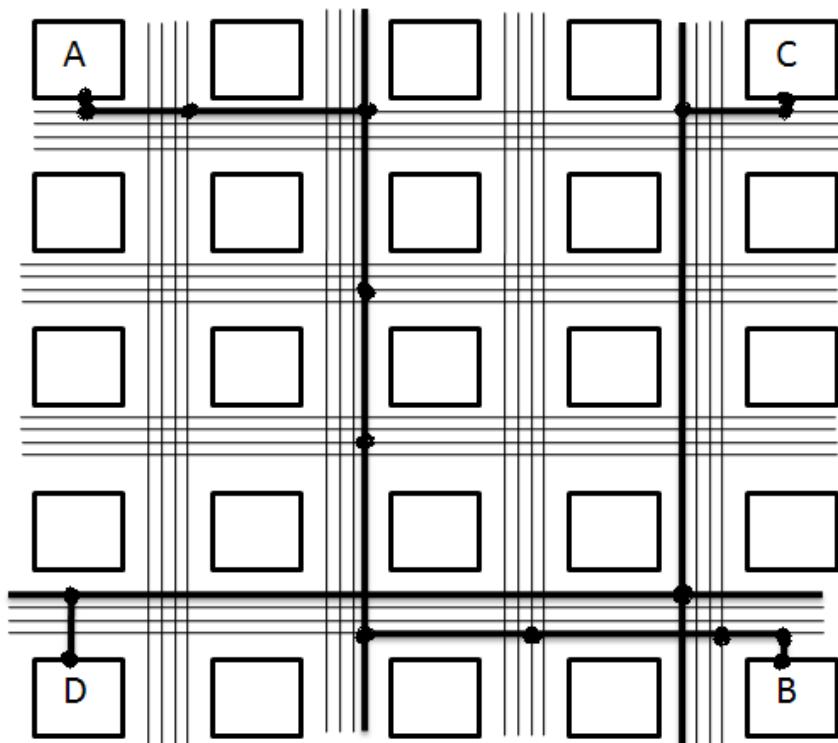


Figure IV.6. Routage d'un FPGA.

➤ Les éléments de contrôle et d'achèvement des horloges :

L'horloge est un élément essentiel pour le bon fonctionnement d'un système électronique.

Les circuits FPGA sont prévus pour recevoir une ou plusieurs horloges. Des entrées peuvent être spécialement réservées à ce type de signaux, ainsi que des ressources de routage spécialement adaptées au transport d'horloges sur de longues distances. Les circuits FPGAs disposent des éléments d'asservissement des horloges (des PLL ou des DLL) afin d'avoir la même horloge dans tout le circuit (synchronisation des signaux). Ces éléments permettent de créer à partir d'une horloge d'autres horloges à des fréquences multiples de la fréquence de l'horloge incidente [14].

➤ Interconnexion de FPGA

Ce réseau d'interconnexion permet de connecter une CLB avec une autre CLB ou avec une cellule d'entrée/sortie, et pour cela il existe un ensemble de lignes horizontales et verticales et un ensemble de points de connexion. On distingue plusieurs types de ligue qui sont définies par leur longueur relative et qui sont :

- Les interconnexions ou lignes segmentées à usage générale, de longueur la plus courte.
- les lignes directes ou interconnexions directe, de longueur double des lignes courtes.
- les lignes longues.

Chaque CLB est entourée de ces lignes et des points de connexion et tout ça est détaillé sur les figures suivantes :

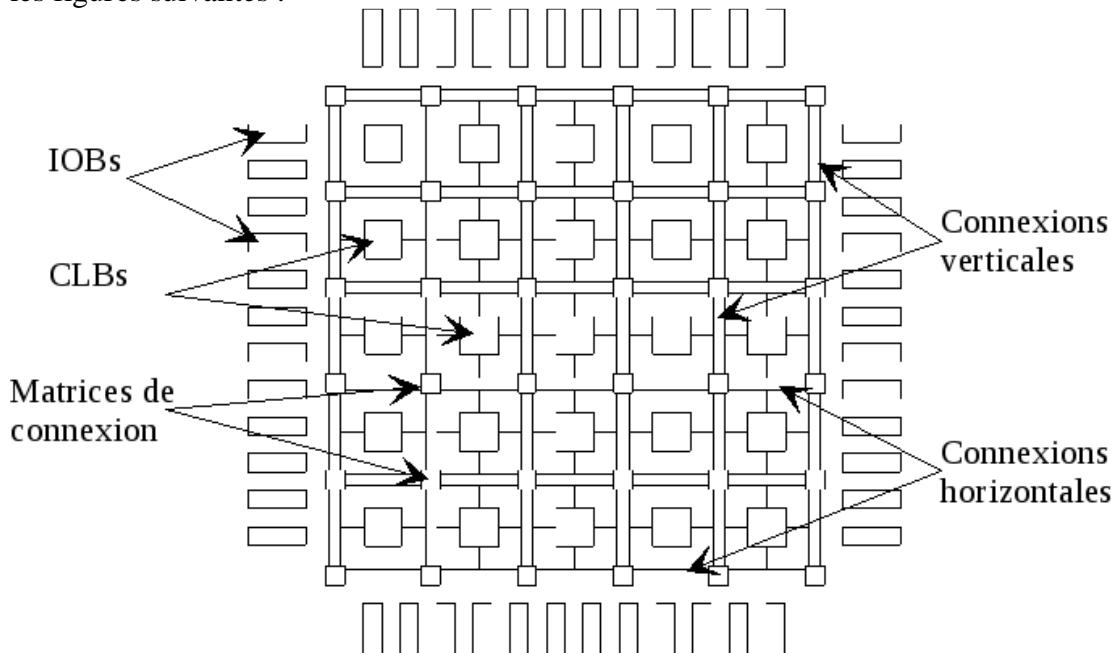


Figure IV.7. Concept architectural de base des FPGAs.

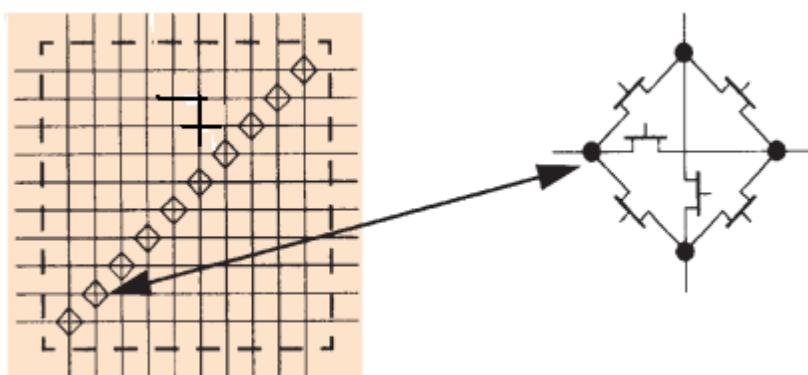


Figure IV.8. Les points d'interconnexion.

➤ Les interconnexions à usage générale :

Sont des verticaux et horizontaux qui encadrent chaque CLB et qui peuvent être reliés entre eux par une matrice de commutation car son rôle est de raccorder les segments entre eux selon diverse configuration. il assure aussi la commutation des signaux d'une voie sur l'autre.

➤ **Les interconnexions directes :**

Ces interconnexions permettent d'établir des chemins entre les CLBs adjacents et les cellules entrées/sorties avec un maximum d'efficacité en termes de vitesse et d'occupation de circuit.

➤ **Les longues lignes :**

Sont des longues lignes verticales et horizontales qui n'utilisent pas de matrice de commutation. Elles parcourent toutes la longueur et la largeur du circuit. Elles permettent aussi de transporter les signaux qui parcourt un long trajet. Elles égalisent les délais entre les signaux de façon à permettre un décalage minimum entre deux points distants de la ligne. Ces lignes conviennent pour transporter les signaux d'horloge.

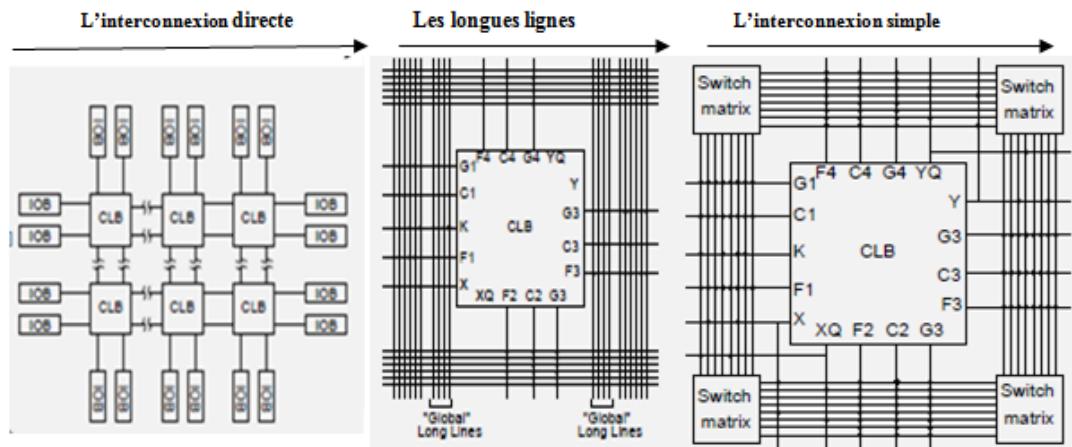


Figure IV.9. Les différents 'interconnexion de FPGA.

II Présentation du circuit Zynq XC7Z010 :

IV.1 Famille Zynq-7000 de Xilinx :

La famille ZYNQ de la série 7 (Zynq-7000) de Xilinx est construite autour d'un processeur ARM Cortex-A9 (Processing System – PS) étroitement couplé à une logique programmable (Programmable Logic – PL) dérivée de la technologie FPGA série 7 nm. Elle offre la flexibilité et l'évolutivité caractéristiques des FPGA, tout en permettant l'exécution d'un système Linux ou d'un RTOS côté logiciel. Cette intégration hybride garantit d'excellentes performances, une consommation énergétique réduite, un coût maîtrisé, des taux d'acquisition rapides, ainsi qu'une facilité d'utilisation et de maintenance sur le long terme. Tous les modèles de la famille partagent une même architecture PS, tandis que la PL et les ressources d'entrées/sorties (I/O) varient en fonction des versions (Z-7010, Z-7020, Z-7045, etc.) [15]

IV.2 Architecture de la famille ZYNQ

Les circuits FPGA de la famille ZYNQ reposent sur une architecture hybride combinant un système de traitement (PS - Processing System) et une logique programmable (PL - Programmable Logic). Le PS regroupe le double cœur ARM® Cortex™-A9, les bus AMBA et AXI, ainsi qu'un ensemble de périphériques intégrés tels que le contrôleur DMA, les interfaces GPIO, I²C, UART, CAN, SPI, et les contrôleurs de mémoire compatibles avec les technologies Quad SPI, NAND, NOR et mémoire vive DDR. De son côté, le PL est constitué des ressources typiques d'un FPGA : blocs logiques configurables (CLB), mémoire embarquée (BRAM), multiplicateurs/DSP et entrées-sorties standards programmables, permettant d'implémenter des fonctions matérielles spécifiques selon les besoins de l'application [15]

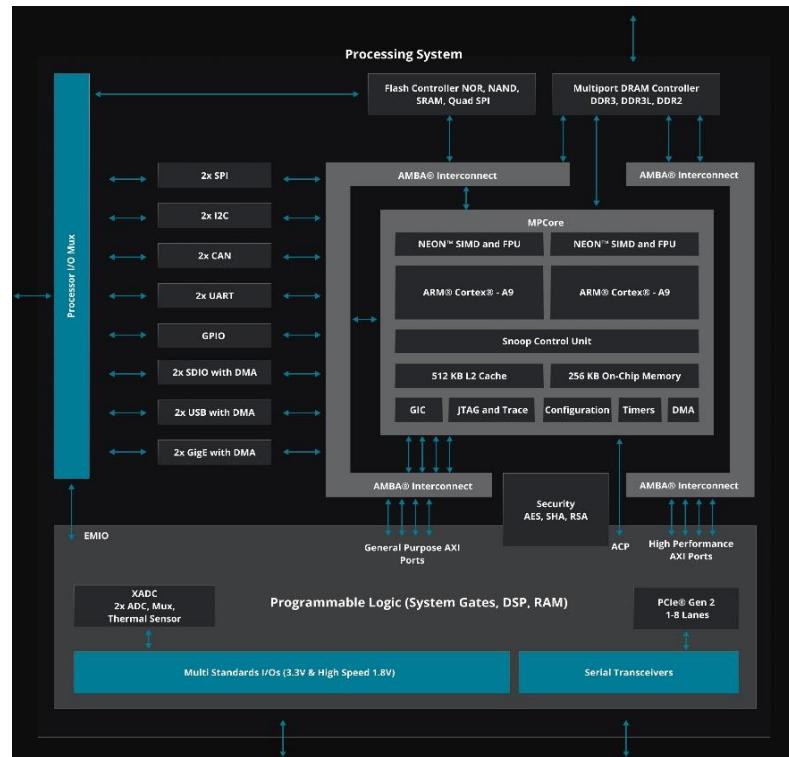


Figure IV.10. Architercture interne d'FPGA Zynq

Le bus industriel AXI permet de connecter la partie PS avec la partie PL :

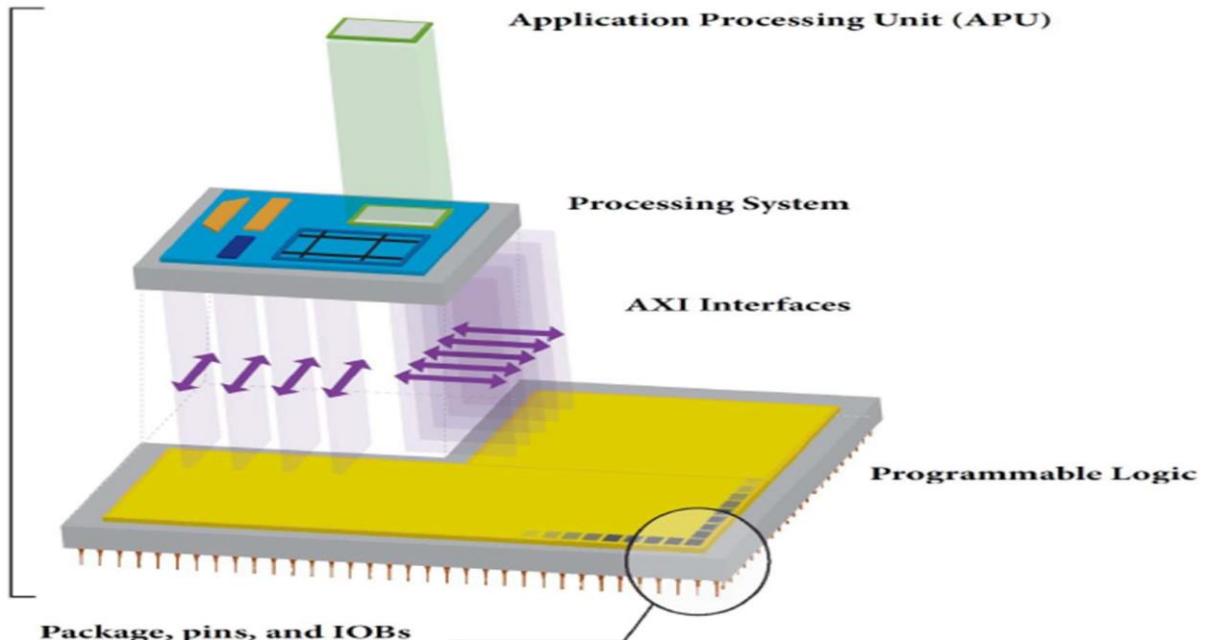


Figure IV.11. Connecter la partie PS avec la partie PL par le bus industriel AXI.

IV .3 Description de la partie PS du Zynq

Tous les systèmes ZYNQ partagent la même architecture et intègrent un processeur ARM Cortex A9 à double cœur. C'est un processeur matériel (hard processor) en contraste avec le processeur basé sur logiciel (soft processor). Le ZYNQ offre la possibilité d'utiliser le processeur logiciel, mais dans la partie PL du circuit [15]

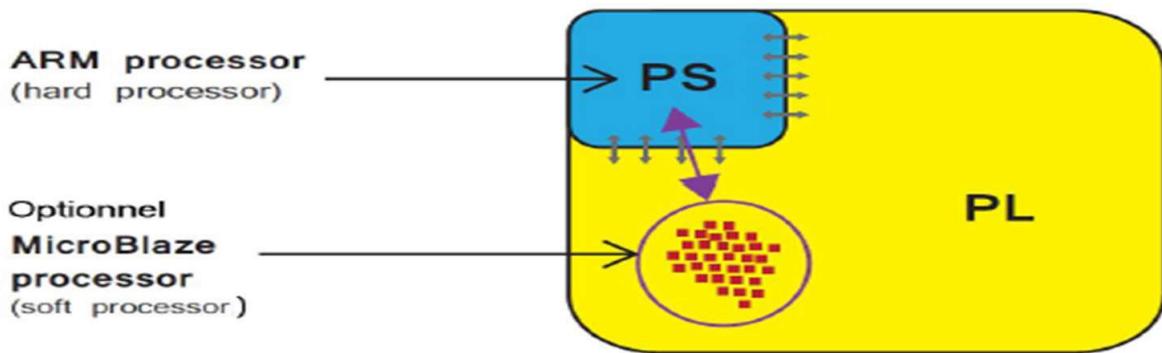


Figure IV.12. La partie PS et PL du ZYNQ

Le Système de Traitement (PS) du Zynq-7000 représente un sous-système de traitement intégral, connu sous le nom d'Unité de Traitement d'Application (APU).

Cette unité de traitement comprend deux processeurs ARM Cortex-A9 symétriques, chacun associé à divers blocs fonctionnels spécialisés :

Un moteur NEON (Engine de Traitement Multimédia - MPE), conçu pour améliorer la vitesse des traitements multimédias comme l'audio, la vidéo et les graphismes 3D.

Une unité de traitement en virgule flottante (FPU) est utilisée comme coprocesseur pour exécuter des opérations sur les nombres à virgule.

Une unité de gestion de mémoire (MMU - Memory Management Unit), responsable de la conversion des adresses virtuelles en adresses physiques.

Chaque noyau dispose d'une mémoire cache de premier niveau (L1), ainsi qu'un cache de second niveau (L2) partagé.

Une mémoire intégrée OCM (On-Chip Memory), qui sert à mémoriser rapidement des données et des instructions.

Des interconnexions haut débit, des horloges internes et des interfaces pour les périphériques et la mémoire externe sont présentes.[15]

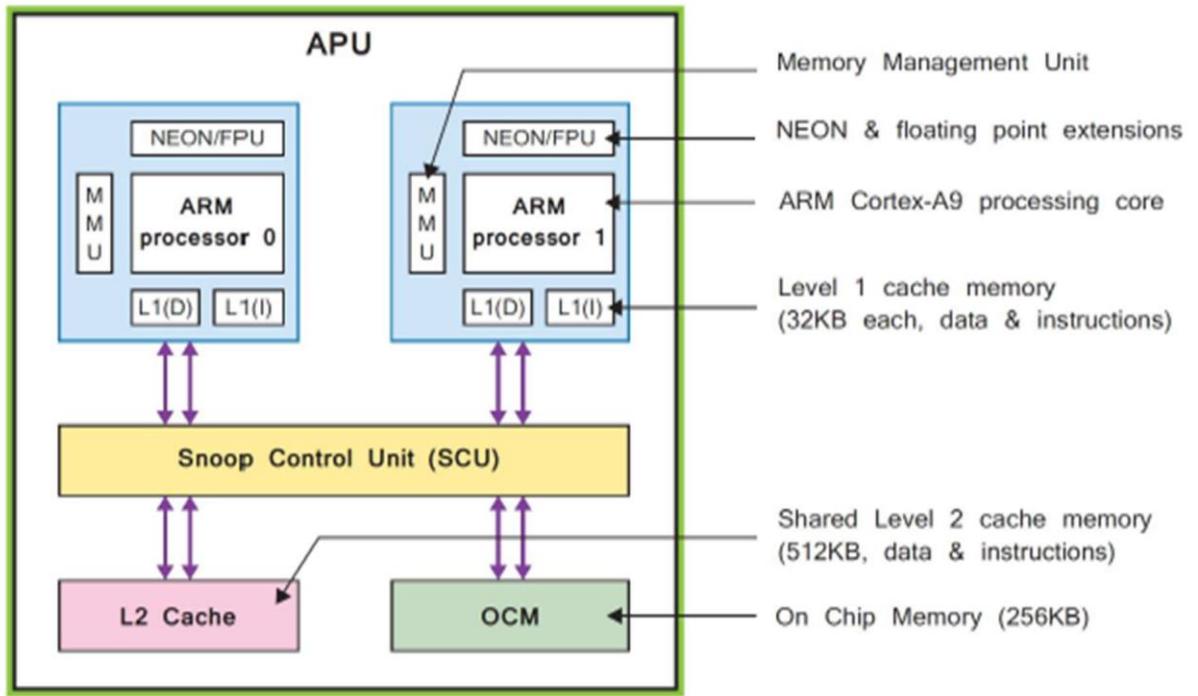


Figure IV.13. Architecture de la partie PS

Le Snoop Control Unit (SCU) constitue un élément essentiel de l'architecture ARM Cortex-A9 utilisée dans le Zynq-7000. Il assure la cohérence des caches entre les deux cœurs du processeur et gère les échanges avec la mémoire cache de niveau 2 (L2) partagée ainsi qu'avec la mémoire embarquée OCM. Cette unité agit également comme interface avec la logique programmable (PL), facilitant ainsi l'échange de données entre le Processing System (PS) et le Programmable Logic.

Chaque cœur ARM dispose de caches L1 de 32 Ko pour les instructions et 32 Ko pour les données, tandis que la cache L2 de 512 Ko est commune aux deux cœurs. En parallèle, une mémoire On-Chip (OCM) de 256 à 512 Ko offre un stockage rapide pour le code et les données critiques.

La Memory Management Unit (MMU) gère la traduction des adresses virtuelles en adresses physiques, ce qui est essentiel pour l'exécution de systèmes d'exploitation tels que Linux.

Les processeurs ARM Cortex-A9 peuvent fonctionner à des fréquences allant jusqu'à 1 GHz, selon la version du Zynq utilisée (ex. XC7Z010 ou XC7Z020)

IV .4 interfaces externes du système de traitement PS :

Le Zynq-7000 possède une partie Processing System (PS) qui offre une gamme variée et riche d'interfaces de communication, facilitant à la fois le transfert de données avec la logique programmable (PL) intégrée et avec des éléments périphériques externes.

L'interaction avec les dispositifs externes se réalise principalement via le bus MIO (Input/Output multiplexé). Ce bus configurable offre la possibilité de relier jusqu'à 54 connexions d'entrée/sortie, en combinant différents signaux numériques comme le UART, le SPI, l'I²C, le GPIO, le CAN, le SDIO, etc. Le MIO, grâce à son architecture multiplexée, permet une configuration des broches hautement flexible en fonction des exigences de l'application embarquée.

Cette structure offre donc au PS la capacité de gérer efficacement des interfaces normales tout en assurant une communication sans interruption avec la PL grâce aux interfaces AXI.

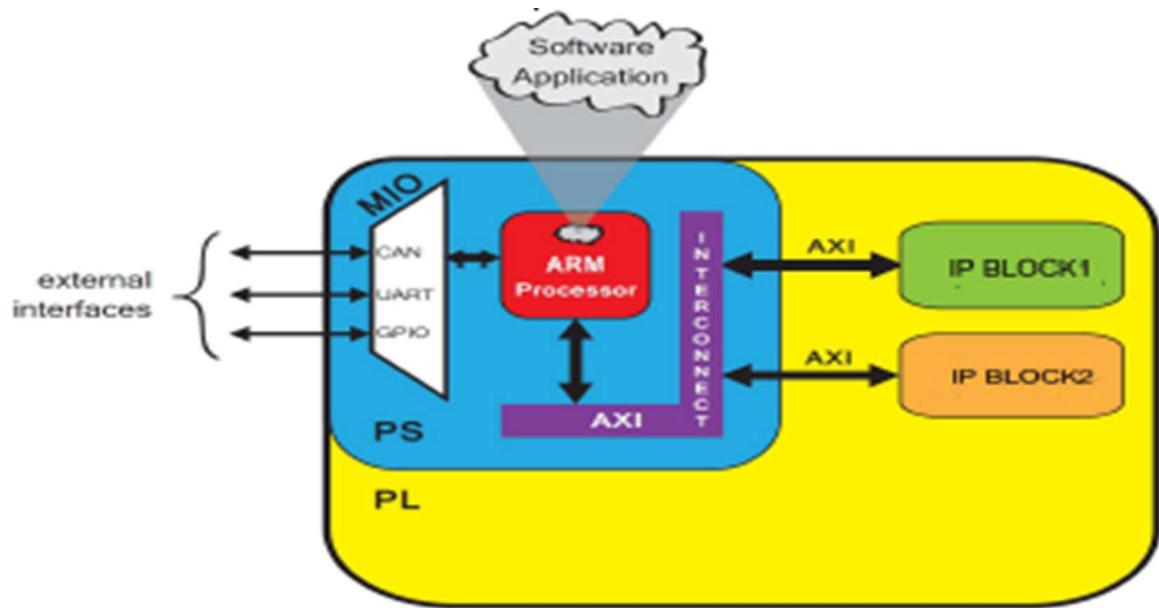


Figure IV.14. Les interfaces externes du système de traitement PS

Les différents périphériques d'interfaces du PS vers le monde extérieur sont donnés ci-dessous :

I/O Interface	La description
SPI (Interface Péipherique Série)	Norme de facto pour les communications série utilisant une interface à quatre broches. Peut fonctionner en mode principal ou en mode secondaire
I2C	Conforme à la spécification de bus I2C, version2, prend en charge les modes maîtres et esclaves
CAN	Réseau de contrôleurs. Contrôleur d'interface de bus
UART Universel Asynchrone Récepteur émetteur.	Interface de données à faible débit pour la communication série. souvent des USD pour des connexions de terminal à un PC hôte
GPIO	Entrée / Sortie à Usage Général.
SD	pour l'interface avec la carte mémoire SD.

USB Bus Universel en Série.	Conforme à USB et peut être utilisé comme hôte.
GigeE	Ethernet. Périphérique MAC Ethernet prenant en charge les modes 10Mbps et 1Gbps

IV .5 Description de la partie PL du ZYNQ :

Le SoC Zynq 7000, qui intègre un FPGA de la série 7 (Artix 7), possède une partie logique programmable (PL). Elle comprend plusieurs composants clés :

- des CLB (Configurable Logic Blocks) intégrant des LUTs et des bascules.
- un réseau d'interconnexion configurable pour connecter les blocs logiques.
- des blocs d'entrées/sorties (IOBs).
- des blocs de mémoire RAM répartie (BRAMs) de 36 Ko.
- des blocs DSP, optimisés pour des opérations telles que la multiplication et l'accumulation.
- un XADC, convertisseur analogique-numérique à double canal, 12 bits, capable de traiter jusqu'à 1 Méga-échantillon par seconde (1 MSPS).

Cette structure offre un niveau élevé de personnalisation matérielle, tout en conservant une faible consommation d'énergie et une intégration étroite avec la section processeur (PS). [16]

IV .6 Interfaçage (Interconnexion) entre le PS et le PL :

Dans les SoC Zynq-7000, la liaison entre le processeur (PS) et la logique programmable (PL) se fait essentiellement via le bus AXI (Advanced eXtensible Interface), qui est une partie intégrante de la norme AMBA 3.0 élaborée par ARM. Xilinx priviliege particulièrement la norme AXI4, couramment adoptée pour l'intégration des IP cores et les échanges entre les différentes composantes du système.

Trois versions du bus AXI4 sont établies pour satisfaire diverses requêtes de communication :

AXI4 : conçu pour des transferts de mémoire à haute vitesse, il prend en charge les transferts en rafales et est adapté pour les communications à large bande.

AXI4-Lite : une version allégée du protocole, principalement employée pour les échanges de contrôle et de configuration. Elle ne facilite que le transfert d'une unique donnée par transaction (sans rafale).

AXI4-Stream : une version allégée du protocole, principalement employée pour les échanges de contrôle et de configuration. Elle ne facilite que le transfert d'une unique donnée par transaction (sans rafale).

AXI4-Stream : conçu pour le transfert de flux de données rapides et continus, sans restriction d'adressage, généralement employé pour le traitement des données en pipeline ou en streaming

(par exemple : audio, vidéo, DSP).

Cette structure modulaire favorise une liaison efficace entre le PS et le PL, simplifiant l'élaboration de systèmes intégrés sophistiqués tout en optimisant les performances.[16]

Conclusion

L'évolution de la logique programmable depuis les années 1980 marque une véritable révolution dans le domaine du développement électronique. Des circuits simples comme les PAL, initialement conçus pour des fonctions élémentaires de décodage ou de contrôle, on est rapidement passé à des architectures plus sophistiquées telles que les CPLD, puis aux FPGA, introduits par Xilinx en 1985.

Cette transition a été rendue possible grâce aux avancées rapides de la microélectronique, permettant d'accroître considérablement la capacité de traitement, la complexité des fonctions implémentables et la reprogrammabilité des circuits. Les FPGA, en particulier, ont ouvert la voie à une nouvelle ère de conception numérique, où la flexibilité, la personnalisation et l'efficacité temps réel sont devenues accessibles au niveau matériel.

Ainsi, cette évolution illustre non seulement l'adaptation des technologies aux besoins croissants de l'industrie numérique, mais aussi leur rôle fondamental dans l'émergence de systèmes embarqués intelligents, de télécommunications avancées et de prototypages matériels rapides.

CHAPITRE

V

Mise en place d'un FPGA

Chapitre 5: « Partie conceptuelle »

V.1 Introduction

Dans les chapitres précédents, nous avons vu les concepts de base de FPGA, ainsi que les avantages offerts parmi les avantages la modulation numérique, aussi, nous avons présenté les différents circuit FPGA utilisés.

Dans ce chapitre, nous présentons la chaîne de transmission QPSK que nous avons élaborée, mise en œuvre via le System Generator de Xilinx dans Simulink. Une description détaillée sera fournie pour chaque composant de la chaîne (codage, mappage, modulation, canal, démodulation, etc.). Avant de continuer, rappelons brièvement les environnements Matlab/Simulink, Vivado et System Generator pour situer les outils que nous utilisons.

Matériel utilisées :

1. Carte de développement FPGA
2. Ordinateur
3. Câbles de connexion

V.2 Présentation de la carte ZYBO :

La Zybo Z7 est une carte de développement de circuits numériques et logiciels embarqués, prête à l'emploi et riche en fonctionnalités, construite autour de la famille Xilinx Zynq-7000. Cette famille repose sur l'architecture Xilinx All Programmable System-on-Chip (AP SoC), qui intègre étroitement un processeur ARM Cortex-A9 double cœur à une logique FPGA (Field Programmable Gate Array) Xilinx série 7. La Zybo Z7 intègre au Zynq un riche ensemble de périphériques multimédia et de connectivité pour créer un ordinateur monocarte performant, sans compter la flexibilité et la puissance apportées par le FPGA. Les fonctionnalités vidéo de la Zybo Z7, notamment un connecteur Pcam compatible MIPI CSI-2, une entrée HDMI, une sortie HDMI et une bande passante DDR3L élevée, ont été choisies pour en faire une solution abordable pour les applications de vision embarquée haut de gamme pour lesquelles les FPGA Xilinx sont très prisés. La connexion de matériel supplémentaire est facilitée par les connecteurs Pmod du Zybo Z7, permettant d'accéder au catalogue Digilent de plus de 70 cartes périphériques Pmod, incluant des contrôleurs de moteur, des capteurs, des écrans, etc.

Le Zybo Z7 remplace directement la célèbre carte de développement Zybo. Leur conception est très similaire, mais le Zybo Z7 ajoute plusieurs fonctionnalités et améliorations de performances. Pour faciliter la migration du Zybo vers le Zybo Z7, Digilent a créé un guide de migration, disponible sur le Centre de ressources Zybo Z7.

Resource Type	Available	Resources Utilized	
		QPSK Modulator	QPSK Demodulator
LUT	53200	359	237
LUTRAM	17400	0	138
FF	106400	259	231
BRAM	140	60	0
DSP	220	1	0
IO	200	10	18
BUFG	32	1	1

Tableau V.3. Ressources matérielles utilisées par la conception proposée

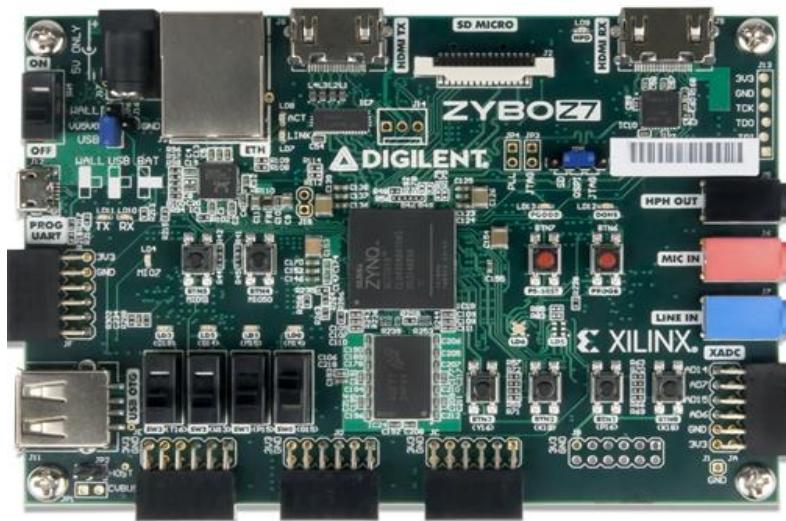


Figure V.1. Carte ZYBO.

Cette carte d'évaluation est basée sur le Zynq-7000 SoC XC7Z010-1CLG400C de Xilinx, combinant un processeur ARM Cortex-A9 double cœur avec une logique programmable (PL). Elle dispose des caractéristiques suivantes :

- Mémoire : 512 Mo de DDR3 SDRAM, mémoire Flash Quad-SPI de 16 Mo, support pour carte microSD jusqu'à 32 Go.
- Interfaces de programmation : Programmation via port USB-JTAG intégré.
- Connectivité : Contrôleur Ethernet 10/100 Mbps, interface USB OTG 2.0 et port USB-UART.
- Extensions d'E/S : Connecteurs Pmod™ compatibles, ports XADC analogiques, accès aux E/S du PS et PL.
- Affichage : Sortie vidéo via HDMI (jusqu'à 1080p), connecteur VGA 8 bits,
- Audio : Interface audio numérique avec CODEC I2S stéréo

V.3 Les outils de conception :

V.3.1 Matlab /Simulink :

Le logiciel est MATLAB, développé par MathWorks. Les utilisateurs ont la capacité d'analyser des données, de concevoir des algorithmes et d'élaborer des modèles mathématiques. Il propose une vaste sélection de champs d'application. MATLAB est l'instrument le plus utile pour l'analyse des signaux numériques. MathWorks a aussi conçu Simulink, qui est intégré dans MATLAB. C'est un logiciel de programmation graphique qui propose une conception au niveau du système, une simulation, une génération automatique de code ainsi qu'un test et une vérification continu des systèmes intégrés. Il assure aussi la conception matérielle fondée sur un modèle en utilisant le générateur de systèmes (Xilinx). Ce mémoire a employé un modèle pour la conception basée sur FPGA. Dans le cadre de ce projet, nous ferons appel à la version Xilinx Vivado 2022.1 et matlab R2023b.

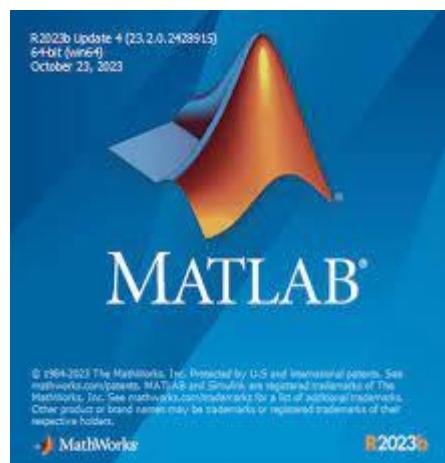


Figure V.2. Matlab R2023b.

V.3.2 Xilinx vivado /system generator:

Xilinx est l'une des sociétés technologiques américaines. Ce Xilinx vivado est l'environnement de développement logiciel de Xilinx. Il offre un ensemble complet d'outils familiers et puissants, de bibliothèques et de méthodologies. Pour concevoir des FPGA basés sur des modèles, Xilinx vivado doit être installé sur le PC de l'utilisateur.

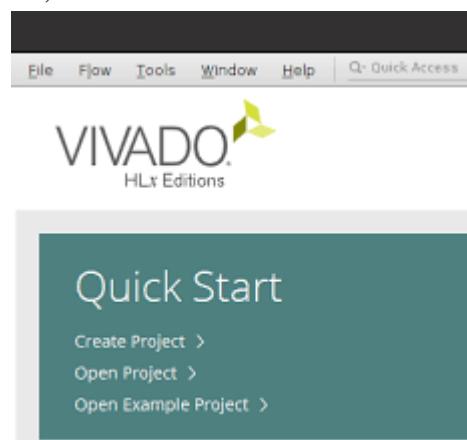


Figure V.3 Xilinx vivado.

V.3.3 Générateur de système

Est un outil de conception DSP de Xilinx pour faire un lien entre vivado et matlab qui permet d'utiliser MathWorks Model –Based Simulink pour la conception FPGA.



Figure V.4. Xilinx System Generator for DSP .

Xilinx system Generator, qui simplifie la conception du matériel FPGA, a été le pionnier de l'idée de compiler un programme FPGA à partir de MATLAB et du modèle Simulink. Il propose la modélisation de systèmes et la génération automatique de code via MATLAB et Simulink. Dans la création du modèle Simulink, les blocs de générateurs du système peuvent être employés de la même manière que d'autres blocs Simulink. De plus, le concepteur a la possibilité d'utiliser simultanément les blocs natifs Simulink et Xilinx System Generator. Les blocs offrent des représentations d'opérations mathématiques, logiques, de mémoire et DSP qui peuvent être appliquées à des systèmes avancés de traitement du signal. Avec ces blocs générateurs de système, l'utilisateur a la possibilité de créer du matériel, comme le montre cet exemple :

V.4 Configuration MATLAB ET System Generator:

Comme mentionné précédemment, ce mémoire a utilisé les FPGA de Xilinx, ZYBO. L'environnement Simulink de MathWorks, basé sur une conception FPGA, a été employé avec des blocs générateurs. On doit choisir la version du logiciel utilisé pour la conception du matériel, l'implémentation et les résultats de simulation avec soin. L'une des étapes cruciales lors d'un déploiement rapide est l'installation de versions précises du logiciel. Avec les versions défaillantes de Xilinx Vivado et MATLAB, la conception peut s'avérer incompréhensible. Ils doivent aussi être adaptés au matériel qui sera utilisé. Comme indiqué précédemment, la carte de développement ZYBO a servi de support pour les logiciels Xilinx Vivado 22.1 et MATLAB R2023b. Pour configurer les logiciels Xilinx Vivado et MATLAB, il est nécessaire d'avoir MATLAB installé.

Avant de commencer, vous devez vérifier que MATLAB est configuré pour Vivado Design Suite. Faites ce qui suit :

1. Sélectionnez Démarrer> Tous les programmes> Outils de conception Xilinx> Vivado 2022.1> Générateur système> System Generator 2022.1 MATLAB Configurateur.
2. Cliquez sur la case à cocher de la version de MATLAB que vous souhaitez configurer, puis

Cliquez sur OK.

Sur les systèmes Windows, vous devrez peut-être lancer le configateur MATLAB en tant qu'administrateur. Lorsque MATLAB configateur est sélectionné dans le menu, utilisez le clic droit de la souris pour sélectionner Exécuter en tant qu'administrateur.

3. Création du circuit de Co-simulation :

Une fois le circuit réalisé, on doit créer le circuit de Co-simulation en configurant les paramètres du jeton « system generator », les paramètres sollicités sont :

- **Board** : cette option permet de choisir la carte.
- **Compilation** : dans ce paramètre on choisit « IP Catalog ».
- **Synthesis strategy & Implementation strategy** : On choisit Vivado pour ces deux options.

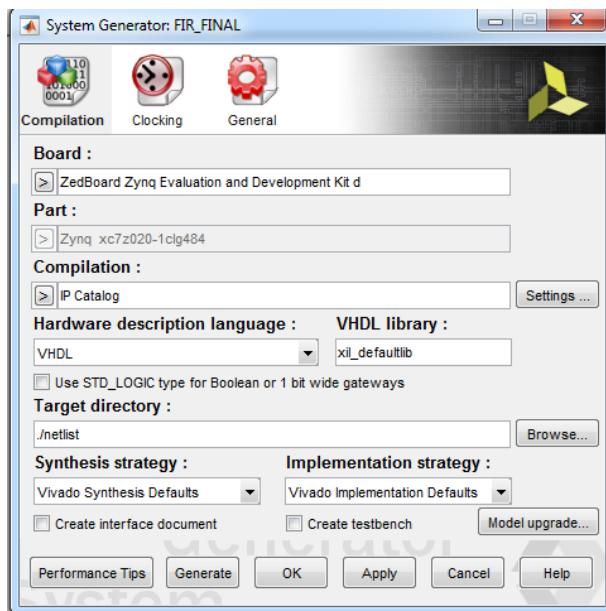


Figure V.5. Co-Simulation.

Une fois le jeton configuré, on passe à la création du circuit de co-simulation à travers la touche « generate ».

4. Modulateur QPSK (Quadrature Phase Shift Keying) dans Simulink avec Xilinx System Generator

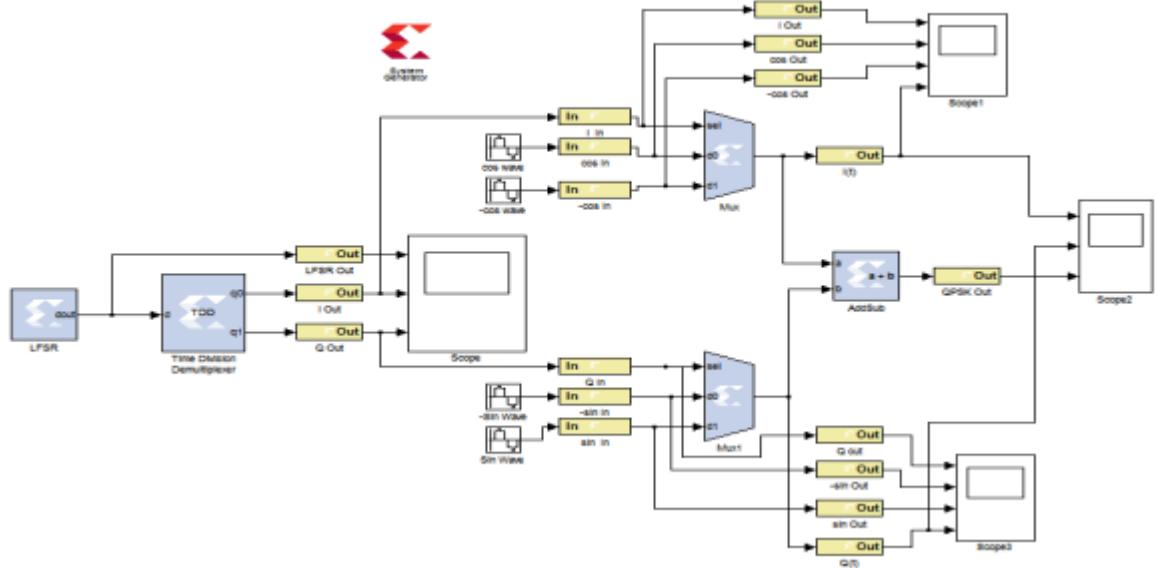


Figure V.6. QPSK avec Xilinx in system generator.

5. Les résultats

L'ensemble de blocs Simulink contient :

les blocs source aléatoire et fonction d'arrondi qui génèrent la séquence binaire ou le signal de modulation.

La séquence binaire est séparée en deux séquences : une séquence des bits impairs I et une séquence des bits pairs Q, à l'aide du bloc Sample and Hold (Échantillonner et Conserver).

Ce bloc acquiert l'entrée lorsqu'il reçoit un événement de déclenchement à son port de déclenchement (front montant, descendant ou des deux). Le bloc maintient ensuite la sortie à la valeur de l'entrée acquise jusqu'à ce qu'un nouvel événement de déclenchement se produise.

- Les bits impairs sont acquis lors des fronts montants : quand l'entrée de déclenchement passe d'une valeur négative ou nulle à une valeur positive.
- Les bits pairs sont acquis lors des fronts descendants : quand l'entrée de déclenchement passe d'une valeur positive ou nulle à une valeur négative.

Puisque la séquence I est lue en premier, elle est retardée à l'aide du bloc de délai de transport (Transport Delay) afin d'être synchronisée avec la séquence Q.

Le bloc onde cosinus génère une onde cosinus. Grâce au bloc de gain, on obtient un cosinus avec un déphasage de 180° pour le canal I.

Pour le canal Q, c'est le bloc onde sinusoïdale qui génère une onde sinusoïdale, et à l'aide du bloc de gain, une sinusoïde avec un déphasage de 180° est obtenue.

Les blocs de commutation (Switch) choisissent entre la première ou la troisième sortie selon la valeur de la deuxième entrée :

- Pour le canal I, si la deuxième entrée vaut "1", la sortie sera cosinus ; si elle vaut "0", la sortie sera -cosinus.
- Pour le canal Q, si la deuxième entrée vaut "1", la sortie sera sinus ; si elle vaut "0", la sortie sera -sinus.

Le bloc de somme (Sum) combine ensuite les deux signaux modulés en un signal QPSK.
La figure 7 illustre les formes d'onde en sortie.

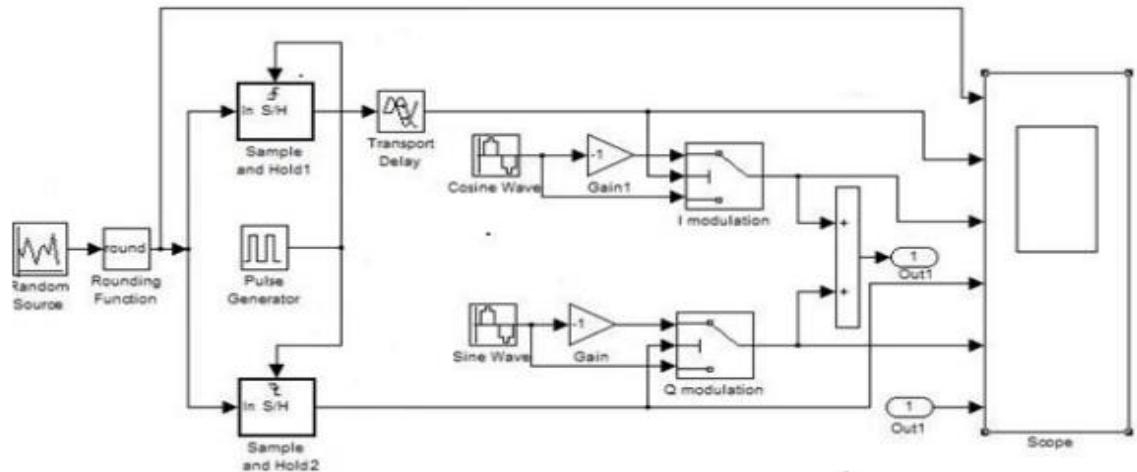


Figure V.7. Les formes d'onde en sortie

Et un diagramme de constellation qui montre la répartition des symboles QPSK reçus dans le plan complexe

Lorsque le signal traverse un canal avec du bruit (comme AWGN) :

Les points reçus ne tombent plus exactement sur ces positions idéales.

Ils deviennent dispersés autour de leur position théorique.

C'est cette dispersion qu'on observe dans le diagramme de constellation :

Si le SNR est élevé, les points sont bien regroupés (meilleure qualité).

Si le SNR est faible, les points sont épargillés, ce qui peut entraîner des erreurs de démodulation

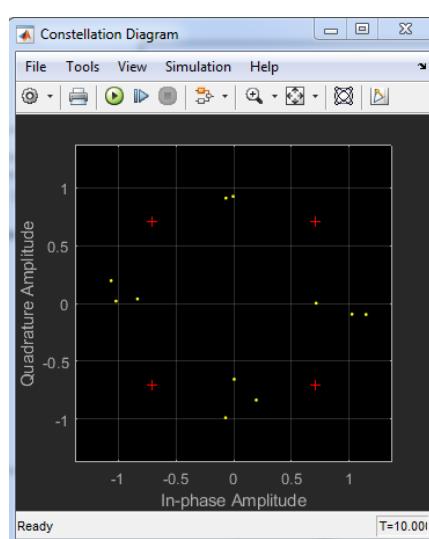


Figure V.7. Constellation QPSK.

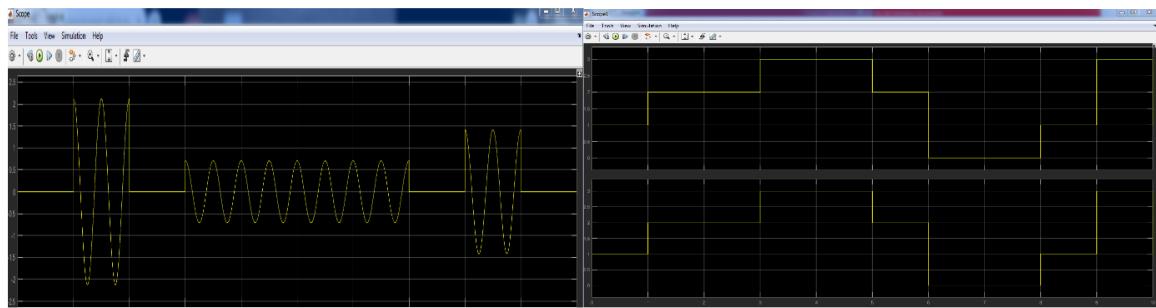


Figure V.8 : Visualisation du scope

A- Fonctionnement global du système :

Génération des bits → 2 bits sont séparés : un pour I, un pour Q.
 Conversion en signal bipolar (nécessaire pour la modulation analogique).
 Multiplication par des signaux sin/cos (porteuses orthogonales).
 Addition des deux voies → Signal modulé QPSK.
 Sortie vers un scope pour visualisation.

B- Résultats expérimentaux

Le montage matériel utilisé pour évaluer les performances du schéma de démodulation QPSK proposé est illustré à la Figure 9.

- Les signaux modulés en QPSK sont connectés à un convertisseur numérique-analogique (DAC), puis observés à l'aide d'un oscilloscope.
- Les sorties numériques sont directement surveillées à partir des broches GPIO (entrées/sorties générales) de la carte FPGA.
- Tous les signaux intermédiaires du modulateur QPSK et du démodulateur proposé sont également visualisés sur l'oscilloscope à partir du matériel.

Il convient de noter que les résultats de simulation du travail proposé sont présentés de la Figure 10 à la Figure 11.

La forme d'onde capturée à partir de la mise en œuvre matérielle du modulateur QPSK est présentée à la Figure 10, où l'on observe les signaux ainsi que les ondes modulées en QPSK.

Les formes d'onde capturées lors de la mise en œuvre matérielle du démodulateur QPSK proposé, ainsi que les signaux intermédiaires, sont illustrées de la Figure 11.

On peut constater que les résultats matériels correspondent aux résultats de simulation.

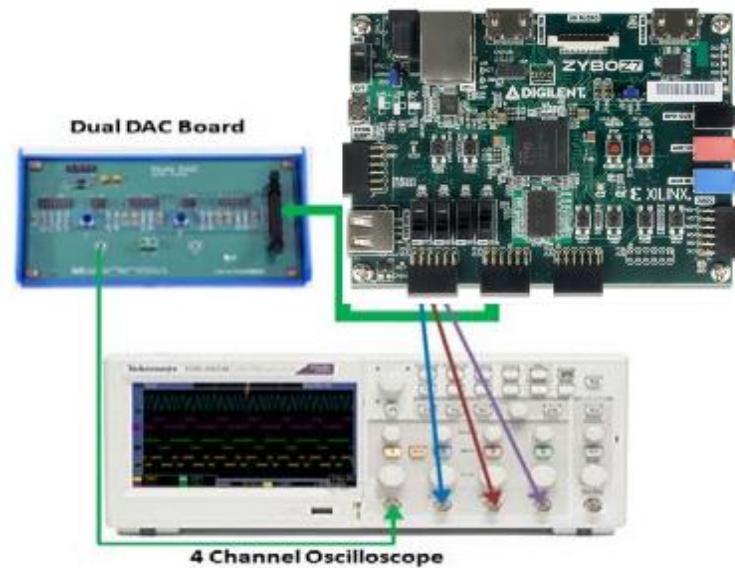


Figure V.9 : Montage matériel.

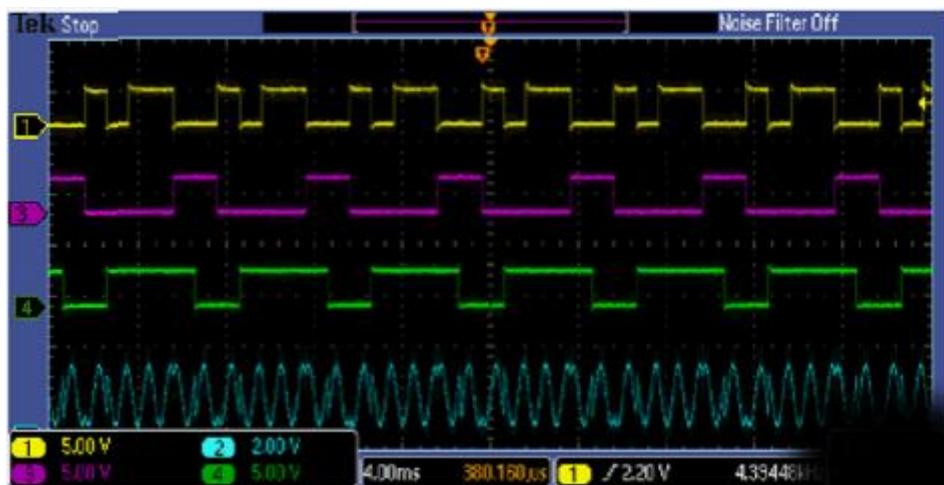


Figure V. 10. Formes d'onde capturées à l'oscilloscope pour le modulateur QPSK

Figure V. 10. Illustré le fonctionnement de la chaîne de modulation QPSK correspondance entre le signal binaire d'entrée, le signal d'horloge, les composantes I/Q et le signal QPSK modulé généré sur FPGA.

- Canal 1 (jaune) : signal binaire d'entrée (Data In)
 - Représente le flux binaire à moduler.
 - Ce signal commute entre deux niveaux logiques (0 et 1), typique d'un NRZ (Non Return to Zero).
- Canal 3 (violet) : horloge (Clock)
 - Signal d'horloge servant à l'échantillonnage synchrone du signal binaire.
 - Il permet de synchroniser la modulation QPSK.

- Canal 4 (vert) : signal I ou Q (composante de modulation)
 - Signal représentant l'une des composantes de la modulation QPSK : soit In-Phase (I) ou Quadrature (Q).
 - Ce signal dépend directement des bits binaires groupés en paires.
- Canal 2 (bleu clair) : signal modulé en QPSK
 - C'est le signal analogique modulé en quadrature.
 - Il a une forme sinusoïdale avec des sauts de phase (pas d'amplitude constante) correspondant à la combinaison des bits I et Q.

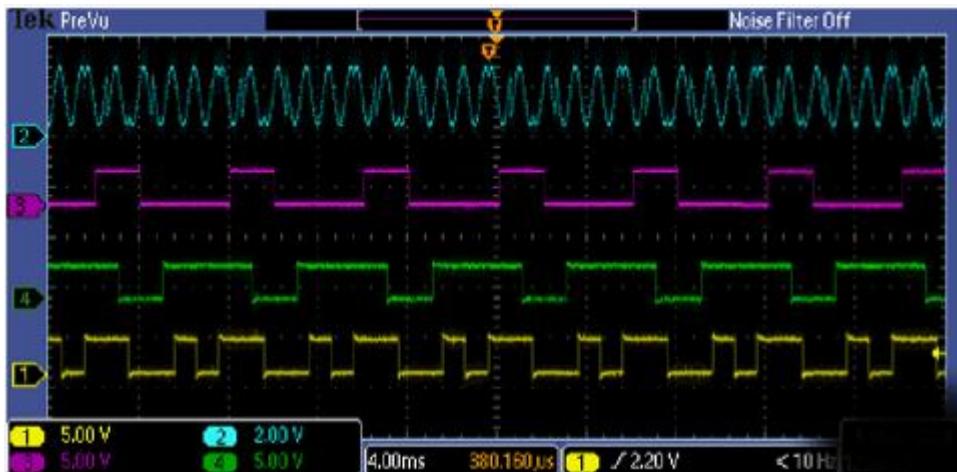


Figure V. 11. Formes d'onde capturées à l'oscilloscope pour le démodulateur QPSK

Figure V. 11. Illustré le processus de démodulation d'un signal QPSK implémenté sur FPGA. Plusieurs signaux essentiels sont capturés à l'oscilloscope afin de vérifier le bon fonctionnement de la chaîne de démodulation.

- Canal 2 (bleu clair) : représente le signal QPSK modulé reçu.
 - Ce signal analogique présente des variations de phase caractéristiques des symboles QPSK.
 - Il constitue l'entrée de la chaîne de démodulation, montre bien les transitions selon les changements de bits.
- Canal 3 (violet) : horloge
 - Correspond au signal d'horloge utilisé pour l'échantillonnage synchrone du signal QPSK.
 - Il permet d'extraire correctement les symboles à des instants précis.
- Canal 4 (vert) : signale l'une des composantes extraites (I ou Q) lors du processus de démodulation.
 - Ce signal est issu d'un mélangeur suivi d'un filtre passe-bas.
- Canal 1 (jaune) : représente le signal binaire de sortie après démodulation.
 - Il est obtenu suite au traitement des composantes I/Q, à la détection de phase et au mappage inverse.
 - Il devrait correspondre à la séquence binaire originale transmise.

Conclusion

Au cours de ce chapitre, nous avons décrit la mise en œuvre de la modulation QPSK sur une carte FPGA Xilinx Zynq xc7z010 démontrant l'efficacité du traitement temps réel et parallèle offert par les architectures reconfigurables. Grâce à ses ressources logiques optimisées, Zynq xc7z010 permet de générer un signal QPSK précis, stable et modulé à haute vitesse.

Cette solution présente plusieurs avantages :

- Faible latence, idéale pour les communications à débit élevé
- Personnalisation matérielle selon les spécificités du système
- Intégration facile avec d'autres blocs numériques (codage/décodage, filtrage, etc.)

Conclusion Générale

Ce projet de fin d'études a permis de concevoir, simuler et implémenter un système de modulation numérique de type QPSK en temps réel, en s'appuyant sur l'intégration entre les outils de modélisation MATLAB/Simulink, le générateur System Generator de Xilinx, et le matériel reconfigurable FPGA de la famille Zynq xc7z010

L'approche adoptée a su conjuguer efficacement la théorie des communications numériques notamment le codage en quadrature, le traitement des signaux en bande de base et la génération de porteuses numériques avec une réalisation concrète sur plateforme matérielle, mettant en œuvre les étapes complètes du flux de conception matériel : modélisation, simulation, génération HDL, synthèse, implantation, et test.

Malgré l'absence temporaire de la carte physique dans certaines phases, la simulation comportementale avancée dans Simulink a permis de valider entièrement le fonctionnement logique du système, assurant sa transférabilité vers du matériel réel.

Le projet est ainsi valorisable en contexte industriel, tant pour des applications en télécommunications embarquées (VSAT, IoT, SDR, DVB) que pour des systèmes embarqués critiques où la rapidité, la reconfigurable et la fiabilité du traitement numérique sont essentielles.

Ce travail a également permis de développer un ensemble de compétences transversales fortement recherchées dans l'industrie :

- Conception de systèmes numériques embarqués,
- Traitement du signal numérique en temps réel,
- Génération automatique de code matériel,
- Intégration de modèles MATLAB/Simulink dans des environnements FPGA professionnels.

Enfin, ce projet ouvre la voie à plusieurs perspectives futures, telles que l'intégration d'un récepteur QPSK complet, l'évolution vers des modulations plus complexes (16-QAM, OFDM), ou encore le déploiement sur des plateformes embarquées avec sortie RF réelle, consolidant ainsi l'interface entre l'ingénierie théorique et la réalisation pratique.

Bibliographie :

- [1] ITU – International Telecommunication Union, “*Satellite Network Systems*”, [En ligne]. Disponible sur : <https://www.itu.int/en/ITU-R/space>. Consulté en juillet 2025.
- [2] NASA, “*Space Communications and Navigation*”, [En ligne]. Disponible sur : <https://www.nasa.gov/directorates/heo/scan/communications>. Consulté en juillet 2025.
- [3] ETSI TR 103 245, “*Digital Satellite Communications Standards*”, ETSI, édition 2015, [En ligne]. Disponible sur : https://www.etsi.org/deliver/etsi_tr/103200_103299/103245.
- [4] A.C. Clarke, “*Extraterrestrial Relays*”, *Wireless World*, vol. 51, pp. 305–308, octobre 1945.
- [5] M.I. Davis and G.N. Krassner, “*SCORE: First Communications Satellite*”, *Journal of the American Rocket Society*, vol. 4, mai 1959.
- [6] L. Jaffe, “*Project Echo Results*”, *Astronautics*, vol. 6, no. 5, mai 1961.
- [7] E. Imboldi and D. Hershberg, “*Courier Satellite Communications System*”, *Advances in the Astronautical Sciences*, vol. 8, 1961.
- [8] Proakis, J.G. & Salehi, M., *Digital Communications*, 5^e édition, McGraw-Hill, 2008.
- [9] Haykin, S., *Communication Systems*, 5^e édition, Wiley, 2009.
- [10] Couch, L.W., *Digital and Analog Communication Systems*, 8^e édition, Pearson, 2012.
- [11] Fitzgerald, J., & Dennis, D., *Fundamentals of Digital and Analog Communication Systems*, McGraw-Hill, 2002.
- [12] Tomasi, W., *Electronic Communications Systems: Fundamentals Through Advanced*, 5^e édition, Pearson Education, 2004.
- [13] Tse, D., & Viswanath, P., *Fundamentals of Wireless Communication*, Cambridge University Press, 2005.
- [14] Tavernier, C., *Circuits logiques programmables*, Dunod, Paris, 1996.
- [15] Nketsa, A., *Circuit logique programmable : Mémoires, PLD, CPLD, FPGA*, 1998.
- [16] Dutrieux, L. & Demigny, D., *Logique programmable : Architecture des FPGA et CPLD, méthodes de conception, le langage VHDL*, Éditions Eyrolles, 1997.
- [17] Crockett, L.H., Elliot, R.A., Enderwitz, M.A., & Stewart, R.W., *The Zynq Book*, 2014.
- [18] Xilinx (AMD), *Zynq-7000 SoC Technical Reference Manual*, UG585, version 1.12.2, 2020.

