

UNIVERSITE SAAD DAHLAB DE BLIDA

Faculté des Sciences

Département de physique

MEMOIRE DE MAGISTER

En PHYSIQUE

Spécialité : Matériaux et composants

**ETUDE DU BRUIT DE LA RESISTANCE
GRILLE EN MOS SUBMICRONIQUE**

Par

Mme AKHZEROUN Farida

Devant le jury composé de :

K. Ferdjani	Maître de conférences	Président (Univ.Blida)
M. Djebbari	Professeur	Examineur (Univ. Blida)
M. Trabelsi	Maître de conférences	Examineur (ENP)
S. Oussalah	Chargé de recherche	Examineur (CDTA)
M.T. Belaroussi	Maître de recherche	Rapporteur (CDTA)

Blida, Janvier 2007

RESUME

Ce mémoire développe la caractérisation du bruit dans le domaine RF et la simulation des transistors MOS submicroniques profonds. Les techniques et les procédures développées dans ce mémoire sont générales et peuvent être appliquées à la caractérisation d'un bruit en RF de n'importe quel dispositif actif. Le premier chapitre est un aperçu général sur la conception des circuits RF, où sont présentées les différentes caractéristiques de ces derniers, avec une définition des différentes sources de bruit existantes. Ensuite, dans le deuxième chapitre et en premier lieu nous étudions en détails les différentes sources de bruit apparaissant dans le transistor MOS submicronique profond en RF selon les modèles présentés dans la littérature scientifique, précisément le bruit associé à la structure interdigitée de la grille. Ensuite, nous analysons la méthode de calcul direct des paramètres du bruit : le facteur de bruit minimal (NF_{\min}), la résistance équivalente de bruit (R_n), la conductance optimale (G_{opt}) et la susceptance optimale (B_{opt}) à partir de la matrice de corrélation du bruit. Cette méthode est générale et peut calculer les paramètres du bruit de n'importe quel réseau à deux ports bruyants comprenant des sources de bruit corrélées. Dans le troisième chapitre nous présentons la simulation de bruit qui est effectuée par l'implantation du modèle de bruit associé à la résistance grille du transistor MOS dans le simulateur ELDO RF avec une étude comparative entre les deux modèles utilisés ENZ et RAZAVI. Dans le quatrième chapitre, nous décrivons la méthode de caractérisation qui est appliquée aux dispositifs radiofréquence à travers un analyseur de réseau vectoriel et nous présentons les dessins de masques des structures MOS que nous avons réalisés.

ABSTRACT

This memory develops within a framework the noise characterization in RF domain, and deep submicron MOS simulation. The techniques and the procedures developed in this memory are general and can be applied to the noise characterization of any active device in RF. The first chapter highlights the design of RF circuits, where are presented their different characteristics, with the definition of the different existing sources of noise. Then, in the second chapter we first study in details the different sources of noise appearing in

deep submicron MOS in RF according to models proposed in the literature, in particular the noise associated with interdigitated gate structures. Then, we analyze the direct computation method of noise parameters, minimal noise factor (NF_{min}), the equivalent noise resistor (R_n), the optimal conductivity (G_{opt}), and the optimal susceptance (B_{opt}), from the noise correlation matrix. This method is general and can calculate noise parameters of any noisy network with two port including understanding of the correlated sources of noise. In the third chapter, we present the noise simulation which is carried out by implementing the noise model associated to the gate resistor of a MOS transistor in ELDO RF simulator. We present also a comparative study between the two used models ENZ and RAZAVI. In the fourth chapter, we describe the characterization method which is applied on radio frequency devices within a vector network analyser and we give the MOS structure layouts that we performed.

ملخص

تعتبر دراسة الضجيج الناتج عن المكونات الإلكترونية الدقيقة بهدف التقليل منه نتيجة حتمية للتطور التكنولوجي الحاصل في المجال اللاسلكي ومجال ذبذبات الراديو. تتطرق هذه المذكرة في دراستها للضجيج الناتج عن الترانزيستور في مجال ذبذبات الراديو إلى عدة نقاط، منها خصائص الدارات في المجال المذكور، التعريف بمصادر الضجيج المختلفة، حساب عوامل الضجيج ومحاكاة تمثيلية للضجيج الناتج عن الترانزيستور.

REMERCIEMENTS

Je tiens tout d'abord à remercier, **Monsieur Mohand Tahar BELAROUSSI**, Directeur de ce mémoire et Chef de Division de Microélectronique et Nanotechnologie au CDTA, d'avoir accepté de diriger ce travail avec beaucoup de disponibilité et d'efficacité et pour les conseils qu'il a su me prodiguer pendant toute la durée de ce mémoire.

J'exprime mes sincères remerciements à **Monsieur Kais FERDJANI**, Maître de Conférence à l'USDB pour l'honneur et le plaisir qu'il m'a fait en acceptant de présider ce jury.

J'exprime mes vifs remerciements et ma profonde gratitude aux membres de jury; **Monsieur Mohamed TRABELSI** Maître de conférences ENP, **Monsieur Mohamed DJEBARI** Professeur USDB, **Monsieur Slimane OUSSALAH** Chargé de Recherche CDTA, qui ont bien voulu examiner ce mémoire et participer au jury.

Je suis très reconnaissante à messieurs L. BOUZERARA et A. SIIMANE, Chercheurs à l'Unité de Microélectronique au sein du CDTA, Pour leur aide si précieuse dans les moments les plus difficile, leur expérience, leur discernement et leurs remarques pertinentes qui ont motivé ma recherche et qui ont constitué le soutien nécessaire pour mener à bien mes travaux.

Mes plus sincères remerciements vont également à M^{elle} A.CHENOUF et A.ZIOUCHE pour leurs sincères amitiés et leurs aides si précieuses et à tout le personnel de l'Unité de Microélectronique du CDTA, pour leur compréhension et gentillesse.

Je remercie également tout ceux qui ont participé de près ou de loin pour l'élaboration de ce travail surtout à mon mari pour son aide et sa patience.

TABLE DES MATIERES

RESUME.....	2
REMERCIEMENTS.....	4
TABLE DES MATIERES.....	5
LISTE DES ILLUSTRATIONS, GRAPHIQUES ET TABLEAUX.....	8
NOMENCLATURE.....	10
INTRODUCTION.....	11
CHAPITRE 1 GENERALITES SUR LES CONCEPTIONS DES CIRCUITS RF...14	
1.1 Technologie CMOS en RF.....	14
1.2 Les circuits RF utilisés dans un émetteur- récepteur.....	14
1.3 Les caractéristiques des circuits RF.....	15
1.4 Le transistor MOS en RF.....	16
1.5 L'amélioration par la réduction des dimensions.....	16
1.6 Utilisation d'un transistor MOS dans le domaine RF	18
1.7 La caractéristique du bruit en RF	18
1.8 Définition du bruit.....	19
1.9 Les sources de bruit existantes du transistor MOS.....	19
1.9.1 Bruit thermique.....	20
1.9.2 Bruit de grenaille.....	22
1.9.3 Bruit en scintillation.....	23
1.9.4 Bruits additionnels.....	24
1.10 Conclusion.....	24
CHAPITRE 2 THEORIE DU BRUIT ELECTRIQUE DANS UN DISPOSITIF MOS EN RF.....	25
2.1 Le bruit thermique dans un transistor MOS.....	25
2.1.1 Le Modèle de la transconductance g_m	26
2.1.2 Le Modèle de la conductance g_{do}	27
2.1.3 Le Modèle de la charge utilisée dans le cas submicronique.....	27
2.2. Le bruit associé à la grille.....	31
2.2.1 Le modèle de la résistance effective de grille.....	33
a)-calcul de la résistance grille R_g	33
a-1)- calcul de la résistance R_{gdc}	33

a-2)- Calcul de la résistance R_{gch}	33
2.2.2 Le modèle classique de Van der Ziel	34
2.2.3 Le modèle de bruit grille développé par TRIANTIS et AL.....	35
2.2.3.1 Le bruit induit de grille.....	35
2.2.3.2 Le bruit associé à l'électrode grille.....	37
2.3 La structure MOS interdigitée.....	37
2.3.1 Application du modèle de la résistance effective à la structure interdigitée	38
3. 2.2 Application du modèle de RAZAVI à la structure interdigitée	38
2.4 La représentation des réseaux à deux ports	41
2.5 Les paramètres des répartitions	43
2.6 La matrice de corrélation du bruit	45
2.6.1 La représentation d'admittance	46
2.6.2 La représentation d'impédance.....	46
2.6.3 La représentation ABCD.....	47
2.6.4 Transformation en une autre représentation	48
2.7 Le facteur de bruit	48
2.8 Les paramètres du bruit	49
2.9 Le coefficient de corrélation	50
2.10 Calcul des quatre paramètres de bruit d'un réseau à deux ports	50
2.11 Calcul des paramètres de bruit d'un transistor MOS	53
2.11.1 L'analyse directe de matrice	53
2.12 Conclusion	57
CHEPITRE 3 IMPLEMENTATION ET RESULTATS DE SIMULATION.....	58
3.1 Les modèles du transistor MOS.....	59
3. 2 Le modèle ELDO RF.....	60
3.3 Simulation de bruit du transistor MOS petits signaux en régime RF	61
3.3.1 L'analyse des performances de la structure interdigitée du transistor MOS submicronique.....	63
3.3.2 L'analyse des performances des quatre paramètres de bruit des transistors submicronique du modèle du ENZ et RAZAVI	67
3.3.3. Validation des modèles.....	74
3.3.4 L'effet de la largeur du doigt et du nombre de doigts	76
3.3.5 L'effet de la tension de grille V_{gs} sur les quatre paramètres de bruit	79
3.4 Conclusion	81

CHAPITRE 4 LA METHODE DE CARACTERISATION EN RADIOFREQUENCE	82
4.1 L'Analyseur de réseaux vectoriels	82
4.2 La Méthode de caractérisation	83
4.3. Dessin de masque « layout »	89
4.3.1 Principaux phénomènes parasites rencontrés dans le dessin des circuits intégrés analogique.	90
4.3.1.1 Capacités parasites.	90
4.3.1.2 Résistances parasites.	90
4.3.1.3 Inductances parasites	90
4.3.2 Minimisation de la surface total (du circuit)	90
4.3.3 Conception des transistors MOS.	91
4.4 Conclusion	94
CONCLUSION GENERALE.	95
ANNEXE A.	96
REFERENCES BIBLIOGRAPHIQUES.	98

LISTE DES ILLUSTRATIONS, GRAPHIQUES ET TABLEAUX

Figure 1 : Réduction de la longueur du canal du MOS	18
Figure 2 : Le bruit thermique d'une résistance.....	21
Figure 3 : Modèle intrinsèque du transistor MOS avec le bruit thermique du canal.....	25
Figure 4 : Les deux régions du canal d'un transistor MOS submicronique	28
Figure 5 : Le bruit thermique généré par une section différentielle dans le canal.....	30
Figure 6 : La nature distribuée du transistor MOS.....	32
Figure 7 : L'électrode grille représentée par la couche de polysilicium Et les points de contact.....	33
Figure 8 : La source de bruit grille représentée par le modèle de Van der Ziel.....	35
Figure 9 : Application de l'équation de Langevin pour le transistor MOS.....	36
Figure 10 : La topologie interdigitée appliquée sur un transistor MOS à canal de longueur L et de Largeur W.....	37
Figure 11 : Modèle distribué d'un Transistor MOS.....	39
Figure 12 : Transistor MOS équivalent de la structure distribuée	41
Figure 13 : schéma général du réseau à deux ports.....	42
Figure 14 : Représentation du diagramme de paramètre [S] d'un réseau à deux ports.....	43
Figure 15 : circuit équivalent à deux ports non bruyants : (a) représentation d'admittance (b) représentation d'impédance c) représentation ABCD.....	45
Figure 16 : Le schéma équivalent pour calculer le facteur de bruit.....	51
Figure 17 : Le Modèle RF de bruit de transistor MOS intrinsèque pour les applications en Radiofréquence.....	54
Figure 18 : le modèle de bruit équivalent.....	54
Figure 19 : Organigramme de simulation.....	59
Figure 20 : Modèle complet BSIM4, encadré BSIM3V3	60
Figure 21 : Réseau à deux ports bruyants converti à un réseau à deux ports non bruyants.....	62
Figure 22 : L'effet de la structure interdigitée du transistor MOS sur le facteur du bruit minimum et la densité spectrale de la tension bruit	66
Figure 23(a) : Représentation des quatre paramètres de bruit des deux modèle ENZ et RAZAVI du transistor MOS de largeur $W= 100\mu\text{m}$	69

Figure 23(b) : Représentation des quatre paramètres de bruit des deux modèle ENZ et RAZAVI du transistor MOS de largeur $W= 200\mu\text{m}$	70
Figure 23(c) : Représentation des quatre paramètres de bruit des deux modèle ENZ et RAZAVI du transistor MOS de largeur $W= 300\mu\text{m}$	71
Figure 23(d) : Représentation des quatre paramètres de bruit des deux modèle ENZ et RAZAVI du transistor MOS de largeur $W= 400\mu\text{m}$	72
Figure 23(e) : Représentation des quatre paramètres de bruit des deux modèle ENZ et RAZAVI du transistor MOS de largeur $W= 500\mu\text{m}$	73
Figure 24 : Comparaison des résultats de simulation avec les résultats des mesures.....	75
Figure 25 (a) : Représentation de l'effet de la largeur totale sur les quatre paramètres de bruit de transistor MOS.....	77
Figure 25 (b) : Représentation de l'effet de la largeur des doigts sur les quatre paramètres de bruit de transistor MOS.....	78
Figure 25 (c) : Représentation de l'effet du nombre de doigts sur les quatre paramètres de bruit de transistor MOS.....	79
Figure 26 : Représentation de l'effet de la tension de grille sur les quatre paramètres de bruit.....	80
Figure 27 : Structure de test des composants	84
Figure 28(a) : Représentation du schéma équivalent du DUT.....	84
Figure 28(b) : Représentation du schéma équivalent de DUT en configuration de cascade	85
Figure 29 : Représentation du dispositif sous le test DUT avec les structures de test OPEN et SHORT	85
Figure 30 : Représentation du dispositif sous le test DUT avec les structures de test OPEN et THRU1, THRU2.....	85
Figure 31 : Structure schématique d'un MOS	92
Figure 32 : Dessin de masque d'un MOS à un seul doigt.....	92
Figure 33 : Dessin des masques d'un transistors MOS avec un structure inter digitée décomposé en 10 petits transistors de $W/L= 10/0,35\mu\text{m}$	93
Tableau 1 : Directives de la réduction des dimensions de 1988 jusqu'à 2004 (Davari et al. 1995).....	17
Tableau 2 : les différentes matrices de transformation.....	48

NOMENCLATURE

CMOS	Complementary Metal-Oxide-Semiconducteur
BiCMOS	Bipolar Complementary Metal-Oxide-Semiconducteur
BSIM	Berkeley Short _Channel IGFET Model
RF	Radiofréquence
BJT	Bipolar Junction Transistor
GPS	Global Positioning System
f_t	Fréquence du transition
f_{\max}	Fréquence maximal
JFET	Transistor à effet de champ
G_{AAs}	Arséniure de Gallium
TSMC	Taiwan Semi-Conducteur Métal Company
DUT	Device Under Test

INTRODUCTION

Durant ces dernières années, La communication sans fil a prospéré à cause de, la demande et au besoin des utilisateurs de l'information. Les efforts substantiels des recherches se sont concentrés sur beaucoup de domaines d'applications, tels que les téléphones cellulaires, les téléphones sans fil, le système de positionnement global (GPS) et les réseaux RF locaux .

Dans la conception haute fréquence, beaucoup de technologies avancées fournissent de bonnes performances, cependant le nombre de consommateurs visés, et le facteur coût de la production sont des paramètres très importants pour les concepteurs de circuits, sans aller vers les technologies de pointe qui reviennent très chères. D'où, il est plus attrayant d'avoir de bonnes performances avec une technologie standard comme la technologie Silicium qui propose un large éventail de technologies ayant chacune sa spécificité. Parmi ces technologies, la technologie CMOS qui se distingue par une possibilité de production à un coût très attractif.

Les circuits intégrés radiofréquence ont été le domaine primaire des filières GaAs et bipolaires puisque ces dernières fournissent des fréquences de coupure (f_t) relativement élevées. Cependant, la technologie CMOS continue à évoluer et à montrer une fréquence de coupure au-dessus de 30GHz aisément réalisable, et devient, ainsi, une alternative attrayante pour des applications RF dans la basse gamme de fréquence de gigahertz.

Par rapport à d'autres technologies, la CMOS est la solution la plus rentable jusqu'ici pour les applications numériques à grande échelle d'intégration permettant de concevoir des systèmes entiers sur une même puce dénommés « SOC : System On- Chip » dû à ses possibilités de fournir à des sous-ensembles à grande échelle des niveaux élevés de l'intégration.

D'autre part, les performances des circuits intégrés utilisés dans les modules d'émission et de réception englobant des fonctions analogiques radiofréquences sont devenus une exigence de tout développement éventuel apporté aux nouvelles technologies CMOS submicroniques et submicroniques profondes.

La plupart des récepteurs actuels associent la réalisation des parties analogiques radiofréquence à base de transistors bipolaires à celle des parties analogiques, et digitales basses fréquences à base de transistors MOS grâce à la technologie BiCMOS sur silicium.

Depuis quelques années, les efforts de recherche sont dirigés vers la conception des parties analogiques radiofréquences des récepteurs à base de transistors MOS haute performance, afin de réaliser l'ensemble du récepteur dans un simple procédé CMOS sur silicium, bien plus économique.

La technologie CMOS continue à évoluer et à montrer son interaction avec les tendances voulues, mais l'évaluation du comportement des fonctions analogiques réalisées avec cette technologie reste toujours à l'étude, et passe obligatoirement par l'étude des composants de base qui constituent ces fonctions.

Le transistor MOS constitue par sa simplicité de fabrication et ses petites dimensions l'élément de base des circuits intégrés à large échelle d'intégration dans les applications mixtes (analogique – numérique). La technologie MOS est actuellement favorisée à cause du faible encombrement sur substrat permettant ainsi une intégration dense, et une très faible consommation d'énergie car ces transistors sont commandés en tension sans courant statique. Cependant, le comportement du transistor MOS est sensible aux évolutions technologiques permanentes, la réduction de ses dimensions peut engendrer des problèmes qui se répercutent sur l'ensemble du circuit.

Dans ce contexte, nous menons, dans la division microélectronique et nanotechnologie du CDTA, une étude relative au bruit associé à la grille poly-silicium afin de prédire le comportement réel du transistor MOS dans une application radiofréquence et de soulever les différents problèmes lors de la réduction des dimensions.

Nous commençons tout d'abord notre travail par un aperçu des applications du transistor MOS dans le domaine radiofréquence. Ensuite, nous passerons en revue la définition du bruit, les différentes sources de bruit du transistor selon les modèles présentés dans la littérature scientifique, puis nous décrivons la méthode de calcul des quatre paramètres de bruit du transistor MOS à partir de la théorie de deux ports. Après, nous traiterons le bruit thermique du transistor MOS en radiofréquence, cette simulation est effectuée par l'implantation du modèle de bruit associé à la résistance grille de transistor MOS dans le simulateur ELDO RF.

Enfin, nous concluons notre travail en définissant la méthode de caractérisation appliquée en radiofréquence en utilisant l'analyseur de réseau vectoriel et de calibration,

ainsi que la représentation du dessin de masque du transistor MOS réalisé au laboratoire microélectronique du CDTA.

CHAPITRE 1

GENERALITES SUR LES CONCEPTIONS DES CIRCUITS RF

Dans ce chapitre, nous présentons les parties radiofréquences d'un émetteur – récepteur en focalisant sur les parties sensibles au bruit. Pour cela, nous rappelons brièvement l'évolution des composants introduits dans de tels systèmes avant de présenter la technologie retenue et le composant sur lequel va porter notre travail. Ensuite, nous décrivons les différents bruits issus du transistor MOS. Finalement, Nous abordons brièvement le bruit associé à la résistance de la grille.

1.1 Technologie CMOS en RF

Aujourd'hui, la technologie CMOS parvient à la résolution d'un grand nombre de problèmes associés aux technologies qui ont un marché réduit et techniquement moins avancé. Elle offre également les avantages suivants : une grande vitesse d'exécution, une consommation réduite de puissance, une grande densité d'intégration et un grand volume de production. Cependant, les résultats remarquables du processus de réduction des dimensions caractéristiques des composants les plus répandus tels que le MOS ont ouvert les portes au développement de systèmes analogiques de plus en plus rapides et complexes. Ce qui a donc permis l'augmentation des fréquences f_t et f_{max} du MOS à des dizaines de gigahertz d'où vient ce choix légitime de l'utilisation de la technologie CMOS dans les parties radiofréquences [1].

1.2 Les circuits RF utilisés dans un émetteur- récepteur

Un module d'émission- réception, permettant le traitement des signaux reçus ou émis, est composé d'un certain nombre de circuits RF où chaque circuit est spécifié par des caractéristiques bien déterminées. Ces circuits sont en nombre de cinq :

- 1- Les amplificateurs à faible bruit.
- 2- Les mélangeurs.
- 3- Les oscillateurs commandés par tension.
- 4- Les amplificateurs de puissance.
- 5- Les filtres.

1.3 Les caractéristiques des circuits RF

Le traitement du signal exige aux circuits cités auparavant d'avoir certaines caractéristiques afin de mieux émettre ou recevoir un signal. De ce fait, un aperçu général est donné sur chaque circuit :

- Les amplificateurs à faible bruit sont d'habitude situés à l'étage d'entrée, ils sont définis par :
 - 1- Un facteur de bruit très faible pourvu que le gain assez élevé.
 - 2- Une dynamique large gamme de fréquences avec un meilleur rapport signal sur bruit (S/N).
 - 3- Une bonne impédance d'entrée adaptative afin de préserver l'intégrité du signal.
 - 4- Une faible distorsion avec une performance du bruit optimale.
- Les mélangeurs exigent également deux facteurs qui assurent un bon rapport S/N et une faible distorsion :
 - 1- Un faible facteur de bruit.
 - 2- Une large dynamique gamme de fréquences.
- Les oscillateurs contrôlés par tension sont aussi caractérisés par :
 - 1- Leur faible bruit de phase qui minimise les erreurs dans le temps, mais cela nécessite un bruit $1/f$ très faible.
 - 2- Un faible facteur de bruit.
 - 3- Un facteur de qualité élevé (Q).
 - 4- Ils doivent aussi posséder une haute densité en puissance.
- Les amplificateurs de puissance sont indispensables pour avoir un rendement élevé, afin de réduire la consommation de puissance. Pour cela ils requièrent :
 - 1- Une bonne linéarité pour les faibles distorsions harmoniques totales.
 - 2- Leurs densités spectrales en puissance doivent être aussi élevées.
 - 3- Pour l'adaptation, ils exigent de bonnes impédances d'entrée et de sortie dans le but de minimiser les pertes dues aux erreurs.
- Les filtres radiofréquences.
 - 1- Un facteur de qualité très élevé pour obtenir des fréquences de coupure nettes.
 - 2- Un haut rejet des signaux à l'extérieur de la bande passante.
 - 3- Un faible bruit.

D'après ces exigences, non constatons que les éléments de base entrant dans la fabrication de tels circuits doivent couvrir les caractéristiques de ces derniers. C'est pourquoi les études actuelles rentrent dans cet axe de recherche.

1.4 Le transistor MOS en RF

Le transistor MOS n'était pas considéré comme un composant électronique micro-onde. En le comparant avec le GaAs MESFET, le MOS a plusieurs inconvénients comme composant micro-onde : sa mobilité μ_n (silicium) est nettement inférieure à celle de GaAs MESFET, impliquant un temps de transition plus long. En conséquence, la fréquence de coupure f_t devient beaucoup plus faible. De plus, les résistances parasites du MOS sont également plus grandes que celles du MESFET, donnant un facteur de bruit important. En outre, les capacités parasites et la faible de la bande interdite (gap) du Si ont rendu le substrat en silicium un mauvais semi isolant.

Cependant, l'amélioration apportée à la technologie MOS par la réduction de ses dimensions a permis d'ouvrir une porte vers une large utilisation du MOS dans l'application RF [1].

1.5 L'amélioration par la réduction des dimensions

Le développement rapide de la microélectronique durant les vingt cinq dernières années peut être expliqué par la fameuse loi de Moore : « Le nombre de transistors sur une même surface de circuit intégré devait doubler chaque année. Son observation a évolué par la suite dans le sens d'un doublement du nombre de transistors tous les dix-huit mois à coût constant (Moore, 1965) ». Au début des années soixante dix, des règles ont été introduites afin d'avoir des dimensions plus petites (Denard et al, 1974). Ces règles représentent toujours la clé principale de cette évolution, et l'idée de base était de réduire les dimensions du transistor MOS et les interconnexions dans un circuit intégré.

Un transistor MOS fonctionne principalement en modifiant le champ électrique sous le contrôle de la tension grille qui crée un courant électrique circulant entre la source et le drain dans un substrat en silicium. Pour une échelle plus réduite, ces performances sont réalisées et on obtient les mêmes modèles du champ électrique dans le transistor réduit en diminuant la tension appliquée aux dimensions clés y compris l'épaisseur de l'oxyde. Dans le substrat en silicium, les modèles du champ électrique sont conservés en augmentant la concentration de dopage dans le modèle réduit. Des efforts ont été

également dépensés pour rendre le canal le plus court possible, en gardant toujours le maximum du champ électrique faible à coté du drain, pour maintenir une tension de claquage drain source raisonnable. Le tableau 1 résume les directives de la réduction des dimensions de la technologie CMOS à partir des années 1980 au début du 21ème siècle.

Puisque les MOS sont devenus les composants microélectroniques dominants, ils commencent à apparaître dans les différentes applications. La miniaturisation continue devrait également réaliser les différents objectifs attendus tels que la haute performance (vitesse élevée) ou la faible puissance.

Paramètres	1988	1992	1995	1998	2001	2004
Tension d'alimentation (V)						
Haute performance	5	5/3.3	3.3/2.5	2.5/1.8	1.5	1.2
Faible puissance	-	3/2.5	2.5/1.5	1.5/1.2	1.0	1.0
Résolution lithographique (μm)						
Générale	1.25	0.8	0.5	0.35	0.25	0.18
Niveau de la grille	-	0.6	0.35	0.25	0.18	0.13
Longueur du canal (μm)	0.9	0.6/0.45	0.35/0.25	0.2/0.15	0.1	0.07
Epaisseur de l'oxyde (nm)	23	15/12	9/7	6/5	3.5	2.5
Densité relative	1.0	2.5	6.3	12.8	25	48
Vitesse relative						
Haute performance	1.0	1.4/2.0	2.7/3.4	4.2/5.1	7.2	9.6
Faible puissance	-	1.0/1.6	2.0/2.4	3.2/3.5	4.5	7.2
Puissance relative /unité de surface						
Haute performance	1.0	2.25/1.38	3.0/2.1	3.7/2.341	3.12	3.70
Faible puissance	-	0.7/0.63	1.25/0.6	1.02/0.72	0.90	1.97

Tableau 1 : Directives de la réduction des dimensions de 1988 jusqu'à 2004 (Davari et Al. 1995).

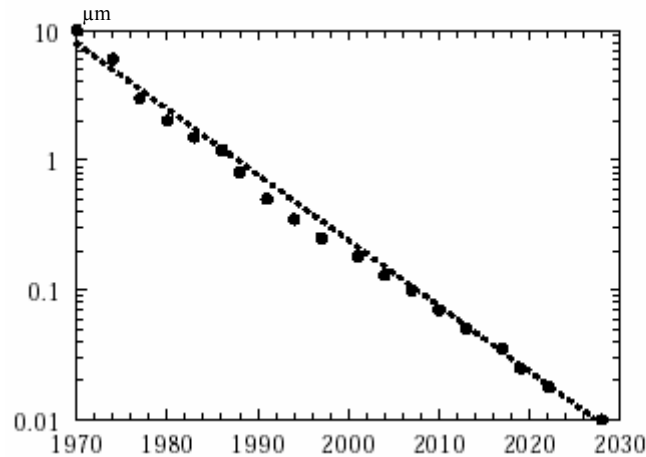


Figure 1 : Réduction de la longueur du canal du MOS.

1.6 Utilisation d'un transistor MOS dans le domaine RF

Actuellement les efforts sont portés sur la réduction des dimensions du transistor MOS afin d'obtenir de meilleures Performances, notamment en fréquence dans les applications allant de l'audiofréquences jusqu'aux radiofréquences.

Le transistor MOS est généralement utilisé dans des chaînes de réception radiofréquence qui sont constituées de blocs RF. Parmi ces blocs, l'étage d'amplification faible bruit caractérisé par son gain et son facteur de bruit. Son rôle principal est l'amplification des faibles signaux tout en gardant un rapport élevé entre le signal traité et le bruit engendré par les éléments qui le constituent.

L'ensemble des éléments composant cet amplificateur doit donner un minimum de bruit afin d'obtenir d'excellentes performances en bruit.

Le bruit engendré par un amplificateur faible bruit est celui généré par son élément de base qui est le transistor MOS. Par conséquent, la minimisation du bruit de l'amplificateur revient à étudier le bruit du transistor MOS en radiofréquence et de trouver des solutions adéquates pour minimiser le bruit, et donc avoir un facteur de bruit optimal.

1.7 La caractéristique du bruit en RF

Parmi les phénomènes indésirables les plus connus du monde électronique est le phénomène du bruit électrique, cela a incité de mener des études approfondies et contenues pour déterminer l'effet de bruit électrique dans les circuits intégrés tout en respectant l'évolution des éléments de base qui les constituent.

Dans une application radiofréquence, la performance en bruit est une caractéristique essentielle qui détermine la performance des circuits RF utilisés, ou chaque circuit subit certaines conditions qui précisent exactement le type du bruit associé.

Les éléments tels que les résistances, les diodes, les transistors MOS ou BJT, les éléments inductifs et capacitifs représentent les composants à étudier pour la détermination du bruit de chaque élément. Dans un circuit RF, l'optimisation du bruit total généré revient à l'importance donnée aux bruits induits par les éléments de base compris dans les circuits

Le transistor MOS représente un des éléments de base les plus répandus qui génère le bruit dans les circuits RF. De ce fait, un aperçu du bruit produit ainsi que les différentes sources existantes dans le transistor MOS sont données dans les sections suivantes.

1.8 Définition du bruit

Le bruit peut être défini comme étant l'ensemble des perturbations indésirables provenant des parasites extérieurs ou des fluctuations aléatoires et spontanées qui résultent de la physique des composants.

Parmi les sources de bruit habituelles, les sources parasites tels que le couplage électromagnétique entre le circuit et la ligne électrique de 50 HZ, la lumière fluorescente ou les signaux radio-TV. Ce type de parasites peut être éliminé ou réduit au minimum par des solutions telles que la mise à la masse, le filtrage ou le blindage. Par contre, la physique des composants reste la source primordiale qui cause plusieurs types de bruits tels que le bruit thermique, le bruit en scintillation (bruit du flicker), le bruit de grenaille et d'autres types de bruits qui feront l'objet de cette étude. L'élimination de tels bruits est difficile à réaliser, car ces signaux représentent la limite inférieure de la mesure et la sensibilité de certains circuits.

1.9 Les sources de bruit du transistor MOS

La théorie des semi-conducteurs décrit l'origine physique de certaines sources de bruit existantes dans le MOS, telles que le bruit en scintillation et le bruit thermique, qui sont les plus répandus.

Le bruit en scintillation est un bruit très gênant dans les applications basses fréquences, par contre le bruit thermique est le bruit dominant en hautes fréquences notamment dans les applications radiofréquences [2].

Mais, il existe d'autres sources comme le bruit de grenaille, le bruit des électrons chauds et le bruit d'avalanche qui ne figurent pas dans toute la littérature. Par contre, elles sont prises en compte dans certaines applications et sous des conditions appropriées.

La contribution de telle ou telle source de bruit dans le transistor MOS est en fonction de plusieurs paramètres qui sont les suivants :

- Le domaine d'application (basses fréquences, hautes fréquences).
- La polarisation qui définit la région d'opération du MOS (région linéaire, région de saturation) et ses caractéristiques courant tension .
- Les paramètres géométriques du transistor (L : longueur de canal, W : largeur du canal, l'épaisseur de la couche d'oxyde).

Les deux sources de bruit qui seront considérées en hautes fréquences et qui feront l'objet de cette étude sont :

- Le bruit thermique de canal.
- Le bruit associé à la grille.

1.9.1 Le bruit Thermique

En général, le bruit dominant dans un MOS en hautes fréquences est le bruit thermique, connu par le bruit de *Johnson* ou le bruit de *Nyquist*, et qui est l'effet du mouvement désordonné des électrons dans les conducteurs. Ce mouvement se traduit par une agitation thermique, la raison pour laquelle il est appelé bruit thermique. Dans le cas d'une résistance, la tension du bruit généré est due aux fluctuations spatiales de la densité électronique engendrée par les vibrations thermiques du réseau cristallin.

Le théorème de *Nyquist* affirme que la tension du bruit est produite par l'agitation thermique des porteurs dans un conducteur en équilibre thermique. Elle peut être exprimée par l'équation suivante [3] [4] :

$$\overline{v}^{-2} = 4kTRp(f)\Delta f \quad (1.1)$$

Ou \overline{v}^{-2} est la densité spectrale de la tension du bruit thermique, k est la constante de Boltzmann, T est la température en degré kelvin, R est la résistance de l'élément conducteur qui génère le bruit thermique, Δf la largeur de bande et $P(f)$ est le facteur de Planck donné par l'équation ci-dessous :

$$p(f) = \frac{hf}{kT} \left(e^{\frac{hf}{kT}} - 1 \right)^{-1} \quad (1.2)$$

Où h est constante de planck.

Le facteur $P(f)$ est égal à 1 pour $\frac{hf}{kT} \ll 1$ en hautes fréquences et à température ambiante. Donc, l'expression de la densité spectrale devient comme suit [3] :

$$v^{-2} = 4kTR\Delta f \quad (1.3)$$

Dans un circuit quelconque, le bruit thermique peut être représenté (modélisé) par une source de tension en série avec chaque résistance R du circuit. Mais cette représentation n'est pas unique, le schéma ci-dessous illustre les représentations possibles :

1. Soit par une source de tension en série avec une résistance.
2. Soit par une source de courant en parallèle avec la résistance.

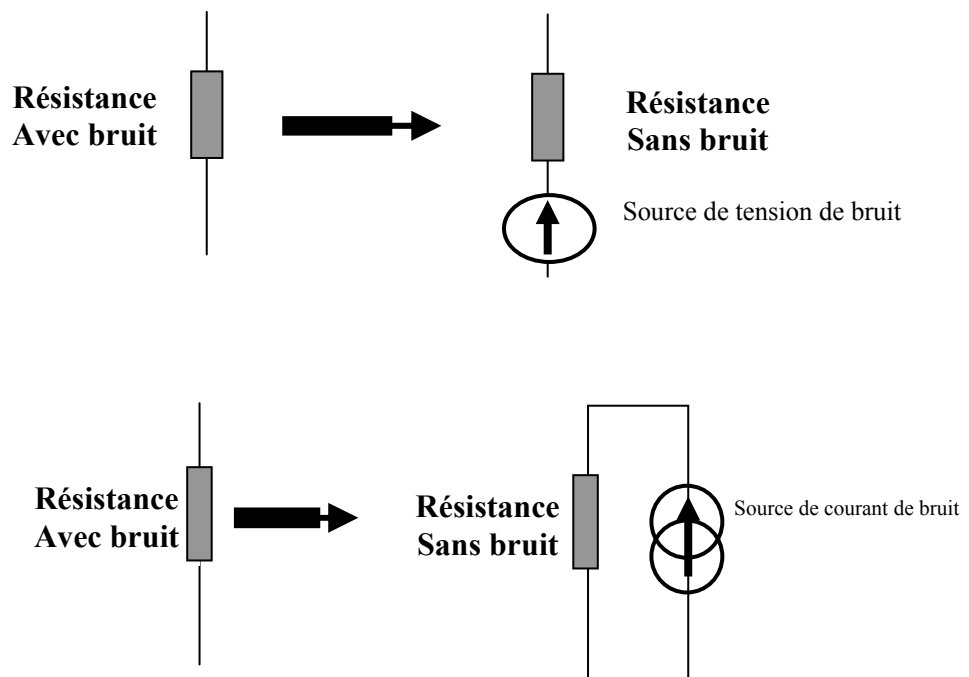


Figure 2 : Le bruit thermique d'une résistance.

La densité spectrale du générateur de courant est donnée par l'équation suivante :

$$\overline{i^2} = \frac{4kT}{R} \Delta f \quad (1.5)$$

La résistance R, citée dans les équations précédentes, n'est pas seulement la résistance DC des composants. Elle peut être la partie réelle d'une impédance complexe. Les composants réactifs tels que les inductances et les capacitances génèrent un léger bruit thermique dû à leur résistance parasite.

Puisque le transistor MOS fonctionne en modulation de la résistance du canal de conduction, son bruit thermique généré est le bruit du courant de drain qui représente les fluctuations thermiques dans le canal.

1.9.2 Bruit de grenaille

Le bruit de grenaille est généré par les porteurs qui traversent une barrière de potentiel (exemple : les porteurs qui passent de la source vers le canal). Ce type de bruit est toujours associé au flux direct d'un courant présent dans les diodes et les transistors bipolaires.

Si l'on considère une jonction PN dans un dispositif polarisé en direct, alors le mouvement de chaque porteur traversant la jonction PN est un événement aléatoire qui dépend des porteurs ayant suffisamment d'énergie et de vitesse. Le courant externe I qui apparaît comme un courant stable, est en réalité composé d'un grand nombre d'impulsions aléatoires et indépendantes.

Les fluctuations du courant I représentent donc le bruit de grenaille. Généralement, elles sont données en termes de moyenne quadratique de sa variation avec sa valeur moyenne I_D qui s'écrit $\overline{i^2}$ où :

$$\overline{i^2} = \overline{(I - I_D)^2} = \lim_{T \rightarrow \infty} \frac{1}{T} \int_0^T (I - I_D)^2 dt \quad (1.6)$$

Puisque le courant I est composé d'une série d'impulsions indépendantes et aléatoires avec une valeur moyenne I_D , alors le bruit du courant résultant est donné par l'expression suivante [3]:

$$\overline{i^2} = S_i(f) \Delta f = 2q I_D \Delta f \quad (1.7)$$

Où Δf est la largeur de bande et $S_i(f)$ est la densité spectrale en puissance. L'équation ci-dessus est valide jusqu'aux fréquences qui deviennent comparables à $1/\tau$ ou τ est le temps de transition d'un électron à travers la couche de déplétion.

L'amplitude du bruit de grenaille est une distribution gaussienne, son spectre en fréquence est considéré plat. Il représente aussi une source de bruit blanc similaire au bruit thermique du canal. S'ils sont mélangés, il est impossible de les distinguer. La détection de ce type de bruit ne peut avoir lieu qu'en faible inversion, contrairement, au bruit thermique du canal conducteur qui est le bruit dominant en forte inversion.

1.9.3 Bruit en scintillation

Le bruit en scintillation est le phénomène observé dans plusieurs composants électroniques, particulièrement les semi-conducteurs. Ces observations ont conduit les chercheurs à penser qu'il existe un mécanisme physique et fondamental derrière ce type de phénomènes. Malheureusement, de nombreuses expériences ont montrées qu'il pouvait y avoir d'autres mécanismes impliqués dans la génération d'un tel bruit.

Bien qu'il y ait probablement différents mécanismes physiques qui génèrent le bruit en scintillation dans le transistor MOS, il y a de nombreuses indications qui montrent que la surface du canal conducteur est à l'origine de ce bruit. En d'autres termes, deux théories ont été proposées essayant d'expliquer ce type de bruit dans les transistors MOS. [3], [4], [5], [6].

1. Modèle de la fluctuation en nombre (McWorther).
2. Modèle de la fluctuation de la mobilité (Hooge).

La première théorie introduite par McWorther relie le bruit en scintillation directement aux fluctuations de la densité des porteurs. En état de conduction du transistor MOS, le nombre de porteurs de canal conducteur varie instantanément avec le phénomène de piégeage et dé piégeage des électrons mobiles (cas du transistor NMOS). Les pièges situés au niveau de l'interface oxyde semi-conducteur Si-SiO₂ ont le rôle de capter ou de libérer les électrons (piégeage, dé piégeages). Chaque événement de capture ou de libération d'un électron est le résultat d'un signal RTS(Random Telegraph Signal) aléatoire qui correspond à un spectre Lorentzien ou un spectre de génération recombinaison. Le bruit en scintillation est donc la superposition des spectres Lorentzien issues du phénomène de piégeage – dé piégeage.

Dans la deuxième théorie de Hooge, les observations empiriques sur des échantillons homogènes ont été attribuées aux fluctuations de la mobilité des porteurs libres du canal conducteur lorsqu'ils sont en collision avec le réseau cristallin. En réalité, le mécanisme responsable de ces fluctuations n'est pas encore bien détaillé.

1.9.4 Bruits additionnels

Dans les paragraphes précédents, nous avons présenté les différentes sources de bruit. Pratiquement, on s'intéresse au bruit thermique et en scintillation afin de prédire les performances en bruit des circuits à base des transistors MOS. Cependant, ces deux sources doivent générer un bruit extrêmement faible dans les applications analogiques à faible bruit, mais l'utilisation des transistors assez larges et polarisés en saturation engendre des bruits additionnels qui expliquent la présence d'autres sources de bruit. Parmi les bruits qui peuvent apparaître le bruit associé à la résistance de la grille [5]. Ce phénomène a été déjà modélisé par Van Der Ziel, mais son modèle a été basé sur les MOS aux canaux longs. Cependant, la plupart des systèmes de télécommunication actuels sont conçus à base de nouvelles technologies, telles que la technologie submicronique, d'où il est évident que d'autres modélisations doivent avoir lieu afin de mieux prédire les performances en bruit de nouveaux circuits.

1.10 Conclusion

Dans ce chapitre nous avons présenté une idée générale sur la technologie CMOS et la réduction des dimensions, plus particulièrement sur le transistor MOS, et les types de bruit qui peuvent être engendrés. En plus, nous avons pu définir les principaux types de bruit auxquels nous nous intéressons le plus dans le cas des applications analogiques à faible bruit en radiofréquence.

CHAPITRE 2

THEORIE DU BRUIT ELECTRIQUE DANS UN DISPOSITIF CMOS EN RF

Dans ce chapitre, le bruit du drain et le bruit associé à la résistance de la grille sont les principaux types de bruit illustrés, et en particulier, les modèles du bruit développés dans le cas des transistors MOS submicroniques. Ainsi, la définition des paramètres et des modèles du bruit auxquels nous nous référons pour l'évaluation du bruit sortant du MOS est le but de cette partie de ce mémoire. Finalement nous définissons la théorie de deux ports, et comment déterminer les quatre paramètres de bruit NF_{\min} , R_n , G_{opt} , et B_{opt} .

2.1 Le bruit thermique dans un transistor MOS

Le fonctionnement du composant MOS est essentiellement basé sur son élément conducteur appelé le canal. Celui-ci, qui est du type résistif, représente la source principale de toute fluctuation thermique produite. Par ailleurs, l'agitation thermique des électrons en mouvement désordonné entre la source et le drain génère précisément cet effet thermique nommé le bruit thermique. Ainsi, cette agitation se traduit en fluctuations de tension ou de courant à la sortie de drain. C'est pourquoi le modèle actuel du composant MOS tient compte de ce phénomène en ajoutant une source de bruit thermique. La figure suivante illustre le modèle intrinsèque du transistor MOS qui est considéré comme un modèle complet.

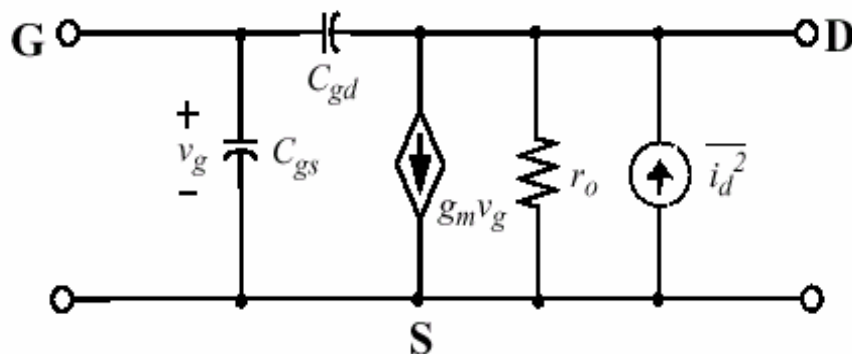


Figure 3 : Modèle intrinsèque du transistor MOS avec le bruit thermique du drain.

Le bruit thermique du drain a fait l'objet de plusieurs études dans la littérature [7], [9], [12]. Avec l'évolution technologique, la plupart des travaux de recherche ont été menés suivant les deux approches analytiques et expérimentales, afin d'aboutir à des modèles permettant de prédire le bruit thermique du transistor avec plus de précision et d'exactitude. Certains modèles ont été intégrés dans des simulateurs de circuits, d'autres ne sont pas utilisés. Les modèles du bruit thermique du canal qui existent dans les simulateurs ou modélisés par des chercheurs sont au nombre de trois :

2.1.1 Le Modèle de la transconductance g_m

Le modèle du bruit thermique de canal, le plus populaire, cité dans la littérature et utilisé dans les simulateurs de circuits tels que HSPICE, SPICE, est le modèle de la transconductance g_m donné par l'équation suivante [3],[7] :

$$\overline{id}^2 = 4kT\varepsilon g_m \Delta f \quad (2.9)$$

$$\varepsilon = \begin{cases} 2 & \text{pour forte inversion} \\ 3 & \\ 1 & \text{pour faible inversion} \end{cases}$$

Où g_m est la transconductance au point de fonctionnement du transistor.

Le modèle de la transconductance est utilisé en faible inversion comme en forte inversion avec un coefficient correctif ε .

L'inconvénient principal de ce modèle est sa difficulté de prédire exactement le bruit thermique du transistor à cause de son invalidité lors de son fonctionnement dans la région linéaire. Quand la tension drain source V_{ds} est égale à zéro, le bruit thermique prédit par le modèle de transconductance vaut zéro, mais cela est incorrect physiquement. Ce modèle est valide seulement en saturation, mais avec moins de précision.

2.1.2 Modèle de la conductance g_{d0}

Le bruit thermique du drain d'un transistor à effet de champ a été analysé en premier lieu par Van der Ziel avec des JFETs. Puisque le comportement en bruit thermique d'un JFET est similaire à celui du MOS, l'équation qui caractérise le bruit au niveau du canal est en termes de conductance (g_{d0}) [7]. [8]. [9] :

$$\overline{id}^2 = 4kT\gamma g_{d0}\Delta f \quad (2.10)$$

Où g_{d0} représente la conductance du canal à une tension drain – source égale à zéro. γ est le facteur de bruit thermique du drain, ce dernier désigne la région dans laquelle le transistor est opérationnel, avec $2/3 < \gamma < 1$ dans la région linéaire et $\gamma = 2/3$ dans la région de saturation. D'un autre côté, ce modèle reste toujours loin de la réalité dans le cas des transistors MOS à canal court (submicronique) malgré son avantage et sa validité dans les deux régions.

2.1.3 Modèle de la charge utilisé dans le cas submicronique

La modélisation du bruit thermique du canal d'un transistor MOS submicronique nécessite une étude détaillée du régime de fonctionnement du transistor dans chacune des deux régions qui caractérisent le canal de conduction.

Dans une application RF, le besoin d'une certaine réponse en fréquence, d'un certain gain et d'autres spécifications dynamiques, impliquent la présence d'un champ électrique longitudinal intense et non uniforme le long du canal, spécialement dans la région de saturation, qui représente la région usuelle pour le fonctionnement du transistor dans les circuits intégrés analogiques. Le champ électrique intense dû au maintien de la tension d'alimentation a obligé les composants à canal court de montrer l'amélioration et les différentes caractéristiques du comportement de bruit en le comparant avec les composants à canal long. D'où l'importance de refaire les calculs de bruit thermique du canal en tenant compte de l'effet du champ électrique sur la température, le courant du drain, la charge dans les deux régions, et la zone de pincement.

L'approche qui a été suivie dans la modélisation analytique du bruit thermique, est basée sur la division du canal en deux régions comme le montre la figure suivante :

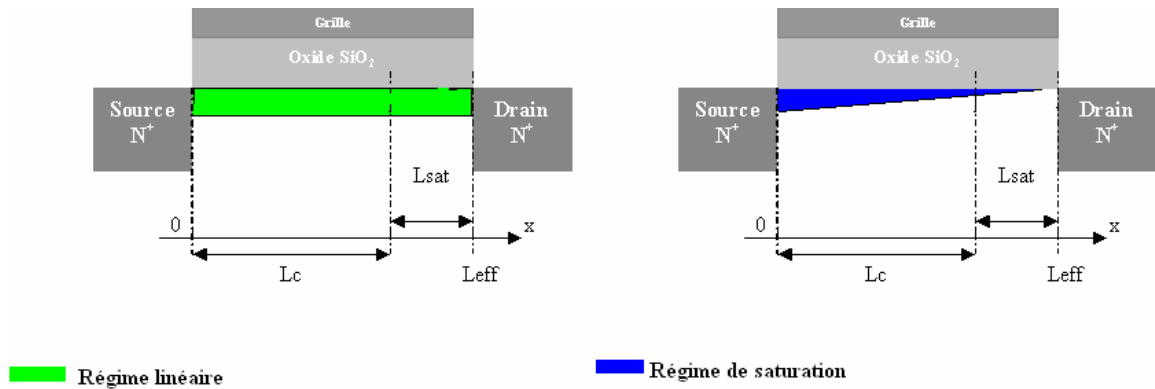


Figure 4 : Les deux régions du canal d'un transistor MOS submicronique.

Les deux régions sont les suivantes :

Région I : régime linéaire où la vitesse des porteurs augmente progressivement jusqu'à la limite du champ critique.

Région II : régime de saturation est la région dans laquelle les porteurs atteignent la vitesse de saturation.

Le courant du drain qui passe dans la zone à forte inversion est exprimé par la relation suivante [3] [10]:

$$I_D = WC_{ox}(V_G - V_{TH}(x) - V(x))v(x) \quad (2.11)$$

Où W est la largeur du canal, C_{ox} est la capacité par unité de surface de la grille, V_{TH} est la tension de seuil, $V(x)$ est le potentiel quasi-fermi.

L'expression de la vitesse de drainage des porteurs est donnée par [10] [11] :

$$v(x) = \begin{cases} \frac{\mu_{eff} E(x)}{1 + \frac{E(x)}{Ec}} & E \leq Ec \\ v_{sat} & E > Ec \end{cases} \quad (2.12)$$

Où μ_{eff} est la mobilité effective qui dépend du champ vertical, $E(x) = \frac{dV(x)}{dx}$ est le champ latéral, v_{SAT} est la vitesse de saturation et $E_c = \frac{2v_{SAT}}{\mu_{eff}}$ est le champ critique au delà duquel

les porteurs prennent la vitesse de saturation.

L'influence du champ électrique longitudinal sur la température de bruit dans les deux régions est résumée comme suit :

Lorsque la valeur du champ électrique est inférieure à sa valeur critique, dans le cas de la région linéaire, la température est exprimée par l'équation suivante [11]:

$$T_N(x) = T_0 \left\{ 1 + \delta \left[\frac{E(x)}{E_c} \right]^2 \right\} \quad (2.13)$$

où δ est une constante empirique qui varie dans la plage [5–20], pour un champ critique E_c qui varie entre [2–4V/ μm].

Dans le cas de la région de saturation, dès que le champ électrique dépasse sa valeur critique E_c , la température s'exprime par la relation suivante [11]:

$$T_N(x) = 2T_0 e^{\lambda \frac{E(x)}{E_c}} \quad (2.14)$$

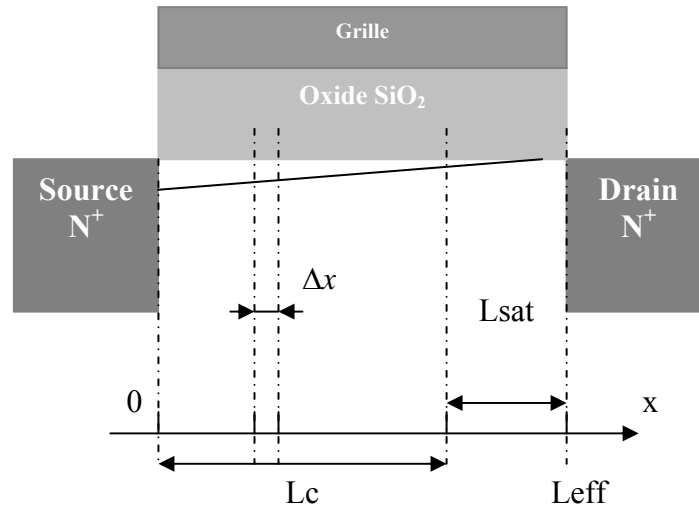
Où λ varie entre [1–2], pour une valeur de E_c qui varie entre [2–4V/ μm].

La densité spectrale du bruit thermique du drain en tension dans une section Δx du canal à une vitesse de drainage arbitraire peut être exprimée par la relation suivante :

$$\Delta S_V(x, f) = 4kT_N(x, f)\Delta r_D(x) \quad (2.15)$$

Où Δm est la résistance du canal de la section Δx .

La tension du bruit thermique en circuit ouvert des régions I et II est calculée en tenant compte des formules de $E(x)$, $T_N(x)$ et $\Delta m(x)$ dans les deux régions, et on suppose que les sources de bruit le long du canal sont non corrélées.



Lc : Région linéaire
Lsat : Région de saturation

Figure 5 : Le bruit thermique généré par une section différentielle dans le canal

Dans la région linéaire I

La densité spectrale de la tension de bruit dans la région linéaire est donnée par l'intégrale suivante :

$$S_{VLI} = \int_0^{L_c} \Delta S_{VI}(x, f) dx = \int_0^{L_c} 4kT_0 \left\{ 1 + \delta \left[\frac{E_I(x)}{E_c} \right]^2 \right\} \left[\frac{1}{W\mu_I(x)Q_m(x)} \right] dx \quad (2.16)$$

Où $E_I(x)$ est le champ électrique dans la région I et Q_m est la charge mobile dans le canal.

Dans la région de saturation II

La densité spectrale de la tension de bruit dans la région de saturation est donnée par l'intégrale suivante :

$$S_{VLI} = \int_0^{L_{SAT}} \Delta S_{VII}(x, f) dx = \int_0^{L_{SAT}} 4kT_0 \left[2 e^{\lambda \cosh(Ax)} \right] \frac{E_c \cosh(Ax)}{I_D} dx \quad (2.17)$$

La tension de bruit totale en circuit ouvert est transférée au drain comme un courant de bruit total par la transformation suivante [11] :

$$S_{ID} = \left(S_{VLI} \left[1 + \cosh(AL_{SAT}) \right]^2 + S_{VLI} \right) g_{DS}^2 \quad (2.18)$$

Où g_{DS} est la conductance du canal donnée par l'équation suivante

$$g_{DS} = \frac{I_D}{\left(L_{eff} E_C \sqrt{\left[\frac{A}{E_C} (V_D - V_C) \right]^2 + 1} \right) + n g_m} \quad (2.19)$$

Où g_m est la transconductance.

L'expression finale du courant de bruit de drain est donnée par la relation suivante [11]:

$$S_{ID} = \frac{4k_B T_0}{\alpha I_D} \left(\frac{2}{3} P_{D1} [\cosh(AL_{SAT})]^2 + \frac{\alpha E_C}{A} P_{D2} \right) g_{DS}^2 \quad (2.20)$$

Où les coefficients P_{D1} et P_{D2} représentent les régions I et II.

2.2 Le bruit associé à la grille

Le principe de fonctionnement du transistor MOS et sa structure métal-oxyde-semi conducteur sont toujours soumis à l'étude chaque fois qu'on cherche à réduire ses dimensions.

Les effets qui n'apparaissent pas dans le transistor MOS à canal long se manifestent dans le transistor à canal court. Donc, ils doivent être étudiés et modélisés, car la présence des effets non modélisés engendre des problèmes dans la simulation des applications qui utilisent des transistors MOS de tailles très réduites. L'étude de tels effets requiert une connaissance parfaite du comportement de MOS dans les modes de fonctionnement statique et dynamique.

C'est la raison pour laquelle ce travail est mené pour l'étude du bruit associé à la grille afin de trouver des solutions pour minimiser ce type de bruit dans une application RF.

Le bruit associé à la grille est décomposé en deux catégories : le bruit thermique généré par la résistance de l'électrode de grille, et le bruit de la grille induit dû au couplage capacitif de la grille avec le canal. Ces deux sources de bruit contribuent efficacement à l'amélioration de l'ancien modèle du transistor MOS utilisé dans les applications sensibles aux faibles signaux. Nous allons détailler ce problème avec trois méthodes différentes. Chaque méthode est définie par des équations analytiques qui peuvent être implémentées par la suite.

2.2.1 Le modèle de la résistance effective de grille

La distribution de la charge en basses fréquences dans le canal du composant MOS est supposée dans un état d'équilibre. Cette supposition n'est pas toujours valide dans tout le domaine fréquentiel.

En hautes fréquences, les fluctuations de la charge dans le canal impliquent un changement du comportement dans la nature de l'électrode grille avec le canal et sa résistance distribuée suivant L et W qui sont respectivement la longueur et la largeur du canal.

La figure ci dessous montre la nature distribuée de la résistance de grille et son couplage capacitif à la résistance du canal avec la capacité de l'oxyde de grille [12].

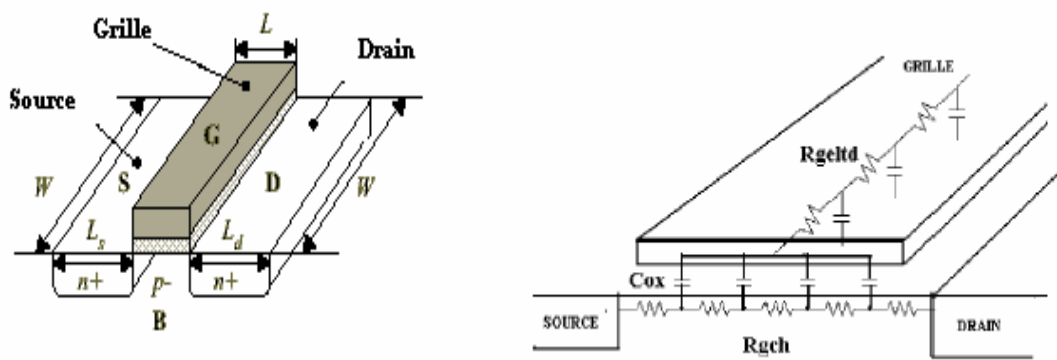


Figure 6 : La nature distribuée du transistor MOS.

La technique utilisée par certains concepteurs pour simuler le comportement d'un MOS en hautes fréquences consiste à l'introduction des composants externes au niveau du schéma équivalent du transistor MOS proposé par ENZ [13]. Selon certains chercheurs, cette méthode est suffisante pour la simulation d'un circuit RF.

La résistance distribuée de la grille est modélisée par une résistance grille R_g en série avec les capacités grille C_{gs} et C_{gd} , sans oublier la résistance du substrat modélisée par les résistances (source_ substrat) R_{sb} , (drain_ substrat) R_{db} , (drain_ source_ substrat) R_{dsb} .

La conséquence principale des résistances additionnelles incluses dans le circuit RF équivalent est la contribution de la résistance grille au bruit du MOS et à la résistance d'entrée finie de l'impédance d'entrée en haute fréquence. Si le transistor est utilisé dans un amplificateur à source commune, le bruit de la résistance grille est directement ajouté au signal d'entrée.

a)-calcul de la résistance grille R_g

La résistance R_g en série avec la grille du MOS modélise le comportement de deux résistances : la résistance d'électrode de grille $R_{g_{elec}}$ et la résistance distribuée du canal vue de la grille $R_{g_{ch}}$. La somme de ces deux résistances représente la résistance effective de la grille du MOS en applications RF [12], [13], [14].

$$R_g = R_{g_{elec}} + R_{g_{ch}} \quad (2.21)$$

a-1)- calcul de la résistance $R_{g_{elec}}$

Cette résistance représente la résistance de la couche du polysilicium le long de l'électrode grille donnée par la figure ci-dessous :

$$R_{g_{elec}} = R_{poly} \left(\alpha \frac{W}{L} + \beta \right) \quad (2.22)$$

Où R_{poly} est la résistance du la feuille du polysilicium, $\alpha = \frac{1}{3}$ lorsque la grille est reliée d'un seul coté, et $\alpha = \frac{1}{12}$ lorsque la grille est reliée des deux contacts, β représente la résistance grille externe minimale qui se trouve à l'extérieur de la zone de diffusion

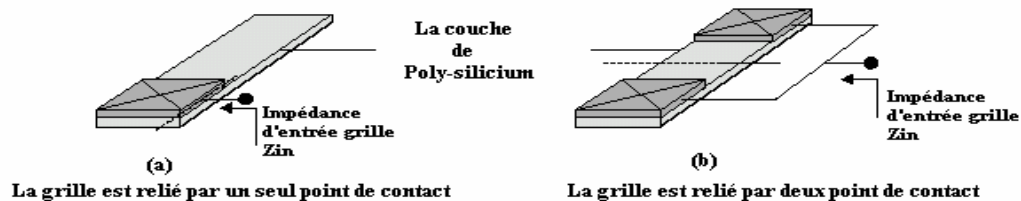


Figure 7 : L'électrode grille représenté par la couche de polysilicium et les points de contact.

a-2)- calcul de la résistance $R_{g_{ch}}$

La couche de charges formant le canal et s'étalant le long de l'électrode grille a une résistance $R_{g_{ch}}$ qui dépend du régime de fonctionnement du transistor MOS et de paramètres W et L , cette résistance est décomposée en deux parties :

1. Une résistance R_{st} qui représente la résistance du canal au point de fonctionnement (régime statique DC) est calculée par l'équation suivante :

$$R_{st} = \int dR = \int \frac{dV}{I_d} \quad (2.23)$$

Où $R_{st} = \frac{V_{ds}}{I_d}$ dans la région linéaire, et $R_{st} = \frac{V_{dsat}}{I_d}$ dans la région de saturation.

2. Une résistance R_{ed} qui dépend du régime de fonctionnement dynamique AC, et qui représente la distribution de la charge dans le canal après une tension d'excitation AC à la grille. Elle est donnée par l'équation suivante :

$$R_{ed} = \frac{1}{\eta} \frac{1}{\frac{kT}{q} \mu C_{ox} \frac{W}{L}} \quad (2.24)$$

Où η est une constante qui dépend de la technologie ($\eta=1$, si elle n'est pas donnée).

La résistance totale du canal vue par la grille est donnée par l'équation suivante :

$$Rg_{ch} = \frac{1}{\gamma} (R_{ed} // R_{st}) \quad (2.25)$$

Où γ représente la nature distribuée de la résistance du canal et de l'oxyde de grille, $\gamma=12$ si la résistance est uniformément distribuée le long du canal. Cependant, en mode de saturation la résistance du canal ne peut pas être supposée uniformément distribuée.

2.2.2 Le modèle classique de Van der Ziel

Le modèle de Van der Ziel [8], [15], [16] représenté par la figure ci-dessous est le premier modèle qui caractérise le bruit induit de la grille pour les transistors à canal court donné par la relation suivante :

$$\frac{\overline{i_{GVdZ}^2}}{\Delta f} = 4kT\delta \frac{\omega^2 C_{gs}^2}{5g_{D0}} \quad (2.26)$$

où $\delta = \frac{4}{3}$ et C_{gs} est la capacitance grille.

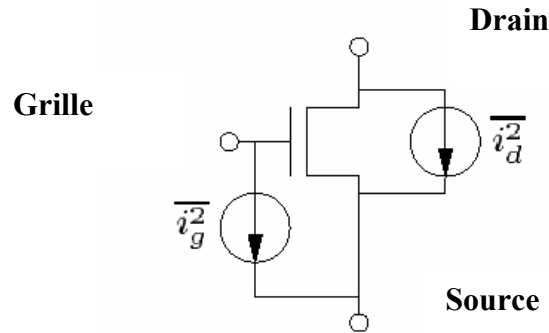


Figure 8 : La source de bruit grille représentée par le modèle de Van der Ziel.

2.2.3 Le modèle de bruit grille développé par TRINTIS et AL

D'après l'étude faite sur le bruit thermique du drain d'un MOS en submicronique, nous constatons l'importance du bruit thermique généré par le canal dominant en hautes fréquences, et génère un autre type de bruit associé à la grille par effet capacitif (couplage entre le canal et l'électrode grille par l'oxyde). Les fluctuations de la charge dans les deux régions du canal donnent naissance à des fluctuations de charges surfaciques au niveau de l'électrode de grille et de l'oxyde. Ces fluctuations se traduisent par un courant de bruit de grille appelé « le bruit induit de la grille ».

Le bruit total associé à la grille est la contribution du bruit de la grille et du bruit dû à la résistivité du matériau utilisé comme électrode de grille.

2.2.3.1 Le bruit induit de grille

Selon l'étude du bruit thermique du drain, à chaque section du canal Δx_0 au point x_0 dans chacune des deux régions, on lui a associé une source de bruit $h(x_0, t)$.

Chaque source produit une tension de bruit $\Delta v(x)$ le long du canal qui donne naissance à une quantité de charge $\Delta q_{ox} = C_{ox}\Delta v(x)$ par couplage capacitif (Canal Oxyde Grille) à l'électrode grille. La quantité de charge induite constitue un courant AC : $\Delta i_g = j\omega\Delta q_{ox}$ qui circule à la sortie de la grille. Le courant total du bruit est la somme des contributions de toutes les sources de bruit $h(x_0, t)$ à chaque point tout au long du canal.

Le bruit induit de grille associé à chaque région est défini séparément pour indiquer l'influence du bruit sur l'application et le choix de la région de fonctionnement du transistor.

Lorsque les électrodes drain source et grille sont reliés à la masse (illustrés dans le schéma de la figure 9), le courant drain et son bruit associé représentés par I_D et $\Delta i_D(t)$ sont exprimés par l'équation de Langevin appliquée dans le cas du transistor [17] :

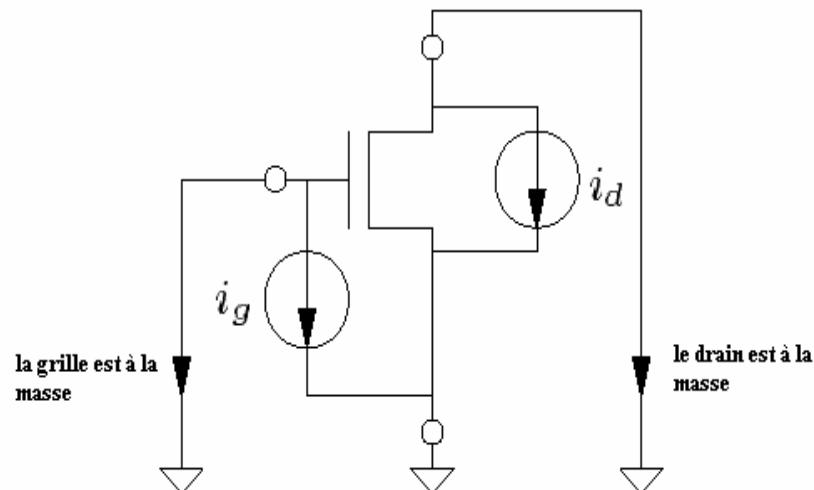


Figure 9 : Application de l'équation de Langevin pour le transistor MOS.

$$I_D + \Delta i_D(t) = g(V) \frac{dV}{dx} + h(x_0, t) \quad (2.27)$$

Où $g(V)$ est la conductance par unité de longueur à une distance x de l'électrode source, et $V = V_x + \Delta v(x, t)$ est la tension le long du canal par rapport à l'électrode source.

Donc, la densité spectrale du courant de bruit induit total de la grille est la somme des contributions des bruits non-corrélés des deux régions I et II. Elle est donnée par l'équation suivante [17] :

$$\frac{\overline{i_G^2}}{\Delta f} = \frac{\omega^2 W^2 C_{OX}^2 kT}{3\alpha^3 I_D^3} \left(\frac{P_{G1} \cosh^2(AL_{SAT})}{2} + \frac{P_{G2} E_C}{A} \right) g_D^2 \quad (2.28)$$

Où P_{g1} et P_{g2} sont les coefficients qui caractérisent la région linéaire et la région de saturation respectivement.

2.2.3.2 Le bruit associé à l'électrode grille

Le bruit associé à l'électrode grille est donné par l'équation suivante :

$$\frac{v_G^2}{\Delta f} = 4kTRg \quad (2.29)$$

2.3 La structure MOS interdigitée

La solution choisie par plusieurs concepteurs lors de la conception des circuits intégrés englobant des applications RF à base de transistors MOS est la topologie interdigitée. Cette topologie a permis de réaliser le compromis envisageable entre la densité d'intégration (le coût) et les performances attendues de ces circuits.

La topologie interdigitée est venue comme un support technique pour l'optimisation des surfaces sur les circuits intégrés lorsqu'on utilise des transistors MOS à canal très large (W), et aussi un support physique pour augmenter les performances du transistor MOS dans les applications RF.

Lorsqu'on applique cette technique sur un transistor MOS qui a un canal de longueur L et de largeur W , nous devons garder la même longueur de canal L afin d'éviter le changement de ses caractéristiques principales. La figure suivante illustre l'application de cette topologie sur le transistor MOS :

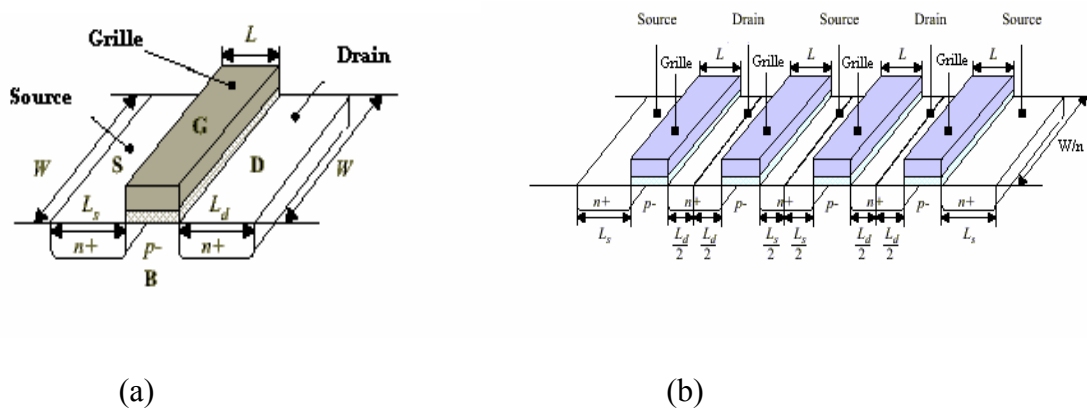


Figure 10 : La topologie interdigitée appliquée sur un transistor MOS à canal de longueur L et de largeur W .

a) Le transistor MOS avant la transformation. b) Le transistor MOS Après la transformation.

D'une manière succincte, les performances apportées par cette topologie appelée aussi la structure interdigitée est la minimisation du bruit issu du transistors MOS.

Les modèles de bruit associé à la grille ont suivi la technique des structures interdigitée pour l'optimisation du bruit et l'incorporation des modèles aux simulateurs afin de pouvoir simuler les différentes structures d'une conception.

2.3.1 Application du modèle de la résistance effective à la structure interdigitée

Pour un transistor MOS de largeur de canal W et de longueur de canal L , on peut le diviser en n transistors parallèles, où chaque transistor a une largeur du canal W/n et une résistance électrode R pour chaque doigt.

La résistance d'électrode de grille $Rg_{ELEC,m}$ (m : multi-doigts) de l'ensemble des doigts est donnée par la relation suivante [13] :

$$Rg_{ELEC, m} = \frac{1}{n} Rpoly\left(\frac{\alpha W}{nL} + \beta\right) \quad (2.30)$$

et la résistance globale du canal vue de chaque grille est [13] :

$$Rg_{ch,m} = \frac{1}{n^2 \gamma} (R_{st} // R_{ed}) \quad (2.31)$$

3. 2.2 Application du modèle de RAZAVI à la structure interdigitée

A propos des propriétés électriques de la structure proposée, on note que le transistor décomposé en n transistor (structure multi doigts) a une résistance grille Rg et une transconductance g_m , par contre les n transistors ont la même g_m/n et une résistance Rg/n pour chaque doigt .Cette décomposition en n doigts n'affecte pas le courant de sortie et l'ensemble des transistors génère le même courant.

En ce qui concerne le bruit thermique, la résistance grille contribue directement au bruit thermique d'entrée. Pour une structure MOS uniformément distribuée, il est possible de trouver une résistance équivalente appelée résistance globale (lumped résistance). Celle-ci peut être placée en série avec l'électrode de la grille, elle est calculée dans la section suivante.

On considère le modèle distribué montré sur la figure 11, où le bruit thermique de chaque résistance est modélisé comme une source de tension en série avec la résistance correspondante. Pour simplifier le calcul, on néglige le bruit du canal, on ne considère que le bruit au niveau de drain qui est du à la résistance grille.

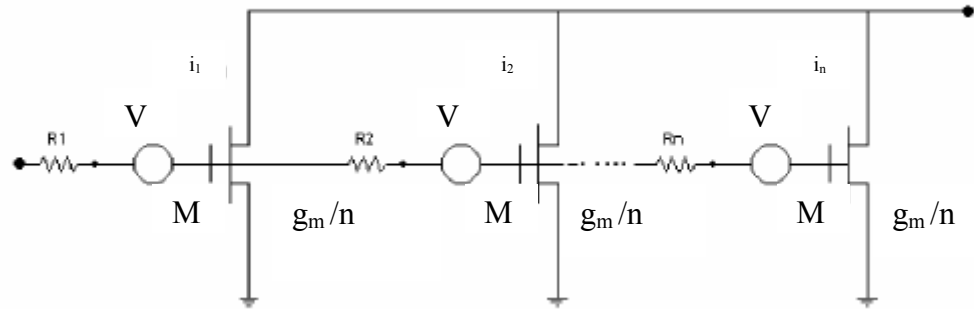


Figure 11 : Modèle distribué d'un Transistor MOS [18].

$$i_1 = g_{m1} V_1 \quad (2.32)$$

$$i_2 = g_{m2} (V_1 + V_2) \quad (2.33)$$

$$i_i = g_{mi} (V_1 + V_2 + \dots + V_i) \quad (2.34)$$

$$i_{tot} = i_1 + i_2 + \dots + i_i = g_{m1} V_1 + g_{m2} (V_1 + V_2) + g_{mn} (V_1 + V_2 + \dots + V_N) \quad (2.35)$$

Puisque $g_{m1} = g_{m2} = \dots = g_{mn} = \frac{g_m}{n}$

$$i_{tot} = \frac{g_m}{n} (nV_1 + (n-1)V_1 + \dots + V_n) \quad (2.36)$$

Supposons que les source $V_1 \dots V_n$ sont non corrélées, la densité spectrale du bruit thermique à la sortie du drain est donnée par :

$$\overline{i_{tot}^2} = \frac{g_m^2}{n^2} \left[n^2 \overline{V_1^2} + (n-1)^2 \overline{V_2^2} + \dots + \overline{V_n^2} \right] \quad (2.37)$$

Puisque $R_1 = R_2 = \dots = \frac{R_g}{n}$

Alors $\overline{V_1^2} = \overline{V_2^2} = \dots = \overline{V_n^2} = 4kT \frac{R_g}{n} \Delta f$

$$\overline{i_{tot}^2} = \frac{g_m^2}{n^2} 4kT \frac{R_g}{n} \Delta f \left[n^2 + (n-1)^2 + \dots + 1 \right] \quad (2.38)$$

$$\overline{i_{tot}^2} = g_m^2 4kTR_g \Delta f \frac{n(n+1)(2n+1)}{6n^3} \quad (2.39)$$

Si le nombre de doigts est important, le bruit à la sortie est donc donné par :

$$\overline{i_{tot}^2} = g_m^2 4kT \frac{R_g}{3} \Delta f \quad (2.40)$$

Par opération inverse, le bruit référé à l'entrée sera donné par l'équation suivante [18], [9] :

$$\overline{V_{tot}^2} = 4kT \frac{R_g}{3} \Delta f \quad (2.41)$$

Où $R_g/3$ représente la résistance globale de la structure interdigitée qui sera en série avec le transistor équivalent représentée sur la figure 12 Le résultat est donc un bruit assez faible avec cette structure.

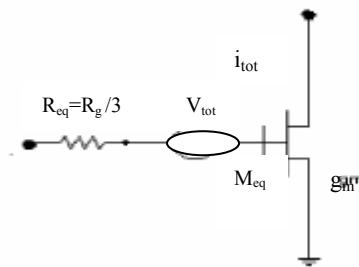


Figure 12 : Transistor MOS équivalent de la structure distribuée.

2.4. La représentation des réseaux à deux ports

Dans la conception des circuits analogiques, il est important de configurer les circuits comme un réseau à deux ports. En général, le bruit de transistors MOS peut être modélisé par un composant actif à deux ports, et certaines sources du bruit de courant ou de tension. La modélisation du bruit se base sur la topologie du modèle petits signaux avec des valeurs appropriées des éléments du modèle qui peuvent exactement prévoir les performances électriques du dispositif. C'est le but de cette section où, on présente leurs propriétés et on discute des paramètres qui sont employés pour caractériser les réseaux à deux ports.

La théorie générale du bruit d'un réseau à deux ports est présentée en premier lieu. Ensuite, les méthodes de calcul des paramètres de bruit, le facteur de bruit minimal (NFmin), la résistance équivalente de bruit (R_n) et l'admittance optimale de source (Y_{opt}) seront évoqués.

En supposant qu'un modèle petits signaux approprié du dispositif soit disponible ainsi que toutes les valeurs des condensateurs, des résistances,...etc ; et des sources de bruit dans le modèle petit signaux soient obtenues ; deux méthodes de calcul pour obtenir les paramètres du bruit d'un réseau à deux ports non bruités peuvent être employées, à savoir [19], [20]:

- l'analyse directe de matrice.
- la simulation du circuit basée sur les modèles compacts.

Dans ce qui suit, nous considérerons des éléments de circuits actifs ou passifs à plusieurs entrées. D'une façon générale, nous considérons les réseaux à deux ports tels que celui montré sur la figure au-dessous, c'est-à-dire des fonctions électriques liant un port d'entrée à un port de sortie.

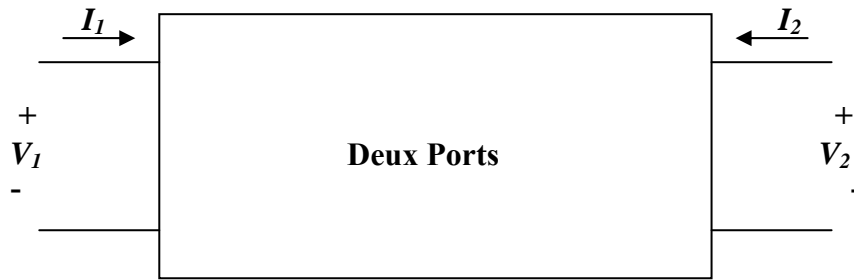


Figure 13 : schéma général du réseau à deux ports.

Une méthode usuelle pour connaître la fonctionnalité d'un réseau à deux ports est de connaître sa matrice de transfert tension courant, la Matrice Impédance, ou celle courant tension, la Matrice Admittance, c'est-à-dire :

$$\begin{bmatrix} V_1 \\ V_2 \end{bmatrix} = \begin{bmatrix} Z_{11} & Z_{12} \\ Z_{21} & Z_{22} \end{bmatrix} \begin{bmatrix} I_1 \\ I_2 \end{bmatrix} \quad \text{Où} \quad \begin{bmatrix} I_1 \\ I_2 \end{bmatrix} = \begin{bmatrix} Y_{11} & Y_{12} \\ Y_{21} & Y_{22} \end{bmatrix} \begin{bmatrix} V_1 \\ V_2 \end{bmatrix} \quad (2.42)$$

La connaissance de l'une de ces deux matrices définit totalement la fonction, pour un réseau à deux ports. Il subsiste toutefois un problème de taille: comment mesurer les paramètres qui interviennent dans ces matrices ?

Si l'on remarque que l'on a

$$\begin{aligned} Z_{11} &= \frac{V_1}{I_1} & Y_{11} &= \frac{I_1}{V_1} \\ Z_{12} &= \frac{V_1}{I_2} & Y_{12} &= \frac{I_1}{V_2} \\ Z_{21} &= \frac{V_2}{I_1} & Y_{21} &= \frac{I_2}{V_1} \\ Z_{22} &= \frac{V_2}{I_2} & Y_{22} &= \frac{I_2}{V_2} \end{aligned} \quad (2.43)$$

Ce qui se lit par exemple Z_{11} égal le rapport de V_1 sur I_1 lorsque I_2 est nul, on en déduit aisément une procédure de mesure mettant en jeu successivement des mesures en circuits ouverts pour la matrice impédance $[Z]$; respectivement en court-circuit pour la matrice

admittance $[Y]$ afin d'en déduire les éléments. Ceci pose toutefois le problème essentiel de la disponibilité d'un bon Circuit Ouvert dans le cas de la matrice $[Z]$, et d'un bon Court Circuit dans le cas de la matrice $[Y]$ afin de réaliser les conditions d'annulation de courant et ou de tension. Or, au-dessus d'environ 100 MHz [21], la condition de circuit ouvert ou de court-circuit est difficile, voire impossible à réaliser à cause des capacités et des inductances parasites. En plus, la mise en court-circuit ou en circuit ouvert de réseaux possédant un gain conduit souvent à une oscillation. On peut, donc, affirmer que les matrices $[Z]$ et $[Y]$ sont inadaptées aux radiofréquences. En conséquence, nous sommes amenés à définir une nouvelle matrice, la matrice $[S]$ qui aura l'avantage d'être mesurable sur entrée et sortie adaptées, usuellement 50Ω , ce qui résoudra tous ces problèmes.

2.5 Les paramètres des répartitions

La matrice $[S]$, matrice de répartition ou « scattering matrix » [22], est l'outil de base pour l'étude des réseaux à deux ports en radiofréquence. Les paramètres S , comme nous les verrons, ont un lien direct entre les transferts de puissance entrée/sortie d'un réseau et la puissance est le paramètre (quantité) le plus facile à mesurer en RF. L'intérêt pratique est donc considérable puisque c'est aussi presque exclusivement des optimisations de transfert de puissance qui sont recherchés dans les systèmes radiofréquences.

Au lieu de compter sur des ports ouverts ou court circuités, les paramètres S ont l'avantage d'être mesurés en assortissant les impédances de source et de charge à l'impédance caractéristique ; le diagramme qui représente les paramètres S d'un réseau à deux ports est montré sur la figure 14.



Figure 14 : Représentation du diagramme de paramètres $[S]$ d'un réseau à deux ports.

L'idée fondamentale de cette représentation est de mesurer les ondes normalisées a_i de la tension incidente entrante le système au port i , comme la correspondance de tension

réfléchi b_i laissant le port i . Les tensions incidentes et réfléchies normalisées, a_i et b_i sont liées à des tensions et des courants de port i par les équations suivantes:

$$a_i = \frac{V_i + Z_0 I_i}{2\sqrt{Z_0}} \quad (2.44)$$

$$b_i = \frac{V_i - Z_0 I_i}{2\sqrt{Z_0}} \quad (2.45)$$

Où, Z_0 est l'impédance caractéristique, généralement égale à 50Ω . Pour le réseau représenté sur la figure 14 les contributions des deux ports peuvent être combinées pour former l'équation (2.47) sous la forme suivante :

$$\begin{bmatrix} b_1 \\ b_2 \end{bmatrix} = \begin{bmatrix} S_{11} & S_{12} \\ S_{21} & S_{22} \end{bmatrix} \begin{bmatrix} a_1 \\ a_2 \end{bmatrix} \quad (2.46)$$

Où, S_{11} , S_{12} , S_{21} et S_{22} sont les paramètres de répartition mesurés à travers les ports 1 et 2. Les équations suivantes peuvent être écrites:

$$S_{11} = \frac{b_1}{a_1} \quad S_{12} = \frac{b_1}{a_2} \quad (2.47)$$

$$S_{21} = \frac{b_2}{a_1} \quad S_{22} = \frac{b_2}{a_2}$$

Si $a_2 = 0$, ce qui signifie que la sortie du réseau est adaptée, alors $S_{11} = b_1/a_1$ est le coefficient de réflexion vu à l'entrée et $S_{21} = b_2/a_1$ est le coefficient de transmission de l'entrée à la sortie. De même, si $a_1 = 0$, ce qui signifie que l'entrée du réseau est adaptée, alors $S_{22} = b_2/a_2$ est le coefficient de réflexion vu à la sortie et $S_{12} = b_1/a_2$ est le coefficient de transmission de la sortie vers l'entrée.

2.6 La matrice de corrélation du bruit

Pour exprimer la théorie de bruit à deux ports bruyants en fonction de deux ports non bruyants, correspondants aux deux sources de bruit I_n et V_n [23] comme illustré dans la figure 15, les trois représentations suivantes sont, particulièrement, utiles [24] [25]:

- 1) admittance parallèle.
- 2) impédance série.
- 3) ABCD pour une configuration cascade.

Mathématiquement, chaque représentation définit les sources de bruit en fonction de la matrice de corrélation, notée C . Les éléments de ces matrices sont représentés par les densités spectrales C_{s_1, s_2^*} qui sont définies comme une transformation de Fourier de leurs fonctions d'auto corrélation ; les indices s_1 et s_2 correspondent aux sources de bruit.

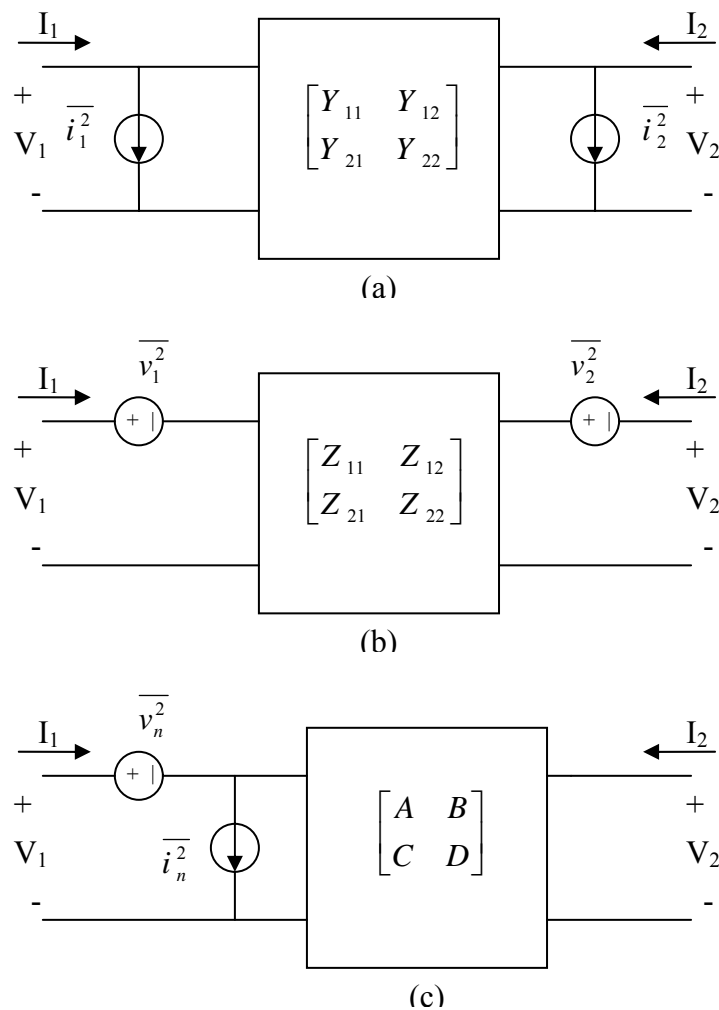


Figure 15 : circuit équivalent à deux ports non bruyants : (a) représentation d'admittance (b) représentation d'impédance (c) représentation ABCD.

Les sources de bruit sont caractérisées par leurs fluctuations moyennes, celles-ci sont liées à la densité spectrale de puissance donnée par:

$$\overline{s_i s_j^*} = 2 \Delta f C_{s_i s_j^*} \quad i, j = 1, 2 \quad (2.48)$$

Le facteur 2 est dû au fait que la gamme de fréquence a été prise de $-\infty$ à $+\infty$

2.6.1. La représentation d'admittance

Cette représentation est utile lorsque les deux réseaux Y_1 et Y_2 sont reliés en parallèle

$$C = C_{y_1} + C_{y_2} \quad (2.49)$$

$$C_y = \begin{bmatrix} C_{i_1 i_1^*} & C_{i_1 i_2^*} \\ C_{i_2 i_1^*} & C_{i_2 i_2^*} \end{bmatrix} \quad (2.50)$$

$$C_y = 2KTR[Y] \quad (2.51)$$

Où $R[Y]$ est la partie réelle d'un nombre complexe, C_y est la matrice de corrélation de la représentation d'admittance dans laquelle les individus $C_{i_n i_n^*}$ sont les densités spectrales de puissance des sources de bruit de courant d'entrée et de sortie, illustré dans la figure 15(a).

2.6.2 La représentation d'impédance

Cette représentation est utile lorsque les deux réseaux Z_1 et Z_2 sont reliés en série.

$$C_z = C_{z1} + C_{z2} \quad (2.52)$$

$$C_z = \begin{bmatrix} C_{v_1 v_1^*} & C_{v_1 v_2^*} \\ C_{v_2 v_1^*} & C_{v_2 v_2^*} \end{bmatrix} \quad (2.53)$$

$$C_z = 2KT R[Z] \quad (2.54)$$

C_z est la matrice de corrélation de la représentation d'impédance, dans laquelle les individus $C_{v_m v_n^*}$ sont les densités spectrales de puissance des sources de bruit de tensions d'entrée et de sortie, illustré dans la figure 15(b).

2.6.3. La représentation ABCD

Cette représentation est utile quand les deux réseaux A_1 et A_2 sont reliés en cascade.

$$C_A = A_1 C_{A_2} A_1^+ + C_{A_1} \quad (2.55)$$

$$C_A = \begin{bmatrix} C_{v_n v_n^*} & C_{v_n i_n^*} \\ C_{i_n v_n^*} & C_{i_n i_n^*} \end{bmatrix} \quad (2.56)$$

$$C_A = 2KT \begin{bmatrix} R_n & \frac{F_{\min} - 1}{2} - R_n Y_{opt}^* \\ \frac{F_{\min} - 1}{2} - R_n Y_{opt} & R_n |Y_{opt}|^2 \end{bmatrix} \quad (2.57)$$

Où C_A est la matrice de corrélation de la représentation ABCD, dans laquelle les individus $C_{v_n i_n^*}$ sont les densités spectrales de puissance des sources de bruit référées à l'entrée, illustrées dans la figure 15 (c).

Cette représentation est particulièrement utile puisque la matrice de corrélation peut être directement obtenue à partir des caractéristiques mesurées de bruit, même dans les cas où la matrice de corrélation ne peut pas être dérivée de la théorie. Cette représentation est plus simple que les précédentes puisque les sources de bruit sont situées au port d'entrée. Ainsi, elles sont totalement séparées du gain.

2.6.4 Transformation en une autre représentation

Toute représentation peut être transférée en une autre représentation par la matrice de transformation.

$$C' = T C T^+ \quad (2.58)$$

Où C est la matrice de corrélation originale de bruit, C' représente la matrice résultante de la transformation, T est la matrice de transformation donnée dans le Tableau 1, et T^+ est le transposé conjugué de T .

		<u>Représentation Originale</u>		
		Admittance	Impédance	ABCD
Représentation de résultat	Admittance	$\begin{bmatrix} 1 & 0 \\ 0 & 1 \end{bmatrix}$	$\begin{bmatrix} y_{11} & y_{12} \\ y_{21} & y_{22} \end{bmatrix}$	$\begin{bmatrix} -y_{11} & 1 \\ -y_{21} & 0 \end{bmatrix}$
	Impédance	$\begin{bmatrix} z_{11} & z_{12} \\ z_{21} & z_{22} \end{bmatrix}$	$\begin{bmatrix} 1 & 0 \\ 0 & 1 \end{bmatrix}$	$\begin{bmatrix} 1 & -z_{11} \\ 0 & -z_{21} \end{bmatrix}$
	ABCD	$\begin{bmatrix} 0 & a_{12} \\ 1 & a_{22} \end{bmatrix}$	$\begin{bmatrix} 1 & -a_{11} \\ 0 & -a_{21} \end{bmatrix}$	$\begin{bmatrix} 1 & 0 \\ 0 & 1 \end{bmatrix}$

Tableau 2: les différentes matrices de transformation.

2.7 Le facteur de bruit

Une mesure importante des performances d'un système est un paramètre connu sous le nom de facteur de bruit (NF) [23]. Ce paramètre qui a été défini par Friis [26] en

1940 comme étant le quotient du rapport signal/bruit à l'entrée par le rapport signal/bruit à la sortie devient de plus en plus utilisé pour caractériser les systèmes. Il est défini comme suit :

$$F = \frac{(S/N)_{int}}{(S/N)_{out}} \quad (2.59)$$

2.8 Les paramètres du bruit

Le facteur de bruit d'un système n'est pas uniquement déterminé par l'admittance de sources de bruit à l'intérieur d'un système mais aussi par l'admittance de source conduisant le système. Les performances de bruit d'un système linéaire montrent typiquement une dépendance parabolique à l'égard de source admittance à une fréquence. Un tel comportement peut être complètement caractérisé par les paramètres de bruit F_{min} - R_n - Y_{opt} [27], [28].

$$F = F_{min} + \frac{|Y_s - Y_{opt}|^2 R_n}{G_s} \quad (2.60)$$

$$F = F_{min} + \frac{4R_n}{Z_0} \frac{|\Gamma_{opt} - \Gamma_s|^2}{|1 + \Gamma_{opt}|^2 (1 - |\Gamma_s|^2)} \quad (2.61)$$

$$\Gamma_{opt} = \frac{1 - Z_0 Y_{opt}}{1 + Z_0 Y_{opt}} \quad (2.62)$$

Où Y_s est l'admittance de source, Z_0 est l'impédance caractéristique (généralement 50Ω), F_{min} est le facteur de bruit minimal que le réseau peut réaliser avec l'état optimal de la source admittance ($Y_s = Y_{opt} = G_{opt} + jB_{opt}$), et R_n est la résistance de bruit déterminant la sensibilité du facteur de bruit quand Y_s diffère de Y_{opt} [28]. Cette

représentation est largement répandue dans la conception des circuits RF puisqu'elle offre une manière plus intuitive de traiter les propriétés de bruit.

Ces quatre paramètres de bruits sont déterminés par les sources de bruit intrinsèques pour un système donné. Donc; ils sont équivalents aux sources de bruit intrinsèques. Il est important de noter que l'admittance optimale de source Y_{opt} est, généralement, différente de l'état conjugué Y_{conj} ; Ainsi ces deux conditions permettent de réaliser un bon facteur de bruit afin d'abaisser NF_{min} , et minimiser R_n , et d'avoir des valeurs approchées entre Y_s et Y_{opt} .

2.9 Le coefficient de corrélation

Généralement, les sources de bruit sont supposées indépendantes (non corrélées). Par contre, le couplage entre le canal et la grille est à l'origine de toute dépendance entre le bruit de la grille et le bruit thermique du canal. Cette dépendance est aussi traduite par une corrélation partielle entre le courant grille et le courant drain donnée par la coefficient de corrélation suivant [29], [30] :

$$c = \frac{\overline{i_g i_d^*}}{\sqrt{\overline{i_g^2} \overline{i_d^2}}} \quad (2.63)$$

2.10 Calcul des quatre paramètres de bruit d'un réseau à deux ports

A partir d'un réseau à deux ports et les informations de source de bruit, et du coefficient de corrélation, nous pouvons évaluer les paramètres de bruit, en transformant le réseau à deux ports bruyant à un réseau non bruyant avec une source de courant de bruit et une source de tension de bruit du côté entrée du réseau à deux ports (la représentation ABCD) de sorte que ces deux sources de bruit sont habituellement partiellement corrélées l'une avec l'autre.

Quand le réseau non bruyant est relié à une source de bruit $\overline{i_s^2}$ comme illustré dans la figure 16, d'après (2.59). Le facteur de bruit du réseau est dérivé en fonction de $R_n - G_u - G_c - B_c$.

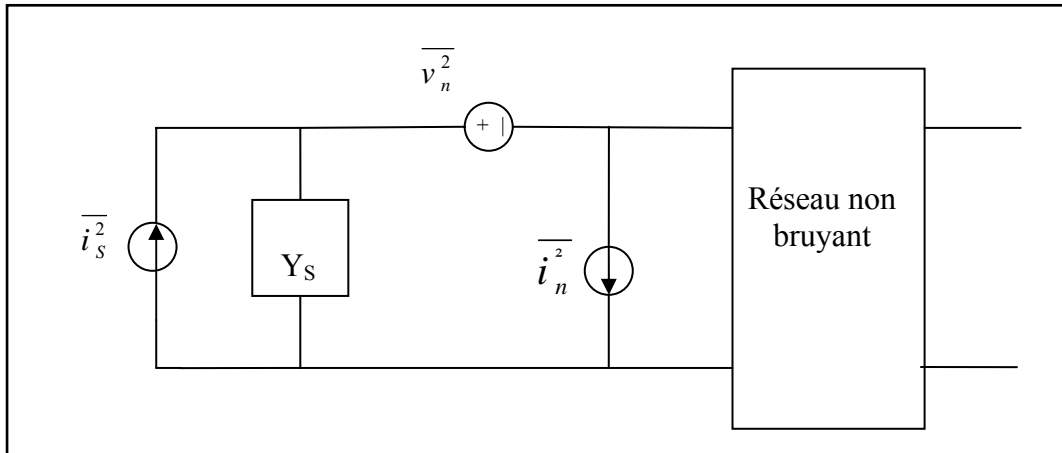


Figure 16 : Le schéma équivalent pour calculer le facteur de bruit.

Si on considère qu'à l'entrée du réseau est connecté un générateur bruyant d'admittance interne $Y_s = G_s + jB_s$ et de courant de court-circuit I_s , alors le facteur de bruit peut être calculé comme étant le rapport entre la somme de tous les courants de bruit présents en parallèle à l'entrée et le courant de bruit disponible du générateur I_s [31].

$$F = \frac{\overline{I_s^2} + \overline{|I_n + Y_s v_n|^2}}{\overline{I_s^2}} \quad (2.64)$$

$$= \frac{\overline{I_s^2} + \overline{|(I_c + I_u) + Y_s v_n|^2}}{\overline{I_s^2}} \quad (2.65)$$

$$= \frac{\overline{I_s^2} + \overline{|(Y_c v_n + I_u) + Y_s v_n|^2}}{\overline{I_s^2}} \quad (2.66)$$

$$= \frac{\overline{I_s^2} + \overline{|I_u + (Y_c + Y_s) v_n|^2}}{\overline{I_s^2}} \quad (2.67)$$

$$= 1 + \frac{\overline{I_u^2} + |Y_c + Y_s|^2 \overline{v_n^2}}{\overline{I_s^2}} \quad (2.68)$$

$$= 1 + \frac{\overline{I_u^2} + [(G_c + G_s)^2 + (B_c + B_s)^2] \overline{v_n^2}}{\overline{I_s^2}} \quad (2.69)$$

$$= 1 + \frac{G_u + [(G_c + G_s)^2 + (B_c + B_s)^2] R_n}{G_s} \quad (2.70)$$

$$\overline{I_s^2} = 4 K T \Delta f G_s \quad (2.71)$$

$$\overline{I_u^2} = 4 K T \Delta f G_u \quad (2.72)$$

$$\overline{v_n^2} = 4 K T \Delta f R_n \quad (2.73)$$

Où I_n décomposé en deux termes I_c corrélée avec v_n , et I_u non corrélée avec v_n , et Y_c l'admittance de corrélation. Puisque l'expression du facteur de bruit est dérivée en fonction de (Y_s), en dérivant l'équation (2.70), on obtient la condition pour laquelle le facteur de bruit est minimal.

$$\frac{\partial F}{\partial G_s} = \frac{-G_u - [G_c^2 - G_s^2 + (B_c + B_s)^2] R_n}{G_s^2} \quad (2.74)$$

$$\frac{\partial F}{\partial B_s} = \frac{2(B_c + B_s) R_n}{G_s} \quad (2.75)$$

Les équations (2.74) et (2.75) tendent vers zéro. Donc, on peut déterminer les deux grandeurs suivantes :

$$G_{opt} = \sqrt{\frac{G_u}{R_n} + G_c^2} \quad (2.76)$$

$$B_{opt} = -B_c \quad (2.77)$$

En sachant que G_{opt} est la conductance optimale, B_{opt} est la susceptance optimale, nous introduisons les deux nouvelles quantités et nous éliminons G_u de l'équation (2.71) qui devient comme suit :

$$F = 1 + \frac{(G_{opt}^2 - G_c^2) R_n}{G_s} + \frac{[(G_c + G_{opt}) + (G_s - G_{opt})]^2 R_n}{G_s} + \frac{[(B_c + B_{opt}) + (B_c - B_{opt})]^2 R_n}{G_s} \quad (2.78)$$

D'après la relation (2.76) $B_c + B_{opt} = 0$, l'équation (2.78) est réarrangée à une autre représentation donnée par :

$$F=1+2R_n(G_{opt}+G_s)+\frac{[(G_s-G_{opt})^2+(B_c-B_{opt})^2]R_n}{G_s} \quad (2.79)$$

$$F=F_{\min}+\frac{|Y_s-Y_{opt}|^2 R_n}{G_s} \quad (2.80)$$

Où $F_{\min}=1+2R_n(G_{opt}+G_s) \quad (2.81)$

Le dernier paramètre de bruit est la résistance de bruit équivalente définie comme suit :

$$R_n = \frac{e_n^2}{4 K T \Delta f} \quad (2.82)$$

2.11 Calcul des paramètres de bruit d'un transistor MOS

La possibilité de calculer les quatre paramètres du bruit (NFmin), (Rn), la conductance optimal (G_{opt}) et la susceptance optimale (B_{opt}) des transistors MOS en se basant sur n'importe quel modèle sophistiqué de circuit équivalent qui peut exactement prévoir les performances des dispositifs en régime RF est la base de modélisation du bruit en RF. Cette section décrit les méthodes de calcul et d'analyse directe de matrice de circuit.

2.11.1 L'analyse directe de matrice

L'avantage de l'analyse directe de matrice est qu'elle nous permet de caractériser facilement les sources de bruit dans le modèle si quelconque corrélation existe entre les sources de bruit. Cette analyse peut servir d'outil pour développer les modèles appropriés de bruit et pour vérifier leur exécution dans les modèles compacts d'un simulateur de circuit. Dans cette section, la théorie de calcul des paramètres de bruit des transistors MOS est présentée.

Le calcul direct des paramètres de bruit emploie une opération de matrice basée sur la théorie du réseau à deux ports bruyant mentionnée ci-dessus. La figure17 présente le modèle RF du bruit d'un transistor MOS intrinsèque qui convient aux applications en radiofréquence.

Afin d'exécuter le calcul de matrice de réseau à deux ports bruyant montré en figure 17, nous transformons notre modèle bruyant de circuit selon le modèle montré sur la figure18.

D'après le modèle, nous écrivons les équations de nœuds correspondant à chaque nœud sous la forme de la matrice suivante [19] [32].

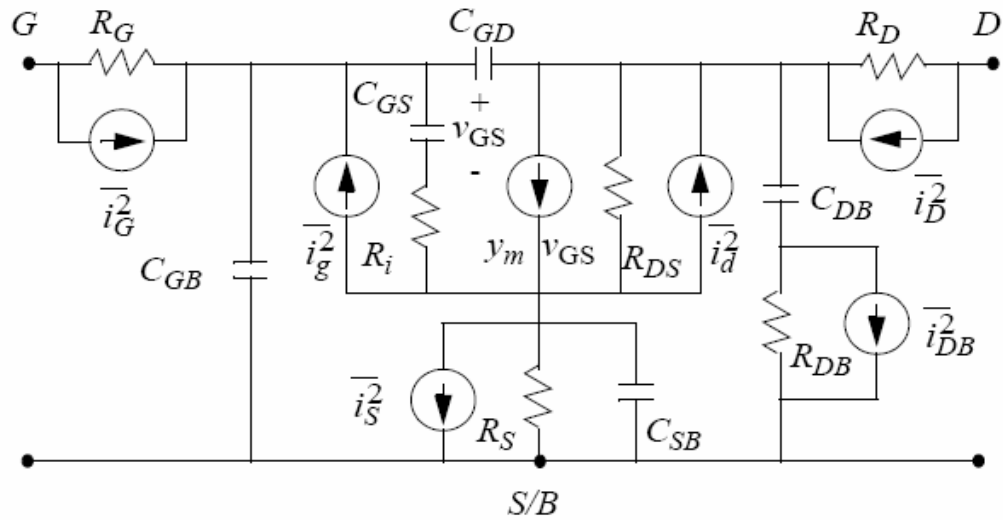


Figure 17: Le Modèle RF de bruit de transistor MOS intrinsèque pour les applications en radiofréquence.

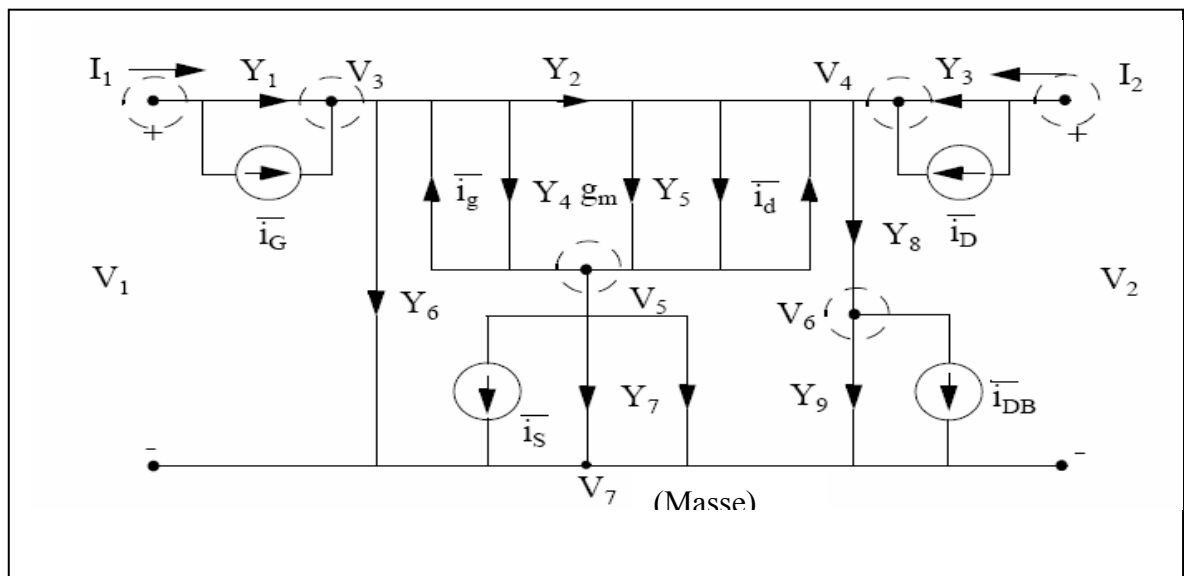


Figure 18: le modèle de bruit équivalent.

$$\begin{bmatrix} Y_1 & 0 & -Y_1 & 0 & 0 & 0 \\ 0 & Y_3 & 0 & -Y_3 & 0 & 0 \\ -Y_1 & 0 & Y_1+Y_2+Y_4+Y_6 & -Y_2 & -Y_4 & 0 \\ 0 & -Y_3 & g_m-Y_2 & Y_2+Y_3+Y_5+Y_8 & -g_m-Y_5 & -Y_8 \\ 0 & 0 & -g_m-Y_4 & -Y_5 & g_m+Y_4+Y_5+Y_7 & 0 \\ 0 & 0 & 0 & -Y_8 & 0 & Y_8+Y_9 \end{bmatrix} \begin{bmatrix} V_1 \\ V_2 \\ V_3 \\ V_4 \\ V_5 \\ V_6 \end{bmatrix} + \begin{bmatrix} 0 & 0 & 1 & 0 & 0 & 0 \\ 0 & 0 & 0 & 0 & 1 & 0 \\ -1 & 0 & -1 & 0 & 0 & 0 \\ 0 & -1 & 0 & 0 & -1 & 0 \\ 1 & 1 & 0 & 1 & 0 & 0 \\ 0 & 0 & 0 & 0 & 0 & 1 \end{bmatrix} \begin{bmatrix} i_g \\ i_d \\ i_G \\ i_s \\ i_D \\ i_{DB} \end{bmatrix} = \begin{bmatrix} I_1 \\ I_2 \\ 0 \\ 0 \\ 0 \\ 0 \end{bmatrix}$$

$[Y]_{6 \times 6} \quad [V] \quad [A]_{6 \times 6} \quad (2.83)$

$$Y_1=1/R_G ; Y_2=sC_{GD} ; Y_3=1/R_D ; Y_4=1/(1/sC_{GS}+R_i) ; Y_5=1/R_{RS} ; Y_6=sC_{GB} ; \\
Y_7=sC_{BS}+1/R_s ; Y_8=sC_{DB} ; Y_9=1/R_{DB} ; s=j\omega .$$

ω Est la fréquence angulaire.

Une fois que les équations de matrice sont formulées, le réseau est réduit par élimination nœud par nœud, en commençant par les nœuds 6, 5, 4, et 3 respectivement, laissant seulement les nœuds d'entrée et de sortie 1 et 2.

Premièrement, nous éliminons le nœud 6, chaque élément de Y et de A ne figurant pas dans la ligne 6 sera transformé selon les formules suivantes :

$$Y'_{ij} = Y_{ij} - \frac{Y_{6j} \times Y_{i6}}{Y_{66}} \quad (2.84)$$

$$A'_{ij} = A_{ij} - \frac{A_{6j} \times Y_{i6}}{Y_{66}} \quad (2.85)$$

La première étape supprime la sixième ligne et la colonne de la matrice Y, de la même manière pour la matrice A en éliminant la sixième ligne mais en gardant la sixième colonne.

Cette procédure est suivie (répétée) jusqu'aux nœuds d'entrée et de sortie 1 et 2 respectivement. Alors, la matrice [Y] est actuellement 2×2 , et la matrice [A] est 2×6 . Nous définissons les matrices B et D de la matrice de corrélation de notre modèle [20] [33] comme suit:

$$\begin{bmatrix} B \\ D \end{bmatrix} = [A] \quad (2.86)$$

$$C = \begin{bmatrix} \overline{i_g i_g^*} & \overline{i_g i_d^*} & 0 & 0 & 0 & 0 \\ \overline{i_d i_g^*} & \overline{i_d i_d^*} & 0 & 0 & 0 & 0 \\ 0 & 0 & \overline{i_G i_G^*} & 0 & 0 & 0 \\ 0 & 0 & 0 & \overline{i_S i_S^*} & 0 & 0 \\ 0 & 0 & 0 & 0 & \overline{i_D i_D^*} & 0 \\ 0 & 0 & 0 & 0 & 0 & \overline{i_{DB} i_{DB}^*} \end{bmatrix} \quad (2.87)$$

A partir des équations suivantes, nous calculons les quatre paramètres de bruit du transistor MOS:

$$R_n = R_u \quad (2.88)$$

$$G_{opt} = \sqrt{\frac{G_i}{R_n} - B_{cor}^2} \quad (2.89)$$

$$B_{opt} = -B_{cor} \quad (2.90)$$

$$NF_{min} = 1 + 2R_n(G_{cor} + G_{opt}) \quad (2.91)$$

$$R_u = \frac{1}{4kT\Delta f} R_e \left\{ \frac{1}{|Y_{21}|^2} \times [D]^* \times [C] \times [D]^T \right\} \quad (2.92)$$

$$G_i = \frac{1}{4kT\Delta f} R_e \left\{ \left([B] - \frac{Y_{11}}{Y_{21}} \times [D] \right)^* \times [C] \times \left([B] - \frac{Y_{11}}{Y_{21}} \times [D] \right)^T \right\} \quad (2.93)$$

$$Y_{cor} = G_{cor} + jB_{cor} \quad (2.94)$$

$$Y_{cor} = \frac{-1}{4kT\Delta f R_n Y_{21}^*} \left\{ [D]^* \times [C] \times \left([B] - \frac{Y_{11}}{Y_{21}} \times [D] \right)^T \right\} \quad (2.95)$$

2.12 Conclusion

Dans ce chapitre, nous avons présenté la base théorique qui permet d'étudier le phénomène de bruit en radiofréquence. En autre terme, les nouveaux modèles utilisés en radiofréquence sont illustrés ainsi que les différents paramètres auxquels nous nous référons lors du calcul ou la simulation, et plus précisément, les paramètres qui caractérisent les trois modèles du bruit associé à la grille. De plus, nous avons vu également la méthode utilisée actuellement afin de minimiser le bruit, et nous avons présenté la méthode de calcul des quatre paramètres caractéristiques de bruit du transistor MOS à partir de la théorie de deux ports.

CHAPITRE 3

IMPLEMENTATION ET RESULTATS DE SIMULATION

Dans ce chapitre, nous adaptons le modèle de transistor MOS submicronique profond en régime radiofréquence. Pour cela, cette phase a été partagée en plusieurs étapes. Nous commençons d'abord par la simulation en régime statique qui permettra de déterminer les paramètres utilisés dans l'analyse du comportement du bruit, nous utilisons le simulateur (ELDO RF). Ensuite, nous déterminons les quatre paramètres de bruit à partir des modèles choisis (ENZ et RAZAVI), et nous étudions les différents effets des facteurs qui influent sur ces derniers.

L'objectif de cette étude est de minimiser la source de bruit généré par la distribution de la résistance de grille d'un transistor MOS submicronique profond présentant des tailles très réduites et sur lequel on varie les dimensions et les tensions de polarisation.

Le schéma suivant montre la méthodologie (le plan) de travail :

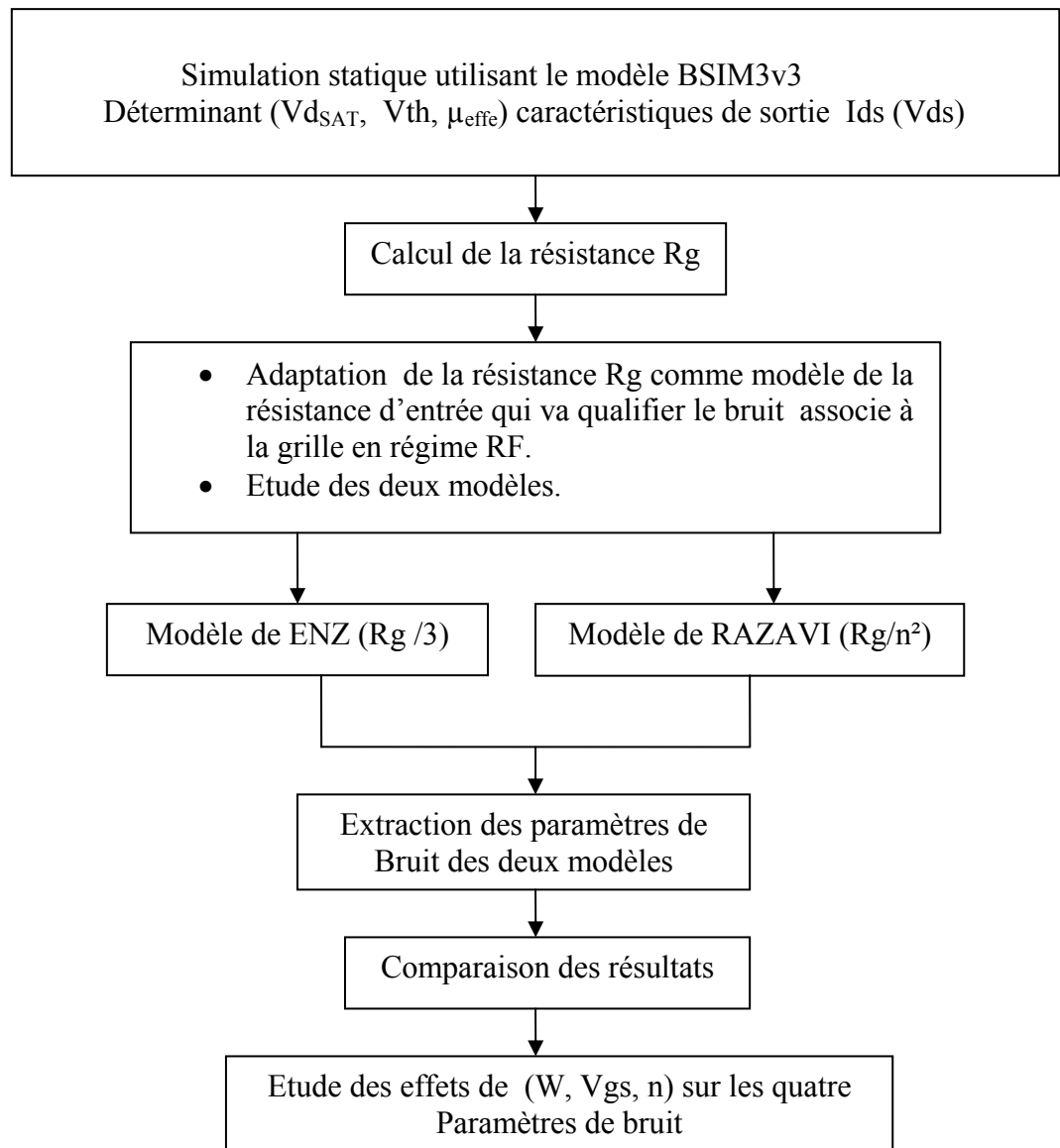


Figure 19 : Organigramme de simulation.

3.1 Les modèles du transistor MOS

Le fonctionnement du transistor MOS est actuellement décrit par des modèles de plus en plus complexes qui sont intégrés dans les simulateurs électriques commerciaux comme ELDO qui constitue une référence pour les fabricants des circuits. L'université de Berkely a développée le modèle BSIM actuellement proposé dans la version BSIM3V3. Ce modèle est devenu un standard pour les industriels, et a remplacé le modèle (Level2) utilisé précédemment.

Les modèles disponibles pour les transistors sont des modèles analogiques basse fréquence correspondant au modèle BSIM3V3. Ce modèle est basé sur des équations physiques et empiriques et son adaptation aux évolutions technologiques. Il offre en plus une continuité

permanente dans la description du courant de drain notamment au passage de la zone linéaire à la zone saturée du transistor. Mais, l'inconvénient de ce modèle est que pour des applications radiofréquence la résistance de grille et les pertes résistives dans le substrat ne sont pas prises en compte.

Il existe depuis peu un nouveau modèle, le modèle BSIM4, qui prend en compte ces effets et qui lui vaut le qualificatif de modèle radiofréquence. Les différences entre les modèles BSIM3V3 et BSIM4 sont illustrées sur la figure 20 sur laquelle nous pouvons remarquer l'ajout de la résistance de grille et du réseau de résistance modélisant les pertes résistives dans le substrat, mais ce dernier modèle n'est pas disponible au niveau de la division de microélectronique au CDTA, pour cette raison on va utiliser le simulateur ELDO et ELDO RF de Mentor Graphics [34].

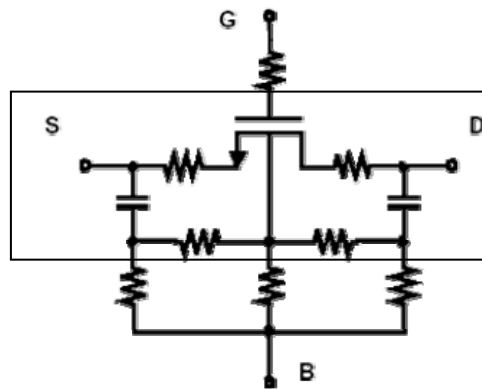


Figure 20 : Modèle complet BSIM4, encadré BSIM3V3.

3. 2 Le modèle ELDO RF

Mentor Graphics a décidé de développer en interne un simulateur dédié aux besoins spécifiques des circuits RF. En effet, les concepteurs en radiofréquence sont intéressés par des données dans le domaine fréquentiel : paramètres S, gain en puissance, mesures de bruitOr dans certain cas, il faut simuler des fonctions non linéaires qui génèrent des harmoniques comme dans les amplificateurs de puissance, les mélangeurs, les oscillateurs...etc. Pour ce faire, on fait appel à une technique de simulation indispensable, appelée Harmonic balance.

Mentor a donc développé un simulateur travaillant dans le domaine fréquentiel, ELDO RF, qui utilise un algorithme de type Harmonic balance.

ELDO RF est une forme d'un ensemble de fonctions d'analyse manipulées dans le domaine fréquentiel. Ces fonctions d'analyse renferment plusieurs types d'analyse, parmi ces types le mode: « analyse de l'état stable» ou en anglais: « Steady state analysis » (SST) qui inclut les différentes opérations appliquées dans le régime dynamique (SSTAC), le régime statique (SSTDC) et le régime transitoire (SSTTRAN), ainsi que le mode « Analyse équilibré de bruit » (SST Noise).

Par ailleurs, le modèle ELDO RF peut simuler les circuits comme un réseau à deux ports dans le domaine fréquentiel comme dans le domaine temporel et permet d'extraire les paramètres suivant: le gain, le facteur de stabilité, les paramètres de bruit, cercle de bruit,etc.

Concernant notre travail, nous nous intéressons au mode «Steady State Analysis Noise » (SST Noise), par lequel, sont déterminés la densité spectrale de bruit et les quatre paramètres de bruit de notre transistor submicronique profond petits signaux en régime RF.

3.3 Simulation de bruit du transistor MOS petits signaux en régime RF

La simulation du bruit de transistor MOS peut jouer un rôle important dans la réalisation et la conception optimale des circuits RF en fournissant la métrique des performances de bruit des dispositifs. Le modèle radiofréquence du transistor MOS petits signaux submicronique profond caractérisé par sa source de bruit associée à la résistance de grille a été implanté dans le simulateur (ELDO RF) et modélisé comme un réseau à deux ports. La figure suivante (21) montre le schéma équivalent d'un réseau à deux ports bruyants converti à un réseau à deux ports non bruyant avec deux sources de bruit de tension et de courant situé à l'entrée du réseau (configuration ABCD cascade)

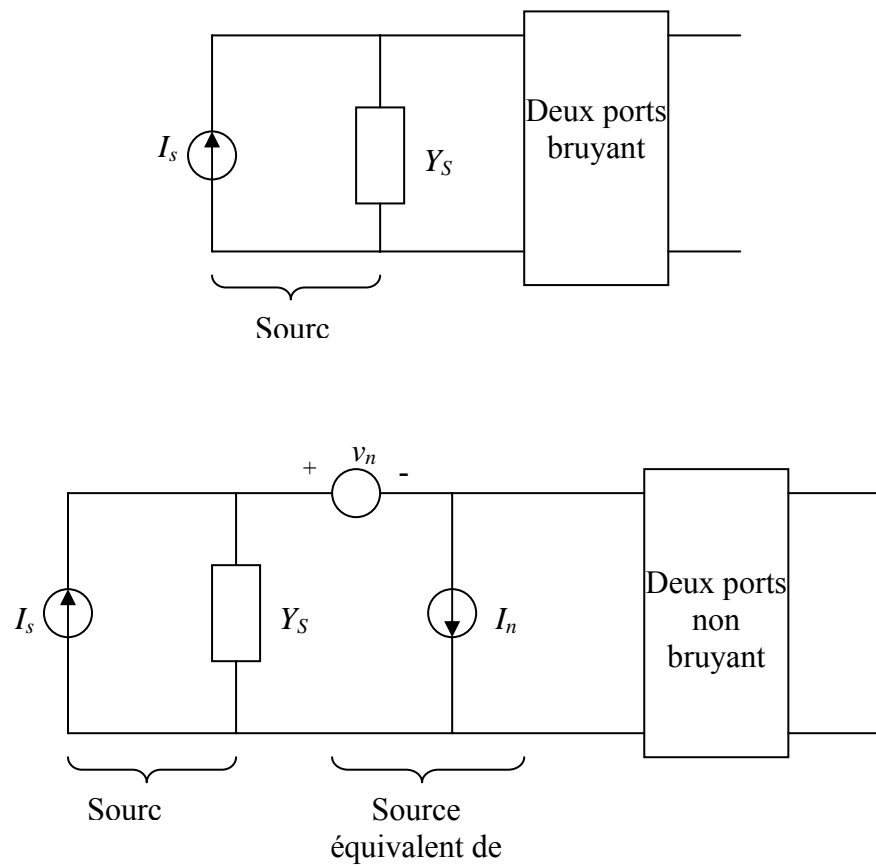


Figure 21 : Réseau à deux ports bruyant converti à un réseau à deux ports non bruyant.

D'après la représentation du réseau à deux ports non bruyant, nous avons pu donner la matrice de corrélation de bruit C^A qui a permis de calculer les quatre paramètres de bruit : NF_{\min} , R_n , G_{opt} et B_{opt} . A partir de ces paramètres, nous pouvons définir les différents effets qui influent sur ces paramètres, en plus à partir du facteur de bruit minimal, on peut déduire quel est le modèle qui donne une bonne performance en terme de minimisation du bruit.

Les quatre paramètres de bruit sont définis comme suit, C^A étant la matrice de corrélation de bruit :

$$C^A = \begin{bmatrix} |e_n|^2 & e_n I_n^* \\ e_n^* I_n & |I_n|^2 \end{bmatrix} = \begin{bmatrix} C_{11}^A & C_{12}^A \\ C_{21}^A & C_{22}^A \end{bmatrix} \quad (3.96)$$

$$\text{Résistance équivalente de bruit} \quad R_{Neq} = \frac{C_{11}^A}{4KT} \quad (3.97)$$

$$\text{Suceptance optimale} \quad B_{opt} = \frac{I_m \{C_{12}^A\}}{C_{11}^A} \quad (3.98)$$

$$\text{Conductance optimale} \quad G_{opt} = \frac{1}{C_{11}^A} \sqrt{C_{11}^A \cdot C_{22}^A - I_m \{C_{12}^A\}^2} \quad (3.99)$$

$$\text{Facteur de bruit minimal} \quad NF_{min} = 1 + 2 \frac{R_e \{C_{12}^A\} + G_{opt} \cdot C_{11}^A}{4KT} \quad (3.100)$$

Dans ce qui suit, nous utilisons la structure interdigitée du transistor MOS submicronique petits signaux et nous allons montrer qu'elle est la solution adéquate pour minimiser le bruit associé à la résistance de grille. A partir de là, nous allons présenter les performances en terme de bruit de notre dispositif en variant la largeur de grille (W) et en fixant la technologie donnée par la longueur L fixée en TSMC 0,35µm. D'un autre coté nous polarisons les transistors en saturation dans le but d'étudier leurs comportements dans cette région. En plus, les variations de la tension appliquée au niveau de la grille (Vgs), de la largeur W et du nombre de doigt (n) vont nous permettre de voir leurs effets sur les quatre paramètres de bruit.

3.3.1 L'analyse des performances de la structure interdigitée du transistor MOS submicronique

La structure interdigitée du transistor MOS composée des circuits radiofréquence permet de limiter la valeur de la résistance de grille Rg du transistor. Ainsi il est utilisé deux contacts de grille par transistor unitaire. La grille est réalisée en polysilicium.

La valeur de la résistance de grille en continu se calcule aisément à partir des dimensions de la grille L et W . Soit W_u la largeur de grille du transistor unitaire, la résistance de grille (R_{gu}) associée à ce transistor unitaire vaut donc $(\rho \cdot W_u)/L$ ou ρ est la résistivité de la grille. Si le transistor est composé de N doigt en parallèle alors $W = N \cdot W_u$ et $R_g = R_{gu}/N$. Enfin, on trouve que R_g est égale à $(\rho \cdot W)/(N^2 \cdot L)$, soit une diminution importante de la résistance de grille par rapport à une structure à un doigt. Aux radiofréquences, la résistance de la grille est distribuée le long de la grille et sa valeur devient environ égale à un tiers de la résistance R_g .

$$R_{ge} = \frac{1}{3} R_{ge} \left| \text{Connexions à une extrémité de la grille} \right. = \frac{1}{12} R_{ge} \left| \text{Connexions aux 2 extrémités de la grille} \right. \quad (3.101)$$

Si la grille possède deux accès, comme dans notre cas, la résistance R_g est alors abaissée à un rapport de 1/12 de la résistance R_g , qui correspond à la mise en parallèle de deux transistors à n doigt de largeur $W_u/2$, pour aboutir à une nouvelle résistance de grille quatre fois plus petite. D'où, le rapport 1/12 au total.

La réduction conséquente de la résistance de grille pour un même développement de grille permet de ne pas trop pénaliser les performances du transistor aux radiofréquences surtout en termes de facteur de bruit minimum (NF_{min}).

L'objectif de notre étude, est, donc d'optimiser et d'améliorer les performances de bruit du transistor submicronique profond associé à la résistance de grille. Théoriquement nous avons déjà vu que la structure interdigitée réduit au maximum le bruit généré par la résistance de l'électrode grille. Pour cette fin, on va valider ces résultats en utilisant le modèle de la structure interdigitée pour un transistor MOS de largeur $W=200\mu\text{m}$ composée de vingt doigts ($10\mu\text{m} \cdot 20$) et de longueur $L=0,35\mu\text{m}$ et opérant en mode saturation $V_{ds}=3\text{V}$ et de tension de grille $V_{gs}=2,5\text{V}$ et en utilisant un autre transistor de mêmes dimensions et polarisation mais sans la structure interdigitée, les résultats obtenus sont illustrés dans la figure 22 :

Si nous analysons les résultats obtenus, nous pouvons dire que la densité spectrale de la tension bruit à la sortie du transistor composé de 20 doigts génère une densité spectrale de bruit ; DSP plus faible par rapport au transistor composé d'un seul doigt. En

outre la décroissance de la DSP pour un transistor uni- doigt est plus importante que celle du transistor multi doigt, donc on peut déduire que le bruit généré d'une structure multi doigt est un bruit blanc contrairement à celui issu d'une structure uni doigt, ce qui signifie que la résistance R_g a un effet important sur le bruit de sortie en radiofréquence.

D'autre part, la figure 22 représente le facteur de bruit minimum (NF_{min}) des deux transistors multi et uni doigt respectivement, ces résultats montrent que le NF_{min} d'un transistor uni doigt croît proportionnellement avec la fréquence contrairement au transistor multi doigts qui est quasiment stable aux alentours de 1db, ceci justifie l'utilisation de la topologie interdigitée du transistor MOS qui donne une bonne performance en termes de bruit en radiofréquence. Donc on peut déduire que la structure interdigitée de transistor MOS est la meilleure solution pour minimiser le bruit associé à la résistance de grille en radiofréquence.

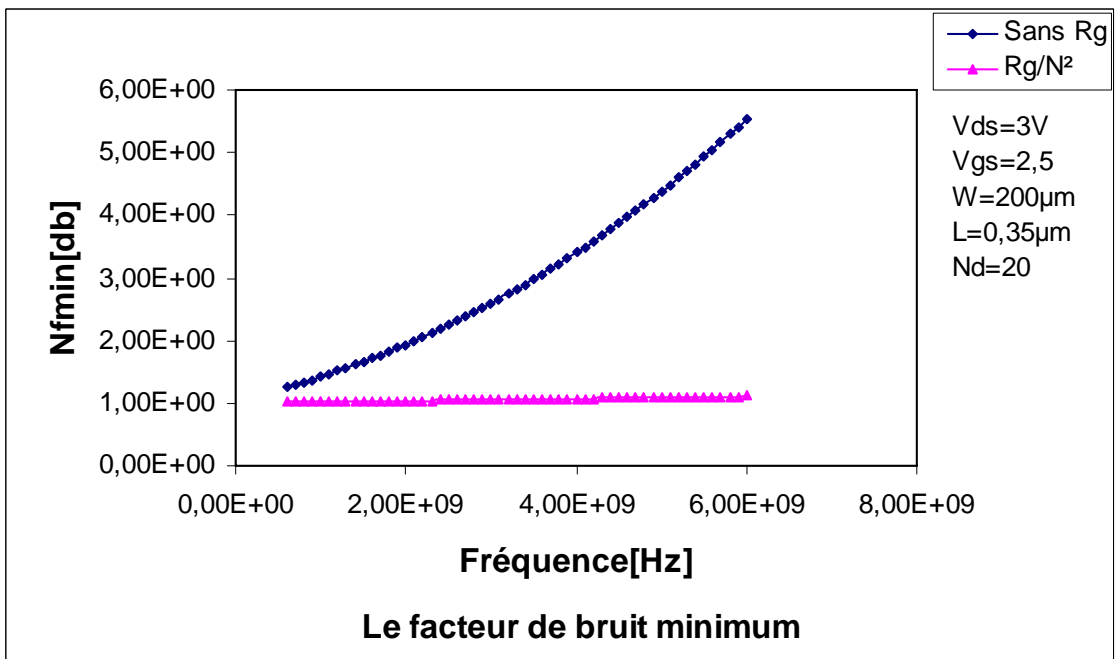
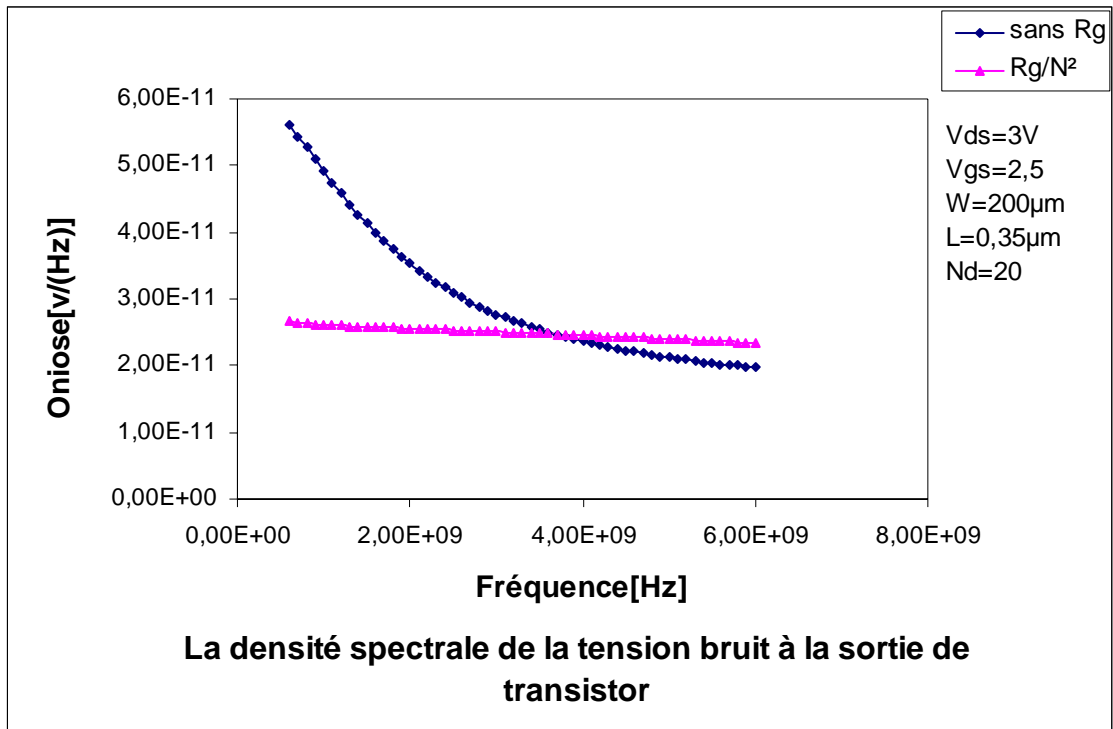


Figure 22 : L'effet de la structure interdigitée du transistor MOS sur le facteur du bruit minimum et la densité spectrale de la tension bruit.

D'après l'analyse précédente, on a prouvé que la structure interdigitée est une solution pour minimiser le bruit et pour cette raison on va étudier deux modèles qui utilisent cette topologie : le premier modèle est celui de RAZAVI basé sur le rapport $R_g/3$ où R_g représente la résistance globale de la structure interdigitée à condition que le nombre de doigts soit supérieur ou égal à trente deux (32) doigts. Le deuxième modèle est le modèle de ENZ basé sur le rapport de R_g/n^2 où n représente le nombre de doigts.

Nous allons montrer donc quel est le modèle le plus efficace pour minimiser le bruit du transistor MOS en RF en fixant la technologie $L=0,35\mu\text{m}$ et en variant la largeur de grille de 100,200, 300, 400 et $500\mu\text{m}$ et en opérant en mode saturation avec $V_{ds}=3\text{V}$, et $V_{gs}=2,5\text{V}$.

3.3.2 L'analyse des performances des quatre paramètres de bruit des transistors submicronique des modèles du ENZ et RAZAVI

La figure suivante 23(a, b, c, d, e) représente les quatre paramètres de bruit des deux modèles dans la gamme de fréquence allant de 600MHz jusqu'à 6GHz. Si nous analysons les résultats obtenus nous remarquons que le modèle de ENZ génère de faibles valeurs des paramètres de bruit contrairement au modèle de RAZAVI, sauf pour le paramètre B_{opt} qui est important dans le modèle de ENZ par rapport au modèle de RAZAVI.

D'après les résultats obtenus, nous pouvons dire que le facteur de bruit minimum (NF_{min}) du modèle de ENZ présente de faibles valeurs qui se limitent autour de 1,12dB quelque soit la largeur de grille (W) contrairement au modèle de RAZAVI où plus W augmente plus le NF_{min} devient élevé. Ceci revient à la contribution de la résistance équivalente du bruit (R_n) et à la conductance optimale (G_{opt}) qui est proportionnelle au bruit induit de la grille « I_g^2 ». Donc, le modèle de ENZ fournit de faibles densités de bruit sous l'effet de la résistance de grille (R_g/n^2) ce qui permet donc de générer un faible G_{opt} , ce qui fait que la résistance R_g a un effet direct sur le facteur de bruit minimum. Ainsi, la résistance équivalente de bruit du modèle de ENZ est proportionnelle à (g_m/n) , donc, ce modèle produit de faibles (R_n). Pour cette raison, le NF_{min} du modèle de ENZ est plus faible par rapport au NF_{min} du modèle de RAZAVI.

Les résultats et les observations obtenus précédemment pour le facteur de bruit minimum sont similaires à ceux obtenus pour la résistance équivalente de bruit (R_n). Ceci est expliqué, principalement par la contribution de la transconductance de chaque modèle,

et qui est dans le modèle du ENZ inversement proportionnelle au nombre de doigt (n) générant une faible densité de bruit ou de courant de drain, et donc, une faible valeur de la résistance équivalente de bruit, contrairement au modèle de RAZAVI qui possède une transconductance (g_m) qui produit une densité de bruit de courant de drain importante, et donc une résistance équivalente de bruit élevée.

Si nous parlons maintenant de la conductance optimale G_{opt} , nous remarquons que pour des largeurs $W=100$, et $200\mu m$, le modèle de ENZ génère de petites valeurs de G_{opt} par rapport au modèle de RAZAVI, et lorsque $W=300\mu m$ les deux modèles se superposent. Pour les largeurs $W=400\mu m$ et $500\mu m$ les deux modèles divergent encore une autre fois, mais cette fois-ci c'est le modèle de RAZAVI qui génère de petites valeurs par rapport au modèle de ENZ sous l'effet de la résistance équivalente de bruit des deux modèles parce que la conductance optimale du bruit est inversement proportionnelle à la racine carré de (R_n), et d'après les résultats de R_n obtenus précédemment, nous pouvons dire que lorsque le modèle de ENZ génère une faible R_n , G_{opt} augmente pour $W=500$ et $400\mu m$. Donc, la différence constatée entre les deux modèles d'une largeur à une autre dépend de la résistance équivalente de bruit.

Finalement, les résultats de la susceptance optimale B_{opt} représentent le contraire des autres paramètres. Le modèle du ENZ (R_g/n^2) génère des valeurs très importantes de B_{opt} par rapport au modèle du RAZAVI ($R_g/3$) quelque soit la largeur de grille, ceci revient à l'effet du bruit de la grille induit (i_g^2) dû à la contribution de la transconductance de la structure du modèle utilisé. Ainsi, le bruit de la grille induit est inversement proportionnel à la transconductance, et comme la transconductance est liée à la structure du transistor, le modèle du ENZ génère une faible (g_m). Cette dernière fournit une densité spectrale de bruit I_g^2 très élevée permettant donc de générer une susceptance optimale par rapport au modèle de RAZAVI.

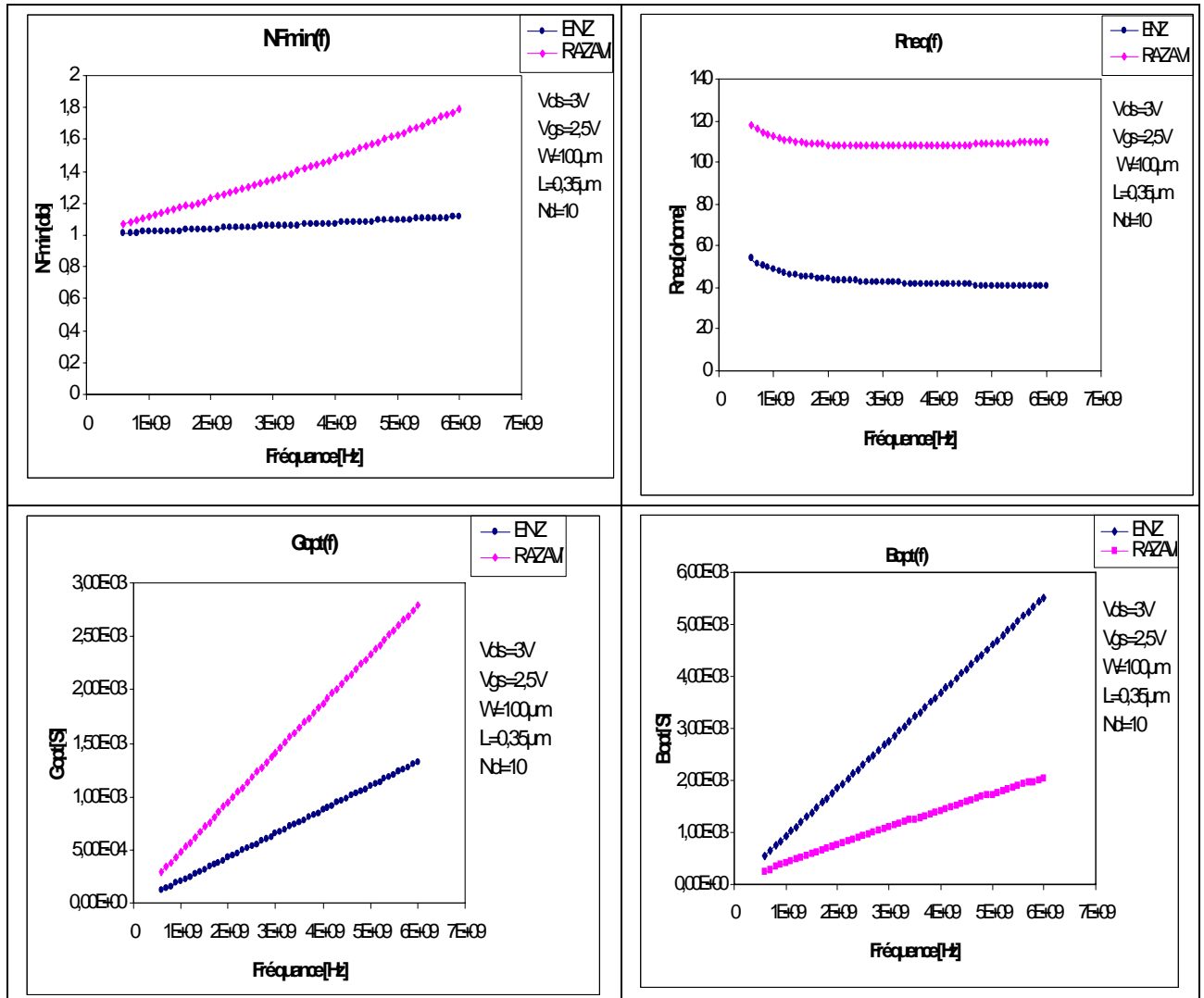


Figure 23(a) : Représentation des quatre paramètres de bruit des deux modèle ENZ et RAZAVI du transistor MOS de largeur $W=100\mu\text{m}$.

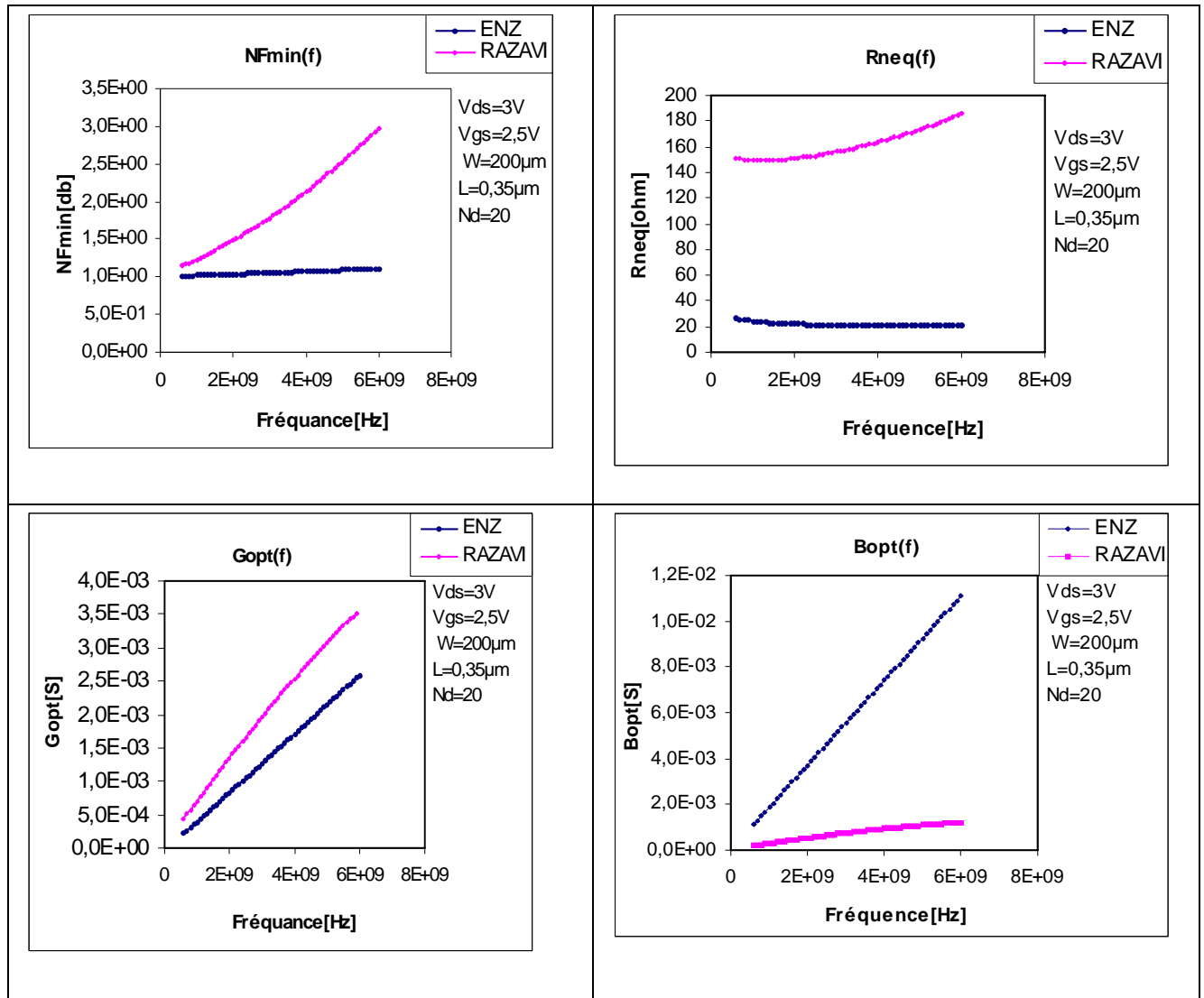


Figure 23(b) : Représentation des quatre paramètres de bruit des deux modèle ENZ et RAZAVI du transistor MOS de largeur $W=200\mu m$.

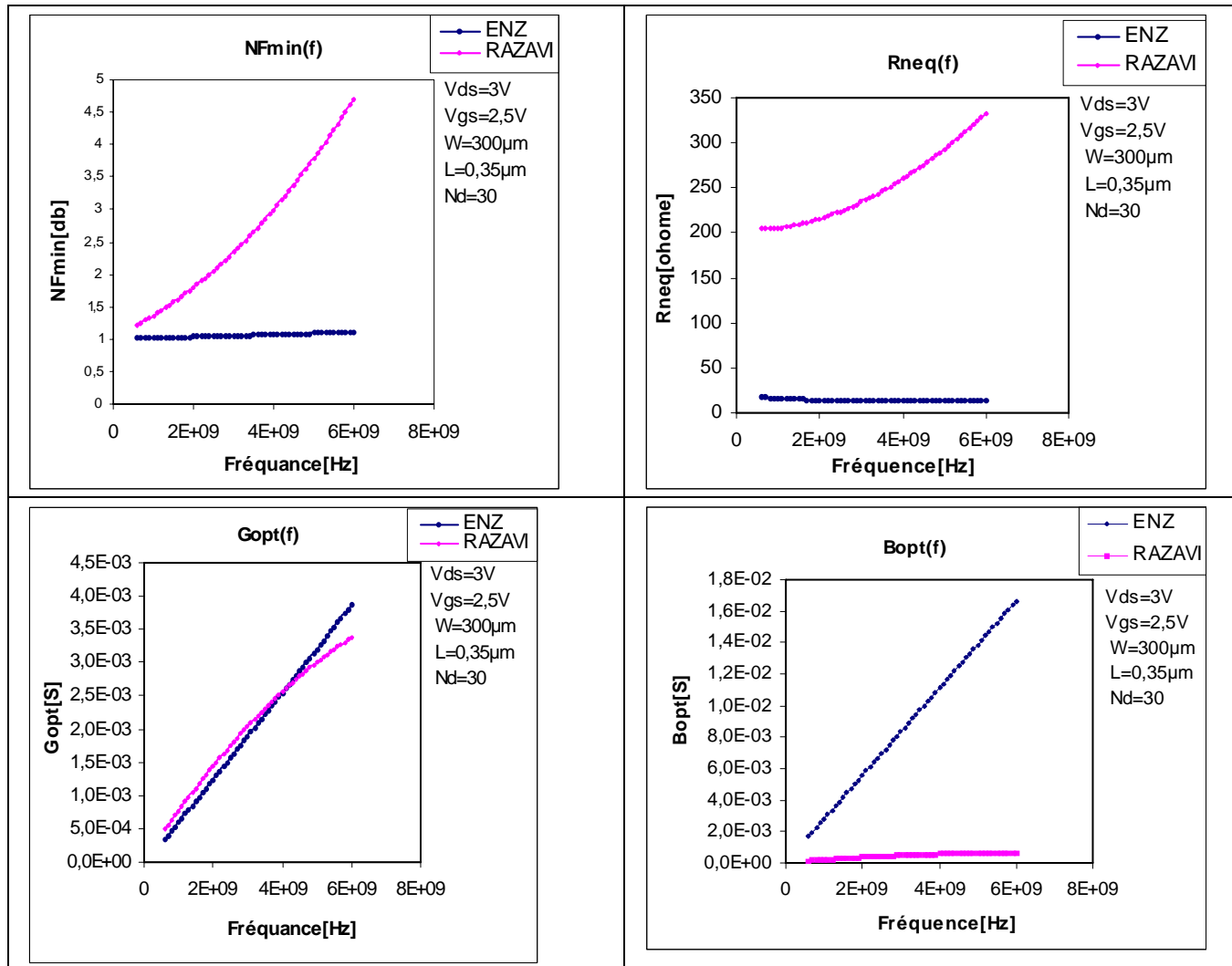


Figure 23(c) : Représentation des quatre paramètres de bruit des deux modèle ENZ et RAZAVI du transistor MOS de largeur $W= 300\mu m$.

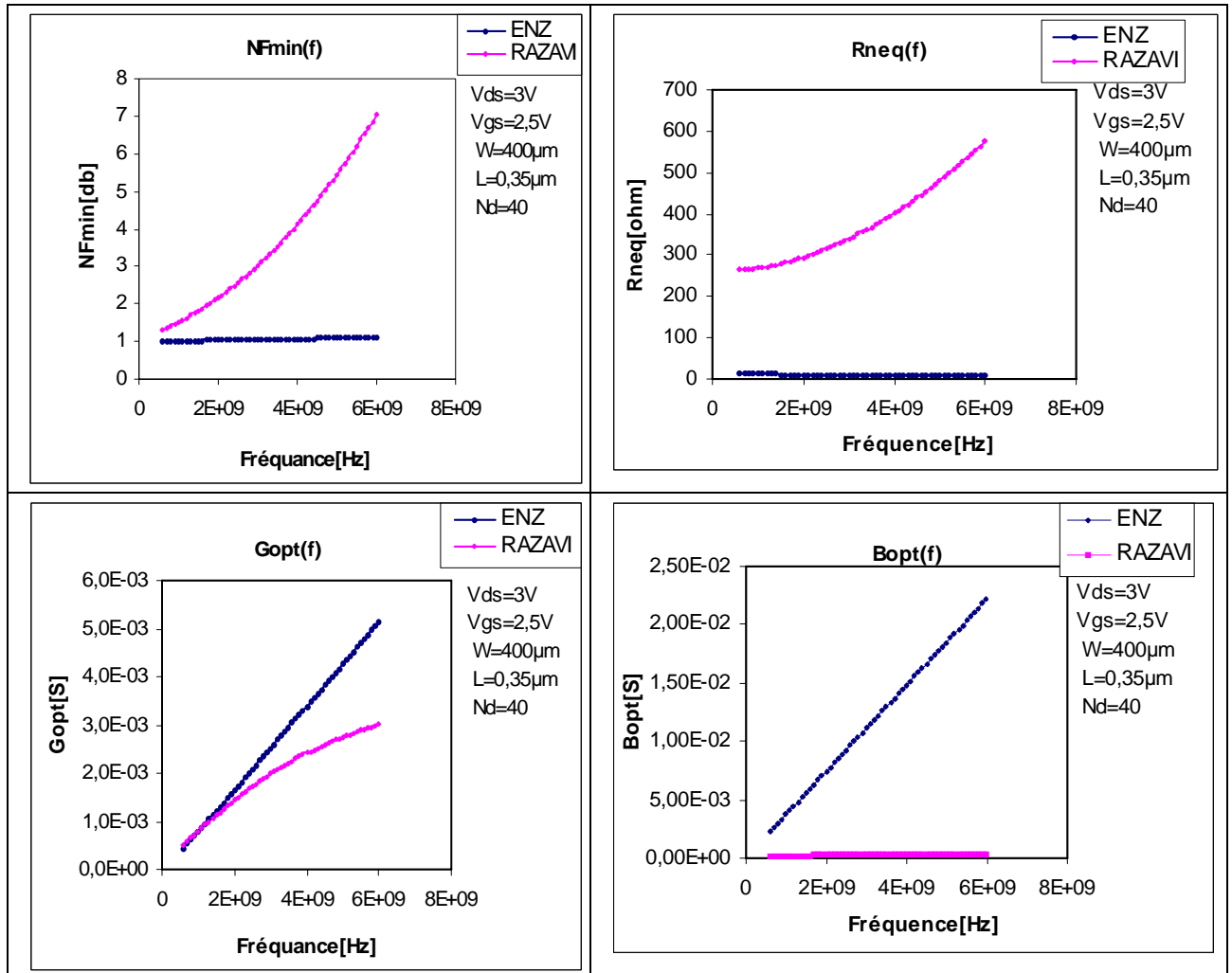


Figure 23(d) : Représentation des quatre paramètres de bruit des deux modèles ENZ et RAZAVI du transistor MOS de largeur $W= 400\mu m$.

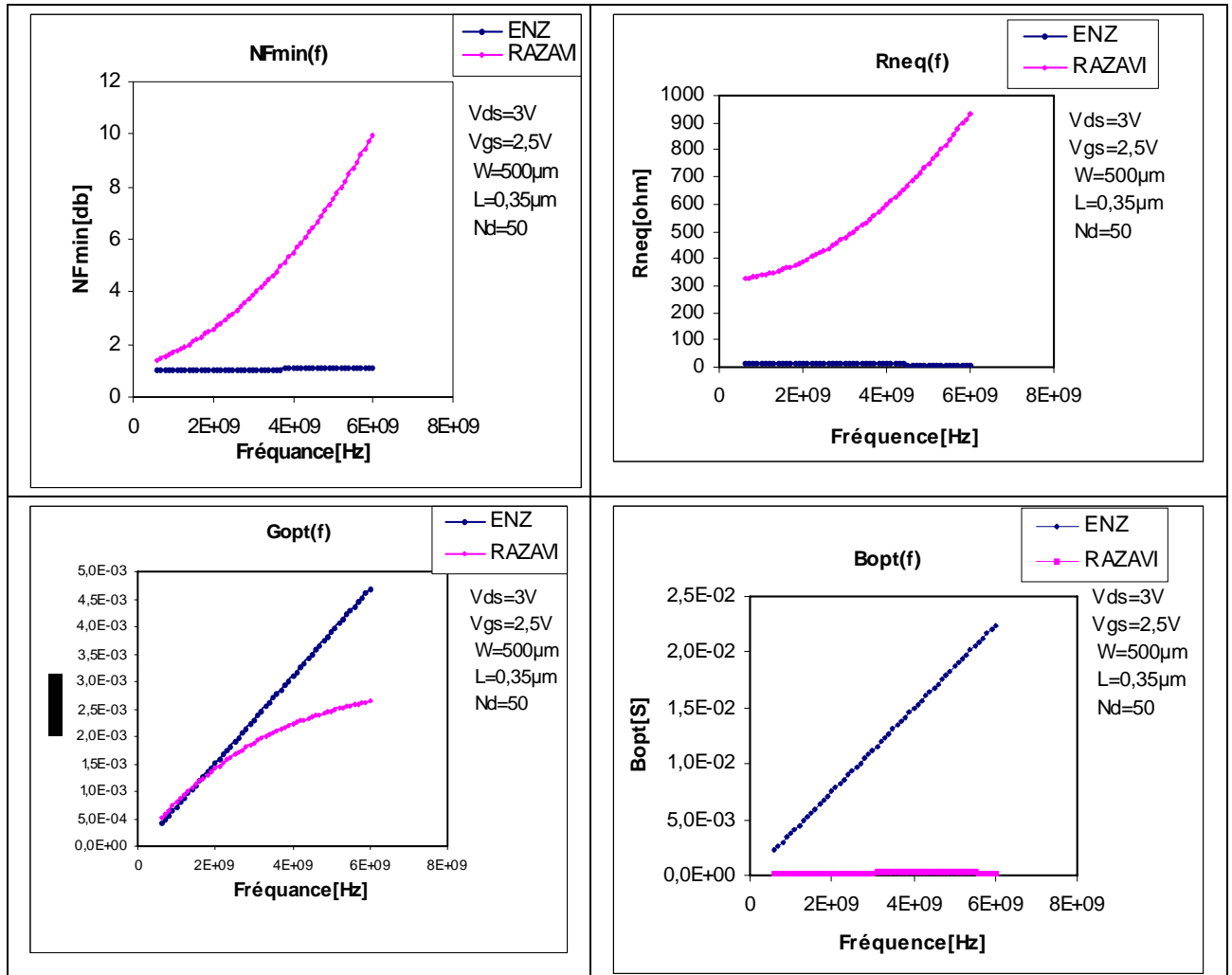
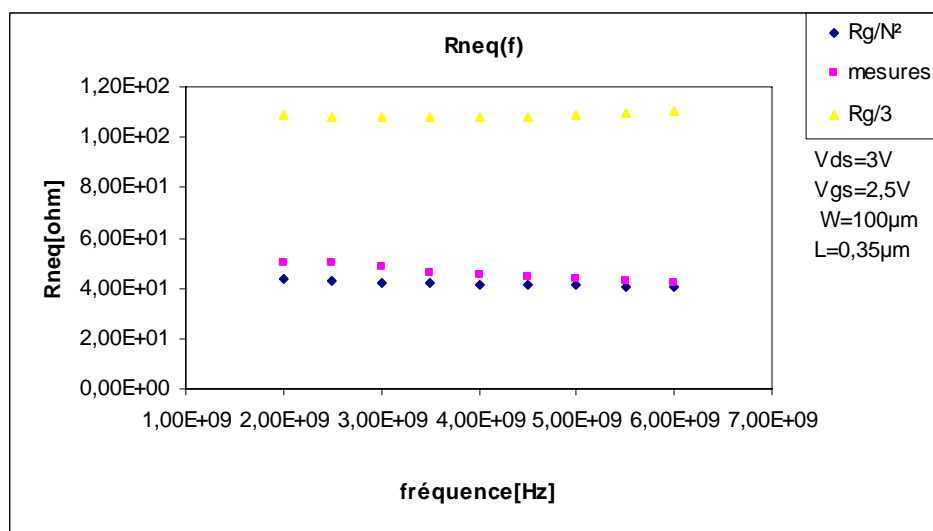
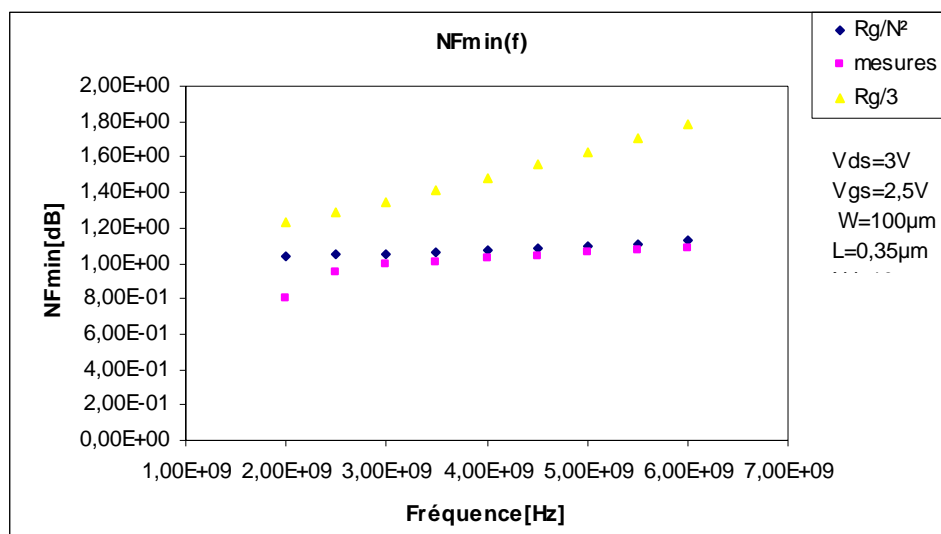


Figure 23(e) : Représentation des quatre paramètres de bruit des deux modèle ENZ et RAZAVI du transistor MOS de largeur $W= 500\mu m$.

3.3.3 Validation des modèles

Dans cette partie, nous avons validés nos résultats de simulation des deux modèles ENZ et RAZAVI en les comparant aux résultats mesurés obtenus à l'aide des références, nous remarquons d'après la figure 24 qu'il y a une meilleure reproduction de la mesure avec le modèle de ENZ, par contre, le modèle de RAZAVI présente une divergence par rapport aux mesures de référence.

De cela, on peut conclure que le modèle de ENZ est performant en terme de bruit par rapport à celui de RAZAVI.



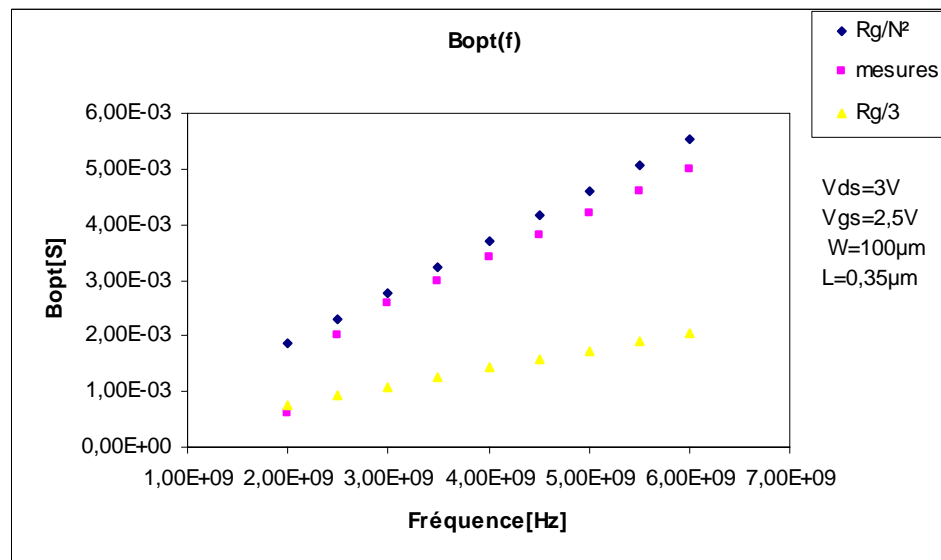
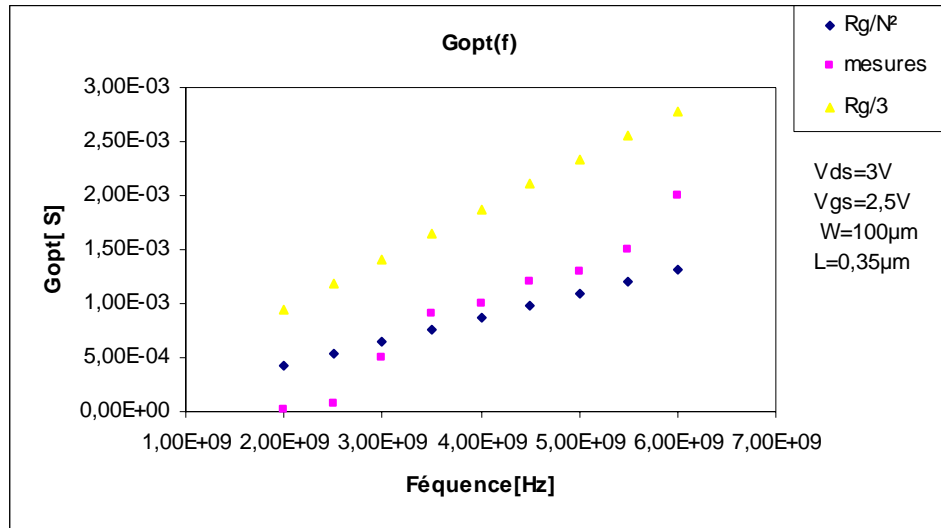


Figure 24 : Comparaison des résultats de simulation avec les résultats des mesures [14].

3.3.4 L'effet de la largeur du doigt et du nombre de doigts

Dans cette section nous étudions l'effet de la dimension et du nombre de doigts sur les quatre paramètres de bruit. La figure ci-dessous représente les paramètres de bruit en fonction de la largeur totale de la grille (W_t) du transistor ayant $L=0,35\mu\text{m}$ polarisé en saturation $V_{ds}=3\text{V}$ avec une tension de grille appliquée $V_{gs}=2,5\text{V}$, et des fréquences de 1,8 GHz et 2,4GHz.

Nous remarquons que le facteur de bruit minimal (NF_{\min}) et la résistance équivalente de bruit (R_n) sont proportionnels à la largeur totale. L'augmentation de R_n et NF_{\min} en fonction de la largeur totale est due à l'augmentation de la résistance de l'électrode grille qui est linéairement proportionnelle à W totale. Par contre la conductance optimale ne varie pas beaucoup avec W totale, et concernant la susceptance optimale, nous notons le contraire par rapport aux autres paramètres (NF_{\min} , R_n et G_{opt}), c'est-à-dire, plus W augmente plus B_{opt} diminue sous l'effet du coefficient de corrélation et le bruit de la grille induit.

D'un autre coté, nous analysons l'effet de la largeur du doigt. Sur la figure (25b), on illustre les variations des paramètres de bruit en fonction de la largeur unitaire de doigt (W_u) du transistor. Par exemple $W_t=200\mu\text{m}$ est décomposée comme suit : $10*20\mu\text{m}$, $20*10\mu\text{m}$, $25*8\mu\text{m}$, $50*4\mu\text{m}$ où $10*20\mu\text{m}$ représente 20 doigts de largeur $10\mu\text{m}$ et ainsi de suite. Nous pouvons dire que la variation des quatre paramètres de bruit en fonction de la largeur unitaire du doigt était claire, plus la largeur unitaire de doigt augmente plus on aura des valeurs élevées de NF_{\min} , R_n , G_{opt} , et B_{opt} .

Donc d'après les résultats obtenus, on peut voir que la largeur idéale du doigt du transistor qui est $W_u=10\mu\text{m}$, génère des valeurs faible dû NF_{\min} , R_n , G_{opt} , et B_{opt} par rapport aux autres décompositions.

Si nous parlons maintenant sur l'effet du nombre des doigts, nous remarquons que le NF_{\min} ne varie pas avec le nombre de doigts, donc il est indépendant de n , mais la résistance équivalente de bruit, la conductance optimal et la susceptance sont inversement proportionnelle à n .

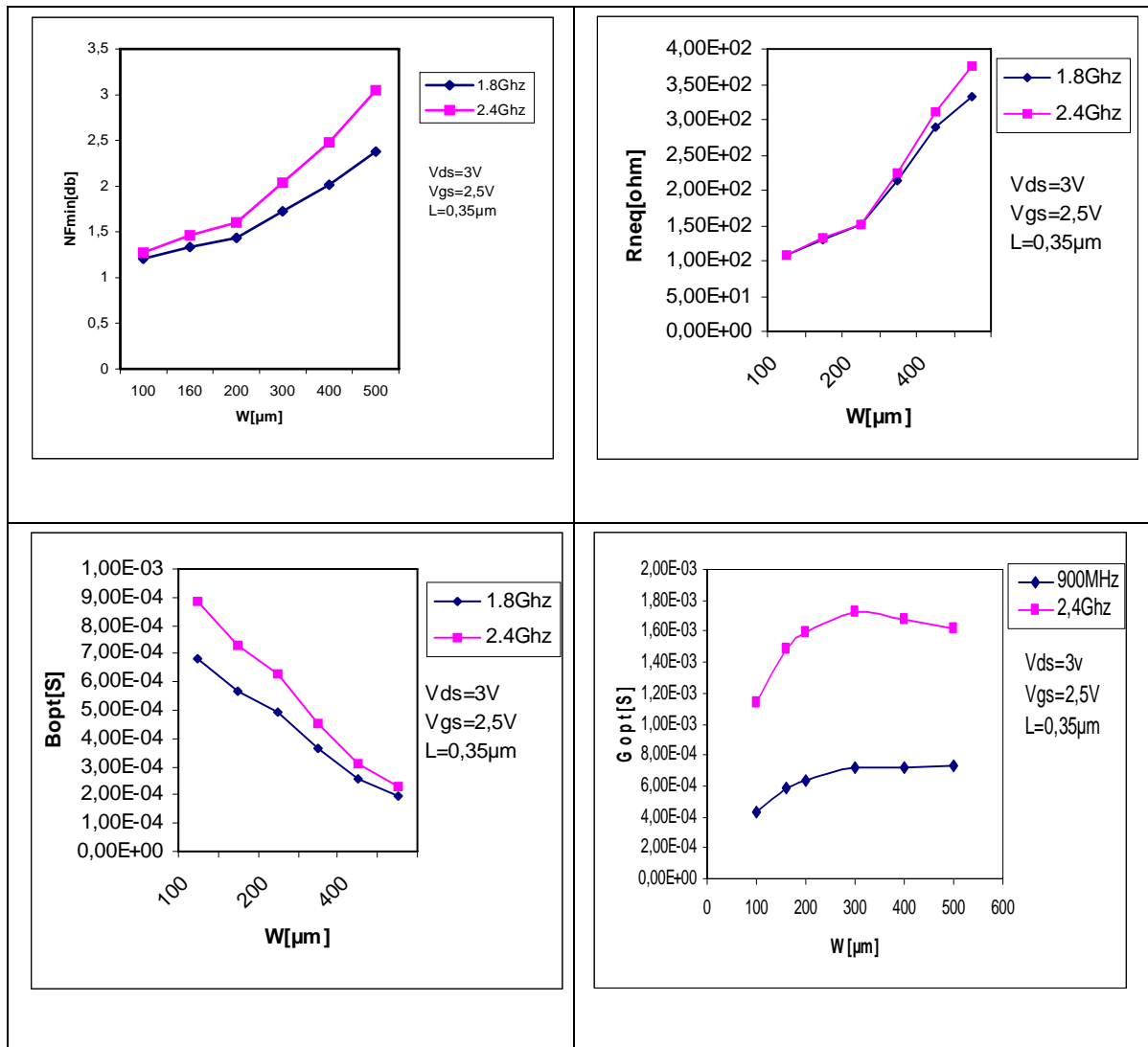


Figure 25 (a) : Représentation de l'effet de la largeur totale sur les quatre paramètres de bruit de transistor MOS

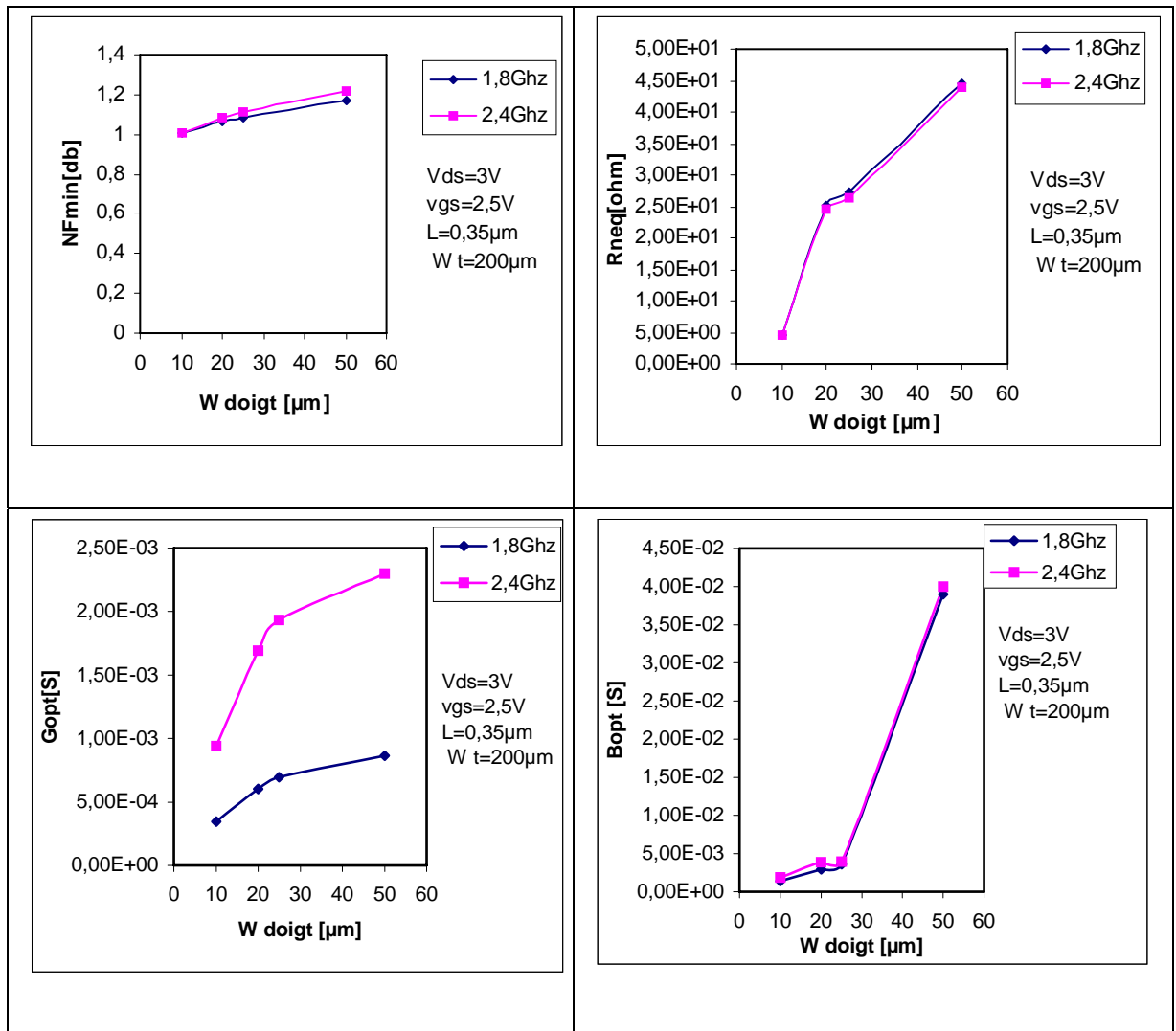


Figure 25 (b) : Représentation de l'effet de la largeur des doigts sur les quatre paramètres de bruit de transistor MOS.

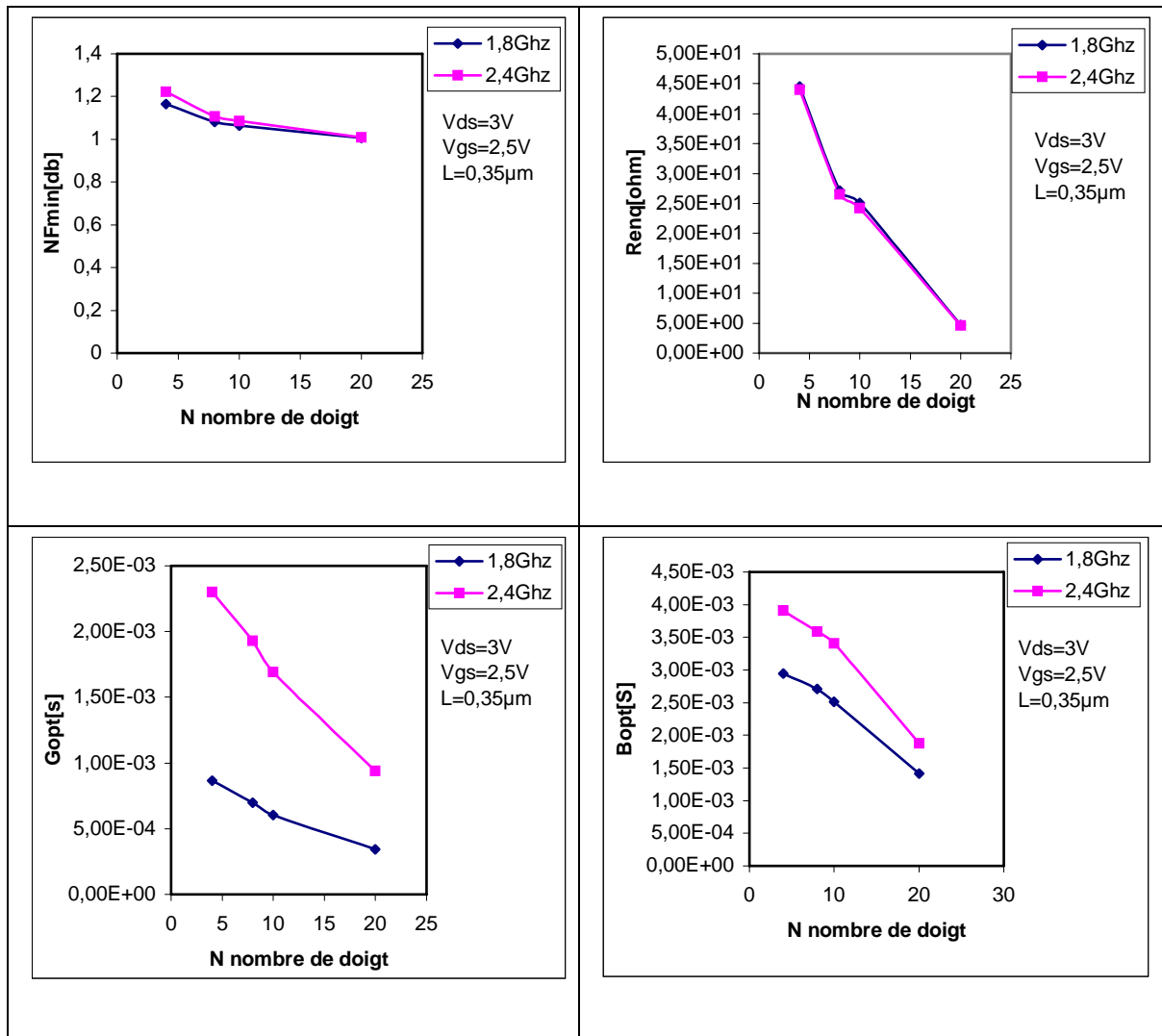


Figure 25 (c) : Représentation de l'effet du nombre de doigts sur les quatre paramètres de bruit de transistor MOS.

3.3.5 L'effet de la tension de grille V_{gs} sur les quatre paramètres de bruit

Si nous observons maintenant les résultats illustrés sur la figure 26, et en essayant d'interpréter l'influence de la tension de grille V_{gs} sur les quatre paramètres de bruit, nous remarquons que pour les tensions allant de 0,1V jusqu'à 0,6V les valeurs de NF_{min} , R_n et B_{opt} augmentent rapidement en marquant un pic puis restent quasiment stables. Par contre, la conductance optimale chute vers des valeurs minimales. L'augmentation de NF_{min} est expliquée par l'augmentation du bruit de la grille induit, qui est inversement proportionnel à la transconductance, c'est-à-dire que I_g^2 est élevé lorsque V_{gs} est faible, ce qui permet de générer un haut NF_{min} .

Par contre, la conductance optimale est inversement proportionnelle à la racine carrée de la résistance équivalente du bruit, et comme celle ci croît rapidement vers un pic puis elle se stabilise aux alentours de 1 dB donc G_{opt} décroît vers un minimum puis elle se stabilise aussi au alentours d'une certaine valeur.

Pour ce qui est de l'augmentation du dernier paramètre B_{opt} , elle est due à la contribution du bruit de la grille induit, parce que I_g^2 est linéairement proportionnelle avec B_{opt} .

A partir de $V_{gs} = 0,7V$ jusqu'à $2,5V$, le NF_{min} et R_n , après avoir atteint des valeurs maximales diminuent puis deviennent constants. Ceci est dû à V_{ds} qui est élevée (3V) et V_{gs} aussi, donc, la transconductance augmente ce qui permet de diminuer le NF_{min} et R_n . Et pour la conductance optimal, nous observons le contraire ; lorsque R_n baisse G_{opt} s'élève et reste constante par la suite.

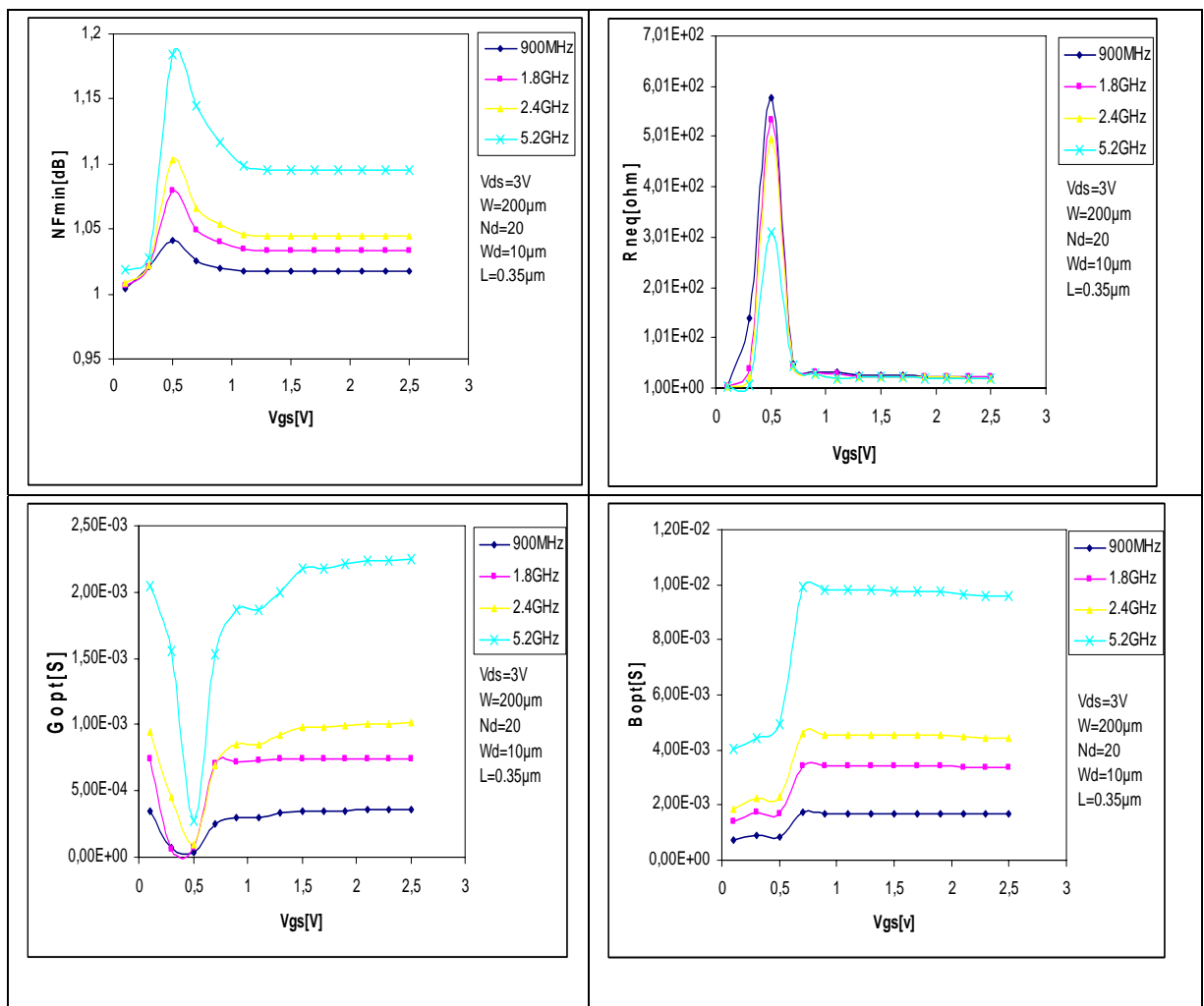


Figure 26. Représentation de l'effet de la tension de grille sur les quatre paramètres de bruit

3.4 Conclusion

Les résultats des différentes simulations que nous venons d'observer nous renseignent clairement sur les directions à suivre pour obtenir les performances requises par les applications radiofréquences en terme de facteur de bruit. Les deux points importants pour l'optimisation le bruit de résistance de grille aux radiofréquences sont les suivants :

1. structure multi doigt : le nombre de doigts doit être supérieur à dix doigts ($n > 10$).
2. largeur de grille unitaire petite ($10\mu\text{m}$).

CHAPITRE 4

LA METHODE DE CARACTERISATION EN RADIOFREQUENCE

Dans ce chapitre nous nous concentrons sur la méthode de caractérisation des composants actifs comme le transistor MOS submicronique dans le domaine radiofréquence réalisée à l'aide de l'analyseur de Réseau Vectoriel. Tout d'abord, nous représentons le fonctionnement de cet analyseur ainsi que les méthodes de sa calibration.

Ensuite, nous ferons une description de dessin de masque du transistor MOS submicronique réalisé dans la division microélectronique et nanotechnologie au sein du CDTA à l'aide de l'éditeur de « layout » de Mentor Graphics

4.1 L'analyseur de réseaux vectoriels

Les analyseurs de réseaux ont été introduits dans les années soixante par Hewlett-Packard et ont subi de nombreuses améliorations qui ont conduit à des outils puissants et conviviaux. L'analyseur de réseaux permet d'évaluer les paramètres S complexes d'un quadripôle. Le principe de fonctionnement repose sur la comparaison de l'onde incidente avec l'onde transmise ou réfléchi à l'accès considéré. L'analyseur de réseaux vectoriel est constitué d'une source hyperfréquence, d'un commutateur permettant de diriger le signal d'excitation vers l'entrée ou la sortie du quadripôle, de deux ponts diviseurs permettant de prélever une partie du signal incident qui sera utilisée comme référence, d'atténuateurs programmables qui réduisent le signal d'excitation à une amplitude convenable, de deux coupleurs directifs et de mélangeurs permettant d'obtenir des signaux basses fréquences traités numériquement par le calculateur de l'analyseur de réseaux [35]. Ces informations sont aussi exploitées à l'aide du logiciel ICCAP de Agilent installé dans une station de travail associée à l'analyseur.

La réalisation des mesures à l'aide de pointes RF nous permet d'accéder directement au plan d'accès du DUT. Cette méthode demande également de connaître les paramètres S des pointes et des lignes d'accès. Afin de déterminer les impédances présentées au DUT dans ses plans d'accès, et en étant impossible de caractériser directement l'ensemble lignes d'accès pointes RF, nous utilisons la méthode de calibrage « short, thru, open, load » SOLT [36].

4.2 La Méthode de caractérisation

La connaissance des propriétés physiques et technologiques des composants actifs à caractériser ainsi que la mesure des paramètres $[S]$ sur une plage de fréquences suffisamment grande permet d'établir un modèle électrique équivalent.

La caractérisation d'un composant se subdivise en plusieurs parties : la mesure, le choix du modèle et la détermination des valeurs des éléments du modèle. La mesure consiste à obtenir sous pointes les paramètres S des composants. Au préalable, un calibrage du banc depuis les connecteurs d'entrée/sortie de l'analyseur de réseau jusqu'à l'extrémité des pointes doit être effectué. Le choix du modèle s'appuie sur la structure même du composant. Il s'avère que la plupart des composants ont une forme dite en « PI ». Une fois la topologie du modèle fixée, la matrice de paramètres $[S]$ mesurée est transformée en d'autres matrices plus efficaces pour isoler chaque élément constitutif du modèle. Les matrices $[Y]$ et $[Z]$ sont alors essentiellement utilisées.

Nous avons présentée une méthode de caractérisation en radiofréquence pour mesurer les paramètres S et les paramètres de bruit du transistor MOS submicronique. Cette méthode consiste principalement à créer des zones de test (à l'aide de pointes) sur les tranches de silicium (wafer). Chaque composant est inséré dans une structure de test (figure 26). Les plots carrés font 100 microns de côté et sont espacés de 50 microns pour l'utilisation des pointes de mesure standard [37].

Les techniques de « De-embedding » sont basés sur la matrice de puissance de bruit d'abord présentée par Haus et Adler [39] et plus tard renommé la matrice de corrélation de bruit par Hillbrand et Russer [20]. En général, le DUT est modélisé par un circuit équivalent qui est dans une configuration admittance et impédance montrée dans la figure 28 (a) ou dans une configuration cascade dans la figure 28 (b).

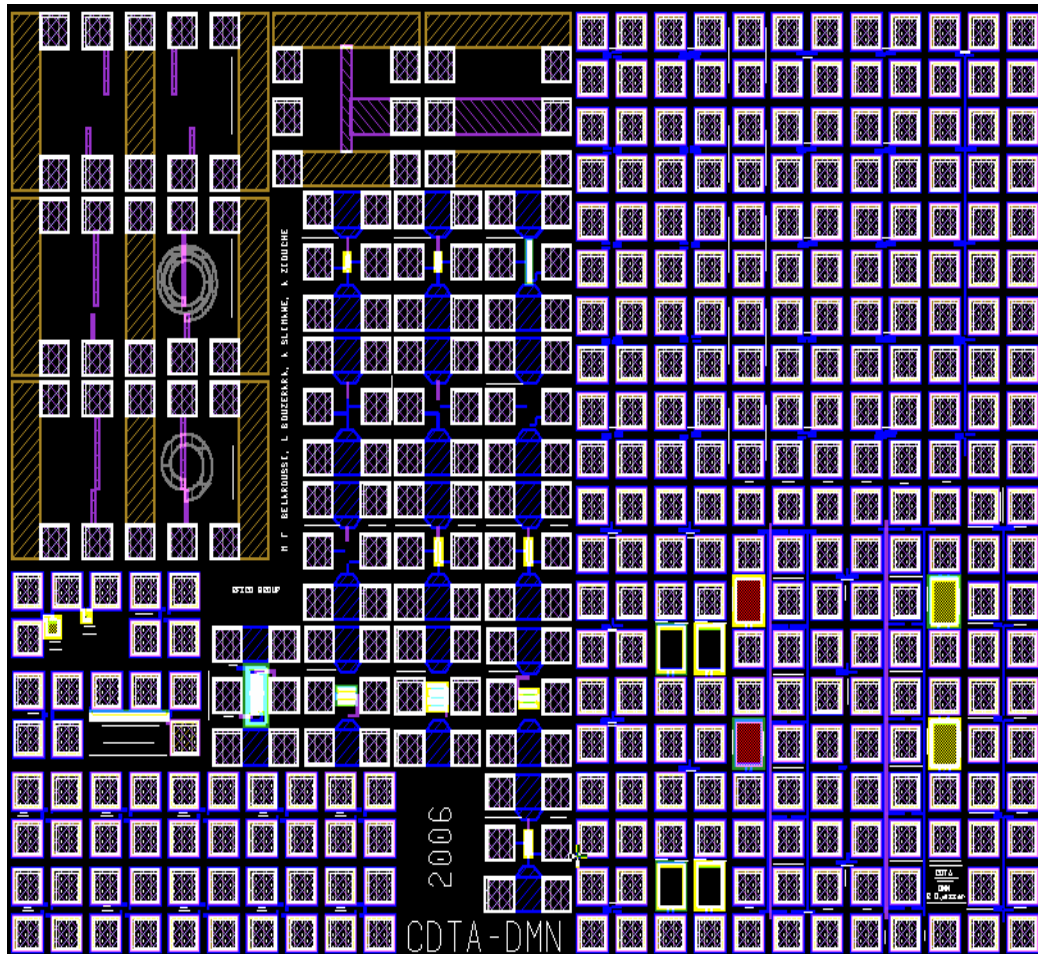


Figure 27 : Structures de test des composants.

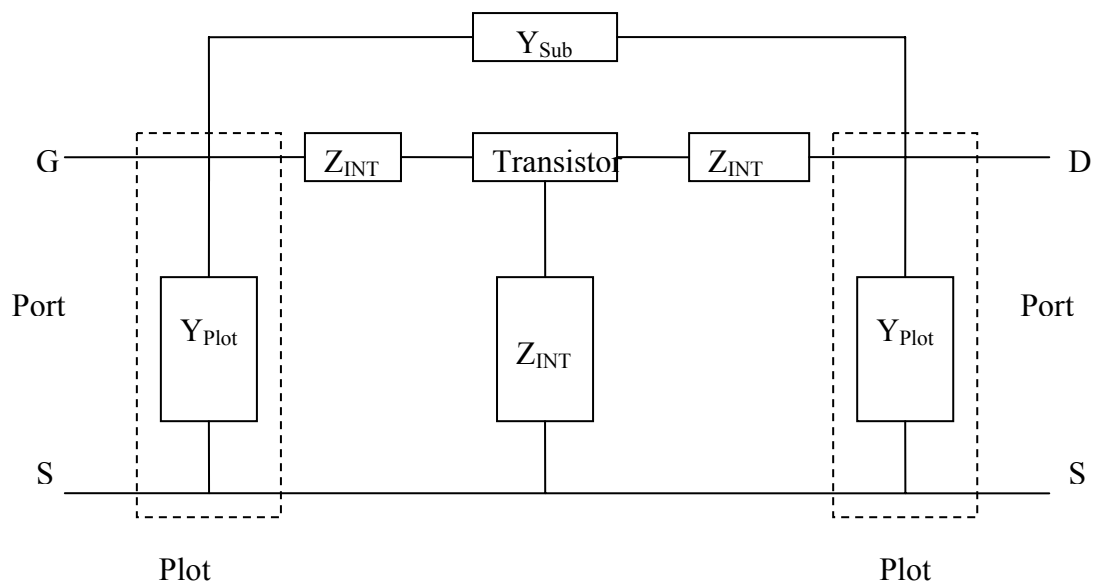


Figure 28 (a) : Représentation du schéma équivalent du DUT.

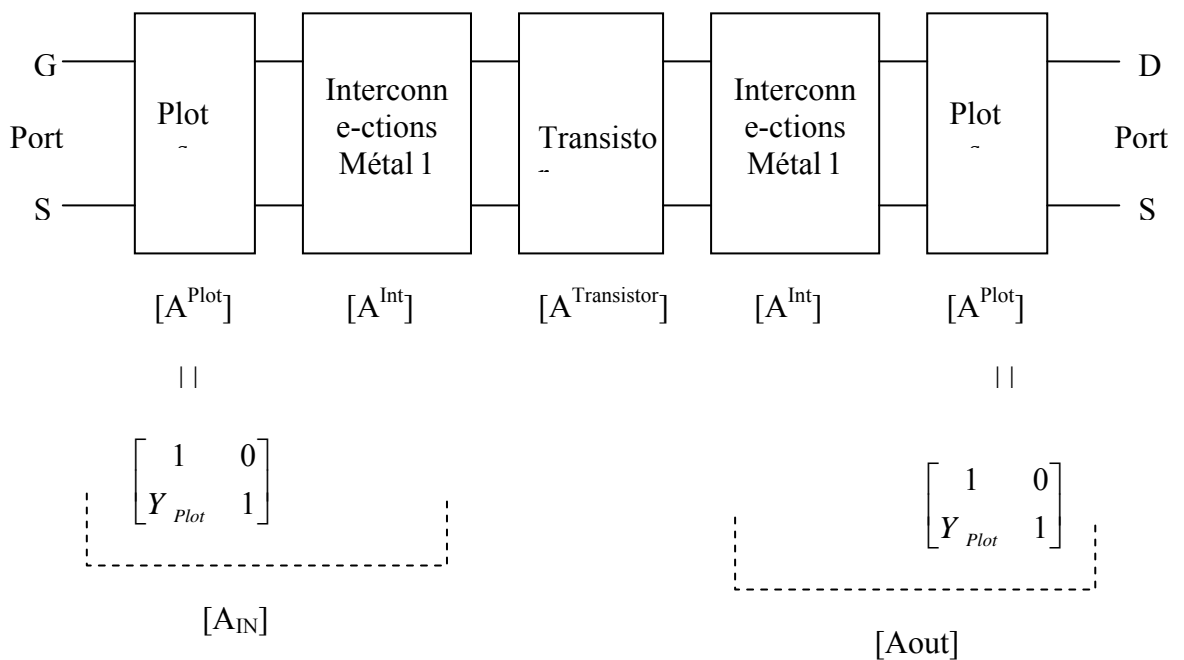


Figure 28 (b) : Représentation du schéma équivalent de DUT en configuration de cascade

Dans la figure 28(a), Y_{Plot} représente l'admittance entre la masse et le signal de plot, Y_{SUB} est l'admittance entre le port d'entrée et le port de sortie et Z_{INT} sont les impédances des interconnexions entre les plots et le transistor.

Le procédé traditionnel pour l'extraction des paramètres de bruit [39] [40] est basé sur une configuration parallèle effectuée avec l'aide des structures de test « Open » et « Short » comme montré dans la figure 29.

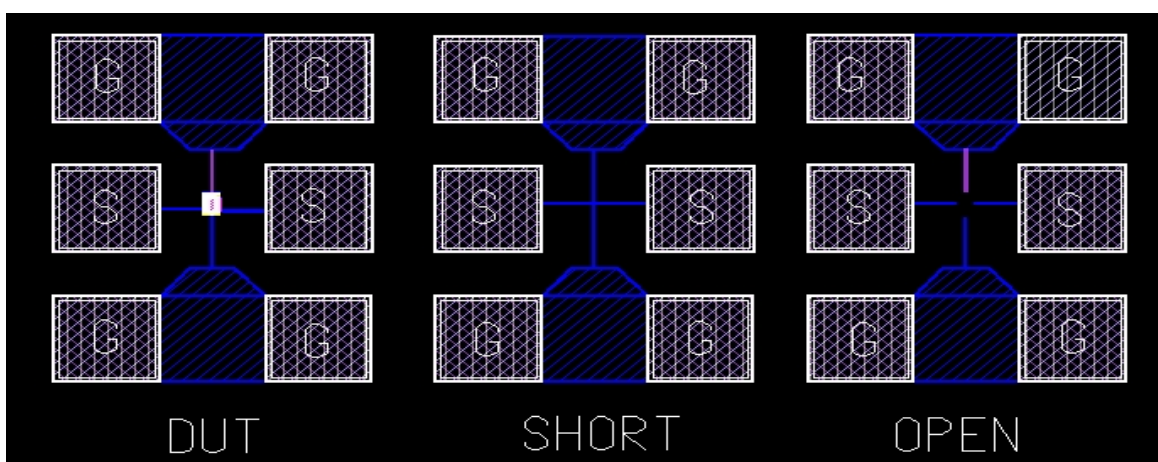


Figure 29. Représentation du dispositif sous le test DUT avec les structures de test «OPEN » et « SHORT ».

Pour cela, le procédé de De-embedding, où le DUT modélisé par le réseau des plots, d'interconnexions et d'un transistor relié dans une configuration en cascade, et le deux nouvelles structures du test "Thru" sont présentées dans la figure 29.

Pour les structures de test proposées, la structure « Open » (structure de test vide) se compose des plots RF sans interconnexions en métal, du transistor, et de la structure de test « Thru1 » comprenant les plots RF avec la section de l'interconnexion au port d'entrée du DUT, et la structure de test « Thru2 » comprenant les plots RF avec la section de métal d'interconnexion au port de sortie du transistor. Les matrices ABCD des interconnexion aux ports d'entrée et de sortie du DUT peuvent être directement obtenues à partir des mesures de paramètre S des deux structures de test additionnelles « Thru1 » et « Thru2 ».

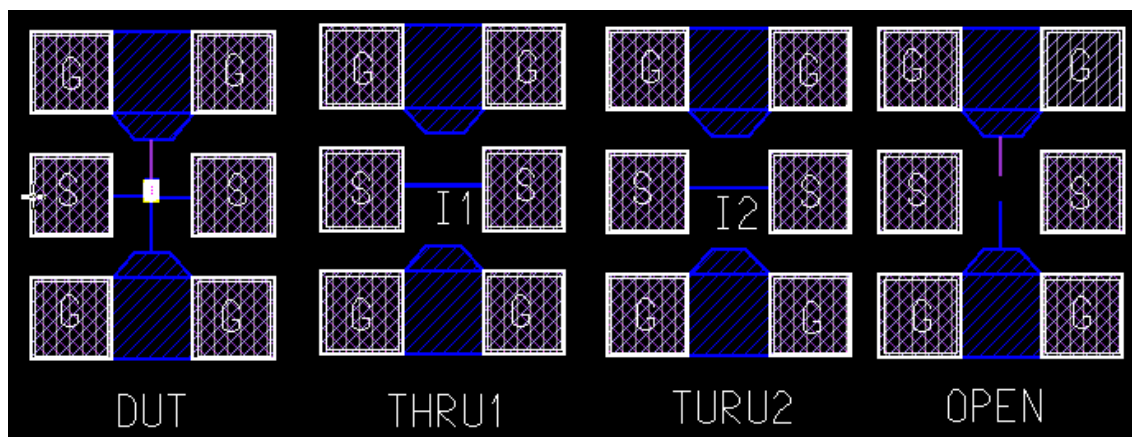


Figure 30. Représentation du DUT avec les structures de test « OPEN » et « THRU1 », « THRU2 ».

La méthode détaillée de De-embedding des paramètres de bruit, est basée sur le DUT et les structures de test montrés dans la figure 30. Les paramètres intrinsèques de la matrice (ABCD) (ou les paramètres Z) des dispositifs peuvent être obtenus à l'étape 6 (ou 7) du procédé d'extraction des paramètres de bruit. Les étapes d'extraction sont les suivantes :

- 1- Mesure des paramètres de répartition : $[S^{DUT}]$, $[S^{OPEN}]$, $[S^{THRU1}]$ et $[S^{THRU2}]$ de structure de test DUT, Open, Thru1, Thru2.
- 2- Mesure des paramètres de bruit: NF_{\min}^{DUT} , Y_{opt}^{DUT} et R_n^{DUT} de DUT et calcul de la matrice de corrélation $[C_A^{DUT}]$ utilisé :

$$[C_A^{DUT}] = 2kT \begin{bmatrix} R_n^{DUT} & \frac{NF_{\min}^{DUT} - 1}{2} R_n^{DUT} (Y_{opt}^{DUT})^* \\ \frac{NF_{\min}^{DUT} - 1}{2} - R_n^{DUT} Y_{opt}^{DUT} & R_n^{DUT} |Y_{opt}^{DUT}|^2 \end{bmatrix} \quad (4.102)$$

3- conversion $[S^{OPEN}]$ en paramètre Y $[Y^{OPEN}]$ en utilisant la formule suivante :

$$[Y] = \frac{\begin{bmatrix} (1-S_{11})(1+S_{22})+S_{12}S_{21} & -2S_{12} \\ -2S_{21} & (1+S_{11})(1-S_{22})+S_{12}S_{21} \end{bmatrix}}{Z_0 [(1+S_{11})(1+S_{22})-S_{12}S_{21}]} \quad (4.103)$$

Calcul Y_{plot} utilisé

$$Y_{PAD} = Y_{11}^{OPEN} + Y_{12}^{OPEN} \quad \text{ou} \quad Y_{22}^{OPEN} + Y_{21}^{OPEN} \quad (4.104)$$

Paramètre ABCD de entrée/sortie de plot $[A^{PAD}]$

$$[A^{PAD}] = \begin{bmatrix} 1 & 0 \\ Y_{PAD} & 1 \end{bmatrix} \quad (4.105)$$

4-Calcul des paramètres ABCD $[A^{THRU1}]$ et $[A^{THRU2}]$ de $[S^{THRU1}]$ et $[S^{THRU2}]$ en utilisant la formule de conversation suivante.

$$[A] = \frac{1}{2S_{21}} \begin{bmatrix} (1+S_{22})(1-S_{22})+S_{12}S_{21} & [(1+S_{11})(1+S_{22})-S_{12}S_{21}] \cdot Z_0 \\ [(1-S_{11})(1-S_{22})-S_{12}S_{21}]/Z_0 & (1-S_{11})(1+S_{22})+S_{12}S_{21} \end{bmatrix} \quad (4.106)$$

Où Z_0 est l'impédance caractéristique du système

5- calcul des paramètres ABCD $[A^{IN}]$ et $[A^{OUT}]$ en incluant les effets parasites des plots et les interconnexions en cascade de port entrée et de sortie à partir des équations :

$$[A^{IN}] = [A^{THRU1}] [A^{PAD}]^{-1} \quad (4.107)$$

$$[A^{OUT}] = [A^{PAD}]^{-1} [A^{THRU2}]$$

L'indice 1 représente la matrice inverse

6- conversion de $[S^{DUT}]$ en paramètre ABCD $[A^{DUT}]$ en utilisant la formule (4.106) et ensuite, calcul les ABCD du transistor $[A^{TRANS}]$ du dispositif intrinsèque à partir de :

$$[A^{TRAN}] = [A^{IN}]^{-1} [A^{DUT}] [A^{OUT}]^{-1} \quad (4.108)$$

7 – conversion $[A^{IN}]$ et $[A^{OUT}]$ en paramètre Z, $[Z^{IN}]$ et $[Z^{OUT}]$ avec la formule de conversion suivante :

$$[Z] = \frac{1}{C} \begin{bmatrix} A & AD-BC \\ 1 & D \end{bmatrix} \quad (4.109)$$

8- calcul la matrice de corrélation $[C_Z^{IN}]$ et $[C_Z^{OUT}]$ en incluant les effets parasites des plots et l'interconnexion en cascade du port d'entrée et de sortie à partir de :

$$[C_Z^{IN}] = 2KT R ([Z^{IN}]) \quad (4.110)$$

Et

$$[C_Z^{OUT}] = 2KT R ([Z^{OUT}]) \quad (4.111)$$

Ou $R(\)$ représente la partie réelle de la matrice.

9- conversion la matrice $[C_Z^{IN}]$ et $[C_Z^{OUT}]$ de la matrice de corrélation avec les formules suivantes :

$$[C_A^{IN}] = [T^{IN}] [C_Z^{IN}] [T^{IN}]^+ \quad (4.112)$$

Et

$$[C_A^{OUT}] = [T^{OUT}] [C_Z^{OUT}] [T^{OUT}]^+ \quad (4.113)$$

Telle que les matrices de transformation $[T^{IN}]$ et $[T^{OUT}]$ sont

$$[T^{IN}] = \begin{bmatrix} 1 & -A_{11}^{IN} \\ 0 & -A_{21}^{IN} \end{bmatrix} \quad (4.114)$$

$$[T^{OUT}] = \begin{bmatrix} 1 & -A_{11}^{OUT} \\ 0 & -A_{21}^{OUT} \end{bmatrix} \quad (4.115)$$

10- calcul la matrice de corrélation $[C_A]$ de transistor intrinsèque utilisé

$$[C_A] = [A^{IN}]^{-1} ([C_A^{DUT}] - [C_A^{IN}]) ([A^{IN}]^+)^{-1} - [A^{TRANS}] [C_A^{OUT}] [A^{TRANS}]^+ \quad (4.116)$$

11- calcul les paramètres de bruit NF_{\min} , Y_{OPT} , et R_N du transistor intrinsèque à partir de la matrice de corrélation $[C_A]$ par :

$$NF_{\min} = 1 + \frac{1}{KT} \left(\Re(C_{12A}) + \sqrt{C_{11A}C_{22A} - (J(C_{12A}))^2} \right) \quad (4.117)$$

$$Y_{OPT} = \frac{\sqrt{C_{11A}C_{22A} - (J(C_{12A}))^2} + iJ(C_{12A})}{C_{11A}} \quad (4.118)$$

Et

$$R_n = \frac{C_{11A}}{2KT} \quad (4.119)$$

4.3 Dessin de masque « layout »

Dans les paragraphes suivants, nous allons donner un aperçu général sur la conception des circuits intégrés analogiques, et plus précisément, une description sur des structures du transistor MOS conçus dans la division Microélectronique.

Généralement, la réalisation d'un circuit intégré analogique à partir d'un schéma électronique consiste, pour le concepteur, à définir les dimensions physiques ainsi que l'emplacement des divers éléments. Dans une seconde étape, ces éléments sont réalisés par le fondeur, sur la plaquette de silicium.

Techniquement, les méthodes d'emplacement ont été considérablement améliorées ces dernières années malgré la complexité des circuits analogiques. Des outils ont été développés pour la génération automatique du layout à l'aide des algorithmes et des logiciels appropriés. Malheureusement, ces outils ne peuvent pas tenir compte de toutes les contraintes analogiques rencontrées dans les circuits telles que les phénomènes parasites, et les contraintes de conception.

4.3.1 Principaux phénomènes parasites rencontrés dans le dessin des circuits intégrés analogique

4.3.1.1 Capacités parasites

Les capacités parasites peuvent exister à plusieurs niveaux du layout. Puisque nous allons réaliser le dessin des structures de MOS, les capacités parasites sont d'ordre interne. Si l'on observe le layout des transistors présentés ultérieurement, on trouve que certaines pistes de métal, appartenant au drain ou à la source, croisent les pistes de polysilicium de la grille. Etant séparés par un oxyde, ces deux couches technologiques, l'un en métal et l'autre en polysilicium, introduisent de faibles capacités parasites entre les nœuds du drain ou de la source, et le nœud de la grille. De même, pour une technologie de plusieurs niveaux de métallisation (4 niveaux dans notre cas), le croisement de deux pistes métalliques, elles aussi séparées par un oxyde, entraîne un couplage capacitif des nœuds impliqués. Il peut également avoir lieu pour deux pistes d'une même couche.

4.3.1.2 Résistances parasites

Les résistances parasites sont aussi présentes dans un layout. Elles sont générées du composant lui-même. Dans un MOS, elles représentent les résistances d'accès à la grille, au drain et à la source. De plus, le polysilicium et le métal, qui ont une résistivité non négligeable, sont parfois utilisés comme des pistes de routage. Si ces pistes sont longues, elles se traduisent par des résistances parasites dont il faut tenir compte dans le schéma électrique final.

4.3.1.3 Inductances parasites

Les pistes de métallisation internes aux transistors ou utilisées pour le routage conduisent à des inductances parasites. Ce phénomène est généralement négligeable mais il peut prendre de l'importance, notamment pour les circuits intégrés travaillent en hautes fréquences.

4.3.2 Minimisation de la surface totale (du circuit)

C'est l'une des contraintes classiques de tous circuits intégrés, qu'il s'agisse des transistors MOS à canal très large de circuits intégrés analogiques ou numériques, et la topologie interdigitée est la solution de minimisation de la surface totale du transistor. Cette contrainte est davantage liée à des problèmes économiques (coût de fabrication),

plutôt qu'à des problèmes électriques ou fonctionnels. Il est donc important pour tout logiciel de conception de prendre en compte cette contrainte sans pour autant entraver celles à caractères fonctionnelles ou électrique, c'est-à-dire les plus importantes.

4.3.3 Conception des transistors MOS

L'étape de dessin des masques, si elle est réalisée manuellement, est sans doute la phase la plus longue et la plus fastidieuse de la conception des circuits intégrés. Il s'agit en effet de réaliser tous les motifs des masques qui seront utilisés lors de la fabrication du circuit. Or, pour assurer le bon fonctionnement de celui-ci, un certain nombre de règles technologiques concernant les dimensions et les espacements de ces motifs doivent être respectées. Pour corser le tout, le concepteur doit en plus s'assurer que les parasites introduits par son dessin ne dégradent pas trop les performances du circuit. Enfin, pour des raisons de coût, il doit aussi faire en sorte que le circuit réalisé soit le plus compact possible de façon à économiser au maximum la quantité de silicium requise. Une étape de vérification reste malgré tout nécessaire pour s'assurer que toutes les règles de dessin ont bien été respectées et que les parasites introduits n'auront pas d'influence critique sur le fonctionnement.

Le dessin des masques revient à dessiner un ensemble de figures géométriques qui définissent les éléments électriques ainsi que leur position. Pour mener à bien cette tâche le concepteur utilise un éditeur de masques appelé éditeur de layout. Dans notre cas IC STATION est l'éditeur de masque utilisé. Cet outil permet d'obtenir un ensemble de masques, sous un fichier informatique directement utilisable par le fondeur

Par ailleurs, le transistor MOS à canal N présenté sur la figure 31, par sa structure schématique n'illustre pas les dimensions réelles des différentes couches qui le composent. Par contre, la conception sous forme de masques donne exactement les dimensions de chaque couche dans la technologie utilisée. Le dessin de ce transistor en un seul doigt est présenté sur la figure 32.

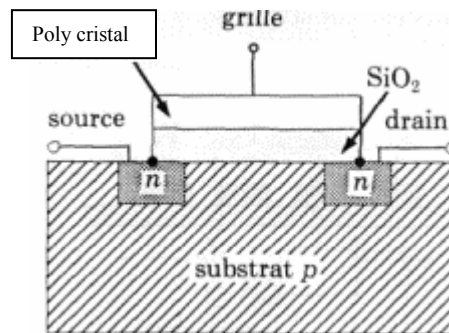


Figure 31 : structure schématique d'un MOS

L'implémentation (fabrication) de cet élément se fait, schématiquement, de la façon suivante :

- Dépôt de l'oxyde de grille et croissance du polysilicium
- Diffusion des régions n^+
- Oxydation et ouverture des contacts
- Métallisation

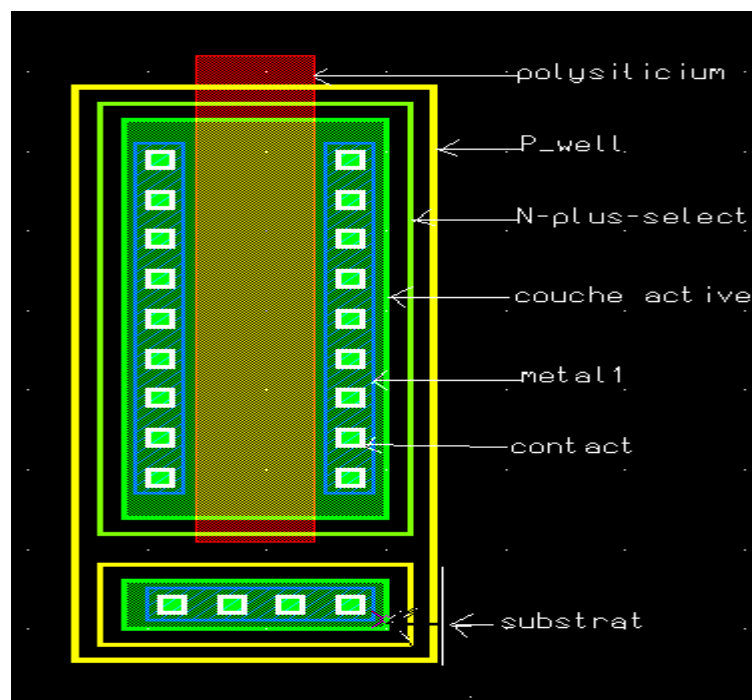


Figure 32 : Dessin de masque d'un MOS à un seul doigt

Après avoir illustré, de façon générale, la conception des masques d'un transistor à un seul doigt. Nous entamons la phase de conception de la structure interdigitée, mais il est fortement exigé de connaître et d'appliquer les précautions élémentaires de dessin. Ainsi, le choix du fondeur et de la technologie de fabrication est indispensable afin de respecter

ces exigences. Puisque nous nous intéressons à la technologie submicronique, le fondeur TSMC nous propose une technologie de $0,35\mu\text{m}$ avec un procédé de fabrication de deux poly et quatre niveaux de métallisation.

Sur la figure 33 nous avons conçu un transistor MOS ayant comme dimension $L=0,35\mu\text{m}$, $W=100\mu\text{m}$, tout en appliquant la topologie interdigitée et les règles de dessin ou nous avons dessiné les différents masques qui représentent la technologie de TSMC. De plus, nous remarquons que la surface est optimisée en utilisant cette technique, sachant que le coût de fabrication est dépendant des dimensions du circuit final.

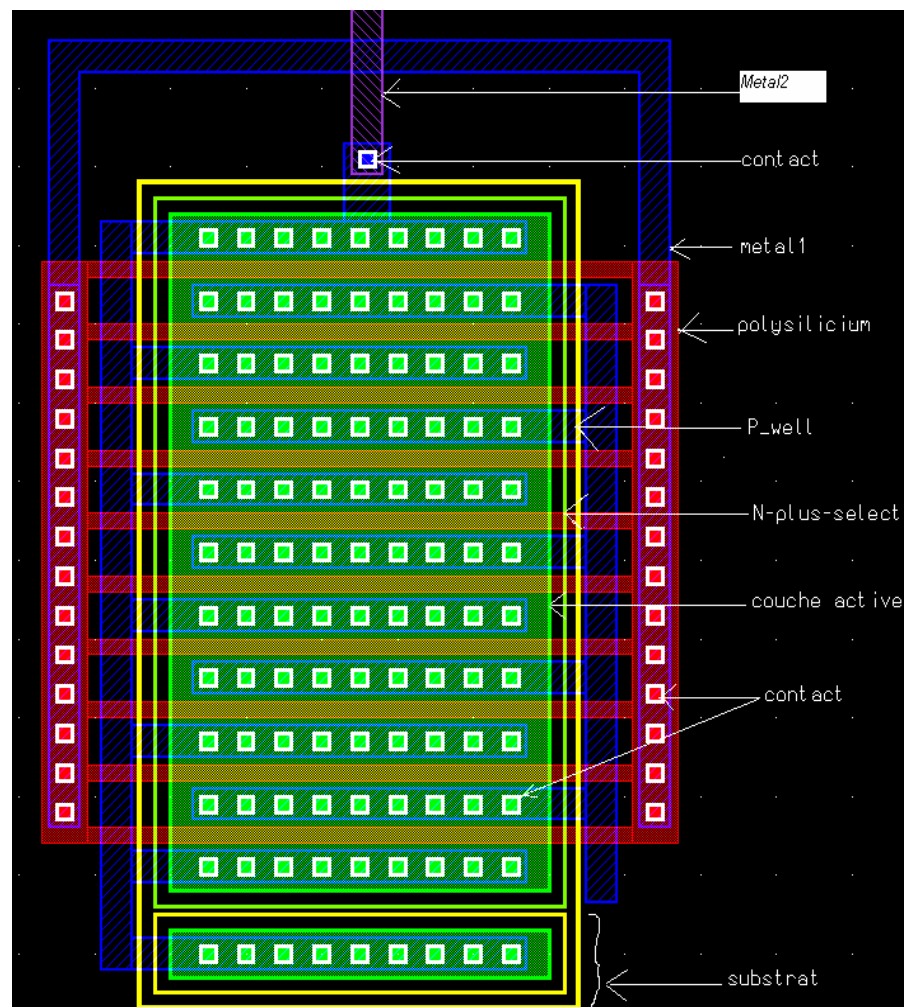


Figure 33 : Dessin des masques d'un transistors MOS avec une structure interdigitée décomposée en 10 petits transistors de $W/L= 10/0,35\mu\text{m}$.

4.4 Conclusion

Dans ce chapitre, nous avons étudié la méthode de caractérisation des transistors MOS submicroniques en radiofréquence, avec l'illustration des techniques de calibrage SOLT et des procédés de calcul des paramètres de bruit intrinsèque du transistor. Finalement nous avons représenté le dessin de masques du transistor et élucidé les différentes contraintes rencontrées dans la conception de layout.

Conclusion Générale

Le but de cette étude était d'étudier le bruit dans les transistors MOS submicroniques profonds en RF et la réalisation d'une structure MOS qui minimise le bruit généré par la distribution de la résistance de grille. Nous avons donné d'abord un rappel des différents types de bruit générés par le transistor MOS radiofréquence, ainsi que l'étude théorique du bruit associé à la grille non incorporé dans les simulateurs actuels. Nous avons, ensuite, présenté la méthode de calcul des quatre paramètres de bruit des transistors MOS submicroniques profonds par l'analyse directe de matrice. L'avantage de cette analyse est de faciliter la caractérisation des sources de bruit dans le modèle s'il existe une corrélation entre les sources de bruit. Cette analyse peut servir d'outil pour développer les modèles appropriés de bruit et pour vérifier leur exécution dans les modèles compacts utilisés dans des simulateurs de circuit. Nous avons suivi cette étude par l'implémentation des modèles dans le simulateur ELDO RF et la simulation de bruit associé à la grille afin de prédire le comportement réel du transistor MOS en radiofréquence et de la structure qui génère le minimum de bruit. Enfin nous avons présenté une méthode de caractérisation en radiofréquence des transistors MOS.

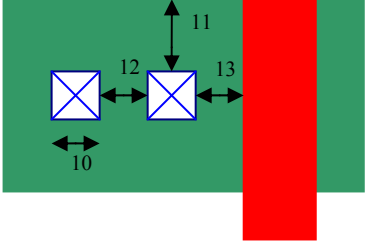
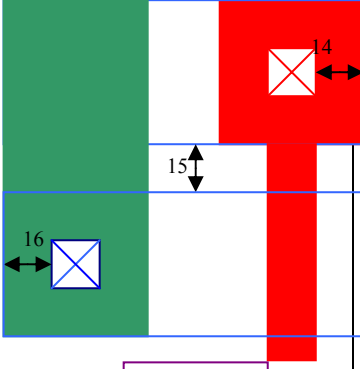
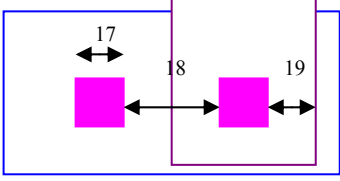
Après cette illustration, nous pouvons résumer l'importance de ce thème de recherche, qui est l'étude du bruit électrique, par les points suivants :

- Cette étude permet de faire un choix du transistor MOS, dans le but de concevoir un amplificateur avec un facteur de bruit optimal en matière de minimisation.
- de conclure que l'étude du bruit du transistor large requiert la recherche des solutions pour optimiser la surface occupée par ces dispositifs d'une part, et réduire le bruit généré d'autre part.
- Cette recherche nous a permis de valider le modèle de ENZ comme étant le modèle le plus approprié.

ANNEXE A

- Règles de dessin du masque

Règle	Description	λ μm	
1	Distance minimal PWell- NSelect	2	
2	Distance minimal Nselect- Active	2	
3	Distance minimal PWell- Active	2	
4	Extension minimale Poly de Active	2	
5	Extension minimale Active de Poly	3	
6	Dimension exacte du Contact –Poly	2x2	
7	Chevauchement minimal Poly de Contact-poly	1,5	
8	Distance minimal entre deux Contacts-poly	3	
9	Distance minimale entre Contact-Poly de Active	2	
10	Dimension exacte du Contact-Active	2x2	
11	Chevauchement minimal du Contact-Active de Active	1,5	
12	Distance minimal entre deux Contact-Active	3	
13	Distance minimal entre Contact-Active de Poly	2	
14	Chevauchement minimal de Métal1 à Contact-Poly	1	

15	Distance minimal entre Métal1	2	
16	Chevauchement minimal de Métal1 à Contact-Active	1	
17	Dimension exacte du Via1	2x2	
18	Distance minimal entre deux Vai1	3	
19	Chevauchement minimal de Métal2 du Vai1	1	
			

REFERENCES BIBLIOGRAPHIQUES

1. Tajinder Manku, Michael Obrecht, and Yi Lin, "High-Frequency Dependence of Channel Noise in Short-Channel RF MOSFETs", IEEE Electron Device Letters, Vol.20, n°. 9. p,481-483 September 1999.
2. Christian C. Enz, and Yuhua Cheng "MOS Transistor Modeling For RF IC Design", IEEE Transaction On Solide-State Circuits, Vol.35, n°.2, p,186-201 February 2000.
3. Bing Wang, "Wide Bande Noise in MSFETs" Master of Science Thesis, Massachusetts institute Of Technology, June.1993.
4. Behzad Razavi, "Desing Of Analog CMOS Integrated Circuits". University of California, Los Angeles p,750-754.
5. Zhang Yuan Chang, Willy M.C.Sansen, "Low-Noise Wide Band Amplifier In Bipolar and CMOS Technologies", Kluwer Academic Publishers.
6. Yamu Hu, "CMOS Low Voltage Preamplifier On 1/F Noise Cancellation", Master Of Science, Université De Montréal, Décembre 2000.
7. Suharli Tedja, Jan Van Der Speigel, Hung H. Williams "Analytical and Experimental Studies of Thermal Noise in MOSFETs" Transactions Devices, Vol, 41, n°, p,2069-2075 11 November 1994.
8. Gleb V. Klimovitch, T. H. Lee, and Y. Yamamoto, "Physical Modelling of Enhanced High-Frequency Drain and Gate", p, 1-5 May 19, 1997.
9. Evangelos F. Tsakas and Alexios N. Birbas "Noise Associated with Interdigitated Gate Structures in RF Submicron MOSFETs" Transactions on Electron Devices, Vol. 47, n°. 9, p, 1745-1750 September 2000.
10. Kiyoshi Takeuchi and Masao Fukuma, "Effects of the Velocity Saturated Region on MOSFET Characteristics" Transaction on Electron Devices. Vol.41.9.p,1623-1627 Sepetember 1994.
11. Dimitris P. Triantis, Alexios N. Birbas, D. Kondis, "Thermel Noise Modeling for Short-Channel MOSFETs" Transactions On Electron Devices, Vol,43, n°.11,p 1950-1955 November 1996.
12. Xiaodong Jin, Jia-Jiunn Ou, Chin-Hung Chen, Weidong Liu, M. Jamel Deen, Paul R. Gray, and Chenming Hu, "An Effective Gate Resistance Model for CMOS RF and Noise Modeling", IEEE.IEDMpp961-964.1998.

13. Kamel Ozanoglu, B.S, "Optimization and Desing Of A CMOS 1800 MHz Receiver Front End", Master Of Science, Thesis Istanbul Technical University, September 2000.
14. Christian Enz, "An MOS Transistor Model for RF IC Design Valid In All Regions Of Operation", Transaction On Microwave Theory And Tchniques, Vol. 50, n°.1,p,342-359 January 2002.
15. R. van Langevelde, J.C.J. Paasschens, A.J. Scholten, R.J. Havens, L.F. Tiemeijer, and D.B.M. Klaassen "New Compact Model for Induced Gate Current Noise", Philips Research Laboratories, Prof. Holstlaan 4, 5656 AA Eindhoven, The Netherlands.
16. Jim Koepp and Ramesh Harjani, "Enhanced Analytic Noise Model For RF CMOS Design", IEEE 2004 Custom Integrated Circuits Conference, University of Minnesota.
17. D.P.Trainitis, A. N. Birbas and S. E. Plevridis "Induced Gate Noise In MOSFETs Revisited: The Submicron Case" Solide State Electronics Vol.41, n°.12, pp.1937-1942, 1997.
18. Behzad Razavi, Ran-Hong, and Kwing F. Lee "Impact of Distributed Gate Resistance on the Performance of MOS Devices", Transaction On Circuits And Systems-I: Fundamental Theory And Application, Vol.41, n°.11,p,750-754 November 1994.
19. C.H.Chen and M.J. Denn, "Direct Calculation of Metal-Oxide-Semiconductor Field Effect Transistor High Frequency Noise Parameters", J.Vac.Sci.Technol.A 16.2, Mar/Apr 1998,pp,850-854.
20. Chin-Hung Chen, B.A.Sc, M.A.Sc, " Noise Characterization And Modeling Of MOSFETs For RF IC Applications" Sc.A A Thesis Submitted To The School Of Graduate Studies In Partial Fulfillment Of The Requirements ForThe Degree of Doctor Of Philosophy, September 2002.
21. Laurent Chusseau, "Parameters S-Antennes", Centre d'électronique et de Microélectronique De MontpellierII, UMR n°.5507 CNRS Université Montpellier www.opto.univ-montp2.fr/ Chusseau, 18Juillet 2003.
22. Richard Lu, "CMOS Low Noise Amplifier Design for Wireless Sensor Networks", Submitted To The Department Of Electrical Engineering and Computer Sciences, University Of California at Berkeley, In Partial Satisfaction Of The Requirements For The Degree Of Master Of Science,Plan II.

23. Jung-Suk Goo, "High Frequency Noise in CMOS Low Noise Amplifiers", Doctor Of Philosophy, August 2001.
24. Todd C. Sepke, "Investigation Of Noise Sources In Scaled CMOS Field Transistor", Master Of Science In Electrical Engineering And Computer Science.
25. Yao-Huang Kao, Meng-Ting Hsu and Yuan-Min Hsu, "Extraction Of Noise Source From Noise Parametres With RF CMOS Devices", Proceedings Of APMC 2001, pp,1326-1329 Taipei, Taiwan, R.O.C.
26. Thomas H. Lee, "Noise Figure Measurement", February 7, 2003; all rights reserved, pp, 1-23.
27. Bhaskar choubey, Chandra, Prakash, Navneet Kunar, "Desing of CMOS Front end for a RF Receiver", pp,1-48, April 2002.
28. Jung-Suk Goo, Williame Liu, Chang- Hoon Choi, Keith R.Green, Zhiping Yu, Thomas H. Lee, and Robert W.Dutton, "The Equivalence of Van der Ziel and BSIM4 Models in Modeling The Induced Gate Noise Of MOSFETs", IEEE, 0-7803-64416-4,2000.
29. Jung-Suk Goo, Kwang-Hoon Oh, Chang-Hoon Choi, Zhiping Yu, Thomas H. Lee, and Robert W. Dutton, "Guidelines for the power Contrained Desing of a CMOS Tuned LNA", IEEE.Mpp 269-272.2002.
30. Tajinder Manku, "The impact of induced Gate Noise When simultaneously power and conjugate Noise- Matching MOS transistors", IEEE Transactions on Circuits and Systems-II: Analog and Digital Signal Processing, pp, 843-844 Vol.46, n°.6.JUNE 1999.
31. Thomas H. Lee, "TheDesing of Narrowband CMOS RF Low-Noise Amplifiers", Stanford University Center for Integrated Systems Stanford, California, USA.
32. Chih-Hung Chen, M. Jamal Deen, Yuhua Cheng, Mishel Matloubian, "Extraction of the Induced Gate Noise, Channel Noise, and Their Correlation in Submicron MOSFETs from RF Noise Measurements", IEEE Transaction on Electron Devices, pp 2884-2892, Vol.48, n°.12 December 2001.
33. V. Breuer, L. Klapproth, M. Tempel, G.Böck, O.Werther,"R F-And Noise Charactirisation of MOSFETs for Mobile Communication Applications", Texas Instruments Deutschland GmbH RF Desing Haggertyste, 85356 Germany, pp 696-700, March 2001.
34. ELDO RF user's manual soft ware version 5.7.1, released 2001.3. Mentor Graphics "copyrights @ Mentor Graphics Corporation 2001 all rights reserved.

35. Boutahar Samir, « Caractérisation de transistors bipolaires à hétérojonctions pour télécommunications haut-débit », Diplôme d'Etudes Approfondies en Microondes et Microtechnologies , 6 Juillet 2004.
36. Michaël Guyonnet, « Modélisation Electrothermique Non Linéaire De Transistors De Puissance LDMOS : Application à La Détermination De Règles D'echell » ,thèse de doctorat de l'université LIMOGES soutenue 25 mars 2005.
37. Chih-Hung Chen, "High Frequency Noise Modeling of MOSFETs", B.A.Sc., National Central University, Taiwan, 1990, Master of Applied Science, December 1997.
38. Chih-Hung Chen and M. Jamal Deen, "A General Procedure for High-Frequency Noise Parameter De-embedding of MOSFETs by Taking the Capacitive Effects Of Metal Interconnections Into Account", IEEE 2001 Int. Conference on Microelectronic Test Structures,pp,131-135 Vol 14, March 2001.
39. Chiu-Hung Chen, B.A.Sc, M.A.Sc, "Noise Characterization and Modeling Of MOSFETs for RF IC Applications", McMaster University (Electrical Engineering) Hamilton, Ontario, Doctor Of Philosophy, September 2002
40. Gehard Knoblinger, "RF-Noise of Deep-Submicron MOSFETs: Extraction and Modeling", Infineon Technologies CFE TD SIM PX1, P.O.BOX 800949, D- 81609 Munich, Germany pp,1-2.