

الجمهورية الجزائرية الديمقراطية الشعبية
République Algérienne démocratique et populaire

وزارة التعليم العالي والبحث العلمي
Ministère de l'enseignement supérieur et de la recherche scientifique

جامعة سعد دحلب البليدة
Université SAAD DAHLAB de BLIDA

كلية التكنولوجيا
Faculté de Technologie

قسم الإلكترونيك
Département d'Électronique



Mémoire de Master

Mention Électronique
Spécialité Microélectronique

Présenté par :

BOULAHBAL Mohamed Lamine

&

BOULAARES HICHEM

Etude et simulation d'un multiplieur 4 bits

Proposé par : NACER Said

Année Universitaire : 2019-2020

Remerciements

Nous remercions tout d'abord le bon Dieu, le tout puissant de nous avoir armé de force et de courage pour mener à terme ce projet.

La réalisation de ce mémoire a été possible grâce au concours de plusieurs personnes à qui nous voudrions témoigner toute notre gratitude. Notre profonde reconnaissance s'adresse à Monsieur NACER Said, encadreur de ce mémoire pour ses conseils fructueux et pour son aide précieuse qui nous a conduits à concrétiser ce travail.

Nos vifs remerciements s'adressent aux professeurs de la faculté qui nous ont fourni les outils nécessaires à la réussite de nos études universitaires.

Nous voudrions exprimer notre reconnaissance envers les amis et collègues qui nous ont apporté leur soutien moral et intellectuel tout au long de notre démarche.

Enfin, nous ne pouvons pas s'empêcher de remercier tout le corps enseignant de l'université SAAD DAHLEB et le département d'électronique en particulier pour la qualité d'enseignement qu'il nous a offert et d'avoir bâti l'édifice intellectuel que nous sommes d'ores et déjà.

Je dédie ce modeste travail à :

Ma très chère **mère**, qui a toujours été présente pour moi, dans les moments les plus difficiles et qui sans cesse veillait sur moi avec son éducation et ses conseils, preuve du grand amour qu'elle me porte.

Mon cher **père**, pour tous ses grands sacrifices et toute la confiance qu'il a mis en moi et pour son dévouement pour mon bonheur.

Que dieu me les garde.

Mon frère Nour El Islam et ma petite sœur Zayneb et toute la famille :

BOULAHBAL et LAMINE.

Tous mes amis(es), plus particulièrement mon binôme, mon bras droit, un frère avant d'être un ami BOULAARES Hichem et ses chers parents. Mon ami d'enfance GUENZET Younes et mon très cher ami AKRDAR Yacine.

Mon enseignant NACER Said pour l'opportunité et la confiance qu'il nous a accordées.

BOULAHBAL Mohamed Lamine

ملخص:

يعتبر المضاعف أحد أهم الأجهزة الرئيسية في تصميم المعالجات الحسابية والإشارة والصور. في السنوات الأخيرة لعبت المضاعفات عالية السرعة دورًا مهمًا في تصميم أي هندسة معمارية، ولا يزال الباحثون يعملون على زيادة سرعة تشغيل هذه المضاعفات. في عملنا هذا، قمنا بدراسة ومقارنة بنية دائرتين اندماجيتين على أساس بوابات منطقية منظمة في تقنية CMOS، والتي لها وظيفة ضرب رقمين ثنائيين من 4 بتات يحدد عدد ترانزستورات MOS المستخدمة والخوارزمية المتبعة أداء المضاعف من حيث المساحة الطاقة ووقت الاستجابة.

الكلمات المفاتيحية: مضاعف 4 بتات، المعالجات، دائرتين اندماجيتين، بوابات منطقية، CMOS، ترانزستورات.

Résumé :

Le multiplieur est l'un des blocs matériels clés dans la conception de processeurs d'arithmétiques de signal et d'image. Ces dernières années, les multiplieurs à grande vitesse jouent un rôle important dans la conception de toute architecture et les chercheurs travaillent encore pour augmenter leur vitesse de fonctionnement. Dans notre travail, nous avons étudié et comparé l'architecture de deux circuits combinatoires à base de portes logiques structurés en technologie CMOS, qui ont pour fonction de multiplier deux nombres binaires de 4 bits. A la fin nous avons constaté que le nombre de transistors MOS utilisés et l'algorithme suivis définissent les performances du multiplieur en terme de surface, de puissance et de vitesse.

Mots clés : Multiplieur 4 bits, Processeurs, Arithmétiques, Circuits combinatoires, Portes logiques, CMOS, Transistors.

Abstract :

Multiplier is one of the key hardware blocks in the design of arithmetic, signal and image processors. In recent years, high speed multipliers have played an important role in the design of any architecture and researchers are still working to increase the speed of their performance. In our work, we studied and compared the architecture of two combinatorial circuits based on logic gates structured in CMOS technology, which have the function of multiplying two binary numbers of 4 bits. The number of MOS transistors used and the algorithm followed define the operation of the multiplier in terms of area, power and response time.

Key words : Multiplier 4 bits, Arithmetic, Processors, Combinatorial circuits, Logic gates, CMOS, Transistors.

Table des matières

Remerciement	
Dédicace	
Résumé	
Introduction générale	01
CHAPITRE 1: Les Circuits Intégrés	03
1.1 Historique	03
1.2 Définition	04
1.3 A l'intérieur du CI	05
1.4 Packages des CI	07
1.5 Les CI les plus commun	08
1.5.1 Portes Logiques	08
1.5.2 Microcontrôleurs, microprocesseurs, FPGA, etc.	08
1.5.3 Capteurs	09
1.6 Catégories de circuits intégrés	09
1.6.1 Circuits intégrés hybrides	10
1.6.2 Circuits intégrés monolithiques	11
1.7 Familles de circuits intégrés	11
1.7.1 Circuits intégrés logiques	12
1.7.2 Circuits intégrés linéaires	13
1.8 Etapes de fabrication des CI	14
1.9 Intérêts des circuits intégrés	15
1.10 Conclusion	16
CHAPITRE 2: Du silicium au circuit CMOS	17
2.1 Le 'Silicium'	17
2.2 Le Semi-conducteur	18
2.2.1 Semi-conducteurs intrinsèques	18
2.2.2 Semi-conducteurs dopés	21
2.3 Le transistor MOS	23
2.3.1 L'ère du transistor	23

2.3.2	Définition	24
2.3.3	Principe de fonctionnement du transistor MOS	25
2.3.4	Fabrication du transistor MOS	28
	a. Architecture générale	28
	b. Procédé de fabrication en technologie CMOS	28
2.4	Les portes logiques	30
2.4.1	Les portes NOT, NAND et NOR	30
	a. L'inverseur CMOS (NOT)	30
	b. La porte NAND	31
	c. La porte NOR	32
2.4.2	Les portes NAND et NOR à 3 entrées	33
2.4.3	Les portes AND et OR	34
	a. La porte AND	34
	b. La porte OR	35
2.4.4	La porte XOR	35
2.4.5	La porte XNOR	37
2.5	Arithmétiques	37
2.5.1	Introduction	37
2.5.2	Half Adder	38
2.5.3	Full Adder	39
2.5.4	Le multiplieur	40
	a. Définition	40
	b. Multiplieur 4 bits	41
	c. Array Multiplier	43
	d. Vedic Multiplier	45
2.6	Conclusion	47
CHAPITRE 3: Analyses et simulations		48
3.1	Introduction au logiciels DSCH et MICROWIND	48
	3.1.1 A propos de DSCH	48
	3.1.2 A propos de MICROWIND	49
3.2	Array Multiplier	50

3.2.1	Conception basique	50
3.2.2	Composition	50
a.	Simulation de la porte AND	52
b.	Simulation du Half Adder	53
c.	Simulation du Full Adder	55
3.2.3	Conception et simulation du multiplieur	57
a.	Simulation de la cellule	57
b.	Diagramme schématique	58
c.	Le code Verilog	59
d.	Layout	60
e.	Résultat de la simulation	61
3.3	Vedic Multiplier	62
3.4	Interprétation des résultats	64
3.5	Conclusion	66
3.6	Conclusion générale	67

Listes des acronymes et abréviations

CI : Circuit intégré

FPGA : Field-programmable Gate Array

DIP : Dual In-line Package

QFN : Quad Flat No-leads Package

QFP : Dual-Flat No-leads Package

BGA : Ball Grid Array

TFT : Thin-film Transistor

LED : Light-emitting Diode

CTD : Charge Transfer Devices

RTL : Resistor–transistor Logic

DTL : Diode–transistor Logic

TTL : Transistor–transistor Logic

JFET : Junction Field Effect Transistor

MOS : Metal Oxide Semiconductor

CMOS : Complementary Metal Oxide Semiconductor

MOSFET : MOS Field Effect Transistor

n : La concentration d'électrons

p : La concentration des trous

n_i : La concentration des porteurs de silicium intrinsèque à une température donnée

B : Paramètre dépendant du matériel

T : Température

E_g : Energie de gap

K : Constant de Boltzmann

MΩ : Megaohm

μW : Microwatts

mW : Miliwatts

ns : Nanoseconde

ps : Picoseconde

Liste des figures

Fig. 1.1: Jack St. Clair Kilby (November 8, 1923 – June 20, 2005) [2]

Fig. 1.2: IC NE555 [4]

Fig. 1.3 : Microprocesseur Intel [5]

Fig. 1.4 : Les tripes d'un circuit intégré, visibles après le retrait de la couverture [3]

Fig. 1.5 : Un aperçu d'un die [3]

Fig. 1.6 : Masque d'un circuit intégré

Fig. 1.7 : différents types de package [7]

Fig. 1.8 : Indication des broches [3]

Fig. 1.9 : Porte AND à 4 entrées

Fig. 1.10 : Logiques anciennes [9]

Fig. 1.11 : Logiques modernes [9]

Fig. 1.12 : Etapes de fabrication des CI [10]

Fig. 1.13 : Finalisation et packaging [10]

Fig. 2.1 : Les formes de silicium [11]

Fig. 2.3 : Le symbole 3D de l'atome de silicium

Fig. 2.2 : Le tableau périodique [18]

Fig. 2.4 : Représentation bidimensionnelle du cristal de silicium. Les cercles représentent le noyau interne des atomes de silicium, avec +4 indiquant sa charge positive de $+4q$ qui est neutralisée par la charge des quatre électrons de valence. Noter la façon dont les liaisons covalentes sont formées en partageant les électrons de valence. À 0 K, toutes les liaisons covalentes sont intactes et aucun électron libre n'est disponible pour la conduction du courant.

Fig. 2.5 : À température ambiante, quelques-unes des liaisons covalentes sont brisées par l'effet thermique. Chaque connexion brisée donne lieu à un électron libre et un trou, tous deux disponibles pour la conduction du courant. [12]

Fig. 2.6 : Cristal de silicium dopé par un élément pentavalent. Chaque atome dopant cède un électron libre, raison pour laquelle cet élément est appelé donneur. Le semi-conducteur ainsi dopé est de type n. [12]

Fig. 2.7 : Cristal de silicium dopé avec des impuretés trivalentes. Chaque atome du dopant donne lieu à un trou et le semi-conducteur est de type p. [12]

Fig. 2.9 : Coupe TEM d'un transistor de longueur de grille 30nm [15]

Fig. 2.10 : Transistor MOS de type N [16]

Fig. 2.11 : schématique des transistors N et P [16]

Fig. 2.12 : Schéma simplifié représentant un transistor MOS à effet de champ de type n (nMOSFET) [13]

Fig. 2.13 : MOS à canal P (pMOS) [17]

Fig. 2.14 : MOS à canal N (nMOS) [17]

Fig. 2.15 : Caractéristique de sortie $I_D(V_G)$ idéale (en trait gras) et réelle (en trait fin) d'un transistor nMOSFET. [14]

Fig. 2.16 : Description générale d'un transistor nMOSFET et schéma du jeu de masque de fabrication associé. [19]

Fig. 2.17 : Les différentes étapes suivies pendant un procédé de fabrication d'une technologie CMOS à caisson n. [21]

Fig. 2.18 : Symbole IEEE et implémentation (Inverseur)

Fig. 2.19 : Symbole IEEE et implémentation (NAND)

Fig. 2.20 : Symbole IEEE et implémentation (NOR)

Fig. 2.21 : Symbole IEEE et implémentation (NAND à 3 entrées)

Fig. 2.23 : Symbole IEEE et implémentation (AND)

Fig. 2.22 : Symbole IEEE et implémentation (NOR à 3 entrées)

Fig. 2.24 : Symbole IEEE et implémentation (AND)

Fig. 2.25 : Symbole IEEE de la porte XOR

Fig. 2.26 : Implémentation (XOR)

Fig. 2.27 : Symbole IEEE de la porte XNOR

Fig. 2.28: Schématique d'un Half Adder

Fig. 2.29: Schématique d'un Full Adder [18]

Fig. 2.30 : Le diagramme du circuit multiplieur 4x4 bits.

Fig. 2.31 : Multiplieur parallèle 4x4 bits à base d'additionneurs complets.

Fig. 2.32 : Représentation de la cellule du Array Multiplier

Fig. 2.33 : Diagramme schématique du Array Multiplier

Fig. 2.34 : Exemple de multiplication binaire 4x4 utilisant Urdhva Tiryakbhyam

Fig. 2.35 : Multiplication de deux nombres décimaux par Urdhva Tiryakbhyam [22]

Fig. 2.36 : Multiplication de deux nombres binaires de 4 bits par Urdhva Tiryakbhyam

Fig. 3.1 : Interface de logiciel DSCH

Fig. 3.2 : Interface de logiciel MICROWIND

Fig. 3.3 : procédure de multiplication

Fig. 3.4 : La cellule de la multiplication élémentaire

Fig. 3.5 : Implémentation et table de vérité d'une porte AND en CMOS

Fig. 3.6 : Layout compilé (à gauche) et arrangement manuel (à droite) pour obtenir une cellule plus compacte.

Fig. 3.7 : Simulation de la porte AND

Fig. 3.8 : Diagramme schématique de Half Adder

Fig. 3.9 : Verilog code pour le Half Adder

Fig. 3.10 : Layout d'un Half Adder

Fig. 3.11 : Résultat de la simulation d'un Half Adder

Fig. 3.12 : Diagramme schématique de Full Adder

Fig. 3.13 : Verilog code pour le Full Adder

Fig. 3.14 : Layout après la compilation du code

Fig. 3.15 : Résultat de la simulation d'un Full Adder

Fig. 3.16 : Layout de la cellule de multiplication

Fig. 3.17 : Résultat de la simulation de la cellule

Fig. 3.18 : Le diagramme schématique de multiplieur 4 bits

Fig. 3.19 : Simulation d'un exemple de multiplication

Fig. 3.20 : Création du code Verilog

Fig. 3.21 : Layout du Array Multiplier

Fig. 3.22 : Résultat de la simulation

Fig. 3.23 : Implémentation et simulation de Vedic Multiplier en DSCH

Fig. 3.24 : Layout de Vedic Multiplier en MICROWIND

Fig. 3.25 : Résultat de la simulation en MICROWIND

Fig. 3.26 : Comparaison de Array et Vedic Multipliers en terme de surface

Fig. 3.27 : Nombre de cellules et de transistors MOS

Fig. 3.28 : Puissance consommée par chaque multiplieur

Liste des tableaux

Tableau 2.1 : Table de vérité de l'inverseur

Tableau 2.2 : Table de vérité de la porte NAND

Tableau 2.3 : Table de vérité de la porte NOR

Tableau 2.4 : Table de vérité de la porte AND

Tableau 2.5 : Table de vérité de la porte OR

Tableau 2.6 : Table de vérité de la porte XOR

Tableau 2.7 : Table de vérité de la porte XNOR

Tableau 2.8 : Table de vérité du Half Adder

Tableau 2.9 : Table de vérité du Full Adder

Tableau 2.10 : Table de vérité d'une cellule de la multiplication élémentaire

Tableau 3.1 : Tableau de comparaison

Introduction générale

La microélectronique désigne l'ensemble des technologies de fabrication de composants qui utilisent des courants électriques pour transmettre, traiter ou stocker des informations. Les technologies de la microélectronique sont, en grande partie, à l'origine des formidables progrès réalisés ces dernières décennies dans le domaine entre autres de l'informatique, des télécommunications et de l'imagerie. La microélectronique a touché tous les aspects de la vie moderne. On ne peut pas imaginer un monde sans téléphones cellulaires, ordinateurs personnels, téléviseurs, fours à micro-ondes, calculettes, etc... D'une certaine manière, la microélectronique devient le nerf central du monde moderne. L'invasion de la microélectronique n'a pas de précédent dans l'histoire des technologies. Elle s'explique par le rythme d'innovation accéléré de l'industrie microélectronique : celle-ci n'a cessé de produire des transistors plus petits, donc des circuits intégrés plus puissants et plus performants. En 1971, le processeur 4004 d'Intel contenait quelques 2300 transistors. En 2006, la perspective de puces à 1 milliard de transistors se rapproche. Cet extraordinaire condensé d'intelligence coûte de moins en moins cher.

De la résistance au transistor, du circuit intégré au microprocesseur en passant par les convertisseurs ou les diodes électroluminescentes (LEDs)... les composants de la microélectronique, familièrement appelés « puces » (ou chip en anglais), sont extrêmement nombreux. Ils forment une combinaison étonnante remplissant des fonctions extrêmement variées. Parmi les centaines de composants microélectroniques existants, on peut relever par exemple, parmi les plus célèbres : une diode, un transistor, un circuit intégré, un processeur, un microcontrôleur, un microprocesseur...

Le nombre de transistors par unité de surface quadruple tous les trois ans, et le coût des circuits est divisé par deux tous les 18 mois environ, notamment grâce à la fabrication collective de centaines de puces sur chaque plaquette de silicium. Cette courbe de croissance des performances avait été décrite dès 1965 par Gordon Moore, cofondateur de la société Intel. Cette révolution ne cesse pas à s'avancer. Actuellement la fabrication des circuits intégrés devient très complexe, on a atteint des gravures très fines (jusqu'à

7nm). Mais peu importe : tous les fondeurs, qu'ils utilisent tel ou tel processus avec tel ou tel matériau pour tel ou tel usage, travaillent à réduire la finesse de gravure.

Notre travail est l'intégration de la multiplication faite en électronique numérique au moyen d'un système binaire. L'arithmétique binaire consiste en la soustraction, la multiplication, l'addition et la division. Ce mémoire traite de la conception et de la vérification de la fonctionnalité d'un multiplieur qui est un élément essentiel dans le traitement numérique du signal d'aujourd'hui et dans diverses autres applications. Ces dernières années, les multiplieurs à grande vitesse jouent un rôle important dans la conception de toute architecture et les chercheurs travaillent encore sur de nombreux facteurs pour augmenter leur vitesse de fonctionnement. Les algorithmes de conception de multiplieurs à grande vitesse ont été modifiés et développés pour une meilleure efficacité. La complexité accrue de diverses applications exige non seulement des multiplieurs plus rapides, mais également des algorithmes de multiplication plus intelligents et efficaces qui peuvent être implémentés dans les puces.

Dans le premier chapitre de ce travail on va aborder les circuits intégrés en général, leur début, conception, catégories et fonctionnements. Ensuite on va montrer brièvement dans le deuxième chapitre un semi-conducteur dominant dans la fabrication des composants électroniques, le silicium. On va passer ainsi par les transistors qui représentent l'élément de base dans la conception des circuits intégrés avec une présentation d'une technologie moderne; la technologie CMOS. À la fin et dans le troisième chapitre on va étudier et comparer deux types différents de multiplieurs: Array et Vedic Multipliers. La simulation sera faite à l'aide des logiciels DSCH et MICROWIND.

Chapitre 1 : les circuits intégrés

1.1 Historique

Jack Kilby (1923 – 2005) est l'inventeur du circuit intégré. Jeune recrue de TI, Kilby ne peut prétendre à prendre des vacances pendant l'été 1958. Il profite du répit régnant dans les laboratoires pour expérimenter la construction d'un bloc de matériau semi-conducteur censé pallier les problèmes de connexion entre les transistors, reliés jusqu'alors par de fragiles fils de cuivre. Le premier circuit-intégré est né, qui va ouvrir la voie à l'ère informatique moderne. Jack Kilby dépose le brevet de son invention en 1959, quelques mois avant que Robert Noyce, le cofondateur d'Intel, ne fasse la même chose alors qu'il travaillait pour Fairchild SemiConductor. L'invention de Noyce concernait le procédé permettant de produire économiquement et à grande échelle les circuits intégrés. Kilby et Noyce s'opposèrent pendant des années sur la paternité de la découverte originelle. Pendant toute sa carrière à TI, Kilby participe à la conception de nombreuses nouveautés, comme la calculatrice électronique portable ou l'imprimante thermique. Pourtant, il a toujours pris soin d'éviter d'utiliser les applications de ses idées : il n'a ainsi jamais porté de montre à affichage digital, ne s'est pas équipé de four à micro-ondes...

En 1995, Jack Kilby reçoit le prix Robert N. Noyce, la plus haute distinction décernée par l'Association de l'industrie des semi-conducteurs (SIA). Cinq ans plus tard, il gagne le prix Nobel de physique pour sa contribution décisive au développement du circuit intégré. Il invite le cofondateur d'Intel, Gordon Moore, à la remise du prix. Un hommage à Noyce, décédé en 1990, avec lequel il s'était réconcilié. [1]

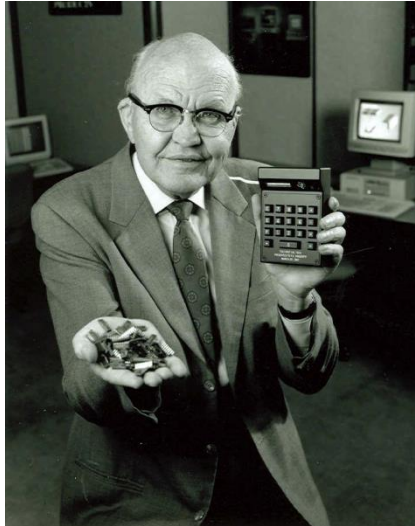


Fig. 1.1: Jack St. Clair Kilby (November 8, 1923 – June 20, 2005) [2]

1.2 Définition

Le circuit intégré (CI), aussi appelé puce électronique, est la clé de l'électronique moderne. Il est le cœur et le cerveau de la plupart des circuits. Ce sont les petites "puces" noires omniprésentes qu'on trouve sur presque tous les circuits imprimés. Si on construit un projet électronique on aura probablement au moins un circuit intégré dedans, il est donc important de les comprendre, à l'intérieur comme à l'extérieur. Le CI est un composant dit actif. Il s'agit d'un composant possédant un certain nombre de broches (deux à plusieurs centaines), et qui intègre en son sein un certain nombre de composants tels que transistors, résistances, diodes, etc. Certains circuits intégrés, comme le fameux NE555, ne possèdent que quelques dizaines de composants, alors que d'autres, comme les micro-processeurs, peuvent en intégrer plusieurs millions. [3]

L'intégration définit le nombre de composant que le circuit intégré peut contenir. Elle est définie par les initiales suivantes :

SSI « Small Scale Integration » (moins de 100 transistors ou 1 à 10 portes)

MSI « Medium Scale Integration » (100 à 3000 transistors ou 10 à 100 portes)

LSI « Large Scale Integration » (3000 à 30.000 transistors ou 100 à 1000 portes)

VLSI « Very Large Scale Integration » (30.000 à 1.000.000 transistors)

ULSI « Ultra Large Scale Integration » (>1.000.000 transistors)



Fig. 1.2: IC NE555 [4]



Fig. 1.3 : Microprocesseur Intel [5]

1.3 À l'intérieur du CI

Quand on pense aux circuits intégrés, ce sont de petites puces noires qui viennent à l'esprit. Mais qu'y a-t-il dans cette boîte noire?

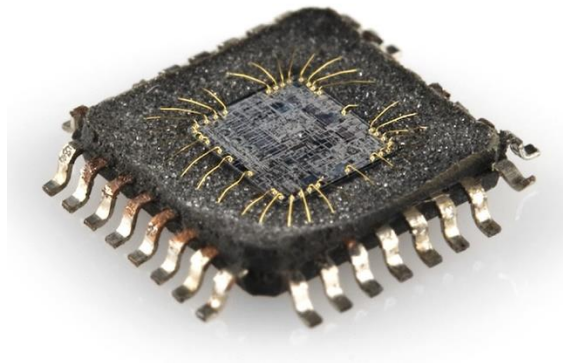


Fig. 1.4 : Les tripes d'un circuit intégré, visibles après le retrait de la couverture [3]

L'intérieur d'un circuit intégré complexe est un univers très différent de celui de la carte de circuit imprimé sur lequel il est monté. Toutes les échelles sont réduites par des facteurs importants, de l'ordre de plusieurs milliers. Par exemple, les dimensions avec lesquelles un circuit intégré est dessiné s'expriment, actuellement, en dizaines de nanomètres, alors que le dessin du circuit imprimé est réalisé au dixième de millimètre. [6]

La configuration de circuit intégré, également connue sous le nom Layout ou masque, est la représentation d'un circuit intégré en termes de formes géométriques planes qui correspondent aux motifs de couches métalliques, d'oxyde ou de semi-conducteur qui composent le circuit intégré. Ces schémas de configuration ou topographies des circuits sont obtenus après une certaine série de conceptions spécifiques à l'aide de certains logiciels qui définissent à la fin le type de CI fabriqué.

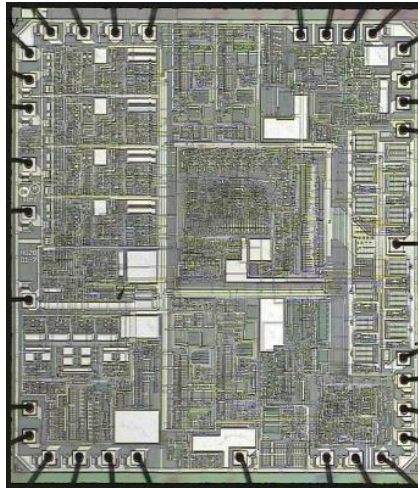


Fig. 1.5 : Un aperçu d'un die [3]

Bien que le circuit intégré lui-même soit minuscule, les wafers de semi-conducteur et les couches de cuivre qui le composent sont incroyablement minces. Les connexions entre les couches sont très complexes.

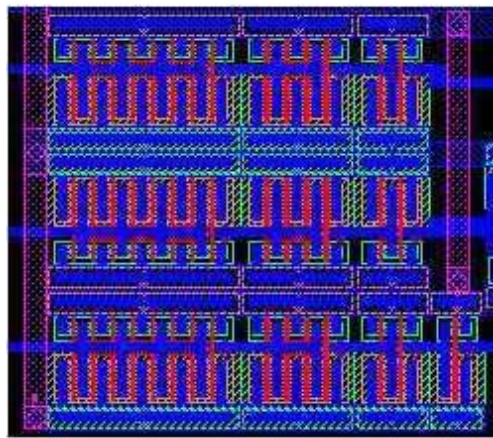


Fig. 1.6 : Masque d'un circuit intégré

Le résultat est un CI dans sa plus petite forme possible, trop petit pour être soudé ou connecté. Pour faciliter notre travail de connexion au CI, nous emballons ces puces. Le package de CI transforme la délicate et minuscule puce en une puce noire, plus solide et pratique, que nous connaissons tous.

1.4 Packages des CI

Le package ou l'emballage est ce qui encapsule la puce de circuit intégré et la transforme en un dispositif auquel nous pouvons plus facilement nous connecter. Chaque connexion externe sur la puce est connectée via un petit morceau de fil d'or à un tampon ou une broche sur l'emballage. Les broches sont les bornes extrudées en argent sur un circuit intégré, qui se connectent ensuite à d'autres parties d'un circuit. Celles-ci sont de la plus haute importance pour nous, car ce sont elles qui vont se connecter au reste des composants et des fils d'un circuit. [3]

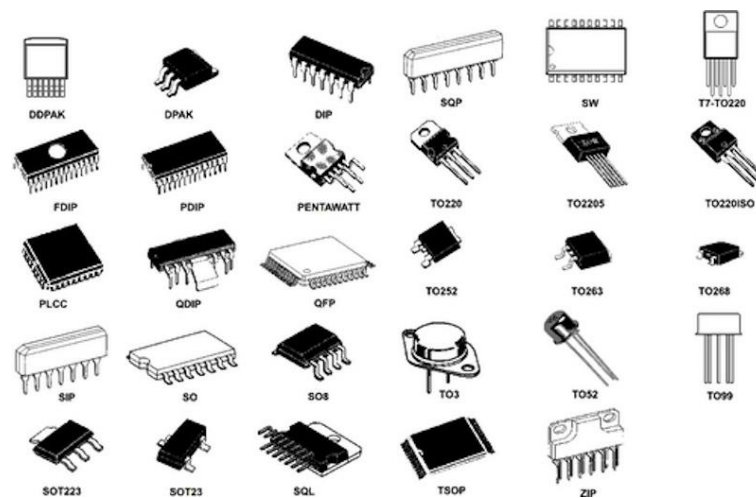


Fig. 1.7 : différents types de package [7]

On doit noter que tous les circuits intégrés sont polarisés et chaque broche est unique en termes d'emplacement et de fonction. Cela signifie que l'emballage doit avoir un moyen de transmettre quelle broche est laquelle. La plupart des circuits intégrés utilisent une encoche ou un point pour indiquer quelle broche est la première broche. (Parfois les deux, parfois l'un ou l'autre).

Une fois que vous savez où se trouve la première broche, les numéros de broches restants augmentent séquentiellement à mesure que vous vous déplacez dans le sens inverse des aiguilles de la montre autour de la puce.

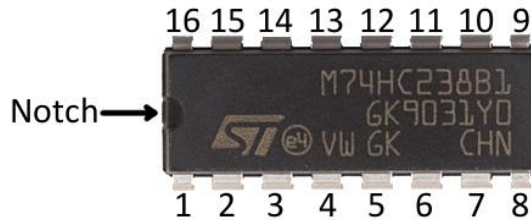


Fig. 1.8 : Indication des broches [3]

1.5 Les CI les plus communs

Les circuits intégrés sont répandus sous tant de formes dans l'électronique, il est difficile de tout couvrir. Voici quelques-uns des CI les plus courants qu'on peut rencontrer dans l'électronique.

1.5.1 Portes logiques

Les portes logiques, éléments constitutifs de la plupart des circuits intégrés, elles-mêmes, peuvent être intégrées dans leur propre circuit intégré. Certains CI de portes logiques peuvent contenir une centaine de portes dans un seul paquet, comme cette porte AND à quatre entrées :

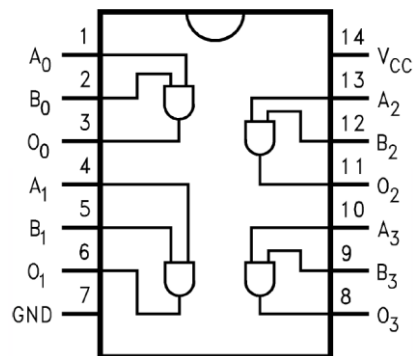


Fig. 1.9 : Porte AND à 4 entrées

Les portes logiques peuvent être connectées à l'intérieur d'un circuit intégré pour créer des minuteries, des compteurs, des codeurs, des registres à décalage et d'autres circuits logiques de base. [3]

1.5.2 Microcontrôleurs, microprocesseurs, FPGA, etc.

Les microcontrôleurs, microprocesseurs et FPGA, qui contiennent tous des milliers, des millions, voire des milliards de transistors dans une minuscule puce, sont tous des circuits intégrés. Ces composants existent dans une large gamme de fonctionnalités, de complexité et de taille; d'un microcontrôleur 8 bits comme l'ATmega328 dans un Arduino, à une activité complexe d'organisation de microprocesseur 64 bits et multi-cœur dans votre ordinateur.

Ces composants sont généralement le plus grand circuit intégré d'un circuit. Des microcontrôleurs simples peuvent être trouvés dans des packages allant du DIP au QFN / QFP, avec un nombre de broches compris entre huit et cent. À mesure que ces composants deviennent de plus en plus complexes, le package devient tout aussi complexe. Les FPGA et les microprocesseurs complexes peuvent avoir plus de mille broches et ne sont disponibles que dans des packages avancés tels que QFN, LGA ou BGA.

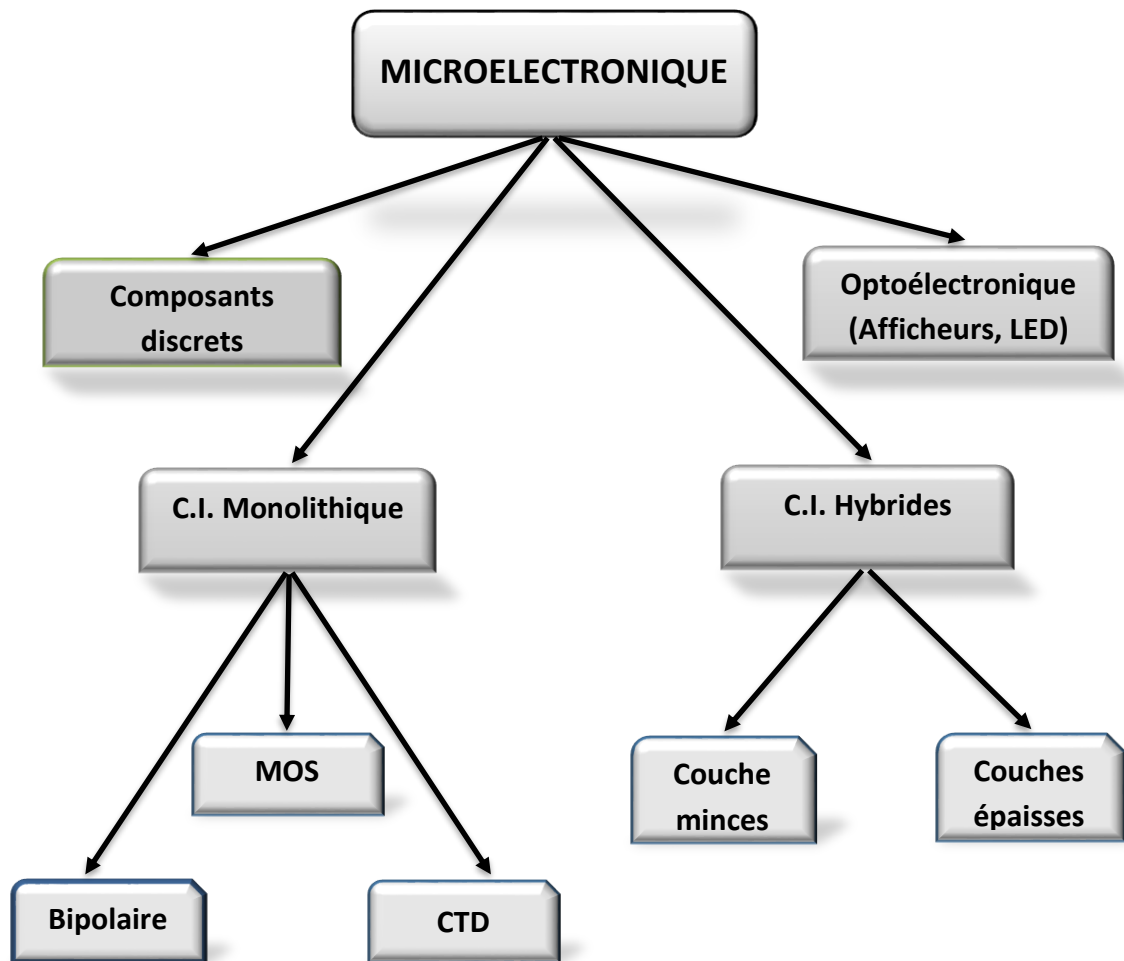
1.5.3 Capteurs

Les capteurs numériques modernes, tels que les capteurs de température, les accéléromètres et les gyroscopes, sont tous emballés dans un circuit intégré.

Ces circuits intégrés sont généralement plus petits que les microcontrôleurs ou d'autres circuits intégrés sur une carte de circuit imprimé, avec un nombre de broches compris entre trois et vingt. Les circuits intégrés de capteurs DIP deviennent une rareté, car les composants modernes se trouvent généralement dans les boîtiers QFP, QFN et même BGA. [3]

1.6 Catégories de circuits intégrés

Les circuits intégrés, du fait de leurs dimensions, ont incité à la création d'un nouveau terme: la microélectronique. Le schéma suivant résume cette nouvelle notion :



On peut voir qu'il y a deux grandes catégories de circuits intégrés: les C.I hybrides et les C.I monolithiques.

1.6.1 Les circuits intégrés hybrides:

Ils ne méritent pas tout à fait le nom de circuits intégrés comme le laisse apparaître leur fabrication: ils sont conçus sur un substrat isolant (verre ou céramique ou autre) qui, par impression ou gravure, reçoit des conducteurs et des composants passifs. Les éléments actifs, réduits à leur plus simple expression (chips), sont ensuite ajoutés et soudés (on dit qu'ils sont « rapportés »).

On distingue deux sortes de circuits hybrides:

- Les hybrides à couches minces (moins de 10 μm) réalisés le plus souvent par dépôt sous vide et gravure.

- Les hybrides à couches épaisses (10 à 50 μm) où les couches sont obtenues par sérigraphie. Avec cette technique, il est même possible de réaliser directement sur le

substrat des transistors, appelés transistors TFT (Thin Film Transistors) ou transistors à couches minces.

1.6.2 Les circuits intégrés monolithiques

Ce sont des éléments électroniques actifs et passifs réalisés simultanément au cours d'un même processus de fabrication. Ils sont dits « monolithiques » car ils ne comprennent à l'intérieur du boîtier qu'un seul morceau de Silicium et c'est dans ce morceau que sont réalisés tous les composants du circuit.

Du point de vue technologique, on y trouve trois grandes subdivisions:

- a) Les circuits à transistors bipolaires tels les PNP et NPN classiques.
- b) Les circuits à transistors MOS (N-MOS, P-MOS ou C-MOS) et à J- FET.
- c) Les circuits à transfert de charge CTD (de Charge Transfer Devices) [9]

1.7 Familles de circuits intégrés

On divise les circuits électroniques en deux grandes catégories: les circuits numériques (ou logiques) et les circuits linéaires (ou analogiques). Ils se différencient par la manière dont ils traitent l'information:

-Les circuits numériques travaillent par "tout ou rien" (leurs signaux d'entrée et de sortie ne prennent que deux valeurs représentées conventionnellement par 0 et 1.

On mentionne : les combinatoires simples / complexes, compteurs, multiplieurs, comparateurs, bascules etc.)

-Les circuits linéaires présentent un signal de sortie en fonction des signaux d'entrée. (Cette fonction n'est évidemment pas nécessairement du type $y = a.x+b$ mais on les appelle quand même circuits linéaires). Ce type de circuit intégré est apparu un peu plus tard que le premier, vers 1965.

Ces deux catégories se divisent aussi en familles. Bien que les frontières ne soient pas toujours très nettes, on pourra grossièrement présenter les subdivisions suivantes:

1.7.1 Circuits intégrés logiques :

- Logique RTL (Resistor Transistor Logic)
- Logique DTL, DCTL, ... (Diode Transistor Logic)
- Logique TTL (Transistor Transistor Logic)
- Logique MOS (Metal On Silicon)

Les figures 1.10 et 1.11 montrent par exemple une porte NAND réalisée dans différentes logiques. Précisons que les logiques RTL, DTL, DCTL, ... ne sont pratiquement plus utilisées. Ce sont les plus anciennes. [8]

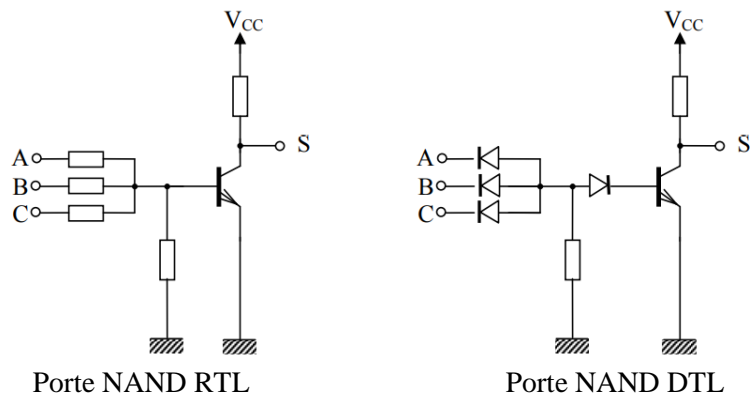


Fig. 1.10 : Logiques anciennes [9]

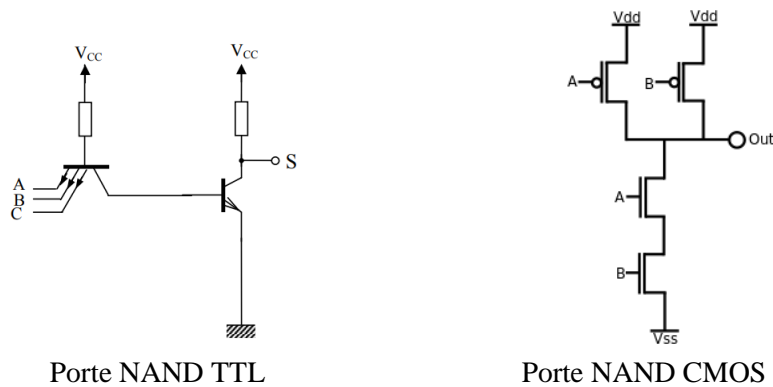


Fig. 1.11 : Logiques modernes [9]

Les circuits TTL sont constitués de transistors bipolaires et sont assez gourmands en énergie mais ils peuvent travailler vite (30MHz ou plus). L'impédance de leurs entrées est faible (2 k Ω) et ces entrées si elles sont laissées en l'air (non raccordées) prennent la valeur 1 (état logique haut).

Les circuits CMOS sont apparus après, ils sont construits sur la base de transistors à effet de champ (FET) et consommant moins, mais ils sont plus lents (5 MHz au mieux). L'impédance de leurs entrées est élevée (centaines de $M\Omega$). L'entrée d'un circuit CMOS ne doit jamais être laissée en l'air car elle peut à tout instant prendre une valeur indéterminée et donc provoquer un dysfonctionnement voire une surconsommation du circuit.

Ajoutons que la logique TTL, qui est en usage actuellement avec la logique MOS, présente plusieurs versions améliorées et a induit une certaine évolution (pour des questions de rapidité, on préfère ne pas saturer les transistors de commutation) d'où la TTL Schottky (on y utilise des transistors Schottky, c'est à dire avec jonctions métal-semi-conducteur), l'ECL (Emitter Coupled Logic), la IIL (Integrated Injection Logic), ... De même que la logique MOS, qui a permis le développement des micro-processeurs, présente aussi plusieurs subdivisions (P-MOS, N-MOS, C-MOS, LOC-MOS, ...) [9]

Il faut noter qu'il existe des technologies (par exemple celle appelée BiMOS) dans laquelle on intègre sur une même puce des bipolaires et des MOS.

1.7.2 Circuits intégrés linéaires :

Leur classement est peut-être plus difficile mais on pourra toujours dire qu'il y a des circuits intégrés:

- Amplificateurs opérationnels
- Alimentations stabilisées
- Grand Public (pour radio-TV, montres, ...)
- Interfaces (commande de lignes, lecteurs de tores, ...)
- Divers (commande de thyristors, PLL, complexes, ...) [9]

1.8 Etapes de fabrication des CI

La fabrication des circuits intégrés est une procédure très complexe, On parle de la réalisation, sur quelques centimètres carrés de surface un assemblage de millions de composants. Les images ci-dessous montrent en général les étapes de fabrication :

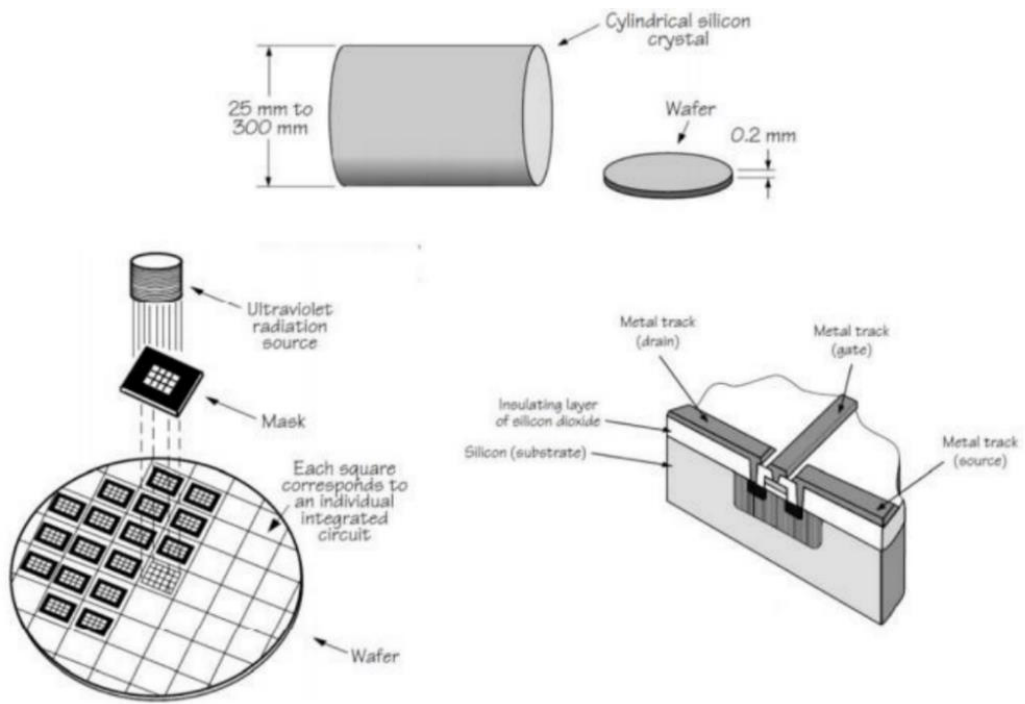


Fig. 1.12 : Etapes de fabrication des CI [10]

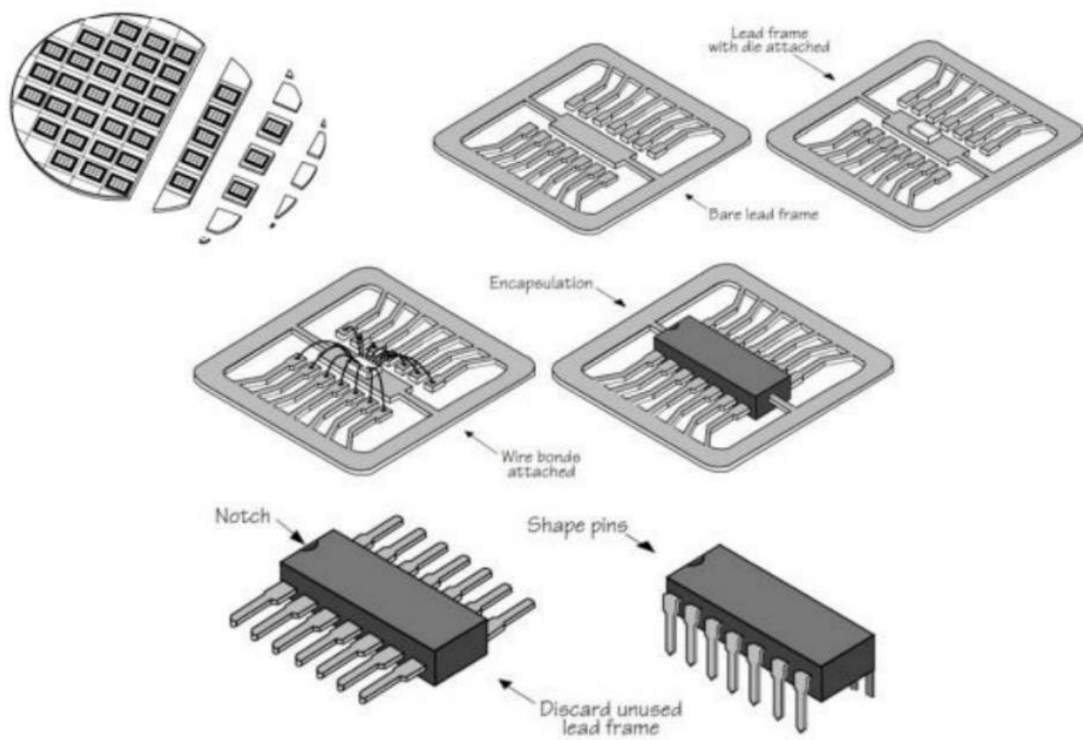


Fig. 1.13 : Finalisation et packaging [10]

1.9 Intérêts des circuits intégrés

Pourquoi assiste-t-on à cette course aux circuits intégrés ? Parce qu'ils présentent un grand nombre d'avantages dont:

-La compacité:

Une calculatrice de poche standard comprend une dizaine de milliers de transistors (30 à 100.000) contenus sur un ou deux circuits intégrés (A titre de comparaison, l'ENIAC, le premier ordinateur, qui remplissait beaucoup moins de fonctions, occupait une pièce immense et quelques annexes !)

-La fiabilité:

On sait que la cause la plus fréquente des défaillances est le défaut des soudures. L'intégration, en diminuant le nombre de connexions (donc le nombre de soudures) réduit considérablement le taux de pannes.

-L'économie:

Par exemple, un amplificateur opérationnel (ou un amplificateur de puissance) coûte en version intégrée considérablement moins que le prix d'achat des composants discrets qui le constituent. Ajoutons à cela les économies de main d'œuvre, de support et de châssis.

-La facilité d'utilisation:

Elle est évidente car la majorité des fonctions électroniques sont disponibles et les mises au point de circuits hasardeuses ont pratiquement disparues.

-Une faible consommation:

Les consommations qui sont descendues jusqu'à l'ordre du nA permettent la réalisation d'appareils autonomes et très pratiques

-Des performances élevées

Ces performances sont dues à la réduction des longueurs de connexion (car n'oublions pas qu'en 1 ns, le courant électrique parcourt 30 cm) ce qui entraîne l'augmentation de la vitesse de réponse des circuits (500 MHz et plus). [7]

1.10 Conclusion

Dans ce chapitre, nous avons montré l'un des éléments les plus brillants de notre ère; le circuit intégré, désormais un outil indispensable dans notre vie quotidienne au fait qu'il constitue la quasi-totalité des dispositifs essentiels présents entre nos mains aujourd'hui. La date et les circonstances de son invention et les améliorations portées à travers les années ont été illustrés ainsi que ses différents concepts, catégories et technologies. Les étapes de fabrication ont été brièvement montrées aussi.

Chapitre 2 : Du silicium au circuit CMOS

2.1 Le « Silicium »

Le silicium est un élément chimique de la famille des cristallogènes, de symbole "Si" et de numéro atomique 14. C'est l'élément le plus abondant dans la croûte terrestre après l'oxygène, soit 25,7 % de sa masse. Il n'existe pas à l'état libre, mais sous forme de composés : sous forme de dioxyde de silicium (SiO₂), la silice (dans le sable, le quartz, la cristobalite, etc.). Il a été découvert en 1823 par Jons Jakob Berzilius.

Le silicium est un semi-conducteur, sa conductivité électrique est très inférieure à celle des métaux. Ses propriétés ont permis la création de la deuxième génération de transistors, puis les circuits intégrés. [11]

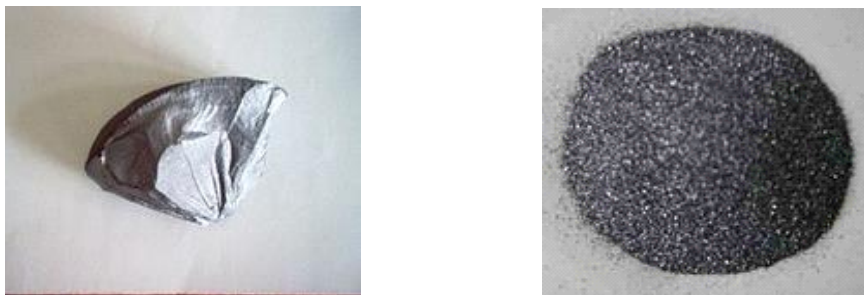


Fig. 2.1 : Les formes de silicium [11]

- Propriétés :
Symbole: Si
Numéro atomique: 14
Point de fusion: 1414 ° C
Point d'ébullition: 3,265 ° C
Configuration électronique: Ne 3s² 3p²
- Utilisations :
Fabrication des composants électroniques
Alliages (surtout dans les aciers)
Fabrication des cellules photovoltaïques
Verre, enduit, émaux, ciment, porcelaine...

2.2 Le semi-conducteur

2.2.1 Les semi-conducteurs intrinsèques

Comme leur nom l'indique, les semi-conducteurs sont des matériaux dont la conductivité se situe entre celle des conducteurs, tels que le cuivre, et des isolants, comme le verre. Il existe deux types de semi-conducteurs : les semi-conducteurs mono cristallins, tels que le germanium et le silicium qui sont des éléments chimiques appartenant au groupe IV du tableau périodique, et les semi-conducteurs composés, tels que l'arséniure de gallium, qui sont formés en combinant les éléments des groupes III et V ou des groupes II et VI. Les semi-conducteurs composés sont utiles dans des applications spéciales de circuits électroniques ainsi que dans des applications qui associent la lumière, telles que des diodes électroluminescentes (LED). Parmi les semi-conducteurs élémentaires, le germanium a été l'un des premiers matériaux à recevoir une large attention pour l'utilisation dans la fabrication des dispositifs semi-conducteurs, (fin des années 1940, début des années 1950), mais il a été rapidement remplacé par le silicium au début des années 1960. Le silicium est apparu comme le matériau dominant parce qu'il s'est avéré avoir deux avantages majeurs de traitement. Le silicium, sur lequel la technologie des circuits intégrés repose actuellement, peut facilement être oxydé pour former un isolant électrique de haute qualité, et cette couche d'oxyde fournit également une excellente couche de barrière pour les étapes de diffusion sélective nécessaires dans la fabrication de circuits intégrés. [12]

IA																	0
H 1 Hydrogen	IIA											III	IVA	VA	VIA	VIIA	He 2 Helium
Li 3 Lithium	Be 4 Beryllium											B 5 Boron	C 6 Carbon	N 7 Nitrogen	O 8 Oxygen	F 9 Fluorine	Ne 10 Neon
Na 11 Sodium	Mg 12 Magnesium	IIIB	IVB	VB	VIB	VII B	VII	VII	VII	IB	IIB	Al 13 Aluminium	Si 14 Silicon	P 15 Phosphorus	S 16 Sulfur	Cl 17 Chlorine	Ar 18 Argon
K 19 Potassium	Ca 20 Calcium	Sc 21 Scandium	Ti 22 Titanium	V 23 Vanadium	Cr 24 Chromium	Mn 25 Manganese	Fe 26 Iron	Co 27 Cobalt	Ni 28 Nickel	Cu 29 Copper	Zn 30 Zinc	Ga 31 Gallium	Ge 32 Germanium	As 33 Arsenic	Se 34 Selenium	Br 35 Bromine	Kr 36 Krypton
Rb 37	Sr 38	Y 39	Zr 40	Nb 41	Mo 42	Tc 43	Ru 44	Rh 45	Pd 46	Ag 47 Silver	Cd 48 Cadmium	In 49 Indium	Sn 50 Tin	Sb 51	Te 52	I 53	Xe 54
Cs 55	Ba 56	La 57	Hf 72	Ta 73 Tantalum	W 74 Tungsten	Re 75	Os 76	Ir 77	Pt 78	Au 79 Gold	Hg 80	Tl 81	Pb 82 Lead	Bi 83	Po 84	At 85	Rn 86

Fig. 2.2 : Le tableau périodique [18]

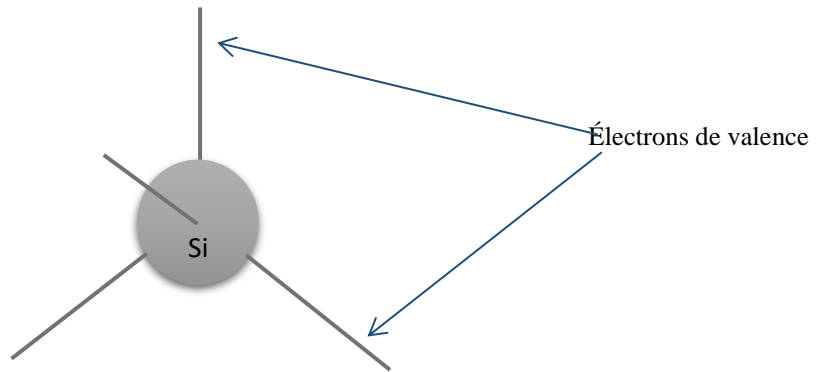


Fig. 2.3 : Le symbole 3D de l'atome de silicium

Un atome de silicium a quatre électrons de valence, et donc il va chercher quatre autres électrons pour compléter son orbite de valence. Ce résultat est obtenu en partageant l'un de ses électrons de valence avec chacun de ses quatre atomes voisins. Chaque paire d'électrons partagés forme une liaison covalente. Le résultat est un cristal de silicium pur ou intrinsèque présentant une structure en treillis régulier, où les atomes sont maintenus dans leur position par des liaisons covalentes fortes. La Fig. 2.4 montre une représentation en deux dimensions d'une telle structure.

À des températures suffisamment basses, proches du zéro absolu (0 K), toutes les liaisons covalentes sont intactes et aucun électron n'est disponible pour conduire le courant électrique. Ainsi, par exemple à très basses températures, le cristal de silicium intrinsèque se comporte comme un isolant. A température ambiante, l'énergie thermique est suffisante pour briser quelques-unes des liaisons covalentes. Il s'agit d'un processus connu sous le nom de génération thermique, Comme le montre la Fig. 2.5, lorsqu'une liaison covalente est brisée, un électron est libéré.

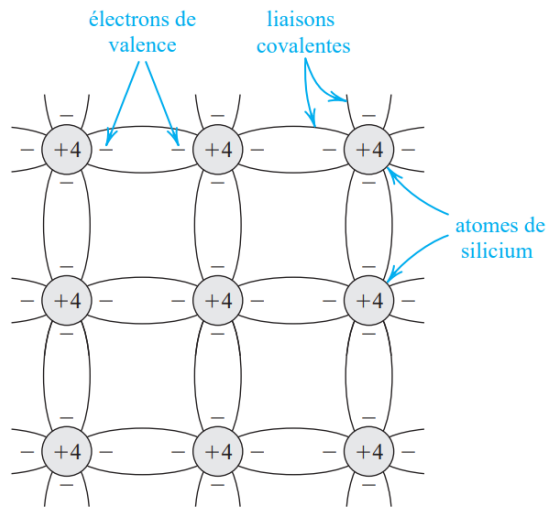


Fig. 2.4 : Représentation bidimensionnelle du cristal de silicium. Les cercles représentent le noyau interne des atomes de silicium, avec +4 indiquant sa charge positive de $+4q$ qui est neutralisée par la charge des quatre électrons de valence. Noter la façon dont les liaisons covalentes sont formées en partageant les électrons de valence. À 0 K, toutes les liaisons covalentes sont intactes et aucun électron libre n'est disponible pour la conduction du courant.

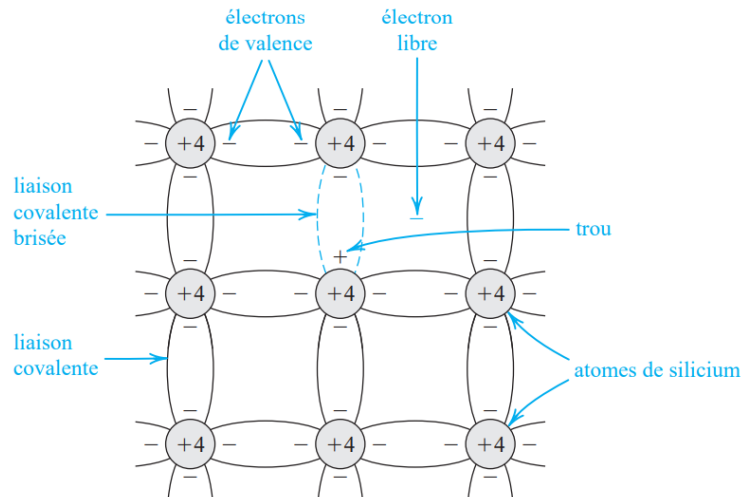


Fig. 2.5 : À température ambiante, quelques-unes des liaisons covalentes sont brisées par l'effet thermique. Chaque connexion brisée donne lieu à un électron libre et un trou, tous deux disponibles pour la conduction du courant. [12]

L'électron libre peut s'éloigner de son atome parent, et si un champ électrique est appliqué au cristal il devient disponible pour conduire le courant électrique. Comme l'électron quitte son atome parent, il laisse une charge nette positive non-équilibrée, égale à la valeur de la charge électrique de l'électron. Ainsi, un électron appartenant à un atome voisin peut être attiré par cette charge positive, et quitte son atome parent. Par cette action le « trou » qui existait dans l'atome ionisé se bouche, mais un nouveau trou dans un autre atome est créé.

Ce processus peut se répéter, avec comme résultat l'existence d'une charge positive, un trou, se déplaçant à travers la structure cristalline de silicium et en plus, celle-ci est disponible pour conduire le courant électrique. La charge d'un trou est égale en grandeur à la charge d'un électron. Nous pouvons constater ainsi que lorsque la température augmente, des liaisons covalentes supplémentaires sont cassées et des paires additionnelles d'électrons-trous sont générées. L'augmentation du nombre d'électrons libres et de trous conduit à l'augmentation de la conductivité de silicium qui peut être très prononcée. [12]

À l'équilibre thermique, le taux de recombinaison est égal à la vitesse de génération, et on peut logiquement conclure que la concentration d'électrons libres n est égale à la concentration de trous p ,

$$n = p = n_i$$

Où n_i désigne le nombre d'électrons libres et des trous dans l'unité de volume (cm^3) de silicium intrinsèque à une température donnée. Selon la physique des semi-conducteurs, n_i est donné par :

$$n_i = BT^{3/2} \cdot e^{-E_g/2kT}$$

2.2.2 Semi-conducteurs dopés :

Le cristal de silicium intrinsèque décrit précédemment à des concentrations égales d'électrons libres et de trous, générés thermiquement. Ces concentrations sont beaucoup trop petites pour le silicium afin qu'il puisse conduire des forts courants à température ambiante. En outre, les concentrations de porteurs et donc la conductivité électrique sont

des paramètres hautement dépendants de la température. Heureusement, une méthode a été développée pour augmenter sensiblement la concentration de porteurs de charge, d'une manière contrôlée et hautement précise. Il s'agit du processus appelé le dopage et le silicium résultant est dénommé le silicium dopé. Le dopage consiste à introduire des atomes différents constituant des impuretés dans le cristal de silicium et dans un nombre suffisant afin d'augmenter sensiblement la concentration soit des électrons libres soit des trous mais avec peu ou sans changement des propriétés d'origine d'un cristal de silicium. Pour augmenter la concentration des électrons libres, n , le silicium est dopé avec un élément de valence de 5, tel que le phosphore. Le résultat de cette opération est le silicium dopé dit de type n . Pour augmenter la concentration de trous, p , le silicium est dopé avec un élément ayant une valence de 3, tel que le bore, et le silicium dopé résultant est dit de type p . La Fig. 2.6 montre un cristal de silicium dopé avec du phosphore comme impureté. Les atomes du dopant (phosphore) remplacent une partie des atomes de silicium dans la structure cristalline. Puisque l'atome de phosphore dispose de cinq électrons sur son orbite de valence, quatre de ces électrons forment des liaisons covalentes avec les atomes voisins, et le cinquième électron devient un électron libre. Ainsi, chaque atome de phosphore cède un électron libre à l'atome voisin de silicium. L'impureté de phosphore est ainsi appelée donneur. Il est évident qu'aucun trou n'est généré par ce processus. Par ailleurs, la charge positive associée à l'atome de phosphore est une charge liée car elle ne bouge pas dans la structure atomique du cristal. [12]

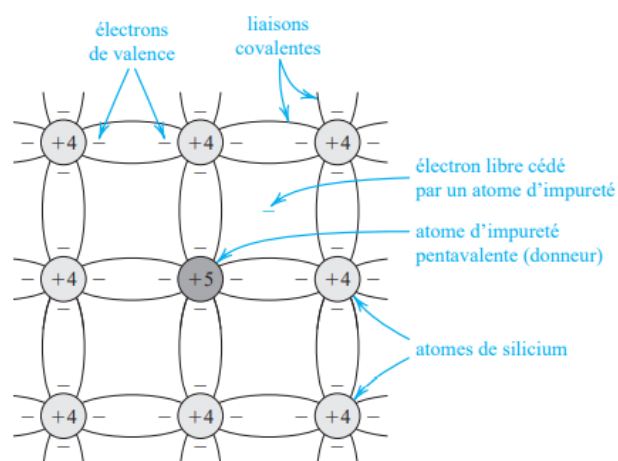


Fig. 2.6 : Cristal de silicium dopé par un élément pentavalent. Chaque atome dopant cède un électron libre, raison pour laquelle cet élément est appelé donneur. Le semi-conducteur ainsi dopé est de type n . [12]

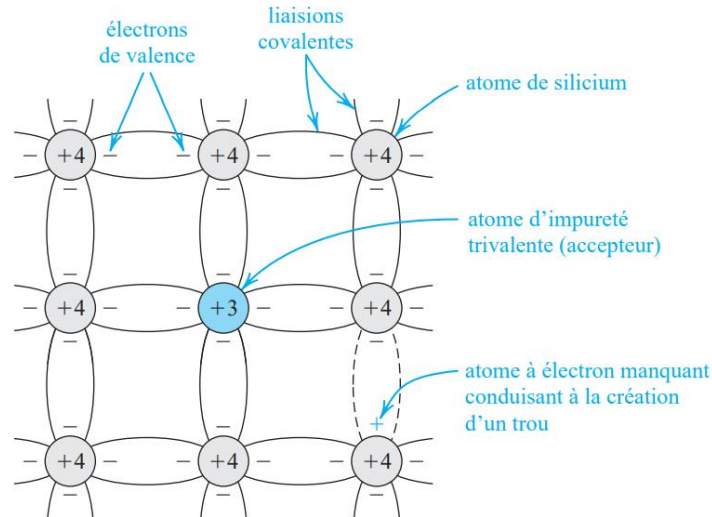


Fig. 2.7 : Cristal de silicium dopé avec des impuretés trivalentes. Chaque atome du dopant donne lieu à un trou et le semi-conducteur est de type p. [12]

2.3 Le transistor MOS

2.3.1 L'ère du transistor

Le transistor MOS, tirant son appellation de sa structure verticale (Métal/Oxyde/Semi-conducteur), est aujourd'hui la brique élémentaire des circuits intégrés constituant la plupart des dispositifs microélectroniques qui nous entourent. Aussi appelé transistor à effet de champ, MOSFET (MOS Field Effect Transistor), son principe de base fut énoncé pour la première fois dans les années 1920s par J.E. Lilienfield, mais il fallut attendre 1960 pour en voir la première réalisation [Kahng'60] (Figure 2.7). L'échec des nombreuses tentatives provenait à l'époque de la difficulté à contrôler l'état d'interface entre l'isolant et le semi-conducteur du canal. C'est dans les années 1960's, avec l'utilisation de l'oxyde de silicium thermique (SiO_2), que les technologies CMOS (Complementary MOS) et planaires imposèrent le transistor MOS comme l'élément incontournable de la microélectronique. [13]



Fig. 2.8 : Premier transistor MOSFET réalisé par M. M. Atalla, D. Kahng et E. Labate en 1959[14]

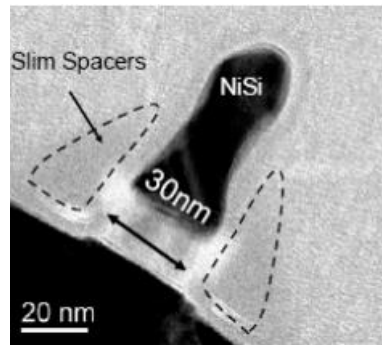


Fig. 2.9 : Coupe TEM d'un transistor de longueur de grille 30nm [15]

2.3.2 Définition

Un transistor MOS (aussi appelé transistor FET pour Field Effect Transistor) est constitué d'une capacité MOS dont l'armature métallique est appelée la grille (figure 2.9). Deux zones de contact en semi-conducteur, de type opposé au substrat et appelées source et drain sont disposées, sur le substrat, de part et d'autre de la grille. Au repos, la source est isolée du drain par deux diodes tête-bêche. Si la grille est portée à un potentiel tel que le type du semi-conducteur du substrat s'inverse, alors le drain se trouve relié à la source par un pont résistif, appelé canal, qui se trouve être du même type de matériaux semi-conducteur que la source et le drain. Le potentiel de grille commande donc le passage du courant entre le drain et la source du transistor. [16]

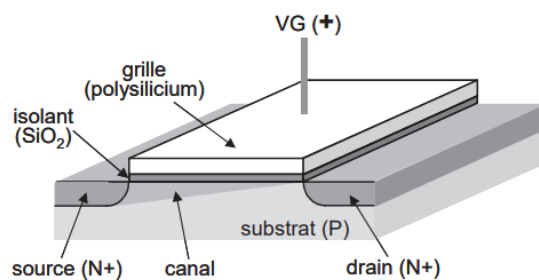


Fig. 2.10 : Transistor MOS de type N [16]

Ce transistor est physiquement symétrique, toutefois son fonctionnement électrique ne l'est pas. L'utilisation d'un substrat de type opposé permet de réaliser des transistors complémentaires qui deviendront conducteurs pour des potentiels opposés. On parlera alors de transistors N ou P suivant le type du semi-conducteur induit pour constituer leurs canaux. Ces transistors sont schématisés par les symboles suivants :

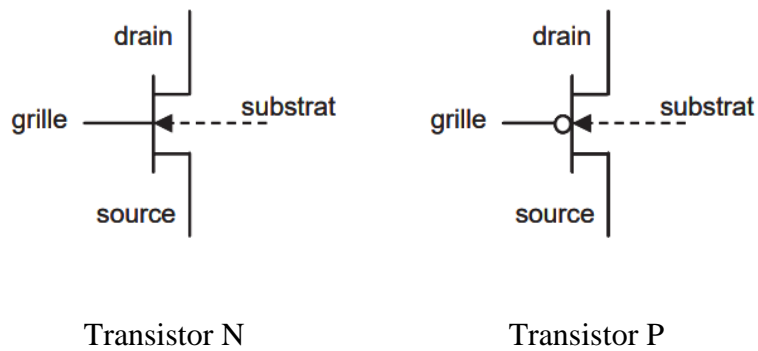


Fig. 2.11 : schématique des transistors N et P [16]

La technologie CMOS (Complementary MOS) est aujourd’hui la plus répandue, en particulier pour la conception des circuits numériques. Elle se caractérise par l’utilisation, sur un même substrat de silicium, de transistors nMOS et pMOS assemblés de manière complémentaire. En effet, la technologie CMOS consiste à associer 2 types de transistor MOS (nMOS et pMOS) en tirant partie de leur régime de fonctionnement complémentaire afin de former l’élément de base de tous les circuits logiques : l’inverseur. De plus, la technologie planaire permet de fortes densités d’intégration. Ainsi le premier processeur vit le jour chez INTEL en 1971, constitué de 2300 transistors nMOS de $10\mu\text{m}$ de longueur de grille et fonctionnant à une fréquence d’horloge de 108kHz. Aujourd’hui, les processeurs comportent 140 millions de transistors de 45nm de longueur de grille et fonctionnent à une fréquence d’horloge supérieure à 4 GHz.

2.3.3 Principe de fonctionnement du transistor MOS

Comme son nom l’indique, le fonctionnement du transistor à effet de champ (MOSFET) repose sur l’action d’un champ électrique vertical. Ce champ permet de moduler localement la concentration des porteurs dans une zone semi-conductrice appelée canal de conduction ou canal d’inversion, située entre deux réservoirs de charges (la source et le drain). Le champ électrique est régi par une électrode de commande, appelée grille, à travers une couche isolante que constitue le diélectrique de grille (Figure 2.12). Le fonctionnement de cette électrode s’apparente à un interrupteur contrôlant le passage de l’état passant à l’état fermé. Cette propriété explique son utilisation massive, principalement dans la conception des circuits logiques. [13]

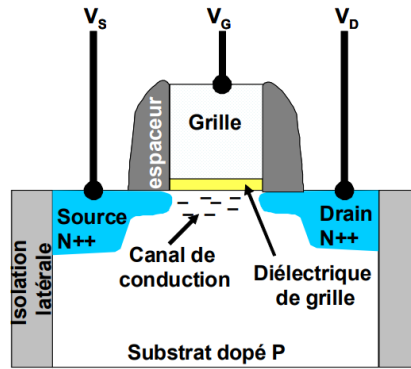


Fig. 2.12 : Schéma simplifié représentant un transistor MOS à effet de champ de type n (nMOSFET) [13]

On distingue deux types de transistors MOSFETs :

-Les nMOS dont le canal d'inversion est constitué d'électrons. Le canal est alors dopé de type P et les zones de source et de drain sont dopées N.

-Les pMOS dont le canal d'inversion est constitué de trous. Le canal est dopé N et les zones de source et de drain sont dopées P.

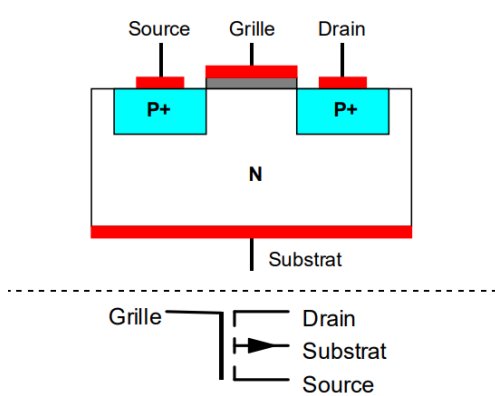


Fig. 2.13 : MOS à canal P (pMOS) [17]

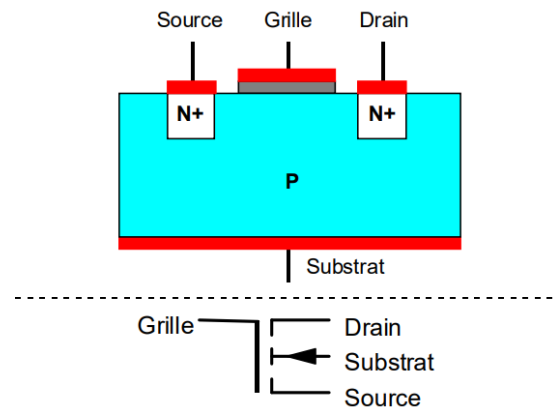


Fig. 2.14 : MOS à canal N (nMOS) [17]

Ces deux types de transistors ayant un fonctionnement symétrique, on ne détaillera que le transistor nMOS par la suite.

Le substrat est placé au potentiel le plus faible du montage de manière à bloquer les jonctions substrat-drain/source. La grille forme un condensateur avec le substrat. Elle est placée à un potentiel positif qui attire des charges négatives pour constituer un canal entre

le drain et la source. La modulation de la tension V_{GS} (grille-source) agit sur les charges constituant le canal en modifiant sa résistivité : la résistance du canal est contrôlée par la tension de grille. Si la tension V_{GS} est nulle, le canal est totalement fermé (pas de charges), la résistance est très grande (quelques $G\Omega$) ce qui rend le transistor équivalent à un interrupteur ouvert. Dans l'autre cas, on ouvre complètement le canal procurant une résistance équivalente faible (quelques $k\Omega$) : le transistor est équivalent à un interrupteur fermé. L'application du transistor MOS en numérique est ainsi toute tracée. [17]

Il en résulte le comportement logique suivant :

- $V_{GS} = 0 \Rightarrow$ canal fermé \Rightarrow interrupteur ouvert.

- $V_{GS} \neq 0 \Rightarrow$ canal ouvert \Rightarrow interrupteur fermé.

Le fonctionnement du transistor PMOS est :

- $V_{GS} = 0 \Rightarrow$ canal ouvert \Rightarrow interrupteur fermé.

- $V_{GS} \neq 0 \Rightarrow$ canal fermé \Rightarrow interrupteur ouvert.

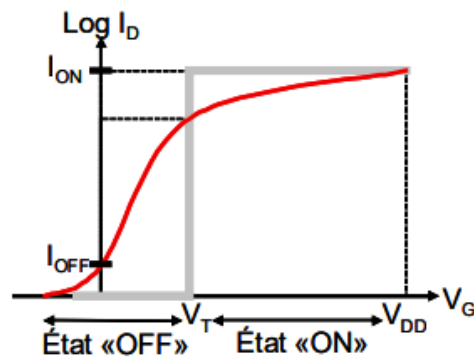


Fig. 2.15 : Caractéristique de sortie $I_D(V_G)$ idéale (en trait gras) et réelle (en trait fin) d'un transistor nMOSFET. [14]

Dans un cas idéal, lorsque la tension appliquée sur la grille est nulle ($V_G=0V$), le champ électrique est nul, il n'y a aucun porteur dans le canal et le courant de drain (I_{DS}) équivaut au courant de fuite (I_{OFF}): le transistor est bloqué. Au contraire, quand la polarisation de grille V_D est égale à celle du drain V_D un champ électrique est créé, les porteurs affluent dans le canal, et peuvent alors transiter librement d'un réservoir à l'autre, générant un

courant de drain non nul I_D : le transistor est alors passant. Le passage de l'état bloqué à l'état passant est effectif lorsqu'un nombre suffisant de porteurs est présent dans le canal, c'est-à-dire pour une tension $V_G = V_T$

2.3.4 Fabrication de transistor MOS

a. Architecture générale

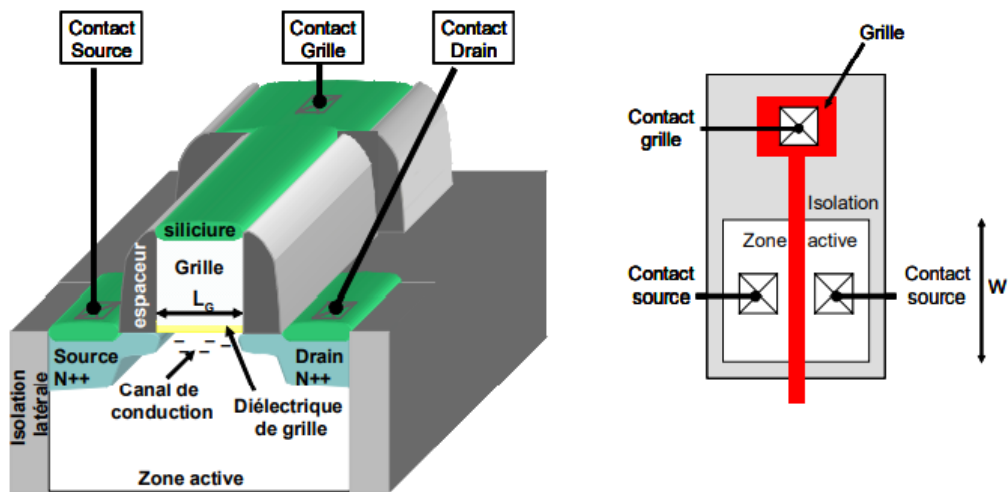


Fig. 2.16 : Description générale d'un transistor nMOSFET et schéma du jeu de masques de fabrication associés. [19]

b. Procédé de fabrication en technologie CMOS

La technologie PLANAR est aujourd'hui utilisée de manière quasiment exclusive pour la fabrication des circuits intégrés. La technologie CMOS est une technologie planaire destinée au développement des systèmes à très haute échelle d'intégration (VLSI). Grâce aux propriétés des transistors MOS complémentaires, cette technologie permet de réaliser des circuits à faible coût et à basse consommation. Cet avantage lui a permis d'être reconnue comme la technologie de pointe la plus avancée et la plus maîtrisée dans le domaine de la micro-électronique. Parmi les types de technologies CMOS, on peut citer les trois qui sont les plus connues: la technologie CMOS à caisson n, la technologie CMOS à caisson p, et la technologie CMOS à double caisson. Une technologie CMOS à caisson n utilise un substrat en silicium de type p dans lequel est formé un caisson en silicium de type n. Des transistors pMOS sont alors réalisés dans ce caisson et des

transistors nMOS dans le substrat. Une technologie CMOS à caisson p, permet de réaliser des transistors pMOS sur le substrat de type n et des transistors nMOS dans un caisson p. Enfin, la technologie CMOS à double caisson utilise un substrat en silicium de type quelconque, sur lequel sont déposés des caissons de type n et des caissons de type p. Les transistors nMOS et pMOS qui peuvent être réalisés par ces technologies sont utilisés pour former des fonctions analogiques ou numériques. Les procédés de fabrication utilisés dans chaque technologie CMOS pour réaliser ces transistors diffèrent d'un fabricant à un autre et évoluent continuellement pour réaliser des composants plus performants et plus rapides.

Cependant il nous paraît intéressant de connaître au moins les étapes de fabrication communes à ces technologies pour avoir une idée sur les différentes structures de composant semi-conducteur qu'elles peuvent réaliser. [20]

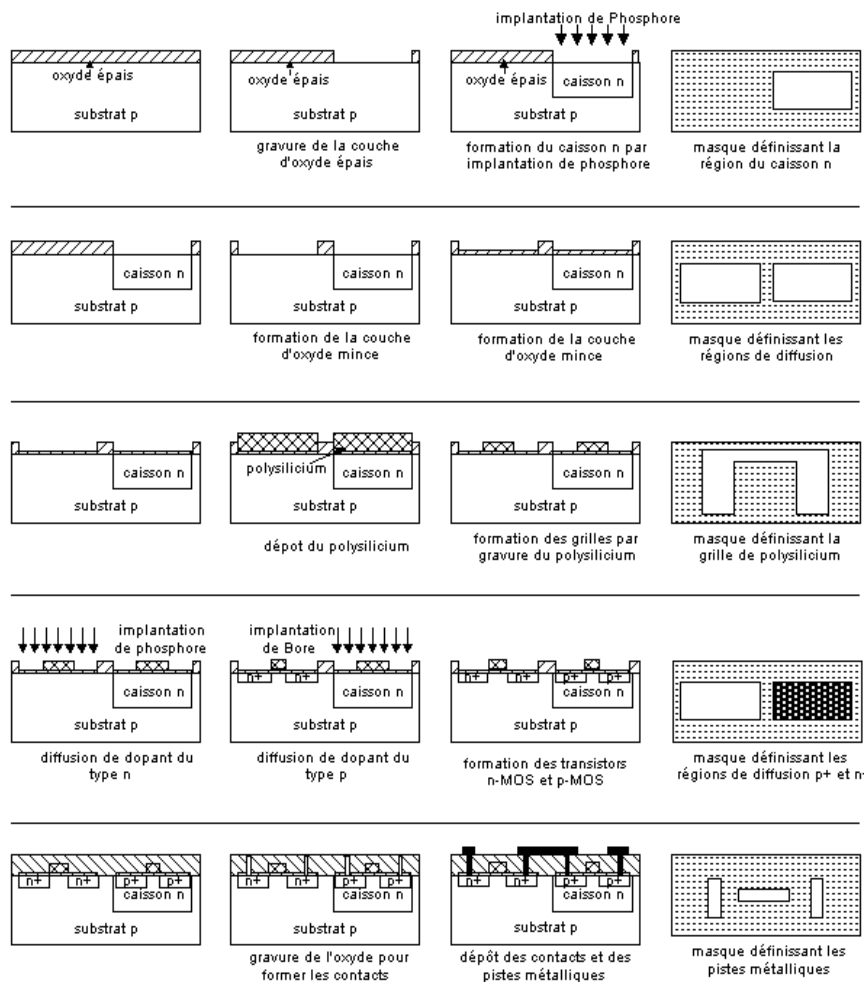


Fig. 2.17 : Les différentes étapes suivies pendant un procédé de fabrication d'une technologie CMOS à caisson n. [21]

Comme le montre la figure 2.17, les étapes précédentes ont permis de réaliser des transistors à canal p dans le caisson et des transistors de type n dans le substrat. L'étape qui suit consiste à définir les lieux où un contact sera réalisé. La couche d'oxyde est alors gravée jusqu'aux surfaces sur lesquelles sera pris un contact métallique. Cette étape est suivie par une métallisation pour former ces contacts métalliques ainsi que les pistes d'interconnexions. Le nombre de niveaux de métal diffère d'une technologie à une autre, plus il y a de niveaux de métal, plus le concepteur a des facilités pour réaliser les connections entre les composants dans le circuit intégré.

L'étape finale consiste à recouvrir le circuit d'une couche de passivation (une couche d'oxyde) et à réaliser des ouvertures pour les différents plots du circuit intégré. La couche de passivation est nécessaire puisqu'elle permet de protéger le silicium d'une contamination par des impuretés qui peuvent affecter les composants.

Par analogie avec les étapes du procédé de fabrication de la technologie CMOS à caisson n on peut déduire les étapes des procédés CMOS à caisson p ou à double caisson.

On vient de décrire les principaux processus de la technologie CMOS. Au cours des années, des améliorations ont été apportées à ces technologies. On peut citer par exemple l'emploi de plusieurs niveaux de métallisation ou de poly-silicium, la diminution de la longueur de la grille. Ceci dans le but d'augmenter les performances des circuits dans le domaine du numérique (accroître le nombre de transistors sur une surface) et de l'analogique (capacité de haute qualité, des résistances à caractéristiques variable). [20]

2.4 Les portes logiques

2.4.1 Les portes NOT, NAND et NOR

a. L'inverseur CMOS (NOT)

L'inverseur CMOS est constitué de deux transistors, un nMOS et un pMOS, connectés en série entre l'alimentation qui constitue le 1 logique et la masse qui représente le 0 logique.

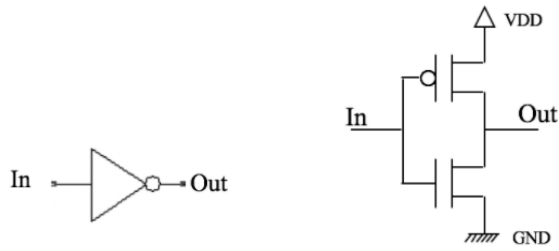


Fig. 2.18 : Symbole IEEE et Implémentation (Inverseur)

In	Out
0	1
1	0

Tableau 2.1 : Table de vérité de l'inverseur

Le transistor NMOS est passant si sa Grille est à 1.

Le transistor PMOS est passant si sa Grille est à 0.

b. La porte NAND

C'est la plus simple à réaliser du point de vue technologique, La porte NAND prend en entrée deux valeurs 0 ou 1. La sortie vaut 0 si les deux entrées valent 1 et elle vaut 1 si au moins une des deux entrées vaut 0. La table de vérité et le schéma d'implémentation sont présentés ci-dessous :

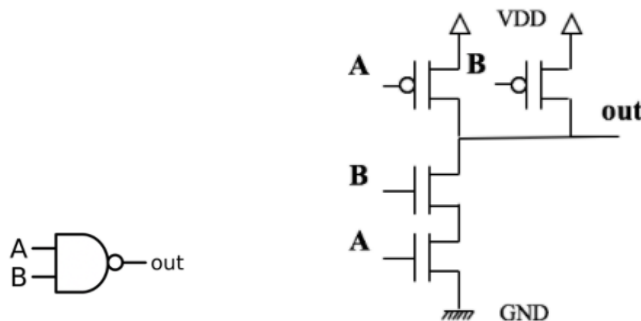


Fig. 2.19 : Symbole IEEE et implémentation (NAND)

A	B	$\overline{A \cdot B}$
0	0	1
0	1	1
1	0	1
1	1	0

Tableau 2.2 : Table de vérité de la porte NAND

- Il est possible de réaliser toutes les fonctions logiques en utilisant uniquement des NAND

c. La porte NOR

Le circuit pour réaliser la porte NOR en logique CMOS est donné sur la figure 2.20. Il est constitué de quatre transistors dont deux n-MOS et deux p-MOS. C'est le circuit dual du circuit de la porte NAND. Les deux transistors p-MOS qui étaient en parallèle dans le circuit de la porte NAND sont en série dans le circuit de la porte NOR. Au contraire, les deux transistors n-MOS qui étaient en série dans le circuit de la porte NAND sont en parallèle dans le circuit de la porte NOR.

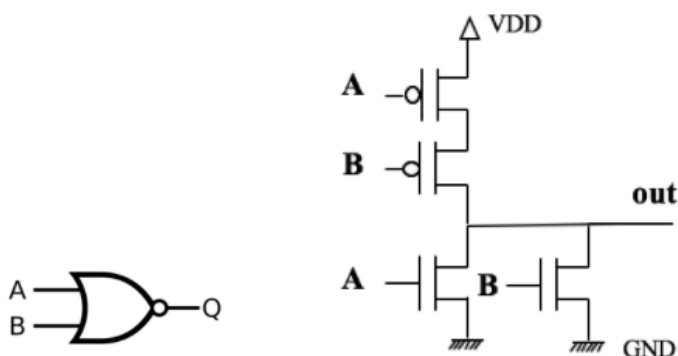


Fig. 2.20 : Symbole IEEE et implémentation (NOR)

A	B	$\overline{A + B}$
0	0	1
0	1	0
1	0	0
1	1	0

Tableau 2.3 : Table de vérité de la porte NOR

2.4.2 Les portes NAND et NOR à 3 entrées

Dans le même esprit que les portes à deux entrées, celles à trois entrées sont composées de 3 transistors PMOS et trois transistors NMOS connectés en parallèle ou en série, comme indiqué sur la figure 2.21 :

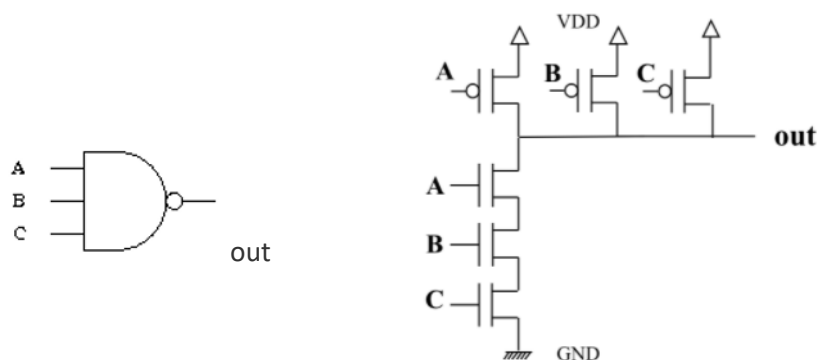


Fig. 2.21 : Symbole IEEE et implémentation (NAND à 3 entrées)

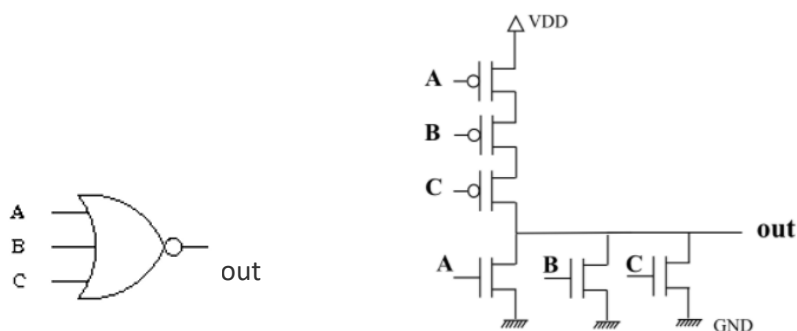


Fig. 2.22 : Symbole IEEE et implémentation (NOR à 3 entrées)

2.4.3 Les portes AND et OR

Les circuits des portes AND et OR sont respectivement obtenus en combinant un circuit de la porte NAND et NOR avec un inverseur. Les portes AND et OR requièrent, étrangement, plus de transistors que les portes NAND ou NOR. En effet, on remarque sur les schémas des figures (2.23, 2.24), que chacune de ces portes contient 6 transistors.

a. La porte AND

La porte AND prend en entrée deux valeurs 0 ou 1. La sortie vaut 1 si les deux entrées valent 1 et elle vaut 0 sinon. La table de vérité et le schéma d'implémentation sont présentés ci-dessous :

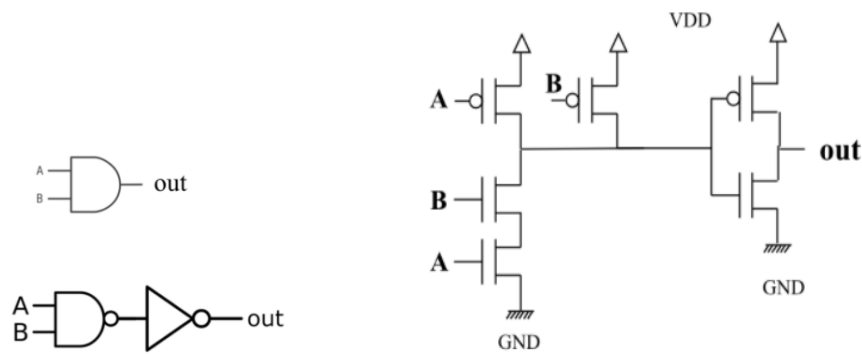


Fig. 2.23 : Symbole IEEE et implémentation (AND)

A	B	A.B
0	0	0
0	1	0
1	0	0
1	1	1

Tableau 2.4 : Table de vérité de la porte AND

b. La porte OR

La porte OR prend en entrée deux valeurs 0 ou 1. La sortie vaut 0 si les deux entrées valent 0 et elle vaut 1 sinon. La table de vérité et le schéma d'implémentation sont présentés ci-dessous :

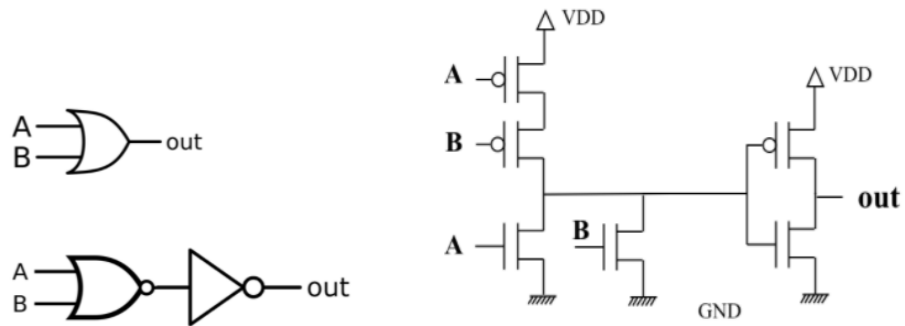


Fig. 2.24 : Symbole IEEE et implémentation (AND)

A	B	A+B
0	0	0
0	1	1
1	0	1
1	1	1

Tableau 2.5 : Table de vérité de la porte OR

2.4.4 La porte XOR

La porte XOR permet de réaliser la fonction ou exclusif qui s'avère très utile pour construire les additionneurs. C'est un assemblage de portes logiques (2 inverseurs, 2 AND et 1 OR) qui nous conduit à un circuit à 22 transistors (11 NMOS et 11 PMOS). Si on

souhaite économiser un nombre important de transistors, la structure la plus économe sera celle à 6 transistors. Malheureusement, cette économie se fera au détriment de la qualité des signaux de sortie. En effet, avec un simulateur analogique, vous remarquerez que vos signaux n'atteignent pas de bons niveaux logiques.

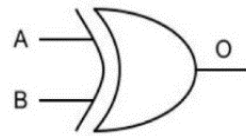
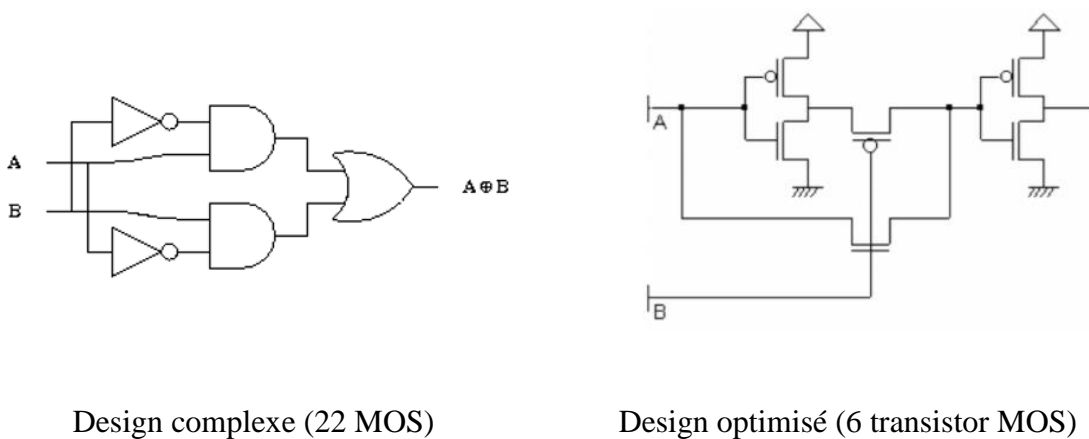


Fig. 2.25 : Symbol IEEE de la porte XOR



Design complexe (22 MOS)

Design optimisé (6 transistor MOS)

Fig. 2.26 : Implémentation (XOR)

A	B	$A \oplus B$
0	0	0
0	1	1
1	0	1
1	1	0

Tableau 2.6 : Table de vérité de la porte XOR

2.4.5 La porte XNOR

La porte XNOR (EXNOR ou même NXOR) est une porte logique numérique dont la fonction est le complément logique de la porte XOR. La porte est surnommée « porte d'équivalence » car la sortie vaut 1 si les deux entrées sont identiques et elle vaut 0 sinon. Le symbole et la table de vérité de la porte XNOR sont illustrés ci-dessous.



Fig. 2.27 : Symbole IEEE de la porte XNOR

A	B	A \oplus B
0	0	1
0	1	0
1	0	0
1	1	1

Tableau 2.7 : Table de vérité de la porte XNOR

2.5 Arithmétiques

2.5.1 Introduction

Les circuits électroniques, qui effectuent des opérations arithmétiques sont appelés circuits arithmétiques ou circuits logiques. Les circuits de calcul arithmétiques et logiques sont généralement des circuits logiques combinatoires permettant d'effectuer des calculs arithmétiques (addition, soustraction, multiplication) sur des entiers ou des nombres en virgule flottantes et des opérations logiques comme des négations, des ET, des OU ... Voici les étapes à suivre pour réaliser la synthèse d'un circuit logique combinatoire :

- Établir la table de vérité de chacune des fonctions impliquées dans le problème à traiter
- Établir les équations logiques ou la table de Karnaugh
- Simplifier les équations de chacune des fonctions logiques
- Établir le logigramme du circuit logique
- Réaliser le circuit logique

Nous allons montrer ci-dessous quelques circuits logiques de base :

2.5.2 Half Adder

Half Adder ou (demi-additionneur), est un circuit qui fournit la somme et la retenue de deux nombres binaires, soit A et B les deux nombres d'entrées, S et Cout (Carry out en anglais) sont successivement la somme et la retenue. La table de vérité du Half Adder et la suivante :

A	B	Cout	S
0	0	0	0
0	1	0	1
1	0	0	1
1	1	1	0

Tableau 2.8 : Table de vérité du Half Adder

La fonction Somme est faite avec une porte XOR, tandis que la fonction Carry out est une simple porte AND.

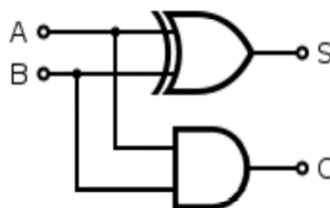


Fig. 2.28: Schématique d'un Half Adder

- Les expressions de la somme S et la retenue Cout :

$$S = A.\overline{B} + \overline{A}.B = A\oplus B$$

$$C = A.B$$

Le Half Adder ne peut faire que l'addition des deux chiffres de plus faible poids, puisqu'il ne peut pas prendre en compte la retenue qui provient d'une addition précédente. Pour résoudre cette difficulté on utilise un circuit à trois entrées : c'est l'additionneur complet (A.C) ou Full Adder en anglais.

2.5.3 Full Adder

C'est un circuit qui fournit la somme et la retenue de deux chiffres binaires et de la retenue du rang précédant. Pour cela le Full Adder est un circuit à trois entrées : A, B, et Cin (report précédent) et possédant toujours deux sorties Somme S et retenue Cout.

La table de vérité du Full Adder est donnée par le tableau suivant :

A	B	Cin	Cout	S
0	0	0	0	0
0	0	1	0	1
0	1	0	0	1
0	1	1	1	0
1	0	0	0	1
1	0	1	1	0
1	1	0	1	0
1	1	1	1	1

Tableau 2.9 : Table de vérité du Full Adder

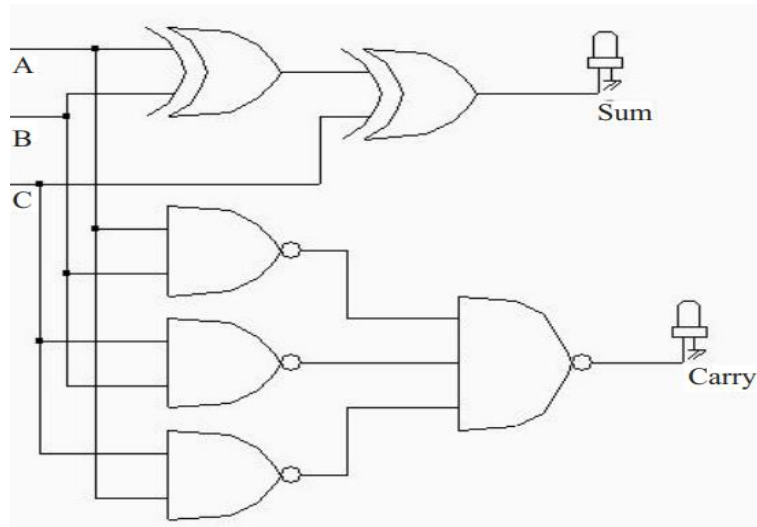


Fig. 2.29: Schématique d'un Full Adder [18]

- Les expressions de la somme S et la retenue Cout :

$$\begin{aligned}
 S &= \overline{A}.\overline{B}.C_{in} + \overline{A}.B.\overline{C}_{in} + A.\overline{B}.\overline{C}_{in} + A.B.C_{in} \\
 &= \overline{A}.(B . \overline{C}_{in} + \overline{B} . C_{in}) + A.(\overline{B} . \overline{C}_{in} + B . C_{in}) \\
 &= \overline{A}.(B \oplus C_{in}) + A.(\overline{B \oplus C_{in}}) = A \oplus B \oplus C_{in}
 \end{aligned}$$

$$C_{out} = (A.B) + (A.C) + (B.C)$$

$$C_{out} = \overline{\overline{(A.B) + (A.C) + (B.C)}} = \overline{(\overline{A.B}).(\overline{A.C}).(\overline{B.C})}$$

2.5.4 Le multiplieur

a. Définition :

Un multiplieur binaire est un circuit électronique utilisé dans l'électronique numérique, comme un ordinateur, pour multiplier deux nombres binaires. Il est construit à l'aide d'additionneurs binaires. Diverses techniques arithmétiques peuvent être utilisées pour mettre en œuvre un multiplieur numérique. La plupart des techniques impliquent le calcul d'un ensemble de produits partiels, puis la somme des produits partiels. Ce processus est similaire à la méthode enseignée aux écoliers du primaire pour effectuer une multiplication longue sur des entiers de base 10, mais a été modifié ici pour être appliqué à un système numérique de base 2 (binaire).

Pour concevoir un circuit multiplicateur, nous devrions respecter ça:

1. il devrait être capable d'identifier si un bit est 0 ou 1.
2. Il doit être capable de déplacer les produits partiels de gauche.
3. Il devrait être en mesure d'ajouter tous les produits partiels pour donner les produits en somme de produits partiels.
4. Il devrait examiner les bits de signe (en cas des multiplieurs signés).

D'après la discussion ci-dessus, nous observons qu'il n'est pas nécessaire d'attendre que tous les produits partiels aient été formés avant de les additionner. En fait, l'ajout de produit partiel peut être effectué dès que le produit partiel est formé.

b. Multiplieur à 4 bits

Le processus de la multiplication est illustré par un exemple de multiplication de deux nombres binaires à 4 bits suivant :

a_3	a_2	a_1	a_0	Multiplicande
b_3	b_2	b_1	b_0	Multiplieur
a_3b_0	a_2b_0	a_1b_0	a_0b_0	1 ^{er} produit partiel
				2 ^{ème} produit partiel + décalage
a_3b_1	a_2b_1	a_1b_1	a_0b_1	Somme partielle Σ^1
Σ_5^1	Σ_4^1	Σ_3^1	Σ_2^1	Σ_1^1
				3 ^{ème} produit partiel + décalage
a_3b_2	a_2b_2	a_1b_2	a_0b_2	Somme partielle Σ^2
Σ_5^2	Σ_4^2	Σ_3^2	Σ_2^2	Σ_1^2
				4 ^{ème} produit partiel + décalage
a_3b_3	a_2b_3	a_1b_3	a_0b_3	Somme partielle Σ^3
Σ_5^3	Σ_4^3	Σ_3^3	Σ_2^3	Σ_1^3
\downarrow	\downarrow	\downarrow	\downarrow	\downarrow
P_7	P_6	P_5	P_4	P_3
\downarrow	\downarrow	\downarrow	\downarrow	\downarrow
P_2	P_1	P_0		Produit

Chaque bit du multiplieur est multiplié par rapport au multiplicande, le produit est aligné en fonction de la position du bit dans le multiplieur, et les produits résultants sont ensuite additionnés pour former le résultat final. Un des attraits de la multiplication binaire est la facilité avec laquelle sont formés ces produits intermédiaires: si le bit multiplieur est un 1, le produit est une copie convenablement décalée du multiplicande; si le bit multiplieur est un 0, le produit est simplement 0. Pour un multiplicande et un

multiplicateur à n bits, le produit résultant sera de $2n$ bits. Le produit de deux nombres de 4 bits nécessite 8 bits, de deux nombres de 8 bits nécessite 16 bits, et ainsi de suite...

Nous pouvons construire un circuit combinatoire qui implémente directement le processus décrit par l'exemple précédent. La méthode est appelée accumulation partielle de produit. Un circuit combinatoire pour mettre en œuvre le multiplieur à 4 bits est illustré à la figure 2.30.

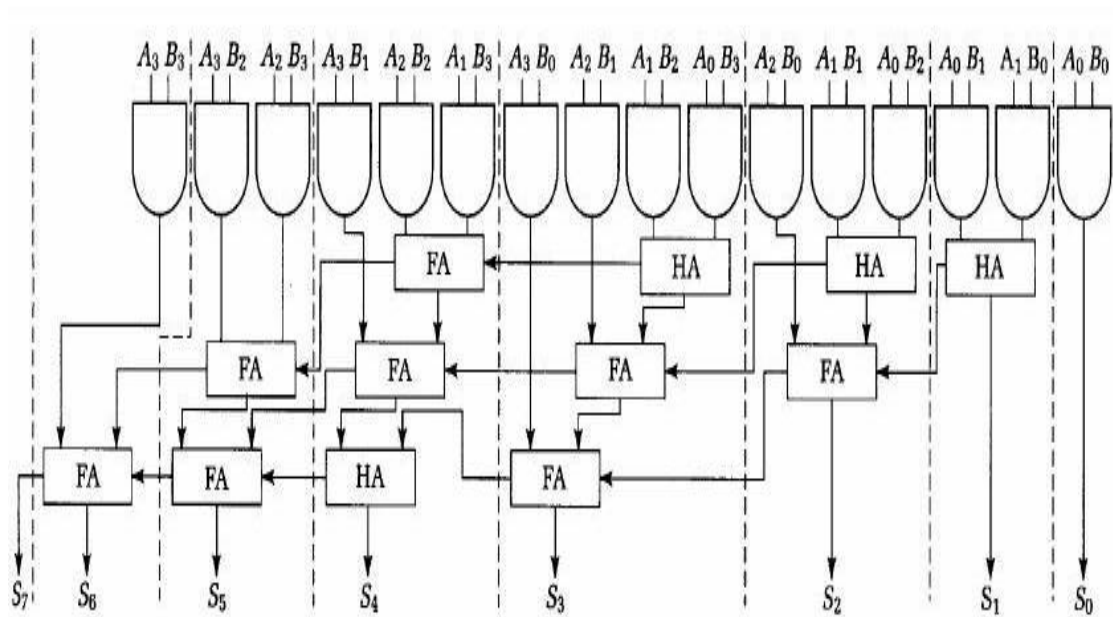


Fig. 2.30 : Le diagramme basique du circuit d'un multiplieur 4x4 bits.

Le premier niveau de 16 portes AND calcule les produits partiels individuels. Les blocs logiques de deuxième et troisième niveaux forment l'accumulation des produits colonne par colonne. Les sommes des colonnes sont constituées d'un mélange de demi-additionneurs en cascade et d'additionneurs complets. Dans la figure, les entrées du haut sont les bits à ajouter et l'entrée de la droite est le Carry in. La sortie du bas est la somme et à gauche est le Carry out final.

Si on veut réaliser ce multiplieur à base d'additionneurs complets intégrés 7483 on obtient le montage suivant :

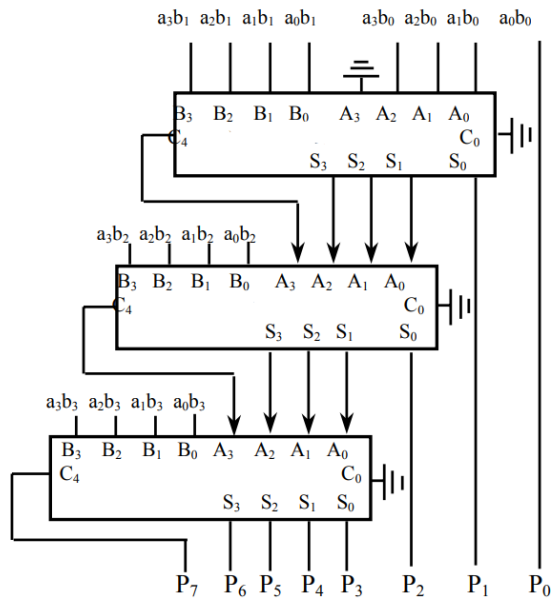


Fig. 2.31 : Multiplieur parallèle 4x4 bits à base d'additionneurs 4 bits.

- **Conceptions améliorées**

Il existe plusieurs techniques et algorithmes pour avoir des meilleures conceptions en terme de vitesse, surface et puissance consommée. On cite parmi eux : Booth Encoding, Vedic Mathematics, Wallace Tree Multiplier, et Array Multiplier.

c. Array Multiplier

C'est la forme la plus élémentaire de la construction du multiplieur binaire. Son principe de base est exactement comme celui du stylo et du papier. Il se compose d'un rang (Array) très régulier d'additionneurs complets, le nombre exact dépendant de la longueur du nombre binaire à multiplier. Chaque cellule génère un produit partiel. Cette valeur partielle du produit généré est ensuite ajoutée à la somme et le report (Carry) générés sur la rangée suivante. Le résultat final de la multiplication est obtenu directement après la dernière ligne. La multiplication est générée à l'aide des portes logique AND. L'implémentation des Full Adders (FA) montre les deux bits (A, B) et Carry In (C_i) comme entrées et Sum (S) et Carry Out (C_o) comme sorties.

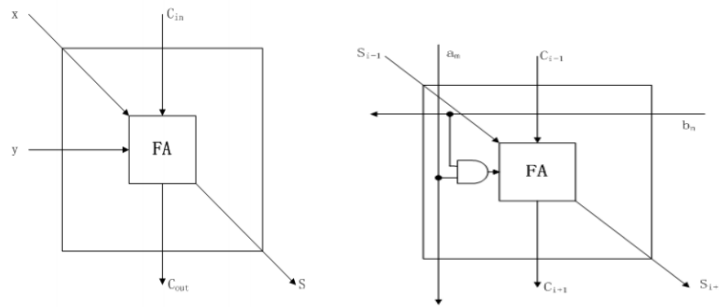


Fig. 2.32 : Représentation de la cellule du Array Multiplier

La cellule du Array Multiplier doit vérifier la table de vérité donnée ci-dessous. La cellule est constituée d'un d'additionneur complet et d'une porte AND, comme le montre le diagramme schématique de la figure 2.32.

$A_i \times B_i$	ProductIn	CarryIn	CarryOut	ProductOut
0	0	0	0	0
0	0	1	0	1
0	1	0	0	1
0	1	1	1	0
1	0	0	0	1
1	0	1	1	0
1	1	0	1	0
1	1	1	1	1

Tableau 2.10 : Table de vérité d'une cellule de la multiplication élémentaire

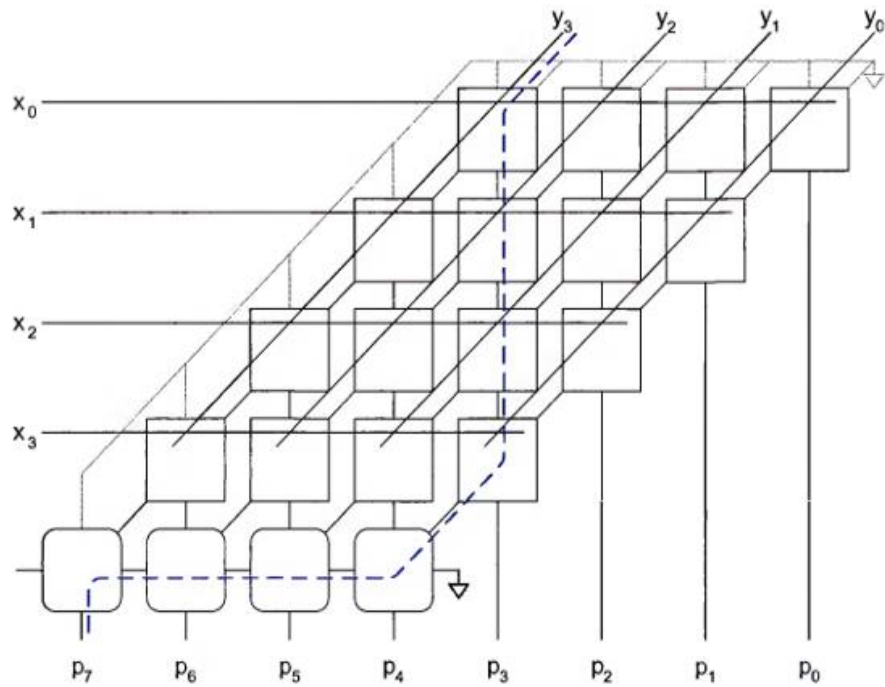


Fig. 2.33 : Diagramme schématique du Array Multiplier

d. Vedic Multiplier

DSPs (Digital Signal Processors) sont très importants dans diverses disciplines de l'ingénierie. La multiplication rapide est très importante dans les DSP pour la convolution, les transformées de Fourier, etc. Une méthode rapide de multiplication basée sur les anciennes mathématiques indiennes est présentée dans ce travail. Parmi les différentes méthodes de multiplication dans les mathématiques Vedic, Urdhva Tiryakbhyam, qui signifie « verticalement et transversalement ». Urdhva Tiryakbhyam est une formule générale de multiplication applicable à tous les cas de multiplication. Ceci est plus efficace dans la multiplication de grands nombres par rapport à la vitesse et à la surface. Dans ce travail, un multiplieur binaire 4 X 4 est conçu en utilisant cet algorithme. Les chiffres aux deux extrémités de la ligne sont multipliés et le résultat est ajouté avec le report précédent. Lorsqu'il y a plus de lignes dans une étape, tous les résultats sont ajoutés au report précédent. Le chiffre le moins significatif du nombre ainsi obtenu agit comme l'un des chiffres du résultat et le reste agit comme le report pour l'étape suivante. Au départ, le report est considéré comme égal à zéro. [22] Le diagramme linéaire pour la multiplication de deux nombres de 4 bits est indiqué sur la figure 2.33 :

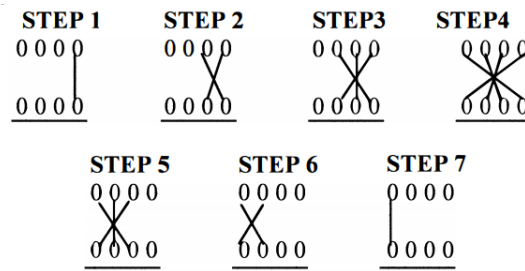


Fig. 2.34 : Exemple de multiplication binaire 4x4 utilisant Urdhva Tiryakbhyam

La méthode d'Urdhva Tiryakbhyam peut être implémentée pour le système binaire de la même manière que pour le système décimal (dans lequel elle était traditionnellement utilisée).

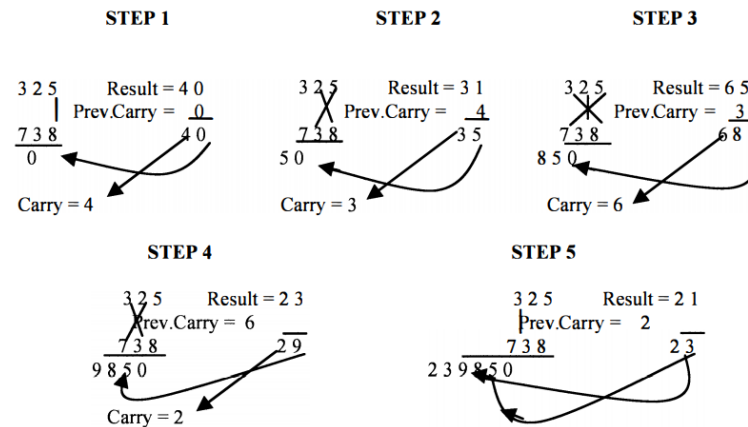


Fig. 2.35 : Multiplication de deux nombres décimaux par Urdhva Tiryakbhyam [22]

La multiplication 4 x 4 a été effectuée en une seule ligne dans la méthode Urdhva, tandis que dans la méthode conventionnelle (Shift and Add), quatre produits partiels doivent être ajoutés pour obtenir le résultat. Cela implique l'augmentation de la vitesse [23] [24]. Cet algorithme est utilisé dans la multiplication binaire comme le montre la figure 2.35. Les nombres binaires de 4 bits à multiplier sont écrits sur deux côtés consécutifs du carré comme indiqué sur la figure. Le carré est divisé en lignes et colonnes où chaque ligne / colonne correspond à l'un des chiffres d'un multiplicateur ou d'un multiplicande. Ainsi, chaque bit du multiplicateur a une petite case commune à un chiffre du multiplicande. Chaque bit du multiplicateur est ensuite multiplié indépendamment (ET logique) avec chaque bit du multiplicande 31 et le produit est écrit dans la case commune. Tous les bits se trouvant sur une ligne pointillée croisée sont ajoutés au report précédent. Le bit le

Chapitre 3 : Analyses et simulations

3.1 Introduction au DSCH et MICROWIND

3.1.1 A propos de DSCH

Le programme DSCH est un éditeur logique et un simulateur. Il est utilisé pour valider l'architecture du circuit logique avant le démarrage de la conception microélectronique. DSCH fournit un environnement convivial pour la conception de logique hiérarchique et la simulation rapide avec analyse de retard, qui permet la conception et la validation de structures logiques complexes. DSCH comprend également les symboles, les modèles et la prise en charge de l'assemblage pour plusieurs circuits. DSCH comprend également une interface avec WinSPICE.

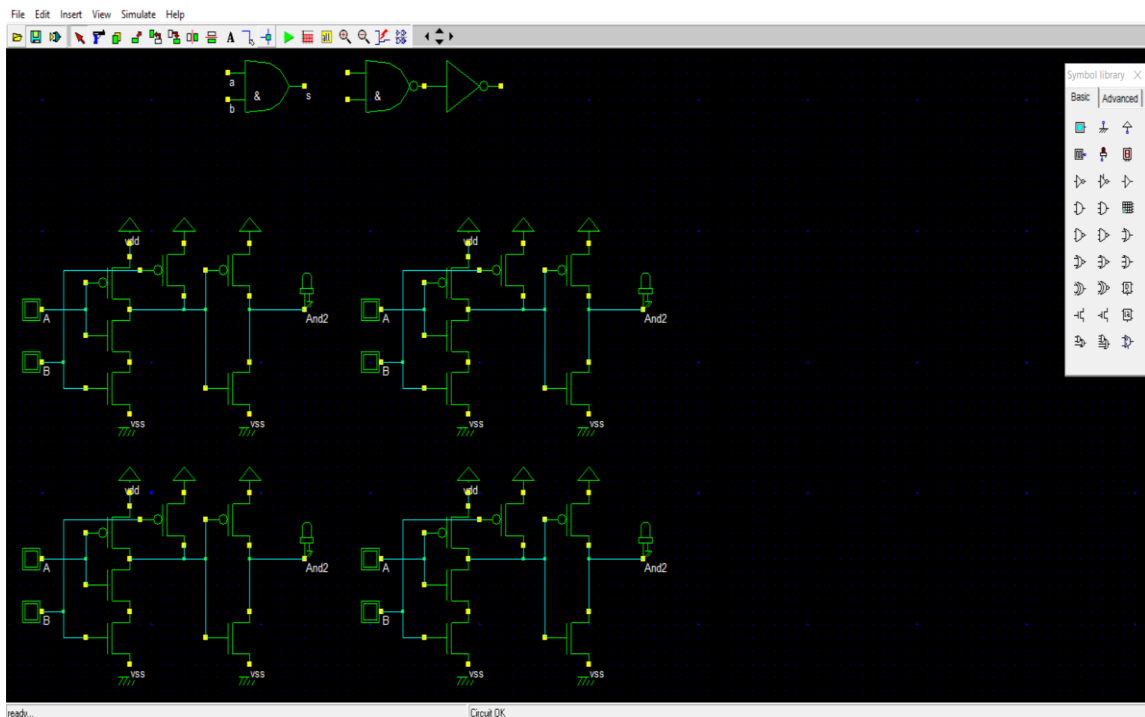


Fig. 3.1 : Interface du logiciel DSCH

3.1.2 A propos de MICROWIND

Le programme MICROWIND permet à l'étudiant de concevoir et de simuler un circuit intégré au niveau de la description physique. Le package contient une bibliothèque de circuits intégrés logiques et analogiques à visualiser et à simuler. MICROWIND comprend toutes les commandes d'un éditeur de masques ainsi que des outils originaux jamais réunis auparavant dans un seul module (vue de processus 2D et 3D, Verilog compiler, tutoriel sur les dispositifs MOS). On peut accéder à la simulation de circuit en appuyant sur une seule touche. L'extraction électrique de notre circuit est automatiquement effectuée et le simulateur analogique produit immédiatement des courbes de tension et de courant.

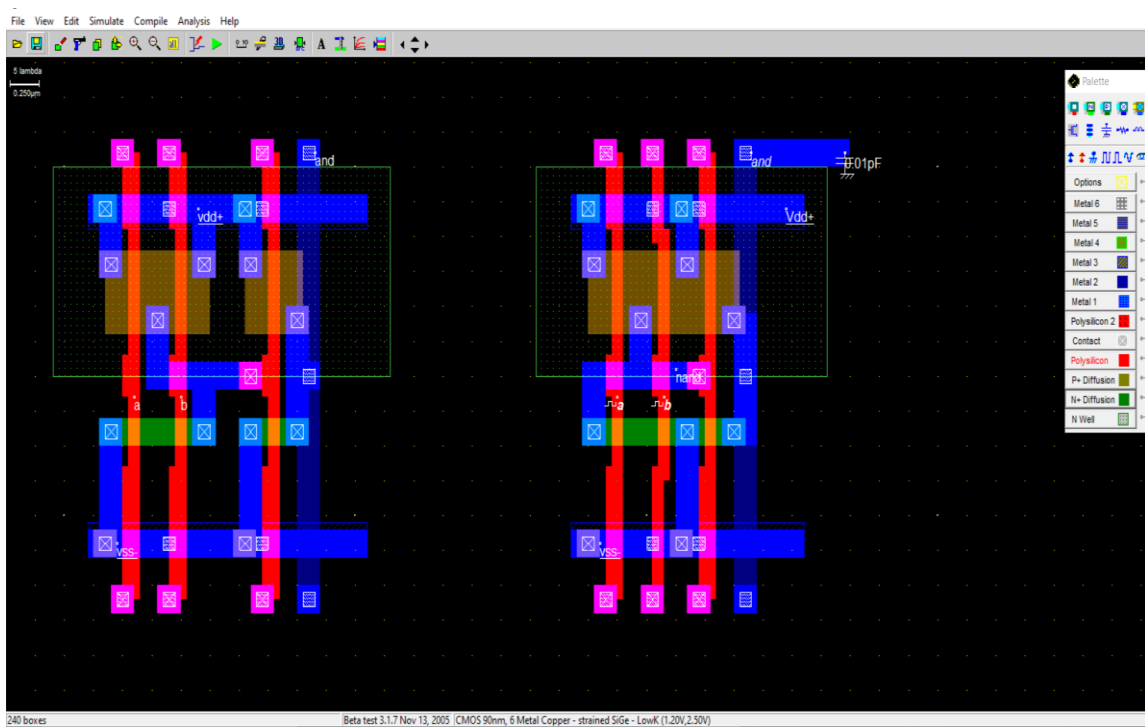


Fig. 3.2 : Interface du logiciel MICROWIND

3.2 Array multiplieur

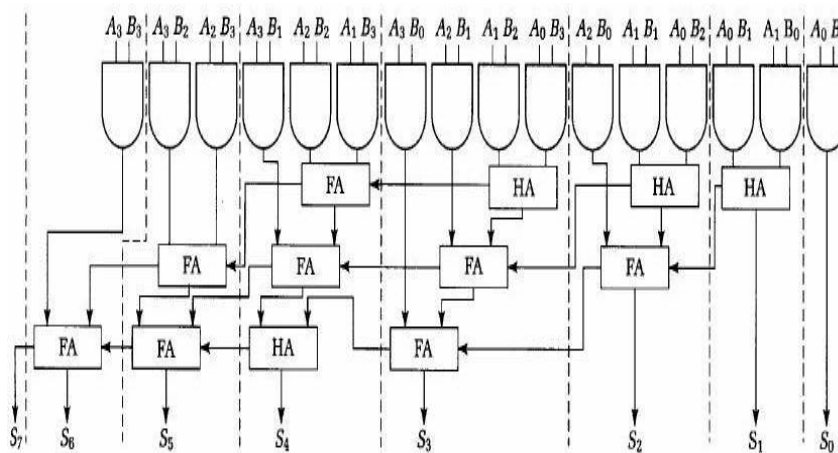
3.2.1 Conception basique

La figure suivante montre d'une façon générale la multiplication de deux nombres binaires de 4 bits :

$$\begin{array}{r}
 + \qquad \qquad \qquad A_3B_0 \ A_2B_0 \ A_1B_0 \ A_0B_0 \\
 + \qquad \qquad \qquad A_3B_1 \ A_2B_1 \ A_1B_1 \ A_0B_1 \ x \\
 + \qquad A_3B_2 \ A_2B_2 \ A_1B_2 \ A_0B_2 \ x \ x \\
 \hline
 A_3B_3 \ A_2B_3 \ A_1B_3 \ A_0B_3 \ x \ x \ x \\
 \hline
 P_7 \ P_6 \ P_5 \ P_4 \ P_3 \ P_2 \ P_1 \ P_0
 \end{array}$$

Fig. 3.3 : procédure de multiplication

A l'aide de logiciel DSCH il est possible de mettre en œuvre ces opérations en suivant le diagramme suivant (il était bien démontré dans le chapitre précédent) :



3.2.2 Composition

Comme il était indiqué précédemment notre multiplieur est constitué à base de 16 portes AND (pour faire les multiplications) plus 4 Half Adders et 8 Full Adders (qui peuvent être remplacés par 3 additionneurs complets de 4 bits)

- **Une autre forme de représentation du circuit**

Le circuit peut être construit en utilisant des « Carry Save Adders » et « Carry Propagate Adder ». Cette méthode aide à réduire le temps de propagation pour le report (Carry), réduisant ainsi le temps de calcul. En utilisant le Carry Save Adder, le temps de propagation du report est inférieur au temps nécessaire pour calculer la somme. La figure 3.4 indique la cellule de multiplication élémentaire en DSCH.

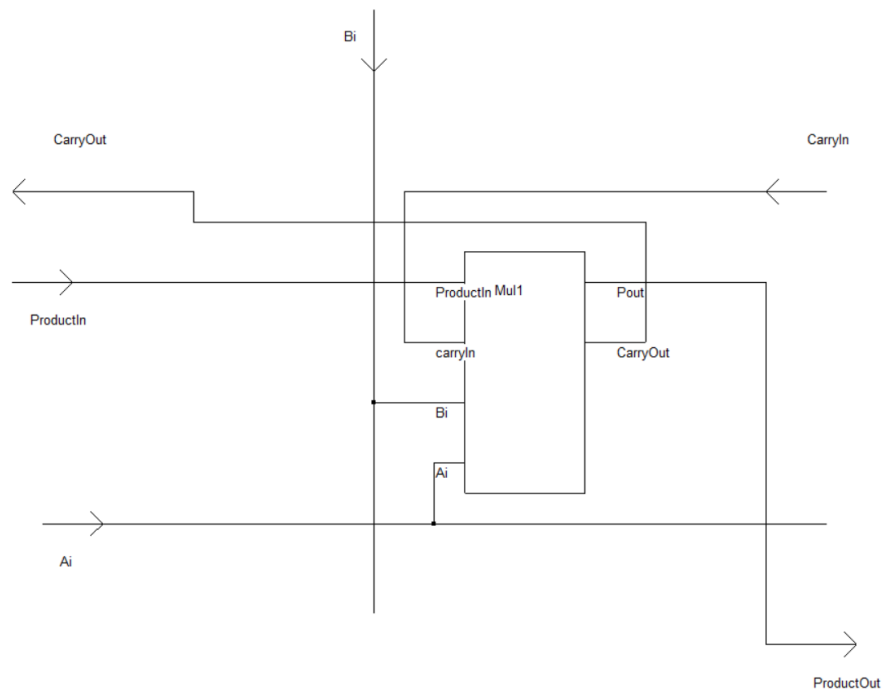


Fig. 3.4 : La cellule de la multiplication élémentaire

a. Simulation de la porte AND

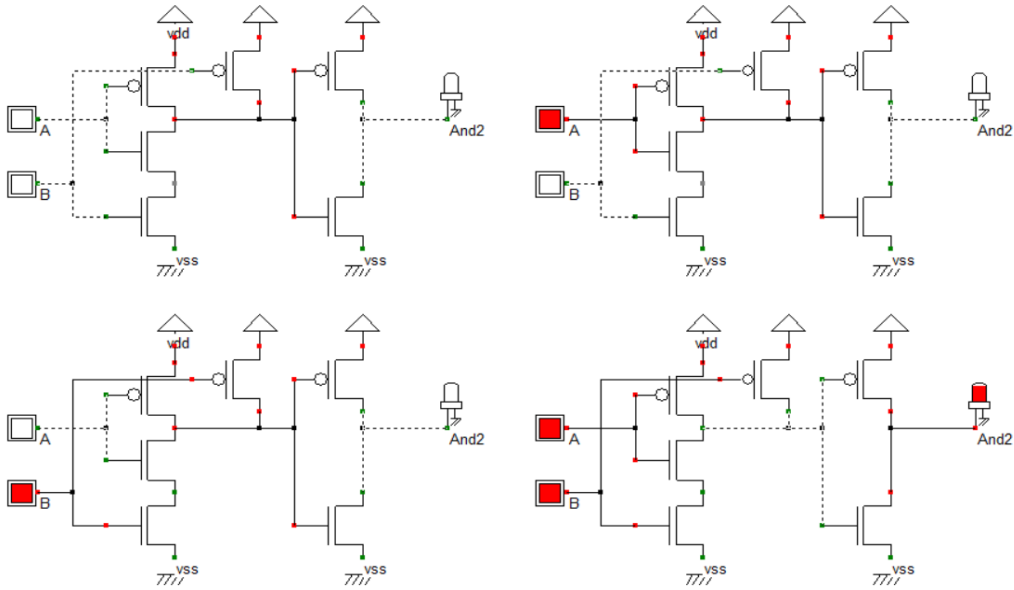


Fig. 3.5 : Implémentation et table de vérité d'une porte AND en CMOS

Le Layout de la cellule AND peut être compilée à l'aide de la commande « Compile ». On note que les interconnexions de la diffusion du NAND avec celle d'inverseur, cela nous conduit vers un schéma plus compacte.

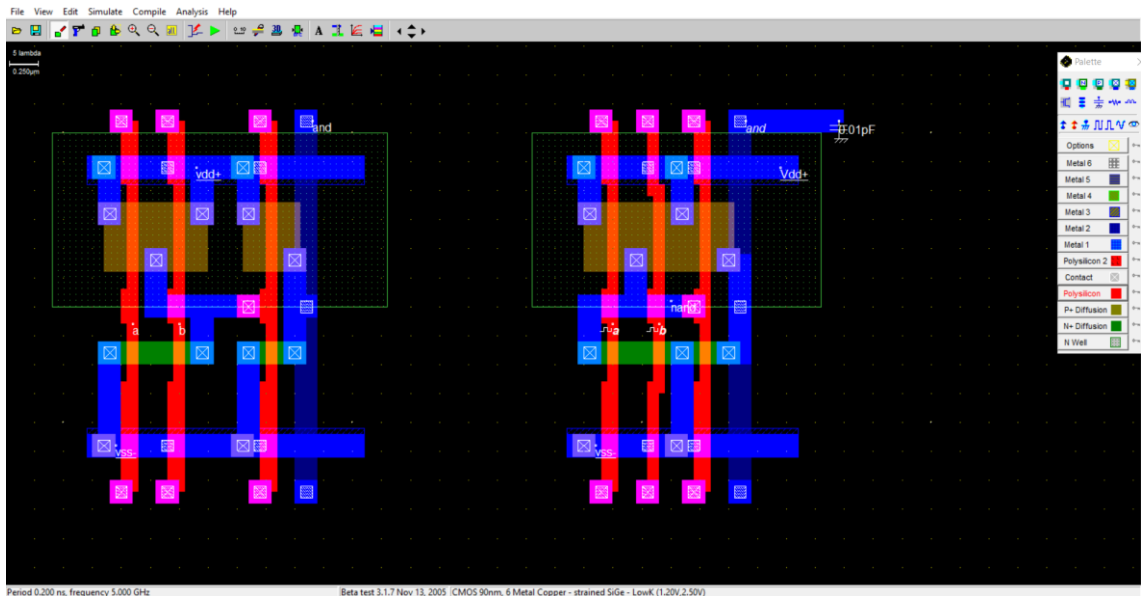


Fig. 3.6 : Layout compilé (à gauche) et arrangement manuel (à droite) pour obtenir une cellule plus compacte.

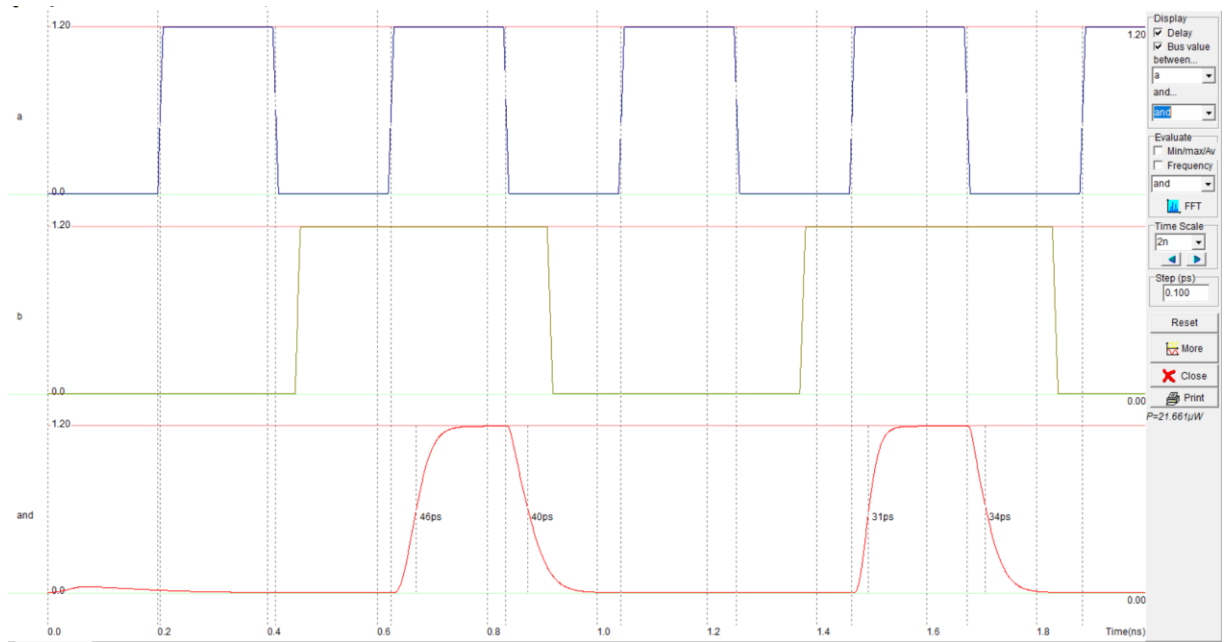


Fig. 3.7 : Simulation de la porte AND

Nous observons que la sortie « AND » réagit avec un certain retard, dû à une cascade de deux cellules logiques. Cependant, la principale cause de ce retard est la charge de 10 fF sur la sortie.

b. Simulation du Half Adder

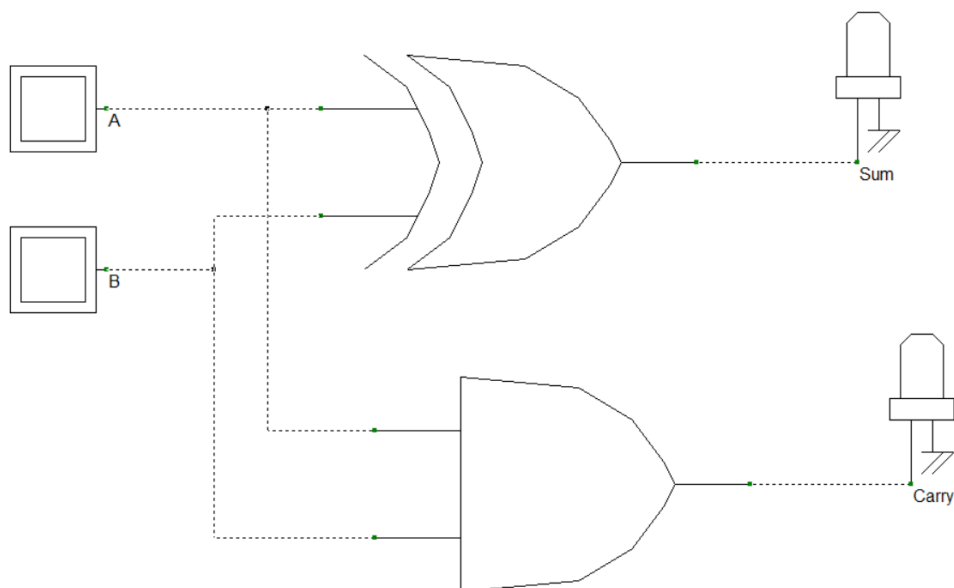
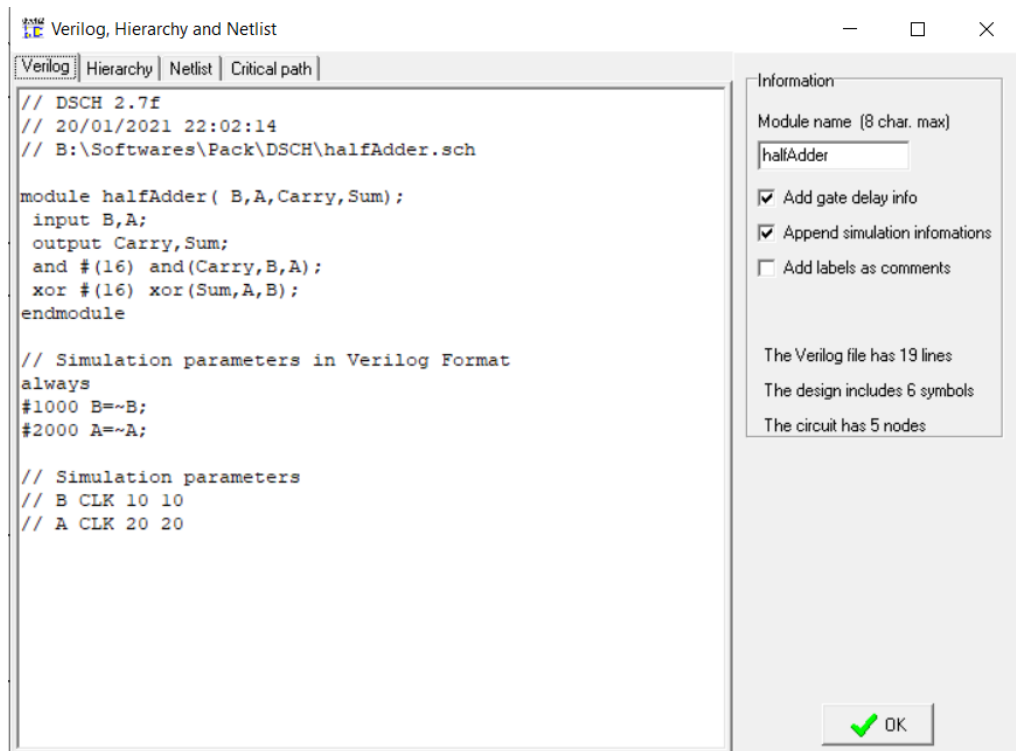


Fig. 3.8 : Diagramme schématique de Half Adder

A l'aide de DSCH un code Verilog sera généré pour la compilation du masque (Layout) en MICROWIND



```
// DSCH 2.7f
// 20/01/2021 22:02:14
// B:\Softwares\Pack\DSCH\halfAdder.sch

module halfAdder( B,A,Carry,Sum);
  input B,A;
  output Carry,Sum;
  and #(16) and(Carry,B,A);
  xor #(16) xor(Sum,A,B);
endmodule

// Simulation parameters in Verilog Format
always
#1000 B=~B;
#2000 A=~A;

// Simulation parameters
// B CLK 10 10
// A CLK 20 20
```

Information

Module name (8 char. max)
halfAdder

Add gate delay info
 Append simulation informations
 Add labels as comments

The Verilog file has 19 lines
The design includes 6 symbols
The circuit has 5 nodes

OK

Fig. 3.9 : Verilog code pour le Half Adder

Après la compilation du code on obtient :

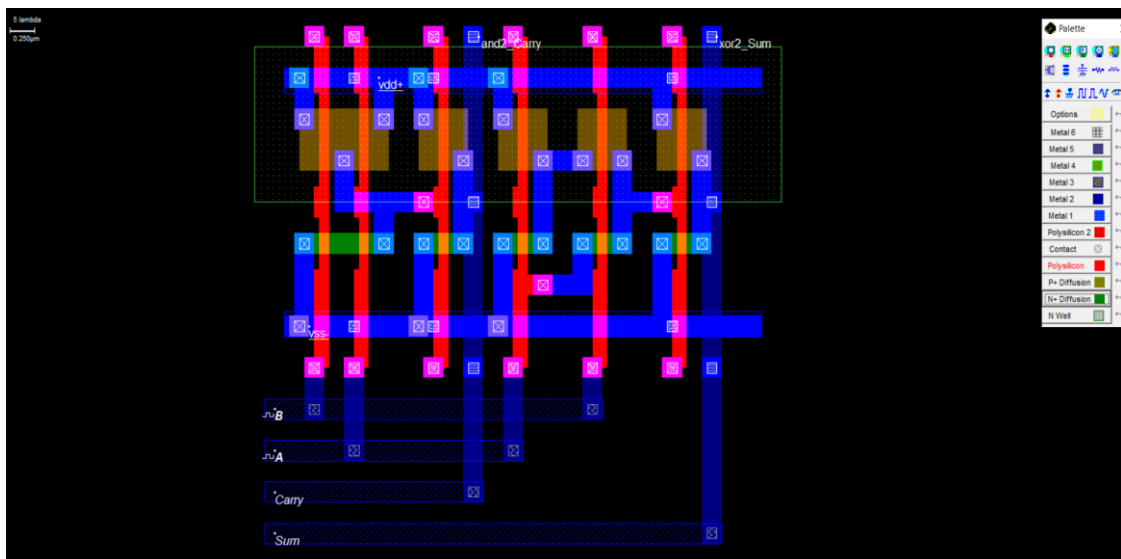


Fig. 3.10 : Layout d'un Half Adder

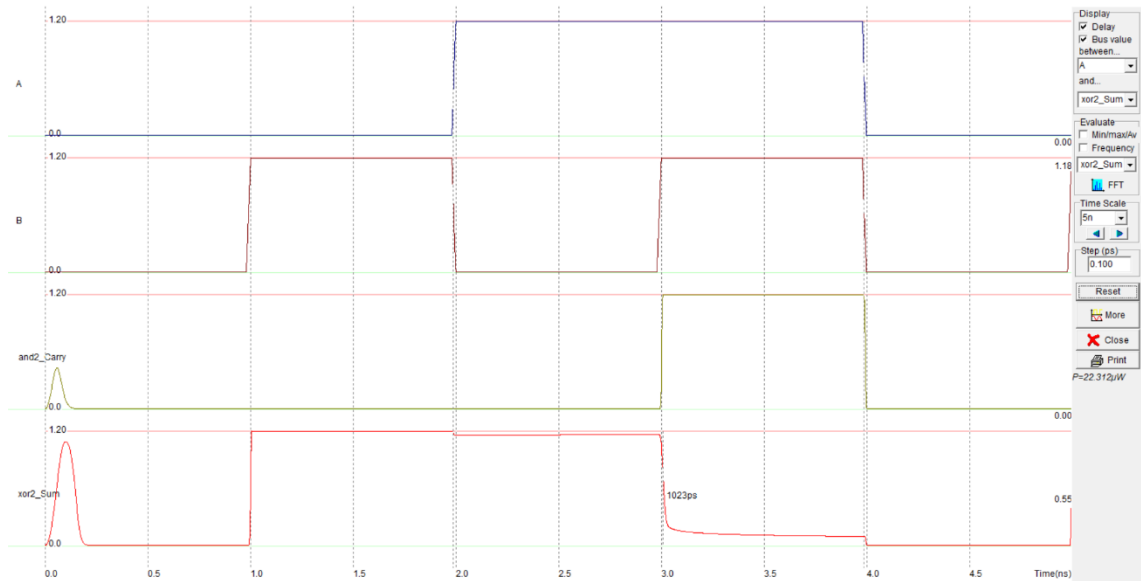


Fig. 3.11 : Résultat de la simulation d'un Half Adder

Les chronogrammes de la figure 3.11 apparaissent après la simulation là où la table de vérité du demi-additionneur peut être vérifiée. La porte AND est acheminée à droite et la porte XOR est acheminée à gauche ou en remarque un certain retard de 1023 ps « picoseconde ».

c. Simulation du Full Adder

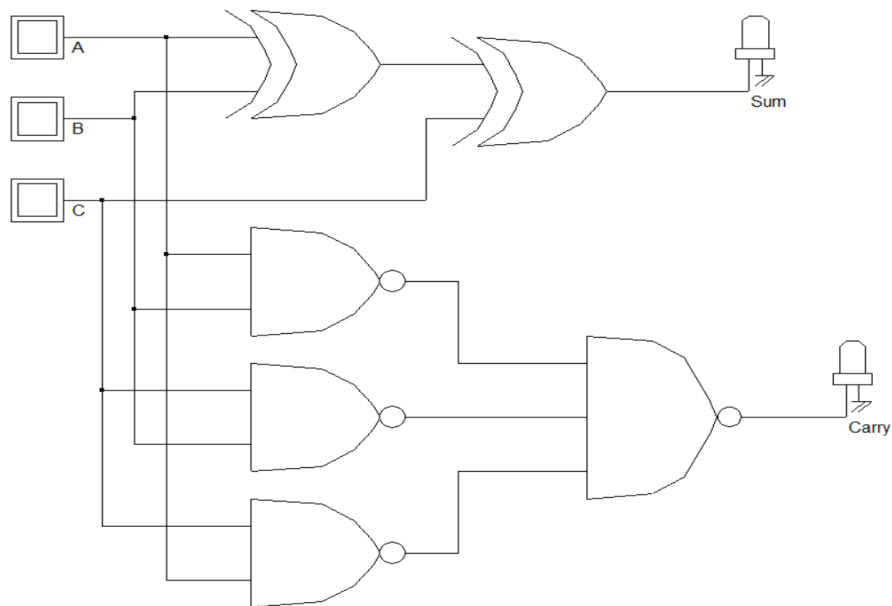


Fig. 3.12 : Diagramme schématique du Full Adder

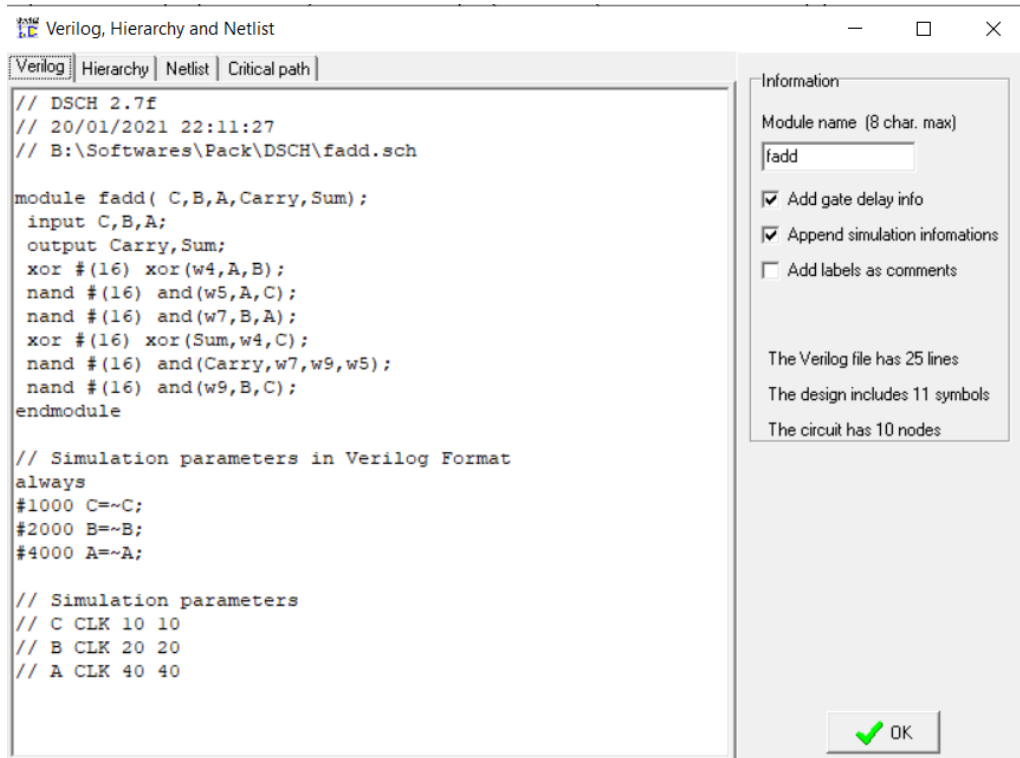


Fig. 3.13 : Verilog code pour le Full Adder

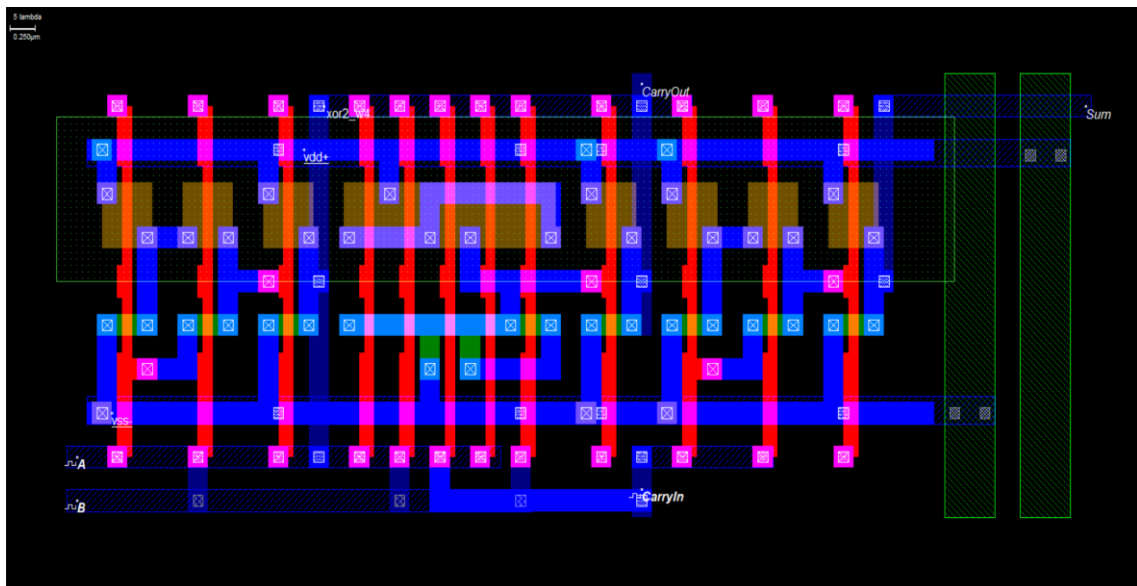


Fig. 3.14 : Layout après la compilation du code

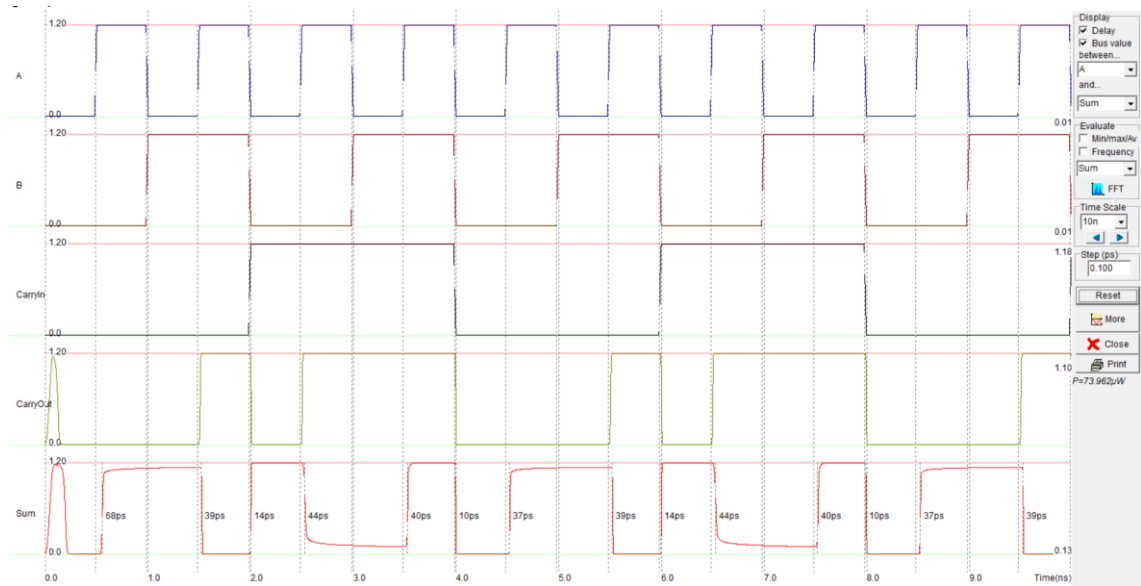


Fig. 3.15 : Résultat de la simulation d'un Full Adder

Les chronogrammes de la simulation sont montrés dans la figure 3.15. On remarque certains retards variés entre 10 et 68 ps au niveau de la sortie « Sum »

3.2.3 Conception et simulation du multiplieur

a. Simulation de la cellule

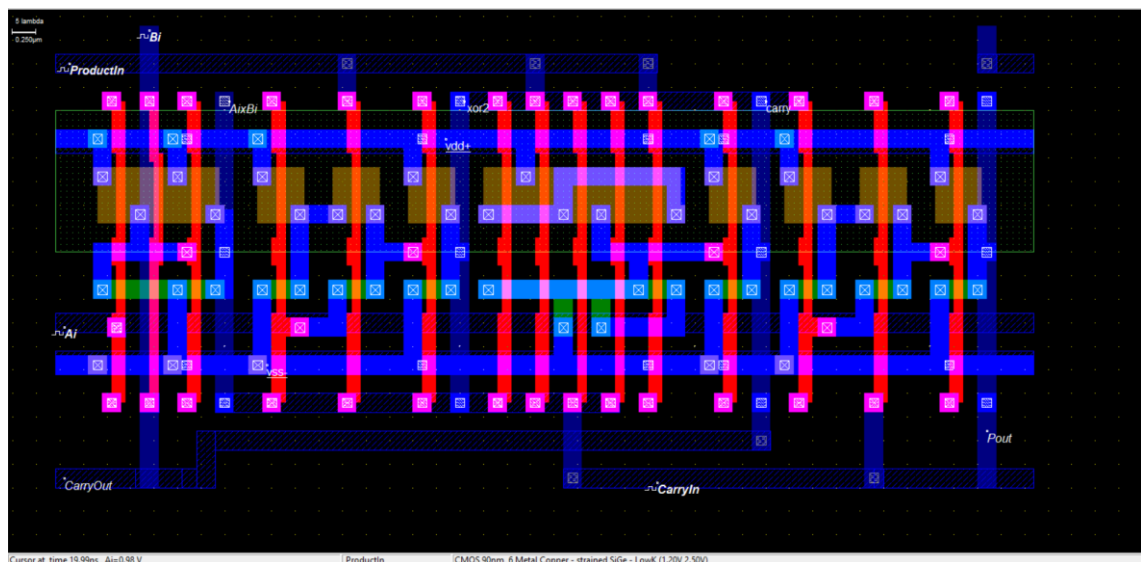


Fig. 3.16 : Layout de la cellule de multiplication

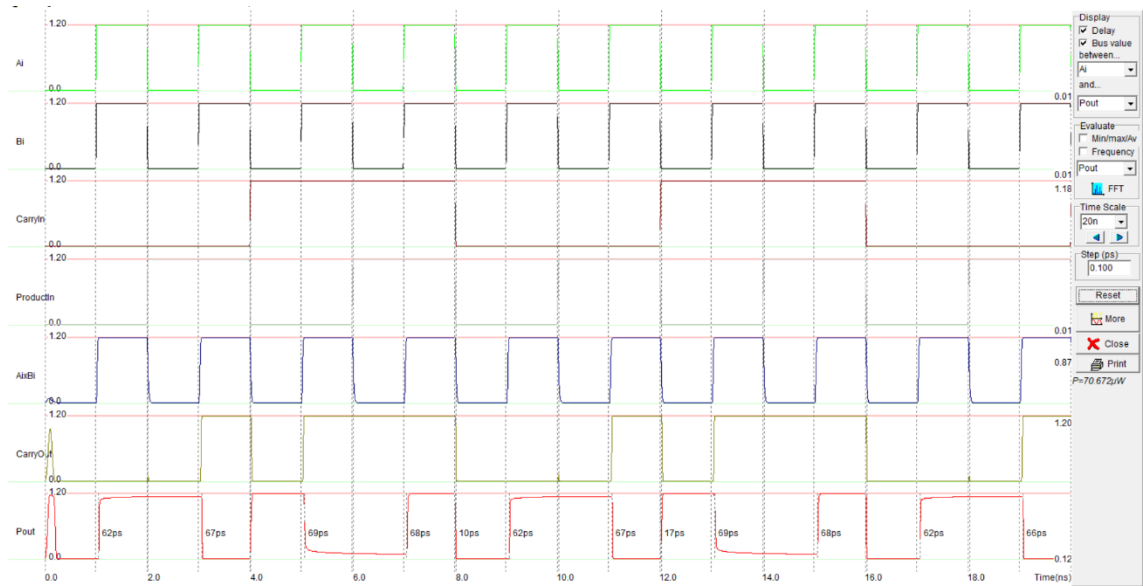


Fig. 3.17 : Résultat de la simulation de la cellule

b. Diagramme schématique

A l'aide de logiciel DSCH et de la cellule de multiplication élémentaire montrée précédemment on va construire notre multiplieur 4 bits.

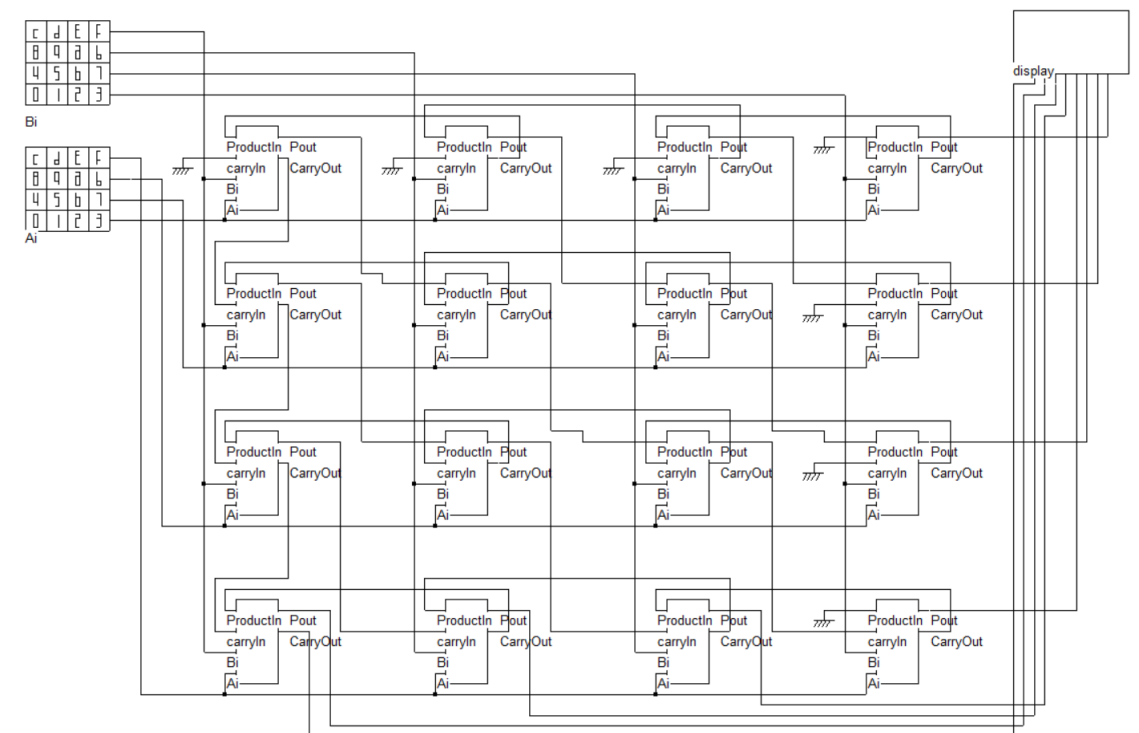


Fig. 3.18 : Le diagramme schématique de multiplieur à 4 bits

Ce circuit multiplie l'entrée A (clavier supérieur) par l'entrée B (clavier inférieur) qui produit un résultat 8 bits, P. Dans la simulation logique, l'affichage 8 bits est configuré en mode décimal pour faciliter l'interprétation du résultat. Notre multiplieur fonctionne très bien, voici un exemple de multiplication de deux nombres 9×9 (ou 1001×1001 en binaire) :

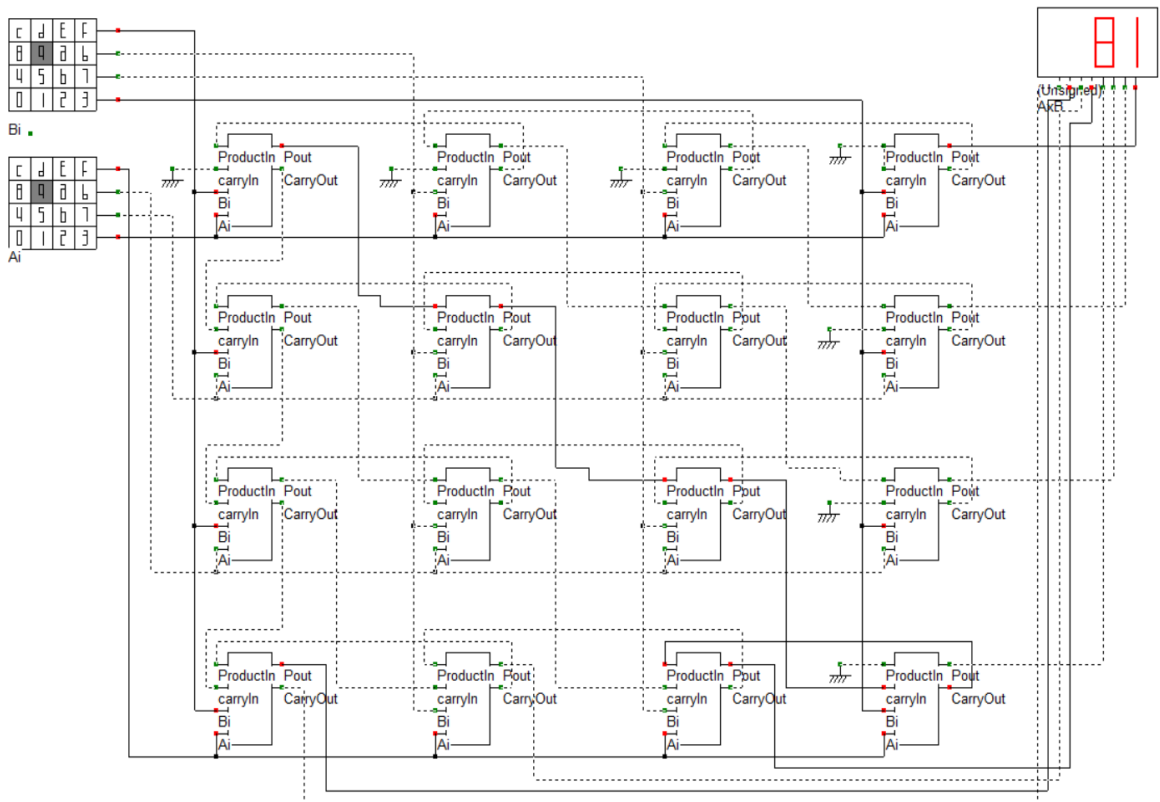


Fig. 3.19 : Simulation d'un exemple de multiplication

c. Le code Verilog

Le multiplieur 4 bits peut être traduit en Layout grâce au compilateur Verilog. Un code sera généré puis compiler en MICROWIND

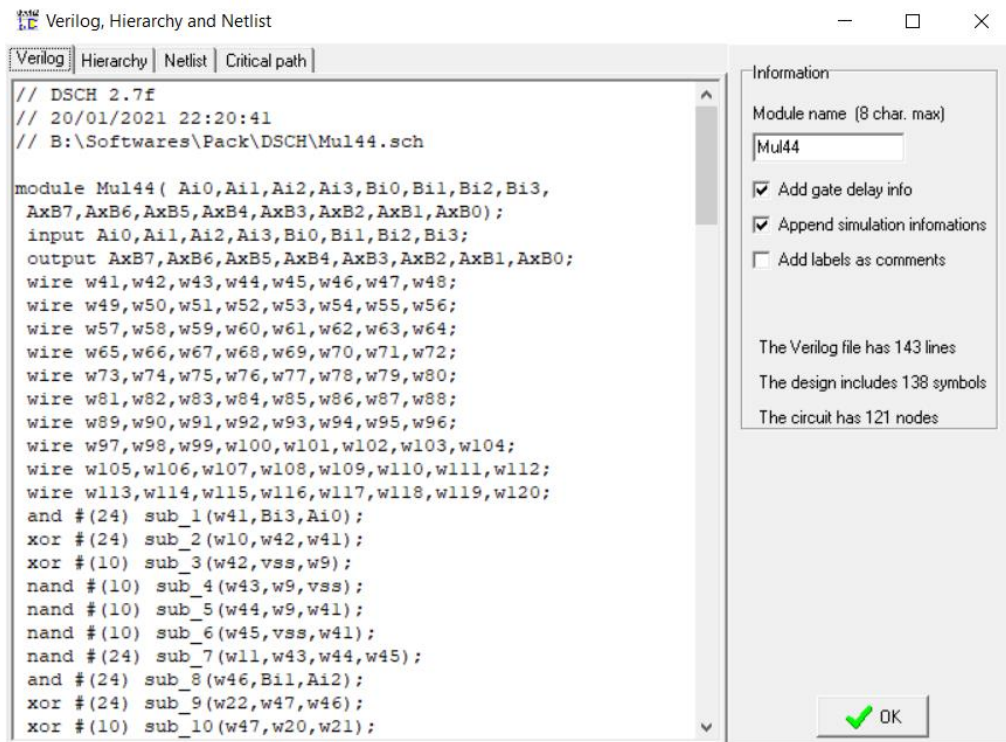


Fig. 3.20 : Création du code Verilog

a. Layout

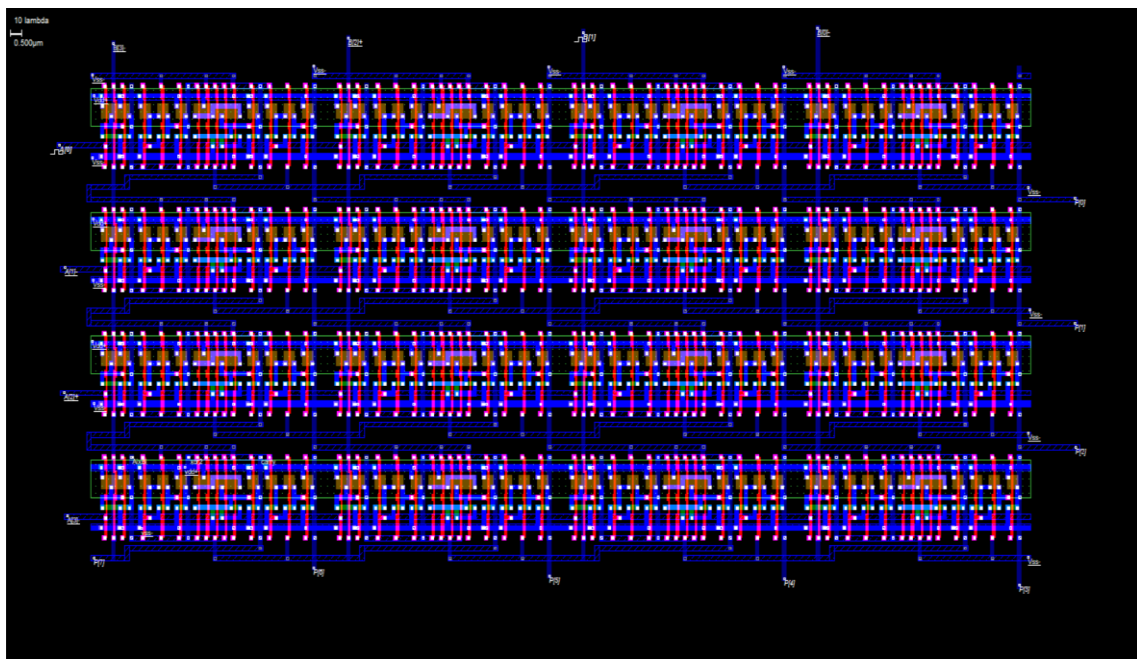


Fig. 3.21 : Layout du Array Multiplier

b. Résultat de la simulation

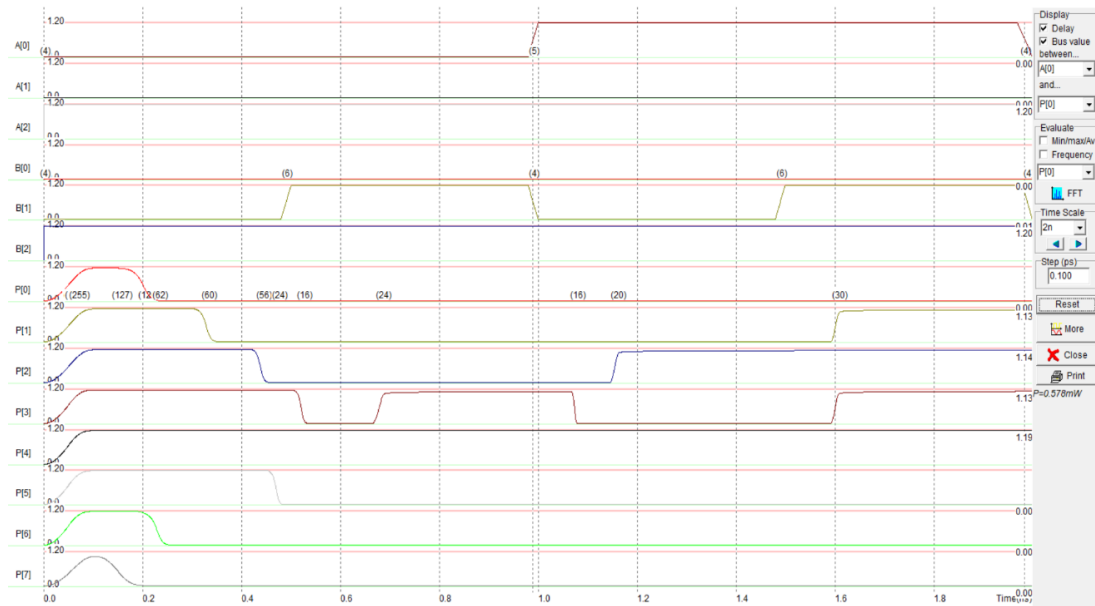
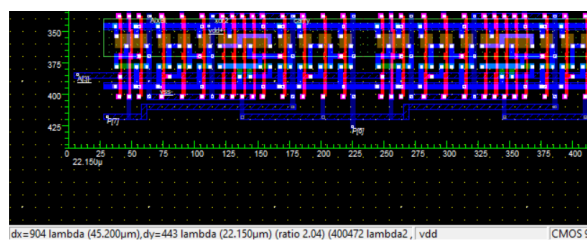


Fig. 3.22 : Résultat de la simulation

La phase d'initialisation est presque égale à 0,5 ns. Au temps $t = 1,0$ ns, $A = 5$, $B = 4$ et $P = 20$ après un délai de 150 ps.

- Surface :

A l'aide de la règle de mesure on peut facilement déduire la surface de notre masque



$$S = 45.200 * 22.150 = 1001.18 \mu m^2$$

- Puissance :

La puissance maximale obtenue est égale à 0.578 mW soit 578 μ W

- Nombre de transistor :

Le model d'appareils MOS présenté est bien B-sim4 avec 240 (PMOS) et 240 (NMOS)

3.3 Vedic Multiplier

Pour implémenter le multiplieur Vedic, les équations suivantes sont utilisées.

Le multiplicateur et le multiplicande sont indiqués par $a_3 a_2 a_1 a_0$ et $b_3 b_2 b_1 b_0$. Et les bits de sortie sont comme P0, P1, P2, P3, P4, P5, P6, et P7.

$$P_0 = a_0 b_0; \quad (1)$$

$$P_1 = a_1 b_0 + a_0 b_1; \quad (2)$$

$$P_2 = c_1 + a_2 b_0 + a_1 b_1 + a_0 b_2; \quad (3)$$

$$P_3 = c_2 + a_3 b_0 + a_2 b_1 + a_1 b_2 + a_0 b_3; \quad (4)$$

$$P_4 = c_3 + a_3 b_1 + a_2 b_2 + a_1 b_3; \quad (5)$$

$$P_5 = c_4 + a_3 b_2 + a_2 b_3; \quad (6)$$

$$P_6 = c_5 + a_3 b_3; \quad (7)$$

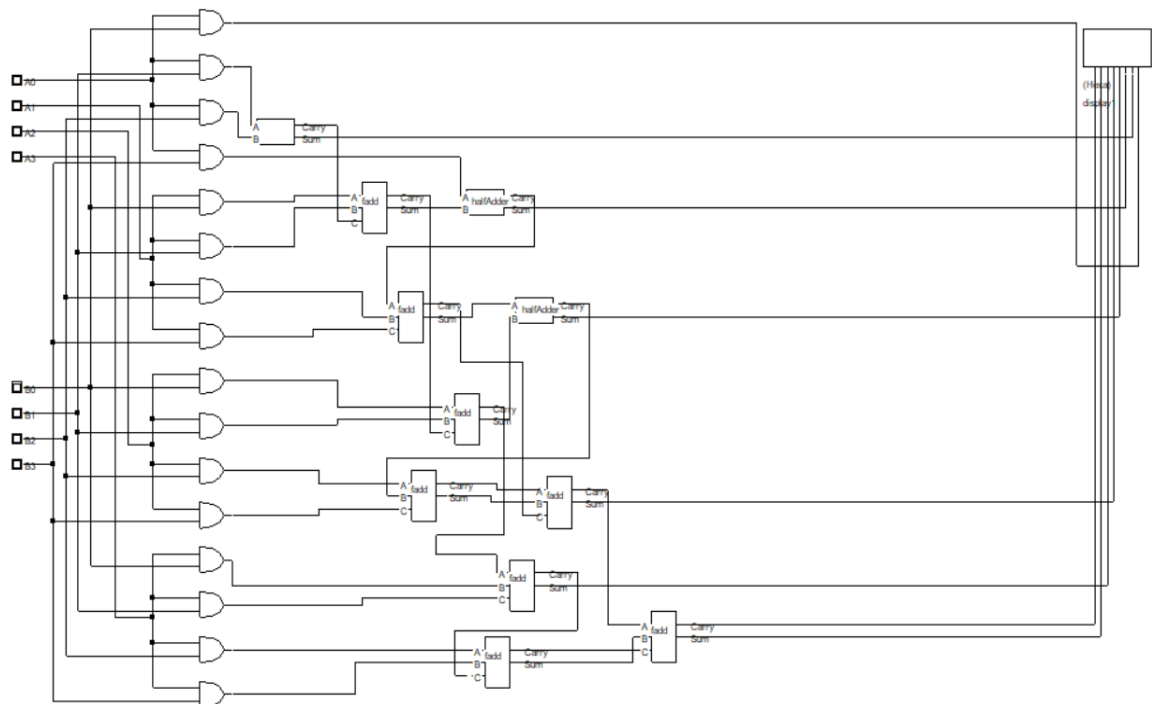


Fig. 3.23 : Implémentation et simulation du Vedic Multiplier en DSCH

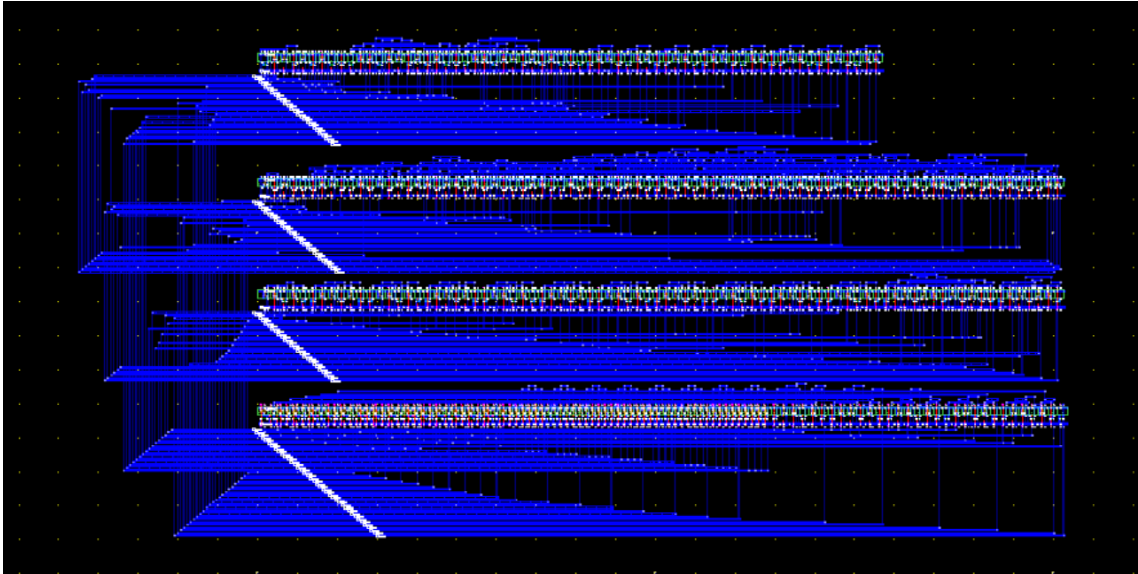


Fig. 3.24 : Layout de Vedic Multiplier en Microwind

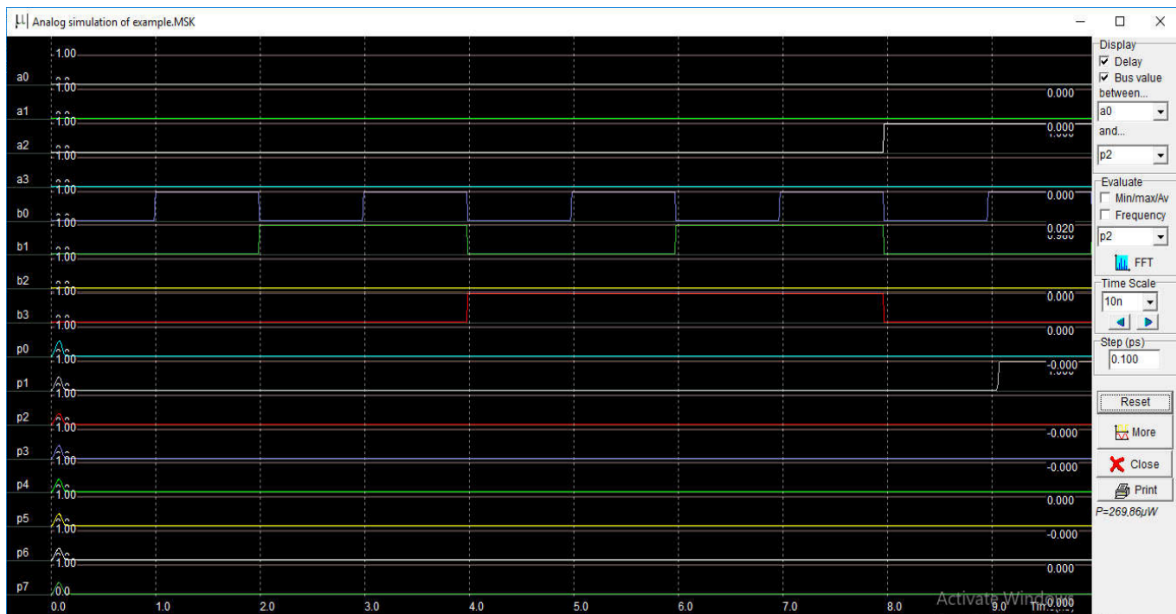


Fig. 3.25 : Résultat de la simulation en Microwind

Le fichier Verilog qui est généré dans DSCH est compilé dans MICROWIND L'implémentation est toujours sur la technologie CMOS 90 nm, à partir de laquelle nous pouvons calculer la puissance et le nombre de transistors utilisés pour concevoir le circuit et peut être comparé à la conception du Array Multiplier montrée précédemment en termes de puissance, surface et nombre de transistors. Pour le multiplieur Vedic les

entrées A0, A1, A2, A3, B0, B1, B2 et B3 sont les entrées variant de 0 à 1. La fréquence de fonctionnement du multiplieur est 5 GHz. La comparaison des deux multiplieurs est présentée dans le tableau 3.1.

3.4 Interprétation des résultats

Array Multiplier est basé sur l'algorithme Shift and Add. Le principal avantage du multiplieur est sa conception simple et sa forme régulière il est similaire au processus de multiplication normal que nous faisons en mathématiques, mais le plus grand désavantage est que le délai de propagation du report (Delay) est plus élevé ainsi que la consommation d'énergie, que celui de Vedic Multiplier. Le tableau ci-dessous montre les caractéristiques principales des deux multiplieurs :

Design	Surface (μm^2)	Puissance (μW)	Delay (ns)	Nbr. de P-MOS	Nbr. de N-MOS
Array Multiplier	1001.18	578.02	32.001	240	240
Vedic Multiplier	648	269.86	13.102	210	210

Tableau 3.1 : Tableau de comparaison

La surface occupée et la vitesse nécessaire ainsi que la puissance consommée par les multiplieurs Vedic et Array 4 bits sont indiquées dans les graphiques ci-dessous :

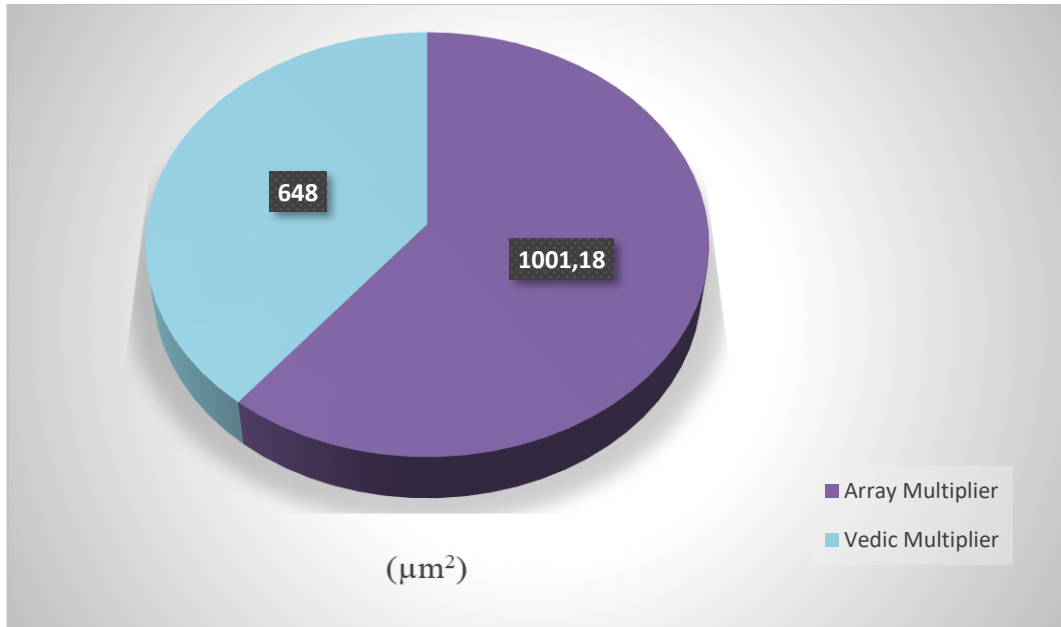


Fig. 3.26 : Comparaison de Array et Vedic Multipliers en terme de surface

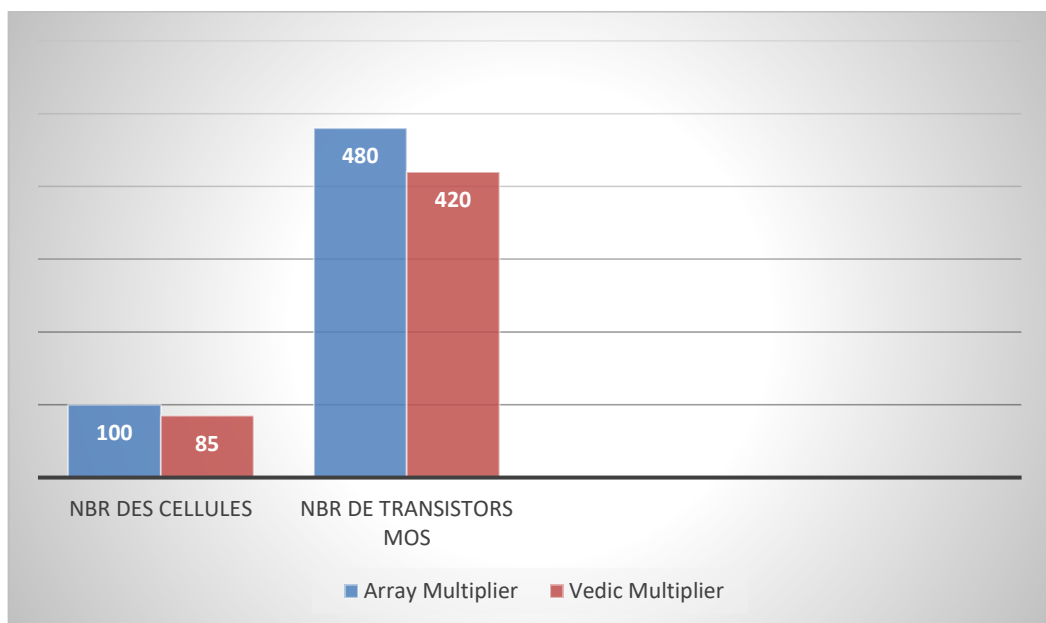


Fig. 3.27 : nombre de cellules et de transistors MOS

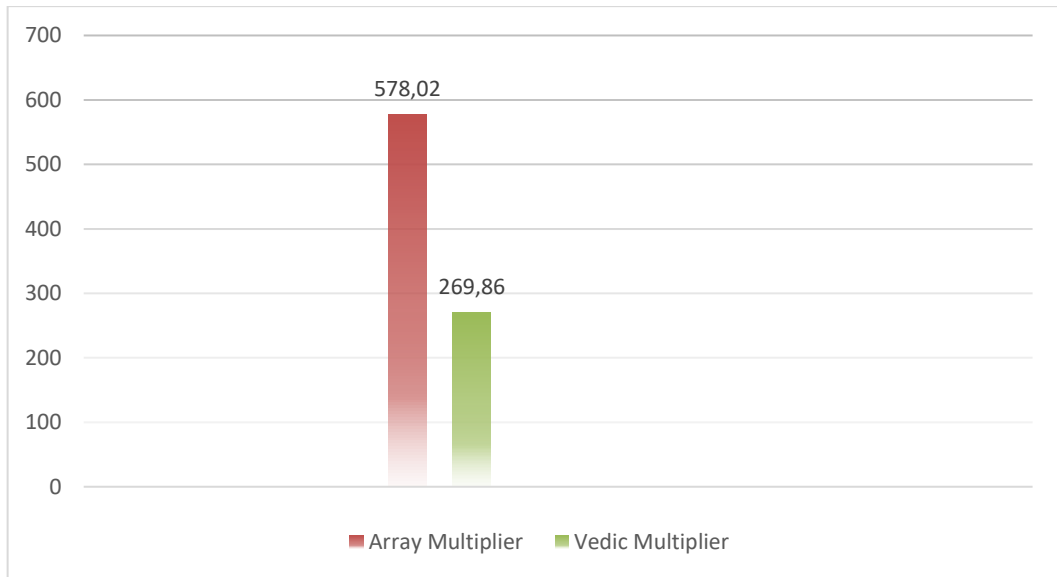


Fig. 3.28 : Puissance consommée par chaque multiplieur

3.5 Conclusion

Dans ce chapitre, nous avons présenté l'architecture, la conception logique et la mise en œuvre de deux circuits multiplicateurs 4×4 bits différents, Array Multiplier et Vedic Multiplier. L'objectif d'optimisation de la surface, de la puissance, et du temps de réponse a été réalisé pour les deux implémentations logiques. La conception VLSI de l'architecture Vedic s'est avérée très efficace en terme de vitesse en raison de sa structure parallèle et l'algorithme de calcul économisé ayant ainsi une faible latence, une dissipation de puissance minimale en occupant moins de surface par rapport au Array Multiplier.

Conclusion générale

Le circuit intégré est un outil indispensable dans notre vie quotidienne du fait qu'il constitue la quasi-totalité des dispositifs essentiels présents entre nos mains aujourd'hui. La fabrication des CI repose actuellement sur la technologie CMOS, une technologie qui dépend des transistors MOSFET donc des méthodes combinatoires pour la conception de certains circuits numériques. Dans le monde en rapide développement technologique d'aujourd'hui, le virage est vers la construction de petits appareils portables. Au fur et à mesure que le nombre de ces équipements augmente et que leur demande de performances devrait être plus importante, il est nécessaire d'augmenter leur vitesse de traitement et de réduire leur dissipation de puissance. La multiplication est une fonction de base dans les opérations arithmétiques, et comme elle domine le temps d'exécution des systèmes DSP (Digital Signal Processor), il est nécessaire de développer des multiplieurs à grande vitesse. Dans notre travail nous avons étudié et comparé deux architectures différentes de multiplieurs, Array et Vedic. Vedic Multiplier s'est avéré très efficace en raison de sa structure régulière et parallèle ainsi que son algorithme de calcul qui réduit la complexité donc une meilleure optimisation en terme de vitesse, de puissance et de temps de retard par rapport au Array Multiplier qui a un principe basique et similaire à celui du stylo et du papier.

Aujourd'hui on n'arrête pas de réduire la finesse de gravure des transistors mais le passage sous les 22nm a demandé l'abandon des transistors planaires, au profit de nouveaux dispositifs comme les FinFET. Ainsi que pour la réalisation de circuits ultra rapides on propose l'utilisation d'autres matériaux que le silicium, tel que l'Arséniure de Gallium, car ses électrons possèdent une mobilité 4 à 6 fois plus élevée.

Bibliographie

- [1] www.lemondeinformatique.fr
- [2] www.bask.com/blog/jack-kilby-the-man-behind-the-integrated-circuit-1/
- [3] Jim Lindblom: integrated circuits, learn.sparkfun.com. 2012, Version traduite.
- [4] www.Irish Electronics.ie
- [5] www.news.softpedia.com
- [6] François MANNEVILLE : Electronique - cours et exercices corrigés, Editeur : Paris, DUNOD, 2000.
- [7] www.reso-nance.org/materiel/electronique/packages/accueil
- [8] Dr. Mohamed LASHAB : Cours circuits intégrés, Université du 20 Aout 55 Skikda.
- [9] Mr. Mourad HADDADI: Cours et exercices en électronique générale, Editeur : Alger, Office des Publications Universitaires, 2003.
- [10] www.Technologiedigitale.com
- [11] Tarik HADDADI : Thèse. IGA El Jadida, 2011, Maroc.
- [12] Microelectronic Circuits, sixth edition, Traduction éditée du livre suite à un accord avec Oxford University Press. Rue du Bosquet, 7, B-1348 Louvain-la-Neuve Pour la traduction et l'adaptation française.
- [13] BŒUF F., SKOTNIKI T. : Introduction à la physique du transistor MOS, 2003.
- [14] L'INSA de Lyon, Thèse : Enjeux et challenges du transistor MOS, 2018.
- [15] BOEUF F., ARNAUD F., TAVEL B.: A conventional 45nm CMOS node low-loss platform for General Purpose and Low Power applications. International Electron Device Meeting Technical Digest, Dec. 2004, San Francisco.
- [16] François Anceau, Yvan Bonacieux : CONCEPTION DES CIRCUITS VLSI Dunod, Paris, 2007 ISBN 978-2-10-050036-9
- [17] CY — FT-MOS.doc : L'essentiel sur le transistor MOS en commutation, Janvier 1999 – V1.1
- [18] Etienne Sicard, Sonia Delmas Bendhia: Basics of CMOS Cell Design. INSA Electronic Engineering School of Toulouse, France.

- [19] FORNARA P. : Modélisation et simulation numérique de la croissance des siliciures pour la microélectronique. Thèse. Grenoble: CNET, 1996.
- [20] Roger Bourgeron : 2000 schémas et circuits électroniques, DUNOD.
- [21] www.abcelectronique.com
- [22] Purushottam D. Chidgupkar et Mangesh T. Karad, "The Implementation of Vedic Algorithms in Digital Signal Processing on 8085/8086", Global J. of Engng. Educ., Vol.8 No.2 © 2004 UICEE Published in Australia.
- [23] Himanshu Thapliyal and Hamid R. Arabnia, "A Time-Area- Power Efficient Multiplier and Square Architecture Based on Ancient Indian Vedic", Department of Computer Science, The University of Georgia, 415 Graduate Studies Research Center Athens, Georgia 30602-7404, U.S.A.
- [24] Harpreet Singh Dhillon and Abhijit Mitra, "A Reduced- Bit Multiplication Algorithm for Digital Arithmetics ", International Journal of Computational and Mathematical Sciences, 2008.
- [25] Vaijyanath Kunchigi, Linganagouda Kulkarni, Subhash Kulkarni Jawaharlal Nehru Technological University Hyderabad, AP, 2007, India.