

001/03  
EX9



REPUBLIQUE ALGERIENNE DEMOCRATIQUE ET POPULAIRE  
MINISTERE DE L'ENSEIGNEMENT SUPERIEUR ET DE LA  
RECHERCHE SCIENTIFIQUE  
UNIVERSITE SAAD DAHLEB DE BLIDA  
FACULTE DES SCIENCES DE L'INGENIEUR  
DEPARTEMENT AERONAUTIQUE

MEMOIRE DE FIN D'ETUDE EN VUE DE L'OBTENTION DU  
DIPLOME DES ETUDES UNIVERSITAIRES APPLIQUEES  
EN AERONAUTIQUE  
OPTION: avionique



*Thème*



▫ **Étude sur les EPROM et réalisation  
D'un dispositif d'accueil vocal**

DIRIGE PAR:

♦ Mr LAIB A/AZIZ



REALISE PAR:  
DEIBOUNE KHALED  
RABAH HEZILA KHALED

PROMOTION : 2004/2005

# SOMMAIRE

## Introduction générale

### Chapitre I Etude générale sur les mémoires

|   |        |
|---|--------|
| I-1- Définition.....  | - 1 -  |
| I -2- Classification des mémoires à (semi conducteur).....                              | - 1 -  |
| I-21. La technologie de fabrication .....   | - 1 -  |
| I-22. la fonction .....   | - 1 -  |
| I-221. Les mémoires à « lecture, écriture ».....  | - 2 -  |
| I-2211. Les RAM (Random Access Memory) .....  | - 2 -  |
| I-2212-. Utilisations.....  | - 5 -  |
| I-22121. Rôle de la mémoire vive (RAM) .....  | - 6 -  |
| I-22122. Fonctionnement de la mémoire vive.....   | - 6 -  |
| I-22123. Association de boîtiers mémoire .....  | - 7 -  |
| I-222. Les mémoires à « lecture seul ».....   | - 8 -  |
| I-2221-Les ROM (Read Only Memory) .....   | - 8 -  |
| I-2222. Les PROM (Programmable Read Only Memory).....                                   | - 10 - |
| I-2223- Les EEPROM OU E2PROM (Electrically Erasable Programmable Read Only Memory)..... | - 14 - |
| I-2224-Les ROM FLASH (FLASH Read Only Memory) .....                                     | - 15 - |
| I-2225 -les EPROMS (ERASABLE PROGRAMMABLE Read Only Memory) .....                       | - 18 - |
| I-23. Technologie de fabrication des mémoires .....                                     | - 18 - |
| I-231. Technologie bipolaire .....  | - 18 - |
| I-232. Technologie MOS :(metal oxide semi-conductor) .....                              | - 18 - |
| I-233. Technologie CCD et NMB.....  | - 19 - |
| I-3. Organisation interne et externe des mémoires .....                                 | - 19 - |
| I-31. L'organisation interne .....  | - 20 - |
| I-32. Organisation externe .....  | - 20 - |

### Chapitre II Etude approfondi sur les Eproms

|   |        |
|---|--------|
| II-1. Description.....                              | - 22 - |
| II-2. Symbole et Schéma générique d'une Eprom.....  | - 22 - |
| II-3. Valeurs .....                                 | - 24 - |
| II-4. Variantes .....                               | - 25 - |
| II-5. Avantages et Inconvénients.....               | - 25 - |
| II-6. La physique des eprom .....                   | - 26 - |
| II-7. Classification des Eprom .....                | - 26 - |
| II-71. Classification selon la capacité.....        | - 27 - |
| II-72. Classification selon le constructeur : ..... | - 27 - |

|   |        |
|---|--------|
| II-8. Caractéristique des EPROM :               | - 27 - |
| II-81. Le bus d'adresse :                       | - 28 - |
| II-82. Le bus de données :                      | - 28 - |
| II-83. Le bus de contrôle :                     | - 28 - |
| II-9. Les modes de fonctionnement d'une Eprom : | - 28 - |
| II-91. Mode lecture :                           | - 29 - |
| II-93. Mode programmation :                     | - 29 - |
| II-94. Mode vérification :                      | - 29 - |
| II-95. Mode de programmation non- autorisée :   | - 29 - |
| II-10. Lecture et écriture                      | - 29 - |
| II-10-1. Lecture sur une EPROM :                | - 29 - |

### Chapitre III Etude sur les programmeurs des Eproms

|  |        |
|--|--------|
| Introduction.....  | - 36 - |
| III-1. principe choisi.....                                | - 36 - |
| .III-2. Le schéma électronique .....                       | - 38 - |
| .III-3. Les typons .. .....                                | - 45 - |
| -IV-1. Etude théorique du montage.....                     | - 48 - |
| -IV-11. Description du montage .....                       | - 48 - |
| IV-12. Schéma synoptique .....                             | - 49 - |
| IV-13. Présentation des différents étages du montage ..... | - 50 - |
| IV-13-1. Générateur d'horloge .....                        | - 50 - |
| IV-13-2. Le compteur .....                                 | - 51 - |
| IV-13-3. La mémoire.....                                   | - 51 - |
| IV-13-4. Le convertisseur numérique / analogique .....     | - 54 - |
| IV-13-5. Le haut parleur.....                              | - 56 - |
| IV-2. Partie expérimentale.....                            | - 57 - |
| IV-21. Rappel sur les circuits imprimés .....              | - 57 - |
| IV-211. Définition .....                                   | - 58 - |
| IV-212. Avantages des circuits imprimés .....              | - 58 - |
| IV-213. Constituants des circuits imprimés.....            | - 59 - |
| IV-22. Réalisation du circuit imprimés .....               | - 60 - |
| IV-23. Liste des composants :                              | - 61 - |

Conclusion générale

Résumé

Annexes

Bibliographie

**INTRODUCTION**

**GENERALE**

## INTRODUCTION GENERALE

*La volonté des gens à faciliter les tâches dans la vie quotidienne les oblige à utiliser des systèmes et des installations électroniques qui sont conçus d'une technologie très développée.*

*Aujourd'hui; quelqu'un qui observe la véritable évolution des technologies dans des divers domaines; pour nous l'avionique, il trouve une grande difficulté de comprendre ce qui se passe à l'intérieur des systèmes et des montages qui réalisent des fonctions imaginaires.*

*Le problème qui est toujours posé: d'ou on va commencer pour comprendre le tout?*

*La réponse est très facile; c'est de commencer à partir des principes de base et d'aller petit à petit.*

*L'avionique en aéronautique est le domaine dont on ne peut pas dire que l'évolution de la technologie va être arrêté, par contre elle s'accélère jour après l'autre, puisque elle dépend des besoins des gens.*

*A l'époque l'analogique en électronique était le domaine le plus courant et le plus important, mais aujourd'hui on voit le monde s'orienter vers la digitalisation des informations et des données, c'est à dire « le numérique » à cause de ces meilleures performances, ça ne veut pas dire qu'on néglige le premier, par contre ils restent tout les deux compléments dans les réalisations des montages électroniques.*

*Parmi les nouvelles technologies utilisées à l'heure actuelle on trouve « le sauvegarde des données numériques », presque toutes les données utilisées dans les systèmes électroniques sont stockées sous forme binaire.*

*Dans notre projet de fin d'étude on a essayé à traiter un problème lié directement à ce vaste domaine « le sauvegarde des données numériques » et on a basé sur l'étude des Eproms avec leurs utilités en avionique. Terminant notre travail avec une réalisation très intéressante pour montrer le grand rôle des Eproms comme étant une mémoire de programme « dispositif d'accueil vocal »*

*Notre étude subdivisée en quatre parties et le plan de travail développé dans cet ouvrage est donné comme suit :*

*-Le premier chapitre est consacré à l'étude théorique généralisée qui concerne les différents types des mémoires.*

*-Le seconde chapitre : étude théorique détaillée sur les EPROMs.*

*-Le troisième chapitre : il fera l'objet d'une étude aussi détaillée sur les programmeurs des EPROMs.*

*-Dans le quatrième chapitre : une réalisation du montage électronique qui présente la fonction d'un dispositif d'accueil vocal*

*-Et enfin : une conclusion générale.*

# CHAPITRE I

ETUDE GENERALE  
SUR LES MEMOIRES

## Introduction

Les valeurs qui sont traitées dans les équipements numériques doivent être stockées pour être utilisées par la suite ou pour conserver les résultats.

La fonction du mémoire est de permettre le stockage et la récupération des données cette fonction a donnée une grande importance pour ces petits composants au niveau des montages électroniques.

A l'heure actuelle différents types des mémoires sont utilisées, les plus courants sont des circuits intégrés qui existent sous deux formes principales à savoir leurs utilités dans les systèmes électroniques « Les RAMs et les Roms ».

### I-1- Définition

Une mémoire est un ensemble des cellules élémentaires (bascules, charges électriques, charges, magnétiques).

Chacune correspondant à un élément binaire ou bit (binary digit) qui peut valoir (0) ou (1), comme il est la plus petite unité qui peut former un mot binaire.

Pour lire ou écrire dans une mémoire il faut spécifier le numéro de la cellule (adresse) ou définir la position physique des domaines contenant l'information suivant l'organisation de la mémoire, l'utilisateur aura accès à un élément binaire (bit) ou un groupe des éléments binaires formant un mot mémoire, (1,4, 8, 16,32 ....bits) le mot binaire de 8bits est appelé un octet ou « byte ».

### I-2- Classification des mémoires à (semi conducteur)

Les critères de classification possible des mémoires à semi conducteur sont multiples mais nous ne se basons sur deux :

**I-21. La technologie de fabrication :** qui conditionne entre autre la densité, la vitesse de consommation et donc aussi le prix par bit d'information stocké.

**I-22. la fonction :** la fonction d'une mémoire est de conserver l'information sous forme binaire pendant un temps plus ou moins long, cette information

doit pouvoir être « enregistrée » ou « écrite » dans la mémoire, elle doit pouvoir en être « extraite » ou « lue ».

Donc, on peut classer les mémoires suivant le rapport de ces deux fonctions.

- a- mémoires à « lecture seul » (ROM, PROM....)
- b- mémoires à « lecture /écriture » (RAM, SDRAM...)

## **I-221. Les mémoires à « lecture, écriture »**

### **I-2211. Les RAM (Random Access Memory)**

Descriptions :

Les mémoires RAM sont volatiles (c'est un circuit dit mémoire dont son contenu peut être modifier mais perd toutes ces informations lorsque l'alimentation est coupé) et à accès direct. Dans cette catégorie de mémoires on trouve :

Les mémoires RAM statiques (SRAM) dans lesquelles les informations sont mémorisées par une bascule (on utilise la même disposition que pour la ROM, mais à chaque intersection on place une bascule), qui n'ont pas besoin d'être rafraîchi régulièrement pour garder les données en mémoire, elles sont réalisées en technologie MOS ou bipolaire.

Les mémoires RAM dynamiques (DRAM) qui utilisent un condensateur comme cellule mémoire (un bit mémorisé) d'accès beaucoup plus rapide de l'information. Cette information tend à se dégrader à cause des courants de fuites, ce qui nécessite un rafraîchissement (lire et réécrire) périodique (plusieurs fois par seconde).

La capacité mémoire caractérise le nombre de bits ou d'octets mémorisables par un circuit mémoire. Elle est exprimée en clair :

$64k \times 8 = 512k$ , cet un circuit qui mémorise 64k mots de 8bits ( 1 octet ), sa capacité est donc de 512k.

64k x 16 = 1024k, cet un circuit qui mémorise 64k mots de 16bits, sa capacité est de 1024k = 1Méga.

1 octet = 8 bits ; 1k = 1024 octet ; 1Méga = 1024k

#### a. RAM statiques

| TYPE     | CAPACITE    |               |
|----------|-------------|---------------|
| 2114     | 4x1024 bits | N-MOS         |
| 6116     | 2x8K 150nS  | CMOS          |
| 6264P    | 8x8K 150nS  | CMOS          |
| 43256    | 8x32K 85ns  | CMOS          |
| 61256    | 8x32K       | mémoire cache |
| 62256    | 8x32K 120nS | CMOS          |
| TC551001 | 8x128K 70nS | CMOS          |

Figure I-1 : les valeurs des Rams

#### b. Brochage

Un boîtier RAM comprend en général des entrées  $A_0$  à  $A_n$  permettant de désigner la mémoire, R/W pour dire si lire ou écrire, et  $D_0$  à  $D_m$  pour les données (entrée sortie) (ou D si c'est un boîtier de mémoires 1 bit). De plus, le composant ne fonctionnera que s'il est sélectionné (entrée CS : chip select). De plus, il faut entrer un signal de synchronisation (horloge) et évidemment l'alimenter.

**Chronogramme** : en lecture, il faut donner l'adresse, CS, Read, on obtiendra le contenu D au prochain top d'horloge. En écriture, on donne l'adresse, CS et Write, puis la donnée au prochain top d'horloge.

*c. Types de barrettes de mémoire vive* : Il existe de nombreux types de mémoires vives. Celles-ci se présentent toutes sous la forme de barrettes de mémoire enfichables sur la carte-mère.

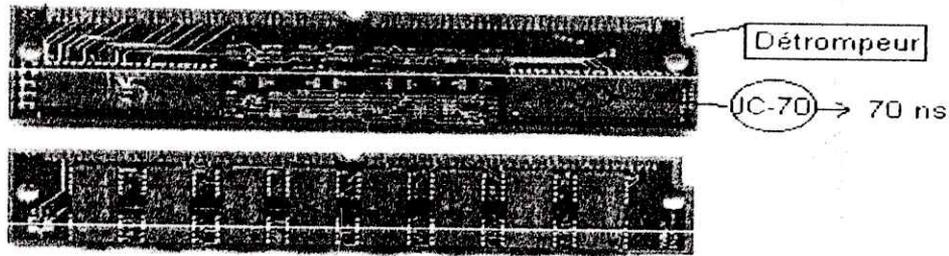


Figure I-2 types des barrettes

#### d. DRAM

La DRAM (*Dynamic RAM*, RAM dynamique) est le type de mémoire le plus répandu au début du millénaire. Il s'agit d'une mémoire dont les transistors sont rangés dans une matrice selon des lignes et des colonnes. Les mémoires DRAM possèdent jusqu'à 256 millions de transistors (c'est-à-dire que chaque barrette de DRAM peut contenir jusqu'à 256Mo maximum). Ce sont des mémoires dont le temps d'accès est de 60ns.

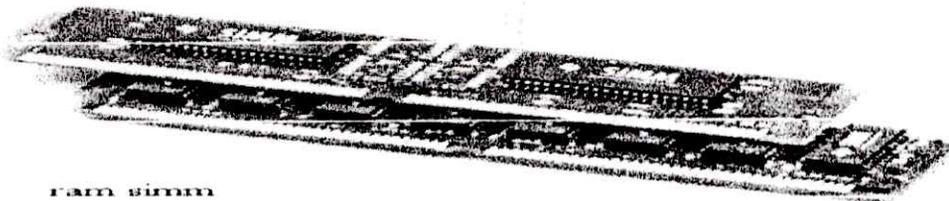
Pour accélérer les accès à la DRAM, il existe une technique, appelée **pagination** consistant à accéder aux différentes lignes d'une colonne en modifiant uniquement l'adresse de la ligne. On parle alors de DRAM **FPM** (*Fast Page Mode*).

D'autre part, les accès mémoire se font généralement sur des données rangées consécutivement en mémoire. Ainsi le mode d'accès en *rafale* (**burst mode**) permet d'accéder aux trois données consécutives à la première sans temps de latence supplémentaire. Dans ce mode en rafales, le temps d'accès à la première donnée est égale au temps de cycle auquel il faut ajouter le temps de latence, et le temps d'accès aux trois autres données est uniquement égal aux temps de cycle, on note donc sous la forme X-Y-Y-Y les quatre temps d'accès, par exemple 5-3-3-3 pour un bus dont la fréquence est de 66Mhz.

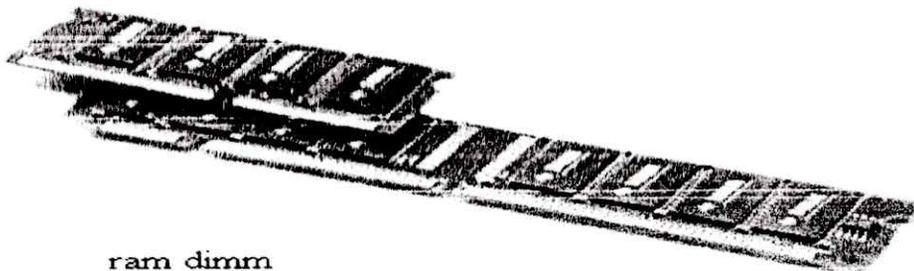
### e. RAM EDO

La RAM EDO (*Extended Data Out*, soit *Sortie des données améliorée*) est apparue en 1995. La technique utilisée avec ce type de mémoire consiste à adresser la colonne suivante pendant la lecture des données d'une colonne. Cela crée un chevauchement des accès permettant de gagner du temps sur chaque cycle.

Ainsi, la RAM EDO, lorsqu'elle est utilisée en mode rafale permet d'obtenir des cycles de la forme 5-2-2-2, soit un gain de 4 cycles sur l'accès à 4 données.



ram simm



ram dimm

### f. SDRAM

La SDRAM (*Synchronous DRAM*, soit RAM synchrone) est un type de RAM apparu en 1997 permettant une lecture des données synchronisées avec le bus. Celle-ci permet d'obtenir un cycle en mode rafale de la forme 5-1-1-1, c'est-à-dire un gain de 3 cycles par rapport à la RAM EDO. De cette façon la SDRAM est capable de fonctionner avec une cadence de 100Mhz, lui permettant d'obtenir des temps d'accès d'environ 10ns.

### g. **RDRAM** (*Ramus DRAM*)

La RDRAM (*Ramus DRAM*) est un type de mémoire permettant de transférer les données sur un bus de 16 bits de largeur à une cadence de 800Mhz. Comme la SDRAM, ce type de mémoire est synchronisé avec l'horloge du bus pour améliorer les échanges de données.

## I-2212-. Utilisations

### I-22121. Rôle de la mémoire vive (RAM)

La **mémoire vive**, généralement appelée **RAM** (Random Access Memory, traduisez mémoire à accès aléatoire, ce qui signifie que l'on peut accéder instantanément à n'importe quelle partie de la mémoire), est la mémoire principale du système, cela indique qu'elle permet de stocker de manière temporaire des données lors de l'exécution d'un programme. En effet ce stockage est temporaire, contrairement à une mémoire de masse comme le disque dur (mémoire avec laquelle les novices la confondent généralement), car elle permet de stocker des données tant qu'elle est alimentée électriquement, c'est-à-dire qu'à chaque fois que l'ordinateur est éteint, toutes les données présentes en mémoire sont irrémédiablement effacées.

### I-22122. Fonctionnement de la mémoire vive

La mémoire vive est constituée de centaines de milliers de petits condensateurs emmagasinant des charges. Lorsqu'ils sont chargés, l'état du condensateur est à 1, dans le cas contraire il est à 0, ce qui signifie que chaque condensateur représente un bit de la mémoire. Etant donné que les condensateurs se déchargent, il faut constamment les recharger (le terme exact est *rafraîchir*) à un intervalle de temps régulier appelé **cycle de rafraîchissement** (d'une durée d'environ 15ms pour une mémoire DRAM). Chaque condensateur est couplé à un transistor permettant de "récupérer" l'état du condensateur. Ces transistors sont rangés sous forme de tableau (matrice), c'est-à-dire que l'on accède à une "case mémoire" par une ligne et

une colonne. Or cet accès n'est pas instantané et s'effectue pendant un délai appelé **temps de latence**. Par conséquent l'accès à une donnée en mémoire dure un temps égal au temps de cycle auquel il faut ajouter le temps de latence.

Ainsi, pour une mémoire de type DRAM, le temps d'accès est de 60 nanosecondes (35ns de délai de cycle et 25ns de temps de latence). Sur un ordinateur le temps de cycle correspond à l'inverse de la fréquence de l'horloge, par exemple pour un ordinateur cadencé à 200Mhz, le temps de cycle est de 5ns ( $1/(200 \cdot 10^6)$ ).

Par conséquent un ordinateur ayant une fréquence élevée et utilisant des mémoires dont le temps d'accès est beaucoup plus long que le temps de cycle du processeur doit effectuer des **cycles d'attente** (en anglais *wait*

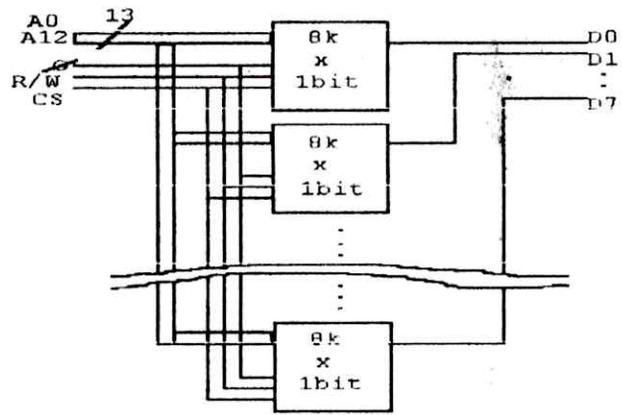
*state*) pour accéder à la mémoire. Dans le cas d'un ordinateur cadencé à 200Mhz utilisant des mémoires de types DRAM (dont le temps d'accès est de 60ns), il y a 11 cycles d'attente pour un cycle de transfert. Les performances de l'ordinateur sont d'autant diminuées qu'il y a de cycles d'attentes, il est donc conseillé d'utiliser des mémoires plus rapides.

### I-22123. Association de boîtiers mémoire

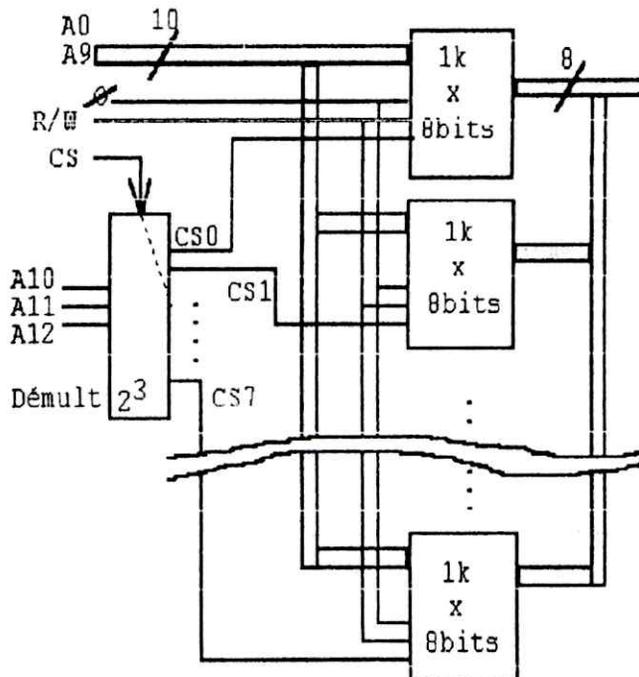
Comment utiliser 8 boîtiers de 8k x 1 bit pour créer une mémoire de 8k x 8 bits ?

Et avec 8 boîtiers de 1k x 8 bits ?

En fait, on envoie les signaux de commande et l'adresse aux 8 boîtiers. Ceux-ci, simultanément, traiteront les 8 bits du mot désiré. Les différents bits d'une même mémoire ne sont donc pas physiquement situés au même endroit.



Ici, les 10 bits de poids faible de l'adresse désirée est transmise à tous les boîtiers. Mais un seul est sélectionné, suivant les 3 bits de poids fort de l'adresse. Les 8 bits de données de tous les boîtiers sont reliés ensemble, on est sûr qu'un seul sera sélectionné à la fois, via le dé multiplexeur.



**I-222. Les mémoires à « lecture seul »**

Dans cette catégorie, on programme dans les mémoires une seule fois ou un très petit nombre de fois, pour cela le contenu de telle mémoire ne peut être que de données ou des programmes.

L'avantage essentiel de ce type de mémoire est la permanence de son contenu qui ne dépend pas de la présence d'une tension d'alimentation sur le boîtier, mais ces mémoires ont l'inconvénient de leur qualité : leur contenu étant fixé (figé) avant de l'implanter un programme en ROM il faut être

absolument sur qu'il fonctionne parfaitement et qui il ne devra jamais être modifier

On distingue plusieurs types de mémoires à lecture seul parmi eux, on a :

1. mémoires ROM
2. mémoires PROM
3. mémoires EPROM
4. mémoires EEPROM
5. mémoires ROM flash

Une étude détaillée sur chacune d'elles est la suite :

## I-2221-Les ROM (Read Only Memory)

### A. Descriptions

C'est un circuit dit mémoire dont son contenu à été programmé à sa fabrication et qui ne peut plus être effacé ni modifié.

Le coût relativement élevé de leur fabrication impose une fabrication en grande série, et en plus cela implique un échange pour une mise à jour de leur contenu. Au départ, ces mémoires étaient utilisées pour stoker les parties bas niveau du système d'exploitation de l'ordinateur (BIOS du PC par exemple).

Il contient des milliers de transistors, fusibles, bascules flip flops afin de stocker des informations binaires 0 ou 1 .Toutes ces mémoires forment un programme qui permettent de faire démarrer un ordinateur par exemple, en effet lorsqu' on débranche l'alimentation les données restent toujours stockées dans la rom .Le seul inconvénient c'est l'impossibilité de mettre à jour ces données.

### B. Avantages et inconvénients

#### Avantages :

- Densité élevée
- Non volatile

- Coût faible par grandes quantités (> 1000)
- Mémoire très rapide

#### **Inconvénients :**

- Écriture impossible
- Modification impossible (toute erreur est fatale).
- Délai de fabrication : masque 3 à 6 semaines
- Obligation de grandes quantités

Pour pallier les deux derniers inconvénients, on a cherché à réaliser des mémoires ROM programmable par l'utilisateur.

Ce sont les PROM : Programmable ROM

#### **C. Composition :**

L'utilisateur fournit au constructeur un masque indiquant les intersections dans la grille où l'on doit placer une diode ou un transistor. La mémoire ROM est **programmée par masque**.

Masque de fabrication à :

- diodes disposées sur un réseau de lignes et de colonnes
- ou à transistors dont sont effectuées des coupures à leurs bases.

#### **Principe avec diodes**

ROM : Read Only Memory : On a figé par construction le contenu des mémoires. En fait, pour un bit, une mémoire à 1 correspond à une liaison sur l'alimentation, un 0 à une liaison à la masse. Comment regrouper plusieurs bits ? Soit par exemple une mémoire de 64 valeurs binaires :

Les intersections sont : pour une valeur 0 : pas de liaison, pour une valeur 1 : une diode empêchant le courant de remonter de la colonne. : En entrant une ADRESSE (numéro de mémoire, entre 0 et 63 ici) sous forme binaire, on obtient la donnée désirée (contenu de la mémoire). L'adresse se décompose en une partie haute (a3 à a5) déterminant la ligne mise à 1, et une partie basse (a0 à a2) déterminant la colonne connectée sur la sortie D

#### **D. Application :**

Cette mémoire est composée d'une grille dont les lignes sont reliées aux colonnes par des *diodes* ou des *transistors*.

L'adresse sélectionne une **ligne** (le nombre de lignes donne la capacité ou la taille de la mémoire).

La donnée est reçue sur les **colonnes** (le nombre de colonnes fixant la taille des mots mémoire).

Une mémoire de **1024** octets aura donc **1024 lignes** et **8 colonnes**.

En raison du coût élevé qu'entraîne la production du masque et le processus de fabrication, les ROM sont adaptées à la production **en grande série**.

## I-2222. Les PROM (Programmable Read Only Memory)

### A. Descriptions

Les PROM ont été mises au point à la fin des années 70 par la firme *Texas Instruments*. Ces mémoires sont des puces constituées de milliers de fusibles pouvant être "grillés" grâce à un appareil appelé programmeur de ROM, envoyant un fort courant (12V) dans certains fusibles. Ainsi, les fusibles grillés correspondent à des 0, les autres à des 1. C'est un circuit dit mémoire dont son contenu peut être programmé par l'utilisateur mais qui ne peut plus être effacé ni modifié.

### B. Variante :

**EPROM, UVPROM** : Prom reprogrammable après régénération sous ultra violet (10 à 20 mN). Constituée de transistors MOS dont la grille est isolée, elle a besoin d'une haute tension de programmation environ 25 volts. Seul inconvénient l'effacement de toute la capacité de la mémoire par UV.

**OTP** (One Time PROM) : Programmable une seule fois, technologie MOS.

**EEPROM** ou **E2PROM** : Prom effaçable électriquement adresse par adresse (10 à 20 mN).

**EPROM FLASH** : Prom effaçable électriquement de toute la capacité de la mémoire (plus rapide à effacer que les EEPROM). La tension de

programmation de 12 Volts et un prix plus faible que les EEPROM en font un produit très répandu de nos jours.

## **C. Utilisations**

### **C -a- La technologie à fusibles**

Dans les années 60, les premiers Prom étaient composés de matrices de diodes avec fusibles ou avec transistors. La programmation se faisait alors en "grillant" les fusibles indésirables en leur appliquant des tensions élevées.

La programmation d'une PROM, c'est-à-dire son chargement par les données ou le programme de l'utilisateur, se fait par un programmeur de PROM.

Initialement, toutes les rangées et les colonnes sont connectées (*1 en chaque point mémoire*). Durant le processus de programmation, le programmeur génère des impulsions qui ont pour effet de claquer les fusibles ou les diodes aux emplacements prescrits, générant ainsi des 0.

Ces technologies sont maintenant abandonnées pour plusieurs raisons, dont le manque de fiabilité dans la programmation. En effet, le fait de "griller" les fusibles provoque des perturbations qui peuvent affecter le reste du circuit. De plus, cette programmation est irréversible et donc ne permet pas la reprogrammabilité.

### **C -b. Les technologies à anti-fusibles**

La technologie à anti-fusibles est utilisée par des marques comme Actel, QuickLogic, Crosspointet Xilinx. Un anti-fusible est un élément programmable qui à l'inverse des fusibles n'est passant qu'après programmation. La programmation s'effectue en détruisant un diélectrique, créant alors une connexion. Il existe plusieurs technologies d'antifébrile.

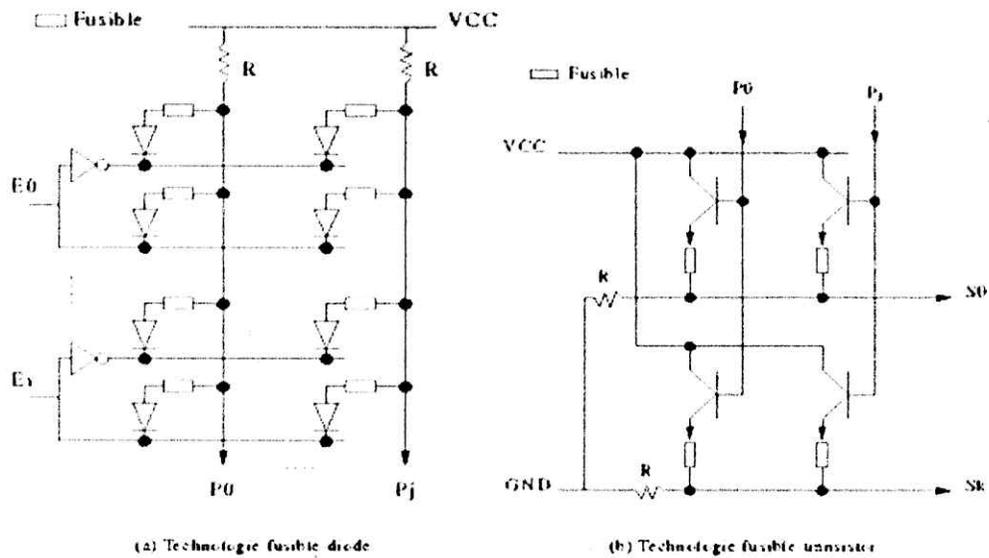


Figure I-3 : Technologies de fabrication des PROMs

Cette technologie possède des avantages et des inconvénients.

- Le premier avantage que l'on peut donner à la technologie anti-fusible, s'exprime pour des PLDs possédant un grand nombre de porte (plus de 8k). En effet les anti-fusibles sont de petite taille ce qui permet d'en disposer d'un grand nombre et ainsi d'augmenter les ressources de routage.
- Le second avantage, est que la technologie anti-fusible est une technologie à basse impédance, ce qui accroît les performances internes des CLPs, ou Proms.
- Un inconvénient de la technologie anti-fusible est lié au fait qu'elle ne soit pas une technologie "classique" et que contrairement aux technologie SRAM qui sont bien maîtrisées, elle est plus délicate à mettre au point pour une production à grande échelle.
- Un autre inconvénient est que la technologie anti-fusible comme la technologie à fusible est une technologie ne permettant pas la reprogrammabilité.

## D. Avantages et inconvénients :

### Avantages :

- Densité, non volatile et vitesse élevée comme pour les ROM
- Claquage en quelques minutes
- Coût relativement faible
- Compatibilité du brochage avec les ROM

### Inconvénients :

- Écriture impossible
- Modification impossible (toute erreur est fatale).

## I-2223- Les EEPROM OU E2PROM (Electrically Erasable Programmable Read Only Memory)

### A. Description :

Les EEPROM sont aussi des PROM effaçables, mais contrairement aux EPROM, celles-ci peuvent être effacées par un simple courant électrique, c'est-à-dire qu'elles peuvent être effacées même lorsqu'elles sont en position dans l'ordinateur.

### B. Variantes

**UVPROM** : Prom reprogrammable après régénération sous ultra violet (10 à 20 mn). Constituée de transistors MOS dont la grille est isolée, elle a besoin d'une haute tension de programmation environ 25 volts. Seul inconvénient l'effacement de toute la capacité de la mémoire par UV.

**OTP** (One Time PROM) : Programmable une seule fois, technologie MOS.

**EPROM** : elles possèdent les avantages de la PROM avec un plus, qui est l'effacement des données par l'utilisateur électriquement mais de toute la capacité de la mémoire.

**EEPROM** ou **E2PROM** : Prom effaçable électriquement adresse par adresse (10 à 20 mn).

### C. Avantages et inconvénients

#### Avantages :

- Comportement d'une RAM non Volatile

#### Inconvénients :

- Coût plus élevé
- Très lente

## I-2224-Les ROM FLASH (FLASH Read Only Memory)

### A. Descriptions

La mémoire flash appartient à la classe de mémoire dite " non-volatile ", c'est à dire qu'elle est capable de retenir des données sans alimentation électrique.

La dénomination " flash " vient des opérations d'effacement et de programmation de la mémoire qui sont très rapides (env. 10  $\mu$ /sec/byte) et qui peuvent être effectuées en laissant le composant électronique sur son circuit.

La technologie Flash se situe entre l'EPROM et l'EEPROM.

### B. Variantes

**EEPROM** ou **E2PROM** : Prom effaçable électriquement adresse par adresse (10 à 20 mN).

### C. Utilisations

La technologie des mémoires " flash " est apparue vers le milieu des années 80. Elle équipe actuellement 90% des ordinateurs et des téléphones cellulaires et environ 50% des modems. Ses multiples fonctionnalités et son coût de fabrication relativement bas ont fait progresser le marché du flash rom. En effet, l'histoire nous montre que le prix de la mémoire (DRAM,

SRAM, ROM etc.) était cher en raison de la quantité de silicone utilisée pour stocker un bit de donnée. La taille d'une cellule de mémoire flash a été réduite par 18 au cours de la dernière décennie.

La facilité de mise à jour rend la mémoire flash clairement plus flexible que la ROM. Elle est mise à jour directement sur le composant électronique et peut être programmée avant, pendant ou après la fabrication du composant ce qui la rend une alternative plus intéressante, moins chère et plus facile à utiliser que l'EPROM pour les fabricants de composants électroniques. D'autre part, les grands fabricants estiment que l'on peut effacer et reprogrammer une mémoire flash 10'000 à 100'000 fois sans que ses capacités en soit altérées et que le prix d'une mémoire flash de 32Mbyte est moins chère qu'un disque dur de même capacité.

### **Où est utilisé le flash rom ?**

Sur les petits systèmes qui n'ont pas d'accès à une ressource électrique constantes tels que les dispositifs alimentés par batterie comme par exemple les téléphones cellulaires. Ils contiennent une mémoire flash qui stocke le programme que le téléphone utilise pour communiquer à travers le réseau sans fils et interagit avec l'utilisateur. Dans certain cas, la mémoire stocke également les messages reçus comme un répondeur téléphonique digital. La non-volatilité de la mémoire assure, lors d'un changement de batterie, que le téléphone ne perde pas ses fonctionnalités et n'oublie pas les messages et les numéros de téléphone stockés.

- Les mémoires flash sont utilisées dans les répondeurs téléphoniques digitaux comme par exemple dans le téléphone sans fil avec système de répondeur CL-500 et CL-550 de Sharp qui est sortis en 1995.

- Elle est utilisée sur toutes les cartes mère pour y stocker le BIOS qui est le programme de base pour le démarrage des ordinateurs. Sans le BIOS aucun PC ne peut démarrer.

- De nombreux modems possèdent une flash-ROM pour conserver leurs configurations.

- Sur les cartes sons et les cartes graphiques pour conserver leurs configurations et le programme.

- On peut trouver des mémoires flash sur les cartes réseau en tant que BOOT-ROM

- Elles remplacent déjà les disques durs dans les mini-ordinateurs tels que les Palm Pilots et s'occupent de stocker les systèmes d'exploitations comme Windows\* CE.

- Les appareils photos numériques pour le stockage des photos.

#### **D. Composition**

Les données sont entrées dans la mémoire flash sous forme de bit, de byte, de mot, ou de page par une opération de programmation. Une fois les données entrées, elles resteront en mémoire indépendamment de la présence d'alimentation électrique. Les données sont effacées par une opération d'effacement. Cette opération demande une extrême précision par rapport au voltage appliqué à la cellule de mémoire.

L'élément de stockage de la flash ROM (une cellule de mémoire) est un transistor avec une " porte " isolée en poly silicone capable de stocker des charges (électrons). La quantité de charge stockée modifie le comportement de la cellule de mémoire du transistor. Ce changement de comportement est traduit en données stockées.

La présence de charge est interprétée comme un 0 (zéro) et l'absence de charge comme un 1 (un).

La cellule mémoire du transistor est de très petite taille, ainsi une petite surface de silicone est utilisée pour le stockage d'un bit de donnée, d'où un coût de production bas. L'arrivée de technologies pouvant stocker plusieurs bits par cellule réduira encore les coûts. Par comparaison, la SRAM demande 6 transistor pour un bit de donnée et l'Eprom deux transistors.

## **E. Avantages et inconvénients**

### **Avantages :**

- Comportement d'une RAM non Volatile
- La vitesse de la DRAM
- La densité de la ROM
- Une faible consommation d'énergie

### **Inconvénients :**

- Coût plus élevé.

## **I-2225 –les EPROMS (ERASABLE PROGRAMMABLE Read Only Memory)**

Une étude approfondie sur les eproms arrive dans le chapitre III.

## **I-23. Technologie de fabrication des mémoires**

Les technologies de fabrication influencent beaucoup sur les caractéristiques physiques spécifiques des mémoires : vitesse (temps d'accès), densité, consommation et prix.

D'une façon générale, la vitesse et la consommation vont de pair : des mémoires plus rapides consomment d'avantages d'énergie.

On citera ici les principales technologies utilisées pour la fabrication des mémoires à semi conducteur.

### **I-231. Technologie bipolaire**

Cette technologie se base sur l'utilisation des transistors à jonction bipolaires.

Utilisée pour SRAM ; la variante plus récente, appelée Schottky ou LS (low power Schottky), est moins consommable en énergie ; une autre variante importante de cette technologie est dite ECL (emitter coupled logic) : logique à couplage par l'émetteur des transistors

### **I-232. Technologie MOS :(metal oxide semi-conductor)**

Les variantes successives de cette technologie porte les noms suivants :

**-PMOS :** à base des transistors à effet de champ à canal P.

-**NMOS** : à base des transistors à effet de champ à canal N ,ces circuits sont plus rapides que les PMOS.

-**CMOS** : à base des transistors à effet de champ complémentaires :

Une porte logique élémentaire est constituée par l'association d'un transistor **PMOS** et d'un transistor **NOMS**.

La cellules de mémoire occupe donc plus de place sur la pastille de silicium que dans le cas des N MOS dès lors, la densité d'intégration reste plus faible .mais les circuits CMOS ont la propriété de ne consommer de l'énergie électrique que lors des commutations d'états des bascules qui les constituent.

Ces circuits sont donc particulièrement intéressants dans les systèmes portables, alimentés par des piles.

La vitesse de fonctionnement est plus faible que celle des NOMS.

**HMOS et CHMOS (high performance) :**

Variantes améliorées des deux précédentes (plus denses plus rapides)

**BIMOS :**

A base de transistor MOS à structure verticale permettant une densité d'intégration accrue

**MMOS (metal nitride oxide s\_c) :**

Variantes du procédé MOS permettant de fabriquer des EPROM

### I-233. Technologie CCD et NMB

Ces deux technologies ne sont pas pratiquement utilisées pour la fabrication des mémoires centrales de système à micro processeur et micro-ordinateur.

La tendance actuelle suivie par les fabricants des circuits intégrés est d'associer diverses technologies pour obtenir simultanément tous les avantages.

Ainsi, grâce à des variantes de la technologie CMOS(entre autre la BIMOS),les circuits en CMOS gagnent aujourd'hui du terrain par rapport aux

technologies concurrentes : on arrive simultanément à augmenter la vitesse et le niveau d'intégration tout en réduisant la consommation.

### I-3. Organisation interne et externe des mémoires

Du point de vue l'organisation des mémoires, on peut distinguer :

- 1- l'organisation interne des cellules à l'intérieur du boîtier.
- 2- l'organisation externe qui concerne la façon dans plusieurs boîtiers est associée pour constituer la mémoire d'un système.

#### I-31. L'organisation interne

Du point de vue interne, les boîtiers sont organisés en cellules de « 1 » ou plusieurs bits, si chaque bit d'un boîtier est adressable individuellement, il constitue une cellule à lui-même, une cellule peut être constituée de 2, 4 ou 8 bits ; une telle cellule est souvent appelée un MOT.

Un boîtier de mémoire est caractérisé par sa capacité ; généralement exprimé en nombre de bit et par son organisation interne (longueur de MOT).

#### I-32. Organisation externe

L'organisation externe des mémoires dépend obligatoirement du mode d'organisation interne des boîtiers qui la constituent.

Dans un système à 8 bits on peut constituer sa mémoire en utilisant :

- soit des boîtiers simples organisés en mot de 8 bits.
- soit deux groupes en parallèle de boîtiers à mots de 4 bits.
- soit 8 groupes en parallèle de boîtiers à bits individuels, un tel groupe est appelé un (banc de mémoire).

Mais en générale, les mémoires non volatiles dans les systèmes à 8 bits sont presque toujours constituées de boîtier simple à mot et de 8 bits, pour des raisons pratiques liées à la programmation : il serait peu sûr de répartir tout un programme sur 8 boîtiers parallèles contenant chacun un seul bit de tous les mots du programme, un seul boîtier perdu ou abîmé entraînerait la perte des huit.

Voici un exemple qui montrera la façon de réaliser une mémoire de 1 KOCTET en utilisant 8 boîtiers en parallèle de 1 k x 1 bits.

### **Conclusion**

Les différents types des mémoires nous permettent de pouvoir utiliser chaque type dans l'endroit où il est nécessaire et son rendement sera maximant.

# CHAPITRE II

ETUDE APPROFONDIE  
SUR LES EPROMs

## Introduction

Les EPROM sont les plus populaire des mémoires non volatiles programmables connues par les utilisateurs , les EPROM peuvent être écrites plusieurs fois, mais on les considère comme des mémoires mortes, car pour réécrire dans une EPROM, il faut la sortir du montage, la mettre dans un effaceur qui effacera tout son contenu, la réécrire dans le programmeur, puis enfin la remettre dans le montage; et vous verrez qu'utilisez une EPROM dans un montage permet de simplifier sa conception sans pour autant recourir aux microcontrôleurs.

Nous venons de voir qu'une EPROM est un conteneur de données, qui peut être écrite dans un programmeur, puis placée dans un montage pour y être lue. Mais comment cela se passe du point de vue électronique ? Comment une EPROM se branche ?

### II-1. Description

Les EPROM sont des PROM pouvant être effacées. Ces puces possèdent une petite fenêtre de quartz permettant de laisser passer des rayons ultraviolets provenant d'un " effaceur d' Eprom " ou Brûleur d'Eprom ou Pommer. Lorsque la puce est en présence de rayons ultraviolets d'une certaine longueur d'onde, les liaisons sont reconstituées, c'est-à-dire que tous les bits de la mémoire sont à nouveau à 1. C'est pour cette raison que l'on qualifie ce type de PROM d'effaçable. Un inconvénient c'est l'effacement de toute la capacité de la mémoire par UV.



**CE** : (CHIP ENABLE), Un "0" sur cette broche met en service cette EPROM. Un "1" logique sur cette broche met les 8 sorties en Haute impédance. (Utile si le CPU veut accéder à autre chose que la ROM).

**OE ou RD (READ)**, un "0" sur cette broche entraîne la **lecture** du contenu de l'Eprom sur 8 fils à condition que le CE soit au "0" logique bien sûr. Dans certain type d'Eprom cette broche peut recevoir la tension de programmation en mode de programmation uniquement.

Un "1" logique sur cette broche met les 8 sorties en Haute impédance.

**Vpp** : tension pour programmer l'EPROM.

"5v", "12v", "12,5v", "12,75v", "13v", "21v", "23v" ou "25v" à 5% de tolérance, suivant le type d'Eprom et le fabricant.

**PP**: Permet d'écrire dans l'eprom (Utilisé lors de la programmation).

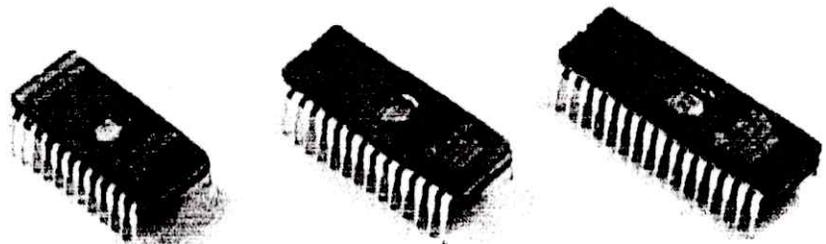
- Les quatre lignes de contrôle servent à définir le mode de fonctionnement de la puce. On distingue les modes.

-lecture,  
-écriture,

-sorties désactivées (haute impédance).

### II-3. Valeurs

Les **plus** courantes sont les 27Cxxx



**Figure II-3**

**Les types des Eproms**

| TYPE    | Org.   | T (nS) | U <sub>PROG</sub> | Boîtier |
|---------|--------|--------|-------------------|---------|
| 2732    | 8x4K   | 250    | 21V               | DIL24   |
| 27256   | 8x32K  | 250    | 12.5V             | DIL28   |
| 27C16   | 8x2K   | 450    | 12.7V             | DIL24   |
| 27C64   | 8x8K   | 200    | 12.5V             | DIL28   |
| 27C128  | 8x16K  | 250    | 12.5V             | DIL28   |
| 27C256  | 8x32K  | 200    | 12.7V             | DIL28   |
| 27C512  | 8x64K  | 250    | 12.7V             | DIL28   |
| 27C1001 | 8x128K | 150    | 12.7V             | DIL32   |
| 27C2001 | 8x256K | 150    | 12.7V             | DIL32   |
| 27C4001 | 8x512K | 150    | 12.7V             | DIL32   |

Figure II-4

#### II-4. Variantes

- **EEPROM** ou **E2PROM** : Prom effaçable électriquement adresse par adresse (10 à 20 mn).
- **EPROM FLASH** :

Prom effaçable électriquement de toute la capacité de la mémoire (plus rapide à effacer que les EEPROM). La tension de programmation de 12 Volts et un prix plus faible que les EEPROM en font un produit très répandu de nos jours.

#### II-5. Avantages et Inconvénients

##### Avantages

\*Reprogrammable et non Volatile

##### Inconvénients :

\*Coût moyen

\*Très lente à programmer

\*Effacement de la totalité des données

\*la retirer du système pour l'exposer au UV

\*Ecriture Impossible.

## II-6. La physique des eprom

les EPROM stockent les données dans des cellules constituées de transistor à semi-conducteur métal- oxyde à grilles flottante et injection par avalanche, ces transistors comportent deux grilles :

- grille inférieure ou flottante
- grille supérieure ou de commande

La quantité de charge électrique stockée sur la grille flottante détermine si la cellule contient « 0 » ou « 1 » les cellules chargées se lisent comme des « 0 » les vierges comme des « 1 ».

Lors qu'une cellule de bit donnée doit être claquée (programmée) de 1 à 0 on fait passer du courant à travers le canal du transistor de la source vers le drain ces électrons se déplacent en sens contraire ; en même temps on applique une tension élevée à la grilles de sélection (commande), créant ainsi un champ électrique intense dans les couche du matériaux semi-conducteur, certains électrons sous l'effet du champ électrique intense récupèrent assez D'énergie pour passer par l'effet tunnel à travers la couche qui isole la grilles flottante à celle-ci qui prend une charge négative donc un « 0 » logique.

En exposant la puce de silicium à l'ultra violet (les photons de la lumière ultraviolette sont dotés d'une très grande énergie, qui rappelons-le est inversement proportionnelle à la longueur d'onde de lumière émise qui est égale à  $2537\text{\AA}$ ), ces photons excitent les électrons sur la grille flottante à des niveaux énergétiques élevés leur permettant ainsi de retraverser par effet tunnel la couche isolante supprimant la charge de la grille, la ramenant ainsi à l'état logique « 1 »

## II-7. Classification des Eprom

Les différents EPROM qui existent sur le marché et que nous allons étudier peuvent être classées :

- a- la capacité
- b- le constructeur

**II-71. Classification selon la capacité**

|     |              |                    |
|-----|--------------|--------------------|
| • - | <b>2716</b>  | <b>2k. Octets</b>  |
| • - | <b>2732</b>  | <b>4k. Octets</b>  |
| • - | <b>2764</b>  | <b>8k. Octets</b>  |
| • - | <b>27128</b> | <b>16k .Octets</b> |
| • - | <b>27256</b> | <b>32k. Octets</b> |

**NB: 1 Octets = 8 bits**

**1k.bits = 1024 bits**

En générale, les boîtiers sont marques de façon suivantes 27xxx ou le nombre 27 indique que c'est une EPROM, et le nombre xxx indique la capacité de ces EPROM en kilo bits.

**II-72. Classification selon le constructeur :**

On pourrait classer les EPROM selon la maison de conception tel:INTEL, Texas instrument  
MOTOROLA, etc....

**II-8. Caractéristique des EPROM :**

La grande différence qui existe entre ces mémoires réside dans le fait que la tension de programmation varie de 12,5 à 25 volts.

Les 2716 et 2732 sont conçues dans un boîtier DIL (dual in line) de 24 pins, un boîtier de 28 pins a été conçu pour les 2764, 27256, 27512 .D'autre part un boîtier EPROM regroupe principalement :

- -le bus d'adresse
- -le bus de données
- -le bus de control
- -alimentation VPP et GND (masse)

**II-81. Le bus d'adresse :**

Le bus d'adresse contient un nombre de lignes qui est fonction de la capacité mémoire adressable.

Par exemple les boîtiers suivants possèdent :

|   |       |                     |
|---|-------|---------------------|
| - | 2716  | 11 lignes d'adresse |
| - | 2732  | 12 lignes d'adresse |
| - | 2764  | 13 lignes d'adresse |
| - | 27128 | 14 lignes d'adresse |
| - | 27256 | 15 lignes d'adresse |
| - | 27512 | 16 lignes d'adresse |

**II-82. Le bus de données :**

Le bus de données est standard pour toutes ces EPROM e renferme 8lignes de données (D0-D7).

**II-83. Le bus de contrôle :**

Le bus de contrôle est constituée de :

-la tension élevée de programmation VPP

OE (output enable) validation de sortie, cette commande permette de mettre les données sur les bronches de sorties (D0-D7), si elle ne pas validée le bus de donnée est à l'état haute impédance (entrées).

CE ou CS (chip select), broche de sélection de boîtier, si elle ne pas validée aucune charge de donnée ne peut être effectué avec le boîtier EPROM.

-PGM : impulsion de programmation du boîtier.

**II-9. Les modes de fonctionnement d'une Eprom :**

Les EPROM présentent généralement 5 modes de fonctionnement qui représentent les états que peut prendre la mémoire.

- 1)-mode lecture (Read)
- 2)-mode attente (stand by)
- 3)-mode programmation (programmation)
- 4)-mode vérification (verify)

- 5)-mode programmation non autorisée (prog.inhibt)

Ces modes sont conditionnées par le bus de control.

### **II-91. Mode lecture :**

Pour ce mode, deux entrée de commende sont mises à l'état bas (CE et OE) afin de valider les données en sortie.

### **II-92. Mode attente :**

Dans ce mode l'Eprom et placée avec l'application du niveau haut (1) à l'entrée de CE.les sortis sont à l'états haute impédance, indépendantes de l'entrée OE.

La dissipation de la tension active est réduite de 67% ; de 788mw à 262mw.

### **II-93. Mode programmation :**

Avant de commencer la programmation,il faut s'assurer que tous les bits sont à l'état haut « 1 » les données sont introduites en appliquant un niveau bas « 0 »aux bits choisis.

### **II-94. Mode vérification :**

C'est le mode de lecture avec l'Eprom en état de programmation, la tension élevée VPP peut entre maintenue.

### **II-95. Mode de programmation non- autorisée :**

Ce mode est pareil au mode attente donc, l'Eprom est prête à être programmée.

## **II-10. Lecture et écriture**

### **II-10-1. Lecture sur une EPROM :**

Pour lire les données enregistrées dans une EPROM on suit les étapes suivantes :

-Mettez le numéro de l'octet a lire sur A0 à A19 ->lignes d'adressage ou bus d'adresse.

- Ensuite activez l'Eprom en mode lecture en mettant CE à 0 (pour activer la puce) et RD à 0 (pour mettre la puce en mode lecture).
- Attendez quelques nano secondes (de 70ns a 1000ns suivant l'Eprom)...
- Et récupérez l'octet de D0 à D7 -> 8 lignes de données ou bus de données 8 bits. (On lit 8 cases en 1 coup)..
- Remettez **CE** et **RD** à 1....

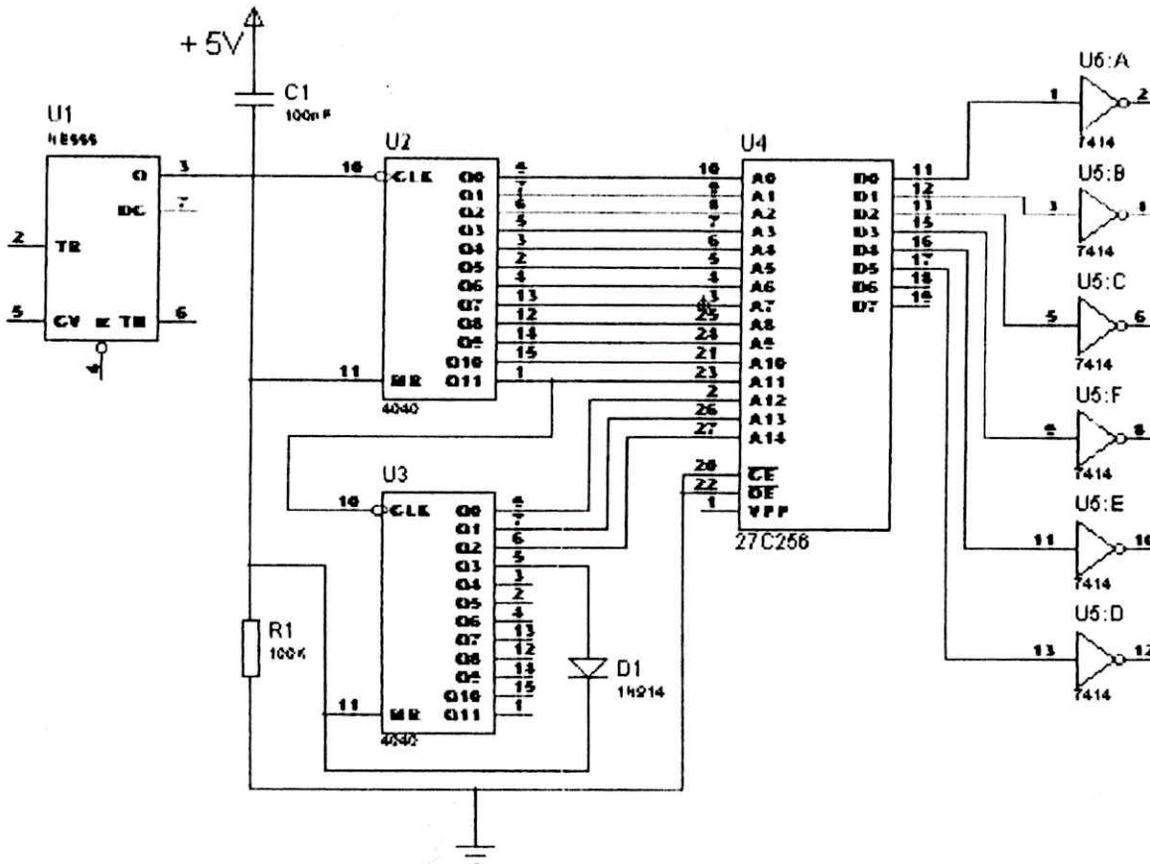
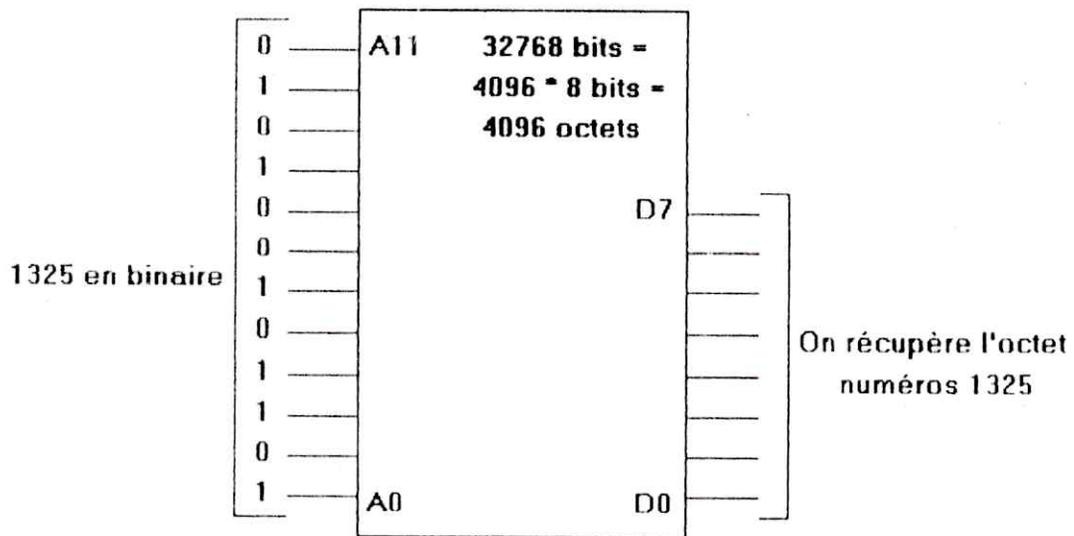


Figure II-5 : Carte de lecture d'une Eprom

Par exemple, si on dispose d'une ROM de 32k bits, organisée en 4k octets (n=12, m=8), et que je veux avoir en sortie l'octet numéros 1325, il faut que j'applique 1325 en binaire, ce qui fait 010100101101, sur les lignes d'adresses.



**Figure II-6 : Les bus des données et d'adresse**

En d'autres termes, en appelant chacune des 12 lignes d'adresse A0, A1, ... A11, je dois appliquer : A0=1, A1=0, A2=1, ..., A11=0. Alors, je récupère sur les huit lignes de données (qui en mode lecture sont des sorties) la valeur en binaire de l'octet numéros 1325.

### II-10-2. L'écriture sur les EPROM

En ce qui concerne l'écriture, c'est presque la même chose : on met la puce en mode écriture, sur les lignes d'adresses on met en binaire l'adresse de l'octet à programmer. Puis on applique sur les lignes de données l'octet à écrire et on envoie une impulsion d'une durée bien précise sur la broche 'PP'; l'octet est alors écrit dans la mémoire.

On explique en détail l'écriture sur les eeproms dans le prochain chapitre 'programmeur des eeproms'

### II-11. Utilisations des Eeproms

On peut voir avec les eeproms des diverses utilisations suivantes.

#### II-11-1. Une EPROM comme table de vérité

A première vue, utiliser une mémoire morte telle quelle dans un montage ne présente pas d'intérêt immédiat. Pourtant, c'est un moyen assez puissant pour réaliser un circuit logique combinatoire complexe !

Un circuit logique combinatoire est un circuit logique où les entrées sont en fonction des sorties, et ce indépendamment du temps.

En effet, une EPROM 27256 peut être considérée comme un circuit logique à 15 entrées et 8 sorties ; le contenu de la mémoire est alors la table de vérité de ce circuit.

Ainsi, si vous avez conçu un montage logique comportant par exemple 7 entrées et 4 sorties, et que pour sa réalisation vous devez utiliser plus de 5 circuits logiques CMOS, utilisez plutôt une EPROM ! Même si seulement 7 lignes d'adresse et 4 sorties sont utilisées, cela vaut la peine :

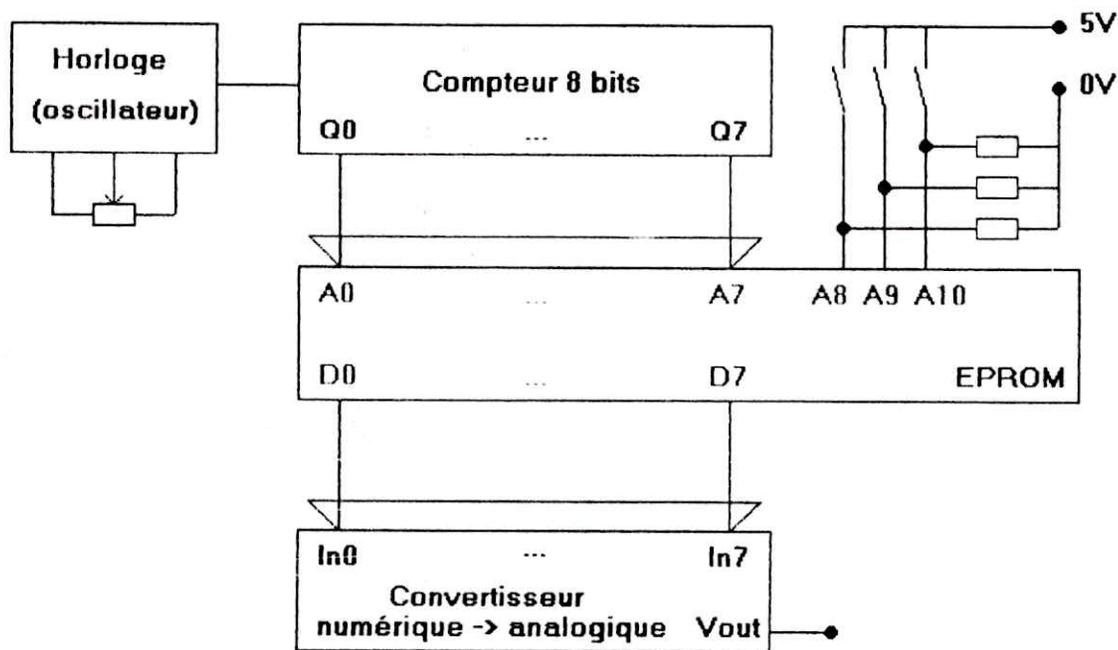
- coût réduit
- évolutif, il suffit de réécrire l'Eprom;
- encombrement réduit et tracé du circuit imprimé simplifié.

NB : les lignes d'adresse non utilisées sont à relier à la masse (0V), les sorties non utilisées sont à laisser 'en l'air.

### II-11-2. Une EPROM comme fonction

Nous connaissons sûrement les convertisseurs numériques analogiques. C'est un montage qui reçoit en entrée une donnée numérique (en général huit bits), et qui en sortie délivre une tension proportionnelle à la valeur de l'octet. Ce convertisseur, utilisé avec une EPROM et un compteur réalise un générateur de fonctions bon marché !

Regardez le schéma qui suit :



**Figure II-7 une Eprom comme une fonction**

Le principe est de considérer l'Eprom comme une fonction  $y=f(x)$ . 'x' est l'octet formé par les huit premières lignes d'adresse (A0 ... A7), et 'y' l'octet formé par les huit lignes de sortie (D0 ... D7). Les trois lignes d'adresse A8, A9 et A10, commandées par des interrupteurs, permettent de choisir l'une des huit 'fonctions' stockées dans l'Eprom (avec trois bits il y a  $2^3 = 8$  combinaisons différentes).

Le compteur avec son horloge fait varier 'x' de façon périodique entre 0 et 255; le convertisseur numérique analogique transforme l'octet D0 ... D7 en une tension proportionnelle. Comme vous le voyez, il n'y a rien de compliqué !

NB : sur le schéma, les lignes de contrôle, les alimentations, les lignes d'adresse non utilisés et les autres broches du compteur ne sont pas représentés. En effet, ce n'est qu'un schéma de principe, qu'il conviendra de compléter en fonction des composants utilisés. Avec les renseignements que je vous ai donnés, il ne devrait pas y avoir de problème :-)

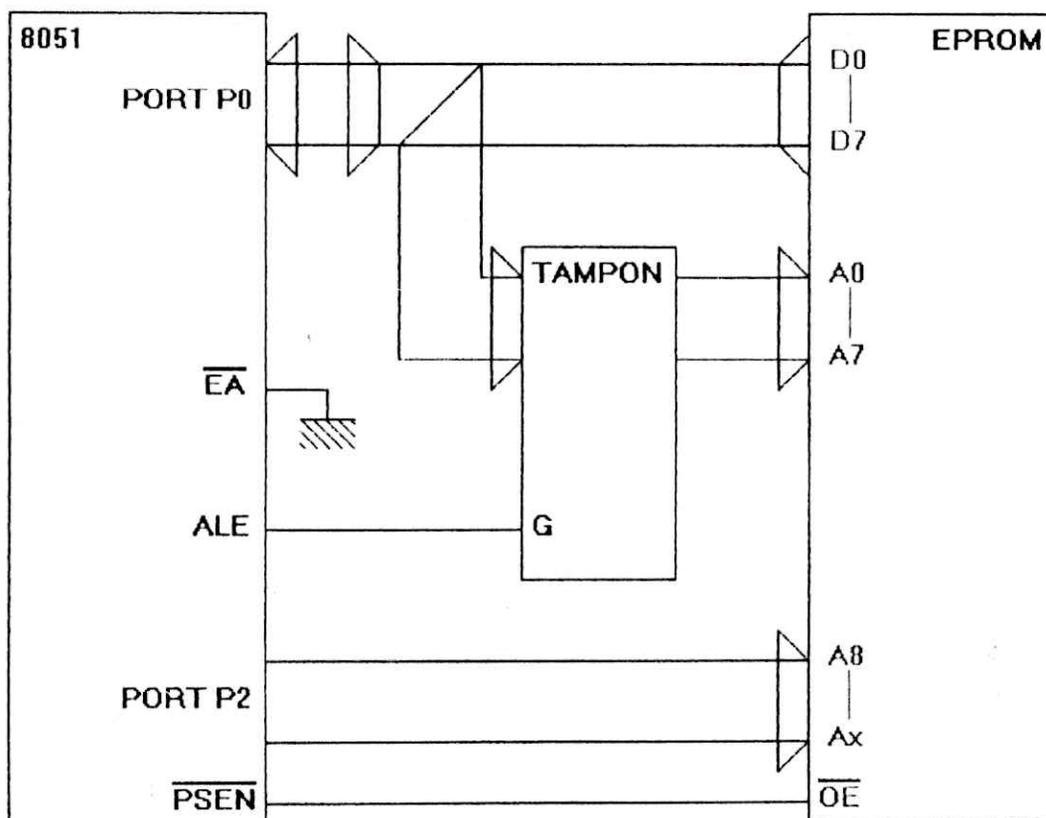
### II-11-3. Une EPROM comme mémoire de programme

La dernière application des Eproms que je vais vous présenter est en fait la première raison qui motiva leur fabrication !

En effet, le but premier d'une mémoire morte est, dans un système à microcontrôleur, de stocker le programme. La ROM et la RAM se complètent : la RAM, qui peut être lue et écrite, sert à stocker les valeurs des variables manipulées par le programme, tandis que la ROM, non volatile sert à stocker et à conserver le programme lui-même.

Presque tous les microcontrôleurs contiennent au sein de leur boîtier de la ROM et de la RAM. Mais dans certains cas, il est nécessaire de stocker le programme dans une ROM externe. C'est le cas lorsque le programme est trop gros pour la ROM interne, ou encore lorsque la ROM interne est déjà écrite et non réinscriptible, et que l'on veut changer le programme !

Ci dessous je vous indique comment faire fonctionner un microcontrôleur 8051 avec le programme stocké dans une EPROM comme ROM externe.



**Figure II-8 : Une EPROM comme mémoire de programme**

La broche /EA mise à la masse indique au microcontrôleur qu'il doit chercher l'ensemble du programme dans la ROM externe. Si /EA est mis à +5V, le microcontrôleur va seulement considérer la ROM externe comme une extension de mémoire, ce qui veut dire que le début du programme sera cherché dans la ROM interne.

La lecture d'un octet contenu dans la ROM externe se déroule comme suit :

- l'octet bas (l'adresse est sur 16 bits) de l'adresse est émis sur le port P0
- une impulsion est envoyée sur ALE pour recopier l'état du port P0 dans le tampon;
- l'octet haut de l'adresse est alors émis sur le port P2;
- alors PSEN active les sorties de l'Eprom et l'octet est lu sur P0.

Il est intéressant de remarquer que le 8051 s'occupe de toutes ces opérations automatiquement, sans que vous n'ayez quoi que ce soit à programmer en plus, si ce n'est de profiter de l'extension de mémoire, qui peut atteindre 64 Ko (soit le contenu d'une EPROM 27512) !

L'utilisation d'une ROM externe monopolise deux des quatre ports que comporte le 8051.

De la même manière, il est possible d'adjoindre à un microcontrôleur de la RAM externe, mais cela sort du cadre de cette page consacrée aux Eproms !

### conclusion

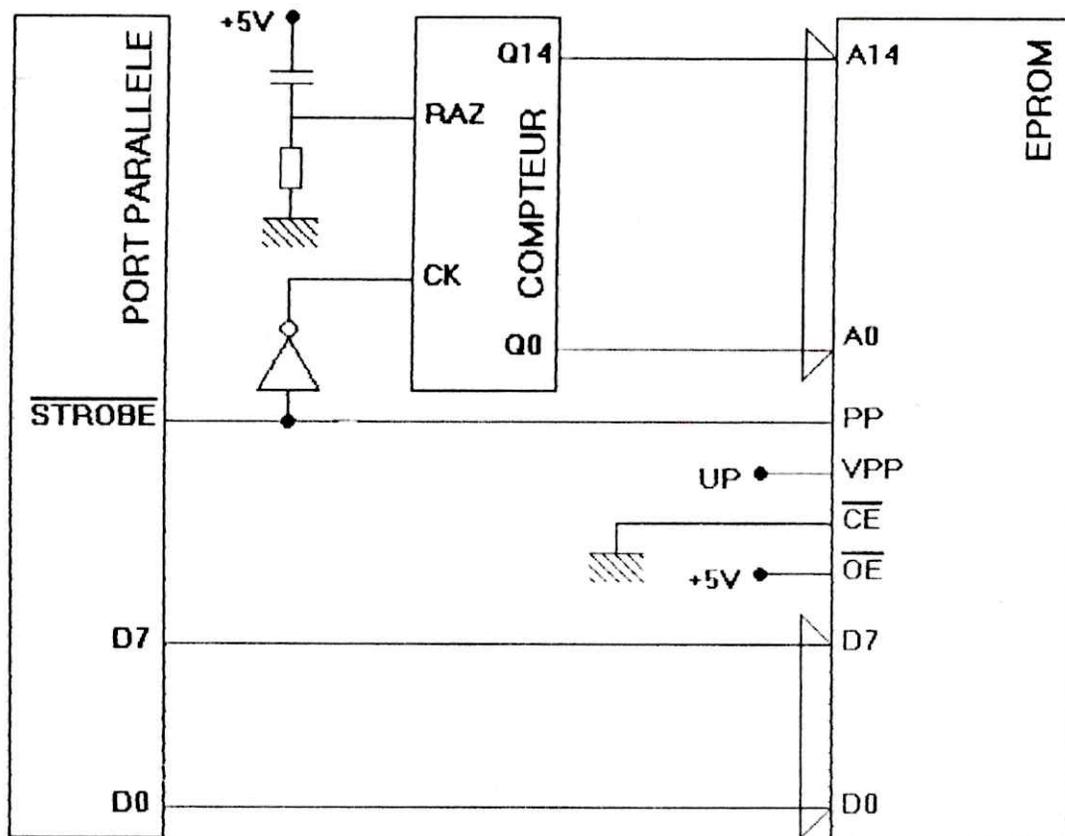
Nous avons vus que les mémoires mortes en générale et les eprom en particulier sont des composants programmables peu coûteux et simples d'emploi, peuvent rendre bien des services, sans pour autant recourir à des usines à gaz "micro contrôlées".

# CHAPITRE III

ETUDE SUR  
LES PROGRAMMATEURS DES EPROMS

écriture. Il reste à s'occuper des lignes d'adresse et de données.

Pour la carte écriture, les lignes des données sont tout simplement reliées aux sorties D0 ... D7 du port parallèle. Quant aux lignes d'adresses, elles sont reliées aux sorties d'un compteur; en effet la broche /STROBE du port parallèle se charge d'incrémenter le compteur. /STROBE sert aussi à générer l'impulsion de programmation nécessaire. Le compteur est mis à zéro à la mise sous tension. Tout ceci est récapitulé dans le schéma de principe ci-dessous :



**Figure III-1 schéma synoptique de carte écriture**

Pour la carte lecture, c'est plus compliqué, car il faut lire les 8 lignes de données alors que nous ne disposons que de 5 entrées. La lecture se déroule en série sur l'entrée /ACK du port parallèle; ce sont les trois sorties D0, D1 et D2 qui définissent laquelle des 8 lignes de données de l'EPROM est reliée à /ACK. Les lignes d'adresse sont comme précédemment reliées aux sorties d'un compteur, lui-même commandé par D5 et D6. Tout ceci est récapitulé dans le schéma de principe ci-dessous :

## Introduction

Les Eproms naturellement sont conçus vierges, pour être utilisables il faut les programmer, le système qui prend en charge de faire cette fonction s'appelle '**programmeur des Eproms**' ce dernier est conçu avec une grande technologie.

Dans ce chapitre on va essayer d'étudier en Detaille le fonctionnement de ce véritable programmeur et pour bien comprendre les différents étages qui le constituent on a précisé dans notre étude un type bien connu des programmeurs c'est '**GL27**'.

Le "GL27", alias "Graveur Lecteur 27xxx", permet de lire et d'écrire les eproms de type 2732, 2764, 27128 et 27256.

Ce programmeur d'Eproms se raccorde au port parallèle d'un compatible P.C.

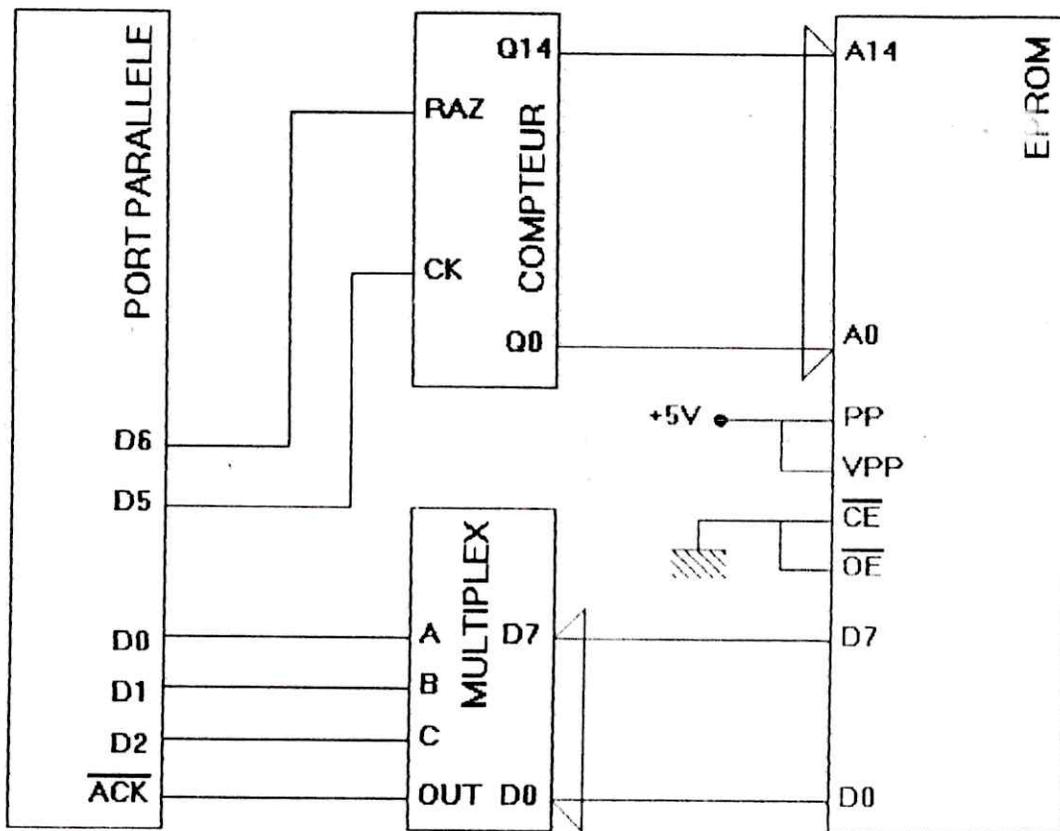
Enfin, ce programmeur ne nécessite pas de port parallèle bidirectionnel et le logiciel est très peu gourmand en ressources; un 286 équipé de 640Ko de RAM avec un écran monochrome en mode texte suffira !

### . III-1. Principe choisi

NB : Dans cette partie on n'expliquerait pas comment fonctionne EPROM, puisque dans le deuxième chapitre, le fonctionnement de ces composants est expliqué en détail.

Ce programmeur est raccordé à un port parallèle monodirectionnel; ce port met à notre disposition 5 entrées et 12 sorties. Seulement, une EPROM requiert 4 lignes de contrôle, 8 lignes de sorties et jusque 15 lignes d'adresses (pour la 27256).

D'abord ; une partie du problème est réglé en divisant ce programmeur en deux parties : une carte lecture et une carte écriture. Chacune des cartes possède son support, l'EPROM insérée dans le support lecture voit ses lignes de contrôle en mode lecture, et celle dans le support écriture en mode



**Figure III-2 schéma synoptique de carte lecture**

Enfin, comme le brochage de chaque puce est différent, chaque carte comporte deux inverseurs doubles que l'utilisateur devra mettre dans la position correspondant au type d'EPROM utilisé.

**. III-2. Le schéma électronique**

Le montage réel est composé de quatre cartes différentes : lecture, écriture, sélection, alimentation. La carte 'sélection' supporte les inverseurs permettant de définir le type d'EPROM utilisé

III-21. Carte écriture

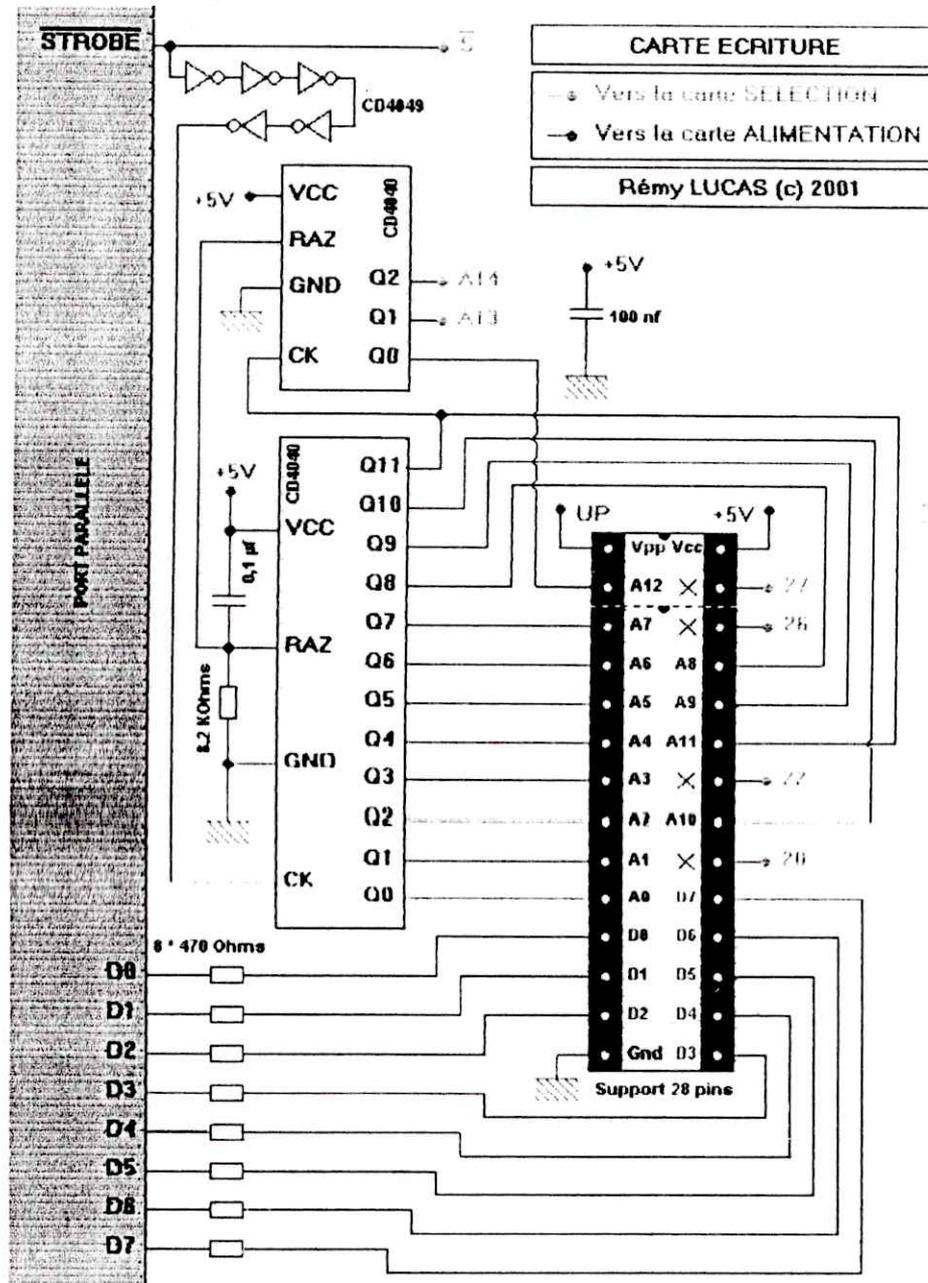


Figure III-3 carte écriture

Les cinq inverseurs en série ne peuvent pas être remplacés par un seul, car le retard introduit par les temps de propagation cumulés est nécessaire.

En effet, la broche /STROBE sert à la fois comme impulsion de programmation et comme impulsion de comptage, et il faut que l'impulsion de

comptage arrive légèrement après la fin de l'impulsion de programmation. On peut voir cela en détail sur le chronogramme ci-dessous :

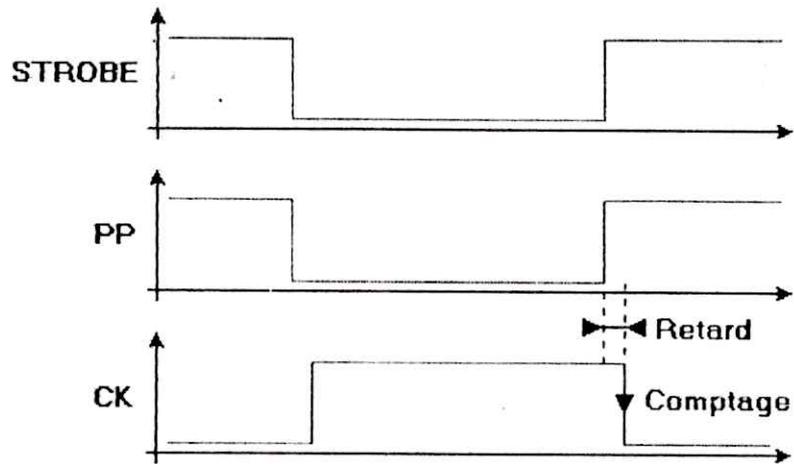


Figure III-4

Le compteur utilisé (CD4040) compte à chaque front descendant sur son entrée CK.

III-22. carte lecture

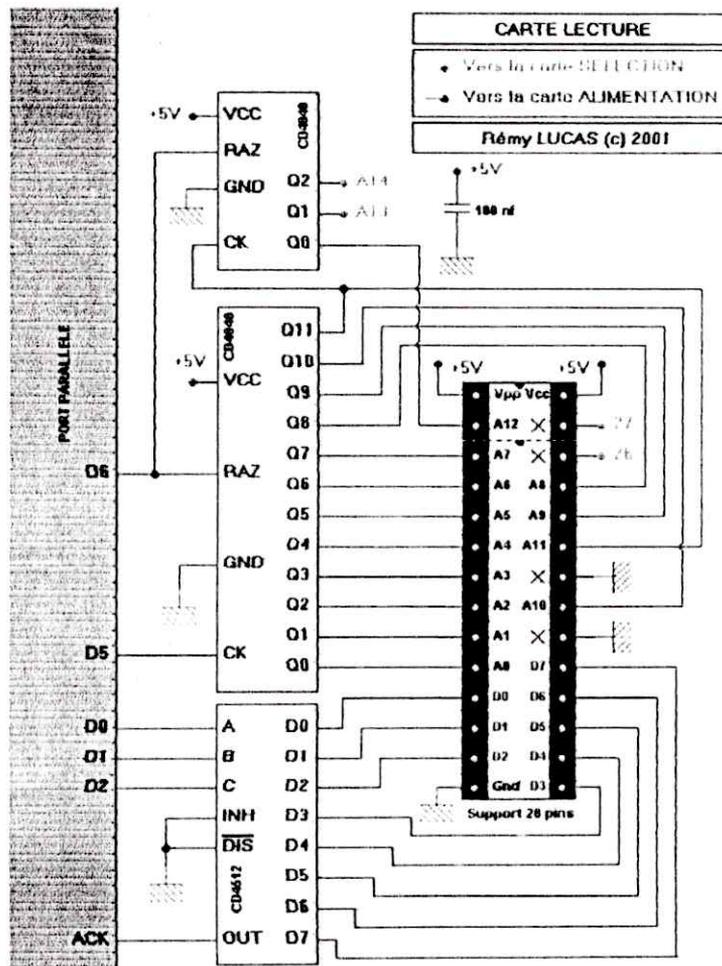


Figure III-5 carte lecture

III-23. Carte sélection

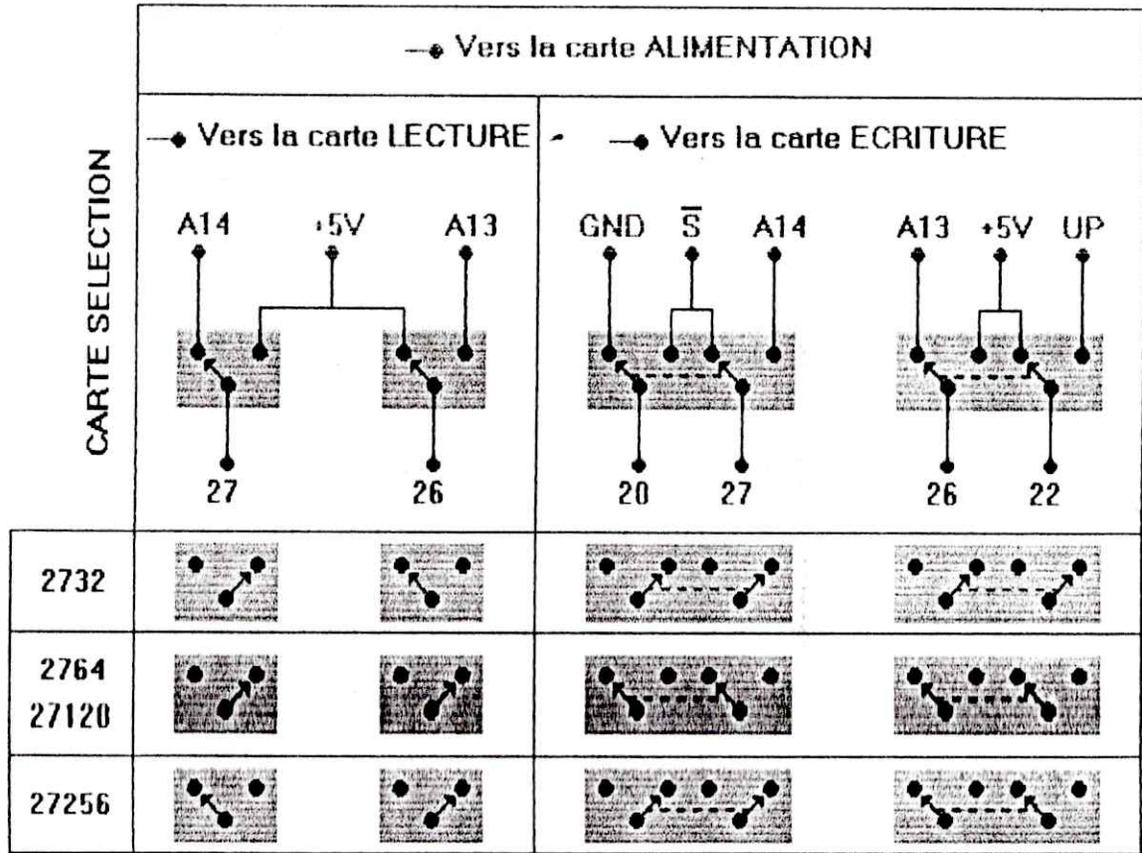


Figure III-6 Carte sélection

On constate que deux inverseurs simples pour la carte lecture et deux inverseurs doubles pour la carte écriture suffisent pour choisir entre les quatre EPROMs. Sur le schéma il est aussi indiqué quelles positions il faut donner aux inverseurs pour chaque EPROM.

Le support où seront insérés les EPROMS comporte 28 broches. Or, la 2732 ne comporte que 24 broches; le schéma ci-dessous montre comment devra être placée la 2732 dans le support :

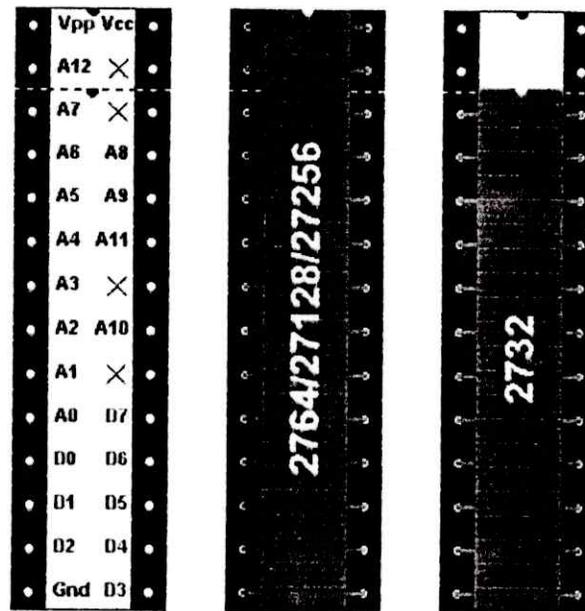


Figure III-7. les broches des Eproms

Maintenant, nous allons étudier le schéma de l'alimentation. Paradoxalement, c'est la carte la plus coûteuse à réaliser (à cause du transformateur notamment). Son schéma est assez compliqué car les tensions VCC et VPP doivent être mises et coupés en respectant le chronogramme suivant, **sous peine de détruire l'EPROM !**

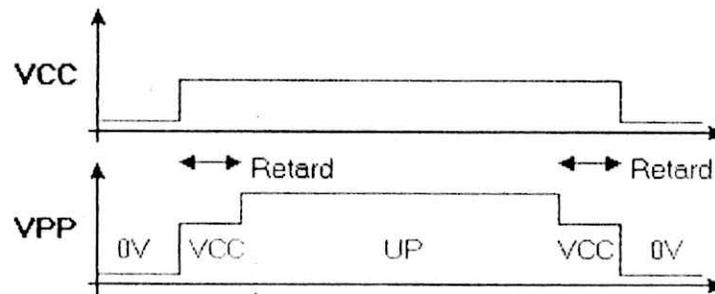


Figure III-8. Impulsion de programmation

L'alimentation conçue respecte cette condition, même en cas de coupure de courant ! Pour cela, la valeur de chaque composant à son importance; **ne changez pas leurs valeurs, même celle des résistances et des condensateurs !**

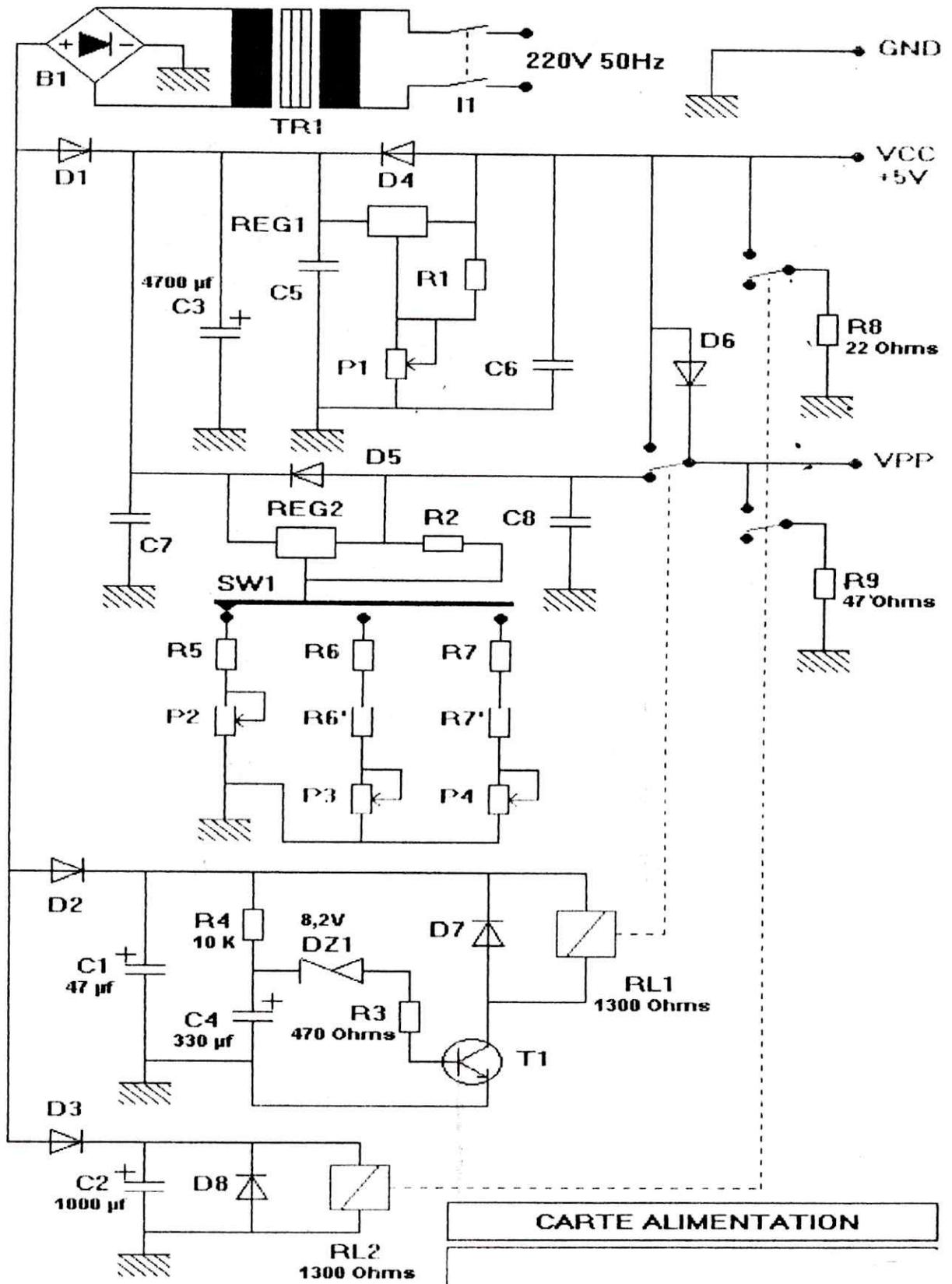


Figure III-9

P1 permet de régler précisément la valeur de VCC à 5V, SW1 vous permet de choisir entre trois valeurs pour VPP, valeurs déterminées par P2, P3 et P4.

La valeur de C3 a aussi son importance; en effet, **la capacité de C3 doit être assez grande** pour que VCC ne chute pas avant que RL2 ne bascule au repos.

Tous ces composants sont choisis de manière à ce que (les temps sont en secondes) :

$$1,5 < TON < 3$$

$$0,25 < TOFF < 1$$

$$2 < TOFF2 < 3$$

**Donc ne changez pas la valeur de C4, R4, DZ4, C1, C2, et C3.**

Si pour RL1 et RL2 vous n'avez pas de relais 24V ayant une résistance de 1300 Ohms environ, il vous faudra modifier C1 et C2. Il faut tout simplement que **les produits C1\*RL1 et C2\*RL2 restent égaux à ceux de mon montage.**

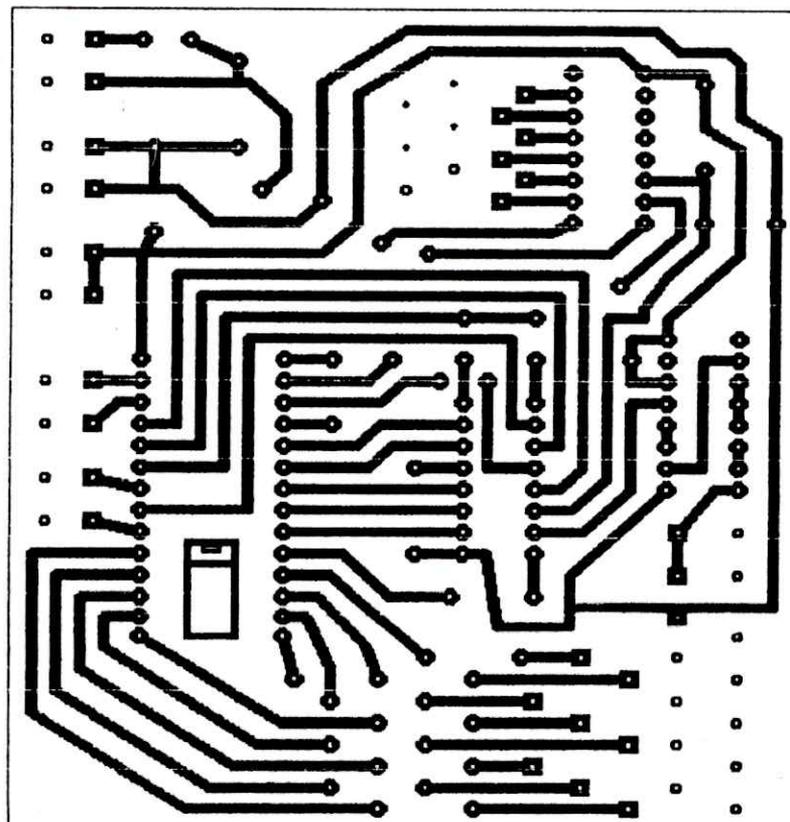
Par exemple, si vous utilisez pour RL1 un relais ayant une résistance de 600 Ohms, il faut que  $600 * C1 = 1300 * 47 \mu f$  donc  $C1 = 1300 * 47 \mu f / 600 = 100 \mu f$ .

### III-3. Les typons

remarquera que le supp

**Figure III-11**

**Le typon de carte  
écriture**



Ci-dessous le typon de la carte lecture; on remarquera que le support pour l'EPROM est aussi soudé coté cuivre.

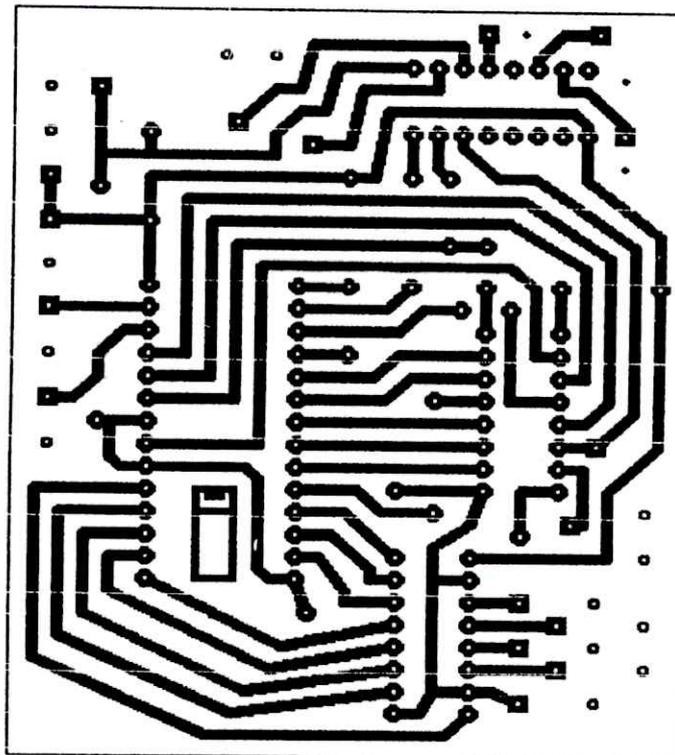


Figure III-12 Le typon de carte lecture

Voici le typon de la carte sélection; vous avez la possibilité d'utiliser 4 inverseurs bipolaires au lieu de 2 inverseurs bipolaires et 2 inverseurs unipolaires.

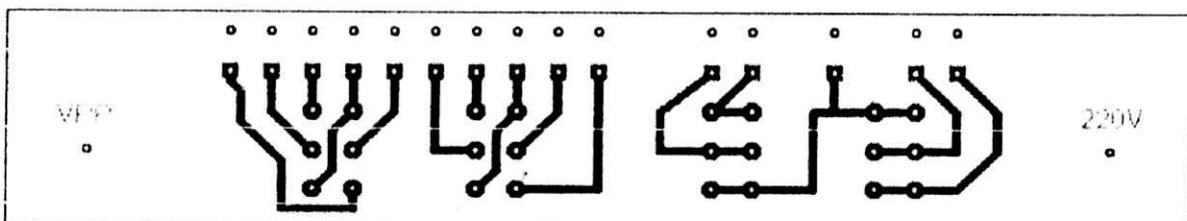
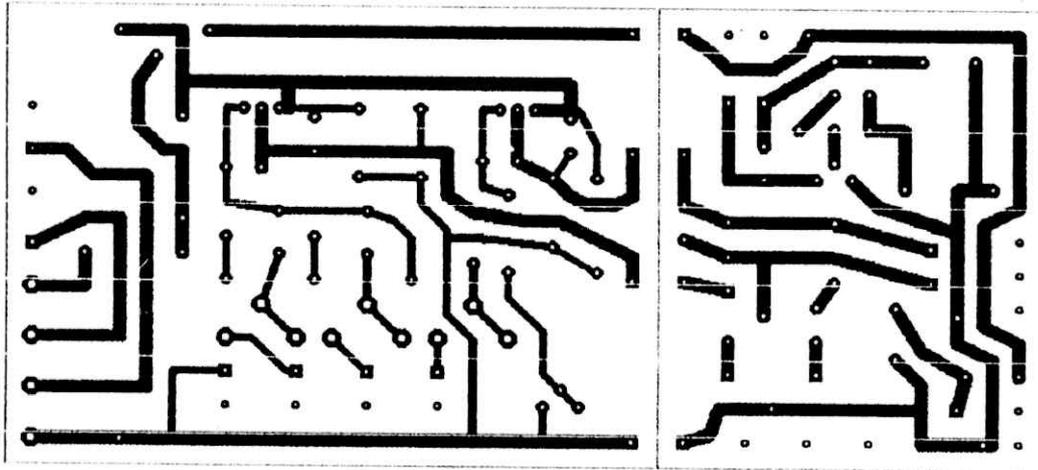


Figure III-13 Le typon de carte sélection

Enfin, ci-dessous le typon de la carte alimentation. Quand j'ai réalisé mon GL27, cette carte était encore divisée en deux parties; celles-ci sont maintenant jointes, 4 straps suffiront pour relier ces deux parties

électriquement.



*Figure III-14 Le typon de carte alimentation*

### conclusion

On peut considérer les programmeurs des eproms comme des outils très importants qui nous permet d'écrire sur les eproms ou bien les programmer à partir d'un programme source sous forme binaire.

# CHAPITRE IV

REALISATION  
DE L'INDICATEUR D'ACCEIL VOCAL

## Introduction

Pour raison de bien comprendre le fonctionnement des Eproms et pour voir l'utilité de ces derniers dans les montages électroniques, on a choisi une application très intéressante qui nécessite l'utilisation d'une Eprom comme étant le cœur du montage à réaliser.

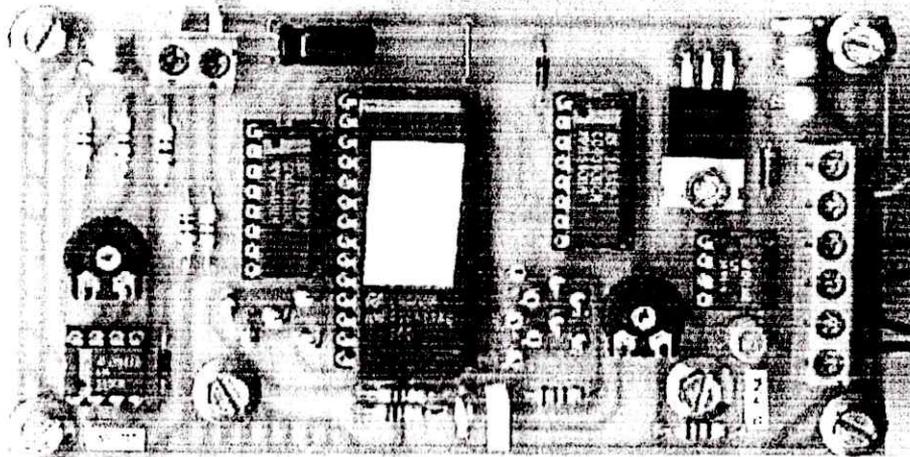
Dans cette réalisation l'Eprom est considéré comme une mémoire de programme.

### IV-1. Etude théorique du montage

#### IV-11. Description du montage

Le système est un dispositif d'accueil vocal ; installé à proximité d'une porte il, délivre au visiteur un message de bienvenue.

Le montage repose sur l'utilisation d'une mémoire qui va conserver sous une forme numérique un signal sonore quelconque (voix, musique) de quelques secondes, et le restituera à chaque sollicitation.

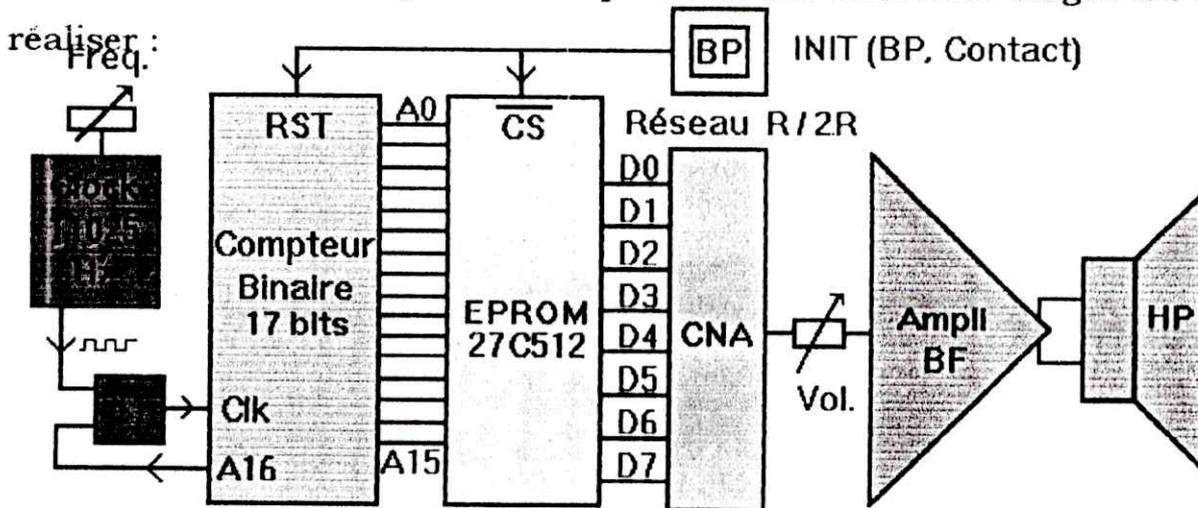


**Figure IV-1 : Montage électronique**

Le montage. Au centre, l'EPR0M qui contient le message.

### IV-12. Schéma synoptique

Dans le schéma qui suit on présente les différents étages du montage à réaliser :



**Figure IV-2 : Schéma synoptique**

Le montage se décompose en cinq principaux blocs fonctionnels :

- Le générateur de signal d'horloge.
- Le compteur.
- La mémoire.
- Le convertisseur numérique / analogique (CNA).
- L'ampli basses fréquences (BF).

Le compteur, cadencé par l'horloge, fait défiler les adresses successives de la mémoire (environ 11000 adresses par seconde). Les données, présentes en sortie de la mémoire, correspondent à l'amplitude du signal sonore enregistré, instant après instant ; ces amplitudes, stockées sous une forme numérique, sont converties en une grandeur analogique (tension) par le CNA ; cette tension est amplifiée (ampli BF) puis transformée et restituée sous une forme sonore par le haut-parleur. Nous analyserons plus en détail le fonctionnement de l'ensemble dans la rubrique.



]

d'où, pour  $47000 > AJ1 > 0$ , la gamme suivante :  $4386\text{Hz} < Fe < 30702\text{Hz}$ .  
(sur notre prototype : de 4,2 à 27,3 kHz, le réglage se faisant très facilement à l'oreille)

#### IV-13-2. Le compteur

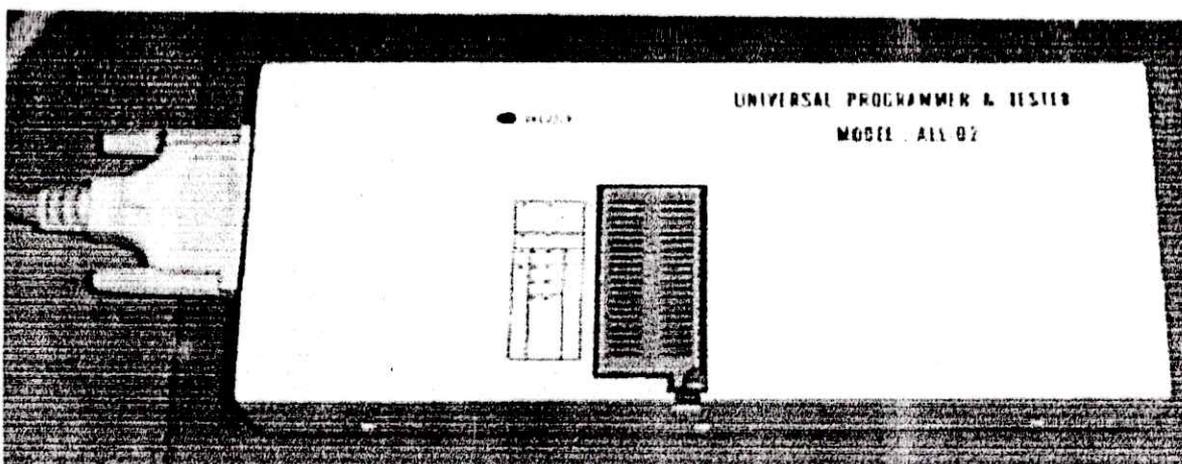
Le NE555 est extrêmement courant, aussi nous ne détaillerons pas ici son schéma interne ou son fonctionnement en Astable, qui sont on ne peut plus classiques ; Le compteur binaire 17 bits est constitué de deux compteurs 12 bits CD4040 en cascade, les sorties Q5 à Q11 du deuxième 4040 (IC2) ne sont donc pas utilisées ; les 16 premières sorties permettent un défilement des 65536 adresses (octets) de la mémoire ( $2^6$  à la puissance 16 = 65536) ; la sortie 17 (Q4 de IC2) fournit une information de fin de message : en passant au niveau logique 1, elle interdit les fronts descendant qui incrémentent l'entrée d'horloge de IC1. Les deux diodes D2 et D3, et la résistance R21 constituent une fonction "OU logique" câblée, représentée sur le schéma synoptique.

#### IV-13-3. La mémoire

Comme indiqué précédemment, il s'agit d'une EPROM CMOS de type 27C512, de 64 ko (512 kbits) ; le schéma laisse apparaître ses 16 bits d'adresses et ses 8 bits de données. L'EPROM se trouve toujours en "lecture", la broche 22 (OE\ : Output Enable) est donc forcée au niveau logique "0". La mémoire est mise en haute impédance tant que le bouton poussoir est appuyé (Chip Select CS\ à "1"). Le choix de la technologie CMOS permet de maintenir la consommation globale du montage dans une limite tout à fait raisonnable (fonctionnement sur pile 9V), environ 30 mA, voire moins selon le réglage du volume, contre près de 80 mA pour une 27512 NMOS (cela dépend du modèle).

## Programmation matérielle de l'Eprom :

Le message est contenu dans une mémoire EPROM de 65536 mots de 8 bits. Outre la présence de pistes fines passant entre les broches des circuits intégrés, la difficulté majeure de cette réalisation consiste à pouvoir avoir à sa disposition un programmeur d'Eproms, pour charger le contenu de la mémoire ; ce système se présente sous la forme d'un boîtier muni d'un support à force d'insertion nulle, sur lequel sera placée la mémoire à programmer ; il est généralement relié au PC par un câble branché sur le port parallèle :

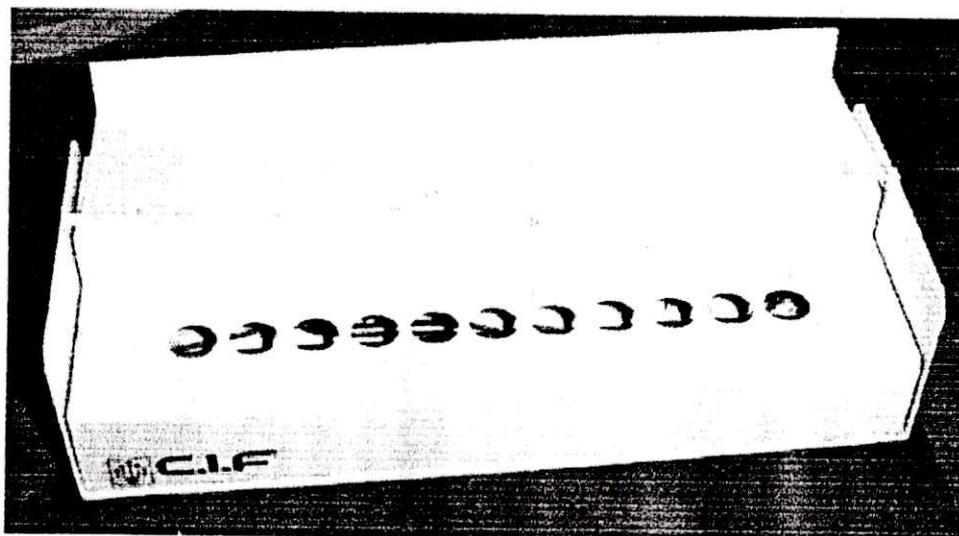


**Figure IV-4 : Le programmeur d'Eproms**

Un logiciel adéquat permet de lire ou de programmer le contenu de la mémoire (après choix du type d'Eprom, du fabricant et donc de l'algorithme associé et des tensions de programmation). Une zone de mémoire tampon intermédiaire, associée à un éditeur hexadécimal, permet éventuellement de retoucher les valeurs avant programmation, ce qui rendra possible l'utilisation directe des fichiers 'son' WAV, en expurgeant manuellement les octets du début caractérisant le format (voir rubrique [Messages] pour plus de détails).

La technologie EPROM a ceci de particulier qu'une fois programmée, la mémoire ne peut être effacée que par une exposition aux rayons ultraviolets ;

pour une utilisation normale, sa fenêtre en silice doit être masquée par une étiquette ; celle-ci sera ôtée au moment de l'effacement. Cette opération suppose l'utilisation d'un autre équipement spécialisé, l'effaceur d'EPROMs à tube U.V. :



**Figure IV-5 : Effaceur d'Eproms à tube UV.**

La photo ci-dessus montre un effaceur en kit permettant d'effacer jusqu'à 11 Eproms simultanément, chaque mémoire, dépourvue de son étiquette protectrice, étant placée au dessus d'une ouverture, les pattes en l'air, la fenêtre en silice exposée au rayonnement U.V. du tube (environ 15 mN). Attention, les U.V. produits sont extrêmement dangereux pour les yeux, il faut absolument éviter de les regarder. Les Eproms neuves du commerce sont vendues vierges, cet appareil n'est donc nécessaire que si vous souhaitez changer un message déjà programmé sans racheter une EPROM, ou bien si vous utilisez des Eproms de récupération ; on en trouve souvent sur du matériel informatique usagé, BIOS de cartes 'mère', ou tout autre système à microprocesseur, vérifiez simplement qu'il s'agit bien de 27512 ; c'est une solution très économique, on peut ainsi se constituer toute une banque de messages.

Les Eproms contiennent habituellement des codes machines, c'est-à-dire des séries d'instructions de base en binaire dans le langage du

microprocesseur qu'elles accompagnent ; parfois, il peut s'agir de tables de valeurs : par exemple les fréquences des canaux dans un émetteur radio, ou bien les textes à afficher si un dialogue est prévu avec l'utilisateur du système ; on peut dire que nous utilisons ces mémoires dans un mode un peu "détourné". A titre d'information, signalons qu'un CD audio contient l'équivalent de plus de 10000 Eproms de type 27512 (650 Mo contre 64 ko).

#### IV-13-4. Le convertisseur numérique / analogique

Les sorties de la mémoire sont modélisées par des sources de tension valant  $V_{cc}$  ou 0 selon l'état de la sortie considérée, (Sortie  $n$ , bit  $b_n$  à 0 ou 1, tension de la sortie  $V_n = b_n.V_{cc}$ ) :

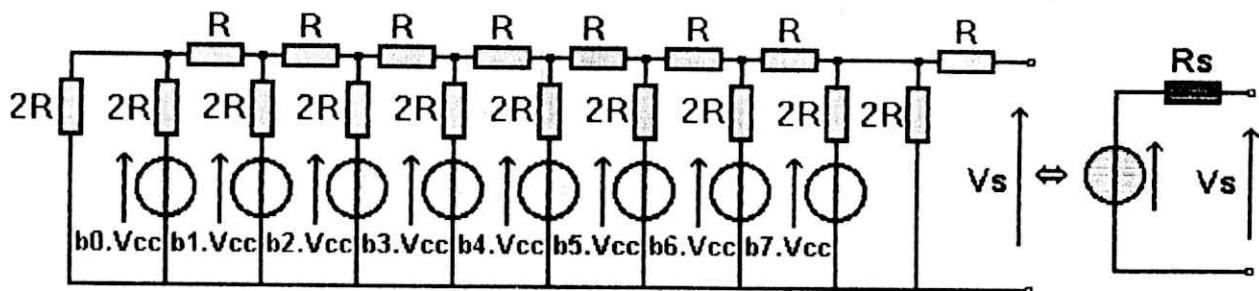


Figure IV-6 : le convertisseur CNA

$R_s$  se calcule très facilement en remplaçant les sources par des fils :

$$R_s = R.(5/3)$$

- Le calcul de  $V_s$  est plus compliqué ; procédons par superposition : La valeur  $V_s$  globale du montage est égale à la somme des influences respectives de chacune des sources prises isolément. En clair :  $V_s = V_{s0} + V_{s1} + V_{s2} + V_{s3} + V_{s4} + V_{s5} + V_{s6} + V_{s7}$ .
- Exemple pour  $V_{s7}$  : valeur prise par  $V_s$  en remplaçant toutes les sources par des fils, sauf la source ( $b_7.V_{cc}$ ) :  $V_{s7} = (b_7.V_{cc}) \times (1/3)$ . En procédant de même avec les autres sources, on a :  
 $V_{s6} = (1/2) \times (b_6.V_{cc}) / 3$ ,  
 $V_{s5} = (1/4) \times (b_5.V_{cc}) / 3$ ,

$$Vs3 = (1/16) \times (b3 \cdot V_{cc}) / 3,$$

$$Vs2 = (1/32) \times (b2 \cdot V_{cc}) / 3,$$

$$Vs1 = (1/64) \times (b1 \cdot V_{cc}) / 3,$$

$$Vs0 = (1/128) \times (b0 \cdot V_{cc}) / 3.$$

$$\text{D'où : } V_s = (1/3) \cdot V_{cc} \cdot (b7 + b6/2 + b5/4 + b4/8 + b3/16 + b2/32 + b1/64 + b0/128)$$

Soit :

$$V_S = 2/3 \times V_{cc} / 256 \times (b0 + 2 \cdot b1 + 4 \cdot b2 + 8 \cdot b3 + 16 \cdot b4 + 32 \cdot b5 + 64 \cdot b6 + 128 \cdot b7)$$

▪ Par exemple avec l'octet \$C8 en HEXA, qui vaut '11001000' en binaire :

avec  $b7=b6=b3='1'$ ,  $b5=b4=b2=b1=b0='0'$  et  $V_{cc}=+5V$ ,

$$\bullet V_s = (2/3) \cdot (5/256) \cdot (128 + 64 + 8) = 2,604 \text{ V}$$

$V_s$  alimente à travers  $R_s$ , l'ensemble [C2,C3,AJ2] :

-  $R_s$  et C2 constituent un filtre passe-bas qui élimine les fréquences élevées (proches et au-delà de la fréquence d'échantillonnage).

- C3 et AJ2 forment un filtre passe haut dont le rôle est essentiellement de supprimer la composante continue en sortie du CNA (En l'absence de son, la sortie de la mémoire est stable autour de \$80, ce qui donne environ :  $V_s = 1,67V$ ).

- Le calcul de l'ensemble  $R_s$ , C2, C3, AJ2 n'est pas insurmontable, mais tout de même un peu fastidieux, aussi je ne le développerai pas ici ; la bande passante simulée du filtre passe-bande ainsi

▪ obtenu préserve à peu près les fréquences de la voix (nous ne sommes pas dans le domaine de la haute fidélité !).

- L'ampli BF et le haut-parleur : il fallait un petit ampli BF bon marché, avec un minimum de composants périphériques, et qui ait fait ses preuves : notre choix s'est porté sur un LM386, le schéma de montage étant tiré de la note d'application du circuit ; un petit haut-parleur

basse impédance de récupération conviendra très bien (quelques ohms, 1 Watt, et de 5 à 8 cm de diamètre, valeurs non critiques !).

#### IV-13-5. Le haut parleur

Qui est noté HP pour simplifier et que l'on trouve sous LS loud speaker dans la littérature anglo-saxonne.

C'est un ensemble qui transforme l'énergie électrique en énergie mécanique et plus précisément en énergie acoustique.

#### Comment cela fonctionne t-il ?

Le HP est un système électrique couplé à un système électroacoustique. On voit la constitution générale sur l'image. On remarque que le HP est composé de trois parties essentielles qui sont :

- La membrane
- La bobine mobile
- L'aimant permanent

**-la membrane :** c'est elle qui en déplaçant alternativement d'avant en arrière va créer les pressions dynamiques qui vont mettre en mouvement l'air. ces surpressions que l'on appelle des ondes sonores vont venir jusqu'à nos oreilles.

#### **-la bobine mobile**

Est solidaire mécaniquement avec la membrane, c'est son moteur. Cette bobine, sous l'action du courant de l'amplificateur BF va se déplacer avant et en arrière.

**-l'aimant permanent :** est comme son nom l'indique un aimant puissant. Il a une mission claire et bien définie : créer un champ magnétique permanent.

#### IV-13-6. Le bouton poussoir

il peut s'agir d'un capteur assez sommaire : deux punaises sur l'encadrement de la porte, une feuille de papier aluminium collée sur le battant faisant contact lorsque celle-ci est fermée ; à l'ouverture, le contact se rompt, les compteurs peuvent s'incrémenter, la mémoire est validée, le message est lu. Il est préférable de laisser un blanc de 0,2s en début de message pour pallier l'absence de circuit anti-rebonds,

### IV-2. Partie expérimentale

#### IV-21. Rappel sur les circuits imprimés

##### **Introduction :**

De nos jours, tous les appareils électroniques font appel à la technologie des circuits imprimés dont le coût de fabrication entre souvent pour une part non négligeable dans celui des appareils. il est donc d'une extrême importance de tout mettre en oeuvre pour éviter les erreurs de conception ; il faudrait alors, en effet ou cette dernière pour mieux l'adapter aux possibilités technologiques de fabricant ,ou assurer la réparation de dernière minute des pastilles ou des pistes conductrices défectueuses. Tout cela se traduit bien évidemment par une élévation sensible du coût des circuits.

Les informations fondamentales. Nécessaires à l'élaboration du dessin d'un circuit imprimé, comprennent d'une part le schéma théorique des circuits électroniques .et d'autre part la liste des composants ainsi que les cotes et les tolérances dimensionnelles du circuits.

Aux premier stade de la réalisation ,qui est celui du passage du schéma théorique à un schéma pratique ou d'implantation , on s'attachera à la recherche d'une disposition des composants facilitant leurs interconnexions.

Le stade suivant consiste dans la réalisation de la maquette fréquemment à échelle élevée pour permettre une meilleure précision. Cette réalisation fait habituellement appel au procédé de transfert direct de symboles normalisés tels que pastilles, connecteur de boîtier etc.

#### IV-211. Définition

Nous entendons par circuit imprimé ou câblage imprimé, un mode de connexion des éléments d'un ensemble par des rubans de cuivre, très minces, collés sur un support isolant, rigide ou flexible, qui support éventuellement les constituants légers.

C'est là que réside la grande nouveauté technique des années voisines de 1940, celle qui a enfin une orientation toute aux difficultés de câblage.

#### IV-212. Avantages des circuits imprimés

Le problème de gaspillage du cuivre est, si non résolu, du moins atténué, un ruban de 3mm de largeur, tout à fait suffisant pour admettre un courant de 3A, est utilisé à 30A/mm soit 10 fois plus que le fil ordinaire, d'autre part sa forme extra plate favorise l'évacuation de la chaleur.

Une plaque de 1m d'isolant cuivré, avec une couche de 35 de cuivre contient environ 300g de cuivre, ce qui correspond à 35m de fil de 1,2mm de diamètre.

Or, de cette plaque, il y a largement de quoi réaliser le câblage 20 à 30 téléviseurs.

Le problème d'encombrement est en partie résolu :

Le câblage n'a plus que deux dimensions. Comme il fallait toujours une plaque pour tenir les constituants par photogravure. On peut donc obtenir des câblages minuscules et parfaitement repérés. Rapprocher les connexions très près l'une de l'autre, si la différence de potentiel entre ces connexions le permettent.

En plus de l'extrême facilité avec laquelle on peut les produire on grande échelle et à bas prix. Les circuits imprimés présentent un autre avantage,

la reproductibilité rigoureuse d'un montage, or c'est l'un élément important, surtout en électronique. Dans un ensemble sur circuit imprimé, tous les models sont rigoureusement identique, et si le prototype a été étudié, tous la série sera bonne, avec un taux de rejet insignifiant dans la mesure, bien entendu, ou les constituants sont bons.

#### **IV-213. Constituants des circuits imprimés**

##### **a- Les plaques :**

Une plaque des circuits imprimés simple face se compose de 4 couches distinctes : l'isolant, la couche de cuivre, la laque et la couche protectrice et peut avoir une plaque à double face qui n'est autre que les mêmes couches placées d'une façon symétrique par rapport à l'isolant.

Cette dernière peut être utilisée dans le cas où l'on a un encombrement des composants et des satrapes qu'on n'a pas pu les éviter.

##### **b- L'isolant cuivre**

Dans la quasi-totalité des cas, un circuit imprimé est réalisé à partir d'un isolant uniformément recouvert d'une couche de cuivre dont on enlèvera par la suite toutes les parties qui ne doivent pas substituer, nous traitons à la fois, de méthodes différentes infiniment

Moins classiques.

Il nous faut donc un support isolant sur lequel est collé une couche de cuivre l'isolant est presque toujours un produit de la catégorie des plastiques. Si l'on caractérise l'isolant par ses propriétés mécaniques, il y a essentiellement deux catégories de support, l'isolant rigide, le second étant d'un emploi plus courant.

##### **c- Isolant souple**

Est un emploi limité à la réalisation des bobinages grand nombre de tours, par superposition de spirales, et aux câbles multiples d'interconnexion. C'est matériau mince dont l'aspect et l'épaisseur rappellent la toile huilée. Il faut évidemment éviter de le piler à angle vif, ce qui endommagerait ou couperait la couche de cuivre et le support.

**d- Isolant rigide**

La lus souvent, le support est rigide, réalisé en général par la polymérisation à chaud d'une succession de couche d'isolant souple ordinaire : papier, toile de verre, trempées dans un produit polymérisable.

**e- La partie cuivrée**

Puisque nous avons parlés des isolants, disons quelques mots de la famille de cuivre qui est collé sur eux.

Il s'agit de cuivre électrolytique, ce métal coûteux a été choisi en raison de sa haute conductivité et de sa résistance plus élevée à la corrosion. On utilise en général en feuilles d'une épaisseur de 35 micro metre.

La qualité de cuivre est très importante celui-là ne doit évidemment présenter des rayures profondes, qui risquerait de provoquer des interruptions des circuits ou , pire encore , des points faibles, devenant par la suite des coupures, une fois le circuit vérifiée et monté.

**f- Les supports**

Un ensemble imprimé peut comporter des tubes ou des transistors ou autres éléments semi\_conducteur, si l'on désir garder la possibilité de les changer sans les dessouder, il est nécessaire d'utiliser des supports dont les connections seront soudés au ruban de cuivre et dans lesquels on placera les tubes ou transistors, maintenus par des pinces élastiques.

**g- Laque photosensible**

Le rôle de cette dernière est de protéger le cuivre contre le perchlorure de fer pendant la réalisation du circuit imprimé, il existe deux types de laque, laque photosensible positive et autre négative.

**h- Laque photo sensible positive**

Laque très dure, une fois attaquée par les rayons ultraviolets, toute la partie touchée se ramollissent.

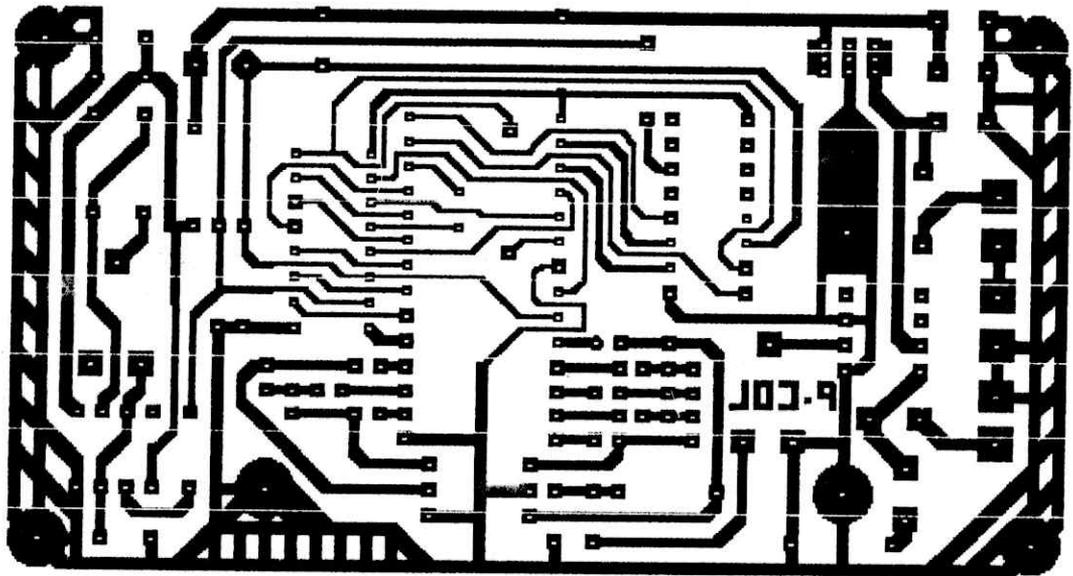
**i- Laque photosensible négative**

Laque très molle, une fois attaquée par les rayons ultraviolets, toute la partie touchée se durcissent.

**NB** : la première est la plus utilisée.

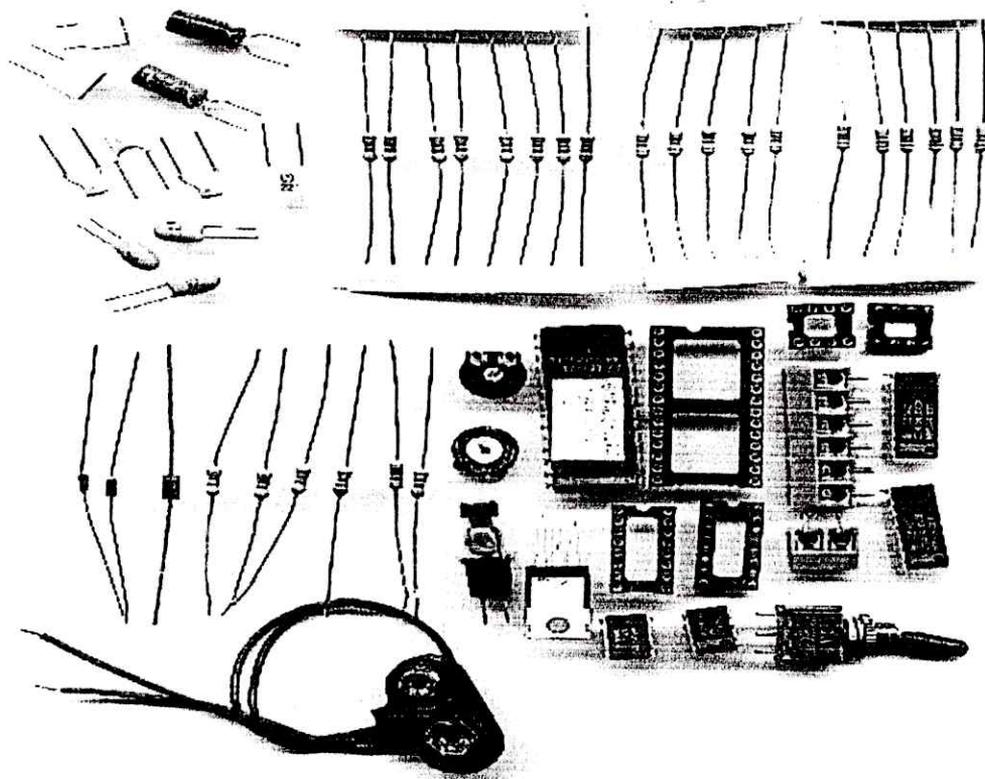
## IV-22. Réalisation du circuit imprimés

Le schéma au dessous présente le câblage imprimé du montage électronique à réaliser, dessiné en respectant les dimensions sur la grille internationale.



*Figure IV-7 : circuit imprimé*

## IV-23. Liste des composants :



**Figure IV-9 : la liste des composants**

- condensateurs (tension de service 12v, ou plus) :
  - C1 : 1 x 3,3 nF, mylar.
  - C2, C5, C6 : 3 x 10 nF, céramique.
  - C3 : 1 x 220 nF, mylar.
  - C4 : 1 x 47 nF, mylar.
  - C7, C8, C9 : 3 x 10  $\mu$ F, 16v, tantale.
  - C10 : 1 x 100  $\mu$ F, 16v, radial, chimique (pas trop gros !).
  - C11 : 1 x 10  $\mu$ F, 16v, radial, chimique.

- Résistances (1/4 W, 5%) :
  - R1, R2, R3, R4, R5, R6, R7, R8, R9, R10 : 10 x 30 k ohms (si possible, à 1%).
  - R11, R12, R13, R14, R15, R16, R17, R18 : 8 x 15 k ohms (si possible, à 1%).
  - R19 : 1 x 10 ohms.
  - R20 : 1 x 47 ohms.
  - R21 : 1 x 2,2 k ohms.
  - R22, R23, R24 : 3 x 4,7 k ohms.
- Circuits intégrés / semi-conducteurs :
  - IC1, IC2 : 2 x CD 4040.
  - IC3 : 1 x NE 555.
  - IC4 : 1 x LM 386.
  - IC5 : 1 x 27C512 (EPROM 64 ko, si possible CMOS).
  - Un régulateur 5V type 7805.
  - D1 : 1 diode 1N4001 ou 1N4004 ou 1N4007.
  - D2, D3 : 2 diodes 1N4148 ou 1N914.
- Divers :
  - 1 Haut parleur 8 ohms (disons quelques ohms, 1 Watt, et de 5 à 8 cm de diamètre, valeurs non critiques !).
  - B1, B2, B3, B4 : 4 borniers doubles. B2, B3 et B4 seront emboîtés pour constituer un bornier à 6 plots, on peut donc les remplacer par deux borniers triples.
  - AJ1, AJ2 : 2 ajustables 47 k ohms, horizontaux, petit format.
  - Pour IC1, IC2 : 2 supports tulipe 16 broches (en option).
  - Pour IC3, IC4 : 2 supports tulipe 8 broches (en option).
  - Pour IC5 : 1 support tulipe 28 broches.
  - Pour le 7805 : 1 vis + 1 écrou (diamètre 3 mm).
  - Un clip pour pile 9V.
  - Une pile 9V.
  - Un bouton poussoir.

- Un interrupteur à levier (à bascule).
- Les 3 straps (en bleu, sur le schéma d'implantation) sont constitués d'un petit bout de fil dénudé.
- Eventuellement : plaque, mèches, soudure, révélateur, perchloreure de fer, fil de câblage, boîtier, vis et écrous de fixation, etc.

**CONCLUSION**

**GENERALE**

## *Conclusion générale*

*L'étude sur les mémoires en générale et sur les Eproms en particulier avec la réalisation nous a permet d'avoir une expérience sur la pratique avec des composants électroniques bien déterminée.*

*Ainsi nous avons vus les vraies importances des EPROM dans les montages électroniques.*

*La présente étude est consacrée aux Eproms nous a permet aussi de suivre les objectifs suivants :*

- L'utilité et l'importance d'un tel système.*
- Le fonctionnement et la réponse de ces deux unités.*
- L'identification des composants (CI)*

*Notre montage présente le point de départ des diverses applications tel que 'avertisseur du danger' et pour concevoir des montages comme cela il ne faut qu'ajouter de accessoires par exemples 'capteurs'.*

*L'application des EPROM dans l'aéronautique reste toujours comme un axe de recherche pour assurer le développement et la sécurité des hommes.*

*On espère que ce travail apportera le renseignement nécessaire à la compréhension des systèmes de sauvegarde des données.*

## Résumé

Pour une raison de bien comprendre la technologie de la sauvegarde des informations numériques on a étudié les composants qui ont la responsabilité de faire cette opération « les mémoires»

Les deux types les plus courants des mémoires son les RAM et ROM est à l'extension de ce dernier on trouve les EPROMS qui sont très utilisables dans les montages électroniques avec leur programmeurs qui sont l'objet de la programmation et on a étudié tous les deux successivement.

Pour montrer l'utilité des eeprom on a réalise un montage qui contient une eeprom comme étant un cœur de la montage

Ce montage va fournir à la sortie d'un haut parleur une indication vocale qui provient appart ire d'une eeprom qui est stockée sous fourme numérique.

## ملخص

بغرض الفهم الجيد لتقنية حفظ المعلومات الرقمية قمنا بدراسة معمقة للمكونات الخاصة بهذه العملية و هي " المذكرات " والنوع الأكثر أهمية في المذكرات لدينا المذكرات القابلة للبرمجة و المسح.

و من اجل إبراز أهمية هذه الأخيرة قمنا بإنجاز تركيبية الكترونية تعطي في مخرج مضخم صوتي معلومة الاستقبال اللفظي من خلال إشارة مدخرة في الذاكرة علي شكل رقمي.

# LES ANNEXES

**TMS27C512 65536 BY 8-BIT UV ERASABLE  
TMS27PC512 65536 BY 8-BIT  
PROGRAMMABLE READ-ONLY MEMORIES**

SMLS512G - NOVEMBER 1985 - REVISED SEPTEMBER 1997

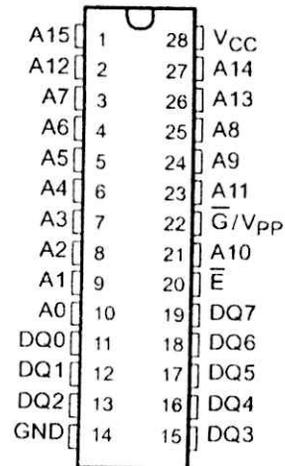
- Organization . . . 65536 by 8 Bits
- Single 5-V Power Supply
- Pin Compatible With Existing 512K MOS ROMs, PROMs, and EPROMs
- All Inputs/Outputs Fully TTL Compatible
- Max Access/Min Cycle Time  
 $V_{CC} \pm 10\%$   
 '27C/PC512-10    100 ns  
 '27C/PC512-12    120 ns  
 '27C/PC512-15    150 ns  
 '27C/PC512-20    200 ns  
 '27C/PC512-25    250 ns
- Power Saving CMOS Technology
- Very High-Speed SNAP! Pulse Programming
- 3-State Output Buffers
- 400-mV Minimum DC Noise Immunity With Standard TTL Loads
- Latchup Immunity of 250 mA on All Input and Output Lines
- Low Power Dissipation ( $V_{CC} = 5.25 V$ )  
 - Active . . . 158 mW Worst Case  
 - Standby . . . 1.4 mW Worst Case (CMOS Input Levels)
- Temperature Range Options
- 512K EPROM Available With MIL-STD-883C Class B High Reliability Processing (SMJ27C512)

**description**

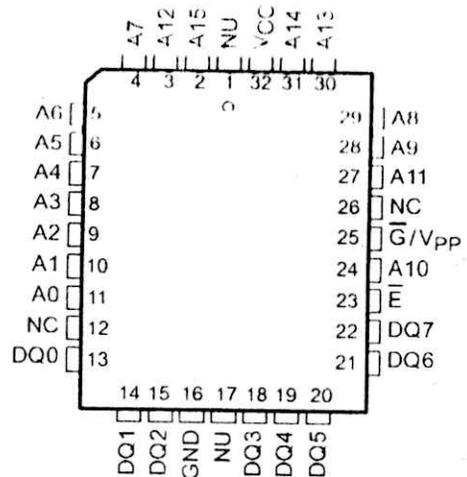
The TMS27C512 series are 65536 by 8-bit (524288-bit), ultraviolet (UV) light erasable, electrically programmable read-only memories (EPROMs).

The TMS27PC512 series are 65536 by 8-bit (524288-bit), one-time programmable (OTP) electrically programmable read-only memories (PROMs).

**J PACKAGE  
(TOP VIEW)**



**FM PACKAGE  
(TOP VIEW)**



**PIN NOMENCLATURE**

|                  |                               |
|------------------|-------------------------------|
| A0 - A15         | Address Inputs                |
| $\bar{E}$        | Chip Enable/Power Down        |
| DQ0 - DQ7        | Inputs (programming)/Outputs  |
| $\bar{G}/V_{pp}$ | 13-V Programming Power Supply |
| GND              | Ground                        |
| NC               | No Internal Connection        |
| NU               | Make No External Connection   |
| VCC              | 5-V Power Supply              |



Please be aware that an important notice concerning availability, standard warranty, and use in critical applications of Texas Instruments semiconductor products and disclaimers thereto appears at the end of this data sheet.

PRODUCTION DATA information is current as of publication date. Products conform to specifications per the terms of Texas Instruments standard warranty. Production processing does not necessarily include testing of all parameters.

**TEXAS  
INSTRUMENTS**

POST OFFICE BOX 1443 • HOUSTON, TEXAS 77251-1443

Copyright © 1997, Texas Instruments Incorporated

**TMS27C512 65536 BY 8-BIT UV ERASABLE  
TMS27PC512 65536 BY 8-BIT  
PROGRAMMABLE READ-ONLY MEMORIES**

SMLS512G - NOVEMBER 1985 - REVISED SEPTEMBER 1997

**description (continued)**

These devices are fabricated using power-saving CMOS technology for high speed and simple interface with MOS and bipolar circuits. All inputs (including program data inputs) can be driven by Series 74 TTL circuits without the use of external pullup resistors. Each output can drive one Series 74 TTL circuit without external resistors.

The data outputs are 3-state for connecting multiple devices to a common bus. The TMS27C512 and the TMS27PC512 are pin compatible with 28-pin 512K MOS ROMs, PROMs, and EPROMs.

The TMS27C512 EPROM is offered in a dual-in-line ceramic package (J suffix) designed for insertion in mounting hole rows on 15.2-mm (600-mil) centers. The TMS27PC512 OTP PROM is supplied in a 32-lead plastic leaded chip carrier package using 1.25-mm (50-mil) lead spacing (FM suffix).

The TMS27C512 and TMS27PC512 are offered with two choices of temperature ranges of 0°C to 70°C (JL and FML suffix) and -40°C to 85°C (JE and FME suffix). See Table 1.

All package styles conform to JEDEC standards.

**Table 1. Temperature Range Suffixes**

| EPROM<br>AND<br>OTP PROM | SUFFIX FOR OPERATING<br>FREE-AIR TEMPERATURE RANGES |               |
|--------------------------|---|---------------|
|                          | 0°C TO 70°C   | -40°C TO 85°C |
| TMS27C512-xxx            | JL  | JE            |
| TMS27PC512-xxx           | FML   | FME           |

These EPROMs and OTP PROMs operate from a single 5-V supply (in the read mode), thus are ideal for use in microprocessor-based systems. One other 13-V supply is needed for programming. All programming signals are TTL level. The device is programmed using the SNAP! Pulse programming algorithm. The SNAP! Pulse programming algorithm uses a  $V_{PP}$  of 13 V and a  $V_{CC}$  of 6.5 V for a nominal programming time of seven seconds. For programming outside the system, existing EPROM programmers can be used. Locations can be programmed singly, in blocks, or at random.



**TMS27C512 65536 BY 8-BIT UV ERASABLE**  
**TMS27PC512 65536 BY 8-BIT**  
**PROGRAMMABLE READ-ONLY MEMORIES**

SMLS512G - NOVEMBER 1985 - REVISED SEPTEMBER 1997

**operation**

The seven modes of operation are listed in Table 2. The read mode requires a single 5-V supply. All inputs are 1 IL level except for Vpp during programming (13 V for SNAP! Pulse) and 12 V on A9 for signature mode.

**Table 2. Operation Modes**

| FUNCTION         | MODE†           |                 |                 |                 |                 |                 |                   |        |
|------------------|-----------------|-----------------|-----------------|-----------------|-----------------|-----------------|-------------------|--------|
|                  | READ            | OUTPUT DISABLE  | STANDBY         | PROGRAMMING     | VERIFY          | PROGRAM INHIBIT | SIGNATURE MODE    |        |
| $\bar{E}$        | V <sub>IL</sub> | V <sub>IL</sub> | V <sub>IH</sub> | V <sub>IL</sub> | V <sub>IL</sub> | V <sub>IH</sub> | V <sub>IL</sub>   |        |
| $\bar{G}/V_{PP}$ | V <sub>IL</sub> | V <sub>IH</sub> | X               | V <sub>PP</sub> | V <sub>IL</sub> | V <sub>PP</sub> | V <sub>IL</sub>   |        |
| V <sub>CC</sub>  | V <sub>CC</sub> | V <sub>CC</sub> | V <sub>CC</sub> | V <sub>CC</sub> | V <sub>CC</sub> | V <sub>CC</sub> | V <sub>CC</sub>   |        |
| A9               | X               | X               | X               | X               | X               | X               | V <sub>IH</sub> † |        |
| A0               | X               | X               | X               | X               | X               | X               | V <sub>IH</sub> † |        |
| DQ0 - DQ7        | Data Out        | Hi-Z            | Hi-Z            | Data In         | Data Out        | Hi-Z            | CODE              |        |
|                  |                 |                 |                 |                 |                 |                 | MFG               | DEVICE |
|                  |                 |                 |                 |                 |                 |                 | 07                | 05     |

† X can be V<sub>IL</sub> or V<sub>IH</sub>.

‡ V<sub>IH</sub> = 12 V ± 0.5 V.

**read/output disable**

When the outputs of two or more TMS27C512s or TMS27PC512s are connected in parallel on the same bus, the output of any particular device in the circuit can be read with no interference from the competing outputs of the other devices. To read the output of a single device, a low-level signal is applied to the  $\bar{E}$  and  $\bar{G}/V_{PP}$  pins. All other devices in the circuit should have their outputs disabled by applying a high-level signal to one of these pins. Output data is accessed at pins DQ0 through DQ7.

**latchup immunity**

Latchup immunity on the TMS27C512 and TMS27PC512 is a minimum of 250 mA on all inputs and outputs. This feature provides latchup immunity beyond any potential transients at the P.C. board level when the devices are interfaced to industry-standard TTL or MOS logic devices. Input-output layout approach controls latchup without compromising performance or packing density.

**power down**

Active I<sub>CC</sub> supply current can be reduced from 30 mA to 500 µA (TTL-level inputs) or 250 µA (CMOS-level inputs) by applying a high TTL/CMOS signal to the  $\bar{E}$  pin. In this mode all outputs are in the high-impedance state.

**erasure (TMS27C512)**

Before programming, the TMS27C512 EPROM is erased by exposing the chip through the transparent lid to a high intensity ultraviolet light (wavelength 2537 angstroms). EPROM erasure before programming is necessary to assure that all bits are in the logic high state. Logic lows are programmed into the desired locations. A programmed logic low can be erased only by ultraviolet light. The recommended minimum exposure dose (UV intensity × exposure time) is 15-W s/cm<sup>2</sup>. A typical 12-mW/cm<sup>2</sup>, filterless UV lamp erases the device in 21 minutes. The lamp should be located about 2.5 cm above the chip during erasure. It should be noted that normal ambient light contains the correct wavelength for erasure. Therefore, when using the TMS27C512, the window should be covered with an opaque label.



**TMS27C512 65536 BY 8-BIT UV ERASABLE  
TMS27PC512 65536 BY 8-BIT  
PROGRAMMABLE READ-ONLY MEMORIES**

SMLS512G - NOVEMBER 1985 - REVISED SEPTEMBER 1997

**initializing (TMS27PC512)**

The one-time programmable TMS27PC512 PROM is provided with all bits in the logic high state, then logic lows are programmed into the desired locations. Logic lows programmed into a PROM cannot be erased.

**SNAP! Pulse programming**

The 512K EPROM and OTP PROM are programmed using the TI SNAP! Pulse programming algorithm illustrated by the flowchart in Figure 1, which programs in a nominal time of seven seconds. Actual programming time varies as a function of the programmer used.

The SNAP! Pulse programming algorithm uses initial pulses of 100 microseconds ( $\mu\text{s}$ ) followed by a byte verification to determine when the addressed byte has been successfully programmed. Up to 10 (ten) 100- $\mu\text{s}$  pulses per byte are provided before a failure is recognized.

The programming mode is achieved with  $\bar{G}/V_{PP} = 13\text{ V}$ ,  $V_{CC} = 6.5\text{ V}$ , and  $\bar{E} = V_{IL}$ . Data is presented in parallel (eight bits) on pins DQ0 to DQ7. Once addresses and data are stable,  $\bar{E}$  is pulsed.

More than one device can be programmed when the devices are connected in parallel. Locations can be programmed in any order. When the SNAP! Pulse programming routine is complete, all bits are verified with  $V_{CC} = 5\text{ V}$ ,  $\bar{G}/V_{PP} = V_{IL}$ , and  $\bar{E} = V_{IL}$ .

**program inhibit**

Programming can be inhibited by maintaining a high level input on the  $\bar{E}$  pin.

**program verify**

Programmed bits can be verified when  $\bar{G}/V_{PP}$  and  $\bar{E} = V_{IL}$ .

**signature mode**

The signature mode provides access to a binary code identifying the manufacturer and type. This mode is activated when A9 is forced to 12 V. Two identifier bytes are accessed by toggling A0. All other addresses must be held low. the signature code for these devices is 9785. A0 selects the manufacturer's code 97 (Hex), and A0 high selects the device code 85, as shown in Table 3.

**Table 3. Signature Mode**

| IDENTIFIER        | PINS     |     |     |     |     |     |     |     |     | HEX |
|-------------------|----------|-----|-----|-----|-----|-----|-----|-----|-----|-----|
|                   | A0       | DQ7 | DQ6 | DQ5 | DQ4 | DQ3 | DQ2 | DQ1 | DQ0 |     |
| Manufacturer Code | $V_{IL}$ | 1   | 0   | 0   | 1   | 0   | 1   | 1   | 1   | 97  |
| Device Code       | $V_{IH}$ | 1   | 0   | 0   | 0   | 0   | 1   | 0   | 1   | 85  |

$\bar{E} = \bar{G} = V_{IL}$ , A9 =  $V_{IH}$ , A1 - A8 =  $V_{IL}$ , A10 - A15 =  $V_{IL}$ , PGM =  $V_{IH}$  or  $V_{IL}$ .



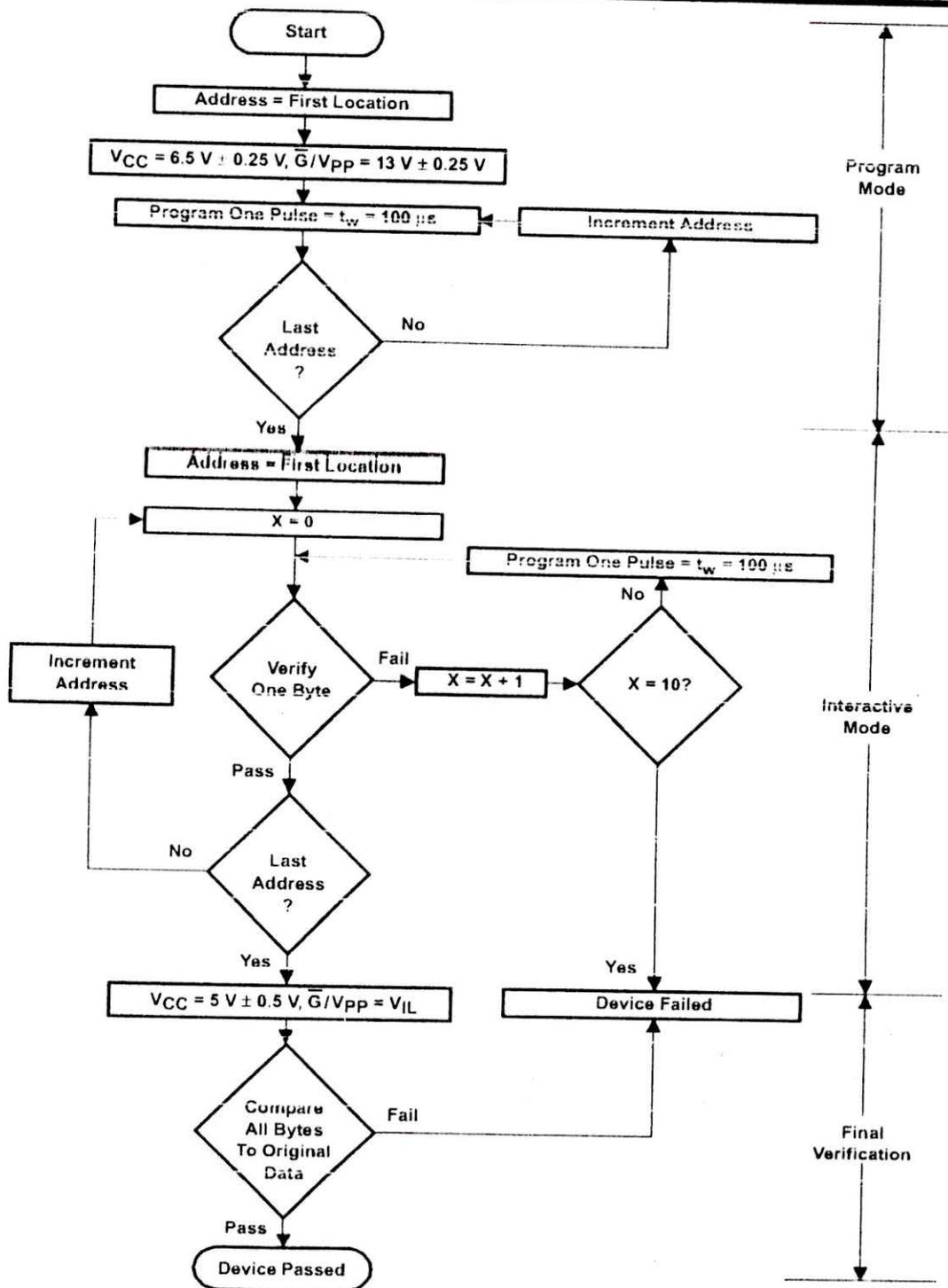
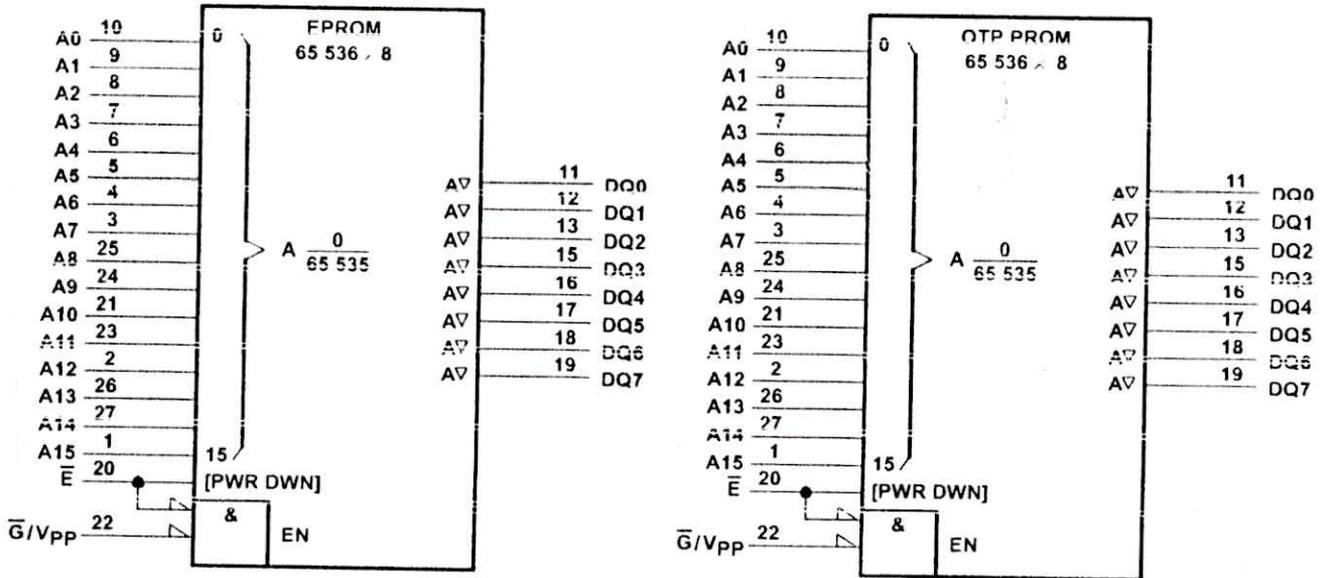


Figure 1. SNAP! Pulse Programming Flow Chart

**TMS27C512 65536 BY 8-BIT UV ERASABLE  
TMS27PC512 65536 BY 8-BIT  
PROGRAMMABLE READ-ONLY MEMORIES**

SMLS512G - NOVEMBER 1985 - REVISED SEPTEMBER 1997

**Logic symbols†**



† These symbols are in accordance with ANSI/IEEE Std 91-1984 and IEC Publication 617-12. Pin numbers shown are for the J package.

**absolute maximum ratings over operating free-air temperature range (unless otherwise noted)‡**

|   |                          |
|---|--------------------------|
| Supply voltage range, $V_{CC}$ (see Note 1)                               | -0.6 V to 7 V            |
| Supply voltage range, $V_{PP}$  | -0.6 V to 14 V           |
| Input voltage range (see Note 1): All inputs except A9                    | -0.6 V to $V_{CC} + 1$ V |
| A9  | -0.6 V to 13.5 V         |
| Output voltage range (see Note 1)   | -0.6 V to $V_{CC} + 1$ V |
| Operating free-air temperature range ('27C512-__JL, '27PC512-__FML) $T_A$ | 0°C to 70°C              |
| Operating free-air temperature range ('27C512-__IF, '27PC512-__FME) $T_A$ | -40°C to 85°C            |
| Storage temperature range, $T_{stg}$                                      | -65°C to 150°C           |

‡ Stresses beyond those listed under "absolute maximum ratings" may cause permanent damage to the device. These are stress ratings only, and functional operation of the device at these or any other conditions beyond those indicated under "recommended operating conditions" is not implied. Exposure to absolute-maximum-rated conditions for extended periods may affect device reliability.

NOTE 1: All voltage values are with respect to GND.



POST OFFICE BOX 1443 • HOUSTON, TEXAS 77251-1443

**TMS27C512 65536 BY 8-BIT UV ERASABLE**  
**TMS27PC512 65536 BY 8-BIT**  
**PROGRAMMABLE READ-ONLY MEMORIES**  
 SMLS512G - NOVEMBER 1985 - REVISED SEPTEMBER 1997

**recommended operating conditions**

|                  |                                |                                      | MIN                  | NOM                | MAX                | UNIT |
|------------------|--------------------------------|--------------------------------------|----------------------|--------------------|--------------------|------|
| V <sub>CC</sub>  | Supply voltage                 | Read mode (see Note 2)               | 4.5                  | 5                  | 5.5                | V    |
|                  |                                | SNAP! Pulse programming algorithm    | 6.25                 | 6.5                | 6.75               |      |
| $\bar{G}/V_{pp}$ | Supply voltage                 | SNAP! Pulse programming algorithm    | 12.75                | 13                 | 13.25              | V    |
| V <sub>IH</sub>  | High-level dc input voltage    | TTL                                  | 2                    | V <sub>CC</sub> +1 |                    | V    |
|                  |                                | CMOS                                 | V <sub>CC</sub> -0.2 |                    | V <sub>CC</sub> +1 |      |
| V <sub>IL</sub>  | Low-level dc input voltage     | TTL                                  | -0.5                 | 0.8                |                    | V    |
|                  |                                | CMOS                                 | -0.5                 | 0.2                |                    |      |
| T <sub>A</sub>   | Operating free-air temperature | TMS27C512-...JL<br>TMS27PC512-...FML | 0                    |                    | 70                 | °C   |
| T <sub>A</sub>   | Operating free-air temperature | TMS27C512-...JF<br>TMS27PC512-...FML | -40                  |                    | 125                | °C   |

NOTE 2: V<sub>CC</sub> must be applied before or at the same time as  $\bar{G}/V_{pp}$  and removed after or at the same time as  $\bar{G}/V_{pp}$ . The device must not be inserted into or removed from the board when V<sub>pp</sub> or V<sub>CC</sub> is applied.

**electrical characteristics over recommended ranges of supply voltage and operating free-air temperature**

| PARAMETER        |  | TEST CONDITIONS  | MIN  | TYP† | MAX     | UNIT |
|------------------|--|--|--|------|---------|------|
| V <sub>OH</sub>  | High-level dc output voltage                           | I <sub>OH</sub> = -2.5 mA  | 3.5  |      |         | V    |
|                  |  | I <sub>OH</sub> = -20 μA   | V <sub>CC</sub> - 0.1                            |      |         |      |
| V <sub>OL</sub>  | Low-level dc output voltage                            | I <sub>OL</sub> = 2.1 mA   | 0.4  |      |         | V    |
|                  |  | I <sub>OL</sub> = 20 μA  | 0.1  |      |         |      |
| I <sub>i</sub>   | Input current (leakage)                                | V <sub>i</sub> = 0 V to 5.5 V  | ±1   |      |         | μA   |
| I <sub>O</sub>   | Output current (leakage)                               | V <sub>O</sub> = 0 V to V <sub>CC</sub>  | ±1   |      |         | μA   |
| I <sub>pp</sub>  | $\bar{G}/V_{pp}$ supply current (during program pulse) | $\bar{G}/V_{pp}$ = 13 V  | 35 50  |      |         | mA   |
| I <sub>CC1</sub> | V <sub>CC</sub> supply current (standby)               | TTL-input level  | V <sub>CC</sub> = 5.5 V, ... E = V <sub>IH</sub> |      | 250 500 | μA   |
|                  |  | CMOS-input level   | V <sub>CC</sub> = 5.5 V, ... E = V <sub>CC</sub> |      | 100 250 |      |
| I <sub>CC2</sub> | V <sub>CC</sub> supply current (active)                | V <sub>CC</sub> = 5.5 V, E = V <sub>IL</sub> ,<br>t <sub>cycle</sub> = minimum cycle time,<br>outputs open | 15 30  |      |         | mA   |

† Typical values are at T<sub>A</sub> = 25 °C and nominal voltages.

**capacitance over recommended ranges of supply voltage and operating free-air temperature, f = 1 MHz†**

| PARAMETER          |                                    | TEST CONDITIONS                   | MIN   | TYP‡ | MAX | UNIT |
|--------------------|------------------------------------|-----------------------------------|-------|------|-----|------|
| C <sub>I</sub>     | Input capacitance                  | V <sub>I</sub> = 0 V, f = 1 MHz   | 6 10  |      |     | pF   |
| C <sub>O</sub>     | Output capacitance                 | V <sub>O</sub> = 0 V, f = 1 MHz   | 10 14 |      |     | pF   |
| C <sub>G/VPP</sub> | $\bar{G}/V_{pp}$ input capacitance | $\bar{G}/V_{pp}$ = 0 V, f = 1 MHz | 20 25 |      |     | pF   |

† Capacitance measurements are made on a sample basis only.

‡ Typical values are at T<sub>A</sub> = 25 °C and nominal voltages.



**TMS27C512 65536 BY 8-BIT UV ERASABLE  
TMS27PC512 65536 BY 8-BIT  
PROGRAMMABLE READ-ONLY MEMORIES**

SML5512G - NOVEMBER 1985 - REVISED SEPTEMBER 1997

**switching characteristics over recommended ranges of operating conditions**

| PARAMETER  | TEST CONDITIONS<br>(SEE NOTES 3 AND 4)  | '27C512-10<br>'27PC512-10 |     | '27C512-12<br>'27PC512-12 |     | UNIT |    |
|--|---|---------------------------|-----|---------------------------|-----|------|----|
|  |   | MIN                       | MAX | MIN                       | MAX |      |    |
| $t_{a(A)}$ Access time from address  | $C_L = 100$ pF,<br>1 Series 74 TTL Load,<br>input $t_r \leq 20$ ns,<br>Input $t_f \leq 20$ ns |                           | 100 |                           | 120 | ns   |    |
| $t_{a(E)}$ Access time from chip enable  |   |                           | 100 |                           | 120 | ns   |    |
| $t_{en(G)}$ Output enable time from $\overline{G}/V_{pp}$  |   |                           | 55  |                           | 55  | ns   |    |
| $t_{dis}$ Output disable time from $\overline{G}/V_{pp}$ or $\overline{E}$ , whichever occurs first†                           |   |                           | 0   | 45                        | 0   | 45   | ns |
| $t_{v(A)}$ Output data valid time after change of address, $\overline{E}$ , or $\overline{G}/V_{pp}$ , whichever occurs first† |   |                           | 0   |                           | 0   |      | ns |

| PARAMETER  | TEST CONDITIONS<br>(SEE NOTES 3 AND 4)  | '27C512-15<br>'27PC512-15 |     | UNIT |    |
|--|---|---------------------------|-----|------|----|
|  |   | MIN                       | MAX |      |    |
| $t_{a(A)}$ Access time from address  | $C_L = 100$ pF,<br>1 Series 74 TTL Load,<br>Input $t_r \leq 20$ ns,<br>Input $t_f \leq 20$ ns |                           | 150 | ns   |    |
| $t_{a(E)}$ Access time from chip enable  |   |                           | 150 | ns   |    |
| $t_{en(G)}$ Output enable time from $\overline{G}/V_{pp}$  |   |                           | 75  | ns   |    |
| $t_{dis}$ Output disable time from $\overline{G}/V_{pp}$ or $\overline{E}$ , whichever occurs first†                           |   |                           | 0   | 60   | ns |
| $t_{v(A)}$ Output data valid time after change of address, $\overline{E}$ , or $\overline{G}/V_{pp}$ , whichever occurs first† |   |                           | 0   |      | ns |

| PARAMETER  | TEST CONDITIONS<br>(SEE NOTES 3 AND 4)  | '27C512-20<br>'27PC512-20 |     | '27C512-25<br>'27PC512-25 |     | UNIT |    |
|--|---|---------------------------|-----|---------------------------|-----|------|----|
|  |   | MIN                       | MAX | MIN                       | MAX |      |    |
| $t_{a(A)}$ Access time from address  | $C_L = 100$ pF,<br>1 Series 74 TTL Load,<br>Input $t_r \leq 20$ ns,<br>Input $t_f \leq 20$ ns |                           | 200 |                           | 250 | ns   |    |
| $t_{a(E)}$ Access time from chip enable  |   |                           | 200 |                           | 250 | ns   |    |
| $t_{en(G)}$ Output enable time from $\overline{G}/V_{pp}$  |   |                           | 75  |                           | 100 | ns   |    |
| $t_{dis}$ Output disable time from $\overline{G}/V_{pp}$ or $\overline{E}$ , whichever occurs first†                           |   |                           | 0   | 60                        | 0   | 60   | ns |
| $t_{v(A)}$ Output data valid time after change of address, $\overline{E}$ , or $\overline{G}/V_{pp}$ , whichever occurs first† |   |                           | 0   |                           | 0   |      | ns |

† Value calculated from 0.5 V delta to measured output level. This parameter is only sampled.

NOTES: 3. For all switching characteristics, the input pulse levels are 0.4 V to 2.4 V. Timing measurements are made at 2 V for logic high and 0.8 V for logic low (see Figure 2).

4. Common test conditions apply for  $t_{dis}$  except during programming.

**switching characteristics for programming:  $V_{CC} = 6.50$  V and  $\overline{G}/V_{pp} = 13$  V (SNAPI Pulse),  $T_A = 25^\circ$  C (see Note 3)**

| PARAMETER  | MIN | MAX | UNIT |
|--|-----|-----|------|
| $t_{dis(G)}$ Disable time, output from $\overline{G}/V_{pp}$ | 0   | 130 | ns   |

NOTE 3: For all switching characteristics, the input pulse levels are 0.4 V to 2.4 V. Timing measurements are made at 2 V for logic high and 0.8 V for logic low.



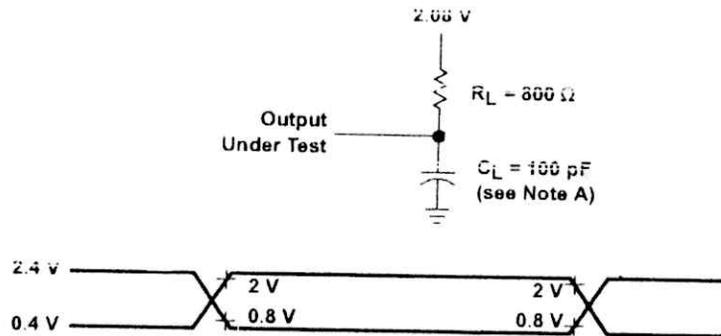
POST OFFICE BOX 1443 • HOUSTON, TEXAS 77251-1443

**TMS27C512 65536 BY 8-BIT UV ERASABLE**  
**TMS27PC512 65536 BY 8-BIT**  
**PROGRAMMABLE READ-ONLY MEMORIES**  
SMLS512G - NOVEMBER 1985 - REVISED SEPTEMBER 1997

**Timing requirements for programming**

|                      |                                 | MIN | NOM | MAX | UNIT          |
|----------------------|---------------------------------|-----|-----|-----|---------------|
| $t_w(\text{IPGM})$   | Pulse duration, initial program | 95  | 100 | 105 | $\mu\text{S}$ |
| $t_{su}(\text{A})$   | Setup time, address             | 2   |     |     | $\mu\text{S}$ |
| $t_{su}(\text{D})$   | Setup time, data                | 2   |     |     | $\mu\text{S}$ |
| $t_{su}(\text{VPP})$ | Setup time, $\bar{G}/V_{pp}$    | 2   |     |     | $\mu\text{S}$ |
| $t_{su}(\text{VCC})$ | Setup time, VCC                 | 2   |     |     | $\mu\text{S}$ |
| $t_h(\text{A})$      | Hold time, address              | 0   |     |     | $\mu\text{S}$ |
| $t_h(\text{D})$      | Hold time, data                 | 2   |     |     | $\mu\text{S}$ |
| $t_h(\text{VPP})$    | Hold time, $\bar{G}/V_{pp}$     | 2   |     |     | $\mu\text{S}$ |
| $t_{rec}(\text{PG})$ | Recovery time, $\bar{G}/V_{pp}$ | 2   |     |     | $\mu\text{S}$ |
| $t_{EHD}$            | Data valid from $\bar{E}$ low   |     |     | 1   | $\mu\text{S}$ |
| $t_r(\text{PG})G$    | Rise time, $\bar{G}/V_{pp}$     | 50  |     |     | $\mu\text{S}$ |

**PARAMETER MEASUREMENT INFORMATION**



- NOTES: A.  $C_L$  includes probe and fixture capacitance.  
 B. The ac testing inputs are driven at 2.4 V for logic high and 0.4 V for logic low. Timing measurements are made at 2 V for logic high and 0.8 V for logic low for both inputs and outputs.

**Figure 2. AC Testing Output Load Circuit**

**TMS27C512 65536 BY 8-BIT UV ERASABLE  
TMS27PC512 65536 BY 8-BIT  
PROGRAMMABLE READ-ONLY MEMORIES**

SMLS512G - NOVEMBER 1985 - REVISED SEPTEMBER 1997

**PARAMETER MEASUREMENT INFORMATION**

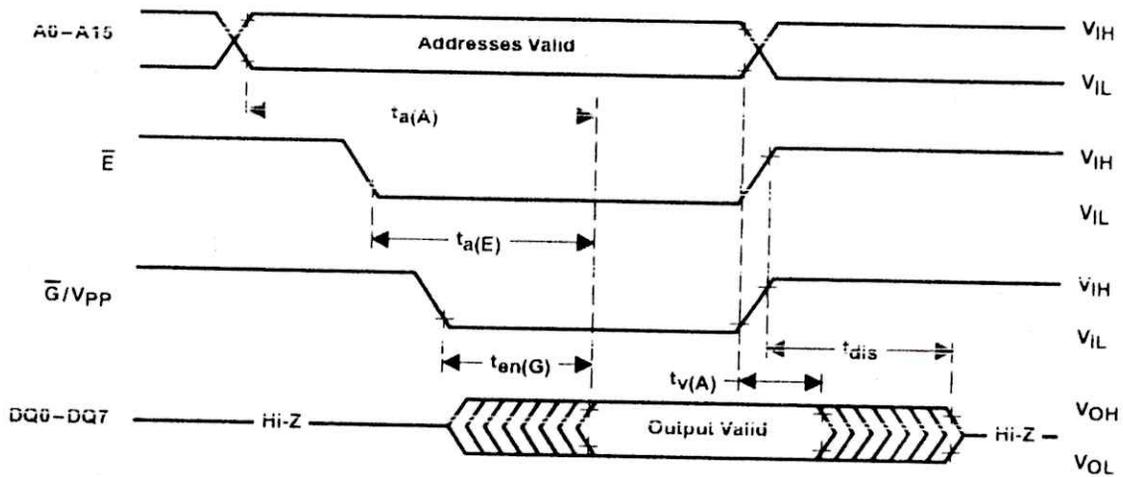
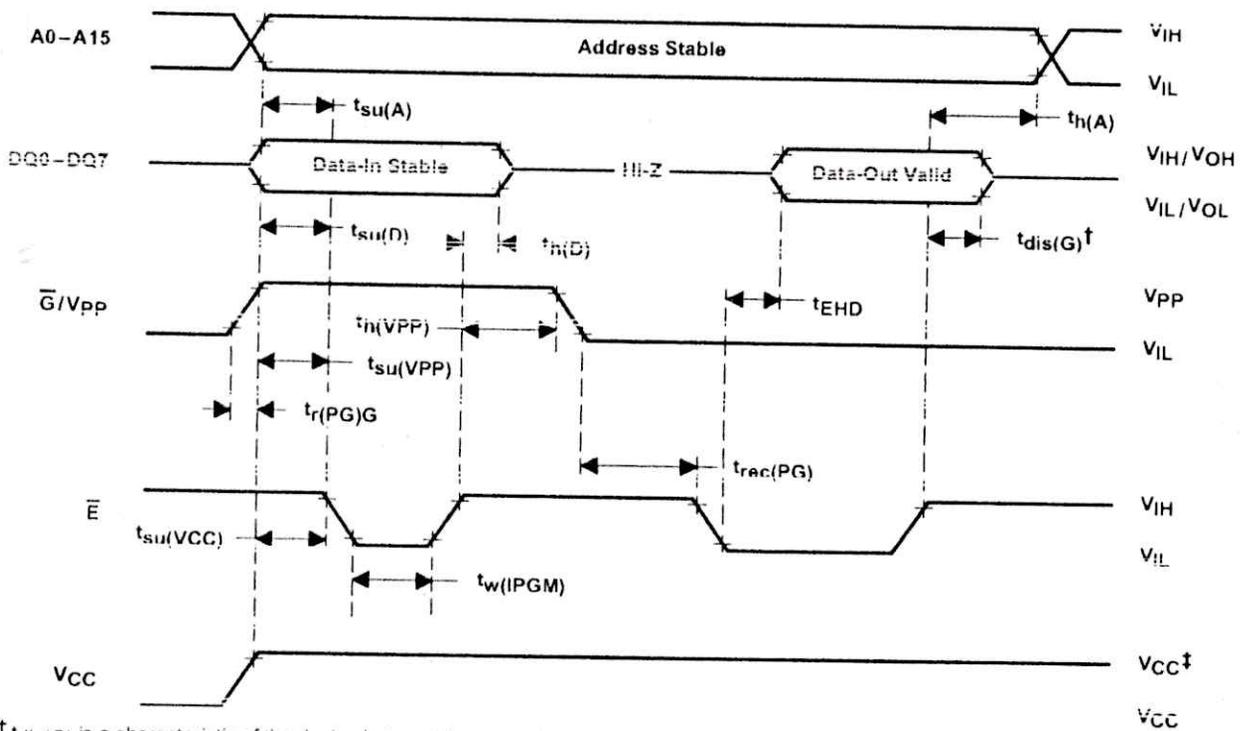


Figure 3. Read-Cycle Timing



$^\dagger t_{dis(G)}$  is a characteristic of the device but must be accommodated by the programmer.

$^\ddagger$  13-V  $\bar{G}/V_{pp}$  and 6.5-V  $V_{CC}$  for SNAP! Pulse programming.

Figure 4. Program-Cycle Timing (SNAP! Pulse Programming)

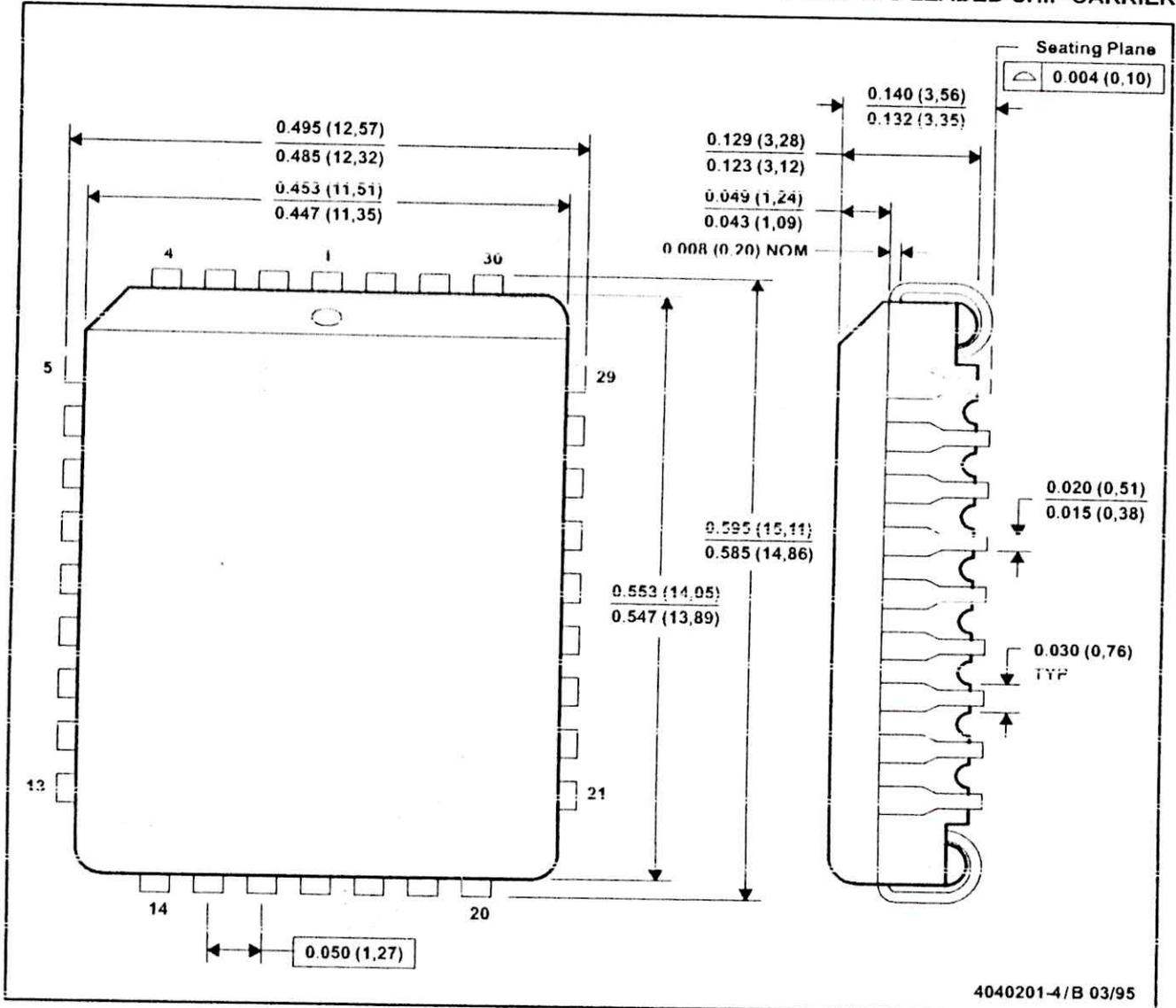


POST OFFICE BOX 1443 • HOUSTON, TEXAS 77251-1443

TMS27C512 65536 BY 8-BIT UV ERASABLE  
 TMS27PC512 65536 BY 8-BIT  
 PROGRAMMABLE READ-ONLY MEMORIES  
 SMLS512G - NOVEMBER 1985 - REVISED SEPTEMBER 1997

FM (R-PQCC-J32)

PLASTIC J-LEADED CHIP CARRIER



4040201-4/B 03/95

- NOTES: A. All linear dimensions are in inches (millimeters).  
 B. This drawing is subject to change without notice.  
 C. Falls within JEDEC MS-016



POST OFFICE BOX 1443 • HOUSTON, TEXAS 77251-1443

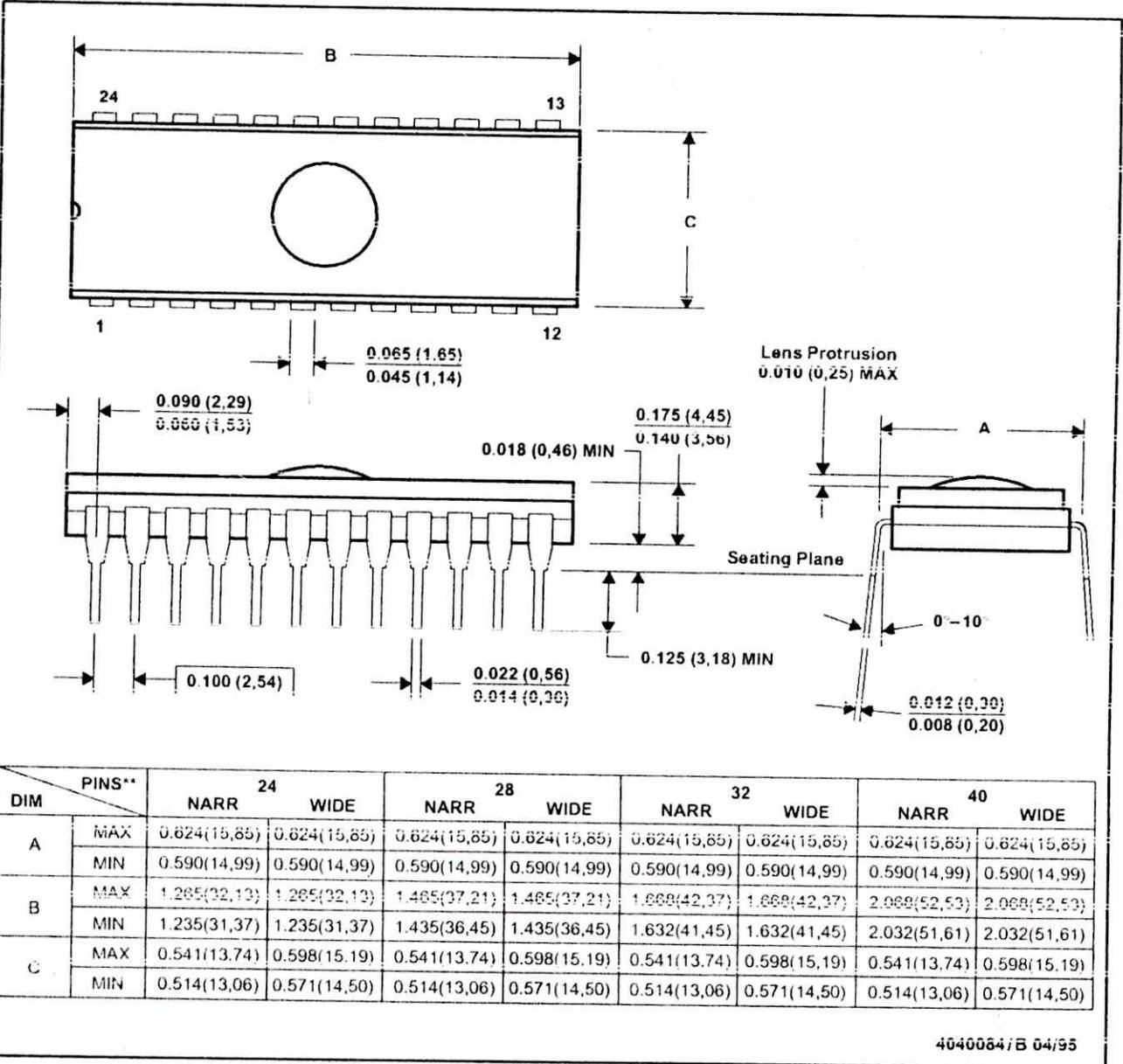
**TMS27C512 65536 BY 8-BIT UV ERASABLE  
TMS27PC512 65536 BY 8-BIT  
PROGRAMMABLE READ-ONLY MEMORIES**

SMLS512G - NOVEMBER 1985 - REVISED SEPTEMBER 1997

J (R-CDIP-T<sup>AA</sup>)

CERAMIC SIDE-BRAZE DUAL-IN-LINE PACKAGE

24 PIN SHOWN



- NOTES: A. All linear dimensions are in inches (millimeters).  
 B. This drawing is subject to change without notice.  
 C. This package can be hermetically sealed with a ceramic lid using glass frit.  
 D. Index point is provided on cap for terminal identification only on press ceramic glass frit seal only.



POST OFFICE BOX 1443 • HOUSTON, TEXAS 77251-1443

#### IMPORTANT NOTICE

Texas Instruments and its subsidiaries (TI) reserve the right to make changes to their products or to discontinue any product or service without notice, and advise customers to obtain the latest version of relevant information to verify, before placing orders, that information being relied on is current and complete. All products are sold subject to the terms and conditions of sale supplied at the time of order acknowledgement, including those pertaining to warranty, patent infringement, and limitation of liability.

TI warrants performance of its semiconductor products to the specifications applicable at the time of sale in accordance with TI's standard warranty. Testing and other quality control techniques are utilized to the extent TI deems necessary to support this warranty. Specific testing of all parameters of each device is not necessarily performed, except those mandated by government requirements.

CERTAIN APPLICATIONS USING SEMICONDUCTOR PRODUCTS MAY INVOLVE POTENTIAL RISKS OF DEATH, PERSONAL INJURY, OR SEVERE PROPERTY OR ENVIRONMENTAL DAMAGE ("CRITICAL APPLICATIONS"). TI SEMICONDUCTOR PRODUCTS ARE NOT DESIGNED, AUTHORIZED, OR WARRANTED TO BE SUITABLE FOR USE IN LIFE-SUPPORT DEVICES OR SYSTEMS OR OTHER CRITICAL APPLICATIONS. INCLUSION OF TI PRODUCTS IN SUCH APPLICATIONS IS UNDERSTOOD TO BE FULLY AT THE CUSTOMER'S RISK.

In order to minimize risks associated with the customer's applications, adequate design and operating safeguards must be provided by the customer to minimize inherent or procedural hazards.

TI assumes no liability for applications assistance or customer product design. TI does not warrant or represent that any license, either express or implied, is granted under any patent right, copyright, mask work right, or other intellectual property right of TI covering or relating to any combination, machine, or process in which such semiconductor products or services might be or are used. TI's publication of information regarding any third party's products or services does not constitute TI's approval, warranty or endorsement thereof.

# Bibliographie

1. -électronique pratique N183 juin /juillet 2000
2. -Laib Aziz réalisation des circuits imprimés EMP février 1998 .
3. -architecture des ordinateurs PGF Fontolliet 1985
4. électronique numérique P. ROBERT 1986
5. guide de technicien en électronique
6. Mecanrma electronic equipments pour circuit imprimés édition premelec.
7. -[www.google.com](http://www.google.com)
8. [www.yahoo.fr](http://www.yahoo.fr)