

الجمهورية الجزائرية الديمقراطية الشعبية  
République Algérienne démocratique et populaire

وزارة التعليم العالي والبحث العلمي  
Ministère de l'enseignement supérieur et de la recherche scientifique

جامعة سعد دحلب البليدة  
Université SAAD DAHLAB de BLIDA

كلية التكنولوجيا  
Faculté de Technologie

قسم الإلكترونيك  
Département d'Électronique



## Mémoire de Master

Filière Électronique  
Spécialité Microélectronique

Présenté par :

ANANAE Walid

&

TERRANTI Lyes

# Etude et simulation d'une RAM 4x4 bits

Proposé par :

Mr.NACER SAID

Année Universitaire 2020-2021

## Remerciements

---

Tout d'abord, nous remercions Allah d'avoir terminé le projet de fin d'étude.

Nous tenons également à remercier nos parents pour toute l'aide qu'ils nous ont apportée pour notre succès dans cursus universitaire.

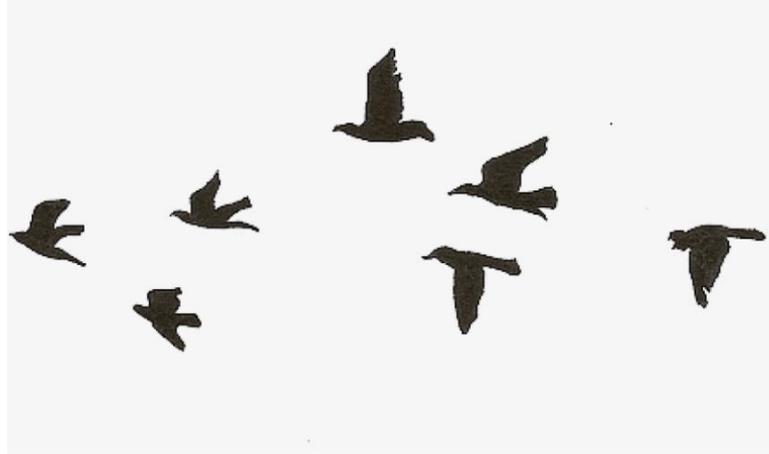
Nos remerciements vont également à tous les enseignants de L'Université SAAD DAHLEB BLIDA et particulièrement à ceux du département de Génie Electrique.

Aussi, nous adressons et en particulier, nos vifs remerciements les plus chaleureux à notre promoteur **Mr. NACER SAID** enseignant chercheur à l'université de blida 1, pour nous avoir encadré et nous donner de précieux conseils qui nous ont tant aidés.

Nos remercions les membres de jury qui nous feront l'honneur de juger ce travail.

# Dédicace

---



*Je dédie mon projet de fin d'étude, à mes **chers parents** que dieu leurs procure bonne santé et longue vie.*

*A mes **frères***

*A mes **sœurs***

*A mes **amis***

*A toute ma famille*

*A mon binôme **Tirranti Lyes***

*A tous ceux qui ont contribués, de près ou de loin pour que ce projet soit possible, je les dis merci.*

***Anane walid***

# Dédicace

---



*Je dédie mon projet de fin d'étude a :*

*A ma famille, elle qui ma dote d'une éducation digne ; son amour a fait de moi ce que je suis aujourd'hui*

*Particulièrement mon père, pour le gout de l'effort qu'il a suscité en moi, de par sa rigueur*

*A ma chère mère, tes prières mont toujours accompagné pour accomplissement de ce travail*

*A mes sœurs qui m'avez toujours soutenu et encouragé durant ces années d'études*

*je dédie aussi ce mémoire à mon binôme et tous mes amis dans l'université*

**Terranti Lyes**

---

## ملخص:

يتطلب التعقيد في التطبيقات المعالجة للبيانات في أجهزة الكمبيوتر المزيد والمزيد من الذاكرة حتى يعمل النظام ، لذلك هناك طلب جيد على ذاكرات ذات سعة كبيرة و كفاءة أعلى . من المرغوب أكثر أن تكون ذاكرات الكمبيوتر أكثر كفاءة وأقل تكلفة. أثبتت معالجة البيانات وتخزين الذاكرة الثابتة أنها مناسبة للعمليات التي تتطلب وقت وصول أقل. أحد هذه الأساليب للحفاظ على بيانات متقلبة هو مفهوم الذاكرت الثابتة بستة ترانزستور . في هذا المقال، سندرس التصميم الأساسي للذاكرة الثابتة المتقلبة أثناء وصف الخصائص المختلفة لذاكرة الكمبيوتر. ويعتمد العمل برنامج DSCH 3.5 Microwind 3.5 . و سنستخدم تصميم محاكاة للدوائر الكهربائية وكذلك النماذج. و نحن نتطلع أيضاً إلى ذاكرة 4x4 باستخدام خلية SRAM المقترحة التي تتطلب ستة ترانزستورات فقط مقارنة بالتصاميم التي تستخدم بوابات منطقية أقل كفاءة وتشغل مساحة أكبر لأنها تتطلب عدداً أكبر من الترانزستورات.

**كلمات المفاتيح:** للذاكرة الثابتة. ; النماذج. ; بوابات منطقية. ; ترانزستور

---

**Résumé :** La complexité des applications de traitement de données dans les ordinateurs nécessite de plus en plus de mémoire pour que le système fonctionne, il y a donc une bonne demande pour des mémoires de grandes capacités avec une efficacité plus élevée. Il est plus souhaitable que les mémoires informatiques soient plus efficaces et coûtent moins cher. Le traitement des données ainsi que le stockage en mémoire statique se sont avérés adaptés aux opérations nécessitant un temps d'accès réduit. Une telle approche de la conservation des données volatiles est le concept des mémoires statiques à six transistors.

Dans ce projet, nous étudions la conception de base de la mémoire statique volatile tout en décrivant les différentes propriétés de la mémoire informatique. Le travail est basé sur les outils DSCH 3.5 et Microwind 3.5. Nous utilisons une conception simulée pour les circuits électrique ainsi que les masques, nous étudions également une mémoire 4X4 en utilisant notre cellule SRAM proposée qui ne nécessite que six transistors par rapport aux conceptions utilisant des portes logiques qui sont moins efficaces et prennent plus de place car elles nécessitent un nombre de transistors plus élevé.

**Mots clés :** Mémoire statique .; Masques .; Portes logiques ; Transistors

---

**Abstract:** the complexity of data processing applications in computers requires more and more memory for the system to work with, thus there is a huge demand for higher capacities memories with higher efficiency. It is more desirable that computer memories to be more efficient & costs less. The Processing of data along with Static memory storage has proved to suitable for operations that requires low access time. One such approach to volatile data retention is the concept of a six transistor static memories.

In this project, we study the basic design of volatile Static memory while outlining the different properties of the computer memory. The work is based on DSCH 3.5 and Microwind 3.5 tools. We use a simulated design for the circuits as well as the layouts, we also study a 4X4 memory using our proposed SRAM cell that requires only six transistors compared to designs using logic gates which are less efficient and take up more space because they require a higher number of transistors.

**Keywords:** Static memory; Layout; Logic gates; transistors

---

# Table des matières

Remerciements	
Dédicace	
Résumé	
Listes des acronymes et abréviations	
Introduction générale .....	01
Chapitre 1 : Le transistor MOS.....	03
1.1. Introduction.....	03
1.2. Transistor MOS.....	03
1.2.1. Définition.....	03
1.3. Le transistor CMOS.....	04
1.3.1. Définition.....	04
1.4. Principe de fonctionnement du transistor MOS.....	05
1.4.1. Le phénomène d'effet de champ dans un semi-conducteur.....	05
1.4.2. La conception de fonctionnalité de base.....	06
1.4.3. Fonctionnement du transistor MOS.....	07
1.4.4. Fonctionnement de la structure CMOS.....	08
1.5. Fabrication des Dispositifs CMOS.....	08
1.5.1. Les méthodes de fabrication des dispositifs CMOS.....	08
1.5.2. Etapes de fabrication CMOS utilisant la technologie N-well.....	09
1.5.3. Fabrication de CMOS utilisant la technologie P-well.....	16
1.6. Les circuits intégrés.....	16
1.6.1. Définition et catégories de circuit intégré.....	16
1.6.2. Classes d'intégrations.....	16
1.6.3. Limitation pour différents types de circuits intégrés.....	17
1.7. Les portes logiques.....	17
1.7.1. Composition des portes logiques.....	17
1.7.2. Principes de fonctionnement de base des portes logiques.....	18
1.7.3. Porte ET (AND).....	18
1.7.4. Porte OU (OR).....	19
1.7.5. Porte NON (NOT).....	20
1.7.6. Porte NON-ET (NAND).....	21
1.7.7. Porte NON-OU (NOR).....	21
1.7.8. Porte OU exclusif (XOR).....	22
1.7.9. Porte non OU exclusif (XNOR).....	23
1.8. Conclusion.....	24
Chapitre 2 : Les mémoires.....	25
2.1. Introduction.....	25
2.2. Catégories de mémoire semiconducteur.....	25
2.2.1. Primaire.....	26
2.2.2. Secondaire.....	27

2.2.3. Les Différences entre la mémoire primaire et secondaire.....	27
2.3. Types de Mémoire primaire.....	28
2.3.1. Mémoire volatile (RAM).....	28
2.3.2. Mémoire non-volatile (ROM).....	29
2.3.3. La conception de stockage non-volatile.....	29
2.4. Types de mémoire volatile RAM.....	29
2.4.1. RAM dynamique (DRAM).....	30
2.4.2. RAM statique ou SRAM.....	31
2.5. La Cellule mémoire de base.....	32
2.5.1. Structure de cellule SRAM.....	32
2.5.2. Principe de fonctionnement de la cellule SRAM 6T.....	33
2.6. Matrice de RAM 4x4.....	34
2.6.1. Schéma électronique de Matrice.....	34
2.6.2. Principe de fonctionnement.....	35
2.7. Caractéristiques techniques de la RAM.....	36
2.8. Conclusion.....	37
Chapitre 3 : Simulations.....	38
3.1. Introduction.....	38
3.2. Présentation du logiciel Microwind.....	38
3.3. Transistor MOS et inverseur CMOS sous Microwind.....	39
3.3.1. Analyse des Transistor NMOS et PMOS.....	39
3.3.2. Simulation des Transistor NMOS et PMOS.....	40
3.3.3. Analyse de design d'inverseur CMOS.....	42
3.3.4. Simulation d'inverseur CMOS.....	43
3.4. Implémentation d'une cellule SRAM sur Microwind.....	44
3.4.1. Traduction du schéma électrique DSCH au Masque.....	44
3.4.2. Simulation d'une cellule SRAM.....	45
3.5. Implémentation de matrice RAM 4x4 sur Microwind.....	46
3.5.1. Présentation du masque de la matrice.....	46
3.5.2. Test de fonctionnement de la matrice RAM 4x4.....	47
3.6. Conceptions des multiplexeurs de contrôle dans DSCH.....	48
3.6.1. Circuit Sélection des WordLines.....	49
3.6.2. Circuit Sélection des BitLine.....	49
3.7. Conclusion.....	50

# Liste des figures

<b>Chapitre 1</b> .....	03
Fig.1.1. Schéma d'un transistor MOS.....	04
Fig.1.2. Structure de base d'un CMOS qui contient les 2 MOSFET type N et Type P.....	04
Fig.1.3. Schéma de base du transistor MOS.....	05
Fig.1.4. Représentation du fonctionnement du transistor MOS.....	05
Fig.1.5. Conception de NMOS et de PMOS.....	06
Fig.1.6. Représentation du fonctionnement du MOSFET.....	07
Fig.1.7. Inverseur CMOS de base.....	08
Fig.1.8. Schéma représentant la structure finale des technologie P-well et N-well.....	09
Fig.1.9. Le substrat.....	09
Fig.1.10. La déposition de $\text{SiO}_2$ .....	09
Fig.1.11. Croissance de photorésistance.....	10
Fig.1.12. Présentation du masque.....	10
Fig.1.13. Retrait de la résine photorésist.....	10
Fig.1.14. La gravure.....	11
Fig.1.15. Retrait de la couche de résine photorésist.....	11
Fig.1.16. Formation de N-well.....	11
Fig.1.17. Élimination du $\text{SiO}_2$ .....	12
Fig.1.18. Dépôt de polysilicium.....	12
Fig.1.19. Formation de la région de grille.....	12
Fig.1.20. Processus d'oxydation.....	13
Fig.1.21. Le Masquage.....	13
Fig.1.22. Diffusion type N.....	13
Fig.1.23. Élimination de l'oxyde.....	14
Fig.1.24. Diffusion type P.....	14
Fig.1.25. Une couche d'un champ d'oxyde épais.....	14
Fig.1.26. La Métallisation.....	15
Fig.1.27. Formation des bornes.....	15
Fig.1.28. Attribution des noms des bornes.....	15
Fig.1.29. Circuit CMOS de la porte AND.....	19
Fig.1.30. Circuit CMOS de la porte OR.....	20
Fig.1.31. Circuit CMOS de la porte NOT.....	20
Fig.1.32. Circuit CMOS de la porte NAND.....	21
Fig.1.33. Circuit CMOS de la porte NOR.....	22
Fig.1.34. Schéma de circuit équivalent de la porte XOR.....	23
<b>Chapitre 2</b> .....	25
Fig.2.1. Diagramme de catégories de mémoire en général.....	26
Fig.2.2. Diagramme de catégorie de mémoire primaire.....	26

Fig.2.3. Diagramme de catégories de mémoire secondaire.....	27
Fig.2.4. Exemples des cellules mémoires volatiles.....	28
Fig.2.5. Schéma de la mémoire non volatile avec le concept de la grille flottante.....	29
Fig.2.6. Structure d'une cellule DRAM.....	30
Fig.2.7. Structure d'une cellule SRAM.....	31
Fig.2.8. Représentation d'une cellule de SRAM à 6 transistors MOS.....	32
Fig.2.9. Diagram de matrice RAM 4x4.....	34
<b>Chapitre 3</b> .....	<b>38</b>
Fig.3.1. Interface du logiciel Microwind.....	39
Fig.3.2. Conception de transistor NMOS et PMOS sous Microwind.....	40
Fig.3.3. Paramètres de simulation.....	41
Fig.3.4. Simulation du comportement NMOS et PMOS.....	42
Fig.3.5. Design de masque d'inverseur CMOS (porte NON) sur Microwind.....	43
Fig.3.6. Simulation d'un inverseur CMOS (Porte NON).....	43
Fig.3.7. Layout de la cellule SRAM en 2D.....	45
Fig.3.8. Layout de la cellule SRAM en 3D.....	45
Fig.3.9. Simulation de la cellule SRAM sur Microwind.....	46
Fig.3.10. Masque de la Matrice 4x4.....	47
Fig.3.11. Simulation de fonctionnement de la matrice 4x4.....	48
Fig.3.12. Circuit de Sélection des lignes.....	49
Fig.3.13. Circuit de Sélection des colonnes.....	50

# Liste des tableaux

<b>Chapitre 1</b> .....	03
Tableau.1.1. Tableau de vérité de la porte AND.....	18
Tableau.1.2. Tableau de vérité de la porte OR.....	19
Tableau.1.3. Tableau de vérité de la porte NOT.....	20
Tableau.1.4. Tableau de vérité de la porte NAND.....	21
Tableau.1.5. Tableau de vérité de la porte NOR.....	22
Tableau.1.6. Tableau de vérité de la porte XOR.....	22
Tableau.1.7. Tableau de vérité de la porte XNOR.....	23
<b>Chapitre 2</b> .....	25
Tableau.2.1. Adressage des bits dans une RAM 4x4.....	35

## Listes des acronymes et abréviations

---

**MOS:** Metal Oxide Semiconductor

**CMOS:** Complementary Metal Oxide Semiconductor

**NMOS:** Negative-channel Metal Oxide Semiconductor

**PMOS:** Positive-channel Metal Oxide Semiconductor

**MOSFET:** Metal Oxide Semiconductor Field Effect Transistor

**JFET :** Junction Field Effect Transistor

**SiO<sub>2</sub> :** Dioxyde de silicium

**H<sub>2</sub>SO<sub>4</sub> :** Acide sulfurique

**Si :** Silicium

**CI :** Circuit intégré

**FPGA :** Field Programmable Gate Arrays

**CPLD:** Complex Programmable Logic Device

**TTL:** Transistor Transistor logic

**CPU:** Central Processing Unit

**HDD:** Hard Disk Drive

**FDD:** Floppy Disk Drive

**USB:** Universal Serial Bus

**SSD:** Solid State Drive

**CD:** Compact Disc

**DVD:** Digital Video Disk

**BRD:** Blu Ray Disc

**HVD:** Holographic Versatile Disc

**RAM:** Random Access Memory

**DRAM:** Dynamic Random-Access Memory

**ROM:** Read-Only Memory

**WL:** Word Line

**BL:** Bit Line

**Vdd:** tension d'alimentation

**Vss :** Borne négative de l'alimentation

# Introduction générale

---

La RAM est un composant informatique utilisé par le système d'exploitation, les programmes et les données en cours d'utilisation y sont conservés afin qu'ils puissent être rapidement traités par le processeur de l'appareil. La RAM est la mémoire principale d'un ordinateur, elle permet d'écrire et de lire beaucoup plus rapidement que certains autres types de stockage, tels qu'un disque dur ainsi qu'un lecteur optique.

L'opposé de la RAM est SAM (mémoire à accès série). La mémoire à accès série stocke les données sous la forme d'une série de cellules mémoire accessibles uniquement de manière séquentielle. Si les données ne se trouvent pas à l'emplacement actuel, chaque cellule de mémoire est vérifiée jusqu'à ce que les données nécessaires soient trouvées. Ce type de mémoire fonctionne très bien pour les tampons mémoire, où les données sont normalement stockées dans l'ordre dans lequel elles seront utilisées. Les données RAM, quant à elles, sont accessibles dans n'importe quel ordre.

Semblable à un microprocesseur, une puce mémoire est un circuit intégré composé de millions de transistors et de condensateurs. Dans la forme la plus courante de mémoire informatique utilisée qui est la mémoire vive dynamique, un transistor ainsi qu'un condensateur sont appariés pour créer une cellule de ce type de mémoire. La mémoire vive Statique qui est également une forme courante de mémoire que nous utilisons nécessite seulement l'utilisation de transistors pour réaliser la cellule qui représente un seul bit de données.

La mémoire vive est volatile, cela signifie que les données sont conservées dans la RAM tant que l'ordinateur est allumé, mais qu'elles seront perdues lorsque l'ordinateur sera éteint. Lorsque l'ordinateur redémarre, le système d'exploitation et les autres fichiers sont rechargés dans la RAM, généralement à partir d'un disque dur ou d'un SSD.

Dans le premier chapitre de cet article, nous étudions les composants de base qui sont utilisés pour réaliser des circuits intégrés tels que la mémoire, nous mettons en évidence aussi les définitions et les conceptions de circuits de ces composants ainsi que leurs fonctionnalités de base. Ensuite dans le deuxième chapitre, nous passons en revue la mémoire électronique en général et nous parlons de ses caractéristiques, des différents types de mémoires et les différences entre elles. De plus, dans ce chapitre, nous présentons les conceptions de circuits électroniques de notre cellule mémoire et du

notre bloc mémoire à tester, tout en expliquant leur fonctionnement. Enfin dans le troisième chapitre, nous présentons les concepts de masque pour la RAM et ses composants, puis nous simulons leur utilisation en temps réel à l'aide du logiciel Microwind afin d'étudier la fonctionnalité des conceptions du blocs de mémoires proposées.

# Chapitre 1 Le Transistor MOS

---

## 1.1 Introduction

Les idées des premières expériences ratées de Lilienfeld et Heil et Shockley ont finalement porté leurs fruits en 1959 lorsque travaillant pour l'ingénieur égyptien Martin M. (John) Atalla sur l'étude des surfaces semi-conductrices aux Bell Labs, L'ingénieur électricien coréen Dawon Kahng a construit le premier transistor à effet de champ (FET) réussi comprenant un sandwich de couches de métal, d'oxyde et de silicium. Le MOSFET, communément abrégé en MOS, promettait un transistor beaucoup plus petit, moins cher et moins puissant. Aujourd'hui le transistor MOS constitue, par sa simplicité de fabrication et ses petites dimensions, l'élément fondamental des circuits intégrés numériques à large échelle [1].

Dans ce chapitre, nous étudions le transistor, puisque c'est le composant essentiel dans la fabrication des circuits intégrés, ainsi que les portes logiques et leur circuit équivalent réalisé avec les transistors.

## 1.2 Transistor MOS

### 1.2.1 Définition

Un transistor MOS est un dispositif semi-conducteur utilisé pour transformer les informations numériques codées dans le système binaire en signaux électriques, il se compose d'un « canal » dans lequel circule le courant électrique entre la source du semi-conducteur et son drain et d'une « grille » pour gérer le courant électrique circulant dans le canal. La porte génère des données de système binaire en amplifiant les signaux électriques et en fonctionnant également comme un interrupteur. Pour cette raison, le transistor est essentiellement le bloc de construction de base d'une puce semi-conductrice.

Le transistor le plus largement utilisé dans l'industrie des semi-conducteurs d'aujourd'hui est le transistor à oxyde métallique (MOS). Il se compose d'une électrode métallique, d'un isolant en oxyde et d'un canal semi-conducteur. [2].

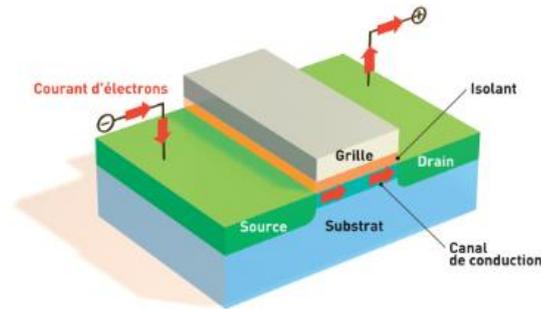


Fig.1.1. Schéma d'un transistor MOS [3]

### 1.3 Le transistor CMOS

Dans la conception de base d'une cellule RAM, il est plus généralement basé sur la technologie CMOS plutôt que sur la technologie de porte logique en raison de l'efficacité fournie par la moindre complexité de la conception CMOS.

#### 1.3.1 Définition

Le terme transistor à oxyde métallique complémentaire (CMOS) est devenu partiellement impropre car la couche diélectrique qui sépare la grille et la source est désormais rarement un oxyde métallique.

CMOS fait référence à des paires de MOSFET dans des configurations symétriques, qui à leur tour sont des FET légèrement modifiés. Les circuits CMOS sont devenus de loin les semi-conducteurs les plus nombreux sur terre.

Ce qui rend les dispositifs CMOS précieux dans les équipements électroniques, c'est qu'ils sont peu coûteux, qu'ils consomment (et dissipent) de l'énergie uniquement pendant de brèves transitions de commutation et qu'ils présentent une immunité au bruit exceptionnelle.

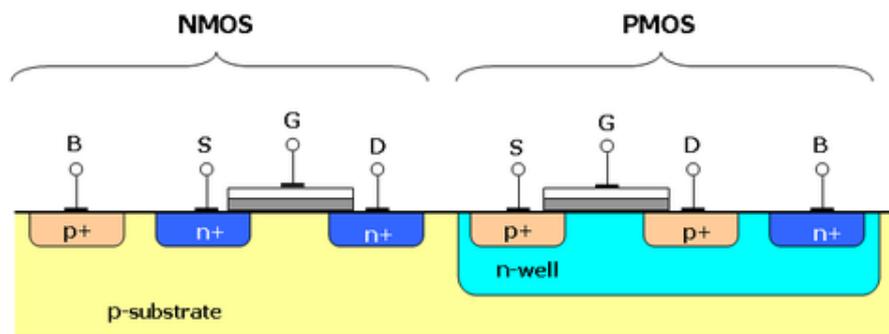


Fig.1.2. Structure de base d'un CMOS qui contient les 2 MOSFET type N et Type P [4]

## 1.4 Principe de fonctionnement du transistor MOS

La conception d'un transistor MOS est assez basique par rapport aux autres conceptions fonctionnelles des dispositifs semi-conducteurs. Il suit le schéma de circuit typique représenté sur la figure 1.3

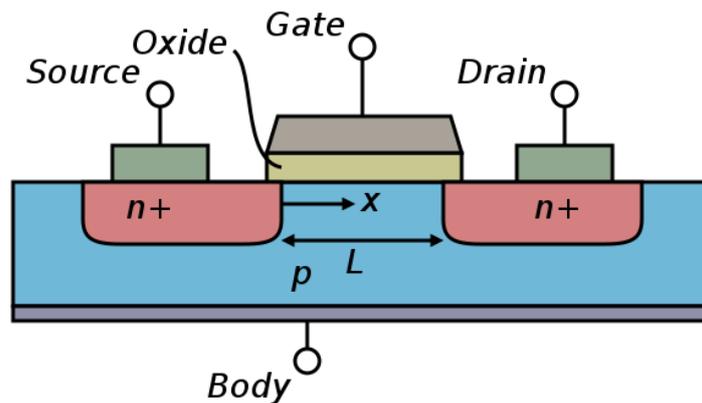


Fig.1.3. Schéma de base du transistor MOS [5]

### 1.4.1 Le phénomène d'effet de champ dans un semi-conducteur

Dans le cas d'un semi-conducteur dopé P dont le substrat contient plus de trous que d'électrons. Cela signifie qu'il est très sensible à une amélioration électrique du type opposé, dans ce cas le type N qui signifie électrons

Ainsi, en appliquant une tension à travers une région isolante, une force électromagnétique est créée à la surface de la région de contact repoussant les trous libres laissant des ions fixes négatifs. Cette zone dans le substrat est ce qu'on appelle un canal dans un transistor MOSFET.

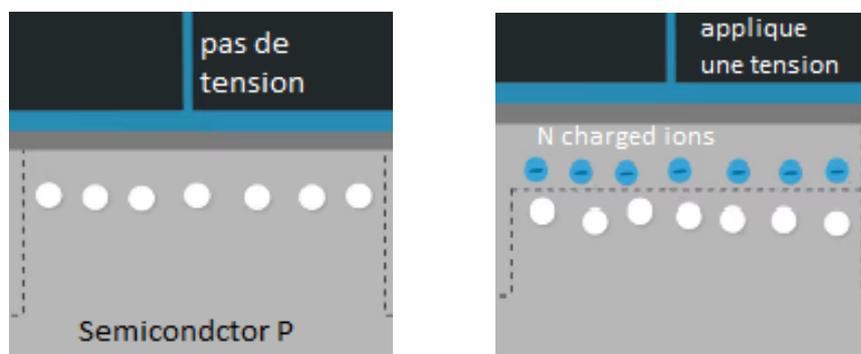


Fig.1.4. Représentation du fonctionnement du transistor MOS

## 1.4.2 La conception de fonctionnalité de base

Puisque le transistor utilise le phénomène de semi-conducteur à effet de champ, il est aussi comme les autres types de FET transistor construit avec les trois bornes habituelles : Source - Drain - Gâte (la grille)

La source et le drain sont tous deux connectés aux deux faces fortement dopées. Ils agissent comme une passerelle pour le passage du courant électrique à travers le transistor.

Le substrat de base du semi-conducteur de type P ou N sert de base pour le MOSFET. Il est également recouvert avec une couche de dioxyde de silicium qui fonctionne comme un isolant

La borne de grille est connectée à l'espace entre les deux régions dopées, bien qu'il soit connecté par une plaque métallique qui agit comme une plaque de condensateur qui repose sur le dioxyde de silicium.

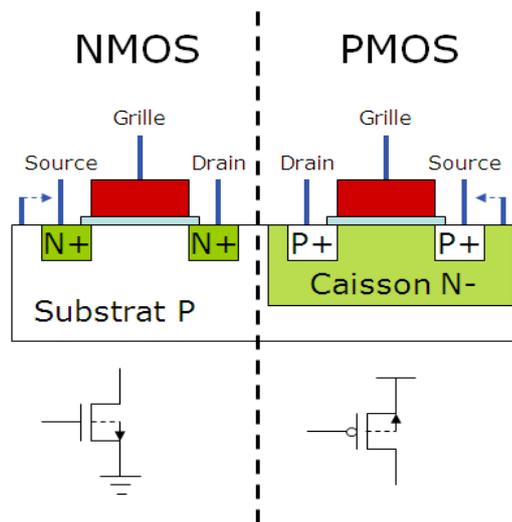


Fig.1.5. Conception de NMOS et de PMOS

- **La plaque condensateur Métallique**

La construction et la fonction de la borne de grille nécessitent qu'une plaque métallique agisse comme un condensateur afin d'aider à stocker et à maintenir une charge opposée de l'autre côté de l'isolant.

Lorsqu'une tension est appliquée à la plaque, un courant électrique circule en chargeant t avec une charge positive par rapport à la tension d'alimentation et la surface de contact du semi-conducteur agit comme une autre plaque avec une charge négative égale et opposée.

### 1.4.3 Fonctionnement du transistor MOS

Dans une configuration MOSFET, la zone physique du semi-conducteur qui est créée par l'Effet de champ ou le canal, est définie entre les deux zones fortement dopées connectées à la source et au drain.

En appliquant une tension supplémentaire à la grille ( **$V_{gs}$** ), une couche d'inversion d'électrons commence à se former à la source.

Lorsque la tension augmente, la couche d'inversion se dilate vers le drain. Cependant, tant que la tension est inférieure au seuil ( **$V_t$** ), les porteurs libres ne se connectent pas de la source au drain, et donc pas de courant de charge qui circule entre le drain et la source et le transistor MOSFET est à l'état bloqué

Lorsque la tension de grille dépasse la tension de seuil, les électrons commencent à circuler à travers la couche d'inversion formée qui relie maintenant les régions de source et de drain. Le MOSFET fonctionne maintenant dans un état linéaire.

Cela s'agit de la conception de base d'un transistor de type enrichissement où l'augmentation de la tension de grille agit comme une amélioration de la conductivité du canal.

Par contre les MOSFET de type déplétion repose sur l'effet de champ pour créer un peu de pincement dans le canal de conductivité qui a été pré-créé dans le processus de fabrication

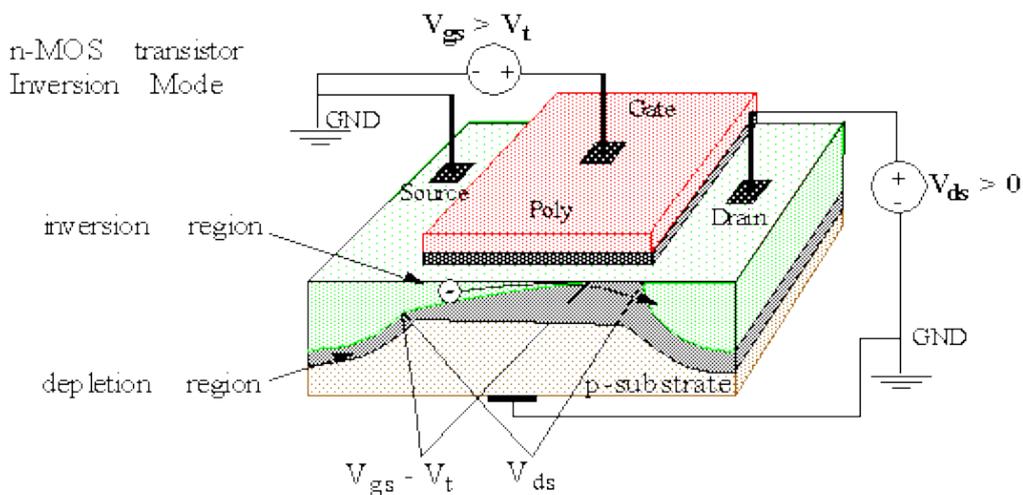


Fig.1.6. Représentation de fonctionnement du MOSFET

## 1.4.4 Fonctionnement de la structure CMOS

Dans la structure CMOS, une collection de MOSFET de type n est disposée dans un réseau déroulant entre la sortie et le rail d'alimentation basse tension  $V_{ss}$ .

Au lieu de la résistance de charge des portes logiques NMOS, les portes logiques CMOS ont une collection de MOSFET de type P dans un réseau pull-up entre la sortie et le rail à plus haute tension  $V_{dd}$ .

Les MOSFET opposés fonctionnent de concert lorsque les deux grilles sont connectées ensemble et les deux drains sont connectés ensemble. Lorsque les deux grilles sont connectées à un potentiel élevé, le MOSFET de type N sera conducteur et le MOSFET de type P ne sera pas conducteur. Dans tous les cas, la tension à la grille détermine la résistance du canal.

Les sorties des MOSFET sont considérées comme complémentaires car lorsque l'entrée est basse, la sortie est haute et lorsque l'entrée est haute, la sortie est basse.

Et donc la combinaison de base à deux FET fonctionne comme un inverseur CMOS.

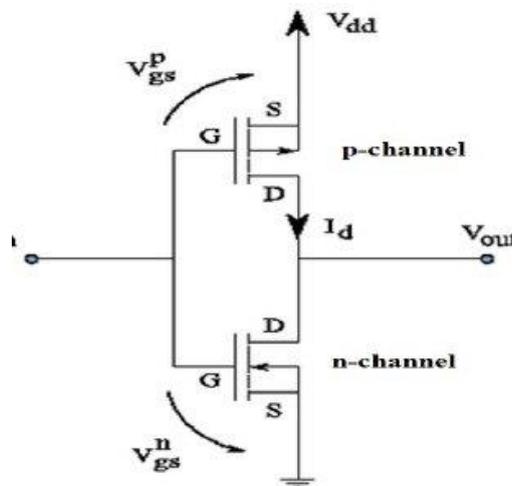


Fig.1.7. Inverseur CMOS de base

## 1.5 Fabrication des Dispositifs CMOS

### 1.5.1 Les méthodes de fabrication des dispositifs CMOS

1. **La technologie N-well et P-well**, où la diffusion de type n se fait sur un substrat de type p ou la diffusion de type p se fait sur un substrat de type n.
2. **La technologie Twin Well**, où les transistors NMOS et PMOS sont développés sur la plaquette par diffusion simultanée.

3. **Le processus de silicium sur isolant**, où au lieu d'utiliser du silicium comme substrat, un matériau isolant est utilisé pour améliorer la vitesse et la sensibilité au verrouillage.

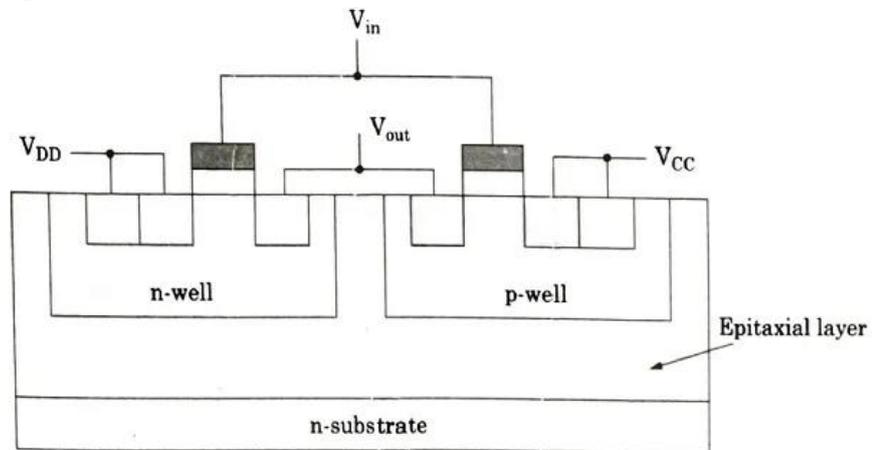


Fig.1.8. Schéma représentant la structure finale des technologies P-well et N-well

### 1.5.2 Etapes de fabrication CMOS utilisant la technologie N-well

**Etape 1 : substrat** : tous d'abord nous avons besoin d'un matériau de base, pour le N-well en utilisant un substrat de silicium type p.



Fig.1.9. Le substrat

**Etape 2 : Oxydation** : dans cette étape le  $\text{SiO}_2$  fonctionne comme une barrière pour protéger des portions de substrat contre la diffusion des impuretés,  $\text{SiO}_2$  est déposé par le processus d'oxydation où le substrat est exposé à une haute qualité d'oxygène et d'hydrogène dans une chambre d'oxydation de température environ de  $1000^\circ\text{C}$ .



Fig.1.10. La déposition de  $\text{SiO}_2$

**Etape 3 : Croissance de la photorésistance** : Pour permettre la gravure sélective, la couche de SiO<sub>2</sub> est soumise au processus de photolithographie, dans cette opération le substrat est recouvert avec une couche uniforme d'une émulsion photorésist.

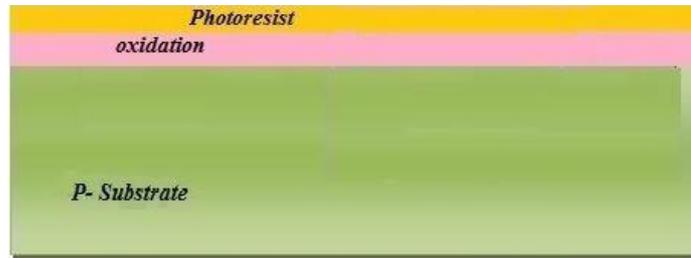


Fig.1.11. Croissance de photorésistance

**Etape 4 : Masquage** : cette étape est la suite de processus de photolithographie, un modèle est réalisé grâce à un pochoir utilisé comme un masque sur la résine photorésist, on ajoute une source de lumière exposée au masque, la résine présente sous les régions exposées du masque est polymérisée.

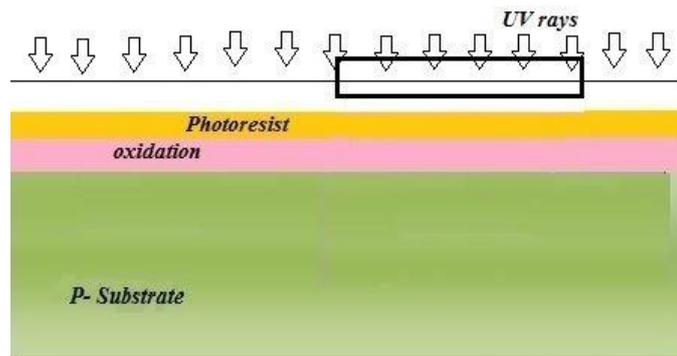


Fig.1.12. Présentation du masque

**Etape 5 : Retrait de la résine photorésistant non exposée** : dans cette étape on relève le masque, les portions de la résine photorésist qui ne sont pas exposées aux lumières se dissolvent en développant le substrat utilisant des produits chimiques tel que le trichloréthylène.



Fig.1.13. Retrait de la résine photorésist

**Etape 6 : la gravure** : le substrat immergé dans la solution d'acide fluorhydrique permet l'élimination de l'oxyde dans les zones ou les dopants doivent être diffusés.



Fig.1.14. La gravure

**Etape 7 : Retrait de la couche de résine photorésist** : pendant le processus de gravure les portions de  $\text{SiO}_2$  qui sont protégées par la couche de la résine photorésist ne sont pas gravées. Le masque est éliminé avec un solvant chimique ( $\text{H}_2\text{SO}_4$  chaud).

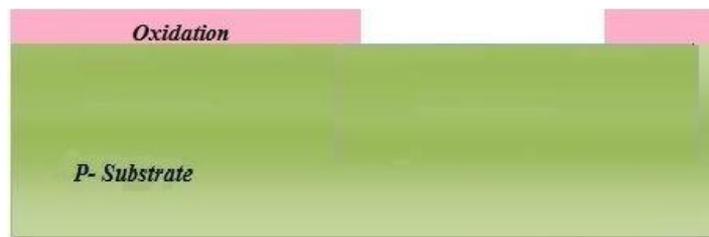


Fig.1.15. Retrait de la couche de résine photorésist

**Etape 8: Formation de N-well** : Les impuretés de type N sont diffusées dans le substrat de type P formant un N-well .

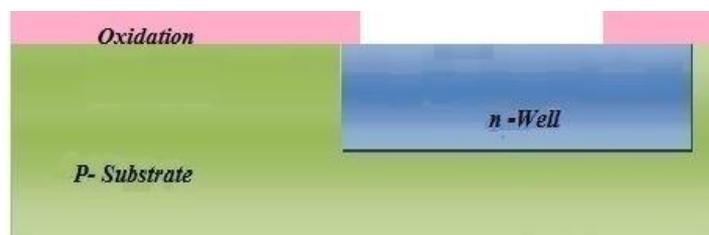


Fig.1.16. Formation de N-well

**Etape 9 Élimination du  $\text{SiO}_2$**  : dans cette étape la couche d'oxydant est éliminée en utilisant un acide fluorhydrique.



Fig.1.17. Élimination du SiO<sub>2</sub>

**Etape 10 : Déposition de polysilicium** : Le désalignement de la grille d'un transistor CMOS conduit à une capacitance indésirable qui peut endommager le circuit, donc de préférence les régions de grille sont formées avant la formation de la source et du drain en utilisant des implantations ioniques.

Le polysilicium est utilisé pour la formation de la grille à cause de sa grande résistance contre les températures très élevées supérieure à 8000°C où le substrat est soumis à des procédés de recuit pour la formation de la source et du drain. Le polysilicium est déposé en utilisant le procédé de dépôt chimique sur une couche d'oxyde de grille. Cette couche met fin au dopage supplémentaire sous la région de grille.

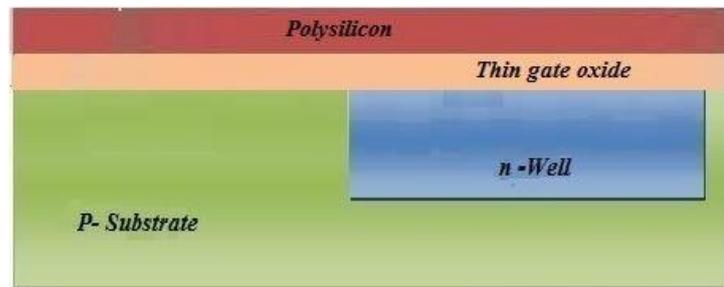


Fig.1.18. Dépôt de polysilicium

**Etape 11 : Formation de la région de grille** : les régions de polysilicium sont éliminées sauf les deux régions nécessaires à la formation des grilles pour les transistors NMOS et PMOS.

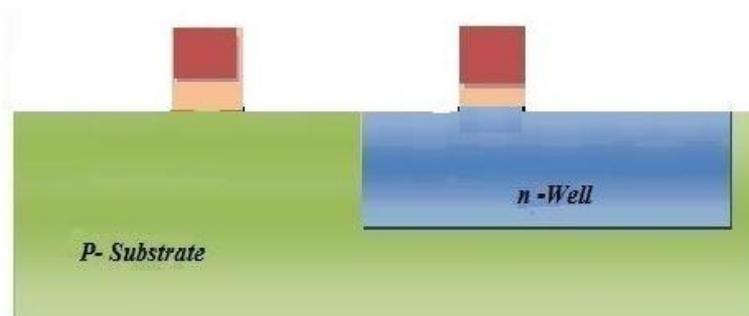


Fig.1.19. Formation de la région de grille

**Etape 12 Processus d'oxydation :** Une couche d'oxydation est déposée sur le substrat qui agit comme un bouclier pour des processus de diffusion et de métallisation supplémentaire.

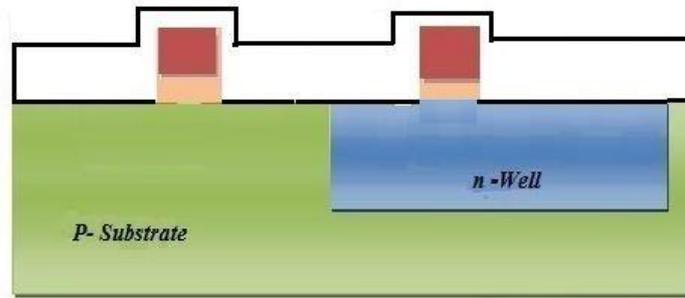


Fig.1.20. Processus d'oxydation

**Etape 13 le Masquage et la diffusion :** pour créer des régions pour la diffusion d'impuretés de type N et à l'aide d'un processus de masquage, des petits trous sont formés.

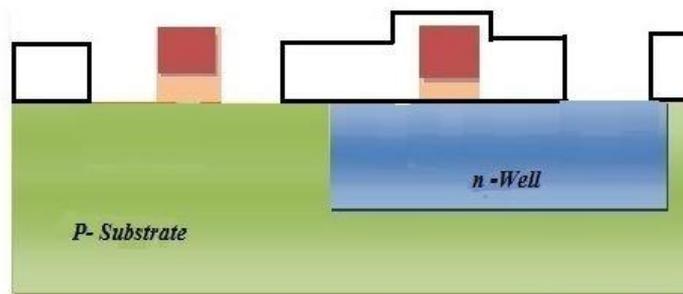


Fig.1.21. Le Masquage

En Utilisant le processus de diffusion, 3 régions de n+ sont développées pour la formation des bornes de NMOS.

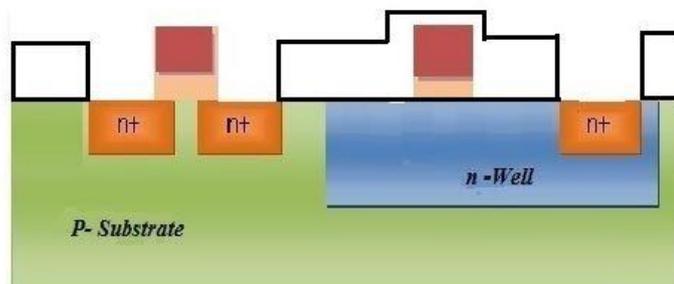


Fig.1.22. Diffusion type N

**Etape 14 Élimination de l'oxyde :** dans cette étape on élimine La couche d'oxyde.

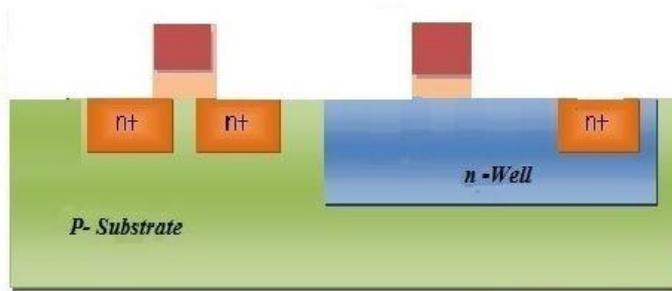


Fig.1.23. Élimination de l'oxyde

**Etape 15 Diffusion de type P** : en utilisant un même processus de diffusion de type N pour former les bornes de PMOS.

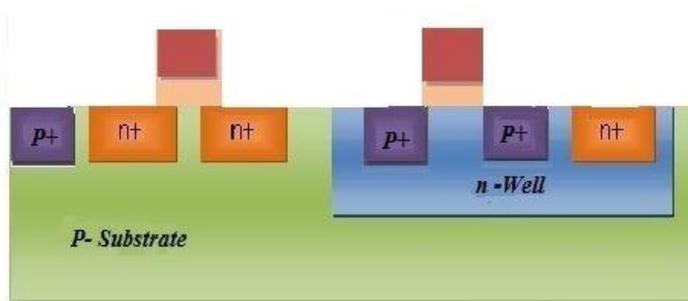


Fig.1.24. Diffusion type P

**Etape 16 le pose de d'un champ d'oxyde épais** : un champ d'oxyde est disposé pour former une couche protectrice pour les régions de substrat ou aucune des bornes sont formées.

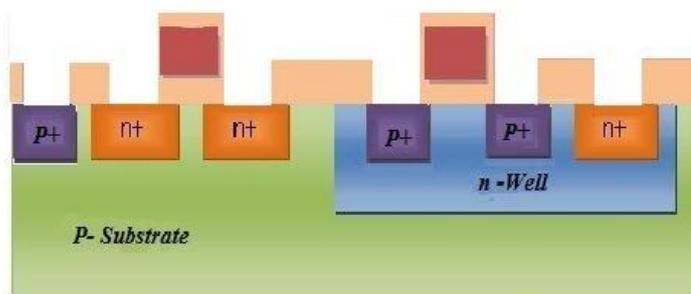


Fig.1.25. Une couche d'un champ d'oxyde épais

**Etape 17 la Métallisation** : dans cette étape L'aluminium est diffusé sur le substrat pour former les bornes métalliques qui peuvent fournir des interconnexions.

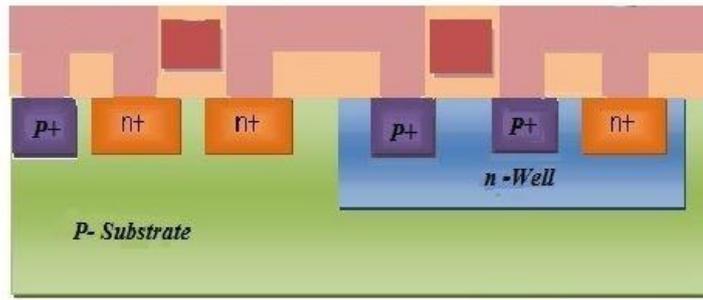


Fig.1.26. La Métallisation

**Etape 18 Élimination de l'excès de métal :** l'excès de métal est retiré du substrat.

**Etape 19 Formation des bornes :** Dans les trous formés après l'élimination de l'excès de métal, des bornes sont formées pour les interconnexions.

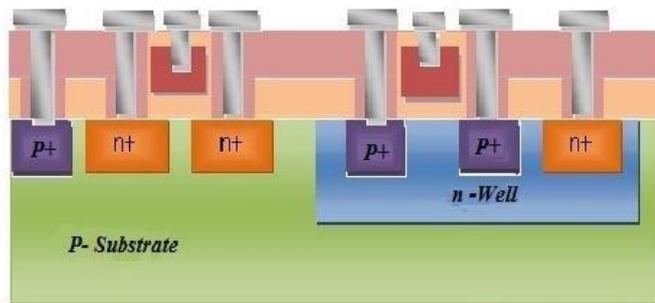


Fig.1.27. Formation des bornes

**Etape 20 Attribution des noms des bornes :** Des noms sont attribués aux bornes des transistors NMOS et PMOS

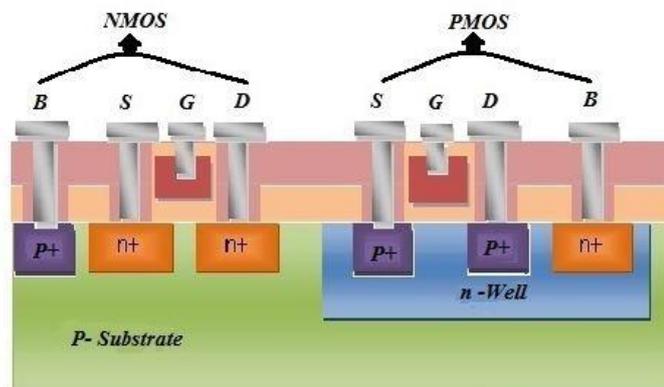


Fig.1.28. Attribution des noms des bornes

### 1.5.3 Fabrication de CMOS utilisant la technologie P-well

Le processus de P-well est similaire au processus de N-well. Ici un substrat de type n est utilisé et des diffusions de type p sont effectuées.

## 1.6 Les circuits intégrés

### 1.6.1 Définition et catégories de circuit intégré

Un circuit intégré, parfois appelé puce électronique, est un composant électronique constitué par un assemblage d'éléments électroniques, actifs et passifs, produisant une ou plusieurs fonctions électroniques plus ou moins complexes, fixés sur un cristal de semi-conducteur dans un volume très réduit, rendant le circuit facile à mettre en œuvre [6].

Il existe 2 grandes catégories de circuits intégrés : les circuits intégrés numériques et les circuits intégrés analogiques.

- **Circuit intégré numérique**

Des composants peuvent être des portes logiques telles que les portes (ET, OU, NAND, XOR) les bascules et les microprocesseurs, ces circuits fonctionnent avec des données binaires telles que 0 ou 1. Il existe des circuits intégrés dédiés à des applications spécifiques, notamment pour le traitement du signal (traitement d'image, compression vidéo...) on parle alors de processeur de signal numérique, une famille importante de circuits intégrés est celle des composants de logique programmable (FPGA, CPLD). Ces composants sont amenés à remplacer les portes logiques simples en raison de leur grande densité d'intégration [6].

- **Circuit intégré analogique**

Les plus simples peuvent être des transistors simples jusqu'à des assemblages complexes, pouvant réunir toutes les fonctions requises pour le fonctionnement d'un appareil dont il est le seul composant.

Les amplificateurs opérationnels sont des représentants de moyenne complexité de cette grande famille où l'on retrouve aussi des composants réservés à l'électronique haute fréquence et aux télécommunications [6].

### 1.6.2 Classes d'intégrations

Le degré d'intégration d'un circuit dépend du nombre d'équivalents transistors de tous les composants

Les microcircuits SSI (Small scale integration) : lorsque la puce possède moins d'une dizaine de transistors .

Les circuits intégrés MSI (medium scale integration) : contient quelques centaines de transistors environ 1000 transistors.

Les circuits LSI (large scale integration) : quelques milliers de transistors.

Les circuits VLSI (Very large scale integration): de 0.1 à 1 million transistors

Les circuits ULSI (ultra large scale integration) : est également utilisé pour les circuits comprenant plus d'un million de composants[7].

### 1.6.3 Limitation pour différents types de circuits intégrés

Malgré les avantages des circuits intégrés, ils présentent des limites :

- Puissance nominale limitée
- Ils fonctionnent à basse tension
- Un grade élevé de PNP n'est pas possible
- Ils produisent du bruit pendant le fonctionnement
- Les composants tels que les résistances et les condensateurs dépendent de la tension
- Ils sont délicats, puisqu'ils ne peuvent pas résister à une manipulation non prudente.

## 1.7 Les portes logiques

Les portes logiques sont les éléments de base de tout système numérique. C'est un circuit électronique ayant une ou plusieurs entrées et une seule sortie.

La relation entre l'entrée et la sortie est basée sur une certaine logique. Sur cette base, les portes logiques sont nommée porte ET, porte OU, porte NON, etc.

Les portes logiques numériques sont disponibles en deux familles de base ou formes :

- **TTL** qui signifie Transistor-Transistor Logic comme la série 7400,
- **CMOS** qui signifie Complémentaire Métal-Oxyde-Silicium qui est la série 4000 de circuit.

### 1.7.1 Composition des portes logiques

De manière générale, les circuits intégrés logiques TTL utilisent des transistors à jonction bipolaire de type NPN et PNP.

Par contre, les circuits intégrés logiques CMOS utilisent des Transistors à effet de champ de type MOSFET ou JFET pour leurs circuits d'entrée et de sortie.

Les portes logiques peuvent être constituées de résistances et de transistors ou de diodes. Une résistance peut généralement être utilisée comme résistance pull-up ou pull-down.

Les résistances pull-up et pull-down sont utilisées lorsqu'il y a des entrées de porte logique inutilisées pour se connecter à un niveau logique 1 ou 0. Cela empêche toute fausse commutation de la porte.

### 1.7.2 Principes de fonctionnement de base des portes logiques

L'état logique d'un terminal peut changer à mesure que le circuit traite les données. Les conditions binaires hautes ou basses sont représentées par différents niveaux de tension.

Dans la plupart des portes logiques, l'état bas est d'environ zéro volt (0 V), tandis que l'état haut est d'environ cinq volts positifs (+5 V).

### 1.7.3 Porte ET (AND)

Elle comporte deux entrées et une sortie, pour que la sortie soit au niveau logique 1, il faut que les deux entrées soit à 1. Dans le cas contraire, la sortie est à 0 [8].

symbole		table de vérité		
 <p>2 entrées porte ET</p>		B	A	Q
		0	0	0
		0	1	0
		1	0	0
		1	1	1
expression boolean	$Q = A.B$	A ET B donne Q		

Tableau.1.1. Tableau de vérité de la porte AND

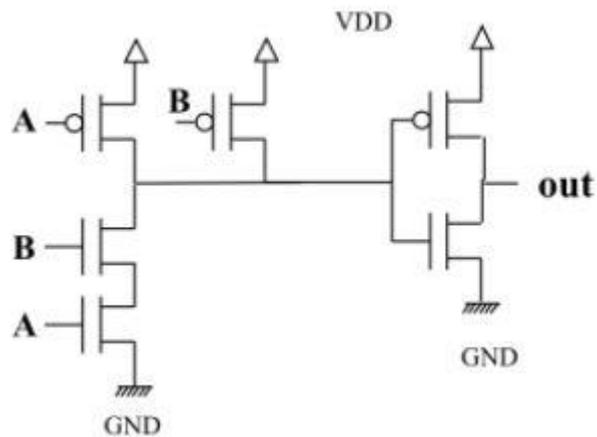


Fig.1.29. Circuit CMOS de la porte AND

### 1.7.4 Porte OU (OR)

La porte OR (OU) tire son nom du fait qu'elle se comporte comme l'opérateur logique inclusif OR (OU).

La sortie a pour valeur 1 logique lorsqu'une entrée ou lorsque les deux entrées ont pour valeur 1 logique. Si les deux entrées ont pour valeur 0 logique, la sortie a pour valeur 0 logique [8].

symbole	table de vérité		
<p>2entrées porte OU</p>	B	A	Q
	0	0	0
	0	1	1
	1	0	1
	1	1	1
expression boolean $Q = A+B$	A OU B donne Q		

Tableau.1.2. Tableau de vérité de la porte OR

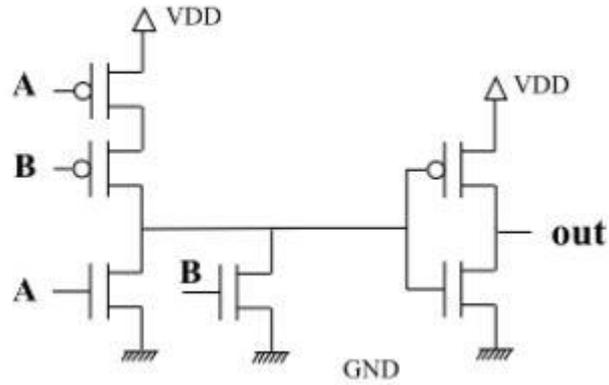


Fig.1.30. Circuit CMOS de la porte OR

### 1.7.5 Porte NON (NOT)

Un inverseur logique, parfois appelé porte NOT (NON) pour le différencier des autres types d'inverseurs électroniques, n'a qu'une seule entrée. Il en inverse l'état logique [8].

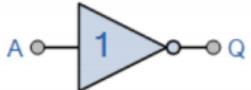
symbole	table de vérité	
 <p>inverseur ou porte NON</p>	A	Q
	0	1
	1	0
expression boolean $Q = \text{not } A \text{ or } \bar{A}$	l'inverse de A donne Q	

Tableau.1.3. Tableau de vérité de la porte NOT

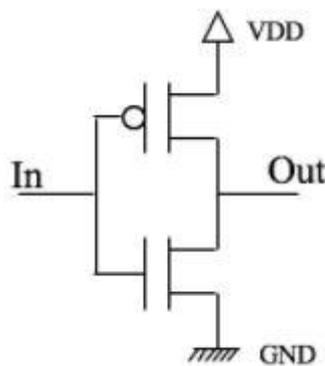


Fig.1.31. Circuit CMOS de la porte NOT

### 1.7.6 Porte NON-ET (NAND)

La porte NAND (ET + NON) fonctionne comme une porte AND suivie d'une porte NOT. Elle agit à la manière de l'opération logique ET suivie d'une négation. La sortie a pour valeur 0 logique lorsque les deux entrées ont pour valeur 1 logique. Dans tous les autres cas, la sortie a pour valeur 1 logique [8].

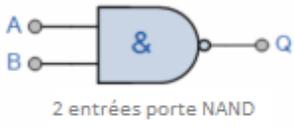
symbole	table de vérité		
 <p>2 entrées porte NAND</p>	B	A	Q
	0	0	1
	0	1	1
	1	0	1
	1	1	0
expression boolear $Q = \overline{A \cdot B}$	A ET B donne NON Q		

Tableau.1.4. Tableau de vérité de la porte NAND

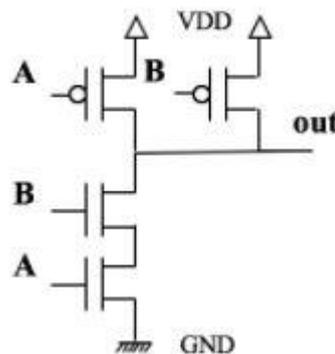


Fig.1.32. Circuit CMOS de la porte NAND

### 1.7.7 Porte NON-OU (NOR)

La porte NOR (NON + OU) fonctionne comme une porte OR suivie d'un inverseur. La sortie a pour valeur 1 logique lorsque les deux entrées ont pour valeur 0 logique. Dans tous les autres cas, la sortie a pour valeur 0 logique [8].

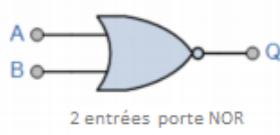
symbole	table de vérité		
 2 entrées porte NOR	B	A	Q
	0	0	1
	0	1	0
	1	0	0
	1	1	0
expression boolean $Q = \overline{A+B}$	A OU B donne NON Q		

Tableau.1.5. Tableau de vérité de la porte NOR

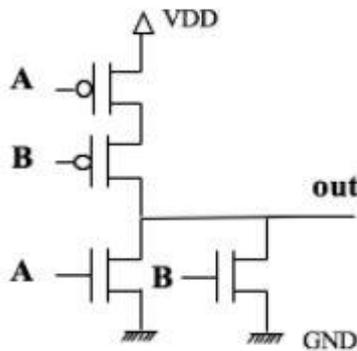


Fig.1.33. Circuit CMOS de la porte NOR

### 1.7.8 Porte OU exclusif (XOR)

La porte XOR (OU exclusif) fonctionne de la même manière que l'opérateur logique « soit/ou ». La sortie a pour valeur 1 logique lorsqu'une des deux entrées, mais non les deux, a pour valeur 1 logique. La sortie a pour valeur 0 logique si les deux entrées ont pour valeur 0 logique, ou si les deux entrées ont pour valeur 1 logique. Pour envisager ce circuit différemment, considérez que la sortie a pour valeur 1 si les entrées sont de valeurs différentes, et 0 si les entrées sont de même valeur [8].

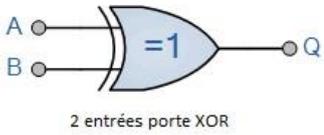
symbole	table de vérité		
 <p>2 entrées porte XOR</p>	B	A	Q
	0	0	0
	0	1	1
	1	0	1
	1	1	0
expression boolean : $Q = A \oplus B$	A OU B mais pas les deux donne Q		

Tableau.1.6. Tableau de vérité de la porte XOR

- **Circuit électronique équivalent à la porte logique XOR**

L'inconvénient du circuit équivalent XOR est que la conception de base nécessite au moins trois types de portes logiques : OU, NAND et enfin ET dans ce cas présent de figure.

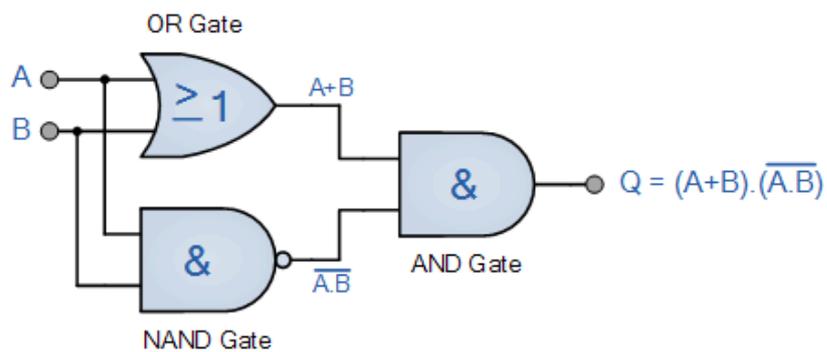


Fig.1.34. Schéma de circuit équivalent de la porte XOR

### 1.7.9 Porte non OU exclusif (XNOR)

La porte XNOR (NOR exclusif) fonctionne comme une porte XOR suivie d'un inverseur. Sa sortie a pour valeur 1 logique si les entrées sont de mêmes valeurs, et pour valeur 0 logique si les entrées sont différentes [8].

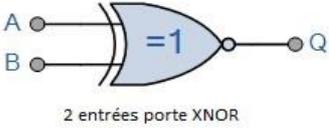
symbole	table de vérité		
 <p>2 entrées porte XNOR</p>	B	A	Q
	0	0	1
	0	1	0
	1	0	0
	1	1	1
expression boolean $Q = \overline{A \oplus B}$	$A = B = 0$ OU $A = B = 1$ donne Q		

Tableau.1.7. Tableau de vérité de la porte XNOR

- **Circuit électronique équivalent à la porte logique XNOR**

Comme XOR le circuit équivalent XNOR nécessite au moins trois types de portes logiques.

## 1.8 Conclusion

Dans ce chapitre nous avons étudié le fonctionnement des transistors MOS et CMOS, les étapes de fabrication des transistors CMOS en utilisant la technologie N-well, la définition des circuits intégrés avec ses deux grandes catégories. Enfin nous avons présenté et discuté les différents types des portes logiques, leurs propriétés et leurs circuits équivalents.

# Chapitre 2 Les Mémoires

---

## 2.1 Introduction

Pour faire fonctionner un système informatique, il y a une exigence de mémoire informatique. La mémoire de l'ordinateur est l'un des composants importants du système informatique. Par conséquent, il est nécessaire d'avoir des connaissances de base sur ce qu'est une mémoire d'ordinateur et sur le nombre de types de mémoires d'ordinateur.

La mémoire est une partie essentielle du système informatique car un ordinateur ne peut traiter aucune tâche sans elle. La mémoire est utilisée pour stocker des données et des instructions pour effectuer des tâches spécifiques sur le système informatique. La mémoire de l'ordinateur est généralement un espace de stockage capable de stocker et de récupérer des données.

Dans ce chapitre nous présentons les différents types de mémoires, la structure de d'une cellule de base à six transistors, une matrice 4x4 ainsi que leur principe de fonctionnement.

## 2.2 Catégories de mémoires semiconducteurs

Les circuits intégrés mémoire ou les puces mémoire sont utilisées comme zones de stockage internes dans un ordinateur. La mémoire de l'ordinateur fait référence au stockage de programmes ou de données sur une base temporaire ou permanente. Ainsi, les dispositifs de mémoire peuvent principalement être classés en deux groupes distincts en fonction de leur fonctionnalité : primaire et secondaire.

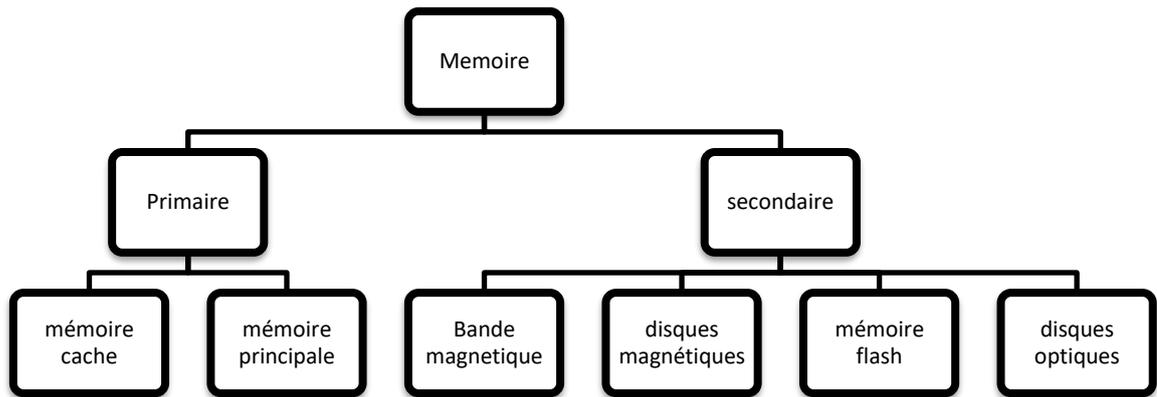


Fig.2.1. Diagramme de catégories de mémoire en général

### 2.2.1 Primaire

La mémoire est directement accessible à l'unité centrale de traitement (CPU) et comprend toutes les données exploitées activement ou en continu. La mémoire vive ou RAM est un bon exemple de type de mémoire primaire.

La mémoire principale permet un accès rapide aux données mais est limitée à un espace de stockage plus petit [9].

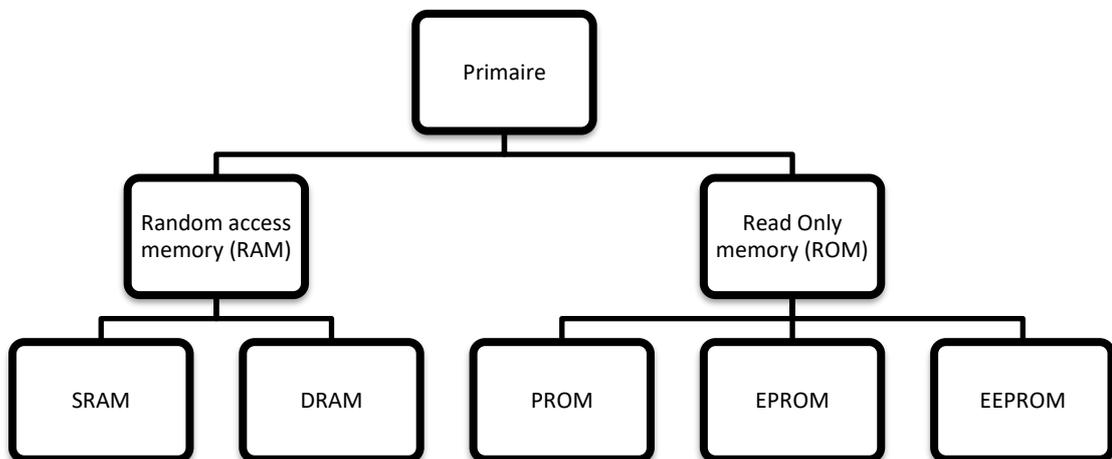


Fig.2.2. Diagramme de catégorie de mémoire primaire [9]

## 2.2.2 Secondaire

Cette mémoire n'est pas directement accessible par le processeur et est utilisée pour le stockage de données à plus long terme.

Il est beaucoup plus lent d'accès par rapport à la mémoire primaire, mais il permet une capacité beaucoup plus grande. Les périphériques de mémoire secondaires comprennent les disques durs, les disques SSD et les lecteurs optiques [10].

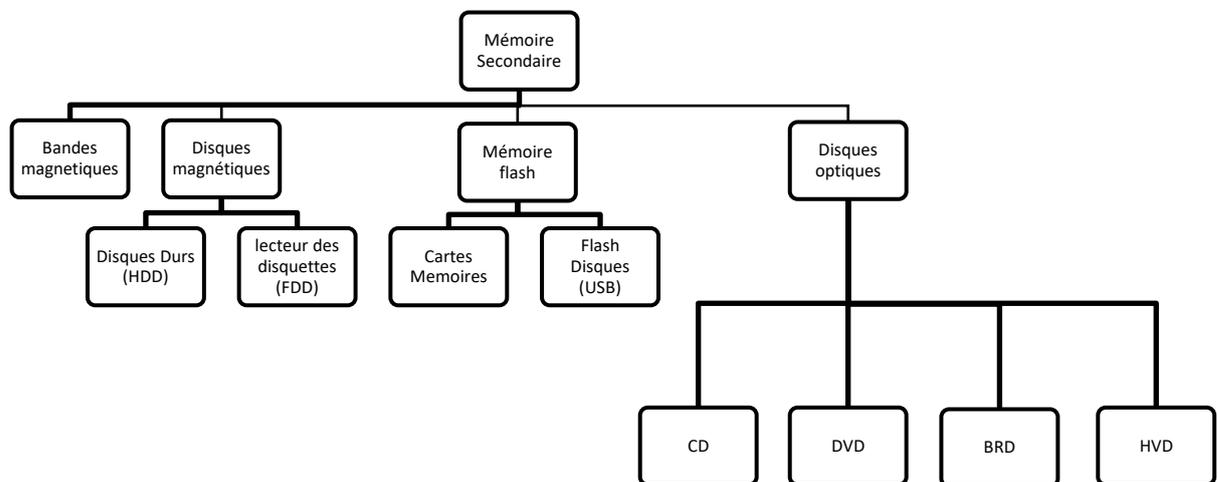


Fig.2.3. Diagramme de catégories de mémoire secondaire [10]

## 2.2.3 Les Différences entre la mémoire primaire et secondaire

- La mémoire primaire est plus rapide et volatile, mais elle a une capacité de stockage limitée.
- La mémoire primaire est toujours fixe
- La mémoire secondaire surmonte la limitation de la mémoire primaire en fournissant un stockage de données permanent et en grande quantité.
- La mémoire secondaire est également appelée une mémoire externe puisqu'elle inclut des divers supports de stockage sur lesquels un ordinateur peut stocker des données

- Le support de stockage secondaire peut être fixe ou amovible.

## 2.3 Types de Mémoire primaire

La mémoire peut également être regroupée comme volatile ou non volatile, selon le comportement de l'appareil lorsque l'alimentation est interrompue.

### 2.3.1 Mémoire volatile (RAM)

Cette mémoire ne conserve les données stockées que jusqu'à ce que le système soit alimenté. Lorsqu'il n'y a pas d'alimentation électrique dans le système, les données s'effacent automatiquement.

Dans les ordinateurs, la '**Random Access Memory RAM**' est une mémoire volatile. Les opérations de lecture et d'écriture sur la RAM sont plus rapides que sur le disque dur et le disque SSD. C'est pourquoi les ordinateurs, tablettes, mobiles et autres systèmes électroniques utilisaient de la RAM pour accéder aux données à haute vitesse.

Lorsque nous travaillons sur un document dans nos systèmes informatiques, le document est conservé dans la RAM, et lorsque l'ordinateur est éteint, la mémoire vive perd automatiquement ses documents. Si nous voulons éviter l'effacement de nos documents, nous devons enregistrer nos fichiers et documents dans une mémoire non volatile [11].

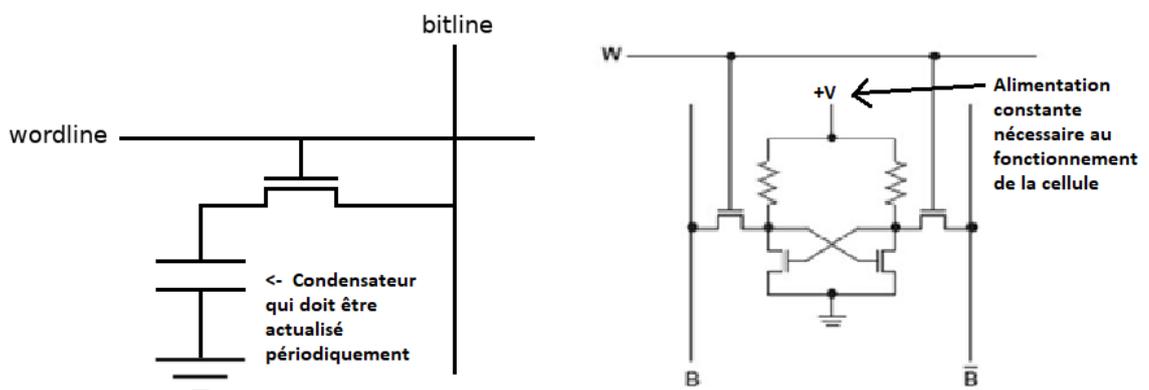


Fig.2.4. Exemples des cellules mémoires volatiles [11]

### 2.3.2 Mémoire non-volatile (ROM)

La mémoire non-volatile est un autre type de stockage informatique qui conserve son contenu enregistré même lorsque le système est éteint.

C'est un type de mémoire primaire à partir de laquelle les informations sont uniquement lisibles. Elle est donc également connue sous le nom 'Read-Only Memory'. La ROM est directement accessible par l'Unité Centrale de Traitement

Ce type de mémoire primaire stocke l'heure et les paramètres de système informatique même lorsque le courant électrique est coupé [12].

### 2.3.3 La conception de stockage non-volatile

L'un des a technologie principale de stockage de charges non-volatile est La structure de la grille flottante (the floating gate).

Le principe de fonctionnement de base des dispositifs de mémoire non volatile reprogrammable à semi-conducteurs est le stockage de charges dans un isolant entre deux potentiels.

Comme illustré à la Fig.2.6. On peut stocker des charges dans l'isolant d'un MOSFET à l'aide d'une deuxième grille qui est appelée 'the floating gate'. La tension de seuil du transistor peut être modifiée pour basculer entre deux valeurs distinctes 0 et 1

La mémoire à semi-conducteur non volatile a été inventée en 1967 sur la base du concept de la grille flottante.

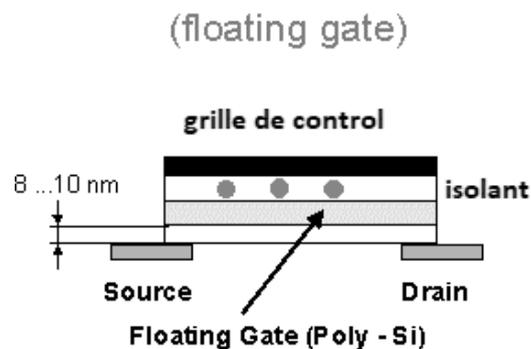


Fig.2.5. Schéma de la mémoire non volatile avec le concept de la grille flottante

## 2.4 Types de mémoire volatile RAM

Les types de mémoire volatile nécessitent une alimentation électrique continue pour le bon traitement des opérations informatiques. La mémoire volatile est classée en deux types différents de RAM

## 2.4.1 RAM dynamique (DRAM)

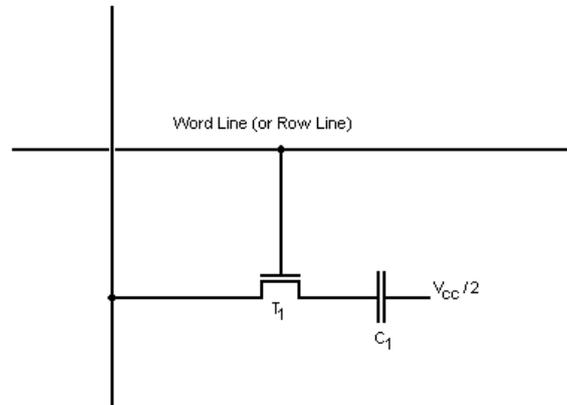


Fig.2.6. Structure d'une cellule DRAM [11]

La RAM dynamique est un type de mémoire volatile (RAM) composée de transistors et de condensateurs.

Puisqu'il utilise le condensateur pour la fonction de rétention, la DRAM est aussi une forme de mémoire à semi-conducteurs qui nécessite d'être rafraîchie en permanence.

Ce type de RAM perd ses données en très peu de temps, même lorsque le système est sous tension.

Cette mémoire est utilisée comme mémoire principale dans les ordinateurs car la conception de DRAM n'est pas complexe (design compact et moins cher)

### ▪ Avantages de la RAM dynamique

L'avantage de la RAM dynamique est que son coût est inférieur à celui de la SRAM.

Par rapport à la SRAM, la conception et l'architecture de la RAM dynamique sont simples et consomment moins d'énergie. Et donc, La taille de la DRAM est petite alors elle est capable de stocker une grande quantité de données.

## 2.4.2 RAM statique ou SRAM

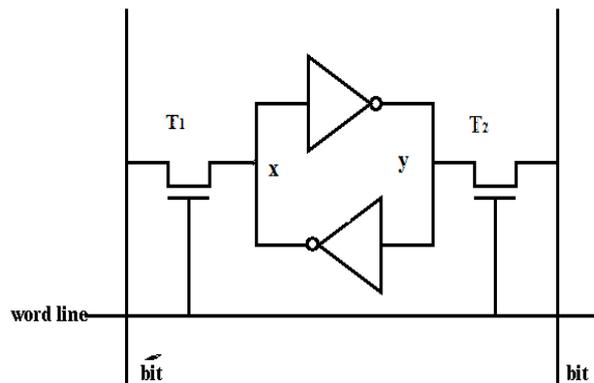


Fig.2.7. Structure d'une cellule SRAM [11]

La RAM statique est un type de mémoire volatile qui est utilisé dans les microprocesseurs comme des registres internes ou comme des mémoires de cache.

Elle s'agit d'une forme de mémoire à semi-conducteurs qui ne nécessite pas d'être rafraîchie régulièrement.

Il existe plusieurs types de SRAM, qui se distinguent par la technologie utilisée : bipolaire, CMOS, PMOS, NMOS, etc.

### ▪ Avantages de la RAM statique

Le temps d'accès est inférieur par rapport au temps d'accès de DRAM

La durée de vie de la RAM statique est longue.

Ce type de RAM est très rapide.

Pour la SRAM il n'est pas nécessaire de rafraîchir la mémoire régulièrement.

La fiabilité est l'avantage le plus important de la RAM statique. Ce type de mémoire est utilisé comme mémoire cache.

### ▪ Inconvénients de la RAM statique

Par rapport à la cellule mémoire dynamique, elle est chère et la conception de la cellule SRAM est complexe.

La quantité de stockage dans la SRAM est inférieure à la DRAM.

## 2.5 La Cellule mémoire de base

Dans notre simulation d'une RAM 4x4, nous nous basons sur la structure d'une cellule de RAM statique CMOS à 6 transistors MOS et 3 lignes de contrôle (BitLine ~BitLine WorLine)

### 2.5.1 Structure de cellule SRAM

La cellule de RAM a testé est une SRAM qui est constituée de 2 transistors T1 et T2 appelées des transistors d'accès. Les deux transistors sont des transistors NMOS et sont contrôlés par Worldline.

Deux inverseurs CMOS formant un cycle d'inverseur connecté d'une façon Tête-bêche (où la sortie de l'un est l'entrée de l'autre)

Le cycle d'inverseurs créant deux nœuds stabilisés Q et  $\bar{Q}$ . Les deux nœuds sont connectés également aux deux entrées de contrôle BitLine et ~BitLine par les transistors d'accès.

Les deux inverseurs CMOS sont alimentés par une source continue Vdd. C'est la raison pour laquelle la cellule mémoire est considérée volatile.

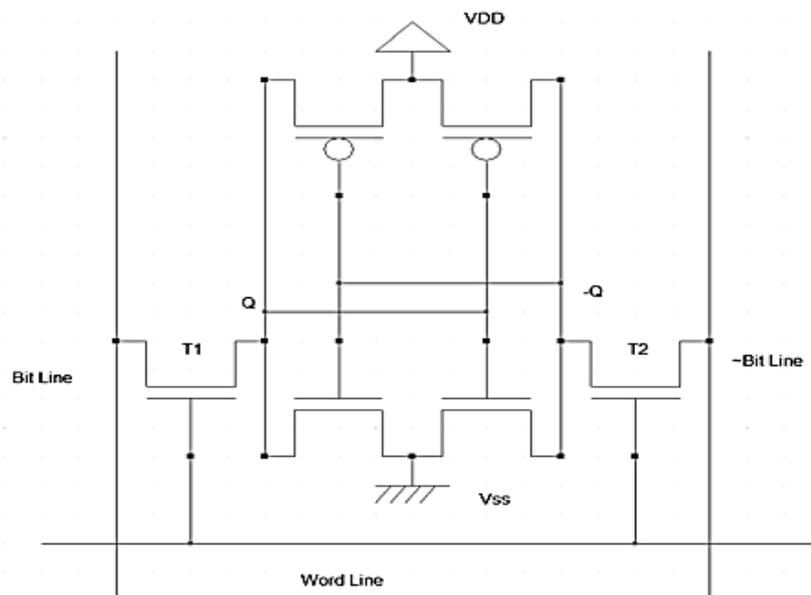


Fig.2.8. Représentation d'une cellule de SRAM à 6 transistors MOS

## 2.5.2 Principe de fonctionnement de la cellule SRAM 6T

La cellule mémoire SRAM à 6 transistors fonctionne dans 3 modes

### ▪ La Rétention de l'information :

- Les transistors d'accès (T1 et T2) sont bloqués (WordLine = 0) pour minimiser l'influence d'une variation des BitLine et  $\sim$ BitLine.
- Les deux inverseurs montés en tête-bêche forment un système de contre-réaction permettant d'avoir deux points stables, ( $Q = 0, \bar{Q} = 1$ ) et ( $Q = 1, \bar{Q} = 0$ ), représentant respectivement la valeur logique 0 et 1.
- Ce système est appelé **un Latch** et les nœuds Q et  $\bar{Q}$ , contenant l'information sur la donnée, sont appelés nœuds de rétention.

### ▪ L'écriture :

- La Bitline (BL) est préchargée à la valeur de la donnée que l'on veut écrire, la tension d'alimentation VDD pour la valeur 1, et la masse pour 0.
- La Bitline complémentaire ( $\sim$ BitLine) est préchargée à l'inverse logique de la donnée, puis la WordLine (WL) est activée.
- Si la valeur précédente de la donnée est identique à la nouvelle, les niveaux de tension des nœuds de rétention ne varient pas, et la WL se coupe à la fin du temps d'écriture pour permettre l'écriture sur d'autres lignes.
- Si la valeur précédente était l'inverse binaire de la nouvelle donnée, les transistors d'accès chargent ou déchargent les nœuds de rétention Q et  $\bar{Q}$ , pour faire basculer la cellule d'un point stable à un autre.

**Note :** Ces transistors d'accès doivent pouvoir vaincre la contre-réaction du Latch. En particulier, il leur faut délivrer un courant plus important que les transistors du Latch pour pouvoir charger ou décharger les capacités des nœuds de rétention durant le temps d'écriture, et forcer la donnée à écrire. S'ils n'y arrivent pas et que la valeur de la donnée n'a pas changé, il y a échec d'écriture.

### ▪ La lecture :

- Les BitLines sont préchargées à la tension d'alimentation Vdd, puis la WordLine est activée.
- Un chemin de décharge se crée entre une des deux BitLines et la masse, passant par le nœud Q qui contenait la valeur basse.
- L'autre BitLine reste à tension haute puisque l'autre nœud de rétention contenait la valeur haute.
- Les deux BitLines sont les entrées d'un amplificateur opérationnel (appelé sense-amplifier) qui aura sa sortie à tension haute ou basse, en fonction de la différence relative de tensions des BitLines.
- On retrouve la valeur de la donnée à partir de la sortie du sense-amplifier ([13],[14]et[15]).

## 2.6 Matrice de RAM 4x4

### 2.6.1 Schéma électronique de la matrice

Le diagramme dans la fig.2.10 montre l'organisation interne de la partie de stockage d'une RAM 4x4 bit.

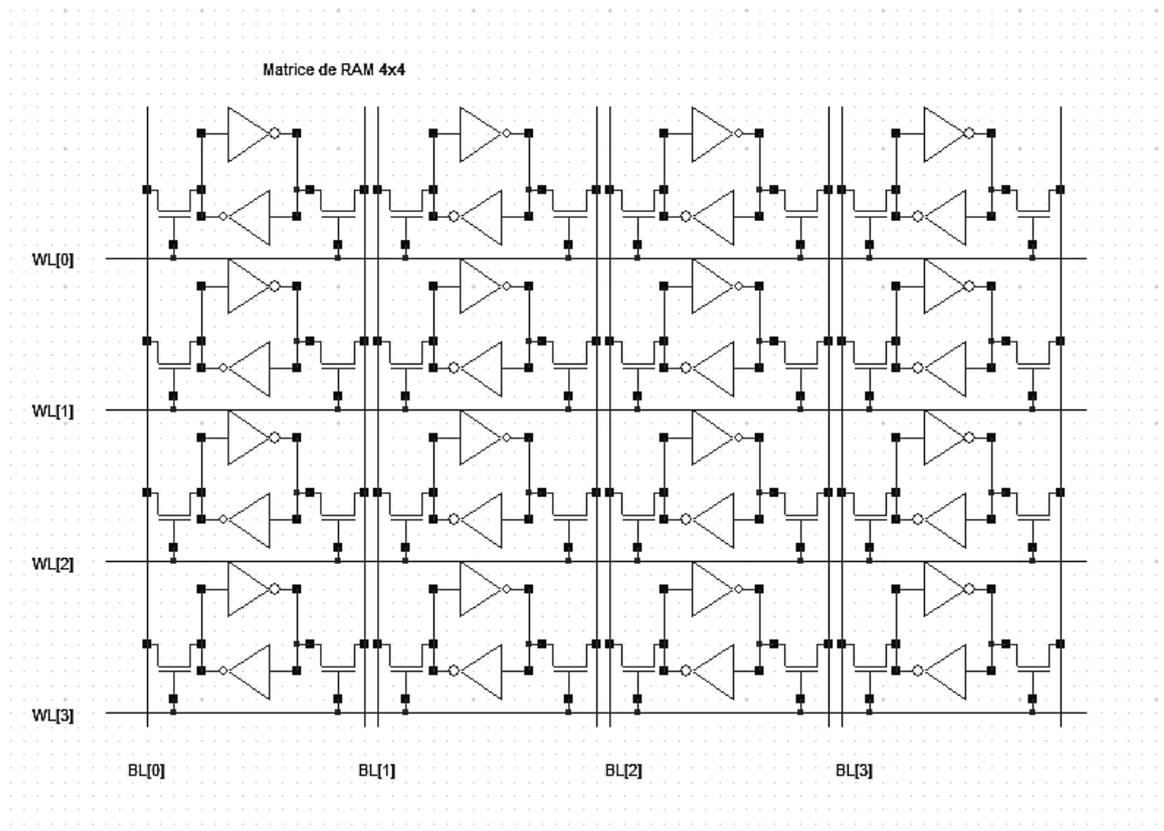


Fig.2.19. Diagramme de matrice RAM 4x4

La matrice mémoire est construite comme un tableau 2D de cellules SRAM de stockage de 1 bit. Le concept de matrice utilise un système orthogonal pour accéder aux cellules mémoire

Chaque ligne est connectée à 1 des 4 WordLine et chaque colonne est connectée à 1 des 4 BitLine et  $\sim$ BitLine. Les WordLine s'exécutent horizontalement et sont activées pour sélectionner un mot de données de mémoire. Les BitLine s'exécutent verticalement et sont connectées à des cellules de stockage d'adresses mémoire différentes. Ainsi toutes les cellules sur la même ligne seront contrôlées par un seul WordLine, et celles sur la même colonne seront contrôlées par le même BitLine.

Un amplificateur de détection aura les deux lignes de bit en entrée et renverra un seul bit qui représente la valeur stockée dans la cellule. Afin de sélectionner une ligne ou une colonne, nous avons besoin d'encodeurs d'adresse.

On remarque que l'architecture SRAM a un grand nombre de transistors, donc elle nécessite beaucoup de surface de puce et elle consomme plus d'énergie que par exemple la DRAM.

### 2.6.2 Principe de fonctionnement

Chaque cellule dans la RAM 4x4 stocke 1 bit de données, et pour contrôler chaque bit, la cellule est connectée à un WordLine et un BitLine spécifiques. Pour chaque combinaison de bits d'adresse, la mémoire sélectionne un seul WordLine qui active les cellules de bits de cette rangée. Lorsqu'un WordLine est haut, le bit stocké est transféré vers ou depuis BitLine. Sinon, le BitLine est déconnectée de la cellule de bit.

Dans un arrangement de 4x4, nous avons 2 bits pour l'adressage des colonnes et 2 bits pour l'adressage des lignes. Avec 4 bits, nous pouvons adresser les cellules SRAM individuels.

Un adressage simple peut être réalisé en prenant les 2 premiers bits de l'adresse pour sélectionner la ligne et les 2 derniers bits pour sélectionner la colonne. Si nous le faisons, nous nous retrouvons avec une table comme celle-ci :

1100	1101	1110	1111
1000	1001	1010	1011
0100	0101	0110	0111
0000	0001	0010	0011

Tableau.2.1. Adressage des bits dans une RAM 4x4

**Les opérations d'écriture** commencent par amener les BitLine aux valeurs appropriées. Vss ou GND pour une valeur de 0, et VDD pour une valeur de 1.

Le  $\sim$ BitLine est défini sur la valeur opposée du BitLine.

Le décodeur d'adresse met alors l'une des WordLine au niveau haut, en sélectionnant toutes les cellules d'une rangée particulière pour l'opération d'écriture.

Les contrôleurs sont des MOSFET beaucoup plus gros que ceux des inverseurs de la cellule, pour que les signaux internes dans les cellules activées sont forcés aux valeurs des BitLine et les circuits des Latch basculent à la nouvelle configuration stable.

**Lors d'une opération de lecture**, les contrôleurs rechargent d'abord toutes les BitLines sur Vdd puis se déconnectent, laissant les BitLine flottantes à 1.

Ensuite, le décodeur d'adresse met l'une des WordLine au niveau haut, connectant une rangée de cellules de bits à leurs BitLines.

Chaque cellule de la ligne sélectionnée tire ensuite l'une de ses BitLine et ~BitLine vers GND.

Plutôt que d'attendre que le BitLine atteigne un niveau logique valide, des amplificateurs de détection sont utilisés pour détecter rapidement la petite différence de tension se développant entre les deux BitLine et générer la sortie numérique appropriée.

Étant donné que la détection de petits changements de tension est très sensible au bruit électrique, la SRAM utilise la paire de BitLine et BitLine complémentaire pour chaque bit et un amplificateur de détection différentiel pour fournir une plus grande immunité au bruit.

## 2.7 Caractéristiques techniques de la RAM

- **Le temp d'accès** : Le temps d'accès est le délai entre le moment où le dispositif mémoire reçoit une adresse et le moment où les données de cette adresse sont disponibles à la sortie de la mémoire, Ceci est parfois aussi appelé temps de lecture. Le temps d'accès est généralement constant pour un périphérique de mémoire vive (RAM) particulier et peut être considéré comme une spécification de la vitesse du périphérique RAM.
- **Bande passante** : c'est la quantité d'informations pouvant être envoyée de la mémoire au processeur en un temps donné. Ceci est souvent mesuré en mégabits par seconde.
- **Capacité** : La capacité d'un module de mémoire ou d'un système est simplement le nombre maximum de bits, d'octets ou de mots dans le module ou le système. Exemple une mémoire de 2K x 4 peut stocker 2K ( $K = 1024 = 2^{10}$ ) mots contenant chacun 4 bits de données ou un total de  $2 \times 1024 \times 4 \text{ bits} = 8192 \text{ bits}$ .
- **Temp d'un cycle** : En général, le temps de cycle est l'intervalle de temps pendant lequel un ensemble d'opérations est répété régulièrement dans la même séquence. Dans le domaine des ordinateurs, le temps de cycle est le temps total nécessaire à une instruction de programme pour référencer un emplacement mémoire.
- **Débit des données** : c'est les données qui peuvent être lues à partir d'un périphérique de stockage. C'est la vitesse à laquelle les données sont transférées d'un appareil à un autre et généralement mesuré en mégabits par seconde (Mbps) ou en mégaoctets par seconde (MBps).

- **Densité** : la densité est le nombre de bits qui peuvent être stockés sur un périphérique de stockage. La densité d'une barrette de mémoire est déterminée par le nombre de puces noires contenues sur la barrette [16].

## 2.8 Conclusion

Dans ce chapitre, nous avons présenté et discuté les différentes catégories de mémoires en général, primaire et secondaire. De plus nous avons défini les différents types de mémoires volatile et non volatile (RAM, ROM). Enfin nous avons étudié la cellule de SRAM et la matrice 4X4, leurs structures et leurs principes de fonctionnements.

## Chapitre 3 Simulations

---

### 3.1 Introduction

Le but de ce chapitre est de réaliser les conceptions des masques sur Microwind pour la matrice de RAM 4x4 et tous ses éléments de base. Ainsi que d'étudier les points d'intérêt et le fonctionnement des dispositifs concernés. Les tests effectués dans ce chapitre seront réalisés avec une simulation temporelle en vérifiant le bon fonctionnement de la cellule de base et de la matrice 4x4.

### 3.2 Présentation du logiciel Microwind

Le logiciel MICROWIND permet au concepteur de simuler et de concevoir un circuit intégré au niveau de la description physique. Il unifie l'entrée schématique, l'extraction SPICE du schéma, l'extracteur Verilog et la compilation du masque. La visualisation se fait en coupe ou en 3D.

Le package contient une bibliothèque des circuits logiques et analogiques communs pour visualiser et simuler. Microwind comprend toutes les commandes d'un éditeur de masque, de plus nous pouvons accéder à la simulation de circuit en appuyant sur une seule touche. L'extraction électrique de notre circuit s'effectue automatiquement avec une production des courbes des tensions et des courants immédiates.

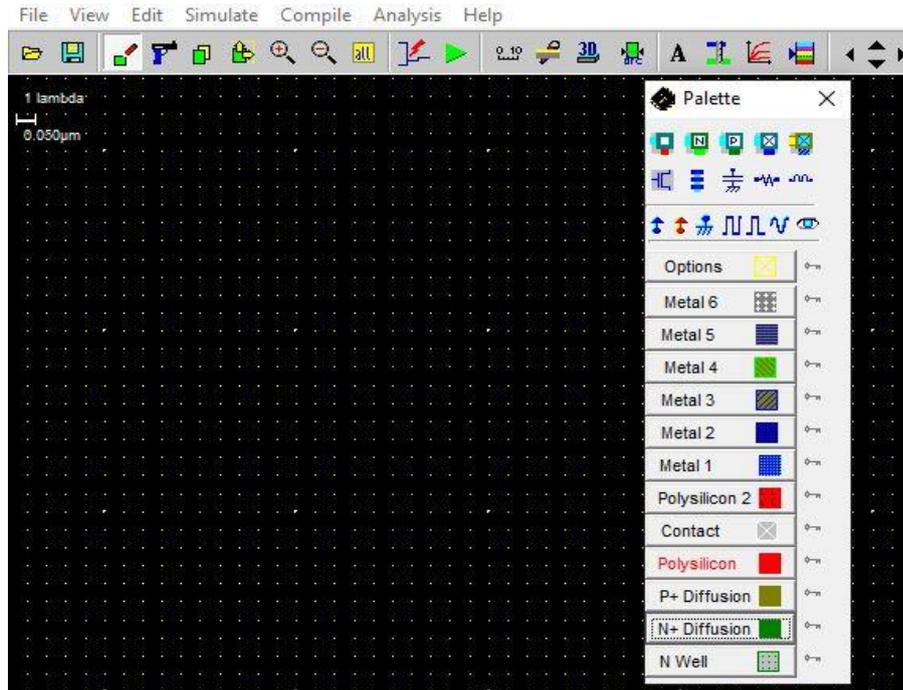


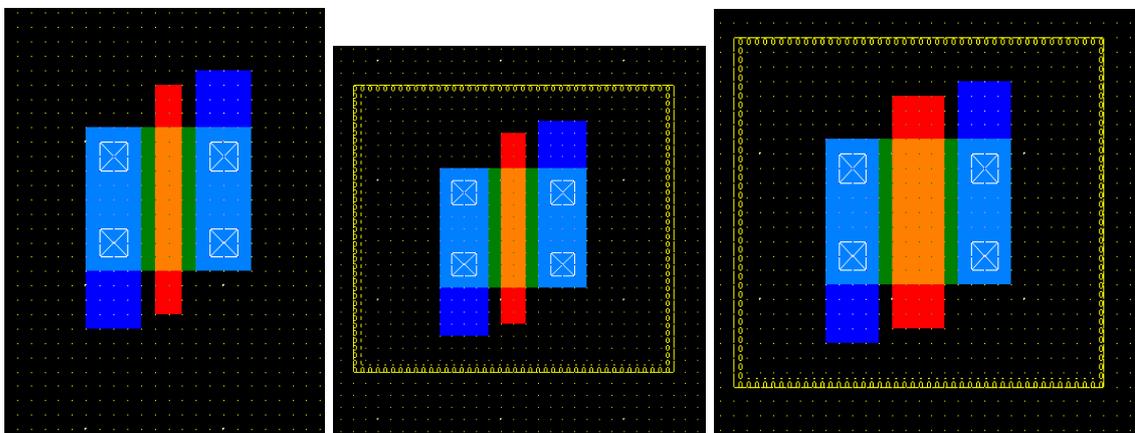
Fig.3.1. Interface du logiciel Microwind

### 3.3 Transistor MOS et inverseur CMOS sous Microwind

#### 3.3.1 Analyse des Transistor NMOS et PMOS

La conception d'un dispositif MOSFET simple, peut être réalisé de deux manières dans Microwind : dessin de chaque couche à la main ou en utilisant le générateur de layout dans le logiciel.

La version Microwind utilisée dans la simulation intègre 3 types de pré-configurations de MOSFETS dans le générateur de layout : le MOS à faible fuite **(A)**, le MOS à grande vitesse **(B)** et le MOS à haute tension **(C)**. Les figures **(A)**, **(B)** et **(C)** montre les 3 layout pour les comparaisons.



(A)

(A)

(C)

Il n'y a pas de différence entre le MOS à grande vitesse et le MOS à faible fuite, à l'exception de la couche d'options pour définir l'option à grande vitesse. Cependant, le MOS à haute tension a un layout très différent, parce que la longueur et la largeur du canal sont agrandies.

- Étapes de design :

Dans la conception de nos agencements des transistors NMOS et PMOS que nous avons utilisé pour la simulation d'une RAM : nous avons suivi ces étapes :

- 1) Dessiner la grille (en utilisant du polysilicium)
- 2) Ajouter la diffusion n+ pour le transistor NMOS (pour PMOS nous ajoutons la diffusion p+ et ajoutons l'espace n-well)
- 3) Ajouter des couches métalliques puis ajouter des contacts sur le drain et la région source
- 4) Ajouter les paramètres de simulation

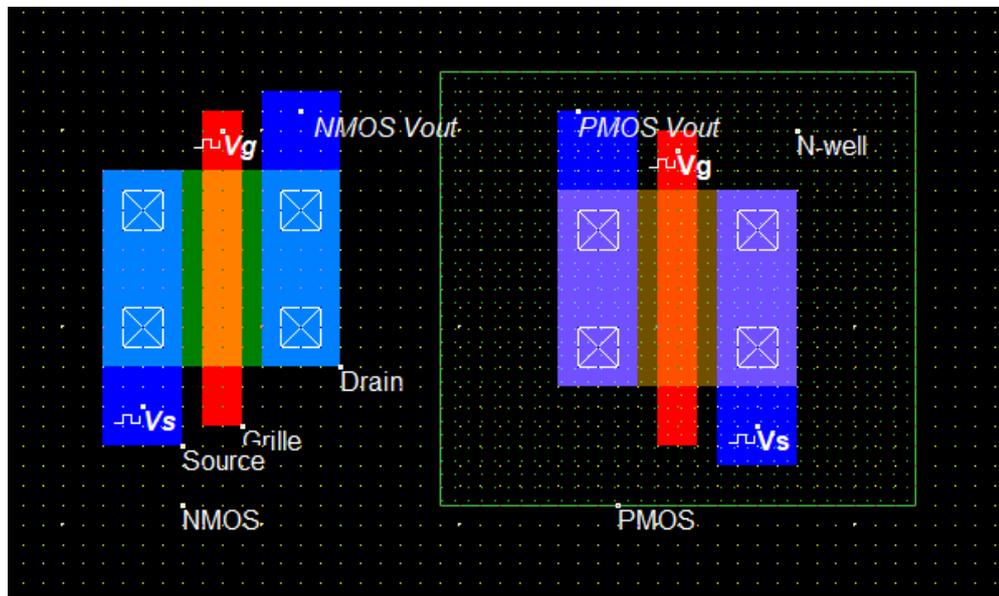


Fig.3.2. Conception de transistor NMOS et PMOS sous Microwind

### 3.3.2 Simulation des Transistor NMOS et PMOS

Dans cette simulation, nous utiliserons un NMOS à faible fuite et un PMOS représentés sur la Fig.3.2.

L'horloge  $V_g$  est réglée à la moitié de la fréquence de l'horloge  $V_s$ , afin de tester tous les Combinaisons possibles de conductance pour NMOS et PMOS.

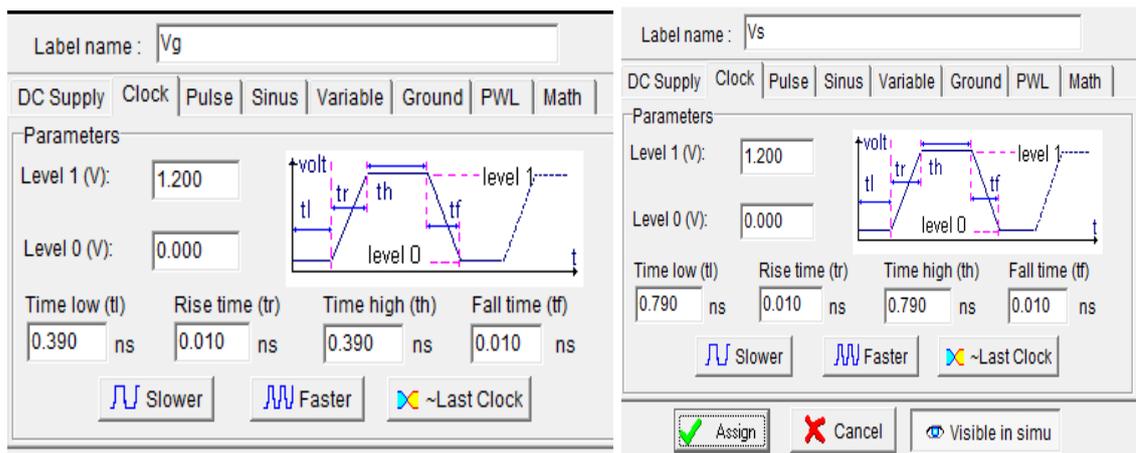


Fig.3.3. Paramètres de simulation

### Résultats :

- **NMOS**

Lorsque NMOS est activé, le signal Vs devrait théoriquement apparaître sur NMOS Vout. Donc si NMOS est activé ( $V_g = 1$ ), alors si  $V_s = 1$  NMOS Vout = "1" et si  $V_s = 0$  NMOS Vout = "0".

Ce que l'on observe sur le graphe de NMOS Vout, on remarque que seul le passage d'un "0" est bon alors que le passage de "1" est mauvais (NMOS Vout n'atteint pas 1,2V mais  $V_{DD} - V_t$ , où  $V_t$  est la tension de seuil du NMOS)

- **PMOS**

Lorsque PMOS est activé, le signal Vs doit apparaître sur PMOS Vout. Donc si pMOS est activé ( $V_g = 0$ ), alors si  $V_s = 1$ , PMOS Vout = 1 et si  $V_s = 0$ , PMOS Vout = 0.

En observant le graphe PMOS Vout, on Remarque que seul Le 1 est bon, tandis que le 0 est mauvais.

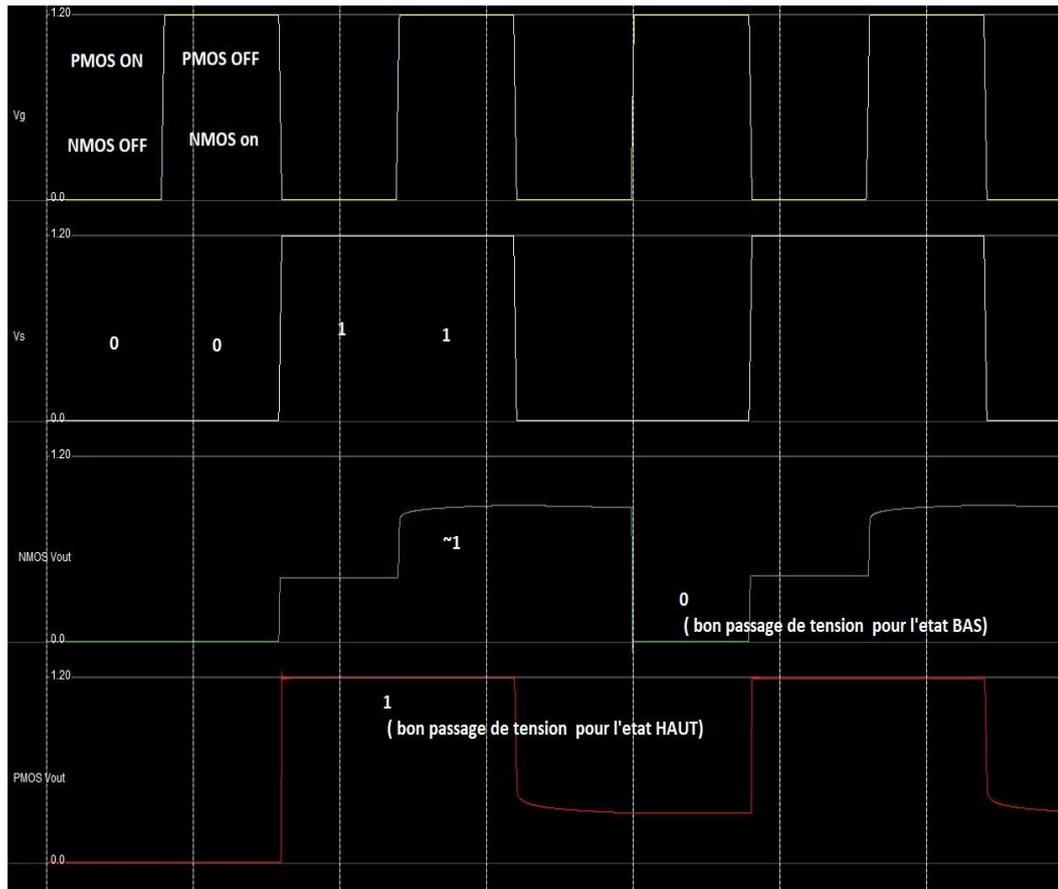


Fig.3.4. Simulation du comportement NMOS et PMOS

### 3.3.3 Analyse de design d'inverseur CMOS

Avec les layout NMOS et PMOS déjà réalisé, il est facile de les combiner dans un circuit inverseur CMOS.

Pour réalise une inverseur CMOS, on connecte un layout NMOS et un layout PMOS on utilisons du polysilicium. Apres on ajoute un contact métallique avec un couche de métal 1 pour réaliser un point d'Access pour le signal d'Entrée comme dans la Fig.3.5.

Un pont métal-1 est utilisé pour relier les drains des deux MOS. Ensuite, un métal-2 est ajouté pour transporter les signaux VDD et Vss. Enfin on connecte entre les metal-2 et metal-1 plus un contact métallique pour VDD et Vss.

La Fig.3.5 représente notre design final d'inverseur CMOS.

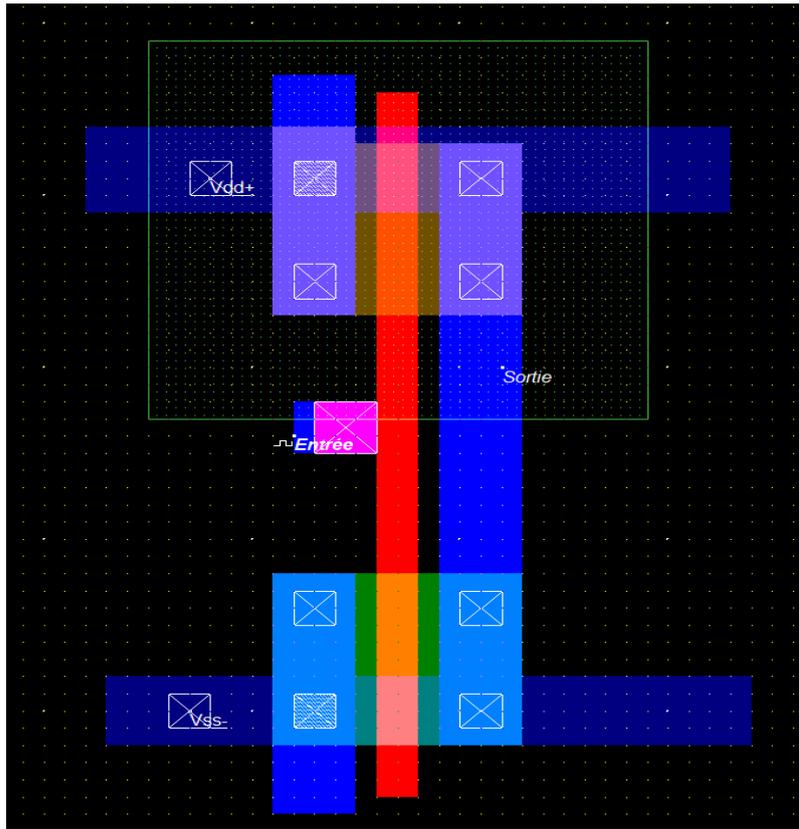


Fig.3.5. Design de masque d'inverseur CMOS (porte NON) sur Microwind

### 3.3.4 Simulation d'inverseur CMOS

Dans notre simulation de l'inverseur, Le nœud "Entrée" reçoit un signal d'horloge et le nœud "Sortie" est la sortie du CMOS

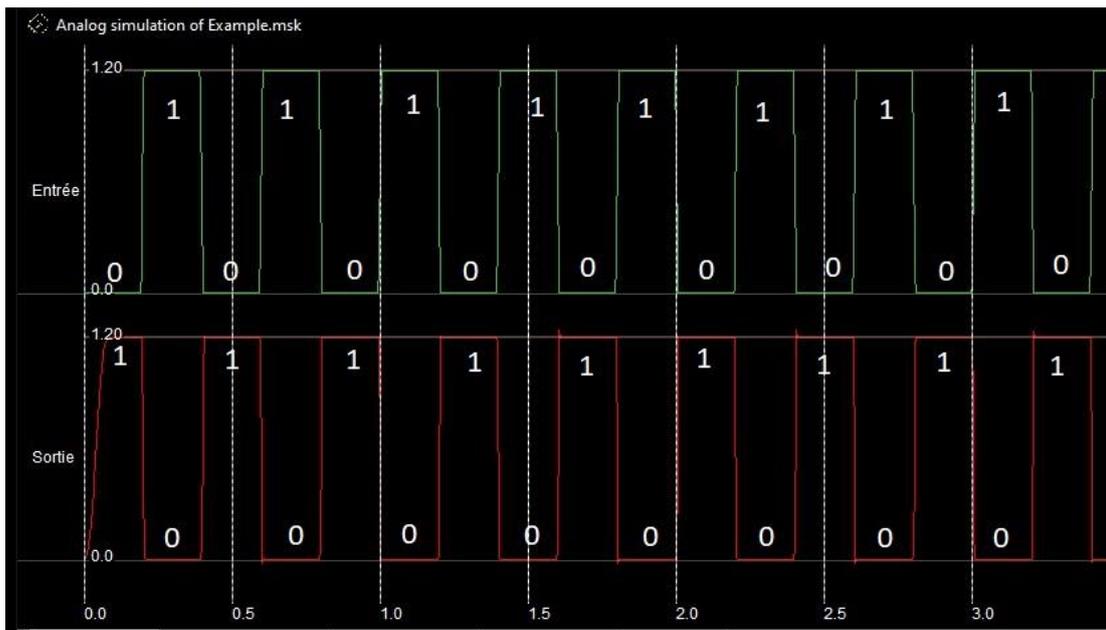


Fig.3.6. Simulation d'un inverseur CMOS (Porte NON)

- La simulation illustrée à la Fig.3.6 vérifie la fonction de cette conception.

Tout comme une porte NON. Lorsque l'Entrée = 0, PMOS est ON et il passe à la Sortie un bon 1 état haut (1), tandis que le NMOS est OFF.

Lorsque l'Entrée = 1, le NMOS est ON, et il connecte la sortie à la masse et fournit ainsi un bon état BAS (0), tandis que le PMOS est OFF.

Ainsi, dans les deux cas, le MOS qui fait passer le bon état est sélectionné.

## **3.4 Implémentation d'une cellule SRAM sur Microwind**

### **3.4.1 Traduction du schéma électrique DSCH au Masque**

Le masque de notre cellule SRAM est basé sur le schéma électrique de la cellule SRAM représentée sur la Fig.2.9. Nous avons utilisé une pré-configuration d'une SRAM qui adopte l'approche de la « diffusion partagée » pour l'ensemble des 6 transistors MOS. Cette approche est bonne pour une conception compacte mais elle manque d'immunité au bruit.

Nous voudrions également noter que l'inverseur a généralement une grande largeur NMOS par rapport à la largeur PMOS. Cela amène le seuil d'inversion de l'inverseur CMOS à être proche des tensions de seuil NMOS.

Dans le processus de conception, le métal 3 est utilisé pour le WordLine et le métal 2 pour les BitLines. Cette disposition est optimale sur la base des règles de conception Microwind. (Chaque couche métallique est noyée dans un oxyde de silicium (SiO<sub>2</sub>) qui isole les couches les unes des autres)

La conception du masque est illustrée sur les figures Fig.3.7 et Fig.3.7.

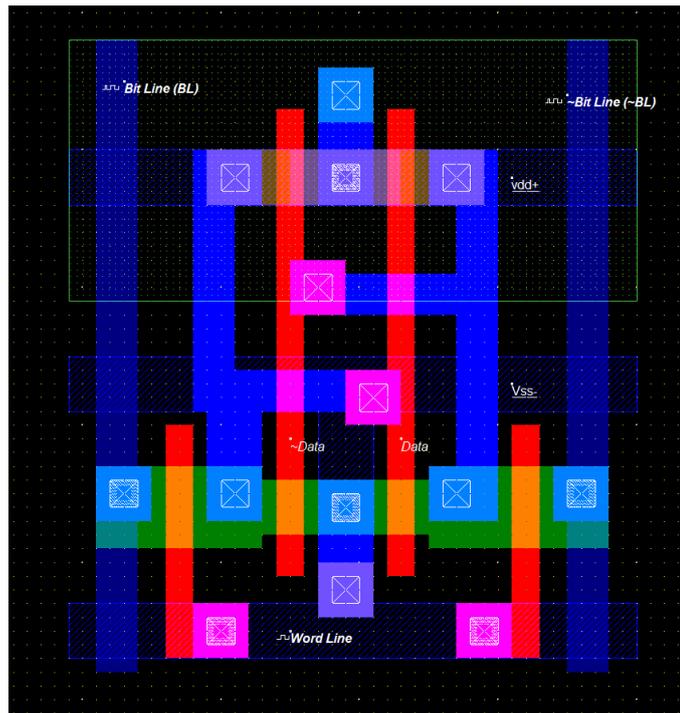


Fig.3.7. Layout de la cellule SRAM en 2D

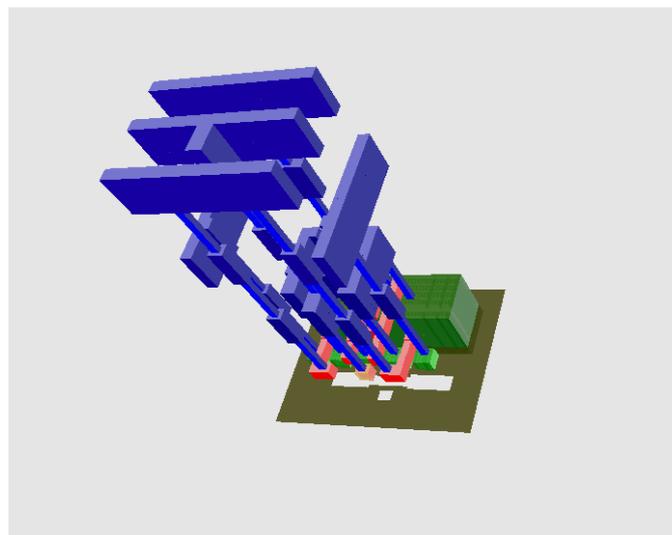


Fig.3.8. Layout de la cellule SRAM en 3D

### 3.4.2 Simulation d'une cellule SRAM

**Paramètres de simulation :**

La tension d'alimentation VDD+ = 1.2V;

BitLines : l'état haut=1.2V l'état bas= 0V Période T=0.8ns

WordLine: l'état haut=1.2V l'état bas=0V Time High=0.63ns Time Low =1.3ns

**Résultat** : Le test de fonctionnement de notre cellule est présenté dans la figure I

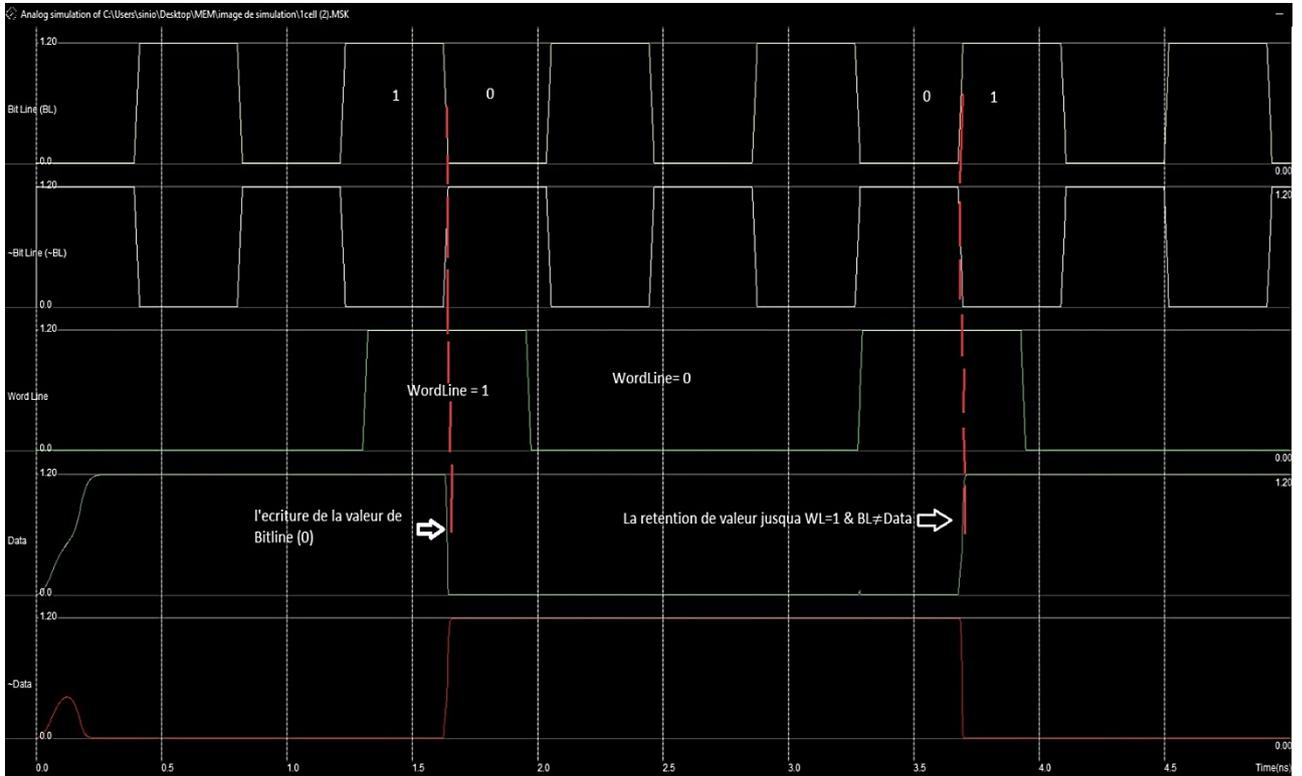


Fig.3.9. Simulation de la cellule SRAM sur Microwind

D'après la simulation présentée dans la figure 3.9, on remarque que notre cellule SRAM a un bon fonctionnement. Lorsque le WordLine= 1 et la tension de BitLine et le Nœud Data ne sont pas égaux, on aura l'écriture de la valeur de BitLine dans Data.

On constate aussi d'après cette simulation que le phénomène de la contre-réaction des inverseurs a permis de retenir l'état de l'information enregistré dans Data même avec les transistors d'Access bloqués (WordLine = 0).

## 3.5 Implémentation de matrice RAM 4x4 sur Microwind

### 3.5.1 Présentation du masque de la matrice

Pour réaliser le schéma de matrice 4x4 de cellule des SRAM dans notre concept, il suffit simplement d'avoir le schéma d'une seule cellule SRAM présenté dans la Fig.3.7, puis on sélectionne sur Microwind : Edit ==> Duplicate X Y. Puis on sélectionne la cellule et on met 4 x 4 dans la fenêtre.

Enfin on doit ajouter les signaux des BitLines et des WordLines, avec la tension d'alimentation Vdd+ et Vss

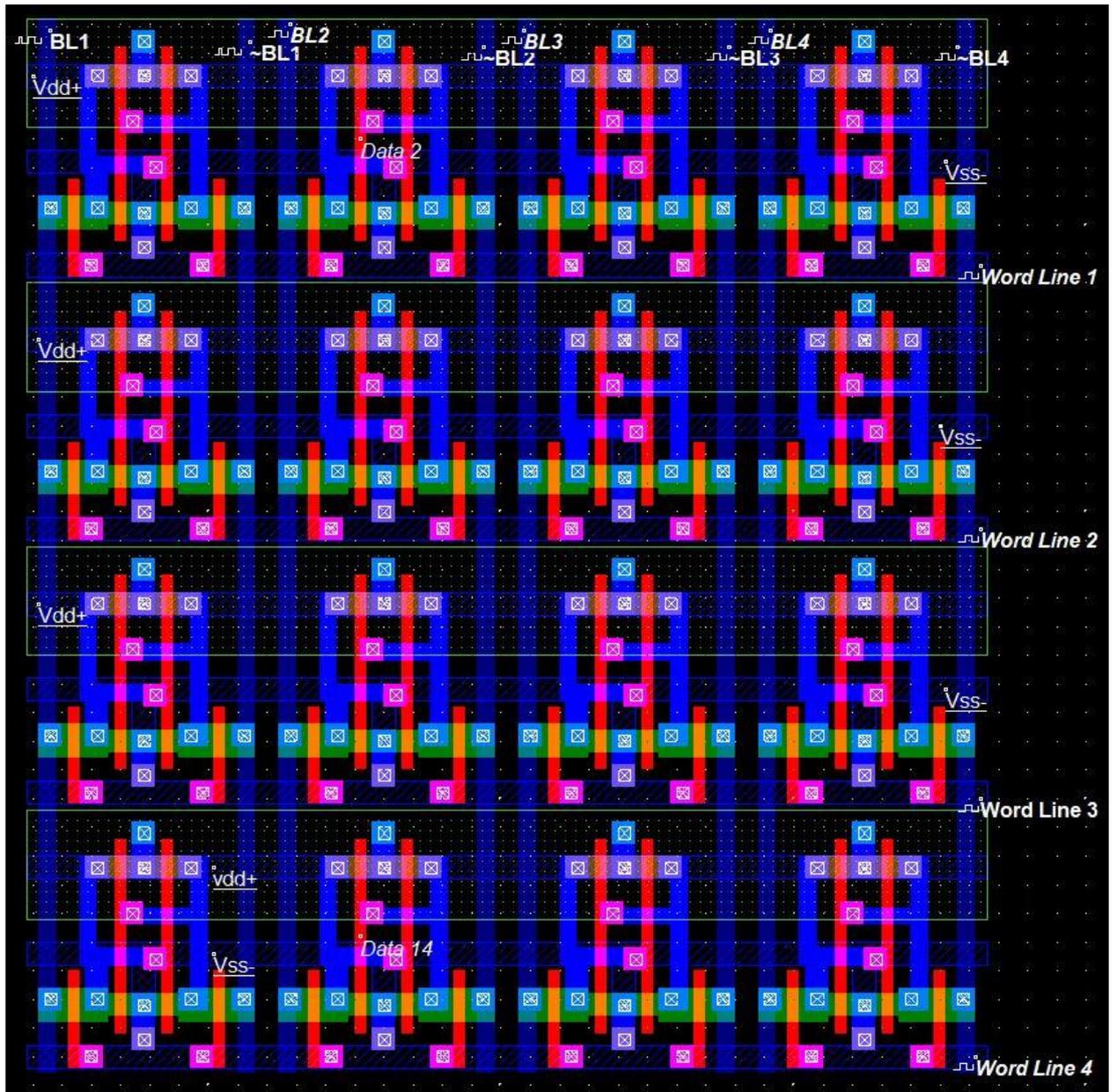


Fig.3.10. Masque de la Matrice 4x4

### 3.5.2 Test de fonctionnement de la matrice RAM 4x4

Afin de vérifier le bon fonctionnement de la matrice, on choisit deux Nœuds dans des cellules différentes comme illustré dans la Fig.3.10 et on observe s'ils suivent les signaux de commande qui les concernent :

Data 2 contrôlé par WordLine 1, BitLine 2 et ~BitLine 2

Data 14 contrôlé par WordLine 4, BitLine 2 et ~BitLine 2

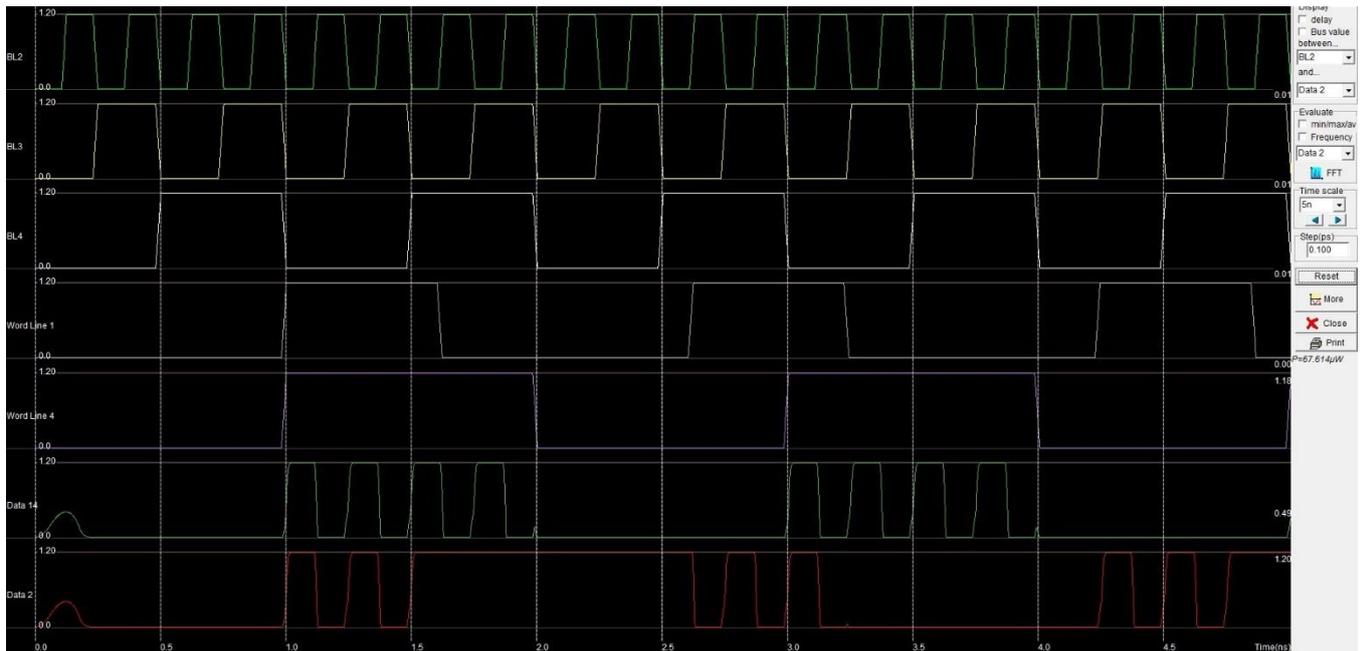


Fig.3.11. Simulation de fonctionnement de la matrice 4x4

On remarque que les signaux de Data 2 et Data 14 ressemblent au signal BitLine 2 et ne suivent pas les signaux des autres BitLines ce qui signifie que l'écriture dans ces Bits se fait seulement par BitLine 2.

On constate aussi que les tensions dans les nœuds Data 2 et Data 14 ne changeront que lorsque les WordLines basculent vers l'état Haut, et que le Data 2 retient l'état Haut de BitLine 2 quand le WordLine 1 bascule vers l'état Bas, et le Data 14 s'arrêtera à suivre le BitLine 2 quand le WordLine 4 bascule vers l'état Bas. Cela signifie que les deux Nœuds suivent les signaux correspondants correctement avec la fonction de mémorisation également respectée. Et donc la matrice fonctionne correctement.

### 3.6 Conceptions des multiplexeurs de contrôle dans DSCH

Pour avoir manipuler la Matrice de RAM 4x4 il est nécessaire de réaliser un Circuit de d'adressage

Le circuit d'adressage serve à sélectionner une cellule quelconque de matrice et Pour accéder à chaque élément il est indispensable d'avoir l'affectation d'une adresse qui est composé d'une combinaison de bits qui seront traités et décodés par des multiplexeurs.

Quand on sélectionne une ligne, on sélectionnera toutes les cellules de cette ligne, c'est pourquoi nous avons besoin de créer un deuxième circuit pour sélectionner les colonnes. Et en utilisant les deux circuits d'adressage nous pouvons sélectionner une seule cellule de la mémoire pour écrire ou lire.

### 3.6.1 Circuit de sélection des WordLines

Le premier circuit est destiné uniquement à la sélection des lignes, avec une RAM 4x4 on a seulement 4 lignes, une adresse constituée par un mot de 2 bits suffira pour avoir 4 combinaisons pour sélectionner chaque WordLine.

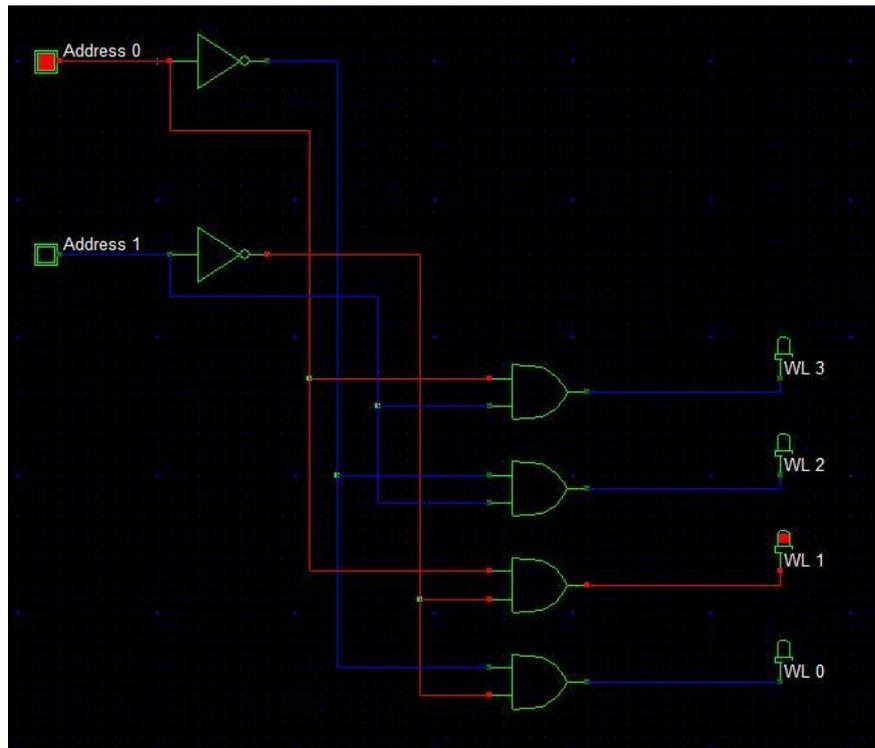


Fig.3.12. Circuit de Sélection des lignes

Le multiplexeur sélectionne une ligne par une mise en tension de la grille des deux NMOS qui sont présents à l'entrée de toutes les cellules d'une ligne.

### 3.6.2 Circuit de sélection des BitLine

La sélection des colonnes est basée sur le même principe utilisé lors de la réalisation du montage précédemment pour la sélection des lignes.

On remarque que le circuit servant à sélectionner les colonnes possède deux fonctions de plus, un accès en lecture ou écriture à la matrice de la mémoire.

Si nous souhaitons accéder à la mémoire en lecture, c'est la cellule de la mémoire sélectionnée qui imposera sa tension ce qui fera allumer le data out. De même, si nous souhaitons accéder à une cellule en écriture, c'est le circuit qui imposera son potentiel à la cellule.

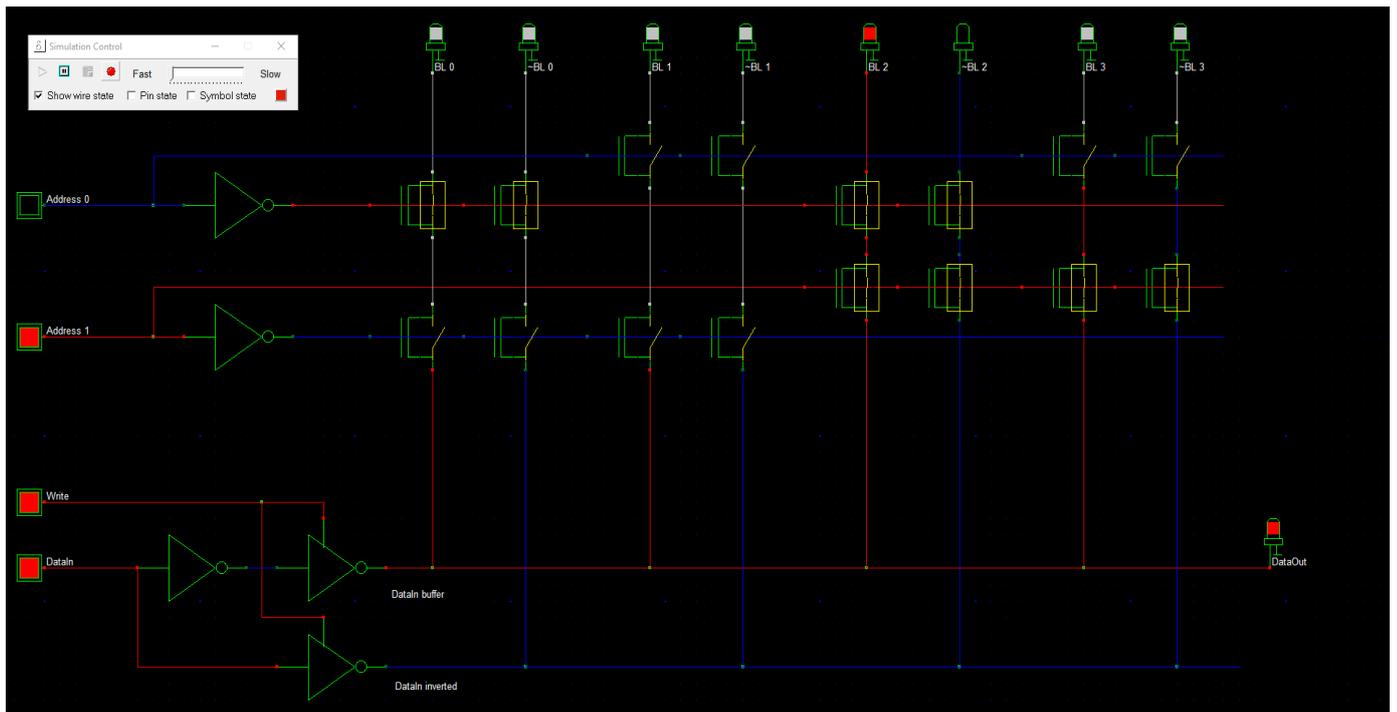


Fig.3.13. Circuit de Sélection des colonnes

### 3.7 Conclusion

Dans ce chapitre, nous avons présenté les différentes conceptions de masques pour la RAM et ses composants de base. Nous avons également examiné et testé la matrice RAM 4x4, les composants de base d'une cellule SRAM comme les MOSFETS, l'inverseur CMOS, le circuit de précharge qui contrôle les colonnes de la matrice mémoire ainsi que le multiplexeur qui contrôle les lignes de la matrice mémoire. Les simulations ont été effectuées à l'aide de DSCH et Microwind et les résultats ont montré le bon fonctionnement de nos conceptions de RAM.

## Conclusion générale

---

L'objectif de notre travail est d'étudier une conception de mémoire 4x4 en utilisant deux logiciels : DSCH et Microwind. Nous avons simulé les fonctions de divers composants de mémoire afin d'expliquer leurs fonctionnalités de base et les limitations qui affectent de nombreuses conceptions de circuits intégrés modernes, y compris les technologies de mémoire comme la SRAM. La conception à cellule de mémoire unique que nous avons testée n'intègre que six transistors MOSFETS et permet de réduire la taille de la conception, ce qui se traduit par une densité plus élevée et plus d'efficacité par rapport aux autres concepts de RAM qui utilisent un nombre plus élevé de transistors.

La présentation des concepts Masques montrés dans les logiciels DSCH et Microwind nous a donné une bonne idée des propriétés physiques du bloc RAM avec ses composants de base. Les résultats des simulations ont montré une fonction stable pour la cellule de base ainsi que la matrice 4x4, les résultats expliquent également la fonctionnalité de base de la conservation des données qui dépend d'un phénomène de contre-réaction qui se produit entre deux composants similaires traitant les sorties de l'autre.

Ce travail permet la compréhension d'une conception de base de la mémoire qui peut ensuite être mise à l'échelle à une densité plus élevée et plus de complexité (64 bits ou plus).

# Bibliographies

---

- [1] <https://computerhistory.org/blog/who-invented-the-transistor/?key=who-invented-the-transistor>
- [2] [http://semiconductormuseum.com/Museum\\_Index.htm](http://semiconductormuseum.com/Museum_Index.htm)
- [3] <https://www.senat.fr/rap/r07-417/r07-4178.html>
- [4] [https://www.researchgate.net/figure/Left-Standard-CMOS-sensor-layout-from-side-Right-Layout-of-the-CMOS-modified\\_fig3\\_320487913](https://www.researchgate.net/figure/Left-Standard-CMOS-sensor-layout-from-side-Right-Layout-of-the-CMOS-modified_fig3_320487913)
- [5] R. Loo, G. Wang, T. Orzali, N. Waldron, C. Merckling, M. R. Leys, O. Richard, H. Bender, P. Eyben, W. Vandervorst, and M. Caymax, "Selective Area Growth of InP on On-Axis Si(001) Substrates with Low Antiphase Boundary Formation," *J. Electrochem. Soc.*, vol. 159, no. 3, pp. H260–H265, Jan. 2012.
- [6] Collins, Nicolas. *Handmade Electronic Music*. Edited by Nicolas Collins, 3rd ed., Routledge, 2020,
- [7] <https://www.techno-science.net/definition/6708.html>
- [8] <https://whatis.techtarget.com/fr/definition/Porte-Logique>
- [9] [https://www.tutorialspoint.com/basics\\_of\\_computers](https://www.tutorialspoint.com/basics_of_computers)
- [10] <https://www.javatpoint.com/secondary-memory>
- [11] <https://www.electronicproducts.com/fundamentals-of-volatile-memory-technologies/#>
- [12] <https://info-4geek.com/what-is-the-difference-between-ram-and-rom/>
- [13] M. E. Sinangil, H. Mair, A. P. Chandrakasan, "A 28nm high-density 6T SRAM with optimized peripheral-assist circuits for operation down to 0.6V", *ISSCC, Sess. 14, 14.4*, p.260-261, 2011,
- [14] I. Carlson, S. Andersson, S. Natarajan, A. Alvandpour, "A high density, low leakage, SRAM for embedded caches", *IEEE*, 2004.

[15] E. Sinangil, N. Verma, A.P. Chandrakasan, "A reconfigurable 8T ultra-dynamic voltage scalable (UDVS) SRAM in 65nm CMOS", in IEEE J. Solid-State Circuits, vol. 44, no. 11, pp. 3163-3173, Nov. 2009.

[16] Haugen, P. (2010). A Basic Overview of Commonly Encountered types of Random-Access Memory (RAM). Article ECE332.