

الجمهورية الجزائرية الديمقراطية الشعبية  
République Algérienne démocratique et populaire

وزارة التعليم العالي و البحث العلمي  
Ministère de l'enseignement supérieur et de la recherche scientifique

جامعة سعد دحلب البليدة  
Université SAAD DAHLAB de BLIDA

كلية التكنولوجيا  
Faculté de Technologie

قسم الإلكترونيك  
Département d'Électronique



## Mémoire de Master

Mention Électronique  
Microélectronique

présenté par

AOUIMEUR Abdelouahid

---

# Etude et conception des interrupteurs RF intégrés ( $\leq 50$ GHz)

---

Proposé par : Pr. AISSAT Abdelkader .

Année Universitaire 2017-2018

## Remerciements

---

*En tout premier lieu, je remercie le bon Dieu, tout puissant, de m'avoir donné la force pour survivre, ainsi que le courage pour dépasser toutes les difficultés.*

*Je remercie en sa qualité d'encadreur, pour sa gentillesse, sa bonne humeur, ses précieux conseils et pour la confiance qu'il nous a témoignée en dirigeant ce travail. A Monsieur AISSAT Abdelkader.*

*je voudrais dire aussi que ce travail est le fruit d'une coopération entre le laboratoire Micro-électronique de l'Université de Blida et laboratoires de l'Université française Grenoble représenté par A Monsieur Aouimeur Walid qui m'a donné beaucoup de conseils pour terminer cette mémoire.*

*Je remercie mes très chers parents, qui ont toujours été là pour moi, « Vous avez tout sacrifié pour vos enfants n'épargnant ni santé ni efforts. Vous m'avez donné un magnifique modèle de labeur et de persévérance. Je suis redevable d'une éducation dont je suis fier ».*

*Afin de n'oublier personne, mes vifs remerciements s'adressent à tous ceux qui m'ont aidée à la réalisation de ce modeste mémoire.*

---

**ملخص:** مع تقدم تكنولوجيا CMOS فإن الاتجاه هو تصميم أجهزة الإرسال والاستقبال اللاسلكية باستخدام هذه التكنولوجيا في نفس الشريحة قاطع التيار، كونها واحدة من أهم الكتل من نظام الاتصالات اللاسلكية. لذلك تقدم هذا التقرير دراسة تفصيلية لقاطع التيار بأنواع مختلفة، وهي دائرة ذات كفاءة عالية. الهدف من هذا العمل هو تقديم دراسة التي توجه في تصميم قاطع التيار ذي تردد عالي بأنواع مختلفة. ومخصص للتطبيقات 5G. التكنولوجيا التي سيتم استخدامها لتصميم النموذج الأولي لمضخم الطاقة هي TSMC 0.18 ميكرومتر. الهدف الرئيسي هو الحصول على دائرة متكاملة ذات كفاءة عالية عند ال تردد 50 غيغاهرتز وعزل يتجاوز 15 ديسيبل. مع اقل خسارة للطاقة

**كلمات المفاتيح:** تردد راديو، والدوائر المتكاملة، قاطع التيار، CMOS.

---

**Résumé :** Avec l'avancement de la technologie CMOS, la tendance est de concevoir des émetteurs-récepteurs RF sur la même puce. Les switches, qui est l'un des éléments les plus importants du système de communication sans fil. Par conséquent, ce document présente une étude détaillée des différentes topologies des switches ce qui est la configuration qui a une plus grande isolation entre les ports et perte d'insertion plus faible. Le but de ce travail est de fournir l'étude qui guide la conception des switches complètement intégré pour les applications 5G. La technologie qui sera utilisée pour concevoir les prototypes des switches est CMOS TSMC 0,18 um. L'objectif principal est d'obtenir un switch entièrement intégré avec une grande Isolation entre les ports  $\geq 15$  dB et minimum des pertes d'insertion  $\leq 2$ dB,  $\leq 3$  dB et  $\leq 7$  dB pour les types SPST, SPDT et SP4T respectivement dans la gamme de fréquence  $\leq 50$ GHz.

**Mots clés :** Switch, Radio Fréquence, mmW, circuits intégrés, SPST, SPDT, SP4T, CMOS

---

**Abstract:** With the advancement of CMOS technology, the trend is to design RF transceivers using this technology in the same chip. The Switch, being one of the most important blocks of the wireless communication system. Therefore, this document presents a detailed study of different topologies of switches, which are the configuration that has high isolation and low insertion loss. The aim of this work is to provide the study that guides the design of switches RF and mmW for 5G applications. The technology that will be used to design the amplifier prototype is TSMC 0.18 um CMOS. The main goal is to obtain a fully integrated circuit with high isolation and minimum of insertion losses between ports  $\leq 2$ dB,  $\leq 3$  dB et  $\leq 7$  dB pour les types SPST, SPDT et SP4T respectively before 50 GHz bandwidth.

---

---

**Keywords:** Switchs, Radio Frequency, mmW, integrated circuits, SPST, SPDT, SP4T, CMOS.

---

## Listes des acronymes et abréviations

RF: Radio Frequency.

PIN: Positive Intrinsic Negative.

FET: Field Effect Transistor .

MEMS-RF: Micro Electro Mechanical Systems- Radio Frequency.

CMOS: Complementary Metal Oxide Semiconductor.

4G: 4<sup>ème</sup> Génération.

5G: 5<sup>ème</sup> Génération.

GSM: Global System for Mobile communications.

UMTS Universal Mobile Telecommunications System.

LTE: Long Term Evolution.

SPST: Single Port Single Throw.

SPNT: Single Port N Throw.

FET: Field Effect Transistor.

JFET: Junction Field Effect Transistor.

MOSFET: Metal Oxide Semiconductor Field Effect Transistor.

MESFET: Metal Semiconductor Field Effect Transistor.

SI: Silicon.

SOS: Silicon On Sapphire.

WCDMA: Wideband Code Division Multiple Access.

GSM: Global System for Mobile communications.

SPST: Single Pole Single Throw.

SPDT: Single Pole Double Throw.

MIMO: Multi Input Multi Output.

SP4T: Single Pole Four Throw.

GaAs :Gallium arsenide

LOCOS : Local Oxidation Of Silicic.

HF : Haute Fréquence.

DC: Direct Curent.

Si : Silicic.

$C_{gs}$ :Capacitor Grille -Source.

$C_{ds}$  : Capacitor Drain -Source.

$C_{gd}$ : Capacitor Grille -Drain.

Z:Impedance.

Y:Admittance.

## Table des matières

Introduction générale.....	1.
Chapitre1 Généralités.....	3.
1.1 Etat de l'art des commutateurs RF.....	4.
1.1.1 Les commutateurs RF à base de semi-conducteurs.....	4.
a Commutateur de diode PIN.....	5.
b commutateur GaAs FET.....	6.
c commutateur MESFET.....	7.
d Commutateur MOSFET.....	7.
e Commutateur MEMS.....	8.
f Les FET sur substrats SI/SOS.....	9.
1.1.2 Comparaison entre les caractéristiques des composants de type FET.....	9.
1.2 Caractéristiques d'un commutateur RF.....	11.
1.2.1 Isolation.....	12.
1.2.2 Perte d'insertion.....	12.
1.2.3 Perte de retour.....	13.
1.2.4 Gestion de la puissance RF.....	13.
1.2.5 La linéarité.....	14.
1.2.6 Temps de transition.....	14.
1.2.7 Vitesse de commutation.....	14.
1.3 Choix de la technologie CMOS.....	14.
1.3.1 Intérêt de la technologie CMOS.....	14.

Chapitre 2	Switches RF	
2.1	Etude des Switchs.....	16.
2.2	Configurations des switchs mm-W.....	16.
2.2.1	Switch RF unipolaire à une direction (SPST Single Pole Single Throw).....	16.
2.2.2	Switch RF unipolaire à deux directions (SPDT Single Pole Double Throw)..	17.
2.2.3	Exemple du mode de fonctionnement d'un switch SPDT.....	17.
2.3	Modèle de nMOS en shunt.....	18.
2.4	Dimensionnement de switch mm-W en shunt.....	21.
Chapitre 3	Étude des switches RF et en mm- W	
3.1	Switch Shunt SPST.....	23.
3.2	Switch Shunt SPST Traveling Wave (Ondes Progressive).....	24.
3.2.1	Double shunt.....	24.
3.3	Switch Shunt SPDT.....	26.
3.3.1	Simple shunt symétrique SPDT.....	26.
3.3.2	Simple shunt Asymétrique SPDT.....	29.
3.3.3	Traveling wave Symétrique SPDT.....	31.
3.4	Switch shunt SP4T.....	33.
	Conclusion générale.....	37.
	Annexes.....	38.
	Bibliographie.....	41.



## Liste des figures

Figure 1.1:(a) Schéma synoptique de l'émetteur-récepteur avec commutateur et correspondant réseaux, (b) schéma simple d'un émetteur-récepteur commutateur....	4.
Figure 1.2: Comparaison d'une structure en coupe transversale d'un MOSFET d'un Dispositif SOS et dispositif Si , (a) dispositif SOS, (b) dispositif Si Bulk.....	9.
Figure 1.3: Schéma électrique équivalent d'un commutateur RF.....	11.
Figure 2. 1: Type des Switchs en RF et mm-W.....	17.
Figure 2.2: Exemple mode de fonctionnement d'un switch SPDT.....	18.
Figure 2.3: (a) Eléments parasites importants d'un nMOS en shunt (b) Modèle passant shunt (c) Modèle bloqué shunt.....	18.
Figure 2.4: (a) Schéma nMOS en shunt (b) Modèle $\pi$ nMOS.....	19.
Figure 2.5:(a) Admittance de nMOS (b) Paramètres en ABCD.....	20.
Figure 3.1: Switch SPST simple shunt.....	23.
Figure 3.2: Résultats de simulation d'un switch SPST Simple shunt.....	24.
Figure 3.3: Schématique d'un switch SPST double shunt.....	25.
Figure 3.4: Adaptations d'entrée et de sortie (SPST double shunt).....	24.
Figure 3.5: Résultats de simulation (Switch SPST double shunt).....	26.
Figure 3.6: Schématique d'un switch SPDT simple shunt.....	27.
Figure 3.7: Switch SPDT symétrique simple shunt.....	28.
Figure 3.8: Résultats de simulations d'un switch SPDT symétrique.....	28.
Figure 3.9: Schématique d'un switch SPDT simple shunt asymétrique.....	29.
Figure 3.10: Résultats de simulations d'un switch SPDT asymétrique.....	30.
Figure 3.11: Résultats de simulations d'un switch SPDT symétrique.....	30.
Figure 3.12: Schématique d'un switch SPDT double shunt asymétrique.....	31.
Figure 3.13: Résultats de simulations d'un switch SPDT double shunt asymétrique....	32.
Figure 3.14: Résultats de simulations d'un switch SPDT double shunt asymétrique....	32.

Figure 3.15: Schématique d'un switch SP4T simple shunt symétrique.....	34.
Figure 3.16: Résultats de simulations d'un switch SP4T simple shunt symétrique.....	35.
Figure 3.17: Résultats de simulations d'un switch SP4T simple shunt symétrique.....	36.

## Liste des tableaux

Tableau 1.1 : Comparaison entre des diodes PIN réalisées sur différents substrats.....6.

Tableau 1.2 : Comparaison des performances de différentes technologies des commutateurs à une entrée vers une seule sortie (SPST).....10.

# Introduction générale

---

La révolution technologique a bouleversé notre société et a contribué à l'essor de nouvelles techniques en particulier dans le domaine des télécommunications, un domaine vaste et varié (Radars, satellites, téléphonie mobile...) [1]. Au fil des années, de nouveaux défis au niveau de la conception des émetteurs et des récepteurs radiofréquences (RF), se présentent aux industriels du domaine ; le but principal étant d'atteindre la meilleure performance en assurant un coût et un encombrement réduit du produit. A partir des années 1980, les circuits intégrés monolithiques micro-ondes ont été introduits dans la conception des systèmes de télécommunications [2]. Ils ont permis de réaliser sur le même substrat plusieurs fonctionnalités (switch, oscillateurs, mélangeurs, filtres, antennes, etc.) nécessaires pour la conception d'une chaîne d'émission/réception complète. Avec l'apparition de nouveaux standards sans fil, la diminution de la taille des composants est devenue indispensable pour concevoir des dispositifs plus compacts.

Le premier chapitre rappelle un état de l'art sur les switches RF est proposé pour déterminer le mode de fonctionnement des switches permettant de répondre aux exigences du standard des terminaux mobiles. Le circuit est destiné à être implanté sur une technologie silicium. L'évolution et les limites de la technologie CMOS sont illustrées.

Le second chapitre présente le choix de la technologie et la théorie des switches RF type entièrement intégré en technologie CMOS pour le standard 4G LTE, L'architecture shunt (parallèle) a été choisie.

Le chapitre 3 propose plusieurs architectures totalement intégrées en technologie CMOS en parallèle pour évaluer les avantages qu'apportent. Dans un premier temps, une étude de topologies de base SPST simple shunt. Puis, la topologie

retenue pour développer des traveling switch (Onde Progressive), et les simulations des performances des différentes architectures sont ensuite présentées pour évaluer les améliorations qu'apporte la technique Traveling Wave par rapport à un seul shunt.

Le but final est l'intégration de plusieurs switchs (SPDT et SP4T) d'une chaîne d'émission-réception sur une seule et même puce. Architectures basées sur le la topologie shunt sont alors proposées. Les switchs destinés aux plusieurs standards de télécommunication (4G, 5G).

# Chapitre 1 Généralités

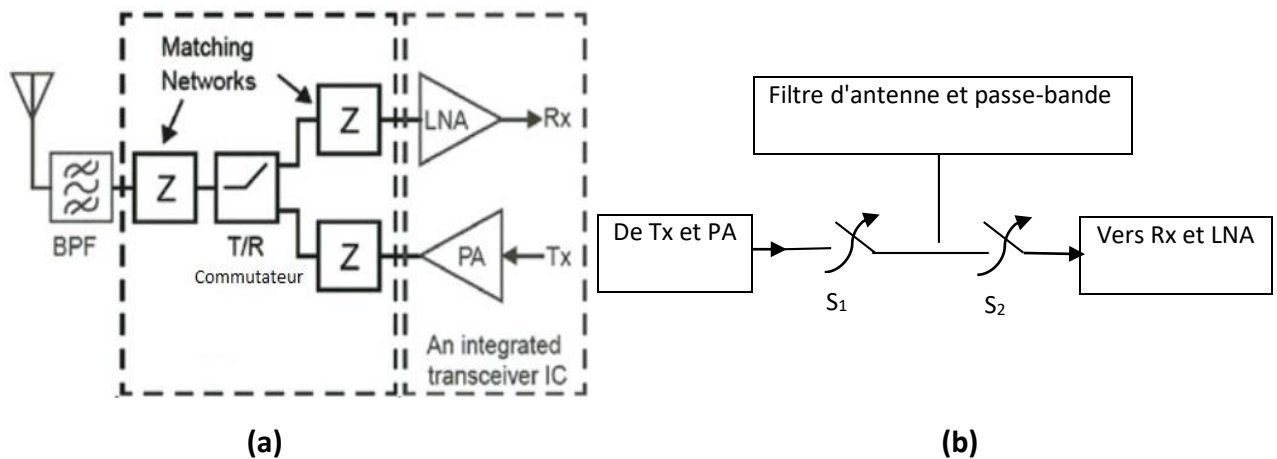
---

Une architecture d'émetteur-récepteur RF contient quelques blocs qui sont implémentés hors puce, comme illustré à la Figure 1.1. Cela inclut l'antenne, la présélection filtre passe-bande, filtre à fréquence intermédiaire et commutateur émetteur-récepteur.

Bien que des efforts soient faits pour intégrer ces blocs sur une seule puce en utilisant les technologies CMOS standard [3]-[4], le facteur de qualité des inducteurs sur puce et les parasites des substrats des MOSFET sont également des facteurs limitants très importants.

Auparavant, les littératures rapportées [5]-[6], suggèrent que les récepteurs sont en cours d'intégration. À partir de l'amplificateur à faible bruit, tandis que les émetteurs sont intégrés jusqu'à l'amplificateur de puissance. Un commutateur émetteur-récepteur intégré qui comprend réseaux pour l'amplificateur à faible bruit et l'amplificateur de puissance pousseront l'intégration limite plus loin vers l'antenne comme indiqué sur la Figure 1.1.a. Cependant, un tel l'amélioration diminue également le nombre de composants du conseil et donc le coût total. Par conséquent, le commutateur émetteur-récepteur est un candidat souhaitable, ainsi qu'un candidat approprié pour évaluer l'impact de la technique de polarisation inductive du substrat.

Le commutateur émetteur-récepteur sert à coupler alternativement l'antenne à l'émetteur ou le récepteur et pour protéger le récepteur lors de la transmission d'une puissance élevée.



**Figure 1.1.** (a) Schéma synoptique de radio avec l'intégration de l'émetteur-récepteur commutateur et correspondant réseaux, (b) schéma simple d'un émetteur-récepteur commutateur [6].

Les circuits RF de pointe atteignent un niveau élevé performance via des éléments de circuit personnalisés avec dédié chemins de signal pour les fonctions spécifiques à l'application, mais long délais de conception et coûts de fabrication non récurrents augmenter les coûts et le calendrier pour les nouvelles applications et limiter réutilisation.

## 1.1 Etat de l'art des commutateurs RF

Les commutateurs RF à base de semi-conducteurs les commutateurs à semi-conducteurs sont présents dans les systèmes RF / micro-ondes modernes.

Ils sont utilisés pour contrôler le signal flux, sélectionnez les sources de signal et pour beaucoup autres applications. Ces commutateurs sont mis en œuvre avec négation intrinsèque positive Diodes (PIN) ou avec effet de champ transistors (FET) tels que pseudo morphes transistors à haute mobilité électronique (pHEMTs), chacun offrant des avantages relatifs avantages et inconvénients.

### 1.1.1 Les commutateurs RF à base de semi-conducteurs

Comme leur nom l'indique, les matériaux semi-conducteurs ont des propriétés électriques situées entre celles des matériaux isolants et celles des matériaux métalliques. La théorie des bandes d'énergie stipule que certains matériaux possèdent

une faible bande interdite  $\Delta E$  ( $\sim 1$  eV). En appliquant une excitation électrique aux bornes du matériau semi-conducteur, des électrons de la bande de valence peuvent migrer facilement vers la bande de conduction, provoquant une diminution de la résistivité du matériau et ainsi l'apparition d'un courant électrique [7].

#### **a Commutateur de diode PIN**

Une diode PIN est une diode à semi-conducteur dans laquelle une région intrinsèque (I) de haute résistivité est prise en sandwich entre les régions de type p et de type n et nommée P-I-N. Sans préjugé, la diode se comporte comme une capacité et en polarisant la diode se comporte comme un inducteur. Il a une linéarité très significative, de sorte qu'il peut être utilisé pour les hautes fréquences

Applications (HF) et applications à très haute puissance ; cependant, comme le plus haut DC appliquée, la perte d'insertion la plus faible se produit. La diode PIN est contrôlée par le courant résistance qui fonctionne comme une résistance variable à fréquence RF et micro-ondes régime du spectre électromagnétique.

La valeur de résistance de la diode PIN est déterminée uniquement par le courant continu polarisé en direct. Une caractéristique supplémentaire du code PIN la diode est sa capacité à contrôler de gros signaux RF tout en utilisant des niveaux beaucoup plus petits de courant continu.

A l'état passant, la diode est polarisée en utilisant un courant important d'environ 10 mA ce qui garantit que la résistance alternative est faible [8]. Dans l'état OFF, la structure du code PIN a une faible capacité de jonction qui assure la grande isolation. Les diodes PIN peuvent être fabriquées en silicium et en arséniure de gallium et il présente une insertion très significative pertes ( $<1$  dB) et traitement de la puissance

( $> 5$  W) jusqu'aux très hautes fréquences ; leur statique la consommation d'énergie due au courant de polarisation reste une limitation sévère [9]. Depuis un courant de polarisation important est généralement requis pour le fonctionnement du commutateur, il doit être alimenté à travers un étranglement. En raison des limitations de la consommation électrique statique, les commutateurs à diode sont



progressivement remplacés par GaAs MESFET, qui offre seulement légèrement pire performances pour une consommation d'énergie statique considérablement réduite.

Le **Tableau** ci-dessous compare les performances électriques d'une sélection de diodes PIN réalisées sur différents substrats.

Technologie des diodes PIN	GaAs	SiC	GaN
Référence	<b>[10]</b>	<b>[11]</b>	<b>[12]</b>
Ron ( $\Omega$ )	<b>2,5</b>	<b>60</b>	<b>29</b>
Coff fF	<b>36</b>	<b>37</b>	<b>47</b>
FC (GHz)	<b>1770</b>	<b>70,7</b>	<b>117</b>

**Tableau 1.1.** Comparaison entre des diodes PIN réalisées sur différents substrats. [7]

Actuellement, on dénombre plusieurs types de transistors FET. Le choix du substrat, du matériau semi-conducteur ainsi que le type et la technique de dopage sont généralement des critères qui influent sur le mode de fonctionnement, les performances et le domaine d'application de ces transistors. Les FET utilisés pour la fonction commutation sont principalement :

- Les JFET (Junction FET)
- Les MOSFET (Metal Oxide Semiconductor FET)
- Les MESFET (Metal Semiconductor FET)
- Les HEMT (High Electron Mobility Transistors).

#### ***b* Commutateur GaAs FET**

Un commutateur à circuit intégré GaAs est un circuit intégré utilisant un effet de champ transistors pour réaliser la commutation entre plusieurs chemins [13]. Il s'agit d'une résistance contrôlée par une tension, utilisée pour le large bande, généralement entre 0,5 et 4 GHz. Ce commutateur spécialement conçu pour les applications à 5-6 GHz, avec une perte d'insertion faible de 0,25 dB, de bonnes performances d'isolation, une

faible consommation d'énergie et une meilleure commutation. la vitesse. Cependant, il peut fonctionner jusqu'à une tension de commande maximale de 6 V. Pour éviter les inconvénients ci-dessus du commutateur à diode PIN et du commutateur GaAs, nous avons proposé le commutateur CMOS.

Un commutateur CMOS est un circuit intégré utilisant MOSFET pour réaliser une commutation entre plusieurs chemins [14]. Il a une faible dépendance de la valeur dans plusieurs ports en dB par rapport à la tension de commande avec une meilleure vitesse de commutation.

### ***c Commutateur MESFET***

Les transistors à effet de champ à semi-conducteurs (MESFET) sont des opérateurs majoritaires dispositifs et applicables pour le fonctionnement à grande vitesse. Il peut être implémenté en utilisant silicium, arséniure de gallium et phosphore d'indium [15], cependant, à base de silicium Les MESFET sont incapables de gérer de grandes puissances et sont généralement plus lents que ceux mis en œuvre en utilisant les autres matériaux. Pour haute puissance (> 1 W) et haute fréquence (> 1 GHz), les MESFET sont implémentés en GaAs. Cela est dû à bande interdite importante de GaAs, et donc une grande tension de claquage qui permet une haute un fonctionnement en tension sans aucun problème de fiabilité peut être atteint [16].

Pour la conception de MESFET en GaAs, le principal compromis est entre sa résistance à l'état ON et Capacité à l'état bloqué. Afin d'obtenir une perte d'insertion faible, un grand appareil avec une faible résistance ON peut être utilisée. Cela dégrade les performances d'isolation depuis la capacité à l'état bloqué sera grande. Une limitation importante est qu'ils ne peuvent pas être intégré avec des émetteurs-récepteurs à base de silicium. Une autre limitation de GaAs MESFET les commutateurs sont leur capacité de gestion de la puissance par rapport aux diodes PIN [5]-[ 6].

### ***d Commutateur MOSFET***

Le transistor à effet de champ métal-oxyde-semi-conducteur (MOSFET) est l'un des options de commutateur les plus simples. Il est disponible dans un processus CMOS (Complementary Metal-Oxide Semiconductor) et sa performance s'améliore tous les dix

ans. Seuls les MOSFET à base de silicium conviennent au commutateur en raison de l'absence de isolant pour portail pour autres matériaux [17]. La résistance ON du MOSFET en silicium est nettement inférieure à un MESFET en GaAs en raison de la faible mobilité des électrons et des trous dans canal à faibles champs électriques. La technologie récente offre une très petite longueur de canal MOSFET avec un meilleur produit  $R_{ON} C_{OFF}$  [18]. Le diélectrique à grille mince et la petite longueur de canal permet un fonctionnement à basse tension. Les résistances des canaux et les résistances du substrat sont les principales sources de perte de puissance dans le MOSFET.

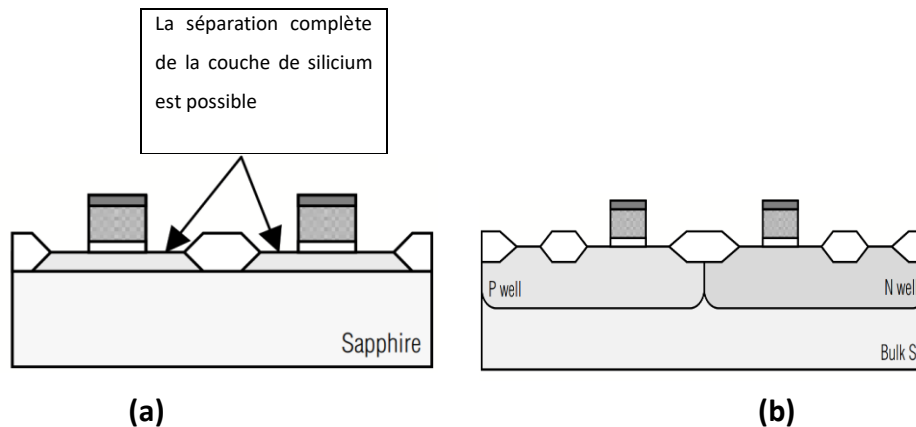
La résistance du substrat peut être réduite en mettant le substrat à la terre aussi près que possible de l'appareil que possible. Le faible facteur de qualité de la jonction parasite source et drain Les condensateurs peuvent également entraîner des pertes importantes, d'autant plus que la fréquence de fonctionnement augmente. La linéarité du commutateur MOSFET est limitée pour les signaux de grande taille oscillations dues à la modulation de la conductivité provoquée par un changement de source-grille ( $V_{gs}$ ) et tension drain-source ( $V_{ds}$ ) pour une entrée de signal importante.

#### ***e Commutateur MEMS***

Les commutateurs micro électromécaniques (MEMS) sont des dispositifs micro-usinés qui utilisent un mouvement mécanique et physique pour atteindre ON (court) ou OFF (ouvert) dans la ligne de transmission [19]. Le mouvement mécanique et physique du commutateur MEMS contrôle l'impédance d'une ligne de transmission. Généralement RF Les commutateurs MEMS sont conçus pour fonctionner en ondes millimétriques ou micro-ondes fréquences (0,1-100 GHz) du spectre. Les commutateurs RF MEMS ont un avantage sur les commutateurs RF traditionnels avec leur fonctionnement à large bande, haute isolement, faible perte d'insertion, faible consommation d'énergie, réseaux de polarisation simples et produits à faible intermodulation [20]. Cependant, ils ont plusieurs inconvénients comme faible vitesse de commutation dans l'ordre de la microseconde, exigence de tension d'actionnement élevée, et des effets de commutation à chaud dans les applications à forte puissance.

## f Les FET sur substrats Si/SOS

Le dispositif SOS est fabriqué en formant un oxyde métallique transistor à effet de champ semi-conducteur (MOSFET) sur le Si film situé sur un substrat de saphir, qui est un isolant, comme illustré à la (figure 1.5. a). Puisque les éléments sont formés sur le dessus de substrats isolants, les empreintes de la source et le drain, ou la capacité de jonction, est structurellement extrêmement petit. En outre, il est également possible d'isoler complètement les éléments individuels en utilisant l'élément des séparations, telles que l'oxydation locale du Si (LOCOS). Par conséquent, la structure sera simple et petite, rendant il n'est pas nécessaire de bien former les régions d'une faible impureté concentration, essentielle pour les dispositifs en vrac en silicium, comme indiqué dans Figure 5.b).



**Figure 1.2.** Comparaison d'une structure en coupe transversale d'un MOSFET d'un Dispositif SOS et dispositif Si, **(a)** dispositif SOS, **(b)** dispositif Si Bulk. [21]

### 1.1.2 Comparaison entre les caractéristiques des composants de type FET

Ces différents types de transistors FET réalisés sur différents types de substrats (silicium massif, AsGa, Si, SOS) décrivent entre autres l'histoire du développement de la technologie des semi-conducteurs durant les cinquante dernières années. Ce développement a été soutenu par le fort besoin d'intégrer un très grand nombre de composants électroniques sur des surfaces très réduites et par la diversité d'applications qui demandent une exploitation en fréquence de plus en plus large (DC-RF). Le gain

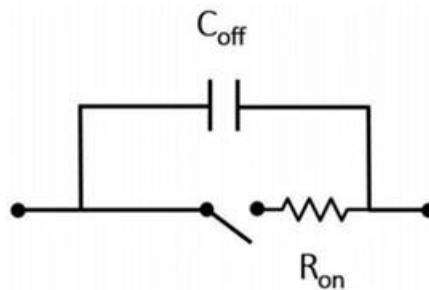
majeur apporté par la technologie SI/SOS par rapport à la technologie substrat massif repose d'une part sur la diminution de la taille et de la consommation des composants et d'autre part sur la possibilité de monter plus haut en fréquence avec une remarquable amélioration en termes de performances électriques (isolation à l'état OFF et pertes d'insertion à l'état ON). Cependant la technologie SI/SOS présente des inconvénients qui sont liés à la complexité des procédures de fabrication. En effet cette technologie nécessite de faire croître une fine couche de silicium (couche active) avec de bonnes propriétés physico-chimiques sur des substrats (oxyde ou saphir) n'ayant pas la même structure cristallographique que le silicium. Ainsi le coût de fabrication d'un wafer SI croît rapidement, il est deux fois plus élevé qu'un wafer de silicium massif [22]. Un autre inconvénient est lié à la faible conductivité thermique de la couche d'isolation (l'oxyde pour SI et le saphir pour SOS). En effet cette couche qui est utilisée pour isoler électriquement la couche active du reste du substrat, constitue également une barrière thermique, empêchant ainsi le transfert de chaleur induite dans la couche active vers le substrat. Ce phénomène se traduit par un auto-échauffement du composant, potentiellement responsable de la dégradation des performances du transistor aux hautes fréquences [23]-[24]. Dans le tableau ci-dessous nous résumons les points majeurs marquant les performances des technologies FET sur différents substrats.

FET	Substrat	Fréquence d'utilisation	Pertes d'insertion (dB)	Isolation (dB)	Ron x Coff (fs)	Réf
HJFET	AlGaAs	DC-110 GHz	< 2,55	> 22,2	170	[25]
CMOS	Si (Bulk)	DC-94 GHz	1,6	19-32	300	[26]
pHEMT	GaAs	DC-60 GHz	3	24	-	[27]
pHEMT	InP	DC-20 GHz	< 1,16	> 20	-	[28]
CMOS	SI	100-220 GHz	1-2,5	16	180	[29]

**Tableau 1.2.** Comparaison des performances de différentes technologies des commutateurs à une entrée vers une seule sortie (SPST). [7]

## 1.2 Caractéristiques d'un commutateur RF

Un commutateur est un composant qui présente deux états binaires : un état passant (ON) assurant la transmission du signal ou un état bloqué (OFF) empêchant la transmission du signal. Dans le cas idéal, un commutateur à l'état ON assure la transmission du signal sans pertes et sans distorsions, tandis qu'à l'état OFF, il bloque le passage de la totalité du signal. Un commutateur idéal peut être modélisé par un court-circuit (impédance nulle) à l'état ON et par un circuit ouvert (impédance infiniment grande) à l'état OFF. Un commutateur RF est un commutateur fonctionnant dans le domaine des radiofréquences. Ce type de commutateur peut être représenté par un circuit équivalent qui présente à l'état ON une résistance  $R_{on}$  et à l'état OFF une capacité  $C_{off}$  (Figure 1.3).



**Figure 1.3.** Schéma électrique équivalent d'un commutateur RF. [7]

Les performances électriques d'un commutateur RF sont évaluées à travers les valeurs de  $R_{on}$  et de  $C_{off}$  :

- La valeur de  $R_{on}$  renseigne sur les pertes d'insertion à l'état passant (ON)  $\mu$  plus  $R_{on}$  est faible plus les pertes sont minimales ;
- La valeur de  $C_{off}$  renseigne sur le niveau d'isolation à l'état bloqué (OFF)  $\mu$  plus la valeur de  $C_{off}$  est faible, plus le niveau d'isolation est élevé.
- On considère qu'un commutateur est performant lorsque sa réponse s'approche de celle d'un commutateur idéal. Les performances des commutateurs RF peuvent être caractérisées par une figure de mérite définie par :

$$FOM = R_{on} * C_{off}$$

**1.1**

Avec :

$R_{on}$  : Résistance à l'état ON.

$C_{off}$  : Capacité à l'état OFF.

Plus FOM est faible, plus les performances du commutateur se rapprochent de celles d'un commutateur idéal.

Dans le domaine RF les performances électriques (pertes d'insertion et isolation) sont déterminées à partir des mesures des paramètres S du composant (exprimés en dB). On distingue :

Le paramètre S21 appelé coefficient de transmission, il traduit la proportion de signal transmis qui a été fournie par la source.

Le paramètre S11 appelé coefficient de réflexion, il traduit la proportion de signal réfléchi vers la source. A l'état passant (ON), une grande partie du signal est transmise, le paramètre S21 est proche de 0 dB (transmission avec des pertes minimales). A l'état bloqué (OFF), une grande partie du signal RF est réfléchi vers la source, le paramètre S11 tend vers 0 dB et le paramètre S21 tend vers des valeurs faibles (en règle générale, on peut considérer qu'un commutateur présente une forte isolation lorsque les valeurs de S21 sont inférieures à - 15 dB). Dans le reste du manuscrit les valeurs des paramètres S seront données en valeurs absolues ( $|S21|$  et  $|S11|$ ).

Aussi les principales caractéristiques électriques à étudier du commutateur classé avec ordre de priorité par rapport à les exigences de notre système et sont les suivantes :

### **1.2.1 Isolation**

L'isolation du commutateur RF fait référence à l'isolation RF entre l'entrée et la sortie et il est mesuré par S21 du commutateur dans son état bloquant, qui est l'état OFF pour un commutateur en série. Les principaux facteurs contributifs incluent le couplage capacitif et fuite de surface [30].

### **1.2.2 Perte d'insertion**

La perte d'insertion est la perte d'énergie et de puissance du signal due à l'insertion d'un dans la ligne de transmission (il peut s'agir d'une fibre optique ou d'un réseau local). La perte d'insertion du commutateur RF est la perte RF dissipée dans le dispositif et elle est mesurée par  $S_{21}$  (dans le périphérique à deux ports) entre l'entrée et la sortie du commutateur dans son commutateur État ON, qui est l'état fermé pour un commutateur en série [22]. Il peut aussi être exprimé comme l'inverse du rapport de la puissance du signal délivré à cette partie de la ligne en suivant le périphérique au signal transmis à la même partie avant son insertion.

Les principaux facteurs contributifs incluent la perte résistive des lignes de signal, le contact aux fréquences basses à moyennes et perte due à l'effet de profondeur de la peau lorsque la profondeur de la peau représente la profondeur à laquelle le courant électrique circule, mesurée à partir de la surface de conducteur.

### **1.2.3 Perte de retour**

La perte de retour est la perte d'énergie / puissance du signal résultant de la réflexion. causée à une discontinuité dans la ligne de transmission (fibre optique ou réseau local). Cette discontinuité peut être une discordance avec la charge terminale ou avec un périphérique inséré dans la ligne. La perte de retour du commutateur RF fait référence à la perte RF reflétée par le dispositif, la partie d'un signal qui ne peut pas être absorbée par le commutateur, ou ne peut pas traverser une mauvaise impédance due au commutateur. Cette composante de le signal est réfléchi par la non-concordance d'impédance et revient de cette et il est mesuré par  $S_{11}$  à l'entrée du commutateur dans son état ON. Les principaux facteurs contributifs sont la non-concordance des caractéristiques totales du commutateur impédance [31].

### **1.2.4 Gestion de la puissance RF**

C'est une mesure de la quantité et de la qualité de transmission du signal RF par un commutateur. À quantifier la gestion de la puissance RF, le point de compression de



1 dB est généralement spécifié. Ce point est une mesure de l'écart par rapport à la linéarité de la puissance de sortie de 1 dB ,en ce qui concerne la puissance d'entrée. Alternativement, en mode de fonctionnement pulsé conditions, la puissance de crête. Dans les commutateurs contenant des jonctions P – N, la gestion de la puissance est une fonction de fréquence [8].

### **1.2.5 La linéarité**

Si le rapport entre la puissance de sortie d'un commutateur et la puissance d'entrée est fonction de la niveau de puissance, le commutateur est censé se comporter comme un dispositif non linéaire [8]. Quand des signaux de différentes fréquences passent par le commutateur à la fois, puis Outre les fréquences d'entrée, la sortie du commutateur contiendra également des fréquences liées à la somme et à la différence des harmoniques des différentes fréquences d'entrée.

### **1.2.6 Temps de transition**

Le temps de transition est essentiellement le temps nécessaire pour que la tension RF passe de 10 à 90% (parfois 0-100%) pour l'état ON ou diminuer de 90 à 10% (parfois 100 à 0%) pour l'état OFF.

### **1.2.7 Vitesse de commutation**

La vitesse de commutation est le temps nécessaire au commutateur pour répondre à la sortie application de la tension d'entrée ou modification du niveau de tension d'entrée. Vitesse de commutation comprend le délai de propagation du lecteur ainsi que le temps de transition et est mesurée à partir de le point de 50% de la tension de commande à 90% pour l'état ON ou à 10% pour l'état OFF du Tension RF.

## **1.3 Choix de la technologie CMOS**

### **1.3.1 Intérêt de la technologie CMOS**

Au cours de la dernière décennie, la majorité des blocs : digitaux, mixtes, RF ont pu être intégrés avec succès sur un même substrat en technologie CMOS. Cependant, pour les applications cellulaires, les switchs sont placés entre l'antenne et le récepteur ou l'émetteur. Dans le cas le cas d'un standard tel que 5G, les niveaux de puissance de sortie sont généralement faibles, pour lesquels la pression de développer des switchs avec faible perte d'insertion devient plus en plus difficile.

Les switchs utilisés actuellement pour les applications cellulaires (WCDMA, GSM...) sont implémentés dans des modules externes avec un procédé de fabrication coûteux, tel que l'AsGa (Arséniure de Gallium). Cependant l'avantage majeure de la technologie CMOS est moins couteuse et le tût d'intégration très élevées (l'intégration de maximum de transistor sur une petite surface).

## Chapitre 2 Switches RF

---

### 2.1 Etude des Switchs

Bien que la première partie de ce travail a été entièrement basée sur l'état de l'art des switchs RF, et de fournir les dernières méthodes et techniques d'optimisation dans les bandes millimétriques. Maintenant en passent à l'étude d'une seule cellule de base en (simple shunt), afin d'extraire les capacités parasites ( $C_{gs}$ ,  $C_{ds}$  et  $C_{gd}$ ) en état bloqué ( $C_{off}$ ) et la résistance équivalente en état conduit ( $R_{on}$ ).

Les switchs transferts que nous avons proposés sont à la base des SPSTs un seul et double shunt avec les lignes de transmissions  $\lambda/4$  utilisées comme des inverseurs d'impédance ou adaptation, le facteur de mérite mesuré par le produit de ( $C_{off} \times R_{on}$ ).

Notre objectif est de trouver un compromis entre les pertes d'insertion et l'isolation avec priorité à la dernière, donc essayer de trouver  $R_{on}$  et  $C_{off}$  optimales pour une isolation élevée (>-20 dB) et des pertes acceptables autour de 5 dB.

Dans les paragraphes qui suivent on va présenter les configurations des circuits proposés après étudier la méthode de dimensionnement de la cellule de base (SPST Shunt).

### 2.2 Configurations des switchs mm-W

Il existe plusieurs configurations des switchs mm-W, mais on va citer les deux les plus utilisés qui ont été classés comme suit :

### 2.2.1 Switch RF unipolaire à une direction (SPST : Single Pole Single Throw)

Très utilisées dans les systèmes comme les radars et pour le haut débit de communication à cause de ces caractéristiques, temps de commutation très rapide et ont faible perte d'insertion, dépend aussi de la configuration ou topologie utilisés (série, parallèle ou série parallèle).

### 2.2.2 Switch RF unipolaire à deux directions (SPDT : Single Pole Double Throw)

Généralement sont utilisées dans un système émetteur/récepteur sont fabriqués par séparer les deux chemins et jouent un rôle très important dans les systèmes actuels, les avantages de ces types de switch dépend de types de technologies utilisées mais le plus important est le potentiel d'intégration (remplacés deux SPSTs).

Comme déjà mentionné il existe d'autres configurations de switch comme bipolaire à bi-direction (SPDT) c'est une combinaison de deux SPDTs et sont utilisés pour les systèmes ont plusieurs directions (exemple systèmes MIMO : Multi Input Multi Output), une autre configuration c'est le switch bipolaire à quatre directions SPFT (Double Pole Four Throw) fabriqués pour des systèmes compliquer.

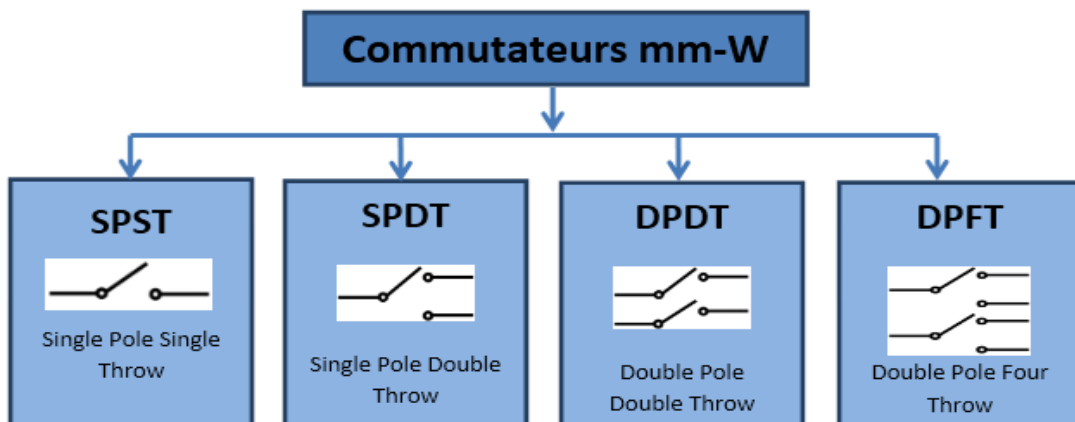


Figure 2. 1 Type des Switchs en RF et mm-W.

### 2.2.3 Exemple du mode de fonctionnement d'un switch SPDT

Les switches (Figure 2.1) à un seul shunt a deux modes, mode pour activer port 1 (les impédances de sortie  $Z=50 \Omega$ ) et l'autre chemin il sera désactivé (les impédances de sortie  $Z \gg 50 \Omega$ ) et inversement, les impédances de sortie du port 2 présente ( $Z=50 \Omega$ ) et l'autre chemin port 1 désactivé.

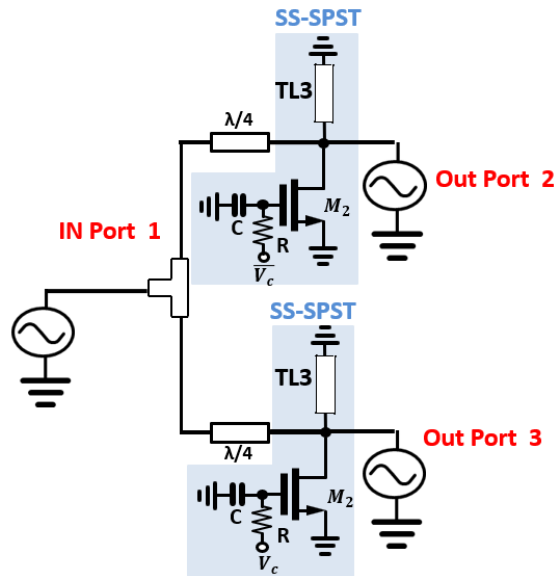


Figure 2.2. Exemple mode de fonctionnement d'un switch SPDT .

### 2.3 Modèle de nMOS en shunt

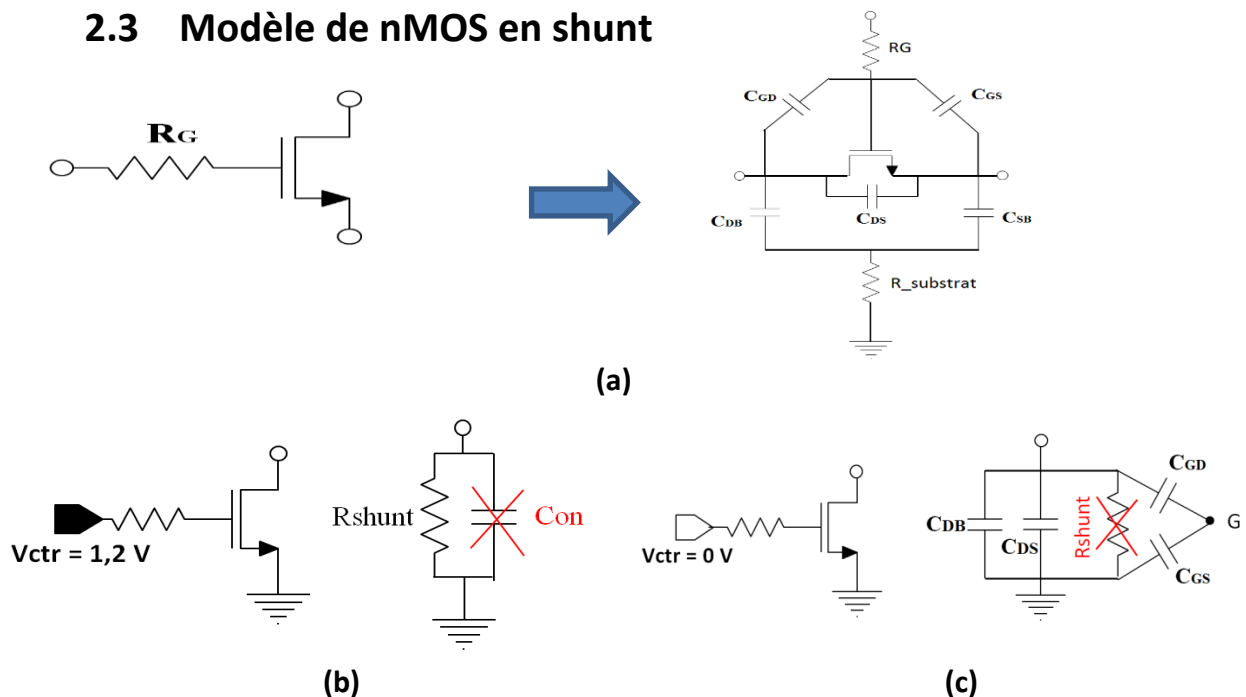


Figure 2.3. (a) Eléments parasites importants d'un nMOS en shunt (b) Modèle passant shunt (c) Modèle bloqué shunt.

Pour dimensionner notre switch, nous avons étudié le transistor nMOS (B55 STMicroelectronics) en shunt (Figure 2.3), les switches ont deux états bloqués et passant la (Figure 2.3.a) et (Figure 2.3.b),  $R_G$  résistance de polarisation de grille, l'élément parasite qui intervienne en état passant c'est la résistance  $R_{shunt}$  (résistance de canal drain source) par contre les éléments parasites en état bloqué sont :

$C_{DS}$  capacité entre drain et la source,  $C_{GS}$  entre la grille et source,  $C_{GD}$  entre la grille et drain,  $C_{DB}$  entre drain et substrat  $C_{SB}$  entre source et substrat.

Nous avons utilisé model  $\pi$  pour l'extraction des éléments parasites (capacités et résistances) du transistor nMOS en shunt (Figure 2.4), cette extraction peut être effectuée avec simulation des paramètres S en bande < 50 GHz, dans notre cas la source du transistor est connectée à la masse donc on a qu'un seul port en drain et en commande les deux états à travers la polarisation de grille ( $\overline{V_{gate}} = 0V$  et  $V_{gate} = 1.2 V$ ), la tension en drain  $V_{ds} \approx 0 V$  (Méthode d'extraction s'appelle a transistor froid),

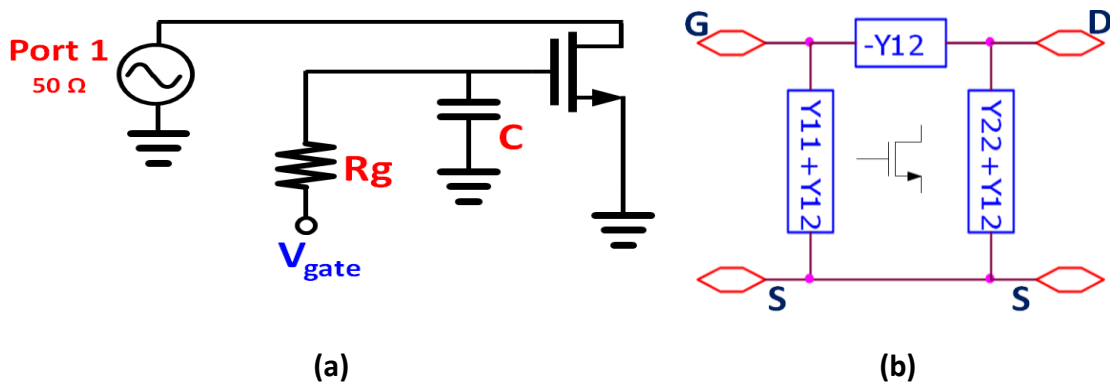


Figure 2.4. (a) Schéma nMOS en shunt (b) Modèle  $\pi$  nMOS

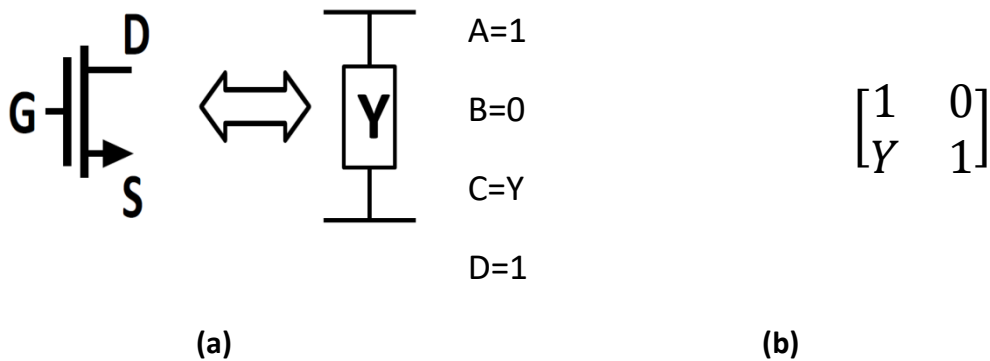
En topologie shunt, dans état passant (tension appliqué sur la grille  $V_{gate}=1.2 V$ ), La résistance du canal  $R_{shunt}$  est très faible et en parallèle avec la résistance de substrat, La Figure 2.5 montre les valeurs de  $R_{shunt}$  en fonction des différentes tailles de largeur de transistor nMOS ( $W$  varie de 1.5 à 8  $\mu m$ ) et sur large bande de fréquence.

En état bloqué (tension appliqué sur la grille  $V_G=0 V$ ) le transistor considéré comme circuit ouvert donc la résistance de canal  $R_{shunt}$  est très élevée, dans ce cas-là en mesure les capacités de parasites ( $C_{gs}$ ,  $C_{gd}$  et  $C_{ds}$ ), la résistance du substrat est très

élevée donc en générale on a aussi la capacité drain substrat considéré négligeable causé par la topologie shunt, l'équation générale des capacités est :

$$C_{eq} = C_{OFF} = \frac{C_{GS}C_{GD}}{C_{GS} + C_{GD}} + C_{DS} + C_{DB} \quad 2.1$$

Les capacités Coff globale en fonction des différentes largeurs du transistor (W= 1.5 à 8  $\mu\text{m}$  avec un pas de 0.5  $\mu\text{m}$ ), on remarque plus la largeur du transistor augmente plus la capacité aussi augmente, cette capacité est la responsable de l'isolation de notre circuit. Le calcul de l'isolation et pertes d'insertion peut s'effectuer à l'aide du modèle de transistor en shunt Figure 2.5, car la topologie est en parallèle en va utiliser l'admittance après en doit converti ces matrices à des matrices ABCD (la matrice ABCD d'un circuit en shunt (Figure 2.5.), à partir de ces dernières en peut tirer l'isolation et les pertes d'insertion.



**Figure 2.5** (a) Admittance de nMOS (b) Paramètres en ABCD.

$$Y = \frac{1}{Z_{DS}} \quad 2.2$$

$$S_{12} = \frac{2}{A + \frac{B}{Z_0} + CZ_0 +} = S_{21} \quad 2.3$$

$$S_{21} = \frac{2}{2 + Z_0 n Y} \quad 2.4$$

$$ISO = |S_{21-ON}| = \frac{2}{2 + Z_0 n Y_{ON}} = \frac{2}{2 + \frac{Z_0 n}{R_{ON}}} = \frac{2R_{ON}}{Z_0 n} \quad 2.5$$

$$IL = |S_{21-OFF}| = \frac{2}{2 + Z_0 n Y_{OFF}} = \frac{2}{\left[ \left( 2 + \frac{Z_0 n}{R_{OFF}} \right)^2 + (Z_0^2 n^2 W^2 C_{OFF}^2) \right]^{\frac{1}{2}}} \quad 2.6$$

Avec :

$n$  : est le nombre des nMOS placées en shunt (parallèle) .

$Y$  :Admittance ;  $Z_{DS}$  :Impédance entre Drain-Source ;  $A/B/D/C$  :Facteurs de la matrice  $Y$ .

$S_{12}$  ;  $S_{21}$  :Paramètres  $S$  .

$R_{OFF}$  est la résistance équivalente en état bloqué et  $R_{ON}$  est la résistance équivalente en état passant,  $W$  est la largeur du nMOS,  $C_{OFF}$  la capacité de transistor en état bloqué,  $Z_0$  l'impédance caractéristique. On remarque de l'équation 1.5 plus le  $n$  augmente c'est-à-dire le nombre de cellule en shunt plus l'isolation augmente, et pour l'équation 1.6 plus  $n$  augmente plus la perte d'insertion augmente.

## 2.4 Dimensionnement de switch mm-W en shunt

Nous avons commencé par l'évaluation de notre thèse, d'après l'état de l'art les analyseurs de réseau vectoriel ont besoin d'une forte isolation, plusieurs mesures doivent être prendre en considération parmi eux trouver un compromis entre l'isolation et les pertes d'insertion, en générale on va baser sur une forte isolation avec des pertes d'insertion acceptable ou comparable à l'état de l'art dans notre bande fréquence 50 GHz, les simulations nécessaires à effectuer en topologie shunt sont :

- Isolation : mesurée par le module de  $S_{21}$  en état bloqué.
- Perte d'insertion : mesurée par le module de  $S_{21}$  en état passant
- Adaptation (Bande de fréquence) : en entrée module de  $S_{11}$  et en sortie module de  $S_{22}$ .

Bien que le comportement idéal de la technique shunt a été expliqué, la mise en œuvre en nécessite de placer des transistors en shunt qui ne se comportent bien pas exactement en pratique (pratiquement on aura plus de perte d'insertion) a causé qu'on va ajouter des lignes d'accès non idéal. Mais ça ne va pas impacter énormément sur les résultats de simulation ( $\pm 0.1$  dB).



## Chapitre 3 Étude des switches RF en mm- W

---

L'analyse de la performance de la topologie Doherty conçue a été effectuée à l'aide Advanced Design System Agilent 2009. Dans cette partie, des différentes architectures des switches composés de transistors nMOS et ont été fabriqués dans la bande  $\leq 50$  GHz. Le premier switch conçu présente l'architecture basique. Par la suite, Ces switches optimisés pour améliorer les performances principales (Adaptation, Pertes d'insertion et l'isolation).

Les architectures des switches proposées dans cette partie, sont composés de transistors nMOS en shunt (parallèle). Des lignes de transmission  $\lambda/4$  jouent le rôle des inverseurs d'impédance qui convertissent un court-circuit en un circuit ouvert. Ces lignes permettent également d'adapter le chemin RF (ou le chemin de perte insertion). Une version Simple Shunt switch intégré utilise des cellules SPST (single pole single shunt) tandis que la seconde utilise des cellules SPST Double Shunt. Chacune de ces cellules SPST a été optimisée afin de présenter la meilleure perte d'insertion et le maximum d'isolation.

La procédure de dimensionnement typique pour le dimensionnement des switch passives nMOS à haute fréquence comprend quatre étapes (Figure 3.1) :

- 1) La tension de grille est initialement fixée sur  $V_{gate}=0$  V et la largeur du transistor est balayée de  $W_r=1.5$  à  $8$   $\mu\text{m}$ .
- 2) La tension de grille est initialement fixée sur  $V_{gate}=1.2$  V et la largeur du transistor est balayée de  $W=1.5$  à  $8$   $\mu\text{m}$ .
- 3) Le nbre de doigts est balayé de  $N_{re} =6$  à  $64$  avec  $V_{gate}=0$  V ou  $1.2$  V pour un  $W$  fixe.
- 4) Le stub (*TLS*) est ajusté en longueur et en impédance pour compenser la capacité du transistor.

### 3.1 Switch Shunt SPST

C'est un switch de base, très utilisé pour des circuits digitaux (ou numérique), en même temps c'est notre cellule de base afin de développer d'autres architectures pour les différentes applications. La conception de ce switch est passée comme suit : l'emplacement de deux port (Entrée/Sortie) afin de générer et mesurer les signaux RF et mm-W (Term 1 et Term2) (Figure 3.1).

On a placé le transistor nMOS en shunt (Architecture souvent utilisée à cette gamme de fréquence) avec une ligne de transmission en parallèle (un stub) qui joue le rôle d'une inductance et afin de compenser la partie capacitive du transistor en shunt (Figure 3.1). Ce transistor est polarisé en 1.2 V (état off) ou 0 V (état ON).

Nous avons deux paramètres de transistor nMOS ( $n_r$ =Nbre de finger et la largeur= $W_r$ ) de la grille de transistor (Figure 3.1).

Une ligne de transmission est placée juste avant le transistor et joue le rôle d'inverseur d'impédance. La Figure. 3.1 compare les résultats simulés d'un switch de type SPST nMOS à  $V_{gate}=0$  et 1.2 V.

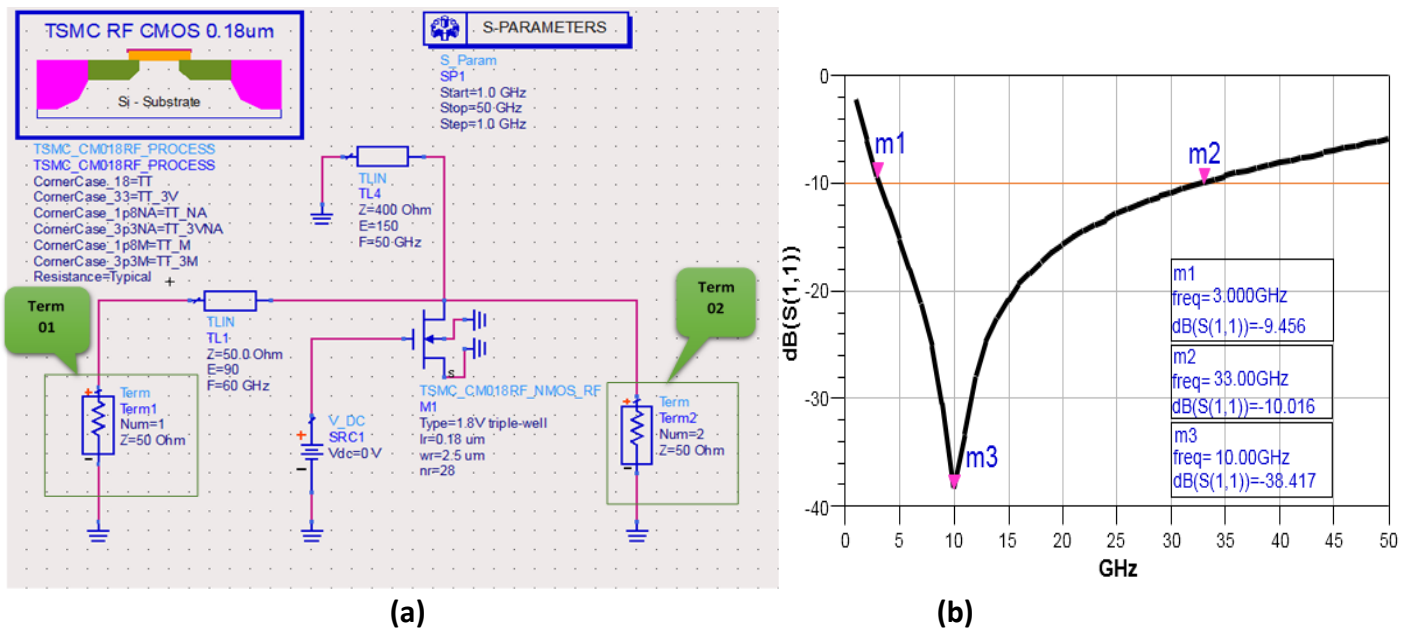


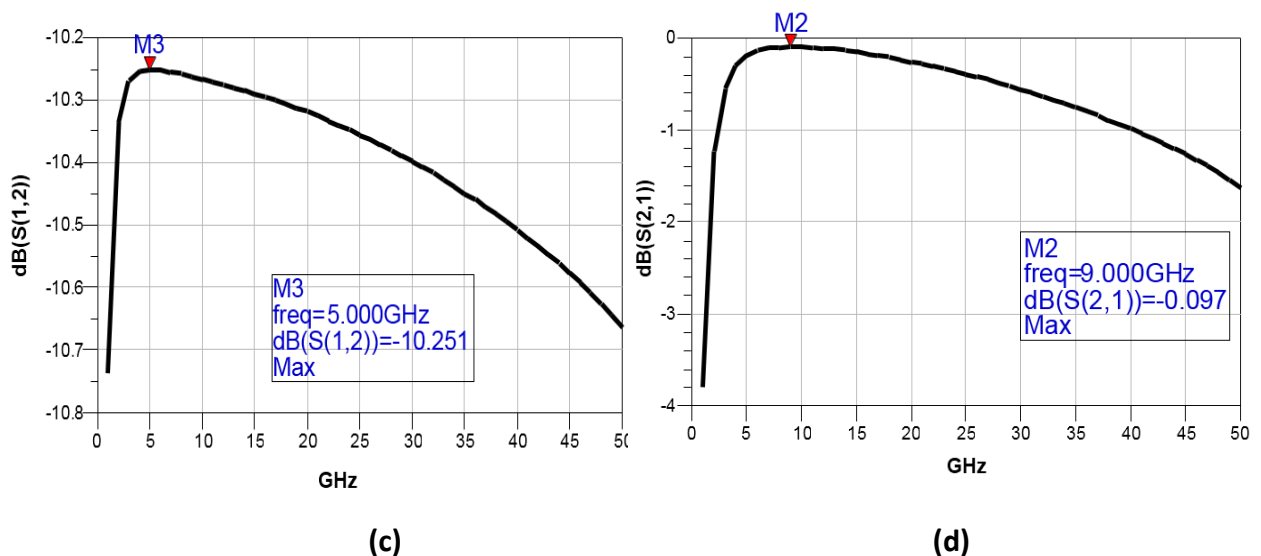
Figure 3.1. Switch SPST simple shunt.

Les résultats de simulation obtenus à l'aide d'ADS Keysight © sont présentés dans les (Figure 3.1 ) a / c / d .

Après une étape d'optimisations des résultats (Ajustement des longueurs des lignes de transmissions et les paramètres du transistor en shunt), nous avons trouvés une large adaptation supérieur -10 dB entre m1 et m2 [3GHz-33GHz] (Figure 3.1.b).

Pour les deux autres paramètres clés des switchs nous avons trouvés une faible isolation (Figure 3.2.c) entre l'entrée et la sortie M3=-10.251 dB ,et faible pertes insertion M2=-0.097 dB ,sur la gamme de fréquence m1 et m2 [3GHz-33GHz] (Figure 3.2.d).

Ces résultats expliquent les performances de cette architecture (simple shunt) car théoriquement le transistor présente faible résistance en état ON ( $R_{on}$ ) et faible capacité en état OFF ( $C_{off}$ ).

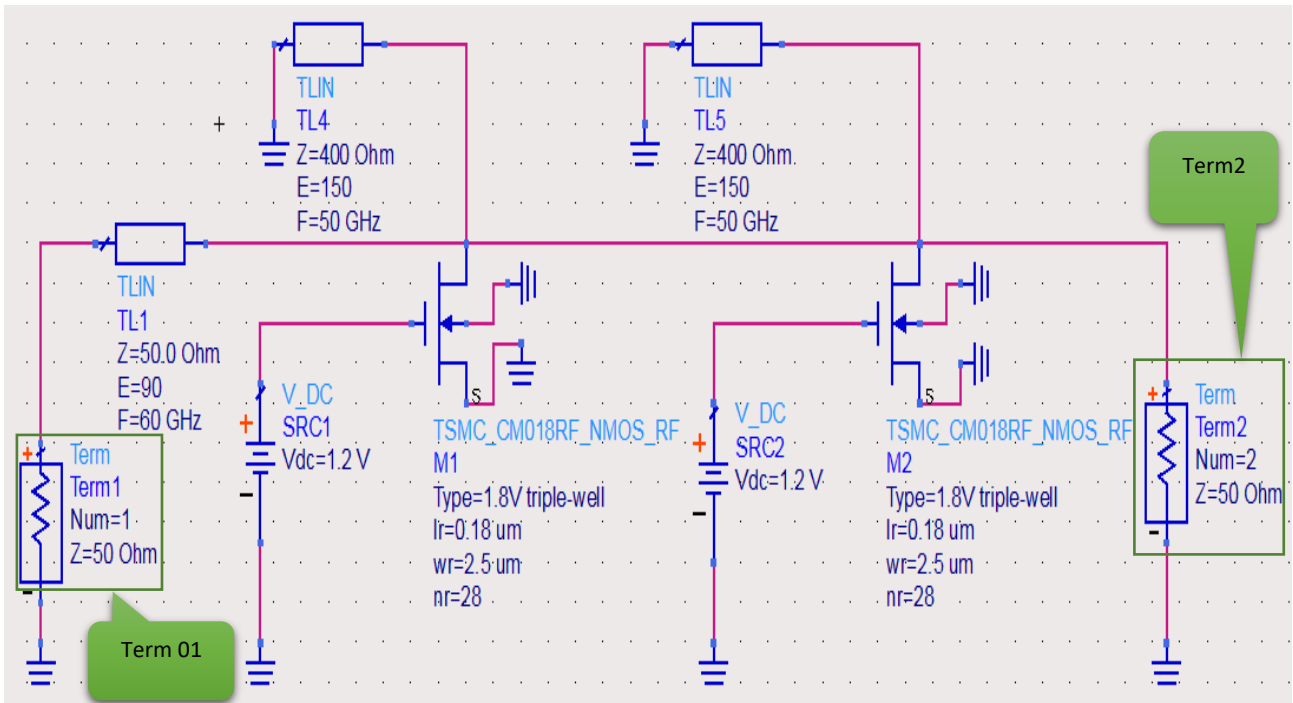


**Figure 3.2.** Résultats de simulation d'un switch SPST Simple shunt.

## 3.2 Switch Shunt SPST Traveling Wave (Ondes Progressive)

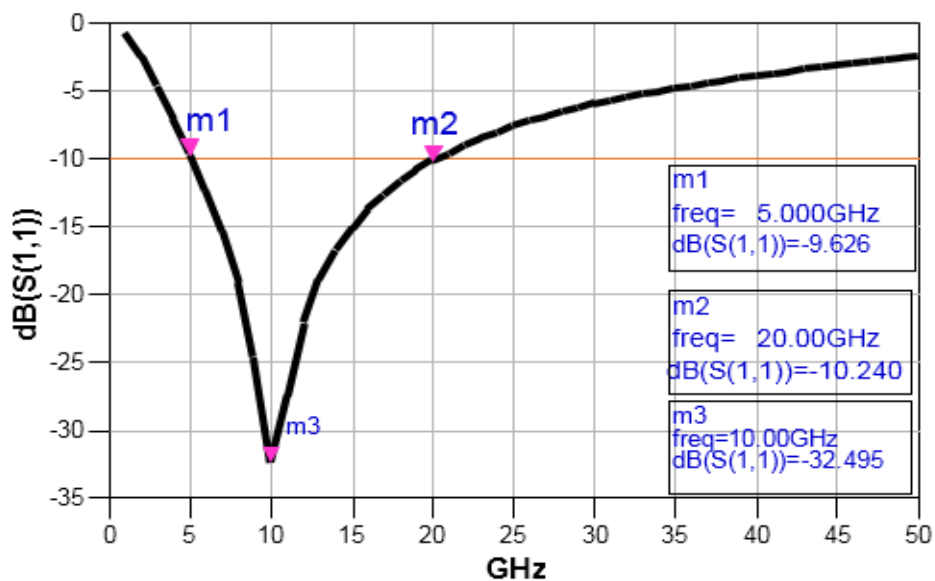
### 3.2.1 Double shunt

Pour cette topologie pareille nous avons placé Un deuxième transistor en shunt (Figure 3.3), afin d'améliorer l'isolation de notre SPST switch car théoriquement l'ajout d'un deuxième transistor en parallèle (shunt) ça va ajouter un réseau capacité/résistance en parallèle par conséquent un peu plus de perte et plus d'isolation.



**Figure 3.3.** Schématique d'un switch SPST double shunt.

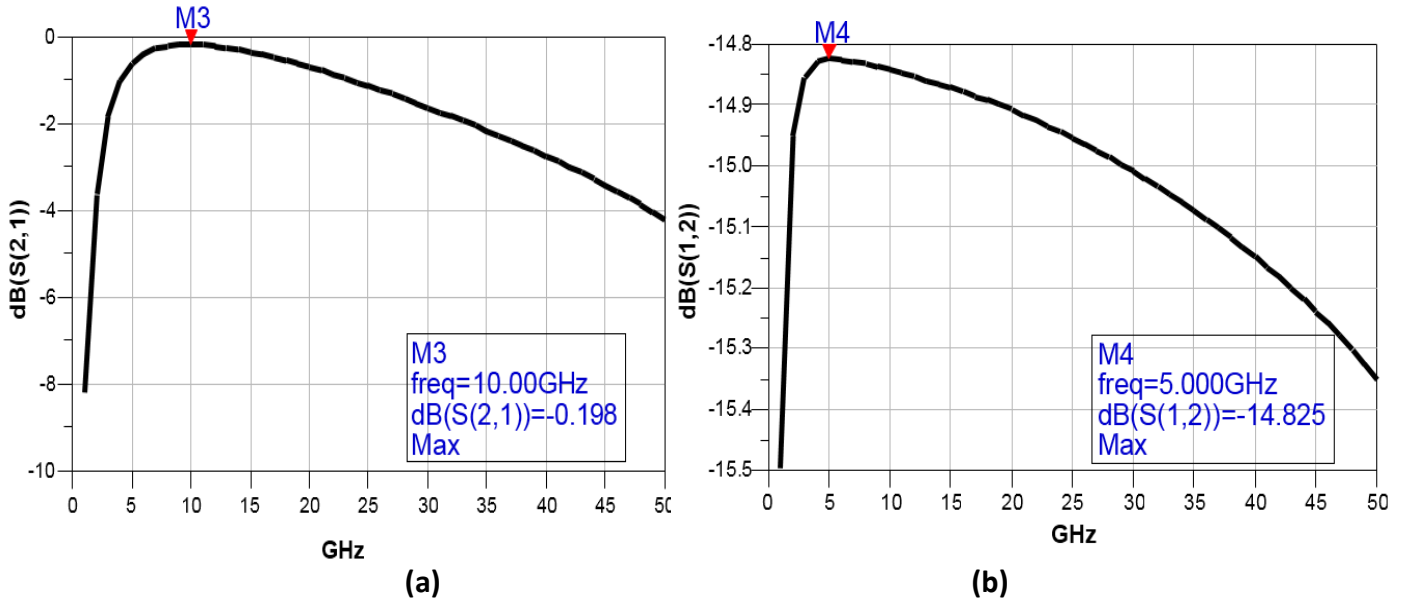
Le circuit est symétrique donc on mesure les mêmes adaptations d'entrée et de sortie (S11 et S22). Après une optimisation, nous avons trouvés une large adaptation supérieure à - 10 dB entre m1 et m2 ,[5GHz-20GHz] (Figure 3.4).



**Figure 3.4.** Adaptations d'entrée et de sortie (SPST double shunt).

Les résultats de simulations des petit signaux (Paramètres S) sont présentés dans les (Figure 3.4) et (Figure3.5).

Pour cette architecture, et après l'optimisation de la taille des transistors nous avons trouvés une adaptation supérieure à -10 dB entre m1 et m2 [5GHz-20GHz] GHz (Figure 3.4) due à l'ajout d'une cellule en shunt (bande de fréquence relativement étroite par rapport à la structure de base).



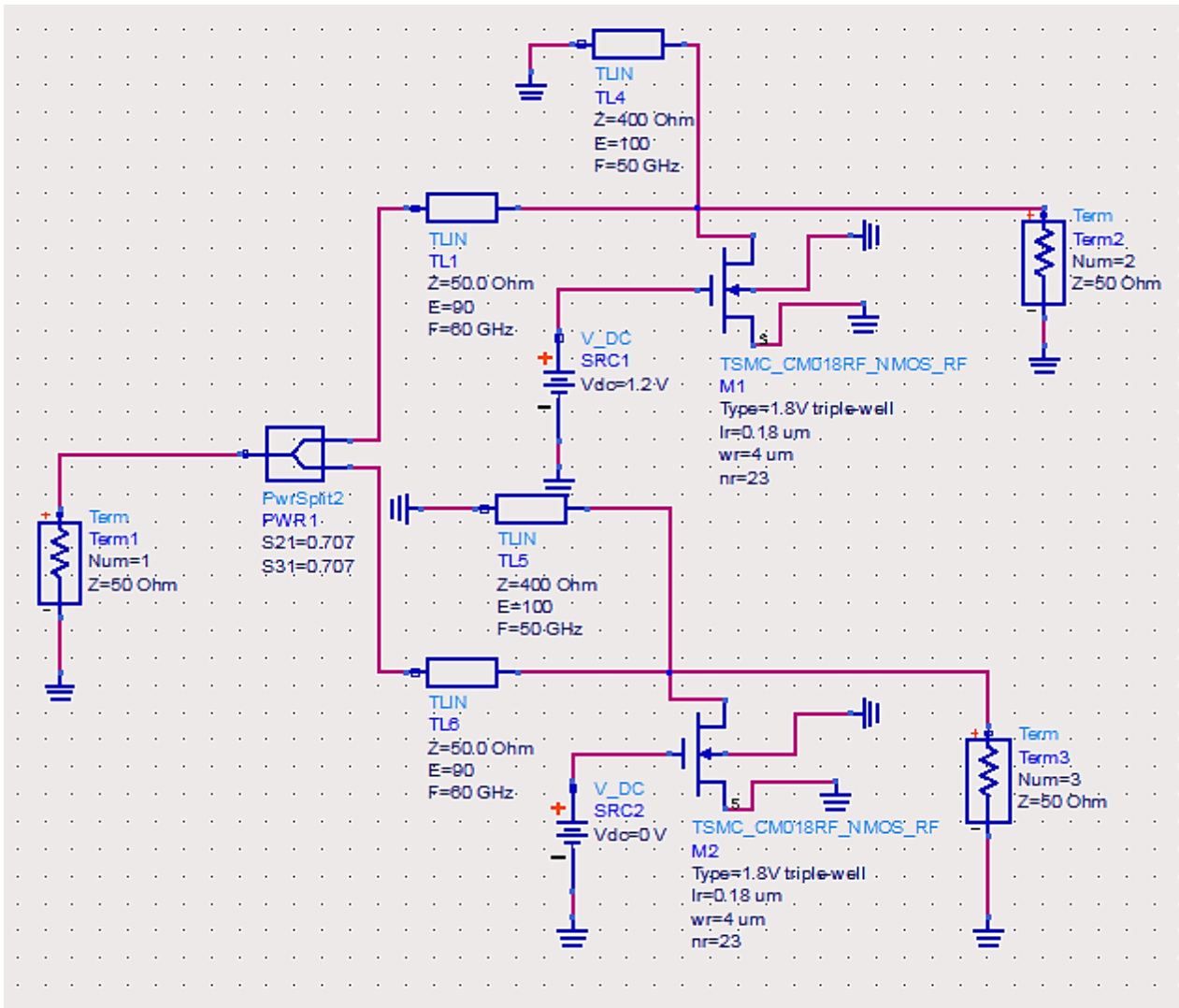
**Figure 3.5.** Résultats de simulation (Switch SPST double shunt).

La (Figure 3.5.a) et (Figure 3.5.b) présente les performances en termes des pertes d'insertion  $M3=-0.198$  dB et l'isolation  $M4=-14.825$  dB, théoriquement plus on ajoute des structure (nMOS) en shunt on mesure plus de pertes du signal RF (Pertes d'insertion) par contre nous avons trouvés plus d'isolation (autour -15dB).

### 3.3 Switch Shunt SPDT

#### 3.3.1 Simple shunt symétrique SPDT

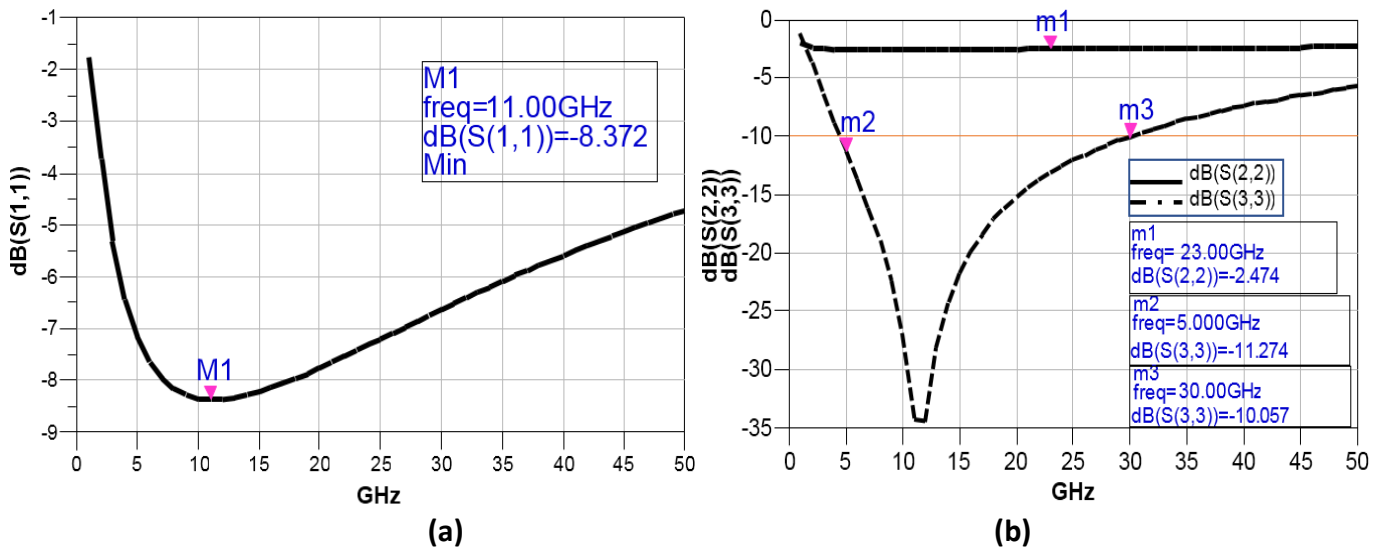
Ce type de switch (Figure 3.6) très utilisés dans les systèmes de télécommunication RF : émetteur (coté amplificateur de puissance) /récepteur (coté amplificateur faible bruit), pour les simulations on place un port en entrée afin de générer le signal RF et en sortie en récupèrent deux signaux RF port 2 et Port 3 (pour les deux chemins).



**Figure 3.6.** Schématique d'un switch SPDT simple shunt.

Le switch (Figure 3.6) à un seul shunt a deux modes, mode pour activer port 1 (les impédances de sortie  $Z=50 \Omega$ ) et l'autre chemin il sera désactivé (les impédances de sortie  $Z \gg 50 \Omega$ ) et inversement, les impédances de sortie du port 2 présente ( $Z=50 \Omega$ ) et l'autre chemin port 1 désactivé.

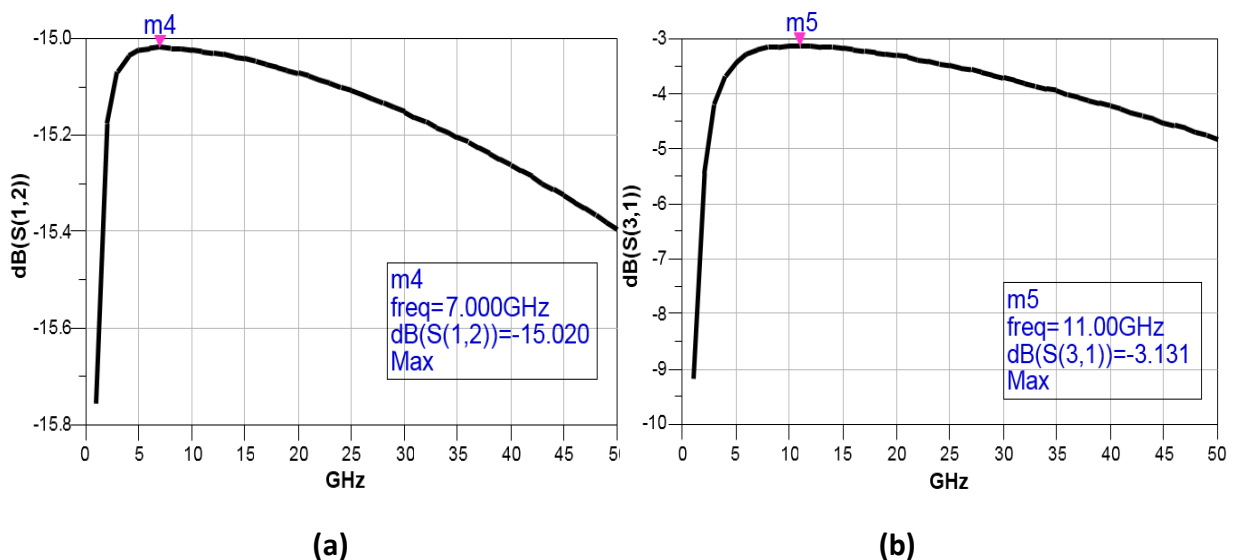
Pour connecter les deux voies, un diviseur de puissance est déjà conçu avec des fabricants DK (design Kit). Le répartiteur de puissance est conçu avec un composant idéal (Figure 3.6).



**Figure 3.7.** Switch SPDT symétrique simple shunt.

Les résultats de simulation de ce switch (simple shunt SPDT) sont donnés dans (Figure 3.7) (Figure 3.8) des paramètres  $S_{ij}$ , où nous constatons une bonne adaptation à l'entrée de ce switch est supérieur de -6 dB entre [3GHz-50GHz] (Figure 3.7.a), et en sortie supérieur à -10 dB entre m2 et m3 [5GHz-33GHz] (Figure 3.7.b).

En termes des pertes d'insertion sont inférieures à  $m_5 = -3.131$  dB (Figure 3.8.b), par contre l'isolation est supérieure à  $m_4 = -15.020$  dB (Figure 3.8.a)



**Figure 3.8.** Résultats de simulations d'un switch SPDT symétrique.

Le but de développer cette architecture est de faire un compromis entre les pertes d'insertion et l'isolation mais de manière symétrique (pour les deux voies).

### 3.3.2 Simple shunt Asymétrique SPDT

Nous allons proposer dans cette partie une architecture de switch SPDT asymétrique afin de placer le récepteur sur la voie où on a moins de pertes et l'autre voie l'émetteur là où on a plus d'isolation.

Cependant, la Figure 3.9 montre le schématique de la topologie proposée. Les deux paramètres clés pour optimiser cette architecture il suffit de jouer sur le nombre des finger ( $N_r$ ) ou doigts et la largeur des transistors ( $W_r$ ).

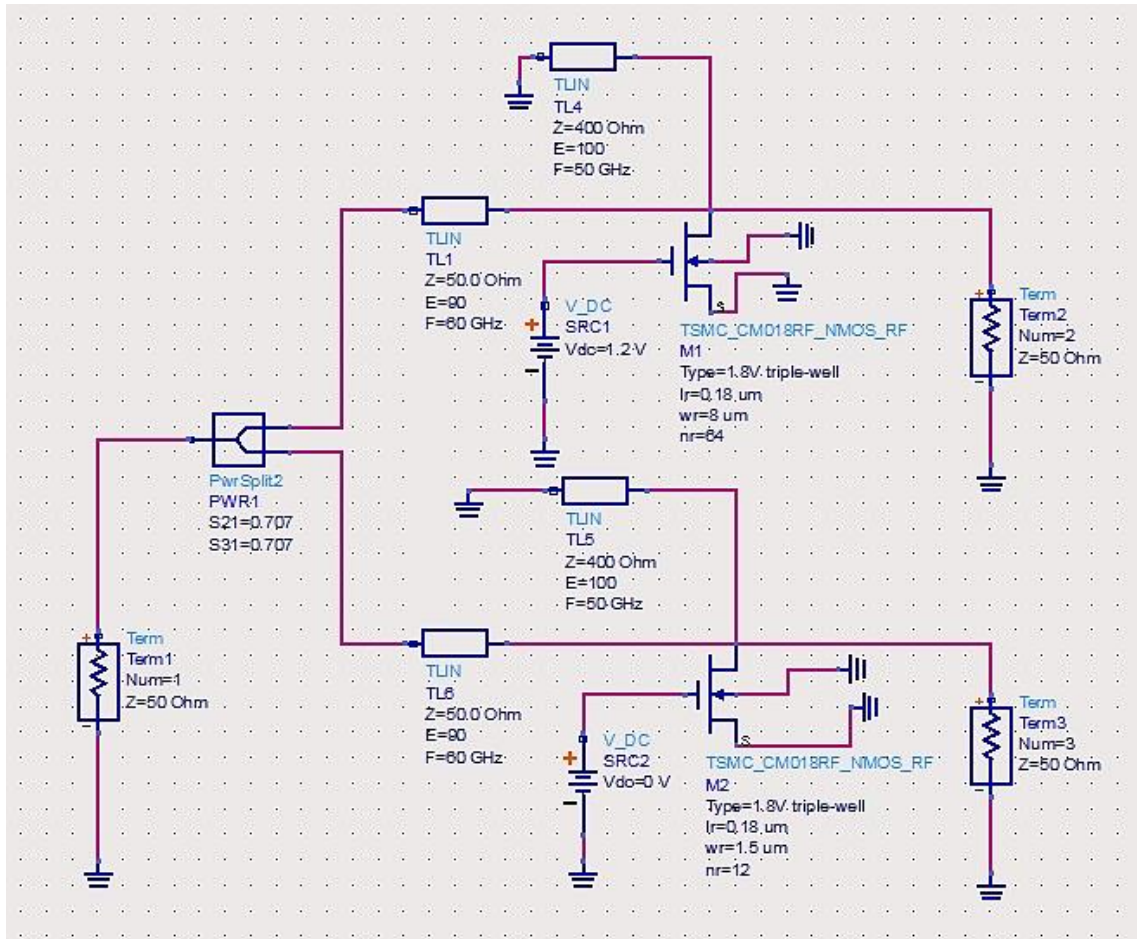
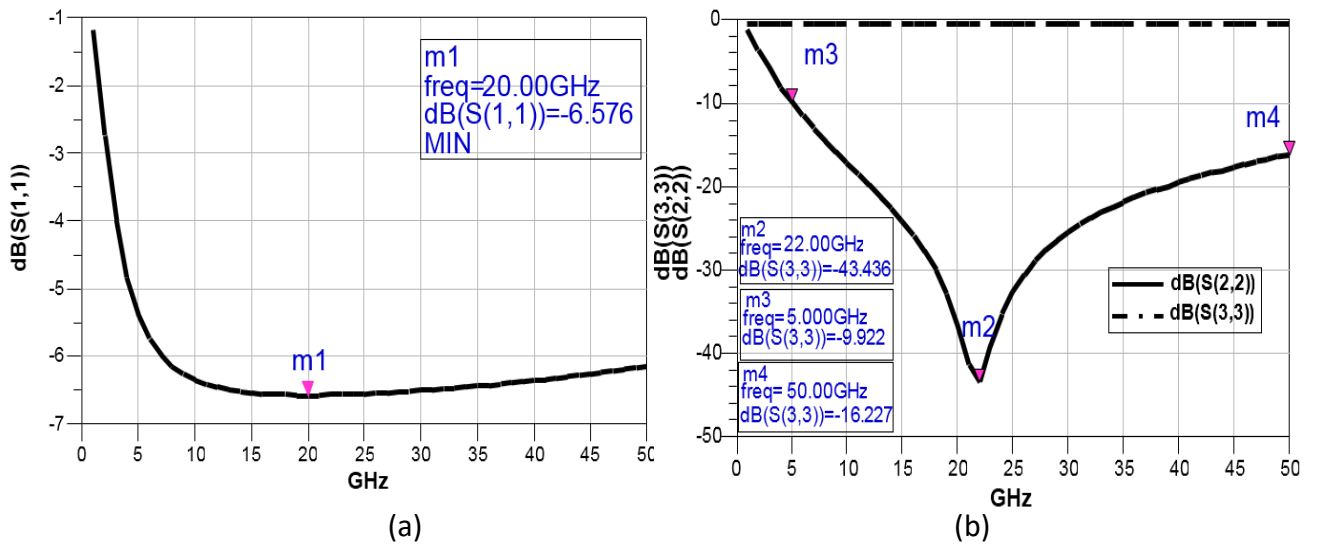


Figure 3.9. Schématique d'un switch SPDT simple shunt asymétrique.

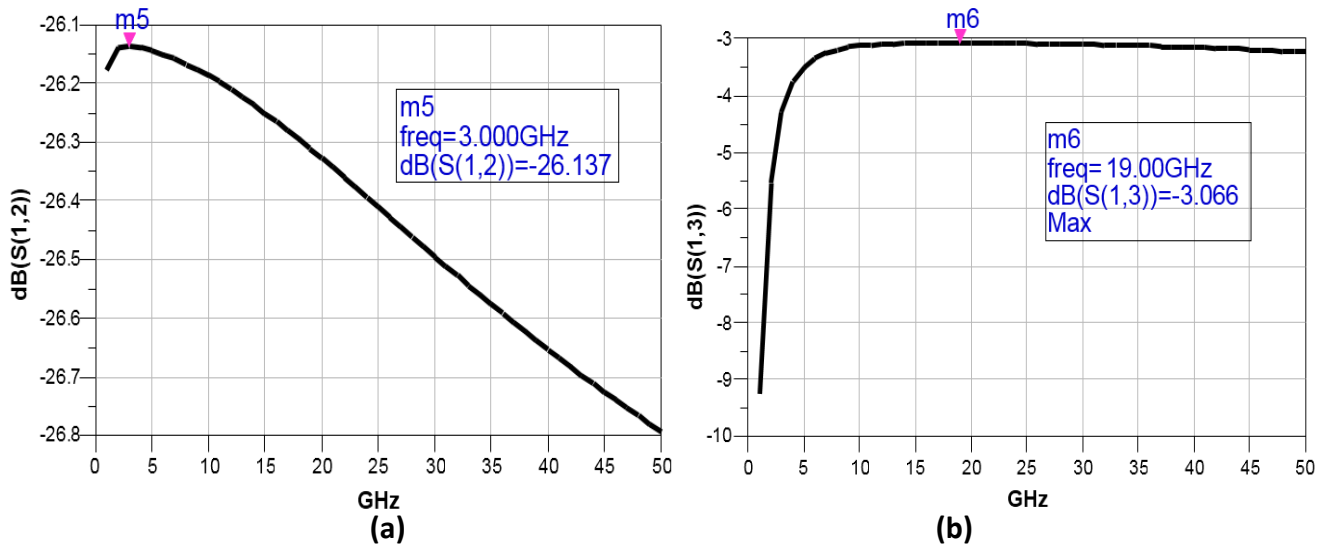
La (Figure 3.10) montre les résultats de simulations d'adaptation d'entrée et de sortie après une optimisation des tailles des transistors et lignes de transmissions, en termes d'adaptation d'entrée et nous avons trouvé une adaptation supérieure à -6 dB entre [7GHz-50GHz] (Figure 3.10.a), et en sortie supérieur à -10 dB entre m3 et m4 [5GHz-50GHz] (Figure 3.10.b). Cependant et afin de vérifier la voie isolée nous avons constaté que le signal RF ne passe pas dans la deuxième voie de sortie.





**Figure 3.10.** Résultats de simulations d'un switch SPDT asymétrique.

La (Figure 3.11) présente les performances en termes des pertes d'insertion et l'isolation respectivement, théoriquement plus on ajoute des structures (nMOS) en shunt on mesure plus de pertes de signal RF (Pertes d'insertion)  $m5 = -26.137$  GHz (Figure 3.11.a.). Cependant nous avons trouvés une amélioration en terme l'isolation  $m6 = -3.066$  dB (Figure 3.11a).



**Figure 3.11.** Résultats de simulations d'un switch SPDT symétrique.

### 3.3.3 Traveling wave Asymétrique SPDT

Nous présentons dans cette partie un switch SPDT asymétrique entre les deux voies de sortie pour l'application émetteur/récepteur RF ou 5G, le but de cette architecture est d'utiliser une voie ou on a moins de perte e réception et la deuxième (plus d'isolation) en émission (Figure 3.12).

La (Figure 3.12) montre le schématique de cette architecture, nous avons placé un port en entrée afin de générer le signal RF et deux ports en sortie pour mesurer les deux voies de sortie, nous avons aussi placé double transistor en shunt pour chaque voie. Les deux paramètres clés du transistor sont la largeur  $W_r$  et  $N_r$  qui présente le nombre de doigt ou finger. Nous allons présenter les résultats final cad après une longue optimisation des dimensions des transistors et des lignes de transmissions. Cependant les figures montrent les résultats de simulations après l'optimisation des dimensions.

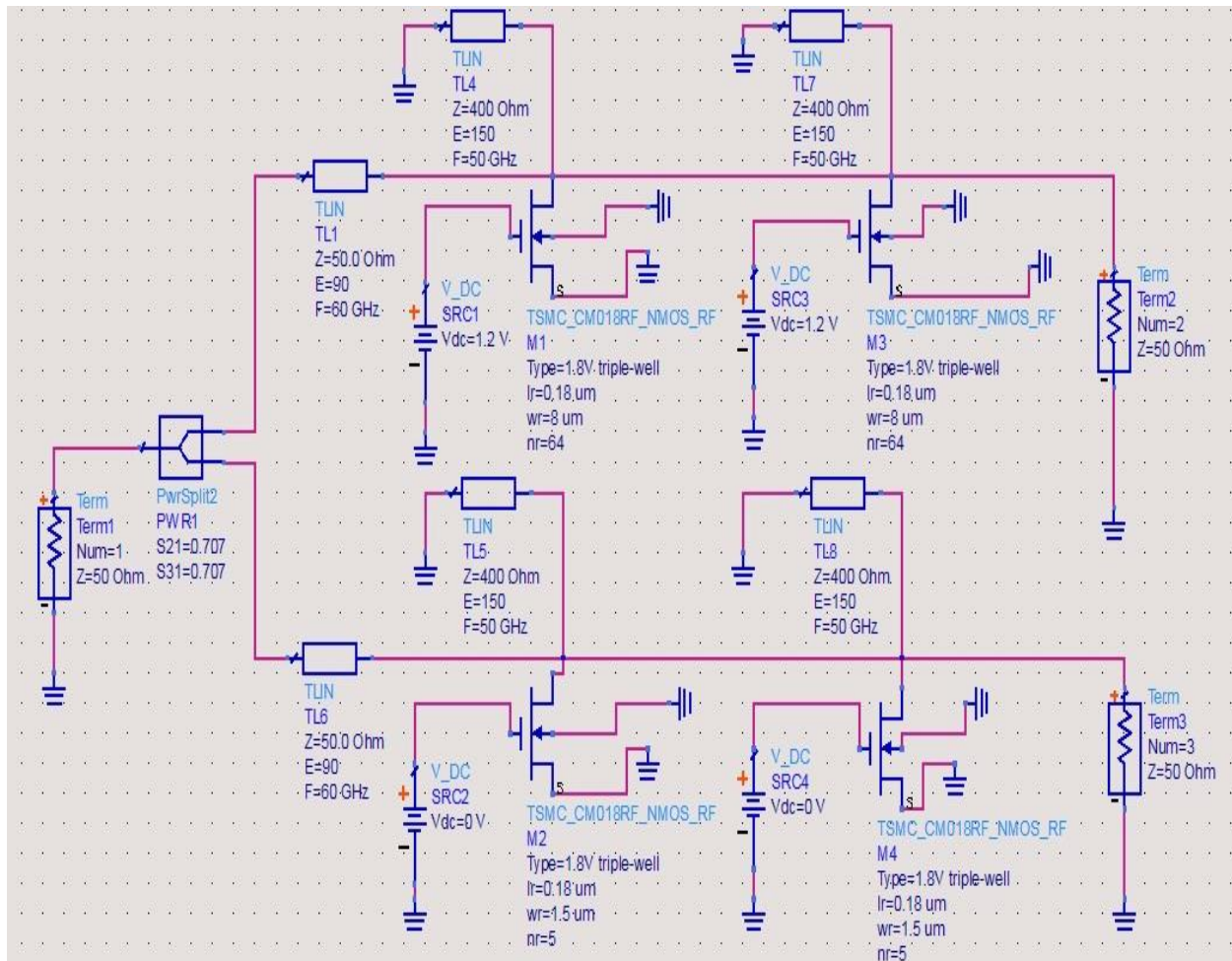
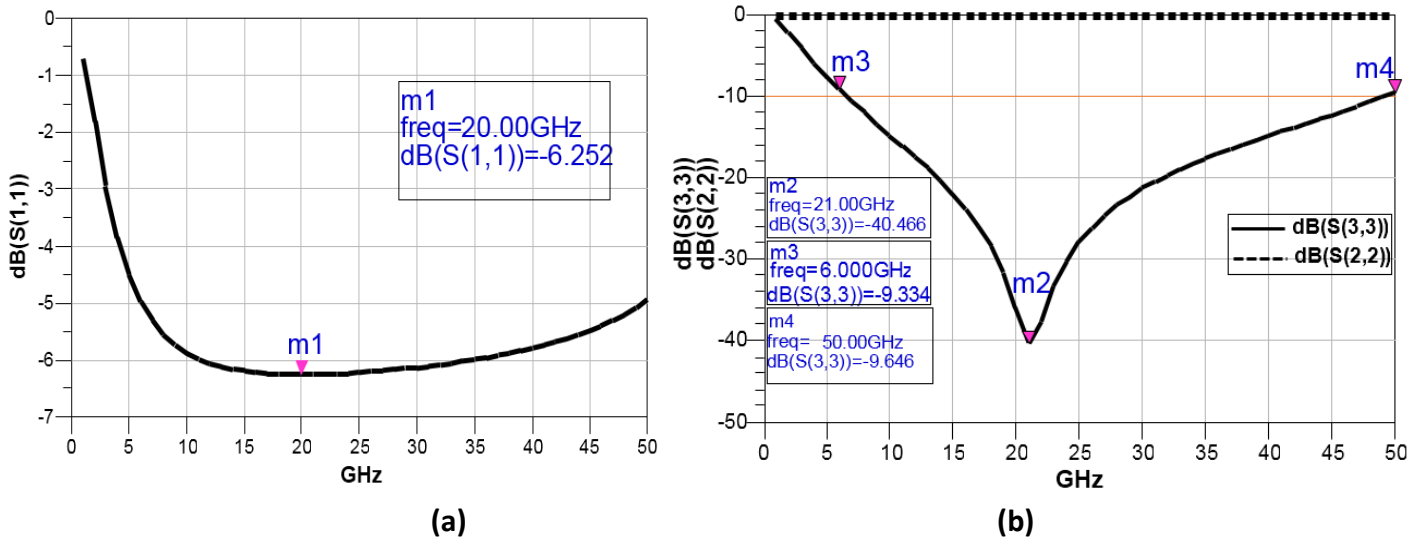


Figure 3.12. Schématique d'un switch SPDT double shunt asymétrique.

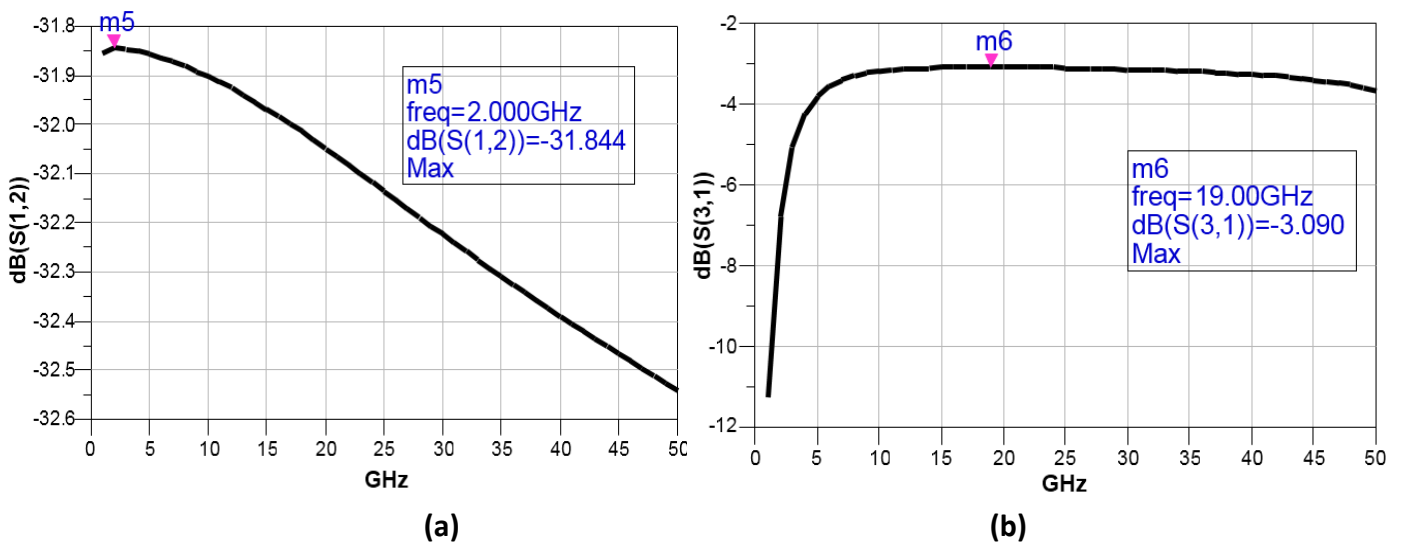
La (Figure 3.12) montre les résultats d'adaptation d'entrée et de sortie respectivement, pour la première on remarque une adaptation supérieure à -6dB entre [10GHz-35GHz] (Figure 3.13.a), et une large adaptation de sortie entre m3 et m4 [6GHz-50GHz] (Figure 3.13.b)

Les longueurs des lignes de transmissions en entrée et parallèle (stub) qui gèrent cette adaptation (Figure 3.13).



**Figure 3.13.** Résultats de simulations d'un switch SPDT double shunt asymétrique.

La (Figure 3.14) présente les performances en termes des pertes d'insertion et l'isolation respectivement, théoriquement plus on ajoute des structure (nMOS) en shunt on mesure plus de pertes du signal RF (Pertes d'insertion)  $m6=-3.090\text{dB}$  (Figure 3.14.b) en revanche nous avons trouvés plus d'isolation  $m5=-31.844\text{db}$  (Figure 3.14a).

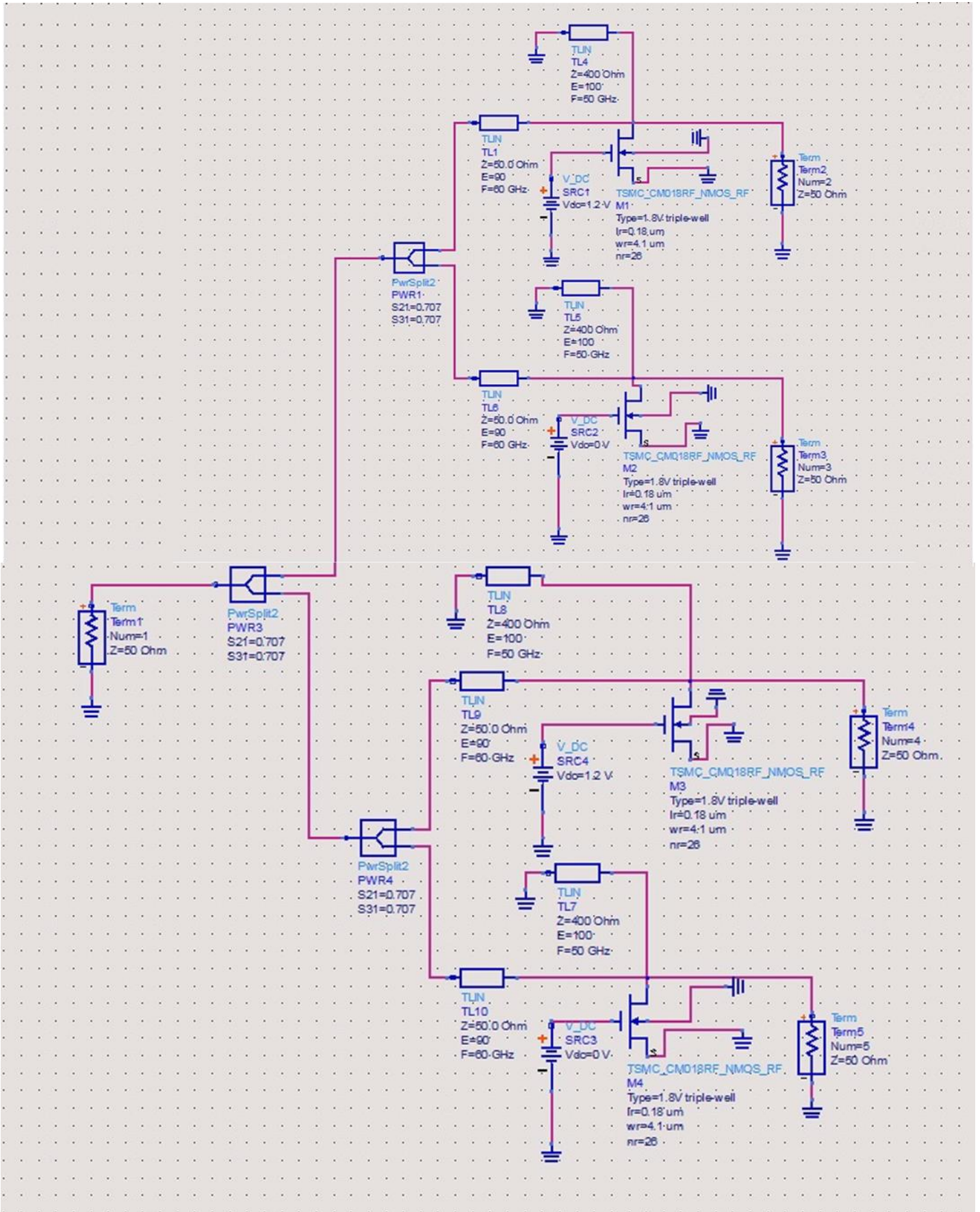


**Figure 3.14.** Résultats de simulations d'un switch SPDT double shunt asymétrique.

Cette architecture présente notre proposition finale pour les switches de type SPDT, avec impressive isolation supérieure à 31dB sur toute la gamme de fréquence (<50 GHz) et minimum des pertes (autour 3 dB) pour la même gamme de fréquence.

### **3.4 Switch shunt SP4T**

Ce switch SP4T (Single Pole Four Throw) est souvent utilisé pour les circuits à multistandards ou hétérodyne (les circuits ou en utilise changement de gamme de fréquence), composé de trois diviseurs de puissance afin de délivrer quatre signaux RF en sortie. Cependant est payé en termes des pertes d'insertion (double division de puissance RF signifier théoriquement -6dB de perte pour chaque sortie).

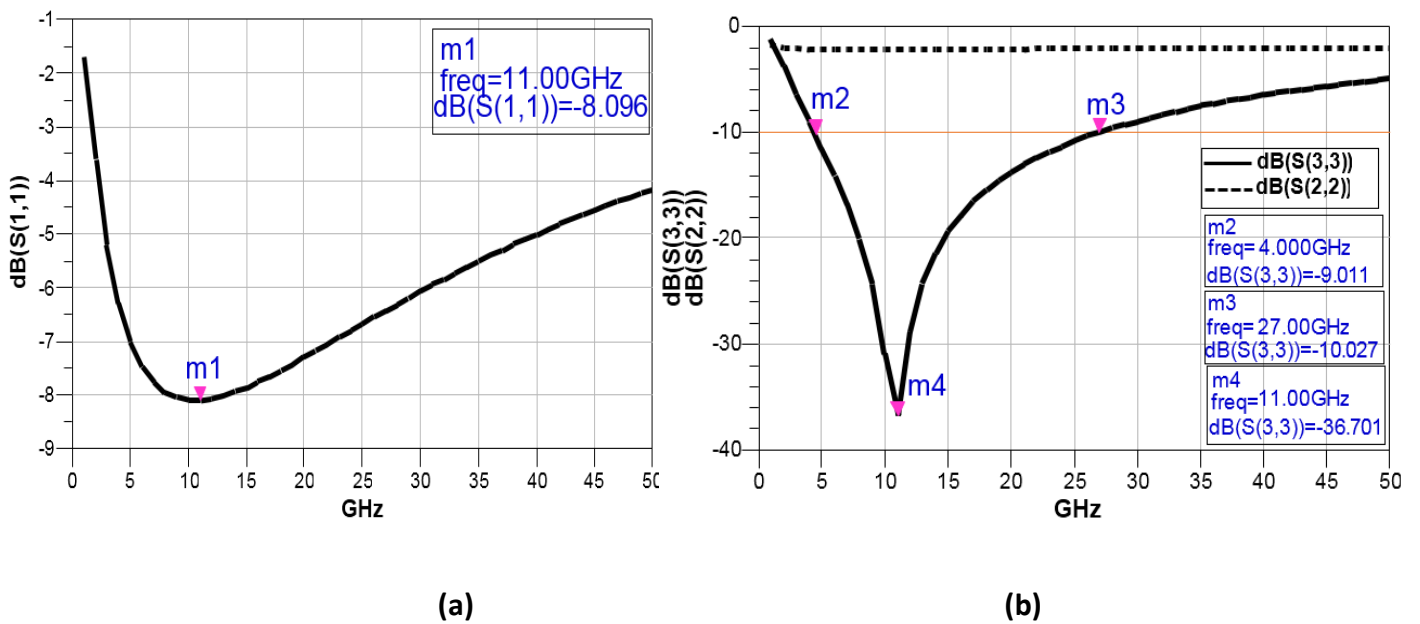


**Figure 3.15.** Schématique d'un switch SP4T simple shunt symétrique.

La (Figure 3.15) montre le schématique et l'architecture de ce switch RF. Composé de 5 ports le premier d'entrée et le reste de sortie, l'optimisation des tailles de transistor pour chaque voie a été faite en jouant sur les dimensions des lignes de transmissions pour les adaptations d'entrée et de sortie, en revanche pour les paramètres  $W_r$  et  $N_r$  et ce sont des paramètres des transistors correspondants ont la commande sur les pertes d'insertion et l'isolation.

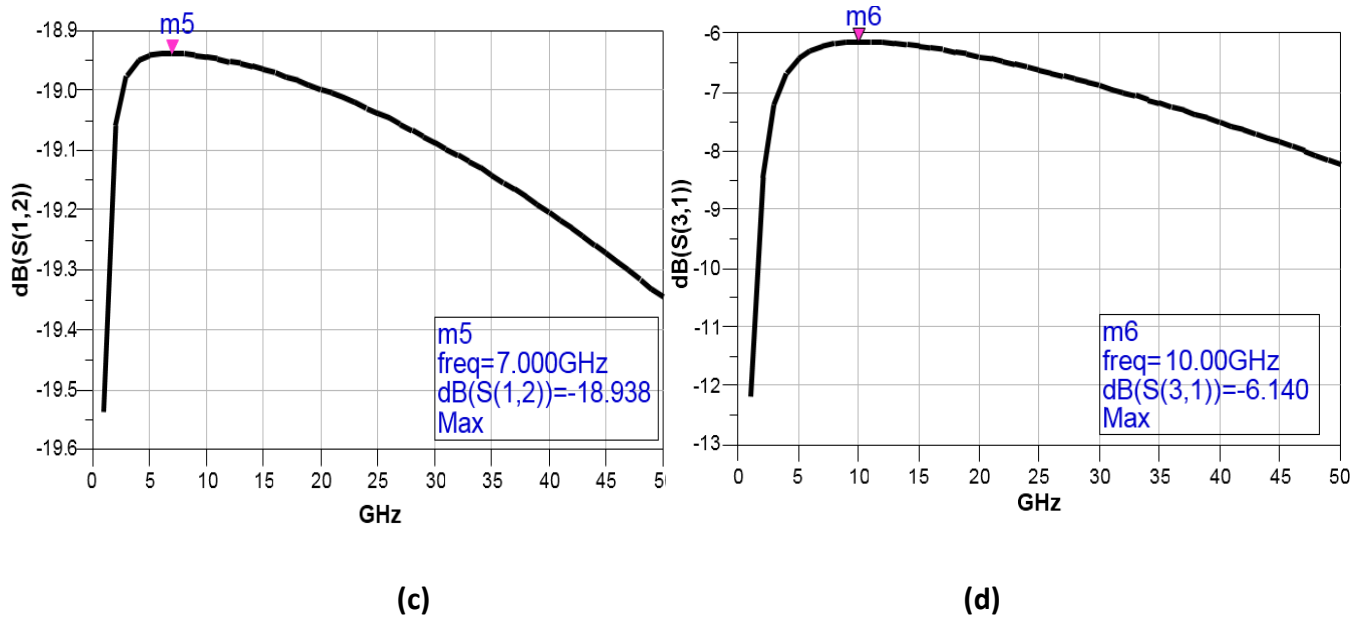
La (Figure 3.16) montre les résultats d'adaptation d'entrée et de sortie respectivement, pour la première on remarque une adaptation supérieure à -6dB entre [4 GHz-30 GHz] (Figure 3.16.a), et une large adaptation de sortie entre m2 et m3

[4 GHz-27GHz] (Figure 3.16.b). Les longueurs des lignes de transmissions en entrée et parallèle (stub) gèrent l'adaptation.



**Figure 3.16.** Résultats de simulations d'un switch SP4T simple shunt symétrique.

La (Figure 3.17) illustre les performances en termes des pertes d'insertion et l'isolation respectivement, théoriquement le fait de diviser à deux, le signal RF on a des  $m6=-6.140$  dB de pertes d'insertion (Figure 3.17.b), en revanche nous avons trouvés plus d'isolation  $m5=-18.938$  dB due à l'ajustement sur les paramètres des transistors en parallèle (Figure 3.17.a).



**Figure 3.17.** Résultats de simulations d'un switch SP4T simple shunt symétrique.

Ce travail de simulation nous a permis, en plus de nous familiariser avec le logiciel ADS Agilent, de confirmer les aspects théoriques (chapitre I, II), tel que la possibilité de concevoir plusieurs architectures des switches. La méthode shunt a permis de vérifier et confirmer la faisabilité d'avoir un compromis entre les pertes d'insertion et l'isolation et que ce sont paramètre très importantes. Finalement, nous avons également présentées et interprétés les performances simulées de toutes les architectures des switches SPST, SPDT et SP4T jusqu'à la bande millimétrique 50 GHz.

# Conclusion générale

---

Ce travail présente l'étude nécessaire pour la conception des switches en technologie CMOS pour applications 5G. Bien que les performances peuvent être réalisées avec d'autres technologies (GaN, SiGe, LDMOS) la technologie CMOS continue d'être fondamentale dans le domaine de la RF, en raison de son faible coût, haut niveau d'intégration et de plus en plus une meilleure performance.

Avec ce travail, il était possible d'obtenir une vision globale des nombreuses façons de faire switches RF en mmW et aussi de comprendre les différentes applications. Plusieurs paramètres sont importants dans ce type de circuit sont les pertes d'insertions et l'isolation, dans lequel les switches en topologie shunt donnent les meilleures performances, ce qui en fait un circuit avec une application pratique raisonnable. Grâce à cette étude, une analyse détaillée a été faite pour différentes configurations et les topologies, les avantages et mettant l'accent sur les inconvénients.

Les circuits ont été conçus avec technologie CMOS RF TSMC 0.18um en différentes topologies (shunt, double shunt ou traveling wave) avec des lignes de transmission. Aussi avec un diviseur de puissance (power splitter) idéal.

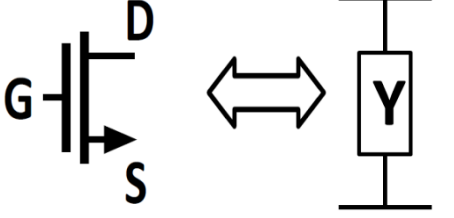
Les principaux objectifs sont atteints qui comprennent le projet d'un entièrement intégré des switches travaillant en 5 et 50 GHz avec des compromis entre les pertes d'insertion et l'isolation.

Champ de la recherche à venir tout d'abord, la recherche et développement pour les architectures hybride (série/shunt) et asymétrique nécessaire pour réduire les pertes d'insertion sur une voie et améliorer l'isolation sur l'autres voie et dans les dispositifs de télécommunication en RF et mm-W (5G).



# Annexes

## Dimensionnements du transistor des switch en Shunt

	$A=1$ $B=0$ $C=Y$ $D=1$	$\begin{bmatrix} 1 & 0 \\ Y & 1 \end{bmatrix}$
(a)	(b)	
<b>Figure 1 . (a) Admittance de nMOS (b) Paramètres en ABCD</b>		

$$Y = \frac{1}{Z_{DS}} = \frac{1}{R_{SHUNT}} \quad 1$$

$$R_{SHUNT} = \frac{1}{g_{DS}W} \quad 2$$

$$S_{21} = \frac{2}{A + \frac{B}{Z_0} + CZ_0 + D} \quad 3$$

$$S_{21} = \frac{2}{1 + YZ_0 + 1} = \frac{2}{2 + \frac{1}{R_{shunt}}Z_0} \quad 4$$

$$S_{21} = \frac{2R_{shunt}}{2R_{shunt} + Z_0} \quad 5$$

$$IL = -20\log(S_{21}) \quad 6$$

$$IL = -20\log\left(\frac{2R_{shunt}}{2R_{shunt} + Z_0}\right) \quad 7$$

$$\frac{2R_{shunt}}{2R_{shunt} + Z_0} = 10^{-\frac{IL}{20}} \quad 8$$

$$\frac{\frac{2}{g_{DS}W}}{\frac{2}{g_{DS}W} + Z_0} = 10^{-\frac{IL}{20}} \quad 9$$

$$\frac{2}{g_{DS}W} = \left( \frac{2}{g_{DS}W} + Z_0 \right) 10^{-\frac{IL}{20}} \quad 10$$

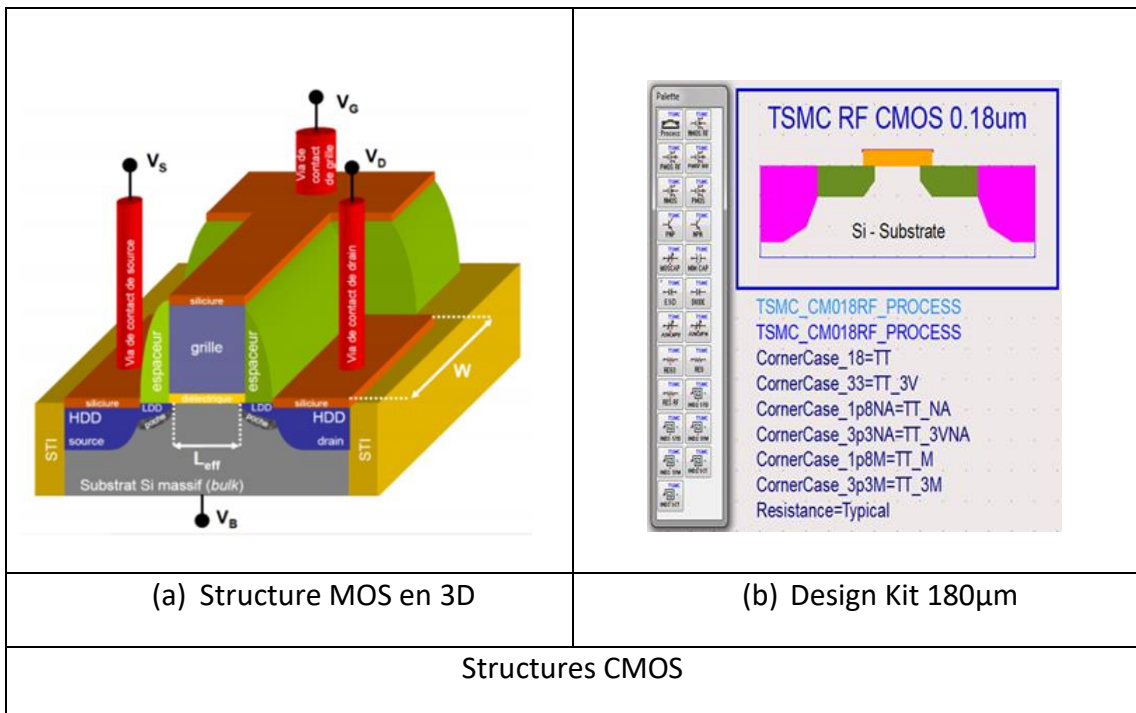
$$\frac{2}{g_{DS}W} - \frac{2 * 10^{-\frac{IL}{20}}}{g_{DS}W} = Z_0 10^{-\frac{IL}{20}} \quad 11$$

$$\frac{2 - 2 * 10^{-\frac{IL}{20}}}{g_{DS}W} = Z_0 10^{-\frac{IL}{20}} \quad 12$$

$$W = \frac{2 - 2 * 10^{-\frac{IL}{20}}}{g_{DS} * Z_0 * 10^{-\frac{IL}{20}}} \quad 13$$

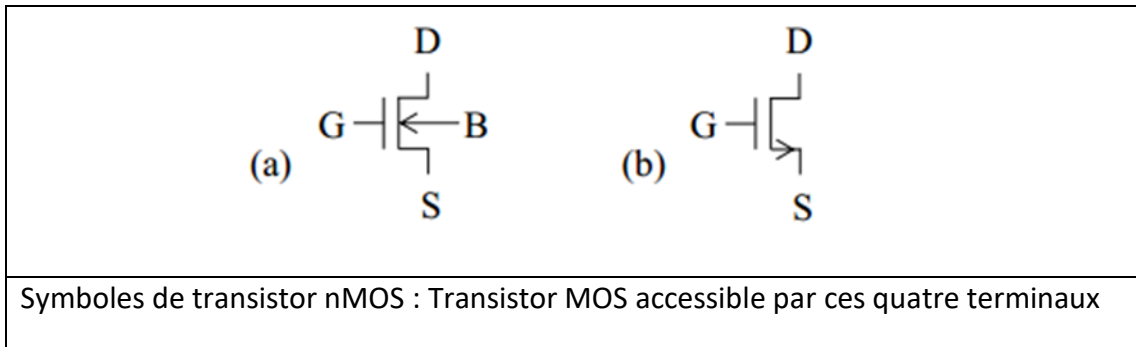
## Le Transistor MOS

Le MOSFET se compose d'une électrode de commande, la grille, qui contrôle en tension l'ouverture du canal, d'un diélectrique qui isole la grille du canal et de deux réservoirs de porteurs (électrons ou trous respectivement pour le type N et P) appelés source et drain



### Caractéristiques d'un transistor MOS

Un transistor MOS à canal n (NMOS) se représente généralement par les symboles suivant :



# Bibliographie

---

- [1] V. S. Bagad, 'Communication Systems', Technical Publication Pune, P.1-3, 2009.
- [2] Gilles DAMBRINE, Sylvain BOLLAERT : ' Composants à semiconducteurs pour hyperfréquences ', Réf : E2810 v1,P.2-3,Technique de l'ingénieur,2007.
- [3] . F. J. Huang and O. Kenneth, : 'A 0.5  $\mu\text{m}$  CMOS T/R switch for 900 MHz wireless applications',IEEE J. of Solid State Circuits, vol. 36, no. 3, pp. 486–492, March 2001.
- [4]. Lawrence E. Larson, : 'Integrated circuit technology options for RFICs present status and future directions', IEEE J. of Solid State Circuits, vol. 33, no. 3, pp. 387–399, March 1998.
- [5]. Jack Browne: 'More power per transistor translates into smaller amplifiers', Microwaves and RF, vol. 6, pp. 132–136, Jan. 2001.
- [6]. D. Su, M. Zargari, P. Yue, D. Weber, B. Kaczynski, and B. Wooley : 'A 5 GHz CMOS transceiver for IEEE 802.11a wireless LAN', Proc. of IEEE Int. Conf. on Solid State Circuits, pp. 92–93, San Francisco, California, USA, 7 Feb. 2002.
- [7]. Amine MENNAI: ' Conception et réalisation de commutateurs RF à base de matériaux à transition de phase (PTM) et à changement de phase (PCM) ', l'Université de Limoges,2016.
- [8]. Application note, Nanomount : 'PIN diode switches data sheet, AN 708', Microsemi Corporation,California, USA, 2006.
- [9]. Application note: ' Design with PIN Diodes', APN 1002, Skyworks Solutions Inc., Woburn, MA,July 2005
- [10] K. Kobayashi, A. K. Oki, D. K. Umemoto, S. Claxton, D. C. Streit, 'GaAs HBT PIN diode attenuators and switches ', IEEE-Microwave and Millimeter-Wave Monolithic Circuits Symposium, Digest of Papers, p. 151 -154, Atalanta, GA, USA, 1993.
- [11] N. Camara, K. Zekentes, L. P. Romanov, A. V. Kirillov, M. S. Boltovets, K. V. Vassilevski, G. Haddad : 'Microwave p-i-n diodes and switches based on 4H-SiC ', IEEE Electron Device Lett., vol. 27, no 2, p. 108 -110, 2006.

- [12] J. G. Yang K. Yang : 'GaN-based pin diodes for microwave switching IC applications ', Electron. Lett., vol. 48, no 11, p. 650, 2012.
- [13]. Application note, GaAs T/R switch MMIC data sheet, HMC223MS8, Hittite Microwave Corporation, Massachusetts, USA, Feb. 2001.
- [14]. M. Steyaert, J. Janssens, B. Muer, M. Borremans, and N. Itoh, "A 2 V CMOS cellular transceiver front-end," IEEE J. of Solid State Circuits, vol. 35, no. 12, pp. 1895–1907, Dec.2000.
- [15]. S. Ahmed, C. Ringhofer, and D. Vasileska: 'An effective potential approach to modeling 25 nm MOSFET devices', J. of Computational Electronics, vol. 9, no. 3-4, pp. 197–200, Oct.2010.
- [16]. Joseph J. Carr: 'Secrets of RF Circuit Designs', 3Edition, Tata McGraw-Hill, India, 2004rd.
- [17]. R. Langevelde and F. Klaassen, : 'An explicit surface potential based MOSFET model for circuit simulation', Solid State Electronics, vol. 44, no. 3, pp. 409–418, March 2000.
- [18]. Sungmo Kang and Yusuf Leblebichi: ' CMOS Digital Integrated Circuits Analysis and Design', 3<sup>rd</sup> Edition, McGraw-Hill, New York, USA, 2002.
- [19]. Maria Villarroja, Eduard Figueras, and Nuria Barniol : 'A platform for monolithic CMOS-MEMS integration on SOI wafers', J. of Micromechanics and Microengineering, vol. 16, no. 10, pp. 2203–2210, Oct. 2006.
- [20]. Maria Villarroja and Nuria Barniol: 'CMOS-SOI platform for monolithic integration of crystalline silicon MEMS', Electronics Letters, vol. 42, no. 14, pp. 800–801, July 006.
- [18]. Toshiyuki Nakamura Hideaki Matsushashi Yoshiki Nagatomo : ' Silicon on Sapphire (SOS) Device Technology ', Vol.71 No.4 ,October 2004/Issue 200 .
- [21]. 32. J. P. Carmo, P. M. Mendes, C. Couto, and J. H. Correia, : 'A 2.4 GHz wireless sensor network for smart electronic shirts integration', Proc. of IEEE Int. Symp. on Industrial Electronics, Vigo, Spain, 4–7 June 2007, pp. 1356–1359.
- [22]. Sieu Ha, You Zhou, and P. Treadway: 'Electrical switching dynamics and broadband micro-wave characteristics of VO<sub>2</sub> radio frequency devices', J. of Applied Physics, vol.113, no. 18, pp. 184501–184507, May 2013.
- [23] C. Tinella, J. M. Fournier, D. Belot, V. Knopik : 'A high-performance CMOS-SOI antenna switch for the 2.5-5-GHz band ', IEEE J. Solid-State Circuits, vol. 38, no 7, p. 1279-1283, 2003.
- [24] K. A. Jenkins, J. Y.-C. Sun, J. Gautier : 'Characteristics of SOI FET's under pulsed conditions ', IEEE Trans. Electron Devices, vol. 44, no 11, p. 1923 -1930, 1997.

- [25] S. Sarkhel, B. Manna, S. K. Sarkar: 'A compact capacitive approach-based threshold voltage modeling and performance comparison of a novel UBR MOSFET with SOI MOSFET ', 2nd International Conference on Devices, Circuits and Systems (ICDCS), p. 1-5, Combiatore, India, 2014.
- [26] H. Mizutani, Y. Takayama : 'DC-110-GHz MMIC traveling-wave switch ', IEEE Trans. Microw. Theory Tech., vol. 48, no 5, p. 840 -845, 2000.
- [27] A. Tomkins, P. Garcia, S. P. Voinigescu : 'A 94GHz SPST Switch in 65nm Bulk CMOS ', in IEEE Compound Semiconductor Integrated Circuits Symposium, 2008. CSIC '08, p. 1 -4 Monterey, CA, USA, 2008.
- [28] K.-Y. Lin, W.-H. Tu, P.-Y. Chen, H.-Y. Chang, H. Wang, R.-B. Wu : 'Millimeter-wave MMIC passive HEMT switches using traveling-wave concept ', IEEE Trans. Microw. Theory Tech., vol. 52, no 8, p. 1798 -1808, 2004.
- [29] H. Kamitsuna, Y. Yamane, M. Tokumitsu, H. Sugahara, M. Muraguchi : 'Low-power InP-HEMT switch ICs integrating miniaturized 2 times; 2 switches for 10-Gb/s systems ', IEEE J. Solid-State Circuits, vol. 41, no 2, p. 452 -460, 2006.
- [30] J. Turner : 'History of the GaAs FET at Caswell (1964-1985) ', IEE Colloquium on Modelling, Design and Application of MMIC's, p. 1-3, London, England, 1994.
- [31]. J. P. Carmo, P. M. Mendes, C. Couto, and J. H. Correia, "A 2.4 GHz wireless sensor network for smart electronic shirts integration," Proc. of IEEE Int. Symp. on Industrial Electronics, Vigo, Spain, 4-7 , pp. 1356-1359, June 2007,