

REPUBLIQUE ALGERIENNE DEMOCRATIQUE & POPULAIRE

MINISTERE DE L'ENSEIGNEMENT SUPERIEUR ET DE LA

RECHERCHE SCIENTIFIQUE



UNIVERSITE DE BLIDA

AIR ALGERIE

INSTITUT AÉRONAUTIQUE

Projet de fin d'études

Pour l'obtention du diplôme de technicien supérieur en aéronautique

Option : Avionique

Thème :

**ETUDE DU SYSTEME DME  
ET REALISATION D'UN BANC D'ESSAI POUR  
LES INDICATEURS DME SUR BOEING 737 - 200**

Dirigé par : M<sup>r</sup> ABDERAHMANE

Mekid

Co-promotrice : M<sup>lle</sup> DOUDOU

Faïza

Réalisé par : BOUDJELTIA  
DIARRA

Fatima  
Aguibou

—Promotion 2002/2003—

--- ANNEE 2003 ---

**TABLE DES**

**MATIERES :**

## TABLE DES MATIERES

<b>TITRE</b>	<b>PAGE</b>
<b>REMERCIEMENTS</b>	
<b>DEDICACES</b>	
<b>SOMMAIRE</b>	
<b>INTRODUCTION GENERALE</b>	
I. Présentation de la société de travail et de transport aérien « AIR Algérie » .....	I -- 1 -
I. 1 - Historique .....	1 -- 1 -
a) Définition	
b) Evaluation	
I. 2 - La Direction technique .....	1 -- 3 -
a) Organisation de la direction technique	
1. Planning production contrôle	
2. Engineering support	
3. Production	
4. Contrôle production	
5. Marshaling	
6. Atelier GMP	
b) Sous direction révision moteur	
c) Sous direction production turbo (Maintenance Avions)	
1. Organisation	
2. Fonction de la sous direction turbo	
I. 3 - Procédure de travail .....	1 -- 7 -
→ Organigramme d'Air ALGERIE.....	1 -- 8 -
II. Radionavigation à courte, moyenne et longue distance .....	II -- 1 -
II. 1-Systèmes de radionavigation à moyenne distance .....	II -- 1 -
a) Radiogoniomètre automatique VHF d'aérodrome (VDF)	
b) Radiocompas de bord (ADF)	
c) Le VOR (VHF Omni Range) ou radiophare omnidirectionnel VHF	

II. 2-Systèmes de bord autonomes basés sur le principe du radar .....	II -- 3 -
a) Radar de bord ou radar METEO	
b) Le système autonome de radionavigation : Le radar DOPPLER	
II. 3 -Systèmes à longue distance .....	II -- 4 -
a) Centrale inertielle INS (Inertial Navigation System)	
b) Le GPS NAVSTAR	
II. 4 -Radionavigation à courte distance et atterrissage .....	II -- 6 -
a) Le système ILS (Instrument Landing System)	
b) Le système MLS (Microwave Landing System)	
II. 5 -Systèmes de conduite du vol .....	II -- 7 -
a) Le FMS (Flight Management system)	
b) Le TCAS (Traffic Alert and Collision Avoidance System)	
III. L'émetteur - récepteur DME Collins 860E-5 .....	III -- 1 -
III. 1 - Introduction .....	III -- 1 -
III. 2 - Evolution et perfectionnements des systèmes de mesure de distance .....	III -- 1 -
III. 3 - Plan de fréquences DME .....	III -- 2 -
III. 4 - Principe de fonctionnement .....	III -- 3 -
III. 5 - Codage .....	III -- 4 -
III. 6 - Principe de fonctionnement de l'ensemble au sol .....	III -- 4 -
III. 7 - Fonctionnement de l'ensemble de bord .....	III -- 7 -
1) Fonction « RECHERCHE »	
2) Fonction « POURSUITE »	
3) Fonction « FLAG »	
4) Fonction « MEMOIRE »	
III. 8 - Les différents modules de l'équipement de bord DME Collins 860E-5 ...	III -- 9 -
III. 9 - Processus technique simplifié de fonctionnement du DME 860E-5 (Génération et traitement du signal) .....	III -- 11 -
IV. Les différents indicateurs DME .....	IV -- 1 -
<b>❖ L'indicateur DME 339F-8</b>	
IV. 1 - Généralités .....	IV -- 1 -
IV. 2 - Théorie simplifiée de fonctionnement .....	IV -- 1 -
A) Généralités	
B) Schéma bloc de l'indicateur DME 339F 8B	

IV. 3 - Théorie détaillée de fonctionnement .....	IV -- 4 -
1) L'alimentation	
2) Le convertisseur HL/ TTL	
3) Le registre à décalage	
4) Le moniteur et le circuit de drapeau	
5) Le circuit de contrôle des données et du signal "synchro lue"	
6) Le décodeur	
7) Le circuit de suppression des zéro de tête	
8) Les pilotes des roues magnétiques	
9) Les roues magnétiques	
<b>❖ L'indicateur DME 339F-18 / 18A</b>	
IV. 4- Généralités.....	IV -- 13 -
IV. 5 - Le câblage à bord .....	IV -- 13 -
IV. 6 -Théorie simplifiée de fonctionnement .....	IV -- 14 -
IV. 7 - Schéma bloc .....	IV -- 14 -
IV. 8 - Théorie détaillée de fonctionnement .....	IV -- 16 -
1) L'alimentation	
2) Le circuit d'interface	
3) Le circuit de contrôle de la synchronisation	
4) Le circuit de décodage d'étiquette	
5) Le registre à décalage et les circuits de pilotage de l'affichage	
6) Le circuit de monitoring	
7) Le circuit masquage de l'affichage	
8) Le circuit pilote des pointillés	
9) Le mode d'autotest	
10) L'oscillateur de contraste	
11) Le circuit de contraste	
<b>❖ L'indicateur DME IND - 40/41</b>	
IV. 9 - Généralités .....	IV -- 21 -
IV. 10 - But de l'équipement .....	IV -- 21 -
IV. 11 - Principe de fonctionnement .....	IV -- 22 -

IV. 12 - Théorie fonctionnelle de l'équipement .....	IV -- 23 -
1) Fonctionnement en mode distance	
2) Fonctionnement en mode taux d'approche	
3) Fonctionnement en mode temps à la station	
4) Fonctionnement en mode minuteur	
5) Fonctionnement du contraste et du contrôle des masques d'affichage	
6) Fonctionnement du FLAG	
7) Fonctionnement de l'autotest	
IV. 13 - Détails de fonctionnement .....	IV -- 26 -
1) La circuiterie externe du microprocesseur	
2) Fonctionnement normal du microprocesseur	
V. Conception d'un banc d'essai pour l'indicateur DME .....	V -- 1 -
V. 1 - Introduction .....	V -- 1 -
V. 2 - Synoptique de la réalisation .....	V -- 1 -
V. 3 - Définition du rôle des différents étages et schémas électriques .....	V -- 2 -
1) Le clavier numérique	
2) Le compteur/décompteur à fréquence variable	
3) L'afficheur	
4) Le registre parallèle/série	
5) Le circuit de génération de l'horloge et de la synchronisation	
V. 4 - Schémas synoptiques détaillés de fonctionnement .....	V -- 5 -
1) Clavier numérique	
2) Le compteur/décompteur à fréquence variable	
3) L'afficheur	
4) Le registre parallèle/série	
5) Le circuit de génération de l'horloge et de la synchronisation	
V. 5 - Schémas électriques et mise au point des blocs .....	V -- 10 -
1) Clavier numérique	
2) Le compteur/décompteur à fréquence variable	
3) L'afficheur	
4) Le registre parallèle/série	
5) Le circuit de génération de l'horloge et de la synchronisation	

**CONCLUSION**  
**ANNEXES**  
**NOMENCLATURE**  
**GLOSSAIRE**  
**BIBLIOGRAPHIE**



## Remerciements

*Merci à Dieu pour son aide et sa protection. Merci d'avoir rendu nos vies réjouissantes et significatives.*

*Pardonnez-nous si les termes nous manquent pour exprimer pleinement le sentiment de profonde reconnaissance que nous éprouvons.*

*Nous tenons à exprimer nos sincères remerciements à M<sup>r</sup> ZEROUKI qui nous a perpétuellement renouvelé sa confiance au cours de notre stage au sein d'AIR ALGERIE.*

*Nous tenons aussi à exprimer notre gratitude à notre promoteur Mr MEKID pour avoir accepté de nous proposer ce sujet et pour son aide, son constant soutien, ses précieux conseils, de même que la liberté dont nous avons bénéficié durant la concrétisation de ce travail.*

*Nous remercions également tous les membres de l'équipe de l'atelier radio qui ont toujours su être à notre écoute et disponibles pour nous aider.*

*Nous remercions aussi notre co-promotrice M<sup>lle</sup> Doudou pour ses précieux conseils, de même que tout le corps professoral de l'institut aéronautique de Blida.*

*Nos remerciements s'adressent également aux membres de Jury pour l'honneur qu'ils nous font de juger notre travail.*

*En fin nous disons mille fois merci à tous ceux qui ont contribué de près ou de loin à la réalisation de ce projet.*



# Dédicace

*Ce mémoire est dédié :*

*Pour toi MAMAN, pour confirmer toute l'importance que tu revêts à mes yeux, la place unique que tu occupes dans ma vie, en ta qualité de mère et d'amie.*

*Pour toi PAPA, tu mérites beaucoup plus que quelques mots d'éloge et de remerciement pour ton dévouement.*

*Pour toi HADI c'est un petit mot chargé d'une grande signification; il évoque tout un monde fait de joies.*

*Pour Doudja pour ton amour et support inconditionnel.*

*Pour mes grands-parents ; sages et dévoués par nature, jamais avares de leur temps,*

*Pour mes autres grands-parents qui nous ont laissés à jamais et qui ont sacrifié leurs vies pour nous.*

*Pour tous mes oncles et mes tantes.*

*Pour mes sœurs Amina, Kenza et mes frères Mohamed, Djamel et surtout Abdou et tous mes cousins et mes cousines et surtout IKRAMÉ.*

*Pour mon binôme Aguibou .*

*Pour toute ma famille*

*Pour tous mes amis et surtout Miloud pour ses conseils*

*Boujeltia Fatima*

*Je dédicace ce mémoire avant tout, envers et contre tout à mes parents ; que ce mémoire soit la récompense du fruit de leurs efforts constants dans le bonheur comme dans la souffrance.*

*Ce travail est aussi dédié :*

- *A ma sœur Fadima et à mon frère Mohamed pour leur solidarité et leur soutien inconditionnel et à tout épreuve.*
- *A ma seule grand-mère toujours de ce monde pour la sagesse de ses conseils et toute son affection, tout en ayant une profonde pensée pour ceux qui ne sont plus.*
- *A toute ma famille, mes oncles, mes tantes, mes cousins et cousines, mes amis et leurs parents, que je considère tous à leur façon comme des pères, mères frères et sœurs.*
- *A toute la promotion 2003 et en particulier à ma binôme Fatima.*

*Aguibou Diarra*

## SOMMAIRE

L'objectif de ce travail est d'étudier et de comprendre le principe de fonctionnement du système DME dans son ensemble et plus particulièrement des différents indicateurs DME utilisés sur boeing 737 - 200. Il en découlera la conception d'un banc d'essai pour ces indicateurs axé sur les paramètres permettant de contrôler facilement et rapidement leur bon état de fonctionnement.

## SUMMARY

The objective of this work is to study and include/understand the principle of operation of system DME as a whole and more particularly of various indicators DME used on Boeing 737 - 200. It will result from this the design from a test bench for these indicators centered on the parameters making it possible to control easily and quickly their good operating condition.

## ملخص

ان الهدف من هذا البحث هو دراسة و فهم مبدأ تشغيل الجهاز DME إجمالاً، و بصفة خاصة مختلف الأجهزة المسؤولة على تقديم قياسات الجهاز DME المستعملة على (بوينغ 737-200)، ومن ثم استنتاج إنشاء جهاز مراقبة و اختبار هذه الأخيرة مع التركيز على العوامل التي تسمح بمراقبة سهلة و سريعة، للتأكد من التشغيل الجيد للأجهزة.

# **INTRODUCTION:**

---

## INTRODUCTION GENERALE :

Dans le cadre de notre projet de fin d'étude, nous avons à traiter du sujet : "Etude du système DME et réalisation d'un banc d'essai pour les indicateurs DME". Le sujet proposé par la société Air Algérie doit nous amener à proposer un complément de maintenance pour les indicateurs DME entretenus au sein des ateliers radio de la compagnie.

Nous présenterons donc dans un premier temps l'organisme d'accueil au sein duquel nous avons eu à effectuer un stage pratique, et ce afin de comprendre comment s'y organise la maintenance des équipements aéronautiques. Nous poursuivrons par la présentation des équipements de radionavigation en termes généraux, suivie de l'étude plus approfondie du système DME. Nous nous attarderons spécialement sur l'émetteur/récepteur Collins 860E-5, support de notre travail. Il s'en suivra une présentation détaillée des différents indicateurs DME associés et pour lesquels le banc d'essai est réalisé. Nous terminerons finalement par la conception du banc d'essai et conclurons.

# **CHAPITRE I :**

PRESENTATION DE  
LA SOCIETE DE  
TRAVAIL ET DE TRANSPORT AERIEN  
« AIR ALGERIE »



# **I. Présentation de la société de travail et de transport aérien « AIR Algérie » :**

## **1. 1- Historique :**

### **a) Définition :**

La compagnie AIR ALGERIE a été créée en 1947 pour l'exploitation du réseau des lignes aériennes entre l'Algérie et la France.

- Ce même réseau était desservi par la société AIR Transport dont les lignes s'étendaient jusqu'à l'ex. Afrique occidentale française.
- En 1953, à la suite de la fusion de ces deux organismes, la compagnie générale du transport devient AIR Algérie et entre en activité.
- En 1963, AIR Algérie devient compagnie nationale sous la tutelle du ministre des transports.

### **b) Evaluation :**

- 1954, AIR ALGERIE transporte 100 000 passagers avec une flotte composée de 04 avions conventionnels à piston DOUGLAS DG4.
- 1984, Dans personnel navigant technique, 98% de l'effectif est composé de nationaux, la flotte d'Air Algérie est alors de 40 appareils dont :

- 16 Boeing B.737-200
- 11 Boeing B.727
- 02 AIRBUS A310
- 03 HERCULES L.130
- 08 FOLKKERS F.27



→ 1995, la flotte se compose de :

❖ Flotte commerciale :

NOMBRE	MARQUE	TYPE	MODULE
03	Boeing	B 767	260 PASSAGERS
04	Airbus	A 310	140 PASSAGERS
11	Boeing	B 727	180 PASSAGERS
15	Boeing	B 737	120 PASSAGERS
08	Fokker	F 27	40 PASSAGERS

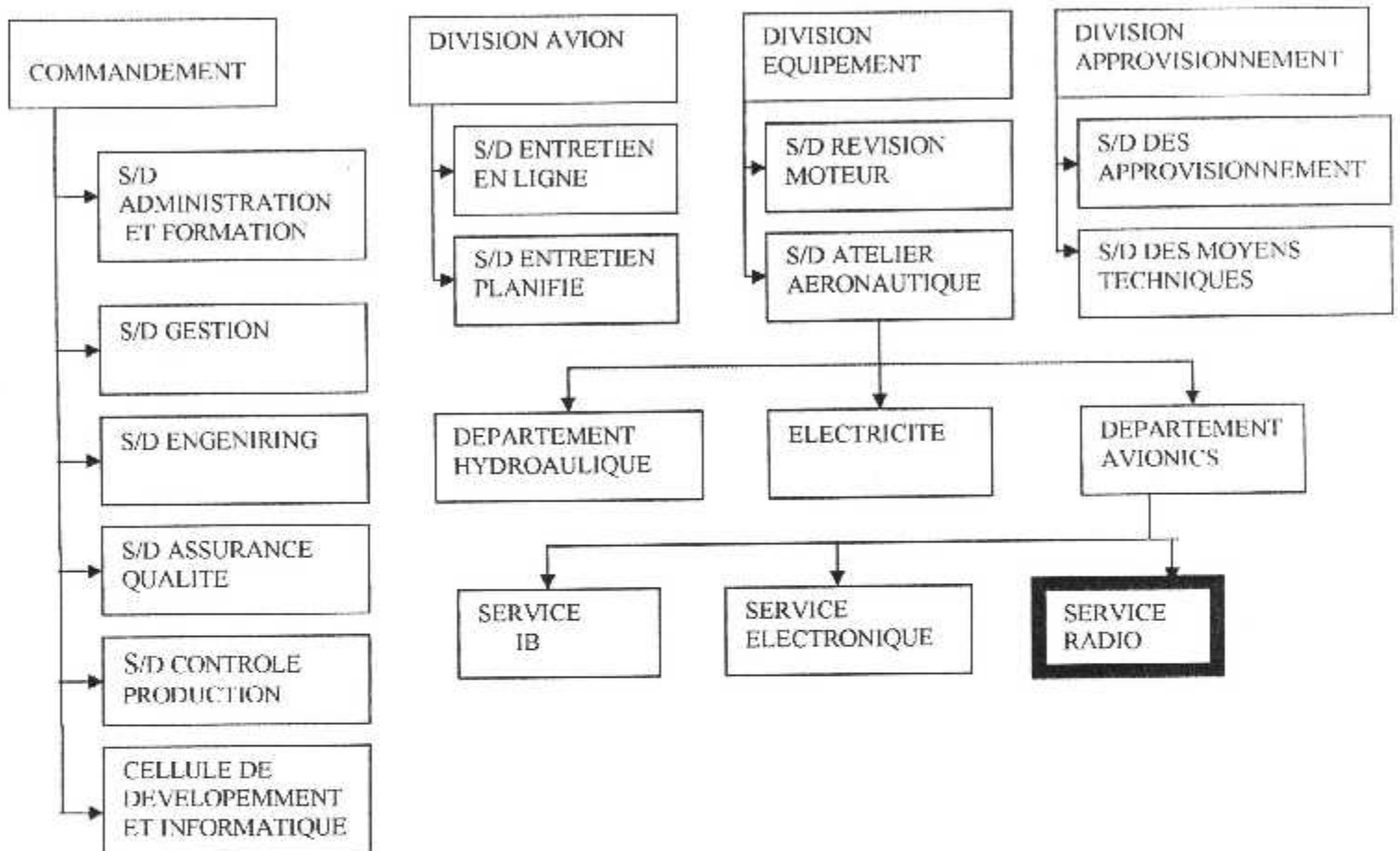
❖ Flotte cargo

NOMBRE	MARQUE	TYPE	MODULE
02	HERCULE	L 10030	21 TONNES



## I. 2- La Direction technique :

- Organigramme de la direction technique :



### a) Organisation de la direction technique :

La direction technique est chargée d'assurer la maintenance appareils proposés à Air Algérie, ainsi que ceux lui sont confiés par les tiers étrangers.

Elle est organisée et structurée pour faire face aux travaux d'entretien, de réparation et de révision des équipements, nécessaires aux aéronefs. Le personnel de maintenance est en majeure partie composée d'agent ayant un profil technique correspondant aux qualifications requises pour l'entretien des avions et de leurs équipements.





### **1. Planning production contrôle :**

- Réceptionner le dossier avion.
- Réunir les services concernés pour décider des travaux à entreprendre sur les moteurs dès leur réception.
- Contrôler la situation du potentiel accessoires.
- Planifier les travaux au sein de l'atelier en fonction du programme des déposes moteurs, préparer une situation hebdomadaire de tous les moteurs en atelier pour rendre compte de l'évolution des travaux au cours des réunions regroupant toutes les entités de l'atelier.

### **2. Engineering support :**

- Mettre à jour les manuels.
- Mettre à jour les fiches matricules des accessoires ayant subi une réparation (REE, RG...) chez les sous traitants.
- Préparer le dossier technique des moteurs en expédition chez les sous traitants.
- Rester en contact avec le sous traitant pour tous travaux hors protocolaires ( "trouble shooting", inspection et dépannage.
- Etudier et établir des procédures de fabrication d'outillage nécessaires à l'atelier.
- Vérifier la disponibilité de tous les outillages nécessaires pour l'accomplissement des travaux au sein de l'atelier et dans le cas échéant établir un bon de commande de l'outillage manquant.
- Etablir des rapports techniques suite aux incidents survenus sur les moteurs.
- Etablir les listes des accessoires et pièces nécessaires pour l'équipement d'un moteur (listes à remettre au « marshalling »).
- Informer le « marshalling » sur l'état des accessoires et pièces entrant en atelier.

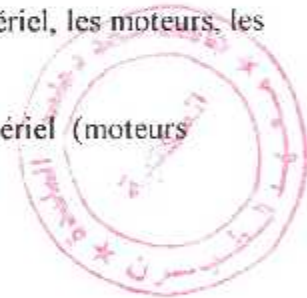


### 3. Production :

- Exécuter les travaux lancés par l'engineering.
- Veiller à ce que tous les techniciens aient les compétences et qualifications requises pour l'exécution des travaux.
- Veiller à ce que les travaux soient exécutés en concordance avec les procédures de travail et les manuels.
- Acheminer les accessoires et les pièces déposées vers le « marshalling ».
- Régulariser tout protocole après accomplissement du travail.

### 4. Contrôle production :

- Veiller sur la qualité du travail.
- Veiller sur le respect des procédures de travail (protocole de travail manuel).
- Veiller sur la conformité de l'outillage.
- Signaler tout incident ou anomalie survenus en atelier.
  
- Veiller sur la concordance des travaux (effectués sur le matériel, les moteurs, les accessoires et les pièces), avec l'engineering.
- Certifier et régulariser tous les travaux effectués sur le matériel (moteurs accessoires et pièces).



### 5. Marshaling :

- Réceptionner les accessoires et pièces déposées.
- Acheminer les accessoires et pièces vers les services concernés, nettoyage atelier, accessoire magasin technique.
- Préparer les pièces et accessoires suivant la liste fournie par l'engineering.
- Rester en contact permanent avec l'engineering pour résoudre tout problème technique (Modification, PN, SN ; .....).



## 6. Atelier GMP :

- Réceptionner les moteurs déposés (dossier avion).
- Déposer les entrées d'air et réserver (si nécessaire) pour préparation, remise en état ou inspection.
- Acheminer les moteurs vers l'atelier H400 après nettoyage ainsi que tous les documents les concernant.
- Réceptionner les accessoires et les pièces du marshalling (H400) pour remise en état, acheminement vers l'atelier concerné ou expédition chez les sous traitants.
- Renvoyer les accessoires et les pièces au marshaling (H400) au magasin de remise en état (révision générale ou réparation).

### **b) Sous direction révision moteur :**

L'organisation de la sous direction révision moteur, sa mise en place ainsi que sa mise en service sont basés sur un concept fondamental qui est l'autonomie fonctionnelle de ce centre de révision moteur.

Ce centre est composé d'atelier de révision générale et de bancs d'essais moteurs avion et dépend directement de la direction technique et maintenance.

### **c) Sous direction production turbo :**

(Maintenance Avions)

#### **1. Organisation :**

Elle est rattachée à la direction technique.

Son effectif porte à une centaine de techniciens répartis-en :

- (01) Chef de département
- (02) Chef de service



- (06) chefs d'équipe principaux
- (048) chefs d'équipes
- (70) techniciens aéronautiques (principaux; qualifiés; simples)
- (10) aides techniciens: manœuvres.

## **2. Fonction de la sous direction turbo :**

Elle a pour mission l'exécution des travaux d'entretien programmés ou particuliers (changement des éléments importants ; moteurs, hélices, trains d'atterrissage), suivant les décisions fournies par la Sous Direction Engineering concernant les avions suivants :

- Lockheed L 100-30.
- Fokker F2.

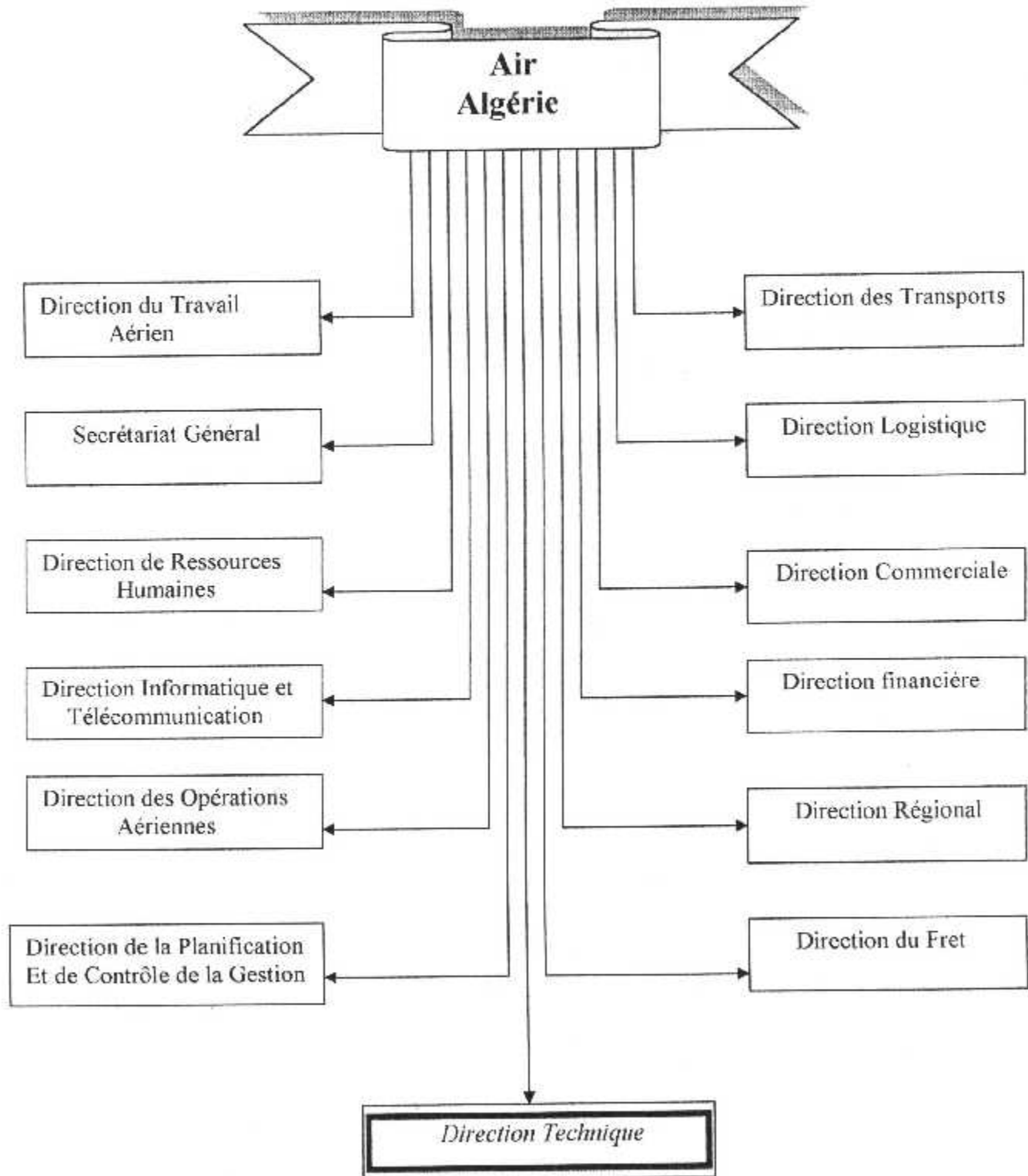
## **I. 3- Procédure de travail :**

A chaque visite programmée l'aéronef subit une immobilisation pour la maintenance préventive et curative; les techniciens procèdent donc à des diverses tâches (inspections, vérifications, changement des accessoires...) suivant les protocoles déposés.

A la fin des visites, l'avion est remis en configuration normale de vol jusqu'à la prochaine visite.



## Organigramme d'Air ALGERIE :



# **CHAPITRE II:**

RADIONAVIGATION A

COURTE, MOYENNE ET

LONGUE DISTANCE

## **II. Radionavigation à courte moyenne et longue distance :**

### **II. 1- Systèmes de radionavigation à moyenne distance :**

Les systèmes de radionavigation à moyenne distance sont tous, sauf le DME, des systèmes angulaires. Ils se répartissent en deux groupes :

- les aides radioélectriques basées sur le principe de la radiogoniométrie, mesure de l'azimut d'une station émettrice par rapport à une direction de référence liée au poste récepteur.

- les stations sol VOR et DME, très souvent associées. Le VOR rayonne un signal indiquant le relèvement magnétique de la station (QDR). Le DME est un répondeur sol

#### **a) Radiogoniomètre automatique VHF d'aérodrome (VDF) :**

Le terme VDF veut dire : « VHF Directional Finder ». L'émetteur VHF embarqué destiné aux liaisons radiotéléphoniques est relevé par un goniomètre sol implanté sur la tour de contrôle de l'aérodrome.

La mesure se fait pendant l'écoute des messages radio émis par l'aéronef et le relèvement magnétique de l'aéronef est présenté sur un indicateur placé sous les yeux du contrôleur d'aérodrome. Sur demande du pilote, le contrôleur lui transmet oralement le relèvement magnétique de l'avion (QDM).

L'indicateur peut être :

-De type analogique.

-De type numérique.

Ce système VDF facilite le ralliement des aéronefs de l'aviation légère et générale sur un aérodrome. Placé dans l'axe de la piste, il peut guider une « percée ». Couplé à un radar panoramique, il permet d'identifier les échos visibles sur l'écran cathodique du contrôleur.

**b) Radiocompas de bord (ADF) :**

Le radio compas de bord est un radiogoniomètre automatique fournissant en continu le gisement du radiophare ou de la radiobalise qu'il reçoit.

Les différents modes de fonctionnement sont :

- Le mode ANT (antenne) où seule l'antenne omnidirectionnelle est active. C'est le mode qui permet de tester l'installation.
- Le mode ADF où le système d'inversion de signe des tensions cadres est activé pour la mesure du gisement en continu.

Le cadran de lecture comporte une rose des vents devant laquelle se déplace une aiguille. Le gisement du radiophare sélectionné est indiqué par l'écart angulaire entre la pointe de l'aiguille et un indexe fixe lié au boîtier de l'instrument.

Trois présentations différentes de ce cadran de lecture existent :

- Rose fixe.
- Rose mobile manuellement.
- Rose mobile automatiquement.

**c) Le VOR (VHF Omni Range) ou radiophare omnidirectionnel VHF :**

Le VOR est un signal radioélectrique émis par une station au sol qui reçu par un aéronef lui permet de déterminer la direction à prendre pour rejoindre la station. Une station VOR rayonne dans toutes les directions un signal VHF qui indique directement à l'utilisateur son relèvement magnétique par rapport à la station (QDR). Le pilote d'un aéronef pourra :

- Soit lire directement sur son RMI le radial (QDR) de la station sur lequel il se trouve.



- Soit sélectionner un radial et lire sur un autre indicateur (VOR) l'écart angulaire par rapport à ce radial sélectionné.

La gamme des fréquences utilisée va de 108 à 118 MHz avec une subdivision en 16 canaux de 50 KHz de largeur.

L'utilisation la plus courante du VOR est le balisage du plan de route, au gré du commandant de bord ; l'intersection de la trajectoire prévue avec des radiales présélectionnées constitue des points de repère permettant de vérifier le bon déroulement du vol. Les radials choisis d'avance seront affichés au fur et à mesure.

La proximité de l'interception sera signalée par l'activation automatique de l'indicateur VOR. L'interception du radial affiché sera elle-même signalée par le centrage de l'aiguille sur l'indicateur VOR. Une autre utilisation courante est le suivi manuel ou automatique d'un radial.

## **II. 2- Systèmes de bord autonomes basés sur le principe du radar :**

### **a) Radar de bord ou radar METEO :**

Le radar météo est un système de détection du taux de précipitation instantané dans une direction donnée utilisé à deux fins :

- 1- Détection à l'avant de l'aéronef des zones à forte turbulence ou fortes précipitations associées aux cumulonimbus.
- 2- Vision cartographique du sol au-dessous de l'aéronef.

L'indication lui est donnée sous forme :

- D'azimut.
- De distance.

Ces informations lui sont présentées sur un tube cathodique ou sur un écran à cristaux liquides. Il fonctionne dans la gamme de fréquence SHF (5400 MHz ou 9375 MHz).

**b) Le système autonome de radionavigation :****Le radar DOPPLER :**

Le système DOPPLER est un système déjà ancien, complexe et coûteux. Il est basé sur le principe de l'effet Doppler - Fizeau : la fréquence émise par un émetteur mobile se rapprochant d'un récepteur paraît plus grande qu'elle ne l'est en réalité et inversement lorsque celui-ci s'éloigne. L'écart relatif de fréquence ( $\Delta f / f$ ) est égal au rapport de la vitesse relative de l'émetteur par rapport au récepteur et de la vitesse de propagation de l'onde ( $V / C$ ).

La composante horizontale de la vitesse sol de l'aéronef est calculée par mesure de l'effet DOPPLER sur des signaux radio réfléchis par le sol.

L'indicateur de bord fournit à l'équipage la vitesse sol et la dérive; de plus le système est généralement couplé à un calculateur de navigation qui donne continûment la position.

**II. 3 - Systèmes à longue distance :****a) Centrale inertielle INS (Inertial Navigation System) :**

L'INS est un système autonome de positionnement basé sur la mesure d'accéléromètres. Il est le seul système de navigation entièrement autonome capable de fournir vitesse et position en continu. Il est devenu l'équipement de base pour la navigation long-courrier, dans des zones non couvertes ou insuffisamment couvertes par les aides radioélectriques classiques.

L'équipage dispose de deux boîtiers de commandes :

- Le boîtier de mise œuvre qui permet de sélectionner l'un des cinq modes de fonctionnement du système.
- La boîte de commande et d'affichage qui permet à l'équipage de dialoguer avec le calculateur.

***b) Le GPS NAVSTAR :***

Le GPS est un système international de positionnement par satellite prétendant à assurer une couverture mondiale. Les systèmes satellites tels que l'OMEGA et le GLONASS ont disparu au profit de la navigation par satellites (GPS).

D'une très grande précision, le GPS semble être le moyen de navigation du futur. Il détient sa précision de par la haute technicité qui l'entoure.

L'information reçue par la station mobile sera principalement une information de position sur le globe terrestre et de vitesse. Les informations recueillies pourront être plus nombreuses selon l'utilisation recherchée et la qualité du récepteur de bord. En effet ce dernier pourra permettre le couplage avec d'autres systèmes.

Le GPS/NAVSTAR est constitué de trois sous-systèmes appelés segments :

- Le segment spatial.
- Le segment sol.
- Le segment mobile.

Chacun d'eux a son utilité propre et de leur combinaison résulte la grande efficacité du système.

## **II. 4 - Radionavigation à courte distance et atterrissage :**

### **a) Le système ILS (Instrument Landing System) :**

L'ILS est un système d'atterrissage aux instruments. Il permet de respecter un plan de descente aboutissant à une piste.

Les informations délivrées au pilote sont :

- Une information d'écart latéral par rapport à un plan vertical idéal (localizer).
- Une information d'écart vertical par rapport à un plan oblique (Glide Path).

L'ILS fonctionne dans la gamme VHF 108-112 MHz (tous les dixièmes de fréquence impaire) pour le Localizer avec association automatique du Glide dans la bande UHF 329-335 MHz.

L'ILS est pratiquement le seul système opérationnel en tant qu'aide non visuelle à l'approche et l'atterrissage mais il aura certainement à être remplacé par son successeur désigné : le MLS.

### **b) Le système MLS (Microwave Landing System) :**

Le MLS offre beaucoup de possibilités. En effet, il permet à son utilisateur d'effectuer des approches courbes et segmentées de plus, l'information distance (P-DME, DME de précision) est intégrée au système. D'un emploi beaucoup plus souple que l'ILS, il peut s'adapter très facilement à la configuration de l'aérodrome sur lequel il est installé. Ainsi, le relief et les agglomérations proches de l'aérodrome peuvent facilement être contournés.

Les informations fournies par le MLS (azimut, site et distance) sont présentées sur un écran cathodique ou à cristaux liquides.

Le MLS fonctionne dans la bande C (5GHz ,200 canaux possibles).

## II. 5 - Systèmes de conduite du vol :

### a) Le FMS (Flight Management system) :

La multiplication des instruments de radionavigation au niveau du cockpit compliquant considérablement la tâche du pilote à bord de l'avion a poussé les constructeurs aéronautiques, dans les années 1980, à innover dans des systèmes électroniques d'intégration et de recouplement des fonctions utilisées par les personnels navigant techniques à bord des aéronefs.

Le FMS est issu de cette évolution, d'ailleurs toujours en cours, et se présente comme la centrale de gestion informatique de l'aéronef.

Le système FMS est composé de :

- Deux FMC (Flight Management Computer) : gauche et droit, qui sont deux puissants calculateurs.
- Trois MCDU (Multifunction Control Display Unit) : pilote, copilote, et central.

Les fonctions assurées par l'équipement sont :

- Mise à disposition des informations concernant le système en question et l'avion.
- Aide à la navigation : aides radio disponibles, vitesse, cap, route, altitude, position,...
- Définition du plan de vol et suggestion de modifications en cas de déroutement en fonction des règles de navigation, du TCAS,...
- Calcul des performances : vitesse et niveaux de vols optimaux, prédiction de temps, vitesses, altitudes,...
- Guidages latéral et vertical.
- Suivi du vol : gestion du carburant, surveillance des systèmes, messages de recommandations, check-lists,...

Une intégration encore plus poussée se fait jour actuellement avec le regroupement du FMS et du Pilote Automatique/Directeur de vol ; les fonctions de ces deux systèmes sont assurées par un seul ordinateur, le FMGC (Flight Management and Guidance Computer).

***b) Le TCAS (Traffic Alert and Collision Avoidance System) :***

Le TCAS est un système autonome d'anticollision développé récemment par la FAA (Federal Aviation Administration) avec les sociétés Bendix/King et Honeywell.

Il existe trois types de TCAS :

- Le TCAS I : alarme de proximité des aéronefs constituant un danger immédiat.
- Le TCAS II : fournit en plus une position du danger et une manœuvre d'évitement dans le plan vertical, si nécessaire.
- Le TCAS III : encore en développement, fournira des manœuvres d'évitement dans les plans verticaux et horizontaux.

Le système n'est fonctionnel qu'avec les avions équipés de transpondeurs TCAS et marche selon le principe du radar secondaire dans les modes C et S.

Passons maintenant au sujet de notre étude à savoir le système DME.

# CHAPITRE III:

L'EMETTEUR -

RECEPTEUR DME

COLLINS 860E-5



CPN 622-2921-001, 622-2921-002, AND 622-2921-005



CPN 622-2921-004



### III. L'émetteur - récepteur DME Collins 860E-5 :

#### III. 1 - Introduction :

Le DME (abréviation pour "Distance Measuring Equipment") constitue une aide autonome à la navigation. Il fournit au pilote une information de distance directe (ou distance oblique) entre l'aéronef et la station sol DME. Cette dernière est très souvent couplée à une station VOR et il suffit d'afficher la fréquence VHF du VOR pour que le récepteur DME reçoive aussi les signaux UHF propres au DME. Les fréquences VOR et DME sont appariées une fois pour toutes suivant des normes OACI.

#### III. 2 - Evolution et perfectionnements des systèmes de mesure de distance :

Le DME est un dérivé de l'équipement militaire TACAN (Tactical Air Navigation). Il existe plusieurs déclinaisons de ces équipements de mesure de distance :

- **TACAN** (aide militaire de radionavigation) est l'ancêtre du DME civil. Toujours en service, il peut être reçu par les récepteurs DME de bord ; les signaux du TACAN contiennent à la fois l'information de distance et celle d'azimut mais les récepteurs civils ne peuvent exploiter que l'information distance. L'azimut est fourni à  $\pm 1^\circ$  selon un principe tout à fait semblable à celui du VOR (diagramme d'émission tournant). Sa configuration VORTAC associe un VOR au TACAN et permet ainsi de satisfaire à la fois les utilisateurs civils et militaires.
- **Le DME à balayage** est un récepteur de bord perfectionné capable de fournir simultanément jusqu'à 6 distances DME. Associé à un calculateur de navigation, il permet de connaître la position de l'aéronef au  $1/10^\circ$  de NM près.

- Le DME/P ou DME de précision est 10 fois plus précis que le DME conventionnel, mais à courte distance seulement (7 NM). Il utilise les mêmes canaux, mais les impulsions sont plus courtes. Le nouveau système de guidage MLS l'utilise. Sa précision est de l'ordre de  $\pm 30$  m au seuil de piste.

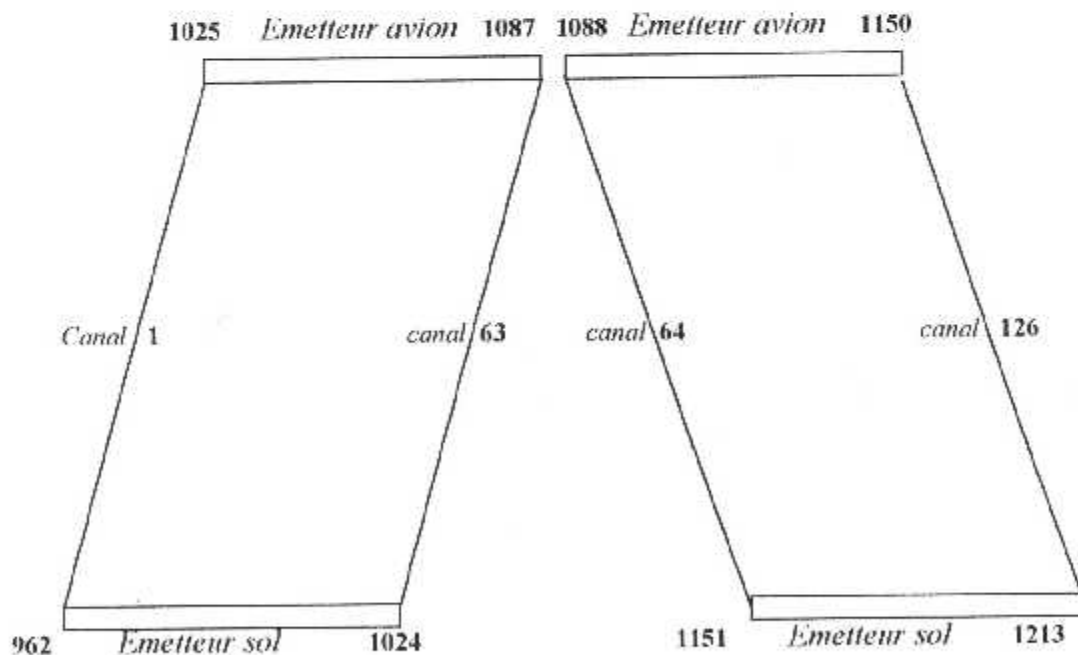
### III. 3 - Plan de fréquences DME :

Les fréquences utilisées par le DME vont de 962 MHz à 1213 MHz. Les fréquences utilisées pour l'interrogation et la réponse sont décalées de  $\pm 63$  MHz, ceci évite les échos parasites dus aux réflexions sur les obstacles.

Les fréquences comprises entre 1025 et 1150 MHz sont réservées aux signaux d'interrogation.

Les fréquences comprises entre 962 MHz et 1024 MHz d'une part et entre 1151 et 1213 MHz sont réservées aux signaux de réponse.

L'ensemble E/R sol dispose donc de 126 canaux de 1 MHz et répartis comme l'indique la figure :

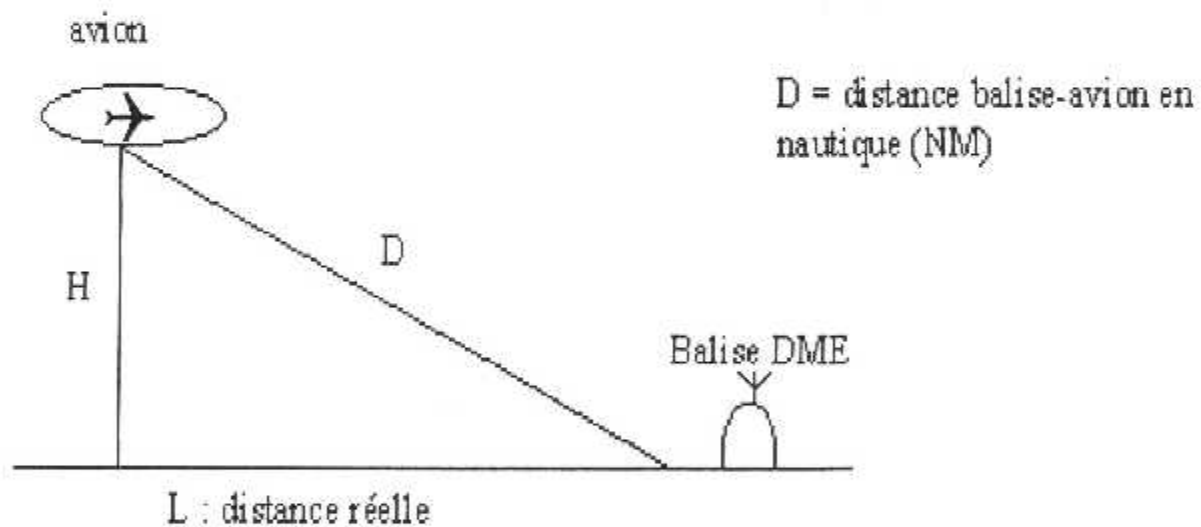


**FIG.III-1- : Répartition de fréquence DME**

A bord de l'avion le choix du canal de fonctionnement de l'ensemble E/R s'effectue au moyen d'un commutateur à 126 positions qui règle en même temps la fréquence de l'émetteur qui envoie l'interrogation et la fréquence du récepteur qui capte la réponse.

### III. 4 - Principe de fonctionnement :

Le principe est le même que celui du radar secondaire (interrogation/réponse), fonctionnant en sens inverse. L'émetteur de bord « interroge » une station sol en lui envoyant des paires d'impulsions UHF répétées irrégulièrement que la station sol renvoie sur une autre fréquence avec un retard fixe de 50  $\mu$ s. Le récepteur de bord mesure le temps d'aller/retour des signaux et en déduit la distance oblique D entre l'aéronef et la station :



**FIG.III-2- : Principe de la mesure DME**

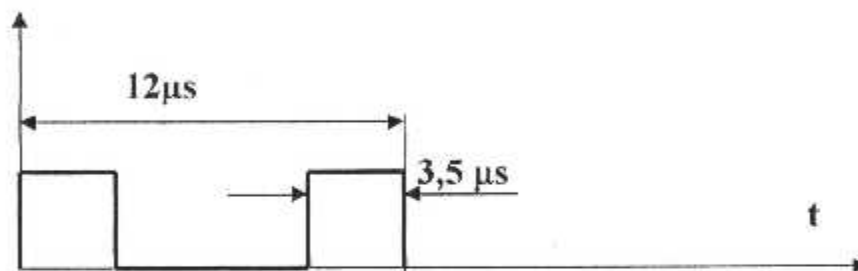
$$D \text{ (distance oblique)} = V \text{ (vitesse)} * T \text{ (temps)}$$

V : vitesse de propagation des signaux radioélectriques 161.750 nm/s

T : temps de l'aller-retour divisé par 2 + 50 $\mu$ s

### III. 5 - Codage :

Les signaux d'interrogations et de réponse sont constitués par des impulsions brèves et groupées par paires, ceci afin d'éviter une confusion avec d'autres impulsions (parasites, impulsion émises par les radars par exemple). Le temps séparant les deux impulsions est fixé à  $12\ \mu\text{s}$  pour l'interrogation et de même pour la réponse sur canal X,  $36\ \mu\text{s}$  pour l'interrogation sur canal Y,  $30\ \mu\text{s}$  pour la réponse.

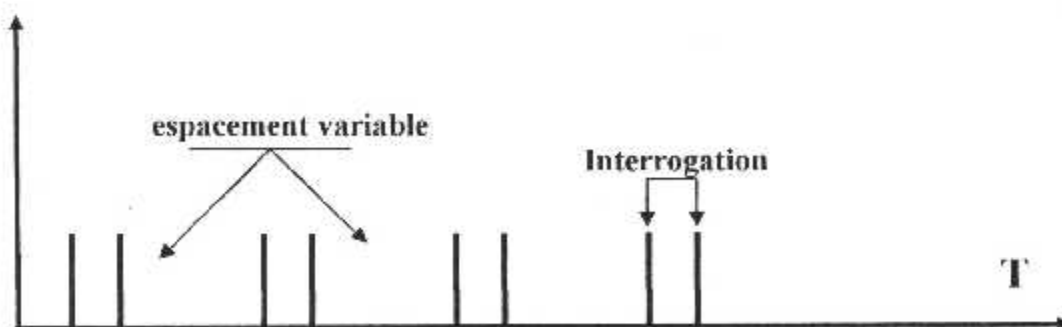


**FIG III.-3 - :** Codage de la paire d'impulsion d'interrogation (canal X)

Les impulsions qui sont répétées au cours du temps vont moduler une porteuse UHF qui sera transmise par une antenne omnidirectionnelle à bord ou au sol.

### III. 6 - Principe de fonctionnement de l'ensemble au sol :

Les signaux d'interrogations formés de paires d'impulsions sont émis par l'émetteur de bord à une cadence qui varie constamment et de façon aléatoire comme le montre la figure suivante :



**FIG III.-4- :** Signaux aléatoires

Les signaux d'interrogations sont captés par le récepteur sol. Celui-ci va alors déclencher les impulsions de réponse de l'émetteur.

Cependant, les signaux de réponse, en raison de l'inertie des circuits, sont toujours émis avec un retard fixe de 50  $\mu$ s.

Le transpondeur transmet aussi un indicatif d'identification en code morse tous les 30 s.

Une station DME doit être capable de répondre à une centaine d'avions qui l'interrogeraient en même temps. Si le nombre d'avions « interrogateurs » est inférieur à 100, des impulsions de remplissage sont émises par la station.

Pour les stations au sol il existe trois versions :

→ **Station TACAN** ces stations sont utilisées en navigation, elles transmettent :

- Une information d'azimut, un signal d'identification et le signal de distance. Les fréquences utilisées sont situées dans la bande « L » (UHF : 300MHz-3GHz).
- Seule l'information distance est utilisable par un avion civil équipé de DME, il suffit d'afficher les fréquences VOR - ILS qui correspondent au canal TACAN désiré. Les signaux d'identifications sont présentés et consistent en paires d'impulsions au P.R.F. (Pulse repetition frequency : Fréquence de répétition des impulsions) de 1350 pp/s (pulse pair by second : paires d'impulsions par seconde).

→ **Station VOR-TAC**

Ces stations consistent à jumeler en un même lieu une balise VOR et une balise TACAN. En affichant la fréquence VOR de cette station, l'équipement DME est automatiquement positionné sur la fréquence TACAN correspondante. Ainsi sur les avions civils, le récepteur VOR donne l'azimut et le récepteur DME l'indication de distance.

→ **Station VOR - DME** (installations civiles en Europe)

Ces stations diffèrent des stations VOR - TAC seulement par la suppression de l'information d'azimut TACAN. Les identifications VOR - DME sont synchronisées entre elles; leur niveau et leur tonalité diffèrent, ce qui permet de distinguer.

→ **Signaux émis en permanence par une station « sol » non interrogée :**

- La station « sol » émet en permanence 2700 pp/s (signal A)
- Sur les stations TACAN l'information d'azimut est constituée d'impulsions affectées par modulation d'amplitude (signal B). La modulation varie de 15 à 135 P/S (impulsions/seconde) en fonction de la direction. La référence Nord est donnée par 12 paires d'impulsions espacées de 30  $\mu$ s.
- Sur les stations DME et TACAN, une information d'identification de 1350 Hz est transmise toutes les 30 secondes environ, et ceci pendant 4 secondes environ. Le PRF de 2700 pp/s est alors réduit à 1350 pp/s, mais les paires d'impulsions sont doublées, ce qui maintient en réception un niveau AGC (Automatic Gain Controller) constant que l'on soit en identification ou en réception signal « distance » (signal C).

**Nota :** Cette identification est transmise en code morse.

### III. 7 – Fonctionnement de l'ensemble de bord :

Le récepteur DME de bord n'est capable de mesurer la distance que si les cadences d'interrogation des avions qui interrogent une station DME à un moment donné sont aléatoires, ce qui est le cas général. En effet, l'avion reçoit les réponses à ses propres interrogations mais aussi celles destinées aux autres avions. Et si tous les avions avaient le même rythme de récurrence, les impulsions reçues correspondant aux autres avions auraient toujours la même position sur l'axe des temps par rapport aux impulsions de l'avion lui-même. Le récepteur de bord serait dans ces conditions dans l'impossibilité d'identifier ses propres impulsions.

L'ensemble E/R de bord doit donc effectuer les opérations suivantes :

- Envoyer des paires d'impulsions d'interrogation à un rythme irrégulier.
- Recevoir les paires d'impulsions de réponse émise par la station sol :
- Rechercher parmi les réponses celles qui correspondent à ses propres interrogations, ceci est la phase RECHERCHE (SEARCH).
- Lorsque l'impulsion a été identifiée, mesurer le temps écoulé entre le départ de l'interrogation et la réception de cette impulsion.
- Calculer la distance en tenant compte du retard de 50  $\mu$ s.
- Réajuster la mesure effectuée au fur et à mesure du déplacement de l'avion : c'est la phase de POURSUITE (TRACK).

#### 1) Fonction « RECHERCHE » :

Chaque avion doit sélectionner parmi toutes les réponses reçues, celles qui lui sont destinées, c'est la phase recherche. Elle s'effectue au moyen d'un système de recherche stroboscopique. C'est un système qui permet d'identifier les impulsions qui sont synchrones avec les impulsions d'interrogations. Ceci s'effectue par comparaison des divers retards entre les interrogations et les réponses reçues. Celles qui correspondent aux interrogations de l'avion doivent avoir le même retard approximatif si on néglige le déplacement de l'avion entre 2 émissions.

Ce cycle ne débute que si les signaux émis en permanences par la station « sol » sont captés, et ceci selon un délai de 60 secondes après la mise sous tension.

Durant le temps de recherche, les cadrans de l'indicateur de distance tournent rapidement et l'aiguille « flag » couvre les indications.

Si au moment de la mise en marche l'indicateur de distance était en dessous de 50 miles, le système revient à zéro et la recherche croissante débute.

Si au contraire, l'indicateur à la mise en route était au-dessus de 50 miles, le système parcourt l'échelle jusqu'à 200 miles, s'il ne trouve pas le signal de distance, il passe par zéro et recommence le cycle 0 à 200 miles.

Ceci a lieu sauf sur les canaux à échelle « courte », de 0 à 50 miles, non mis en extension (canaux où l'indicateur revient toujours à zéro, puis le cycle recommence jusqu'à 50 miles).

Alors la durée du processus de recherche nécessaire pour déterminer l'impulsion propre à l'avion dépend de plusieurs facteurs :

- La fréquence des interrogations.
- Nombre d'avions qui interrogent la station en même temps.
- Du critère choisi.
- De la fréquence de réponse de la station.

L'OACI a fixé la fréquence d'interrogation en phase recherche à 150 paires/seconde, la fréquence de réponse à 2700 paires/seconde, pour une capacité de 100 avions. Les DME actuels ont un temps de recherche inférieur à une seconde.

## **2) Fonction « POURSUITE » :**

Lorsque le dispositif de recherche trouve la série de « bonnes réponses », il passe à la poursuite de l'information après 2 secondes de pré-mémoire, et l'indicateur de distance affiche la mesure, et comme il n'y a plus lieu d'effectuer de recherche parmi les retards, le système se cale en poursuite, le récepteur de bord se contente de réajuster lentement l'indication de distance au fur et à mesure du déplacement de l'avion.

Durant la phase poursuite, la fréquence d'interrogation est réduite à 30 paires/seconde au maximum.



### 3) Fonction « FLAG » :

Le DME offre la possibilité d'avoir un « flag » lent ou rapide, qui apparaît environ deux secondes après la perte du signal ou à la fin de la fonction mémoire.

### 4) Fonction « MEMOIRE » :

Les circuits de « mémoire » évite en cas de perte momentanée du signal, d'effectuer à nouveau un cycle de recherche.

## III. 8 – Les différents modules de l'équipement de bord

### DME Collins 860E-5 :

Le DME Collins 860E-5 se compose des modules ci-après selon la nomenclature du fabricant (cf. : annexes) :

- **A1 : Châssis** : Le châssis contient une carte et un ensemble filtre circulateur / passe-bas. La carte contient les connecteurs des module et le câblage joignant d'interconnexion. Le circulateur isole le chemin de l'antenne - émetteur du chemin de l'antenne - récepteur. La transmission des fréquences harmoniques est réduite par le filtre passe-bas.
- **A2 : Récepteur** : Sélectionner, amplifier et détecter le signal en provenance de la station. Il est constitué d'un présélecteur, un correcteur de courbe et un ampli FI (fréquence intermédiaire).

✓ Les fonctions :

- **Présélection :** C'est un circuit de synchronisation composé de filtres accordés sur la fréquence sélectionnée. Le filtre est constitué d'une diode à capacité variable qui laisse passer la fréquence sélectionnée et rejette toutes les autres fréquences.
  - **Un mixeur :** Mélange le signal provenant de la station et celui de l'oscillateur local qui produit la fréquence intermédiaire F.I.
  - **Un détecteur :** Sépare l'information de la porteuse.
- **A3 : Ampli de puissance :** Il amplifie et met en forme les impulsions envoyées vers l'antenne.
- **A4 : synthétiseur :** Génère la fréquence appropriée au niveau du récepteur en fonction du canal DME sélectionné grâce à un oscillateur stabilisé principal et un V.C.O (voltage-controlled oscillator).
- **A5 : L'alimentation :** Fabrique toutes les tensions continues nécessaires au fonctionnement du module.
- **A6 : Calculateur de distance :** Fabrique les impulsions d'interrogations, calcule la distance et fournit une protection contre les échos parasites.
- **A7 : Processeur Vidéo :** Il fournit les circuits d'interfaçage du DME, décode les paires d'impulsion fournies par le récepteur, contrôle le gain de ce dernier, permet l'identification audio et le test automatique.
- **A8 : Contrôleur de pannes :** Surveille l'émetteur/récepteur et ses indicateurs de panne. Enregistre toute panne survenant pendant le vol. Lors de la procédure d'autotest, à l'initialisation, le contrôleur indique sur les indicateurs de la face avant du DME les pannes éventuelles à partir d'une mémoire.

La face avant du module possède :

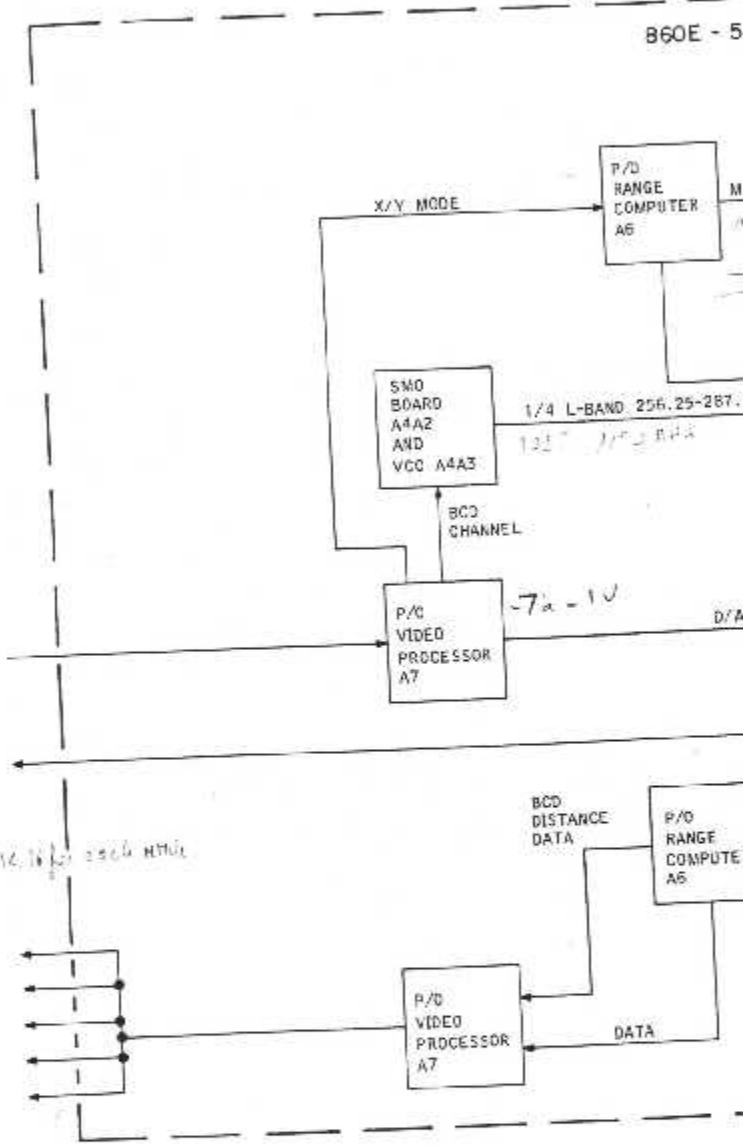
- ❖ **Une lampe R/T** : indique les pannes de l'émetteur/récepteur survenues en vol pendant 4 secondes lorsque l'on active momentanément l'interrupteur test, suivies des pannes actuelles éventuelles lorsque l'interrupteur est maintenu.
- ❖ **Une lampe IND** : indique les pannes de l'indicateur survenues en vol pendant 4 secondes lorsque l'on active momentanément l'interrupteur test, suivies des pannes actuelles éventuelles lorsque l'interrupteur est maintenu.
- ❖ **Un interrupteur TEST** : permet les test ci-dessus.

### III. 9 – Processus technique simplifié de fonctionnement du DME 860E-5 (Génération et traitement du signal) :

La mesure de la distance DME commence par la sélection de la fréquence appropriée sur l'unité de contrôle des fréquences ; celle-ci est envoyée au processeur vidéo A7. La fréquence est convertie en code BCD représentant le canal DME associé.

Ce canal commande le synthétiseur qui génère le signal pilote de l'émetteur et la fréquence radio voulue entre 1025 et 1150 MHz à injecter au récepteur.

La période d'interrogation DME débute par l'émission d'une paire d'impulsion et la partie récepteur du DME se met à l'écoute de toute réponse de la station. Le code canal DME du processeur vidéo A7 est envoyé à un encodeur du calculateur de distance A6 pour contrôler l'espacement des impulsions. Un générateur PRF s'y trouvant enclenche les impulsions appliquées à l'encodeur; ses sorties sont envoyées vers le modulateur et le synthétiseur. Pendant cette période les impulsions de l'émetteur sont amplifiées et acheminées à travers le circulateur et le filtre passe-bas vers l'antenne. Une paire d'impulsion de suppression est simultanément envoyée vers le récepteur interne, ceci afin de le protéger d'éventuels dommages et de la réception du signal de transmission.



*BRIDGE (C/W)*

2 X 5  
 TUNING FROM  
 CONTROL UNIT

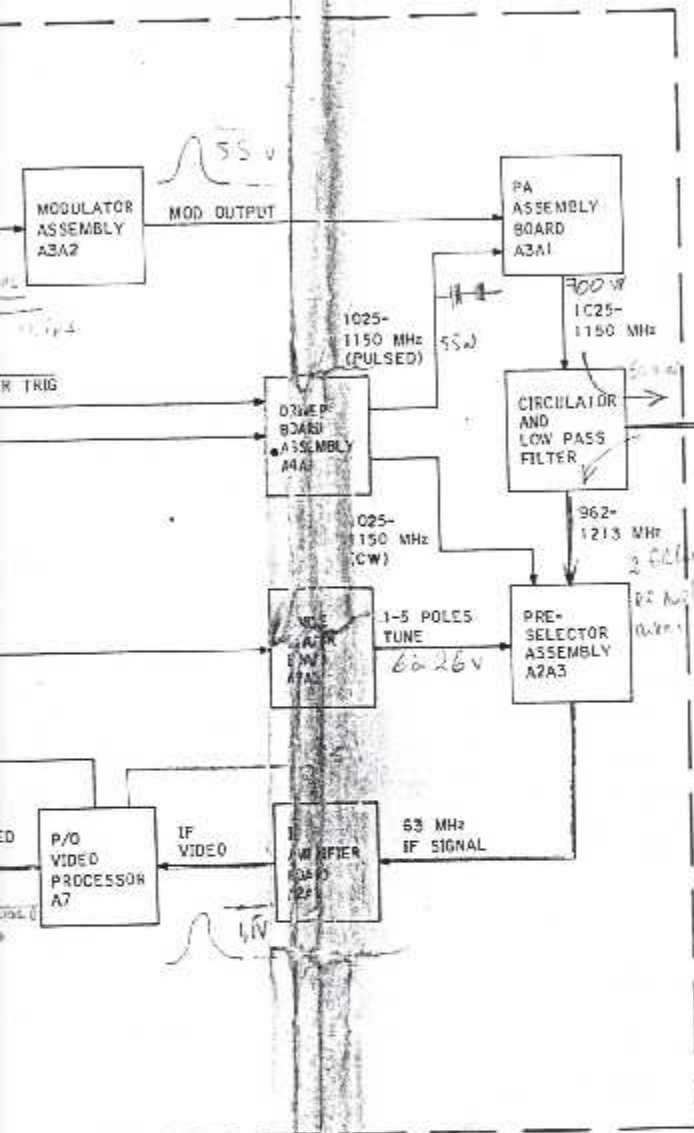
AUDIO IDENT  
 TO SPEAKER

*5000 Hz Q.M. 12.16 for each MHz*

PULSE PAIR  
 FLAG  
 6-WIRE DATA BUS  
 2-WIRE DATA BUS  
 RANGE RATE

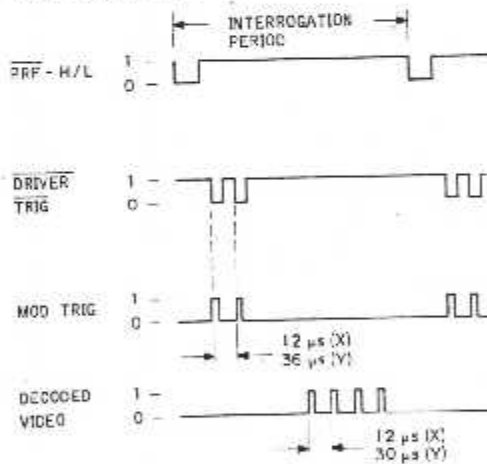
*AGC is available separately*

860E-5 DME Overall Block Diagram  
 Figure 16



NOTE:

① TIMING DIAGRAM REFERENCE



194-7855-014

En même temps que l'émission de la deuxième impulsion de la paire, les compteurs de distance internes du calculateur de distance A6 sont initialisés afin de calculer le temps écoulé avant le retour de l'impulsion synchrone, durée directement liée à la distance oblique séparant l'aéronef de la station.

L'émission faite, le récepteur devient actif; le signal 962 – 1213 MHz de réponse de la station est convoyé à travers le circulateur et le filtre passe-bas vers l'étage de présélection. Il est alors filtré par le filtre à capacité variable, lui-même commandé par l'étage de mise en forme. Le signal est mélangé à celui de l'oscillateur local du synthétiseur A4 pour générer la fréquence intermédiaire FI de 63 MHz.

L'information à la fréquence FI est de nouveau mixée, amplifiée, et détectée pour produire le signal vidéo à fréquence FI. Ce dernier est appliqué à un décodeur de paires d'impulsions dans le processeur vidéo A7, ce qui produit une impulsion vidéo décodée pour des impulsions correctement espacées. Le décodeur détermine si les caractéristiques d'espacement, pour le type de canal sélectionné, et d'amplitude sont concordantes. Le signal est alors transmis au calculateur de distance. Si le signal vidéo contient l'identification 1350 Hz, elle est amplifiée et envoyée sur les haut-parleurs externes.

Au niveau du calculateur de distance A6, le signal vidéo décodé est appliqué aux circuits de distance qui calculent alors la distance DME et la confirment par la mesure du temps requis pour interroger la station sol et en comptant à un taux de 12,359  $\mu\text{s}/\text{nmi}$ . L'information de distance qui se présente sous sa forme ARINC 568 en 32 bits est finalement émise vers les différents indicateurs externes sous différents formats.

# **CHAPITRE IV :**

LES DIFFERENTS

INDICATEURS DME

## IV. Les différents indicateurs DME :

### ❖ L'indicateur DME 339F-8B

#### IV. 1 - Généralités :

L'indicateur DME 339F-8B fournit un affichage analogique de la distance oblique du DME à la station en miles nautique.

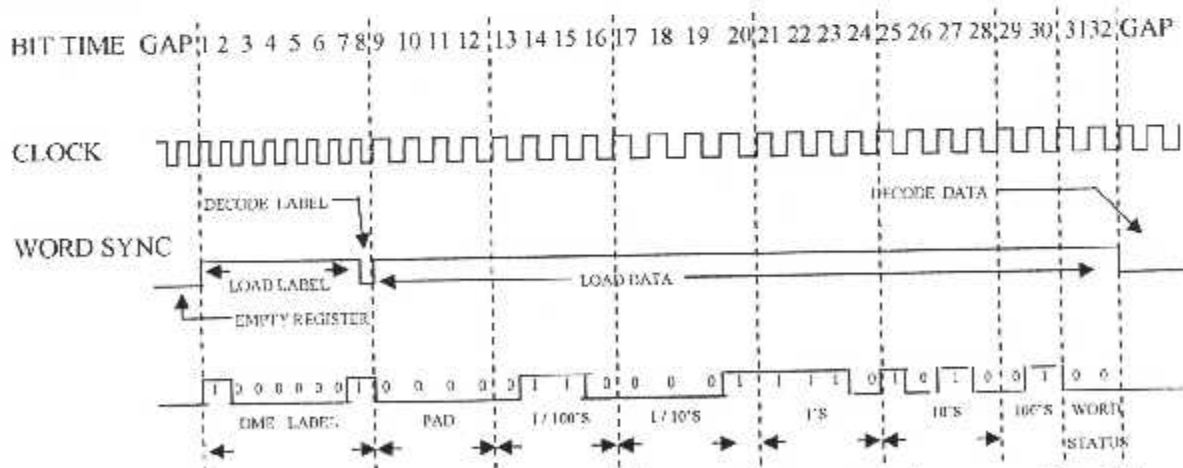
La théorie générale simplifiée de fonctionnement et celle détaillée du 339F-8B sont les suivantes :

#### IV. 2 - Théorie simplifiée de fonctionnement :

##### A) Généralités :

Le 339F-8B reçoit les signaux « CLOCK » (horloge), « SYNC » (synchronisation), et « DATA » (donnée de distance), selon le protocole ARINC 568, en provenance du système DME. Ces signaux sont à +12 VDC (courant continu), pour le 1logique, et 0 VDC, pour le 0 logique. Le signal « DATA » consiste en un mot de 32 bits comme montre la figure suivante :

Figure IV.1 : Structure du mot selon le protocole ARINC 568



Clock : fréquence:  $11 \pm 3.5$  KHz; période :  $91^{-42}/_{22} \mu s$  (équivalent à la longueur d'un bit)

Les centièmes ne sont pas affichés par le 339F-8B ; donnée BCD max 257.86 NM

Bit 31 : test : 0 = normal, 1 = test ; Bit 32 : Etat de la donnée : 0 = valide ; 1 = invalide



***B) Schéma bloc de l'indicateur DME 339F 8B :***

Le 339F-8B reçoit son alimentation principale du système DME et fournit les alimentations +20 VDC--B+, +10 VDC -- tension de contrôle de la roue magnétique, et +5 VDC – niveau logique haut.

Les signaux « DATA », « SYNCH », et « CLOCK » fournis par le système DMF sont des entrées à niveau logique élevé. Ces signaux sont réduits à des entrées logiques de niveau faibles (+3-VDC pour la logique 1 -- 0-Vdc pour la logique 0) par le convertisseur HL / TTL (High level / Transistor-Transistor Logic).

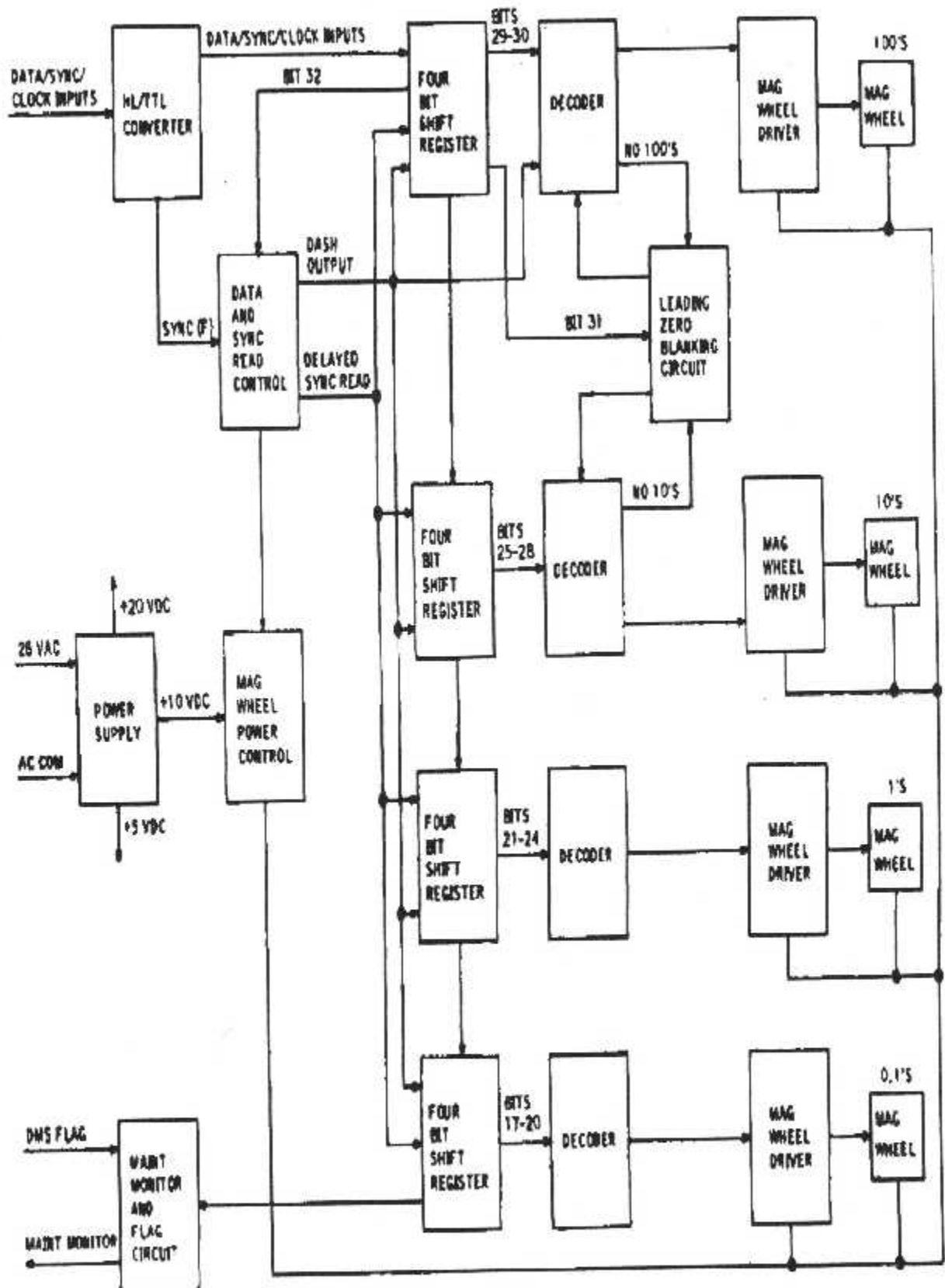
Ces signaux sont transmis au premier des quatre registres à décalage 4-bits. Le signal de données est décalé à travers ces derniers. Quand le bit de donnée 1 est décalé par le quatrième registre un signal est émis pour désactiver l'obturateur d'affichage. L'information continue à travers le registre à décalage jusqu'à ce que les bits 17 à 32 soient chargés dans les registres. Lorsque le bit 32 est complété le signal de synchro passe au niveau logique 0 et le bit 32 est envoyé au contrôle de lecture des données et de la synchro.

Si le bit 32 est au niveau logique 0, l'affichage de pointillés n'est pas commandé, un signal retardé « synchro lue » est élaboré, et le mot de donnée est transmis à travers les décodeurs et les pilotes des roues magnétiques afin d'être affiché par ces dernières.

Si le bit 32 est au niveau logique 1, des pointillés sont chargés dans les quatre registres à décalage, un signal retardé « synchro lue » est élaboré, et l'affichage des pointillés est assuré, à travers les décodeurs et les pilotes des roues magnétiques, par ces roues magnétiques.

Quand un signal « synchro lue » est élaboré et le mot de données (data) est un signal valide, un circuit de suppression des zéros de tête peut être employé. S'il n'y a pas de centaine dans le mot, un signal de suppression du zéro est fourni au décodeur des centaines et un « blanc » est affiché par la roue magnétique des centaines. De façon générale, s'il n'y a ni centaine ni dizaine dans le mot, un signal de suppression du zéro est fourni aux décodeurs des centaine et dizaine, et des « blanc » sont affichés par les roues magnétiques des centaine et dizaine.

Un moniteur de maintenance et un circuit de contrôle des drapeaux sont reliés au dernier registre à décalage et détectent les changements dans la succession des bits. S'il n'y a pas de changement, le drapeau obture l'affichage, et un message de maintenance est suppléé.



707-1287-04

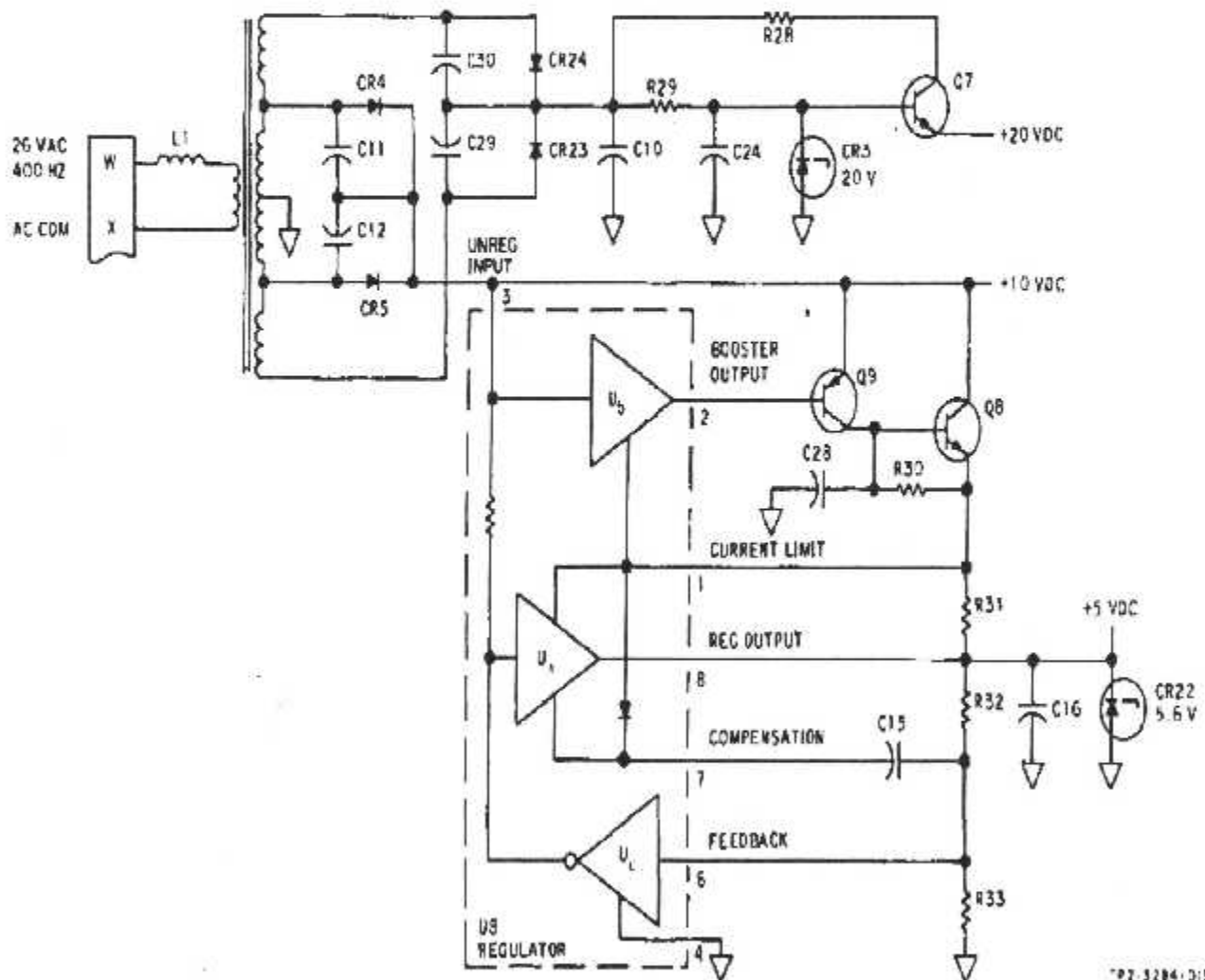
Figure IV.2 : Schéma bloc de l'indicateur DME 339F 8B

IV. 3 - Théorie détaillée de fonctionnement :

1) L'alimentation : (figure IV.3)

Le 339F-8B reçoit une tension 26 VAC (courant alternatif) 400 HZ du système DME. La puissance est filtrée par L1, isolée par le transformateur T1, et redressée.

La tension +20 VDC est redressée par le redresseur double alternance CR29 et CR30, puis filtrée par C29, C30, C10, R29, et C24, régulée par la diode Zener CR3 de 20 V, et la sortie contrôlée par R28 et l'émetteur suiveur Q7. Les +20 VDC de sortie sont employés comme B+ par le convertisseur de HL/TTL et le circuit de drapeau et de monitoring de maintenance du DME.



**Figure IV.3** : Schéma simplifié d'alimentation

La tension non régulée +10 VDC est régulée par le redresseur double alternance CR4 et CR5 et filtrée par C11 et C12. La sortie +10 VDC est utilisée pour le contrôle des pilotes des roues magnétiques et comme tension de commande des roues magnétiques.

La tension +5 VDC est fournie à partir de la +10 VDC. Celle-ci est suivie par Q8 et Q9 et maintenue à un niveau régulier par le régulateur U8. La sortie est filtrée par C16 et la tension limitée par la diode Zener CR 22 de 5.6-V.

## ***2) Le convertisseur HL/TTL : (figure IV.4)***

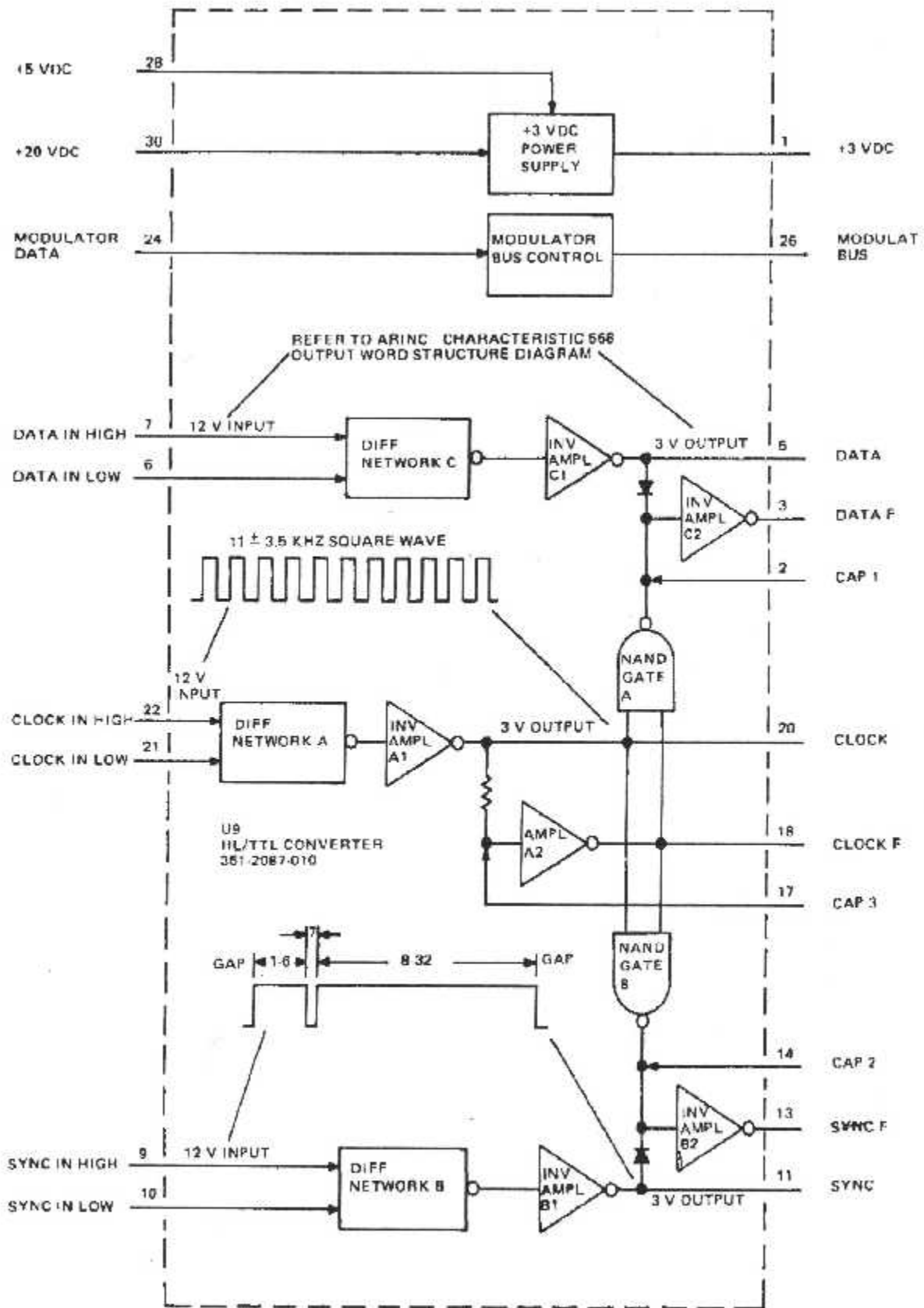
Le convertisseur HL / TTL (High Level / Transistor Transistor Logic) ramène les signaux d'entrée à niveau logique élevé (+12 VDC logique 1 et 0 VDC logique 0) à des signaux de niveau de logique faibles (+3 VDC logique 1 et 0 VDC logique 0) requis par les circuits d'affichage du 339F-8B.

Par l'utilisation d'un réseau de différenciation à l'entrée et d'un amplificateur de basse tension à la sortie, le signal à niveau logique élevé d'entrée est réduit à une logique de bas niveau à la sortie. Le réseau de différenciation maintient la forme du signal tandis que l'amplificateur de basse tension de sortie fournit le logique 1, +3 VDC, et le logique 0, 0 VDC, de sortie.

Une entrée d'horloge se composant d'un signal carré de 11-khz est fournie par le système DME à U9-22 et à U9-21. Cette série d'impulsions de 12 volts à 11 kHz, est transmise au réseau de différenciation A afin de maintenir les temps de montée et de descente des impulsions d'entrée. La sortie du réseau de différenciation A fournit l'amplificateur inverseur A1 avec une impulsion d'horloge mise en forme. L'amplificateur inverseur A1 ramène l'impulsion d'horloge à 3 volts (niveau faible) et transmet ces impulsions d'horloge de bas niveau à U9-20 (non utilisé dans cette application).

Les impulsions d'horloge vont aux portes d'isolement de bit NAND A et B (non utilisée dans cette application).

Les impulsions d'horloge partent aussi vers l'amplificateur inverseur A2 et comme impulsion d'horloge F à U9-18. Les impulsions d'horloge F sont l'entrée d'horloge de l'indicateur 331F-8B pour la séquence de transmission de la donnée.



TP2-3283

Figure IV. 4 : Convertisseur HL /TTL, Schéma fonctionnel

Les impulsions d'horloge de sortie sont encore fournies aux portes d'isolement de bit NAND A et B (non utilisées dans cette application).

Une synchronisation d'entrée, se composant d'un 1 logique pour tous les bits excepté la dernière moitié du huitième bit des impulsions d'horloge (il est commuté en 0 logique pour un demi bit), est fournie par le système de DME à U9-9 et U9-10. Cette entrée de niveau logique élevé 1 (+12 VDC) est conduite au réseau de différenciation B pour maintenir les temps de descente et de montée de l'impulsion logique 0 d'entrée. La sortie du réseau transmet à l'amplificateur inverseur B1 une impulsion mise en forme de synchronisation. Ce dernier ramène le signal à 3 volts (niveau faible) et l'envoie à U9-11. Cette impulsion de synchronisation est l'entrée de synchronisation de la série de données de l'indicateur 331F-8B.

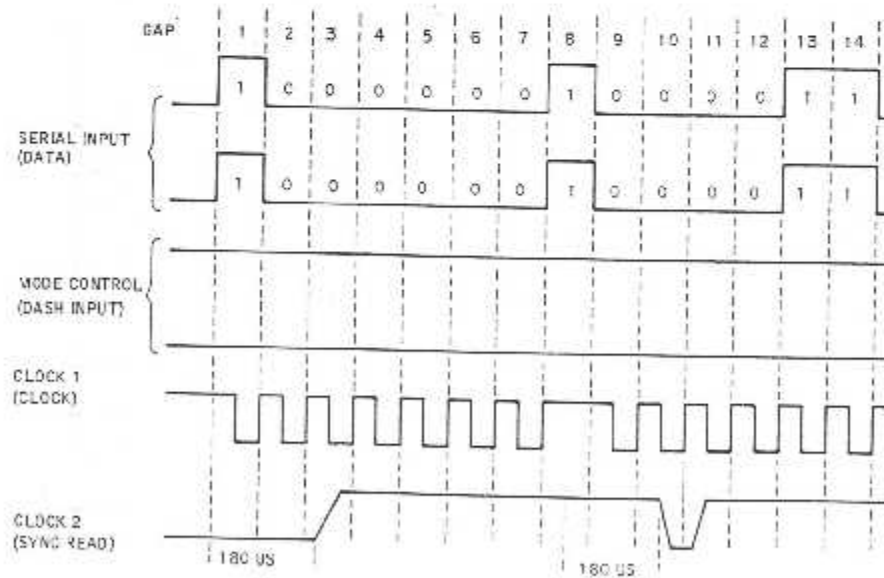
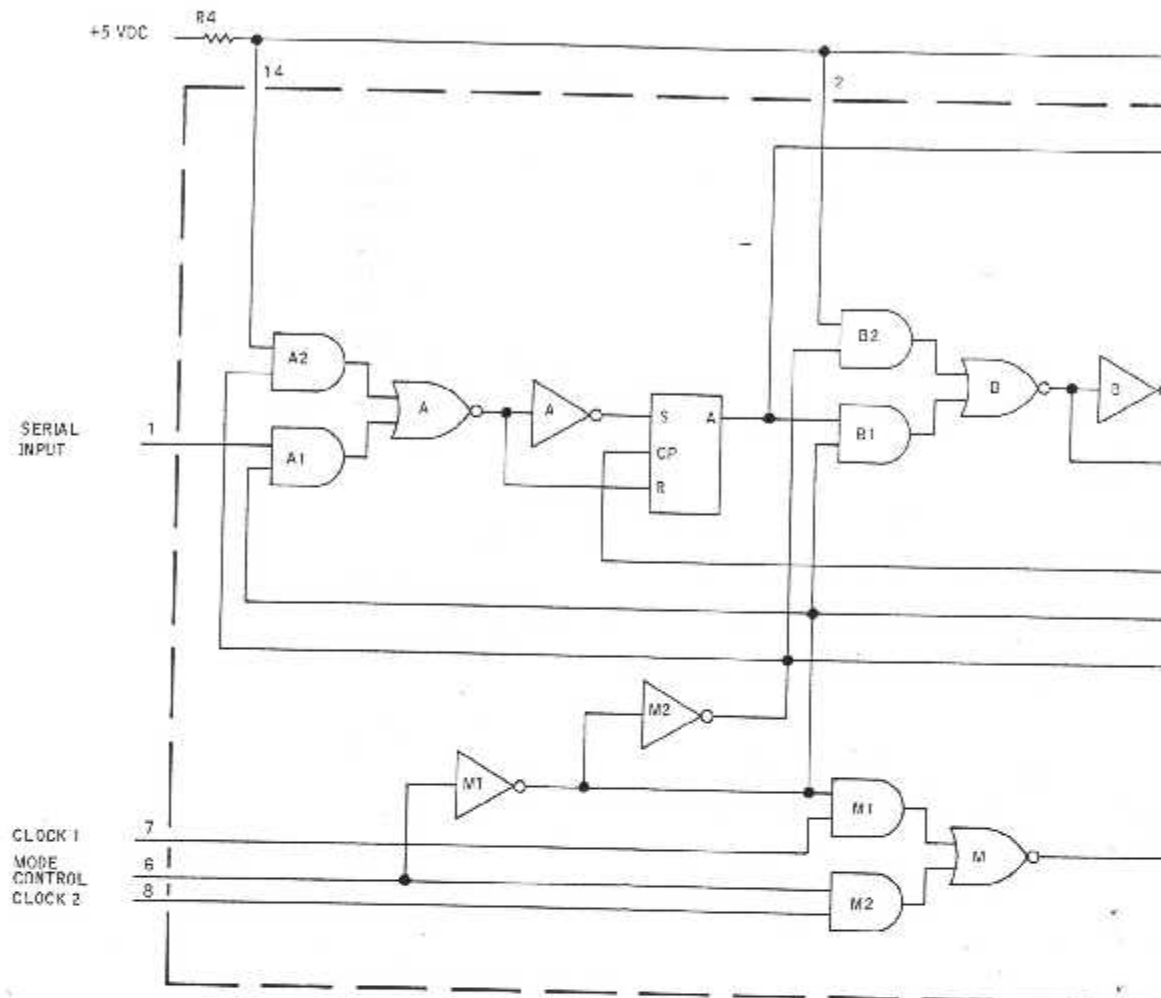
Ce signal est également donné à l'amplificateur inverseur B2 et à U9-13 comme impulsion de synchronisation F. Elle permet d'élaborer une impulsion retardée de synchronisation F pour l'entrée de validité des données (bit 32) et fournit une impulsion retardée « synchro lue » pour la lecture de données.

Une entrée de données se composant de 32 bits à niveau logique élevé est fournie par le système DME à U9-6 et U9-7. Cette série de 32 bits inclut une information d'adresse sur 8 bits (1-8), 4 bits de remplissage non significatifs car non utilisés (9-12), un mot de 18 bits (13-30), et 2 bits pour le statut du mot (31-32). Ces 32 bits de niveau logique élevé accèdent par le réseau de différenciation C et ce afin de maintenir les temps de montée et de descente des bits de donnée. La sortie est suppléée à l'amplificateur inverseur C1 avec des impulsions de donnée mises en formes. Ce dernier ramène les impulsions à 3 volts (niveau faible) et les transmet à U9-5. Ces bits d'informations sont le train binaire d'informations pour l'indicateur 339F-8B.

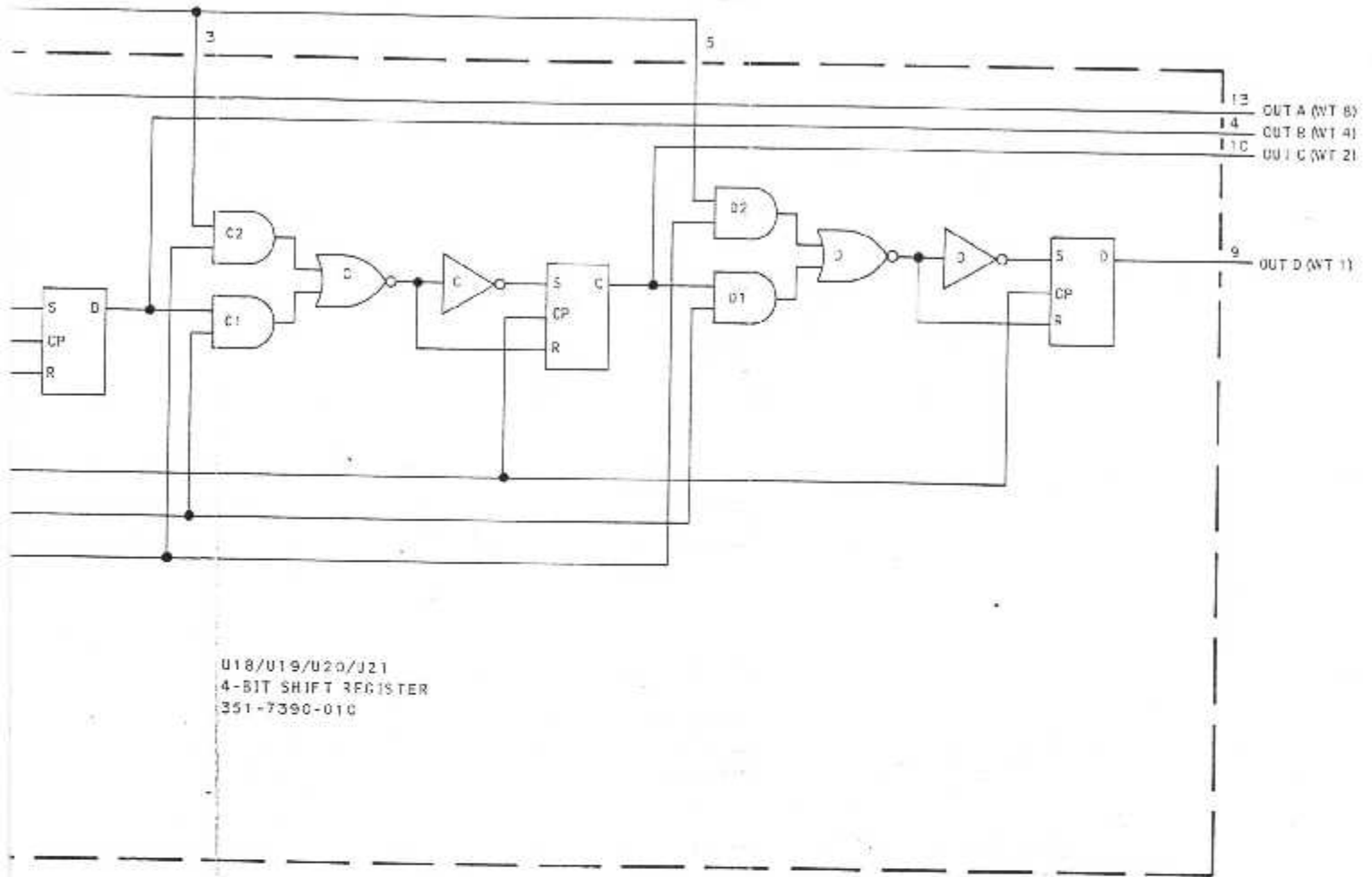
Les impulsions à niveau logique bas sont aussi envoyées à l'amplificateur inverseur C2 puis à U9-3 en tant que donnée F (non utilisée dans cette application).

Une alimentation de niveau logique faible +3 VDC est transmise par le convertisseur (non utilisé dans cette application).

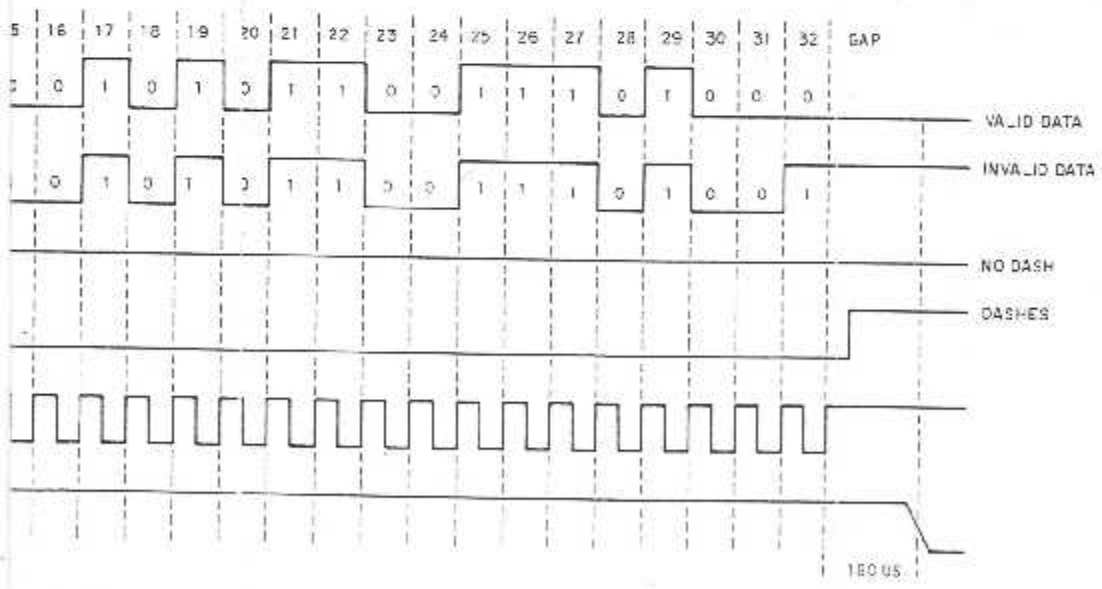
Une source modulatrice de bus de bas niveau est fournie par le convertisseur. (Cette source (masse) n'est pas employée dans cette application).



4-Bit Shift Register, Functional Block Diagram  
Figure 9



U18/U19/U20/J21  
4-BIT SHIFT REGISTER  
351-7390-010



2-02  
13/14  
15/70



### ***3) Le registre à décalage : (figure IV.5)***

Le registre à décalage 4-bit est alimenté par une entrée BCD série. Les bits 17 à 32 sont chargés dans les quatre registres à décalage afin d'être décodés pour l'affichage de la distance de DME.

Les fonctions de ces 16 bits sont comme suit :

- Les bits 17 à 20 sont des entrées BCD pour l'affichage des dizaines.
- Les bits 21 à 24 sont des entrées BCD pour l'affichage des unités.
- Les bits 25 à 28 sont des entrées BCD pour l'affichage des dizaines.
- Les bits 29 à 30 sont des entrées BCD pour l'affichage des centaines.
- Le bit 31 est pour la fonction test. (normal (0) ou test (1))
- Le bit 32 est à but spécial (valide (0) ou invalide (1)).

Quand le bit 32 est au niveau logique 1 (données erronées), un signal « pointillés » (logique 1) est générée par les circuits externes et transmise à l'entrée de contrôle de mode. Un niveau logique 1 de cette entrée neutralise l'entrée série (A1, B1, C1, et D1) et l'entrée d'horloge 1 (M1). Cela active l'horloge 2 (M2) et émet un signal fixé à la logique 1 par A2, B2, C2, et D2 aux portes NOR A, B, C, D. Les bascules A, B, C, D sont initialisées et fournissent toutes les sorties de niveau logique 1 avec la prochaine entrée « synchro lue ».

### ***4) Le moniteur et le circuit de drapeau : (figure IV.6)***

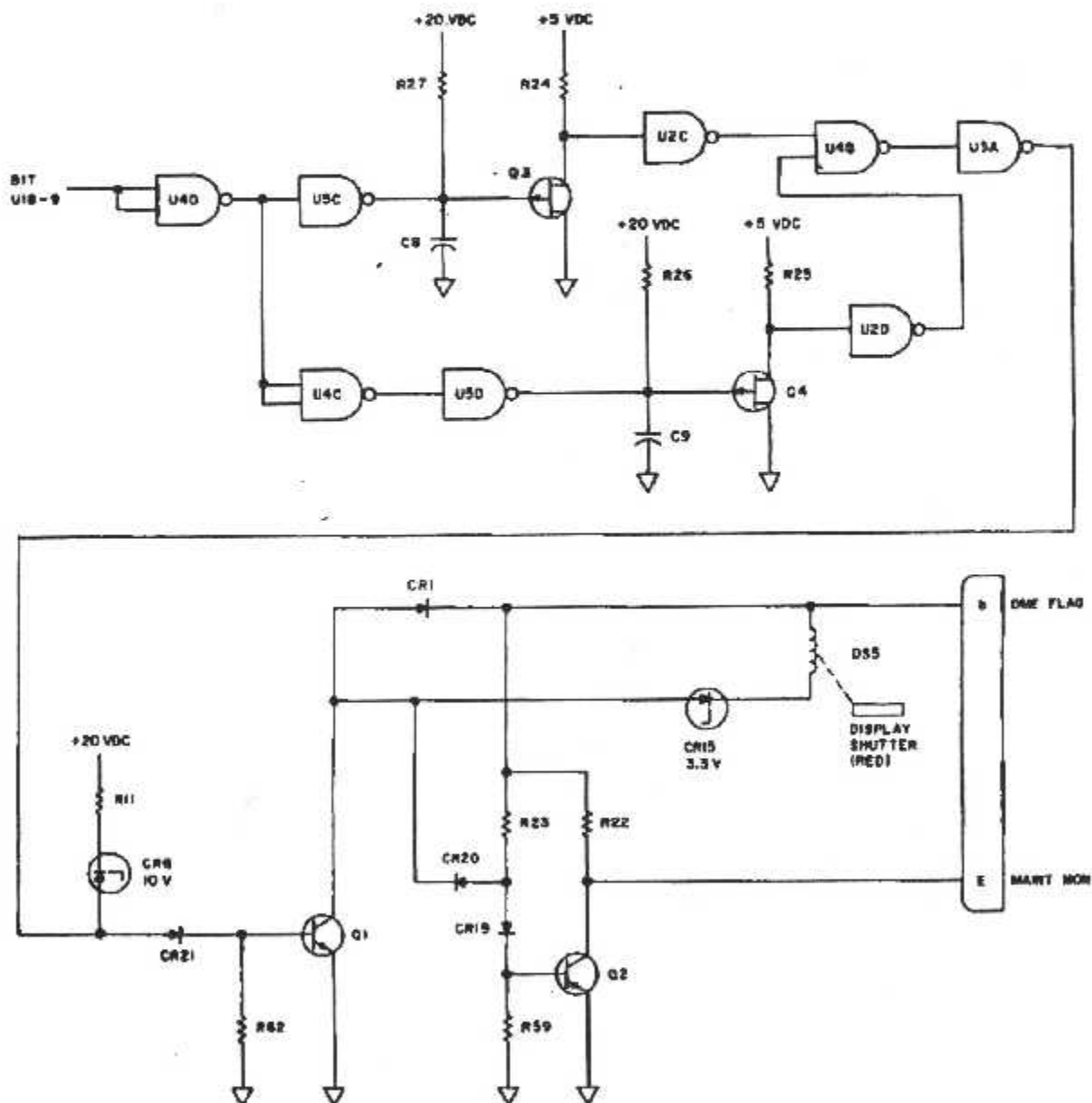
Le moniteur et le circuit de drapeau mettent à la masse la sortie du moniteur de maintenance et obturent l'affichage de distance si aucun changement dans la succession des bits n'est détecté au bout de 0,7 secondes (nominal).

Le flux binaire est échantillonné par U4D : s'il est aléatoire, les sorties U5C et U5D changent. Ces variations permettent de maintenir un potentiel suffisant de C8 et C9 pour de même maintenir les potentiels de Q3 et Q4. Leur état implique que les sorties U2C et U2D sont au niveau logique 1, et donc que les deux entrées de U4B sont à 1. Les portes NAND U4B et U5A fournissent conséquemment une sortie à 1. Le commutateur Q1 est activé à 1 et le Q2 se désactive pour suppléer une sortie positive en J1-E. L'obturateur d'affichage (volet rouge) est alimenté et sort du champ de vision de l'affichage.

Un 0 logique constant (plus de 0,7 secondes) provoque un 0 logique à la sortie de U5C et force Q3 à 0. Un 1 logique est donc émis à U2C qui fournit alors un 0 logique à U4B ; les portes NAND U4B et U5A donnent un 0 logique. Le commutateur Q1 se désactive et Q2

s'active pour suppléer la masse à la sortie J1-E (La tension d'alimentation de drapeaux du DME active Q2 à travers R22, R23, et CR19). L'obturateur d'affichage est désalimenté et masque l'affichage.

Un 1 logique constant provoque un 0 logique à la sortie de U5D et force Q4 à 0. Un 1 logique est donc émis à U2D qui fournit alors un 0 logique à U4B ; les portes NAND U4B et U5A donnent un 0 logique. Le commutateur Q1 se désactive et Q2 s'active pour suppléer la masse à la sortie J1-E. L'obturateur d'affichage est désalimenté et masque l'affichage.

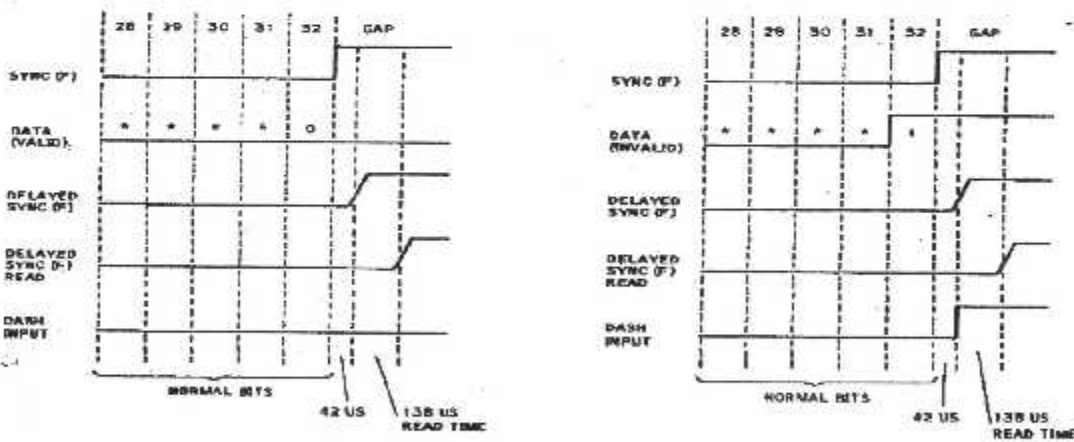
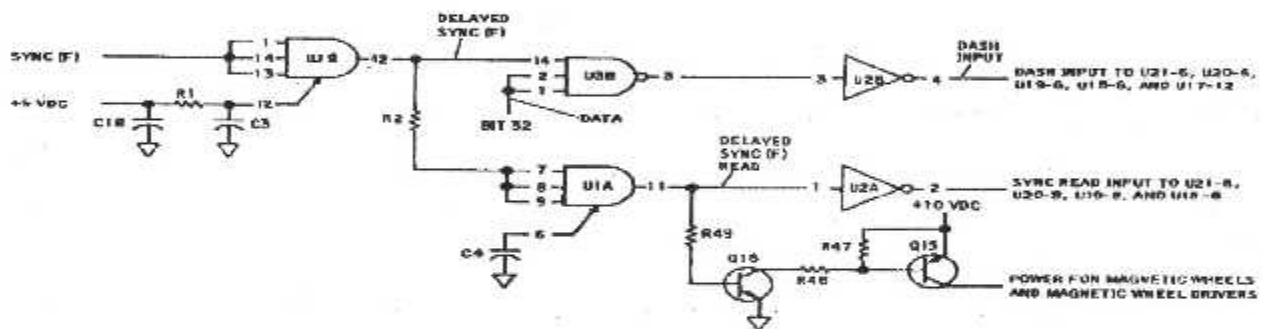


**Figure IV.6 :** Schéma simplifié du moniteur d'entretien et du circuit de drapeau

**5) Le circuit de contrôle des données et du signal "synchro luc" :**  
(figure IV. 7)

L'entrée de synchronisation F ("sync F") à U1B est le complément au signal de synchronisation ("sync") utilisé pour le contrôle des registres à décalage. L'entrée sync F est retardée de 42 µs par U1B. A la suite du bit 32 le signal sync F est mis à 1, donc, 42 µs après le bit 32 un 1 logique est fourni à U3B-1A. Si le bit 32 est à 1, U3B inverse ses entrée et U2B donne un 1 logique qui correspond à commander des pointillés à l'entrée de contrôle de mode de tous les registres à décalage. Si le bit 32 est un 0 logique, U2B fournit une sortie pointillés inchangée à l'entrée de contrôle de mode de tous les registres à décalage.

L'entrée sync F retardée fournie à U1A est retardée de 138 µs additionnelles par ce dernier, inversée par U2A, et envoyée comme entrée "synchro luc" l'horloge clock 2 de tous les registres à décalage. Les deux sync F retardées activent également Q16 et Q15 pour fournir l'alimentation d'affichage aux roues magnétiques et à leurs pilotes.



NOTE:  
(\*) BIT CAN BE EITHER "0" OR "1". BIT 32 MUST BE "0" FOR VALID DATA, "1" FOR INVALID DATA.

**Figure IV.7 :** Schéma Simplifié du circuit de contrôle des données et du signal "synchro luc"

### **6) Le décodeur :**

Ce décodeur est une mémoire ROM de 256-bit organisée en 32 mots de 8 bits chacun avec un modèle spécialisé de décodage.

Dans cette application, ce décodeur est utilisé comme une ROM de 84 bits organisée en 12 mots de 7bits chacun avec le modèle spécialisé de décodage. Il décode l'information BCD de distance et la transmet au pilote des roues magnétiques.

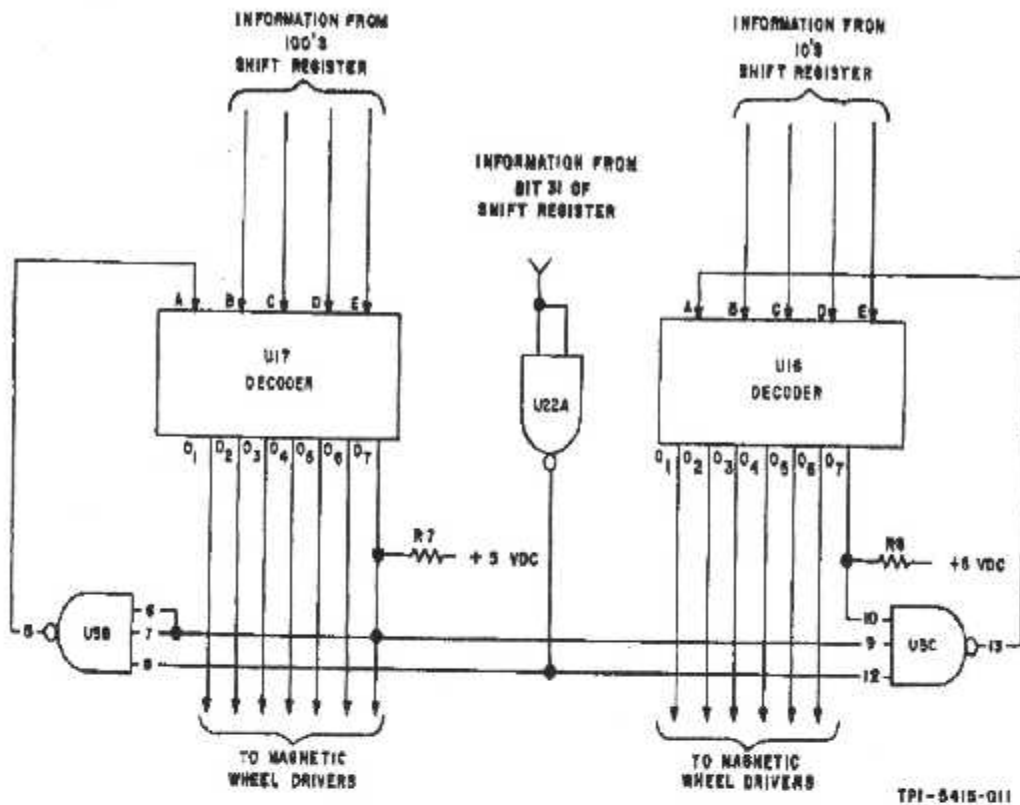
### **7) Le circuit de suppression des zéro de tête : (figure IV.8)**

Le circuit de suppression des zéro de tête permet de masquer l'affichage des centaines et des dizaines. Excepté dans la fonction de test (bit 31 à 1), les centaines sont masqués quand le décodeur des centaines indique zéro et les dizaines sont masqués quand le décodeur des dizaines indique zéro.

Le bit 31 à 0, U22A fournit un 1 logique à U3B-8 et à U3C-12, activant ainsi le circuit de suppression des zéro de tête.

Quand un 1 logique est suppléé par U17-0<sub>7</sub>, U3B l'inverse et transmet un 0 logique à U17-A. Ce 0 commande, après décodage, le masquage des centaines au pilote de la roue magnétique des centaines.

Quand un 1 logique est suppléé par U17-0<sub>7</sub> et U17-0<sub>6</sub>, U3B et U3C inverses les sorties et transmettent un 0 logique à U17-A et U16-A. Ces 0 commandent, après décodage, le masquage des centaines au pilote de la roue magnétique des centaines et des dizaines au pilote de la roue magnétique de dizaines.



**Figure IV.8 :** Schéma bloc du circuit de suppression des zéro de tête

### 8) Les pilotes des roues magnétiques :

Les pilotes des roues magnétiques se composent chacun de six circuits de pilotage. Le signal d'entrée d'un pilote se compose d'un circuit ouvert (niveau haut) ou d'un court circuit (niveau bas). Le signal est inversé de l'entrée et donne soit un circuit court (80ohm) ou un circuit ouvert en sortie.

### 9) Les roues magnétiques :

Les roues magnétiques opèrent selon un principe de sélection de "deux dans six". Les roues magnétiques ont 12 positions marquées 0, 1, 2, 3, 4, 5, 6, 7, 8, 9, -, et blanc. Les entrées requises sont circuit ouvert (la bobine se décharge) et court circuit (80 ohms, la bobine se charge).

DATA LOW  
DATA HIGH  
SYNC HIGH  
SYNC LOW  
CLOCK LOW  
CLOCK HIGH

5 V INSTR LIGHTS HIGH

5 V INSTR LIGHT LOW

DME FLAG

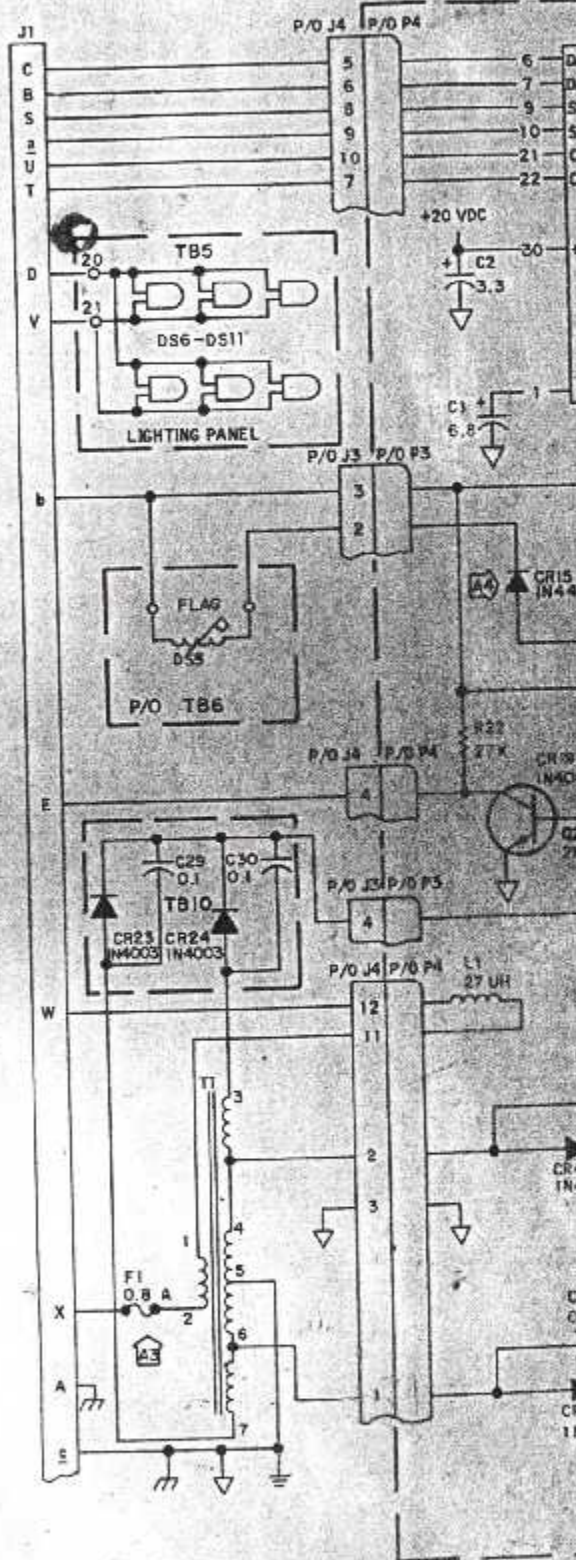
MAINT MONITOR

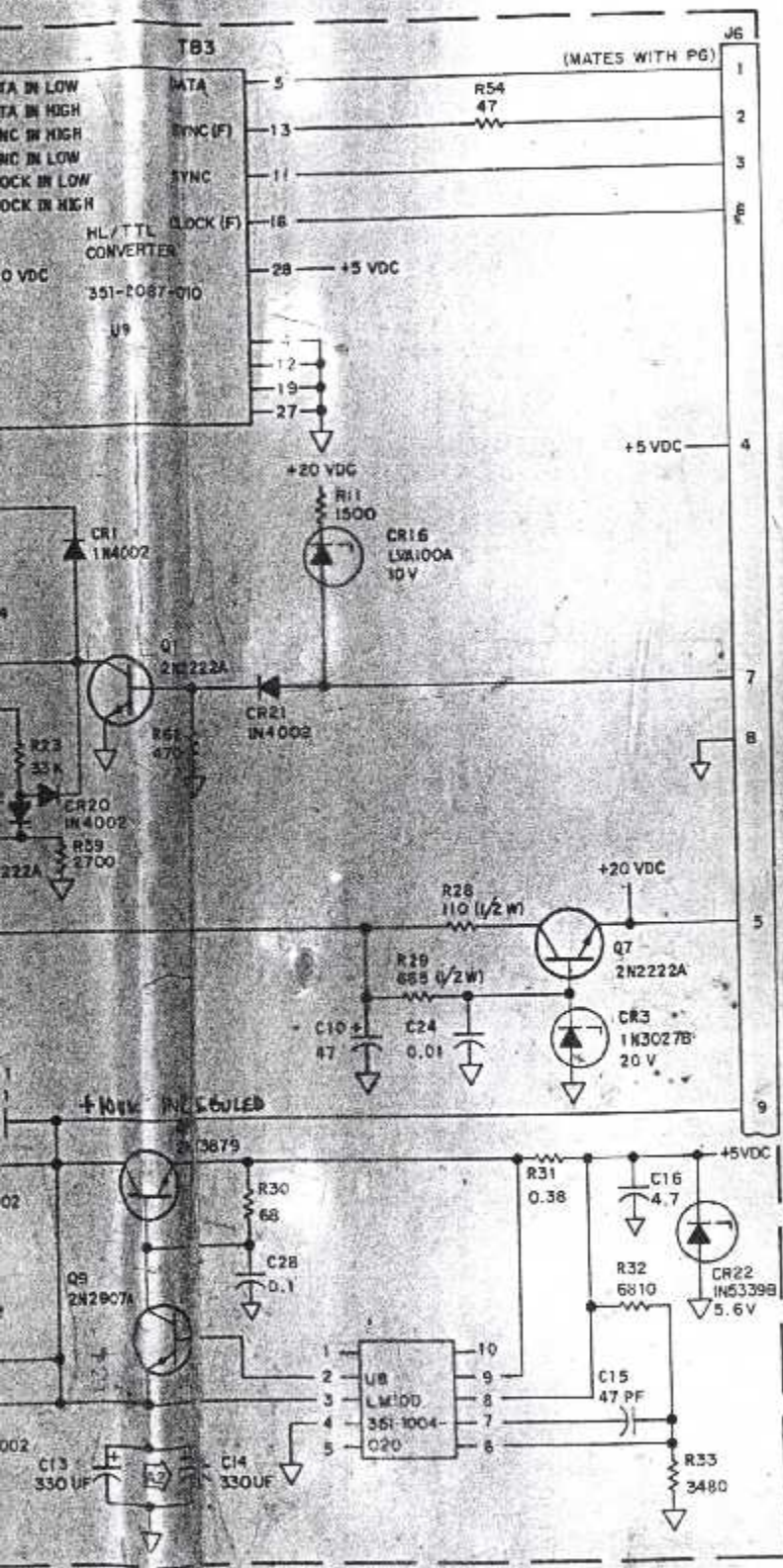
26 VAC, 400 HZ

AC COMMON

SHIELD GND

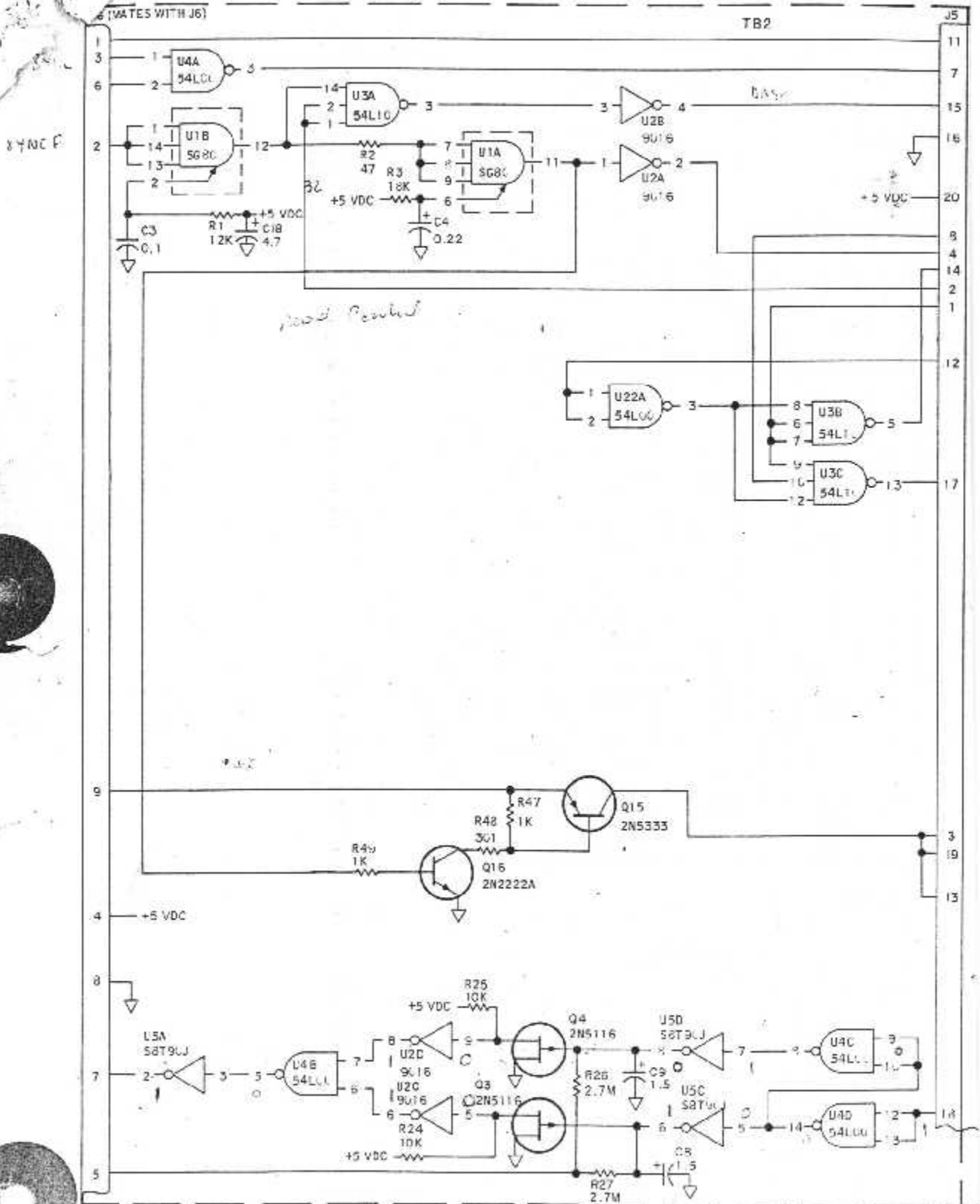
CHASSIS GND





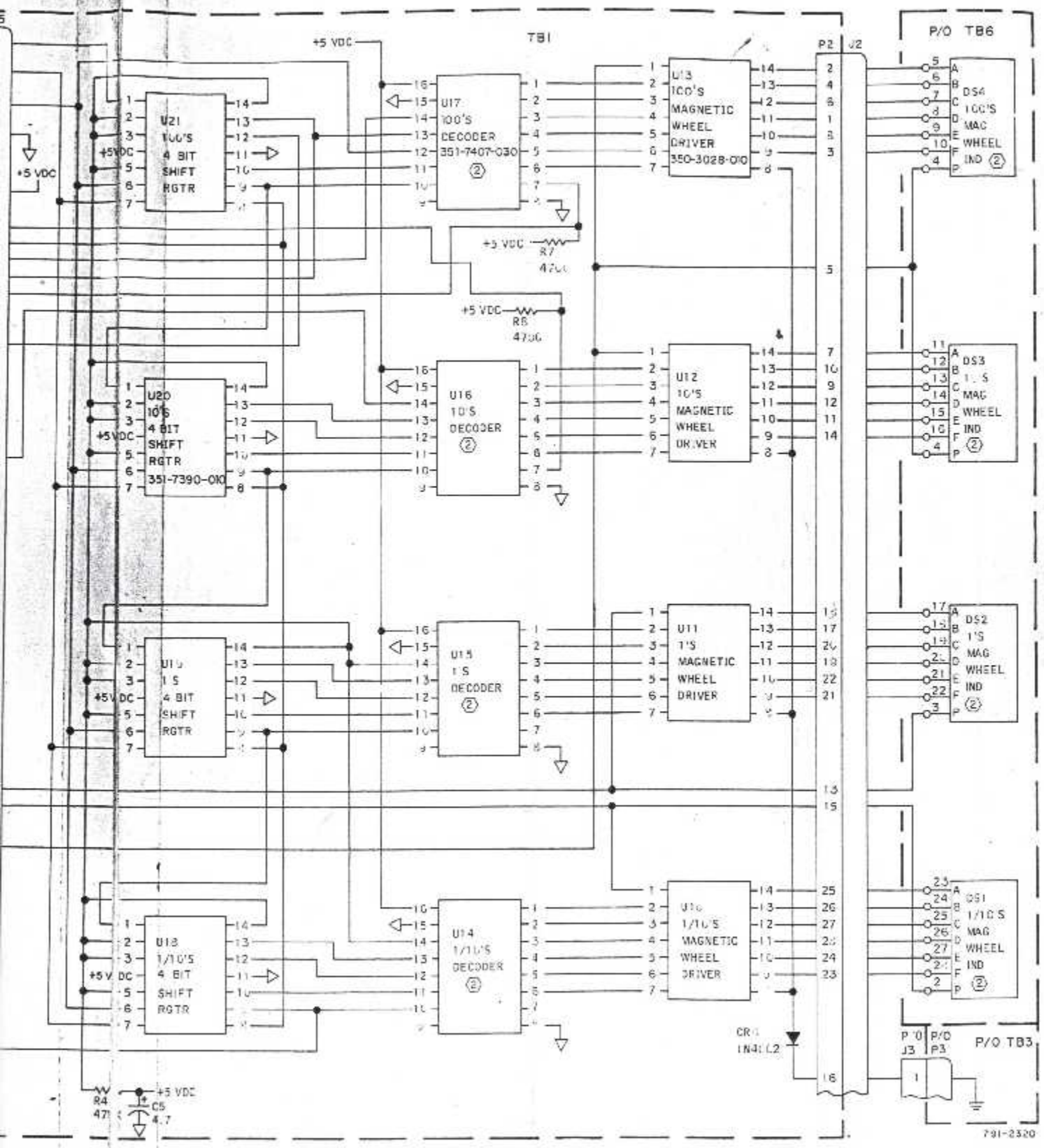
NOTES:

- UNLESS OTHERWISE SPECIFIED, ALL RESISTANCE VALUES ARE IN OHMS AND CAPACITANCE VALUES ARE IN MICROFARADS.
- MCN 101 THRU 138 USE DECODER CPN 351-7407-010 AND MAG WHEEL IND CPN 262-0442-010. MCN 160 AND ABOVE USE DECODER CPN 351-7407-030 AND MAG WHEEL IND CPN 262-0442-020.



339F-8B DME Indicator  
Figure 801 (Sheet 2 of 2)





791-2520

2  
308  
70

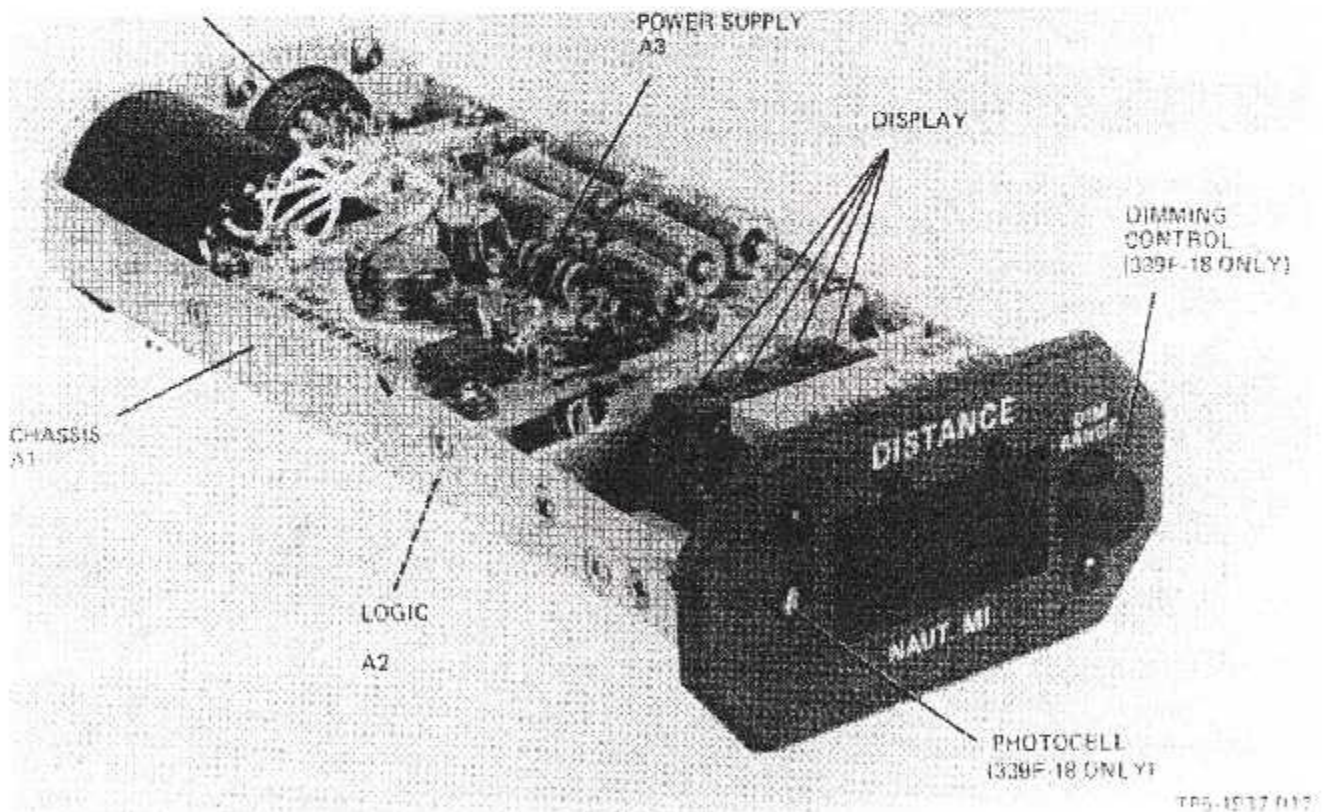
❖ *L'indicateur DME 339F-18 / 18A*

**IV. 4 – Généralités :**

L'indicateur F18 est une amélioration technologique de l'indicateur F8. Le mode d'affichage de cet indicateur n'est plus analogique (roues magnétiques), mais numérique (afficheurs 7 segments).

**IV. 5 - Le câblage à bord :**

L'interconnexion du 339F-18/18A au DME 860E-3/5 se fait par un connecteur. Puisque l'unité peut être employée avec le 860E-5, aussi bien qu'avec d'autres DME conformes au protocole ARINC 568, seuls les raccordements directs à l'unité seront étudiés. Les câbles d'interconnexion du 339F-18/18A doivent être aussi loin que possible des circuits à forts courants, de l'équipement de transmission d'impulsion, et d'autres sources d'interférences.



**Figure IV.9 :** Emplacement des composants principaux du 339F-18/18A

#### **IV. 6 - Théorie simplifiée de fonctionnement :**

Le 339F-18/18A reçoit une horloge à niveau logique élevé, la synchronisation, les signaux de données (selon le protocole ARINC 568-5), et une alarme de drapeau du système du DME. Le mot est un signal de 32 de bits comme précédemment vu. Le 339F-18/18A fournit un affichage numérique 4 chiffres de la distance oblique à la station en mile nautique, et un statut de l'indicateur envoyé au DME.

#### **IV. 7 - Schéma bloc : (Figure IV.10)**

Les données, la synchronisation, et les signaux d'horloge fournis par le système DME sont des entrées à niveau logique élevé. Le circuit d'interface accepte et compare ces entrées aux niveaux de tension valides 1 et 0. Sa sortie est une donnée série de niveau de TTL et un déclenchement d'horloge.

Le registre à décalage accepte l'information série de distance et stocke les quatre chiffres les plus significatifs entre les transmissions de données. L'information stockée de distance va alors aux pilotes d'affichage et finalement à l'affichage. L'intensité de la lumière d'affichage du 339F-18 est ajustée par le contrôle de contraste qui est dérivé du contrôle de contraste manuel et de la cellule photoélectrique se situant sur la face avant de l'indicateur. Ce contrôle transmis aux pilotes d'affichage change l'intensité d'affichage par les coefficients de modulation des sorties des pilotes. L'intensité de la lumière d'affichage du 339F-18A est quand à elle ajustée par le contrôle de contraste externe à l'avion. Le contrôle agit sur l'alimentation électrique, où les limites supérieures et inférieures d'intensité sont établies. La sortie de l'alimentation d'énergie est alors appliquée directement aux lampes d'affichage.

Le circuit de monitoring acquiert les signaux de drapeau du DME et le signal "décodage valide" du décodeur d'étiquette et fournit le statut de l'indicateur et le contrôle de masquage de l'affichage. Dans la phase de fonctionnement normale la sortie statut de l'indicateur est reliée à l'entrée drapeau du DME à travers une résistance de 27 K $\Omega$ . Si un défaut de fonctionnement apparaît sur une des lignes d'entrée ou dans le circuit d'interface, le signal "décodage valide" devient inactif. Si cette ligne demeure inactive pendant 1/2 seconde ou plus, le moniteur met à la masse la sortie statut de l'indicateur et masque l'affichage. Le registre à décalage et les opérations du pilote d'affichage sont vérifiés avec l'affichage pendant le cycle d'autotest du DME.

Le 339F-18 reçoit une alimentation primaire 26 VAC, 400 Hz du système DME et fournit 5VDC (régulé) et 15 VDC pour les circuits intégrés, l'oscillateur de contraste, et les opérations d'affichage. L'alimentation d'énergie du 339F-18A reçoit de même une alimentation primaire 26 VAC, 400 Hz du système DME et fournit 5Vdc (régulé) et 9VDC pour les circuits intégrés et les opérations d'affichage.

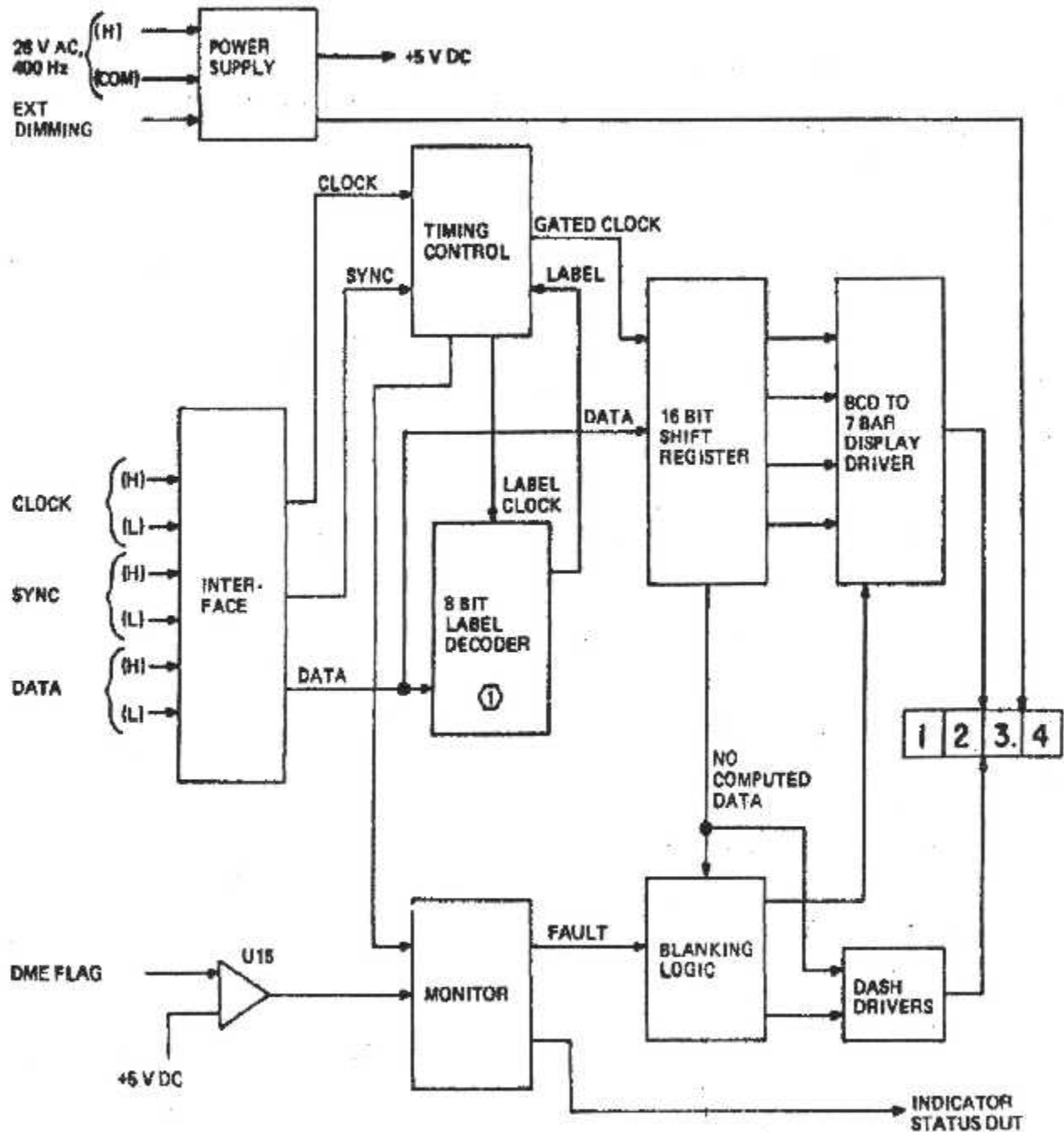


Figure IV.10 : Schéma bloc de l'indicateur DME 339F-18

IV. 8 - Théorie détaillée de fonctionnement :

(Figure IV.10 et figure IV.11)

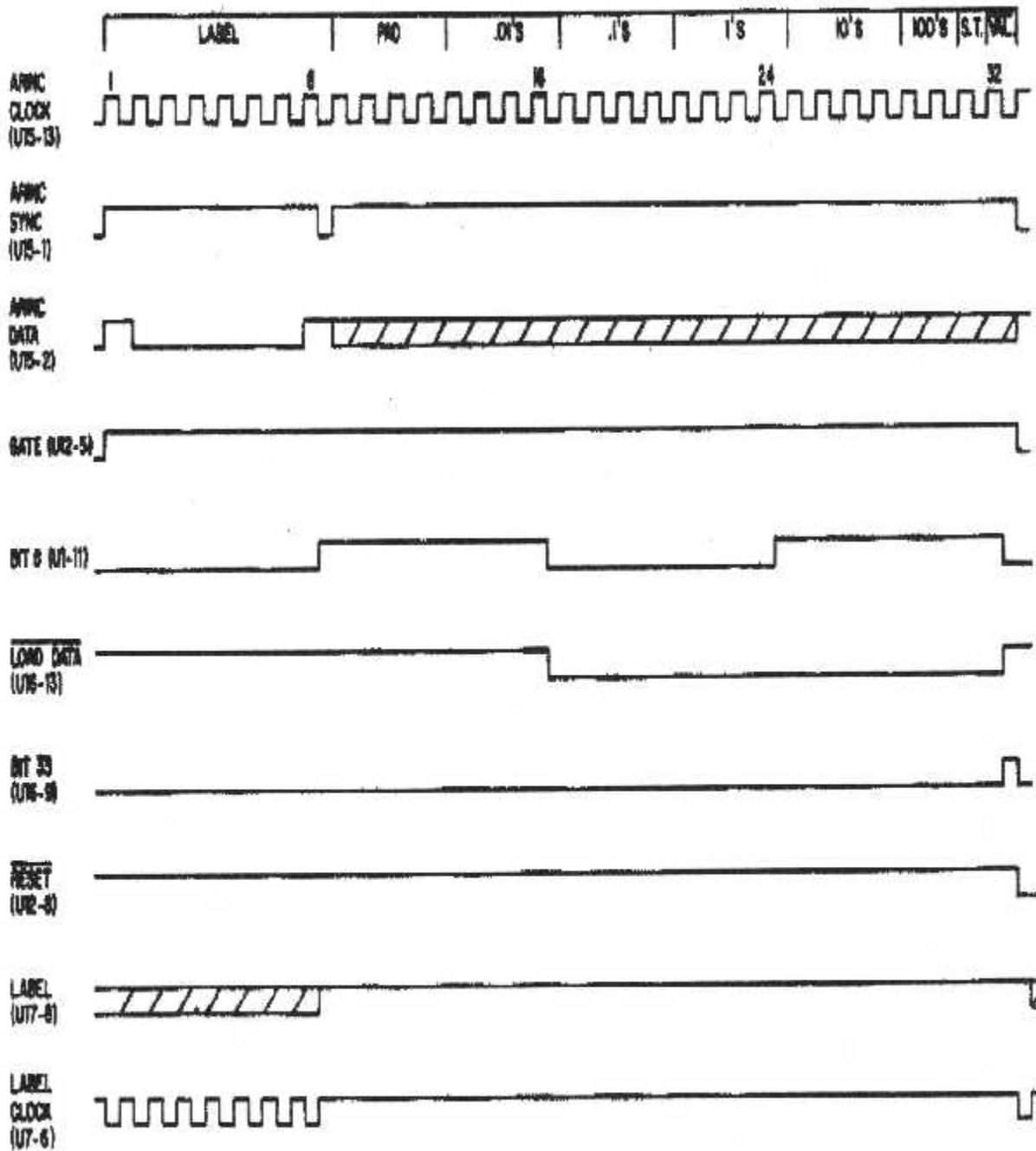


Figure IV.11 : Diagramme de synchronisation de l'indicateur  
DME 339F-18/18A

### **1) L'alimentation :**

- **Le 339F-18** reçoit du 26 VAC, 400 Hz du système DME. La tension d'entrée est rectifiée et filtrée pour fournir du +15 VDC non régulé et du +5 VDC régulé. L'alimentation non régulée +15 VDC est employée comme B+ par le régulateur +5 VDC.
- **Le 339F-18A** reçoit du 26 VAC, 400 Hz du système DME. La tension d'entrée est rectifiée et filtrée pour fournir du +9 VDC non régulé et du +5 VDC régulé. L'alimentation non régulée +9 VDC est employée comme B+ par le régulateur +5 VDC.

### **2) Le circuit d'interface :**

Le circuit d'interface, comprend un circuit intégré, qui ramène le niveau d'entrée logique élevé (+12 VDC, logique 1 ; 0 VDC logique 0) à un niveau TTL nécessaire aux circuits d'affichage du 339F-18, et ce en lieu et place du convertisseur HI. / TTL de l'indicateur précédent. Les différentes entrées converties sont suppléées aux différents circuits concernés.

### **3) Le circuit de contrôle de la synchronisation :**

Le circuit de contrôle de la synchronisation, composé de circuits intégrés, commande l'entrée de déclenchement d'horloge des registres à décalage et du décodeur d'étiquette. L'horloge est active aux entrées des registres à décalage du bit 17 à 32.

Pendant les bits 1 à 8, la sortie du compteur binaire 4 bits reste à l'état bas et est appliquée à l'entrée de la bascule J/K, de l'inverseur, et d'une porte AND. Tant que l'entrée de la bascule J/K n'est pas déclenchée, la sortie  $\overline{\text{LOAD DATA}}$  reste à l'état bas et va à l'entrée de la porte AND. Au même moment l'inverseur inverse le signal  $\overline{\text{LOAD DATA}}$  fournissant ainsi une horloge (LABEL CLOCK) à l'entrée d'horloge du registre à décalage du décodeur d'étiquette.

Les sorties du compteur binaire restent inchangées jusqu'à l'apparition d'une transition négative de l'impulsion d'entrée. L'entrée de l'inverseur est alors changée, causant ainsi le verrouillage à 1 de la sortie LABEL CLOCK pour le restant des impulsions du mot.

#### **4) Le circuit de décodage d'étiquette :**

L'entrée de données utilisée pour les circuits d'affichage est surveillée par le circuit de décodage d'étiquette. Quand le signal LABEL CLOCK est déclenché puis transmis à la porte AND, le registre à décalage surveille les bits 1 à 8 de donnée pour reconnaître l'étiquette appropriée du DME (adresse). Celle-ci étant correcte, c'est-à-dire, les bits 1 et 8 à l'état haut, le registre de décalage donne une sortie se composant de 8 bits (0-1-1-1-1-1-1-0). L'inverseur inverse les deux bits à l'état bas (bits 1 et 8), et le circuit de décodage d'étiquette fournit une sortie valide à la porte AND du circuit de contrôle de la synchronisation.

La sortie du décodeur d'étiquette demeurera haute (valide) jusqu'au bit 32, de ce fait permettant aux données d'être introduites dans le registre à décalage.

#### **5) Le registre à décalage et les circuits de pilotage de l'affichage**

Les registres à décalage et les circuits de pilotage de l'affichage permettent l'affichage de la donnée de distance DME jusqu'au dixième de mile le plus proche.

##### **→ Le circuit de registre à décalage :**

Après que le circuit de décodage d'étiquette ait validé l'étiquette DME (bits 1 à 8) et ait procuré un 1 logique à la porte AND, la donnée est chargée dans le registre de 16 bits ( deux registres de 8 bits en série) du bit 17 à 32.

Les fonctions de ces 16 bits sont les suivantes (idem 339F-8B) :

- Les bits 17 à 20 sont des entrées BCD pour l'affichage des dixièmes.
- Les bits 21 à 24 sont des entrées BCD pour l'affichage unités.
- Les bits 25 à 28 sont des entrées BCD pour l'affichage dizaines.
- Les bits 29 à 30 sont des entrées BCD pour l'affichage centaines.
- Le bit 31 est pour le test de fonctionnement.
- Le bit 32 est à but spécial (valide/invalid).

Les bits 17 à 32 contenant la distance DME, l'autotest, et l'information de validité du mot, sont alors chargés dans les registres. Les bits chargés, ils sont décalés au rythme des impulsions d'horloge. Une fois le registre chargé, le premier registre 8 bits contient les bits 17 à 24 pour les pilotes d'affichage des dixièmes et des unités, et le registre A2U4 contient les bits 25 à 32 pour les pilotes d'affichage des dizaines et des centaines.

Au 33<sup>e</sup> bit, le signal LOAD DATA passe à l'état bas, évitant le chargement de toute autre donnée dans les registres. La sortie de la bascule J/K passe à l'état haut au même moment, ce qui déclenche le circuit de remise à zéro pour remettre à zéro la synchronisation et le compteur 32 bits, les préparant ainsi à une nouvelle transmission de donnée.

Les données chargées, le registre à décalage stocke les bits pour usage entre les transmissions de données DME et procure une sortie parallèle vers les pilotes d'affichage.

### → Les circuits des pilotes d'affichage :

Les pilotes d'affichage convertissent la sortie BCD parallèle 4 bits du registre à décalage en code parallèle 7 segments des afficheurs. En outre, les pilotes d'affichage masquent l'affichage quand aucune donnée n'est présente aux entrées. Ce signal affecte l'affichage des dizaines et des centaines seulement.

### 6) Le circuit de monitoring :

Le circuit de moniteur empêchera l'affichage si une condition "FLAG" du DME est remplie ou si un défaut de fonctionnement se produit dans une des lignes d'entrée des circuits d'interface.

### 7) Le circuit masquage de l'affichage :

Le circuit de masquage masque l'affichage quand un défaut est détecté.

Quand un défaut est détecté par le circuit de monitoring, un signal de bas niveau est transmis à deux portes AND, et un inverseur. Les entrées sont inversées (niveau élevé à niveau bas) et suppléées aux pilotes d'affichage qui masquent alors l'affichage. L'affichage reste masqué jusqu'à ce que le défaut soit corrigé.

### 8) Le circuit pilote des pointillés :

Les pilotes de pointillés permettent l'affichage de tirets sur les afficheurs 7 segments quand des données erronées sont reçues du DME. Quand un mot DME incorrect est reçu (bit 32 à l'état haut), le registre à décalage fournit un 1 logique (NO COMPUTED DATA) aux portes NAND et au pilote de pointillés. La porte NAND fait le "non et logique" des entrées et transmet un 1 logique à l'inverseur, où l'entrée est inversée et suppléée aux pilotes d'affichage, masquant alors l'affichage. En même temps, la sortie à 1 du registre à décalage est transmise



au pilote de pointillés. Le pilote réalise le non-et logique des entrées et met les segments d'affichage à la masse. L'affichage demeurera en pointillés jusqu'à ce que le prochain mot valide du DME soit reçu (bit 32 à l'état bas).

### ***9) Le mode d'autotest :***

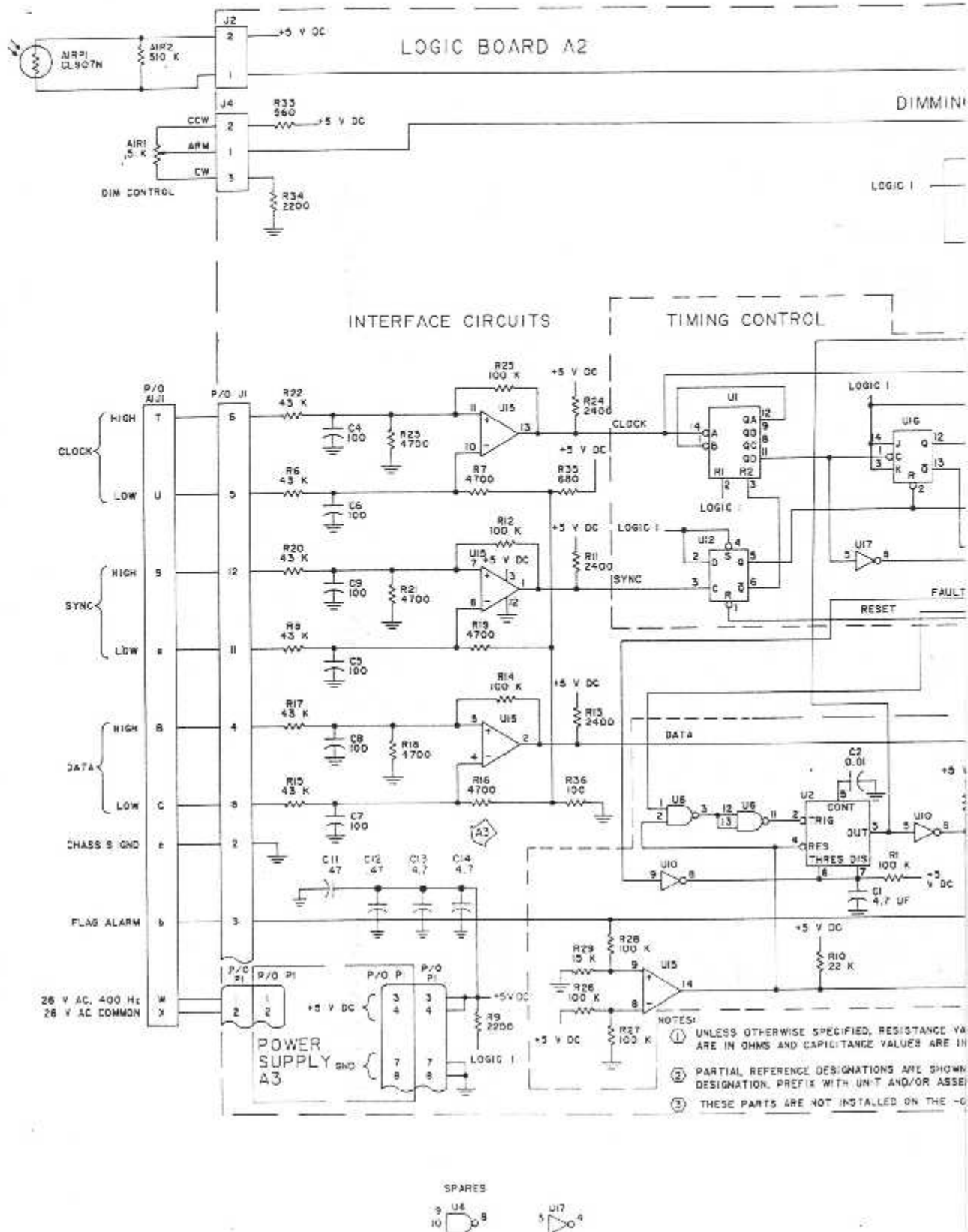
L'autotest de l'indicateur est accompli en activant manuellement la fonction d'autotest du DME. La séquence d'autotest du DME montrera 1 seconde le drapeau, 1 seconde des pointillés, puis la lecture d'une distance de 000,0 NM. La combinaison de ces trois indications illuminera tous les segments dans l'affichage.

### ***10) L'oscillateur de contraste :***

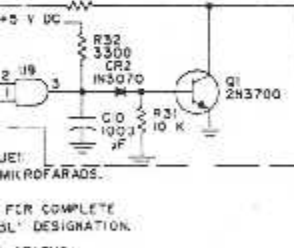
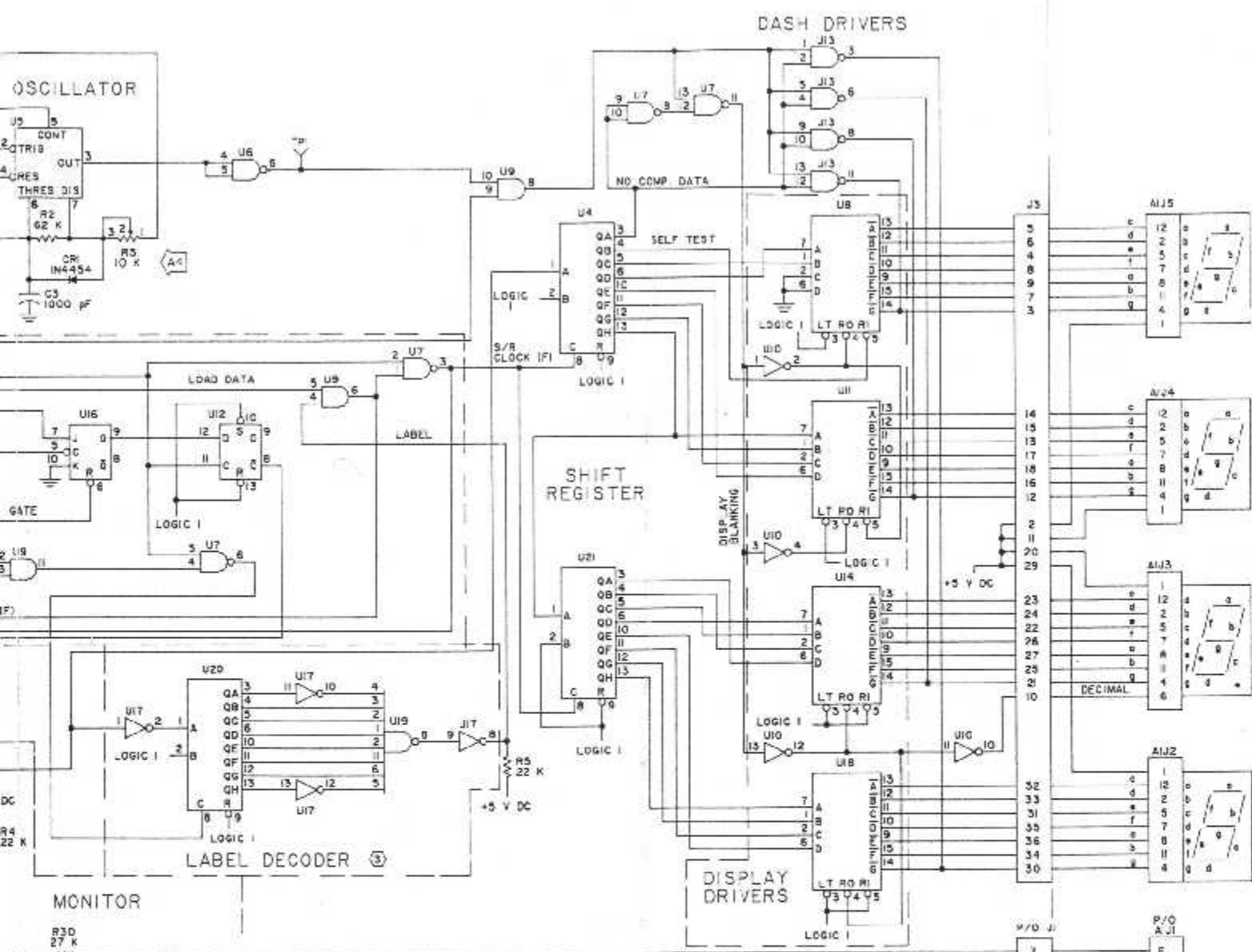
L'intensité de la lumière d'affichage du 339F-18 est contrôlée par la combinaison d'une commande de contraste et d'une cellule photoélectrique situées sur la face avant. La cellule photoélectrique ajuste automatiquement l'intensité (en fonction de la lumière ambiante), et la commande de contraste est employée pour ajuster des variations unitaires ou les préférences du pilote. Combinées, la cellule photoélectrique et la commande de contraste peuvent ajuster l'excédent d'intensité à approximativement 95 % de sa gamme. La fréquence de l'oscillateur de contraste module l'entrée +5 VDC vers l'affichage. Quand l'affichage est à pleine intensité l'oscillateur fonctionne à 20 KHz, et passe à 1100hz quand l'affichage est à intensité minimale.

### ***11) Le circuit de contraste :***

L'intensité des lampes d'affichage est contrôlée par une tension continue externe délivrée par le contrôle de contraste du tableau de bord de l'avion.

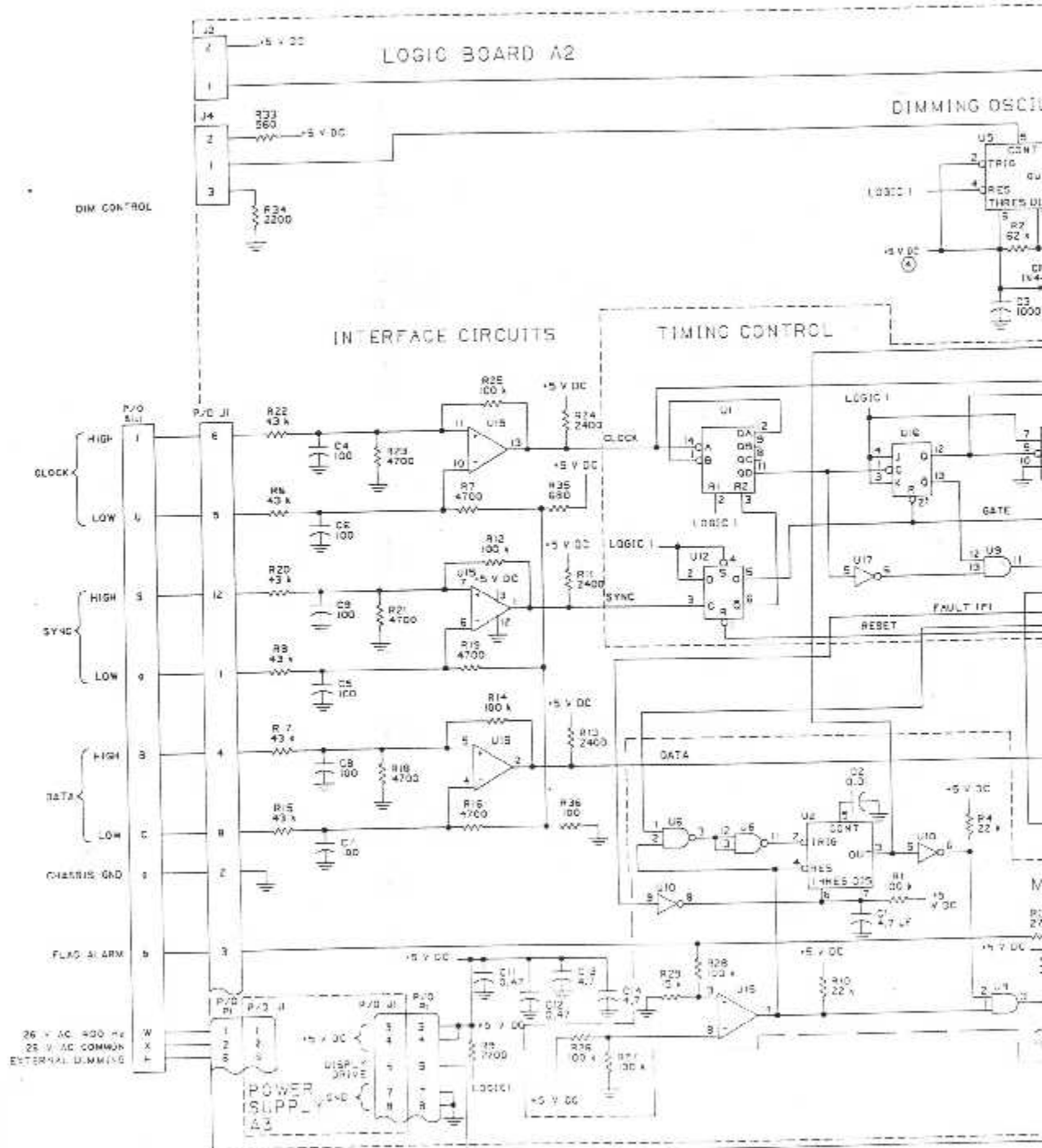


339F-18 DME Indicator, Schematic Diagram  
Figure 110 (Sheet 2)

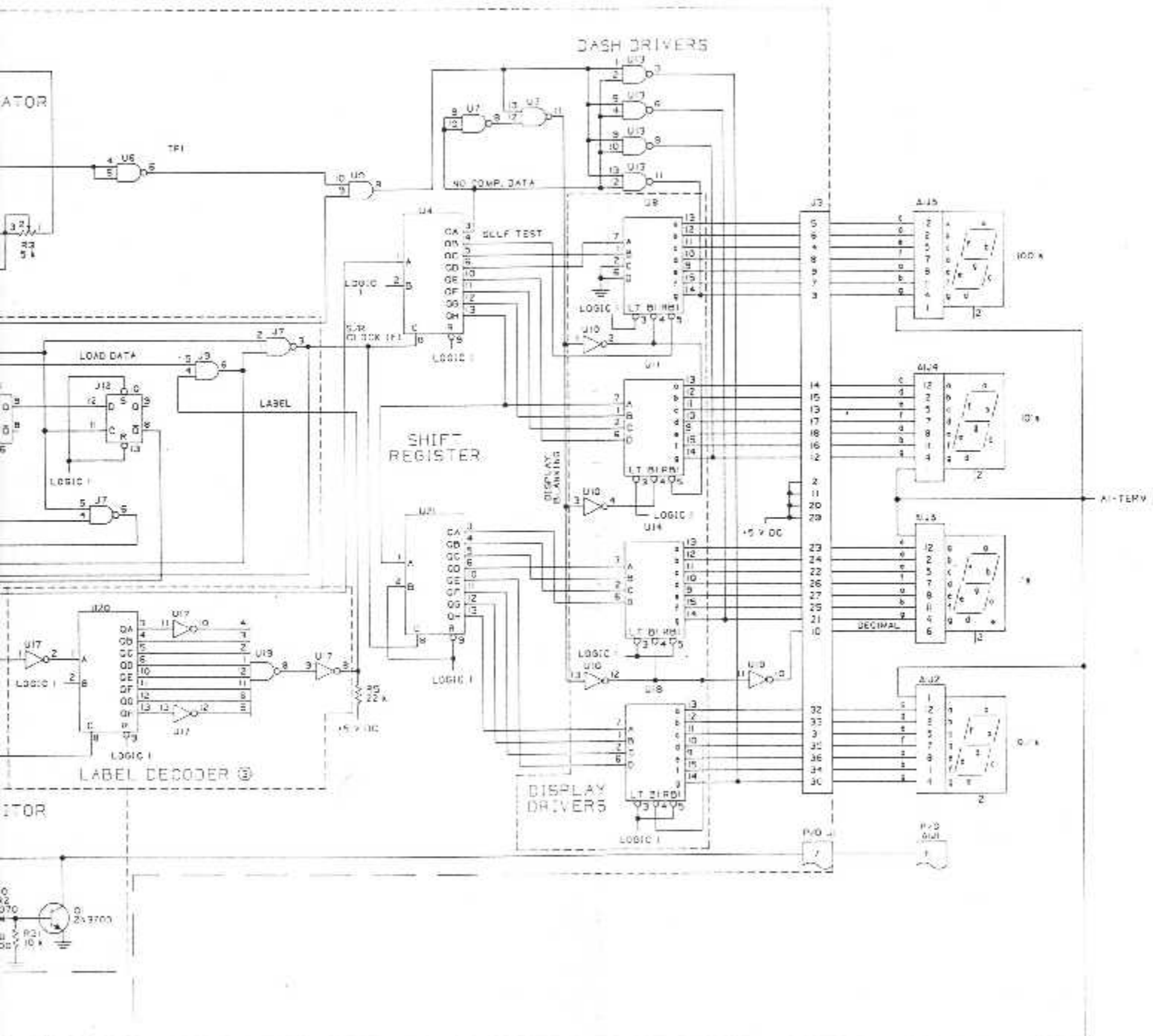


U NO.	TYPE	POWER/V DCI				GND
		-12 V	+5 V	-12 V	-B V	
U1	54LS93		5			10
U2	555		8			1
U3	NOT USED					
U4	54164		14			7
U5	555		8			1
U6	54LS00		14			7
U7	54LS00		14			7
U8	5447		16			8
U9	54LS08		14			7
U10	5406		14			7
U11	5447		16			8
U12	54LS74		14			7

U NO.	TYPE	POWER/V DCI				GND
		-12 V	+5 V	-12 V	-B V	
U13	5438		14			7
U14	5447		16			8
U15	LM139		3			12
U16	54LS73		4			11
U17	54LS04		14			7
U18	5447		16			8
U19	54LS30		14			7
U20	54LS164		14			7
U21	54LS164		14			7



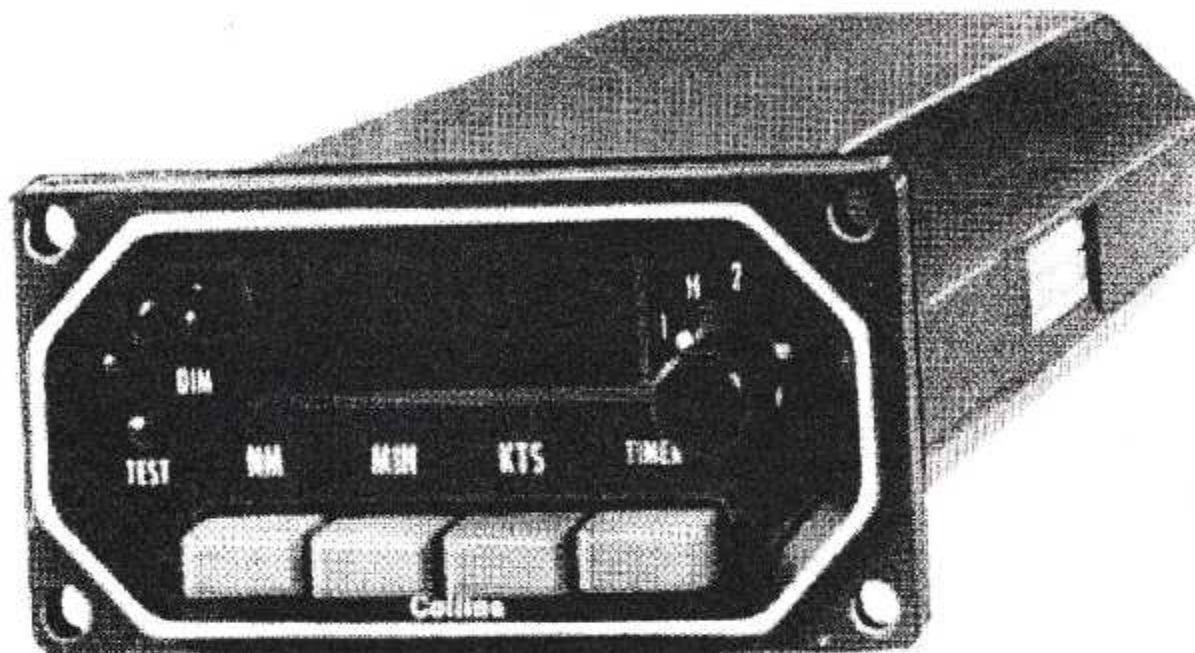
339F-18A DME Indicator, Schematic Diagram  
 Figure 111 (Sheet 2)



❖ *L'indicateur DME IND - 40/41*

**IV. 9 – Généralités :**

L'indicateur DME IND - 40/41 permet la visualisation de la distance en NM, de la vitesse en nœuds, du temps en minutes à la station DME. L'indicateur DME IND - 41 inclut également la mesure du temps écoulé.



*Figure IV.12 : l'indicateur DME IND - 41*

**IV. 10 – But de l'équipement :**

L'indicateur DME IND-40/41 fournit au pilote un affichage de distance à la station, de temps à la station (TTS) ou de vitesse sol de l'avion (TO/FROM) par rapport à une station présélectionnée. L'information de distance est affichée en miles nautiques, le temps à la station en minutes, et la vitesse sol en nœuds (Kts). Les affichages du temps à la station (TTS) et de la vitesse sol de l'avion (TO/FROM) ne sont précis que si l'avion vole directement vers ou en provenance d'une station sol, et à une distance suffisante pour que la distance oblique et la distance sol soient presque égales. L'IND-41 fournit également une fonction de temps écoulé qui montre les minutes et les secondes.

Le bouton TEST sur l'IND-40/41 fournit une commande d'autotest pour le système DME qui inclut un essai de lampe d'affichage de l'indicateur.

#### ***IV. 11 - Principe de fonctionnement :***

Les principales fonctions remplies par l'indicateur DME IND-40/41 consistent en une alimentation électrique, la réception de l'information de distance, le décodage de l'information à afficher et un microprocesseur. L'information de distance série de l'émetteur/récepteur DME est décodée par le microprocesseur et affichée en tant que distance oblique en NM à la station terrestre, quand le bouton NM est sélectionné. Quand le bouton KTS ou MIN est sélectionné l'indicateur affiche respectivement la vitesse sol ou le temps à la station. L'affichage des nœuds est directement calculé par compteur qui mesure le nombre de changement par seconde de  $1/10^{\text{e}}$  NM dans l'information de distance. L'affichage des minutes est calculé de la façon suivante :

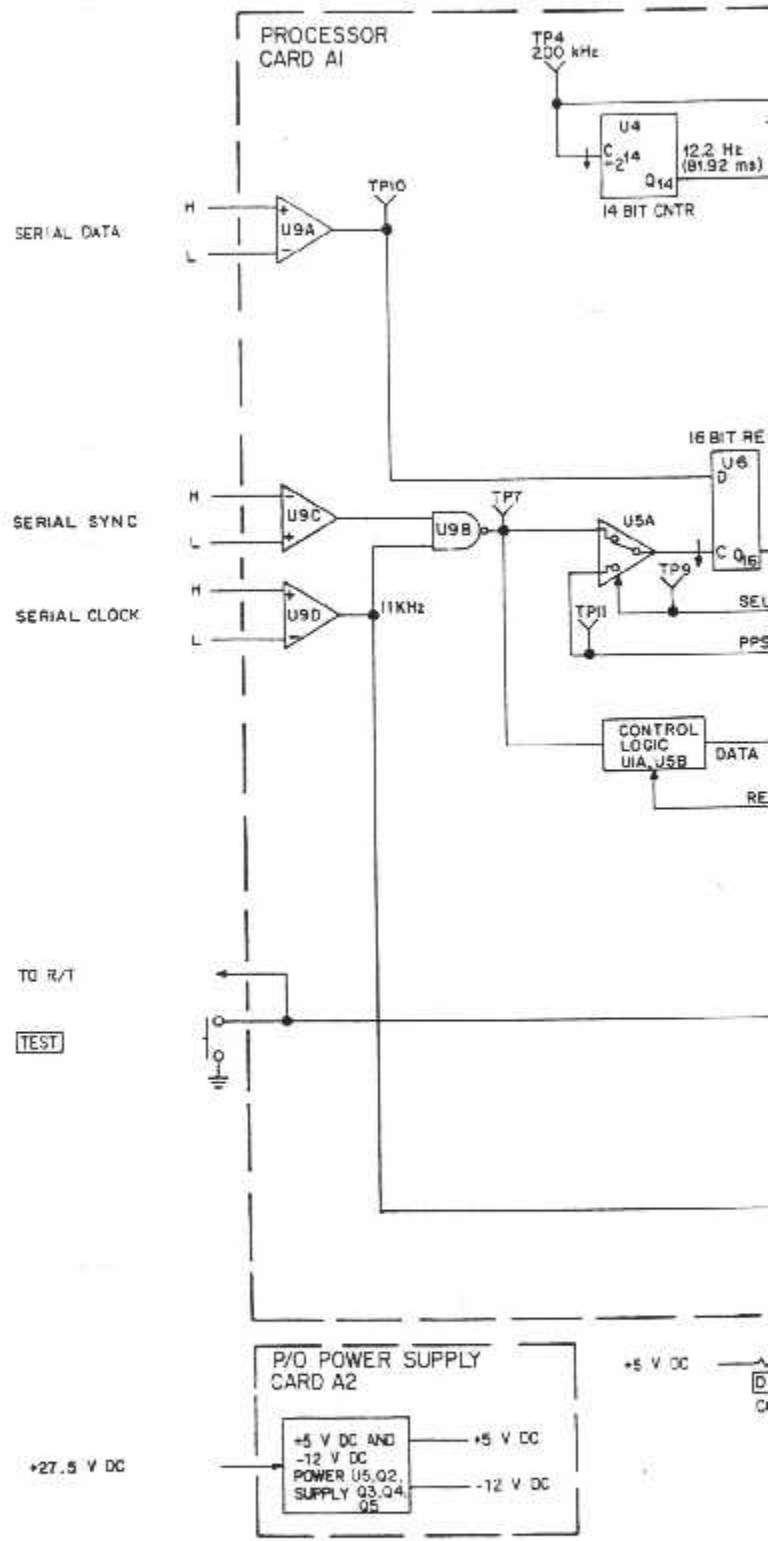
$$\text{MIN} = \text{D/R} \times 60$$

Où D est la distance et R le taux d'approche de l'avion.

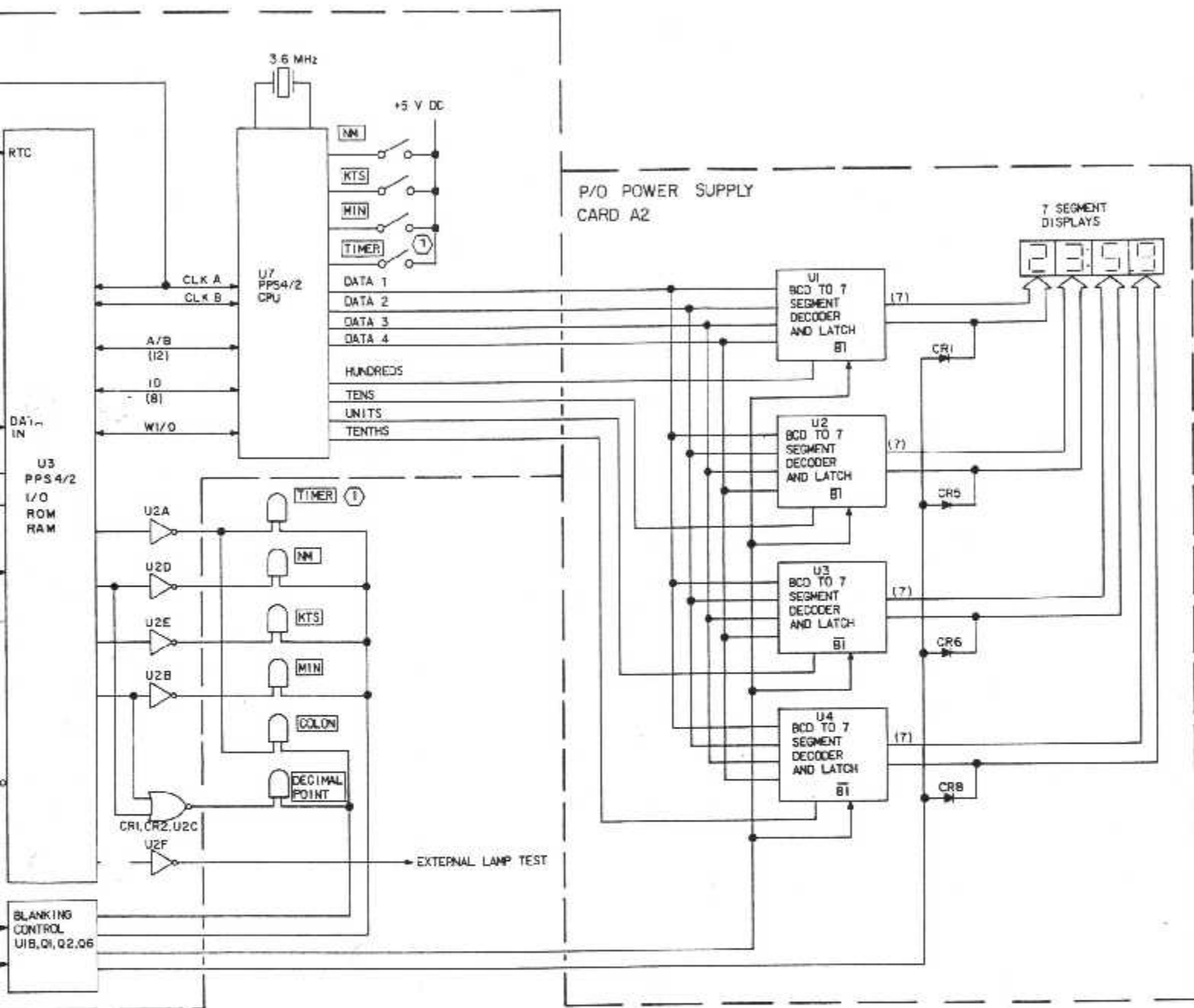
La vitesse sol et le temps à la station calculés sont significatifs seulement quand la recherche de l'avion se fait directement vers ou en provenance (TO/FROM) de la station sol. Les indications MIN et KTS s'approchent à 90 % de leur valeur réelle en 90 secondes et 99 % de leur valeur réelle en 3 minutes quand l'avion vole à une vitesse constante.

Les indicateurs IND - 40A/40B/40C sont similaires au 40 excepté qu'ils incluent le bouton NAV. L'indicateur 40A a un sélecteur NAV (3 positions) qui permet de choisir entre deux fréquences DME de contrôle. La position H ou position "maintien" entraîne le maintien de la dernière fréquence DME sélectionnée.

Le sélecteur NAV 2 positions sur l'indicateur IND - 40C permet la sélection entre deux fréquences de contrôle. Les statuts de l'IND - 41 et du - 40 correspondent exactement excepté que le premier possède un compteur de temps écoulé.







NOTE:

① TIMER IS USED WITH THE IND-41( ) ONLY.

## **IV. 12 - Théorie fonctionnelle de l'équipement :**

Nous nous référerons à la figure IV.13 ci-après, concernant le schéma bloc de l'indicateur IND - 40/41. Les entrées de l'indicateur (donnée série, horloge série, et synchronisation série du mot DME) sont procurées par l'émetteur/récepteur DME et ce selon le protocole ARINC 568. Les signaux énumérés ci avant sont les mêmes que précédemment cités pour les autres indicateurs, ceux-ci étant fournis par l'émetteur/récepteur DME.

Les boutons poussoirs sur la face de l'indicateur permettent de sélectionner le mode de fonctionnement de l'indicateur : distance, taux d'approche, temps à la station, minuteur (IND-41 uniquement), et test.

### **1) Fonctionnement en mode distance :**

L'information de distance est reçue sous forme ARINC 6 fils de l'émetteur/récepteur DME et affichée au 1/10<sup>e</sup> de mile nautique. Les zéros de tête des dizaines et centaines sont supprimés pour une meilleure lecture de l'affichage. Lorsque le bit 32 de la donnée série est à l'état haut (mode FLAG), des pointillés apparaissent sur l'affichage.

### **2) Fonctionnement en mode taux d'approche :**

Le taux d'approche de l'avion est dérivé mathématiquement par détection de la fréquence de changement des dixièmes de miles nautiques et l'utilisation de l'horloge interne du calculateur. Ce taux d'approche non filtré est appliqué à un logiciel de filtrage du second ordre. Afin d'obtenir une bonne réponse globale du taux d'approche DME sans pour autant diminuer la rejection de bruit, les constantes de temps du filtre sont changées par le contrôle du programme en temps voulu. Trois constantes de temps différentes sont utilisées : FAST (20 secondes), MEDIUM (40 secondes), et SLOW (160 secondes). La constante de temps rapide est utilisée à chaque fois que le taux d'approche calculé est en dessous de 120 Kt, ce qui permet le calcul rapide de la vitesse dans la phase initiale de décollage et de montée. Lorsque la vitesse est supérieure à 120 Kt, la constante de temps moyenne est utilisée sauf dans les cas suivants :

- La distance à la station est inférieure à 10 NM ; la constante lente de 160 secondes est utilisée pour permettre le passage de la station avec un minimum de chute de la vitesse sol.
- Lors de l'acquisition d'une nouvelle station par le DME ; la constante de temps du filtre est alors forcée à lente (160 secondes) pour les 5 premières secondes pour ignorer les perturbations par bruit dans la distance et permettre l'affichage stable de la vitesse sol.

Lorsque la vitesse sol calculée est inférieure à 50 nœuds, des pointillés sont affichés.

### **3) Fonctionnement en mode temps à la station :**

Le temps à la station (TTS) est affiché en dixièmes de minute et est dérivé par calcul direct à partir de la distance et du taux d'approche comme suit :

$$M = \frac{D}{R} * 60$$

Où D = distance  
R = taux d'approche

Lorsque la vitesse sol calculée est inférieure à 50 nœuds, des pointillés sont affichés. Les zéros de tête sont supprimés pour une meilleure lecture de l'affichage.

### **4) Fonctionnement en mode minuteur :**

Le minuteur utilise l'horloge interne 3.6 MHz pour une mesure précise du temps écoulé. L'activation du bouton TIMER entraîne l'allumage de deux points (:) et d'un annonceur indiquant ainsi la sélection du mode minuteur. La fenêtre d'affichage montre le temps écoulé en minute et seconde.

Le minuteur de temps écoulé est toujours dans un des trois modes d'opération : ZERO, RUN, ou STOP.

- En mode ZERO, le minuteur est fixé à 00 : 00.
- En mode RUN, commence à : 00 et compte les secondes jusqu'à 59 : 59 (minutes : secondes). S'il est laissé en mode RUN, le minuteur recommence à zéro et continue à compter.
- En mode STOP, le minuteur est stoppé.

Après que l'information de temps écoulé ait été sélectionnée à l'affichage, chaque pression du bouton TIMER fait passer au mode de fonctionnement suivant. La sélection d'une autre fonction de l'indicateur (NM, MIN, ou KTS) suivie de la re-sélection du mode TIMER ne change pas le mode de fonctionnement du minuteur.

### **5) Fonctionnement du contraste et du contrôle des masques d'affichage :**

Le contrôle DIM (contraste) varie le coefficient d'utilisation d'un circuit de masque d'affichage d'approximativement 5 à 100 % pour chaque période de l'horloge 11 KHz. La sortie du contrôle de masque d'affichage module l'entrée de masquage ( $\overline{BI}$ ) des décodeurs pour contrôler l'intensité des segments d'affichage. Cette sortie contrôle aussi l'intensité des annonceurs, du point décimal, et des deux points (:).

### **6) Fonctionnement du FLAG :**

Si un signal de données incorrect apparaît, les décodeurs d'affichage sont désactivés. La sortie du contrôleur de masques d'affichage est couplée à travers des diodes aux segments du milieu des afficheurs. Ces segments s'allument et indiquent des pointillés en conditions FLAG.

### **7) Fonctionnement de l'autotest :**

La fonction "LAMP TEST" de l'indicateur procède en corrélation avec l'autotest du DME. La séquence est initiée par le bouton TEST de l'indicateur ; lorsqu'il est pressé la séquence est initiée et le bit 31 de la donnée série de l'émetteur/récepteur passe à 1. La programmation interne fait que l'indication NM s'illumine et que la donnée DME 0.0 NM est affichée

indépendamment de la position des autres boutons-poussoirs. L'entrée "LAMP TEST" passe à zéro. Lorsque le bouton TEST est relâché, le point décimal et la légende de la fonction précédemment sélectionnée sont illuminés et l'indicateur affiche 8888 pendant la période de mémorisation de l'émetteur/récepteur (8 à 12 secondes). La séquence terminée, le fonctionnement normal est repris, l'émetteur/récepteur DME passe en mode "SEARCH", le bit 31 passe à 0 et des pointillés sont affichés jusqu'à ce que la réponse d'une station soit trouvée. Il est à noter que le bouton TEST doit être pressé périodiquement pour s'assurer du bon fonctionnement de tous les segments ; du fait de la période de mémorisation, le bouton TEST ne doit pas être utilisé dans des phases de vol critiques telles que l'atterrissage.

#### **IV. 13 - Détails de fonctionnement :**

La différence essentielle de cet indicateur vis-à-vis des précédents résidant dans le fonctionnement basé sur une logique programmée sur fond de microprocesseurs, nous bornerons cette partie à l'étude de ce paramètre.

##### **1) La circuiterie externe du microprocesseur :**

Le microprocesseur utilisé dans les indicateurs IND 40/41 est un processeur Rockwell PPS-4/2 à deux chip. Un chip comprend le CPU (Central Processing Unit : unité centrale de calcul) et l'horloge (basée sur un cristal (quartz) à 3.6 MHz). L'autre chip contient l'interface d'entrée/sortie (I/O) et la ROM/RAM 2 K interne. Le temps d'un cycle programme est approximativement de 100 ms. Ensembles, les deux chip décodent les switches de fonction et la distance série, calculent le taux d'approche et le temps à la station, fournissent le temps écoulé et la possibilité de test, et finalement procurent l'information décodée aux pilotes d'affichage. Les fonctions de contrôle/affichage sont centrées autour du microprocesseur. Toutes les opérations fonctionnelles sont accomplies par le logiciel du microprocesseur. Dans le cadre de la recherche de panne, il est nécessaire de connaître les caractéristiques de fonctionnement normal du microprocesseur ; le logiciel et l'architecture interne n'ont pas de réelle valeur pour le technicien. Nous présenterons donc une description du fonctionnement normal et brièvement certaines bases de l'architecture lorsque nécessaire.

## **2) Fonctionnement normal du microprocesseur :**

Lorsque le circuit est alimenté, une impulsion de remise à zéro initialise le programme interne.

Un signal d'horloge 200 KHz (CLK A) du processeur est divisé par 16.384 ( $2^{14}$ ) par un compteur/diviseur CMOS 14 étages. Le compteur est avancé sur la transition négative du signal d'horloge 200 KHz et donne une sortie à 12.2 Hz (période de 81.92 ms).

La programmation interne provoque l'allumage de l'annonceur approprié lorsque le bouton correspondant est pressé. Un circuit intégré de six amplificateurs/inverseurs amplifie les sorties du chip I/O RAM/ROM qui pilotent les lampes appropriées et les sorties externes LAMP TEST. Tant que MIN ou NM est affiché en dixième, le point décimal est allumé que l'annonceur MIN ou NM soit allumé. Les deux points ( : ) et la lampe TIMER sont connectés en parallèle et s'allument en mode TIMER. L'affichage de la donnée est accompli par le multiplexage de la donnée BCD aux quatre chiffres.

Un bus de sortie 4 bits en provenance du microprocesseur est connecté en parallèle aux entrées des quatre décodeurs BCD/7 segments. Quatre impulsions discrètes du signal d'échantillonnage sortent en séquence pour maintenir la donnée appropriée. Le logiciel fabrique une impulsion de chargement toutes les 100 ms pour échantillonner les données aux mémoires (latches). Les pointillés sont procurés par des diodes liées directement aux segments centraux des afficheurs 7 segments.

Passons maintenant au but initial de toute cette étude, à savoir la réalisation d'un banc d'essai pour l'indicateur DME.

# **CHAPITRE V:**

CONCEPTION

D'UN BANC

D'ESSAI POUR

L'INDICATEUR DME

## V. Conception d'un banc d'essai pour l'indicateur DME :

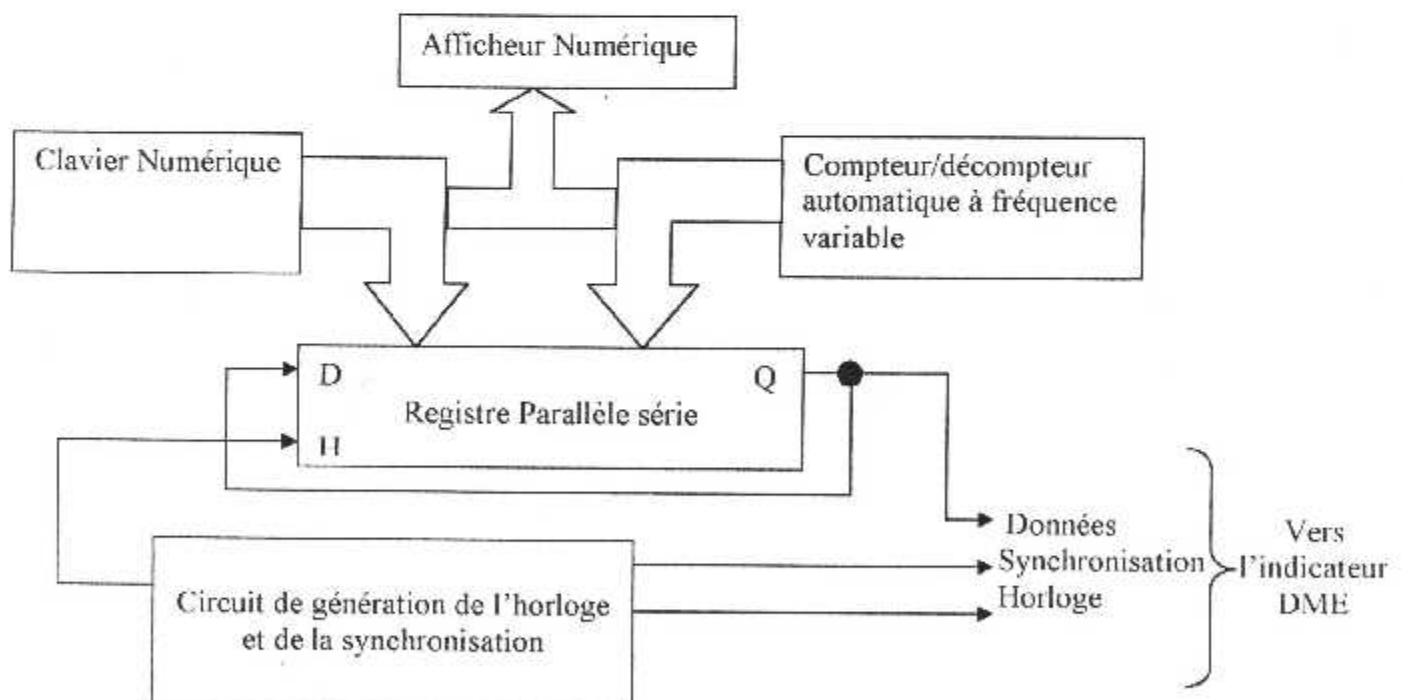
### V. 1 – Introduction :

Dans le cadre de ce projet de fin d'études, nous avons à nous intéresser particulièrement à concevoir un système qui nous permette de contrôler le bon fonctionnement et la fiabilité des indicateurs de distance DME. Suite à la description des critères de fonctionnement de l'émetteur/récepteur et de l'indicateur réalisée ci avant, nous définissons l'objectif premier de travail comme étant de réaliser un circuit électronique permettant de générer un mot de 32 bits selon le protocole ARINC 568 afin de remplacer le mot généré par le récepteur DME. Ce dernier doit pouvoir être contrôlé et modifié afin de pouvoir tester la réponse de l'indicateur et détecter des pannes éventuelles.

Dans un second temps, il s'agit de finaliser le banc d'essai en y apposant des contrôles des valeurs de tension et de courant, voire autres.

### V. 2 – Synoptique de la réalisation :

Voici un schéma bloc de principe de la réalisation :



**Figure V-1 : Schéma synoptique de la réalisation**



Nous pouvons voir d'après le schéma que le gros de la réalisation consiste à envoyer l'information de distance de manière diverse et à des vitesses variables dans une mémoire (registre) d'une part et de l'envoyer vers l'indicateur selon la synchronisation (constante) du protocole ARINC 568. Notons bien que vitesse de survenue de l'information et la fréquence de récurrence de la synchronisation sont totalement indépendantes l'une de l'autre, ce qui est d'ailleurs une source d'erreur possible au niveau de l'indicateur (lorsque la vitesse de survenue de l'information est supérieure à un cycle de synchronisation : fonction FLAG) et un critère sur lequel nous allons jouer.

Le choix de la technologie employée sera le TTL, les caractéristiques de tension, de fréquence, et de parasitage se révélant être suffisantes au bon fonctionnement du banc d'essai. Voyons dès lors le détail de chaque partie du banc d'essai.

### **V. 3 – Définition du rôle des différents étages :**

#### **1) Le clavier numérique :**

Le clavier est un organe qui nous permet d'insérer directement une donnée de distance dans le registre. Du point de vue de la procédure de test, le clavier sert tout simplement à vérifier que l'indicateur répond bien à l'affichage de la valeur souhaitée et de manière correcte.

La réalisation consiste en un ensemble de boutons – poussoirs (0 – 9, et des touches de fonction) ; les touches de numéros sont reliées à un encodeur BCD et à une porte NAND qui envoie une impulsion à chaque touche appuyée vers l'horloge d'un compteur modulo 4 (pour les 5 chiffres). Les sorties de ce dernier commande les entrées de sélection d'un démultiplexeur dont l'entrée est reliée à Vcc (niveau logique 1) et les 5 premières sorties respectivement aux bits correspondants des cinq chiffres de distance à travers des portes AND et ceci afin d'aiguiller les données dans le registre. Les sorties des portes AND sont reliées à leurs entrées respectives du registre et celles de l'affichage. Un bouton RESET permet de réinitialiser le compteur et l'affichage à zéro.

## **2) Le compteur/décompteur à fréquence variable :**

En fait de compteur/décompteur à fréquence variable, nous aurons plutôt à parler d'un compteur/décompteur 18 bits (les 5 chiffres) dont la fréquence d'horloge peut varier. L'objectif de maintenance est de tester la réponse en suivi de l'afficheur à des informations de distance survenant à des vitesses variables, voire en cas de dépassement de la capacité de rafraîchissement ou de « pénurie » des données. La réalisation consiste en une suite de 5 compteurs/décompteur en cascade modulo 9, dont les sorties sont reliées à l'afficheur et au registre. Un premier commutateur 3 positions nous permet de sélectionner entre le comptage, le décomptage, ou le non comptage, un second entre 3 fréquences de comptage : rapide, moyenne, ou lente. Les 3 fréquences sont générées à partir de multivibrateurs astables NE 555 associés à des rhéostats nous permettant de réajuster à tout instant le niveau des vitesses (dans une certaine mesure).

## **3) L'afficheur :**

Dans l'optique de pouvoir contrôler les paramètres de suivi et d'intégrité des informations délivrées par l'indicateur DME, il est nécessaire d'avoir un affichage parallèle qui nous permette la comparaison. L'organe est constitué de 5 afficheurs 7 segments qui sont fournis en données à travers 5 décodeurs BCD / 7segments et 5 portes ou soit par le clavier numérique, soit par le compteur/décompteur automatique. Un bouton poussoir « Lamp Test » nous permet de tester l'intégrité des afficheurs.

## **4) Le registre parallèle/série :**

La fonction essentielle du banc d'essai étant de transmettre une information de distance à l'indicateur, il se révèle essentiel d'avoir une fonction de mémorisation. La transmission se faisant en série, notre choix s'est porté sur un registre parallèle/série (PISO) qui nous permet d'effectuer un chargement parallèle des données et de les sortir en série. Le but est de pouvoir singulariser cycle de chargement et cycle de transmission.

La mémoire est composée de 4 registres PISO 8 bits en série ; dans la phase insertion manuelle, l'on charge le registre de manière parallèle puis grâce à un interrupteur de transmission, la donnée est transmise en série selon le protocole ARINC 568 de manière continue, la donnée restant en mémoire grâce à une boucle de retour (entre le dernier et le premier registre). Lors de la phase automatique, le registre est chargé pendant un demi cycle d'horloge et transmise pendant l'autre ; l'interrupteur de transmission permet de transmettre ou non sans influencer sur le comptage et le comptage peut se faire dans un sens ou l'autre, voire ne pas se faire sans influencer sur la transmission de l'information en mémoire.

Des interrupteurs « DME Status » permettent de définir l'état de la donnée afin d'observer la réponse de l'indicateur.

### **5) Le circuit de génération de l'horloge et de la synchronisation :**

Les données DME étant fournies, selon le protocole ARINC 568 comme précédemment vu, en trois signaux (CLOCK, SYNCHRO, DATA) nous sommes amenés à reproduire ces derniers. Le circuit de synchronisation permet de générer les signaux CLOCK et SYNC à transmettre à l'indicateur.

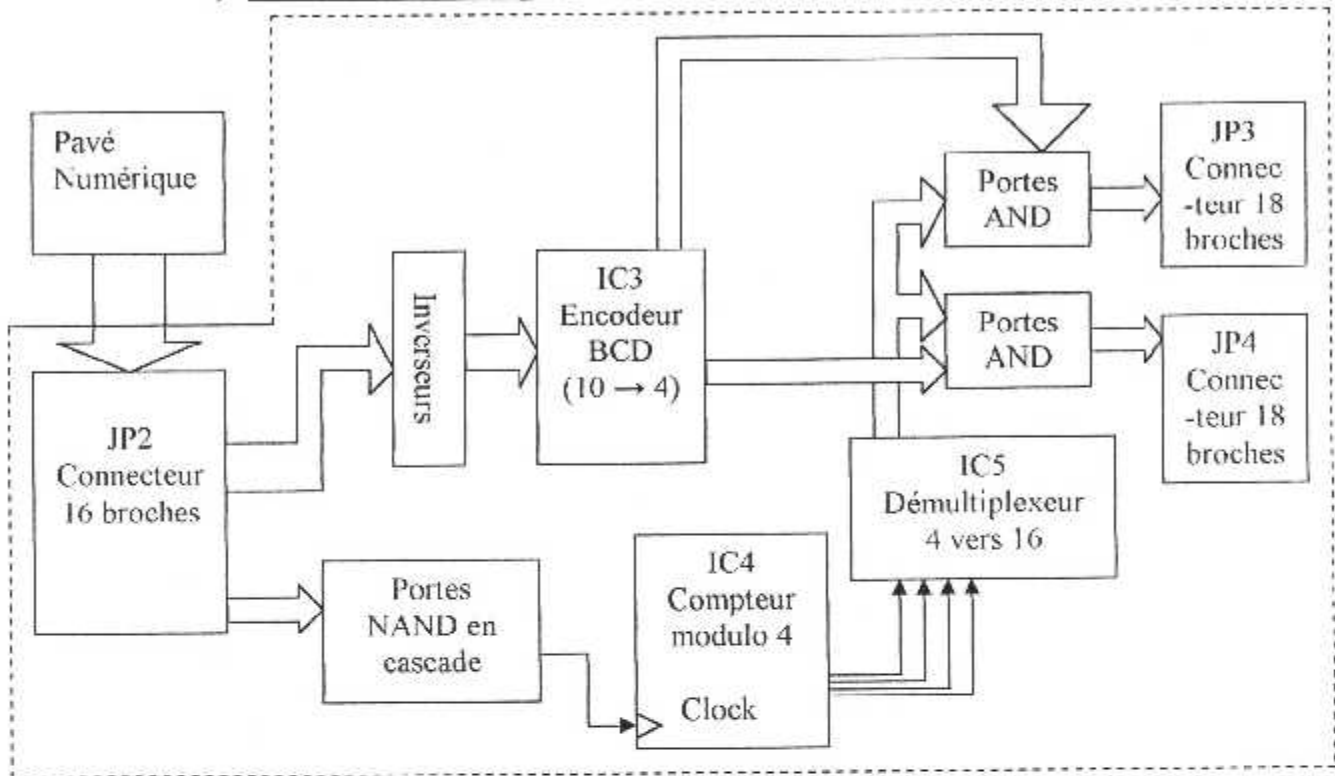
Le CLOCK est un signal 11 KHz réalisé à partir d'un multivibrateur astable NE 555 et transmis aux circuits requis.

Le signal permet comme précédemment vu de synchroniser la donnée DME avec l'indicateur lui permettant ainsi de différencier l'étiquette d'une part et le PAD, les centaines, dizaines, unités, dixièmes, centièmes, et le statut d'autre part. Le circuit est réalisé à partir du CLOCK, d'une horloge 50 Hz (multivibrateur astable NE 555), d'un compteur binaire, et d'un "Latch" (bascule D). Le compteur compte tout les 50 Hz le nombre d'impulsion à 11 KHz et des combinaisons précises permettent par les entrées de forçage de la bascule D de donner une SYNC soit à zéro, soit à 1 en fonction de l'état requis.

Il est à noter que la combinaison 11 KHz / 50 Hz sert d'horloge au registre à décalage.

V. 4 – Schémas synoptiques détaillés de fonctionnement :

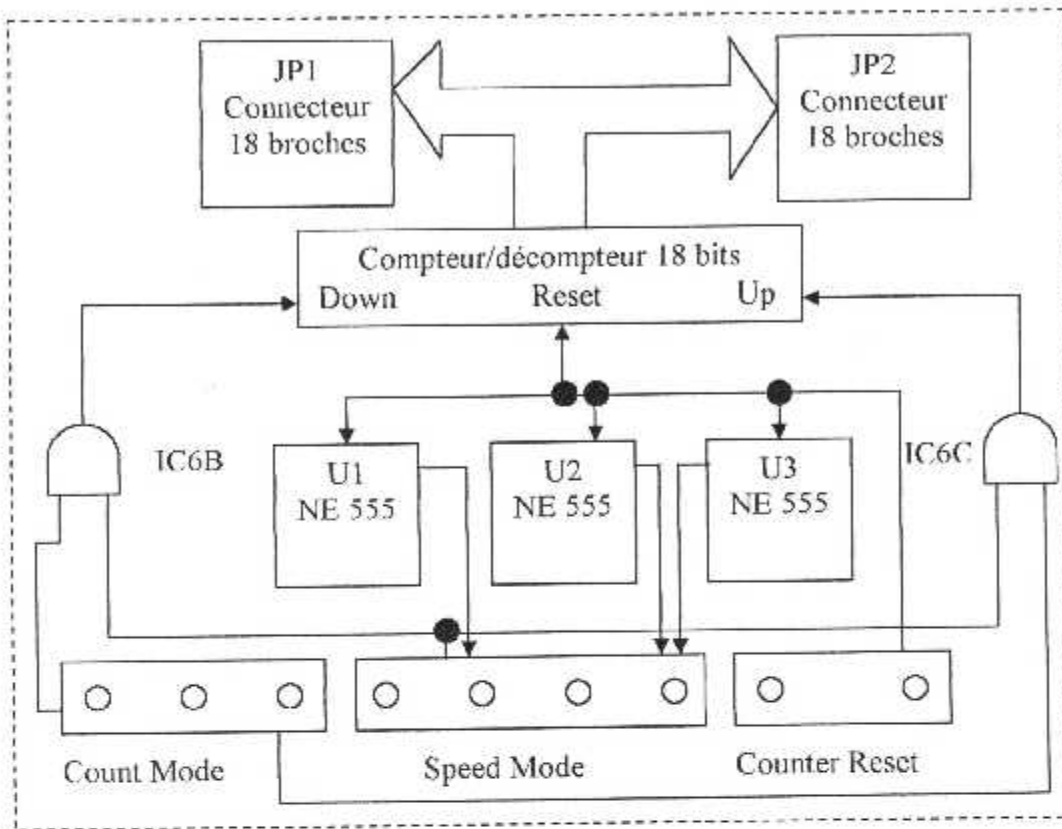
1) Clavier numérique :



**Figure V-2 : Synoptique détaillée du clavier numérique**

Le pavé numérique est relié à la carte à travers le connecteur 16 broches JP2. Celui-ci a chacune de ses broches reliées à des portes NAND en cascade et ce pour qu'à chaque touche enfoncée nous obtenions un 1 logique. Le dispositif alimente l'entrée d'horloge du compteur IC4 qui compte donc de sorte que les 5 chiffres de la donnée de distance soient obtenus. Le connecteur JP2 transmet la donnée numérique à travers des inverseurs à l'encodeur BCD IC3 (ses entrées sont actives à l'état bas) ; l'information BCD est transmise à des portes AND. Les chiffres étant transmis un à un via IC3, nous utilisons un démultiplexeur IC5, commandé par les sorties de IC4, qui nous permet grâce à ses sorties d'aiguiller les cinq chiffres à travers les différentes portes AND. Les 18 bits de la donnée de distance sont alors envoyés au registre à travers le connecteur 18 broches JP3 et à l'afficheur via le JP4.

2) Le compteur/décompteur à fréquence variable :



**Figure V-3 : Synoptique détaillée du compteur/décompteur à fréquence variable**

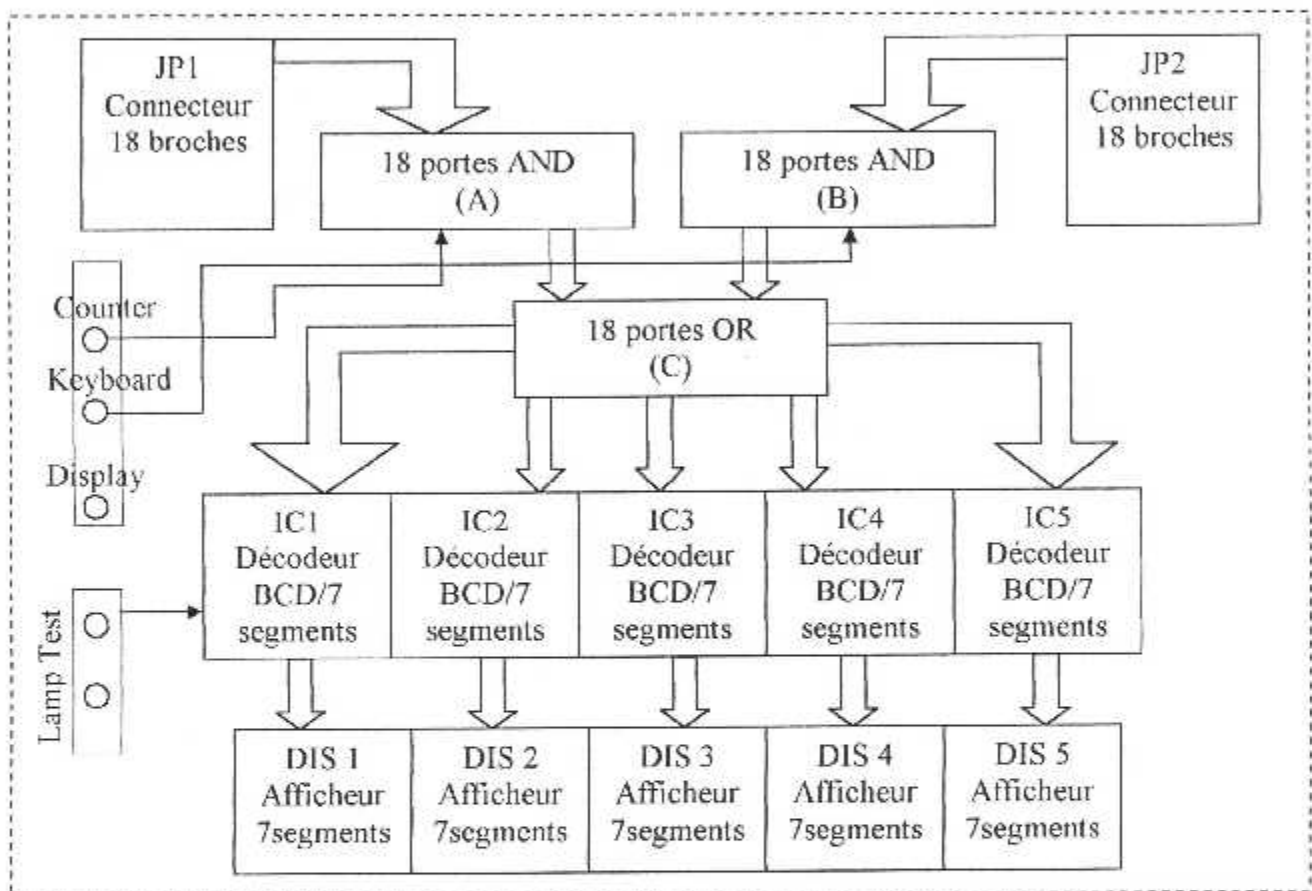
Cette partie de la réalisation est conçue de telle sorte que l'on ait le choix de compter ou de décompter selon trois vitesses différentes. Les trois NE 555N U1, U2, U3, fonctionnent en multivibrateurs astables selon trois fréquences différentes (faible, moyenne, élevée) et ajustables. Chacun a sa sortie reliée aux trous de connections de la partie « speed mode » eux-mêmes connectés à un commutateur 03 position permettant ainsi de transmettre l'une des trois fréquences. La fréquence sélectionnée va aux deux portes AND IC6B et IC6C.

Les trous de connections de la partie « count mode » sont aussi liés à un commutateur 03 positions ce qui permet d'émettre un 1 logique lorsque la position « up » ou « down » est sélectionnée, ou rien lorsque on choisit la position « stand by ». Ce 1 logique permet le passage de la fréquence sélectionnée par IC6B lorsque « down » est sélectionné et par IC6C lorsque « up » est sélectionné. IC6B alimente l'entrée d'horloge de décomptage du compteur/décompteur et IC6C celle de comptage.

Les trous de connexions « counter reset » liés à un bouton poussoir du pavé numérique permettent la remise à zéro à la fois du compteur/décompteur et de U1, U2, U3.

Les 18 bits de la donnée de distance sont transmis grâce à JP1 et JP2 respectivement au registre et à l'afficheur.

### 3) L'afficheur :

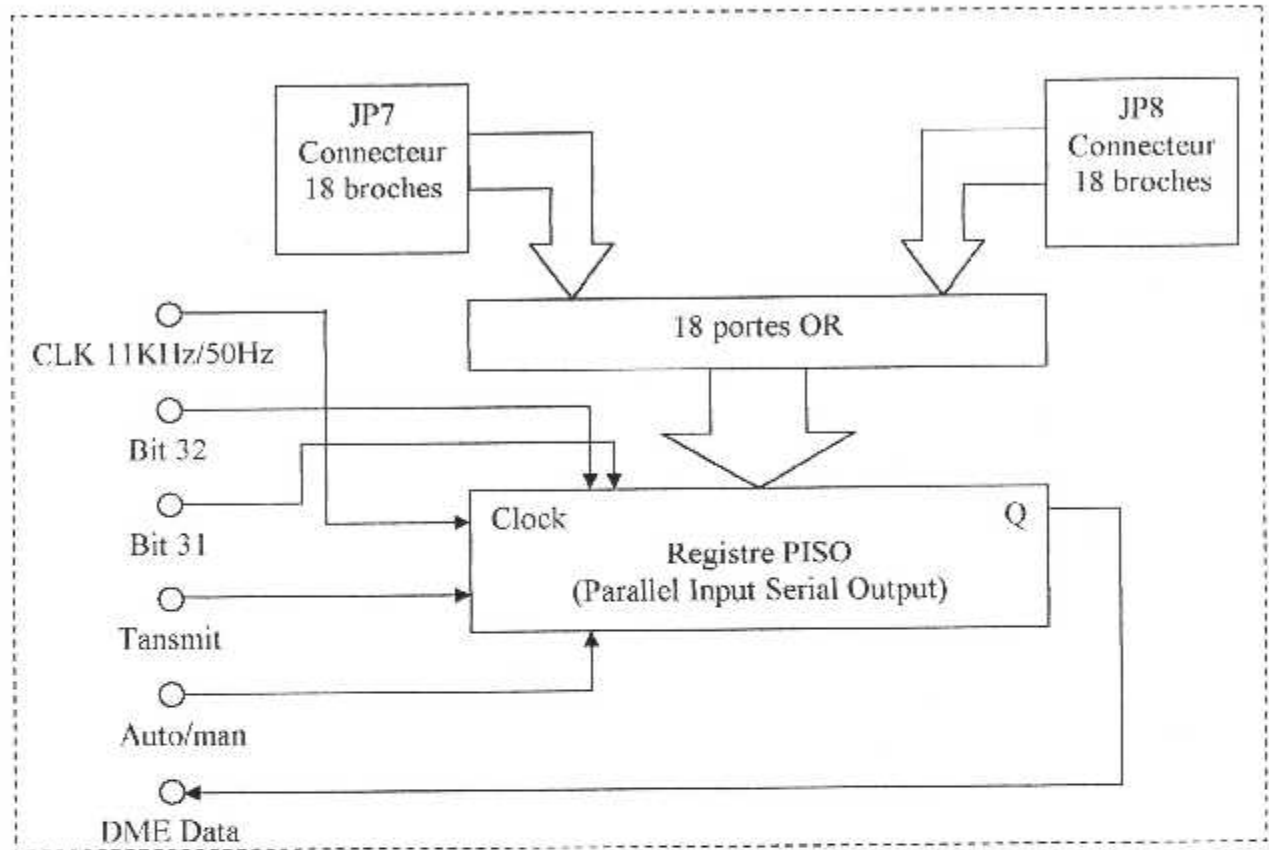


**Figure V- 4 : Synoptique détaillée de l'afficheur**

Les connecteurs JP1 et JP2 convoient l'information de distance respectivement du compteur/décompteur automatique et du clavier numérique. Elle est transmise à 18 portes AND (A pour JP1 et B pour JP2). La sélection entre les deux origines possibles se fait grâce à un switch « Mode Select » qui autorise le passage des données en émettant un 1 logique aux portes AND (A) ou (B) en fonction de sa position « Automatic » ou « Manual ». (A) et (B) transmettent l'information par les 18 portes OR (C) aux décodeurs BCD/7 segments de manière ordonnée pour les 5 chiffres respectifs. Ces derniers sont connectés à leur afficheur 7 segments respectifs. Un bouton poussoir « Lamp test » est connecté à travers

les trous de connections appropriés aux décodeur permettant ainsi le test de fonctionnement des afficheurs (pour la séquence du test se référer au circuit DM74LS47 en annexe).

#### 4) Le registre parallèle/série :



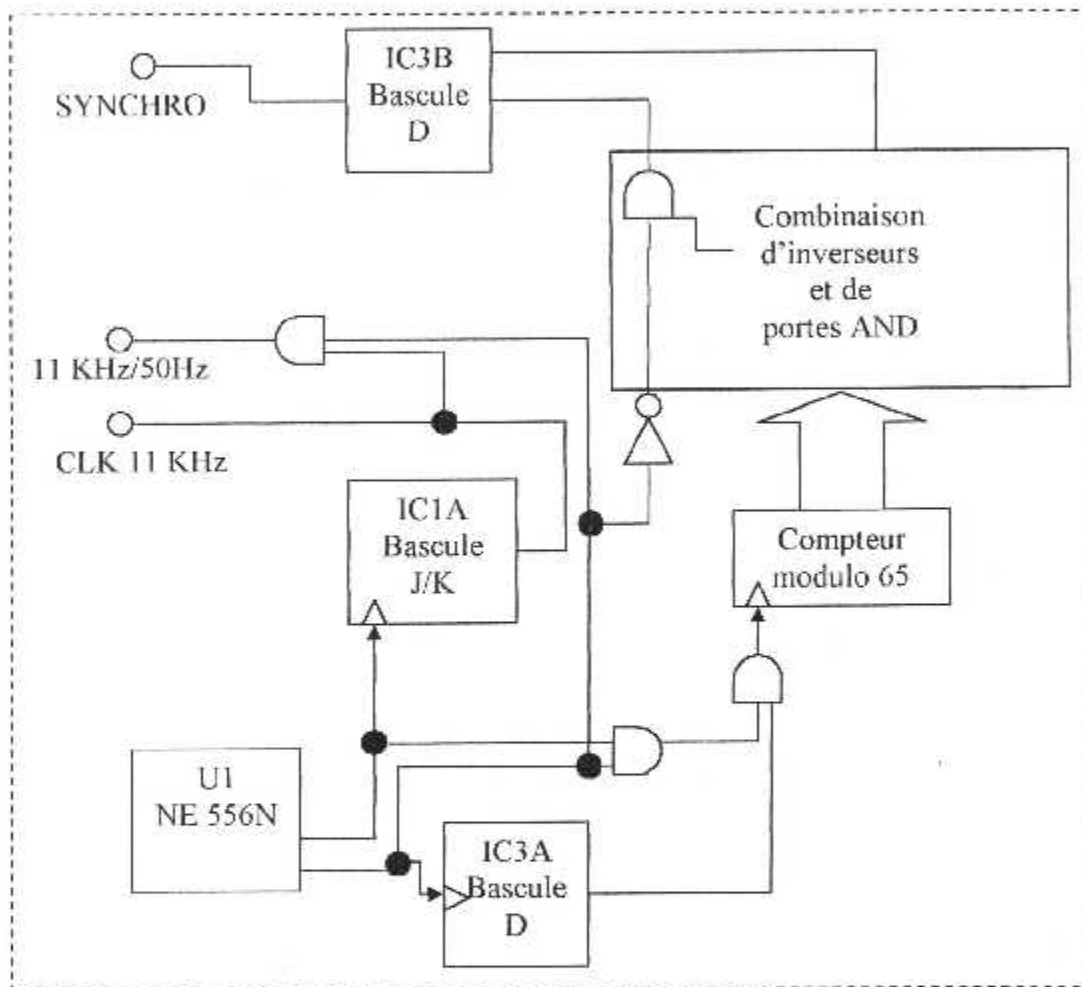
**Figure V- 5 : Synoptique détaillée du registre PISO**

La donnée de distance parvient soit manuellement, soit automatiquement par JP7 ou JP8 et entre de manière parallèle par les 18 portes OR dans le registre. Nous avons 6 trous de connections dont les rôles sont :

- CLK 11KHz/50Hz : Transmet le signal en provenance du circuit de synchronisation à l'entrée d'horloge du registre.
- Bit 32 : Connecté à un switch qui détermine la validité de la donnée ou non (0 ou 1) et relié à la 32<sup>ème</sup> entrée parallèle du registre.
- Bit 31 : Connecté à un switch qui permet le test ou non (0 ou 1) et relié à la 31<sup>ème</sup> entrée parallèle du registre.
- Tansmit : Relié à un switch qui inhibe ou non décalage de la donnée dans le registre.

- Auto/man : Relié au signal 50Hz du circuit de synchronisation ; il permet l'alternance entre le chargement et le décalage au niveau du registre pour le mode automatique et manuel.
- DME Data : Permet la transmission de la donnée série à l'indicateur DME.

### 5) Le circuit de génération de l'horloge et de la synchronisation :



**Figure V- 6 : Synoptique détaillée du circuit de génération de l'horloge et de la synchronisation**

Le circuit U1 est un NE 556N, double NE 555N donc double multivibrateur astable, réglé pour délivrer les deux fréquences nécessaires à l'élaboration du signal de synchronisation. Ces fréquences sont le 50 Hz de récurrence du signal de transmission de l'information DME, et le 22 KHz qui est divisé par deux au niveau de la bascule J/K IC1A afin d'obtenir les 11 KHz du signal d'horloge DME. Le 22 KHz nous sert à agir à la fois sur



les fronts montant et descendant du clock 11 KHz et ce afin de moduler le signal de synchronisation. Les deux fréquences passent par une porte AND qui donne en sortie un signal de 22 KHz récurrent tous les 50 Hz, avec les 65 impulsions minimales nécessaires pour encadrer les fronts montant et descendant des 32 impulsions d'horloge identifiant les 32 bits du mot DME.

La bascule D IC3A ayant pour signal 50 Hz se met à 1 tout les fronts montant du clock puis à 0 à la 65<sup>ème</sup> impulsion du 22 KHz. Ce signal va dans une porte AND avec le signal de la porte AND précédemment cité, la résultante, 65 impulsions à 22 KHz, servant de clock au compteur modulo 65. Les sorties de ce dernier sont reliées à des combinaisons de portes AND et d'inverseurs qui vont agir sur les entrées de forçage de la bascule D IC3B (actives à l'état bas) ; la bascule est mise à 1 sur les fronts montant des bits 1 et 9 du clock donc fronts montant des bits 1 et 17 du 22 KHz, et mise à 0 sur le front descendant du bit 8 et le front montant du bit 33 du clock donc sur les fronts montant des bits 16 et 65 du 22 KHz, et ce conformément à la structure du mot DME (cf. figure IV.1). Le signal ainsi formé est le signal de synchronisation transmis par le trou de connection synchro.

Le signal 11KHz à la sortie de IC1A est associé au 50 Hz par une porte AND pour donner via le trou de connection « 11 KHz / 50 Hz » le signal d'horloge du registre.

## V. 5 – Schémas électriques et mise au point des blocs :

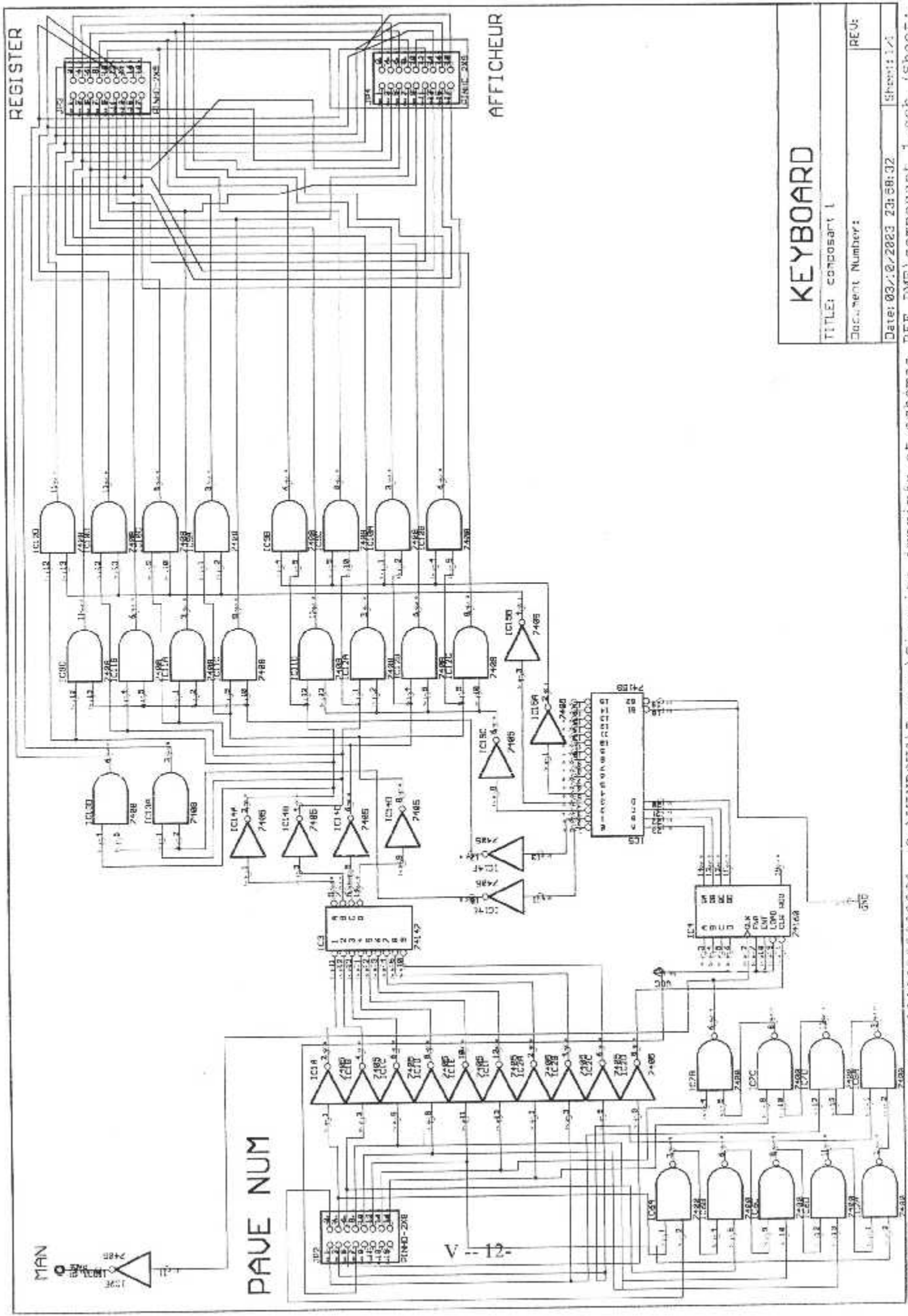
Nous présentons ici les schémas électriques de câblage en précisant du mieux que nous pouvons la logique du choix des composants. Le travail de synthèse des schémas a été réalisé sous le logiciel Eagle 3.55 ce dernier répondant aux besoins de tracé des schémas et de design des circuit imprimés de la réalisation; la logique de disposition des composants et de tracé du câblage est essentiellement et globalement motivée par un soucis de lisibilité, les paramètres de normalisation internationaux étant pris en charge par le logiciel. Le fractionnement du projet en 05 cartes a été choisi pour faciliter le travail de conception dans un premier temps puis de réalisation (correction d'erreurs éventuelles, travail de recherche de panne, ...) en accord avec la philosophie de conception rencontrée au niveau des équipements de radionavigation rencontrés au cours du stage pratique.

NB : Les circuits imprimés se trouvent en annexe.

### 1) Clavier numérique :

Les composants choisis sont :

- Pour les inverseurs des 74 05, pour les portes NAND des 74 00, et pour les portes AND des 74 08 ; le choix des deux premiers est lié à leur amplification interne afin de maintenir les niveau logiques, celui du dernier de par sa présence en quantité suffisante sur le lieu de stage.
- Le compteur est un 74 163, compteur 4 bits suffisant pour le décompte des 5 chiffres à entrer par le clavier.
- Le démultiplexeur est un, 74 159 aiguillant 4 vers 16 étant donné que l'aiguillage se fait par 3 bits ( $(5)_{10} = (101)_2$ ), le 3 vers 8 n'ayant pas été trouvé.
- L'encodeur est le 74 147, codant 10 vers 4 et ce afin de coder les 10 chiffres du clavier (0-9).



# KEYBOARD

TITLE: composant 1

Document Number:

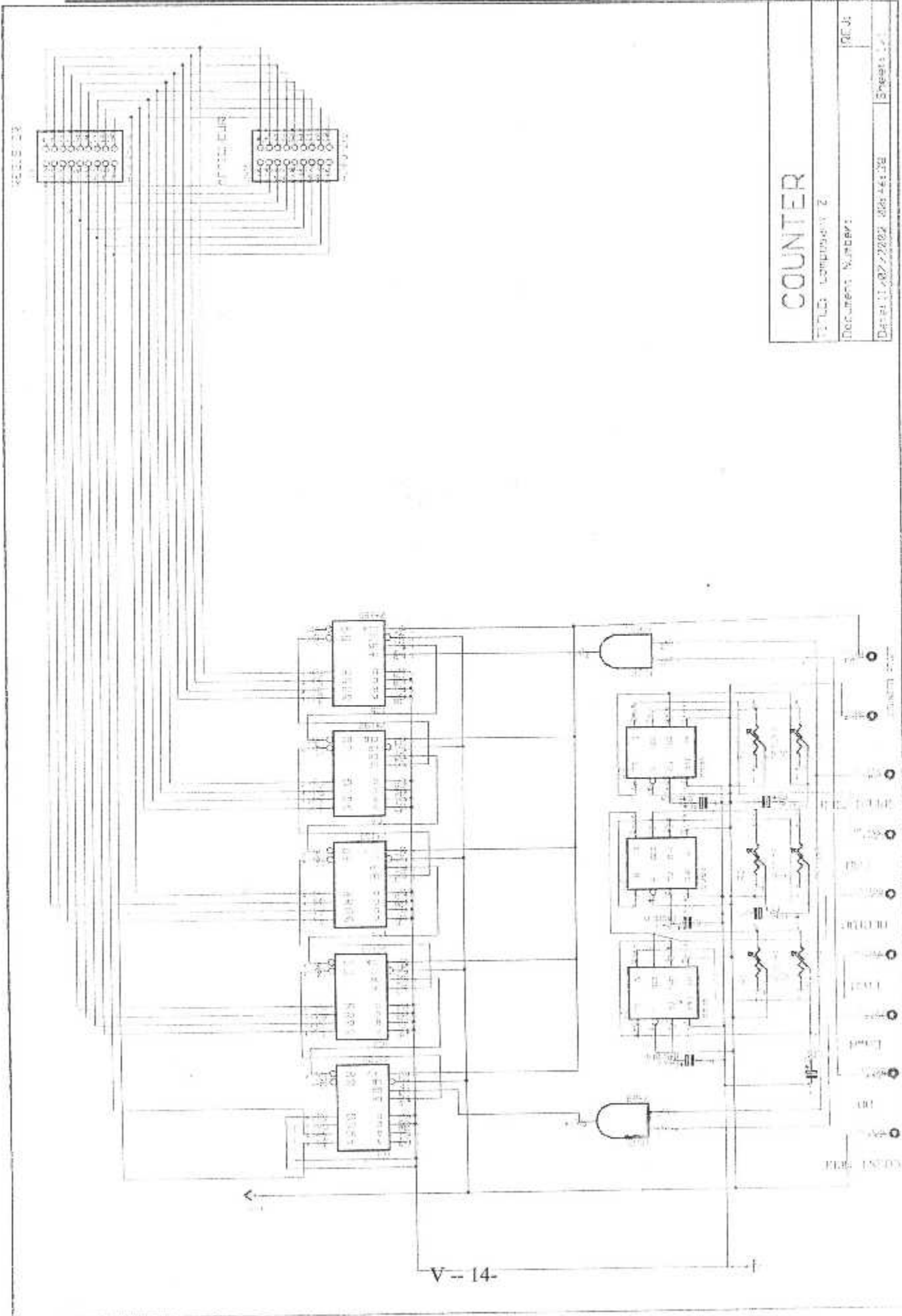
Date: 03/27/2003 23:58:32

Sheet: 1/1

## 2) Le compteur/décompteur à fréquence variable :

La composition de cette carte est la suivante :

- Trois NE 555N utilisé en multivibrateurs astables, la précision escomptée ne justifiant pas l'emploi de quartz.
- Six rhéostats 0 - 10 K $\Omega$ , gamme de valeur suffisante pour générer les signaux requis.
- Les condensateurs C2, C4, C6, sont des capacités antiparasites de 10 nF ; les condensateurs C1, C3, C5 ont leur valeur justifiée par la fréquence désirée (10  $\mu$ F, 1  $\mu$ F, 10 nF).
- Les compteurs sont 74 192 au nombre de cinq ; ils servent à compter, décompter, et leur nombre est lié aux 18 bits du mot DME, chaque compteur étant de 4 bits.



# COUNTER

ETLD - Composant 2

Document Number:

PREJ

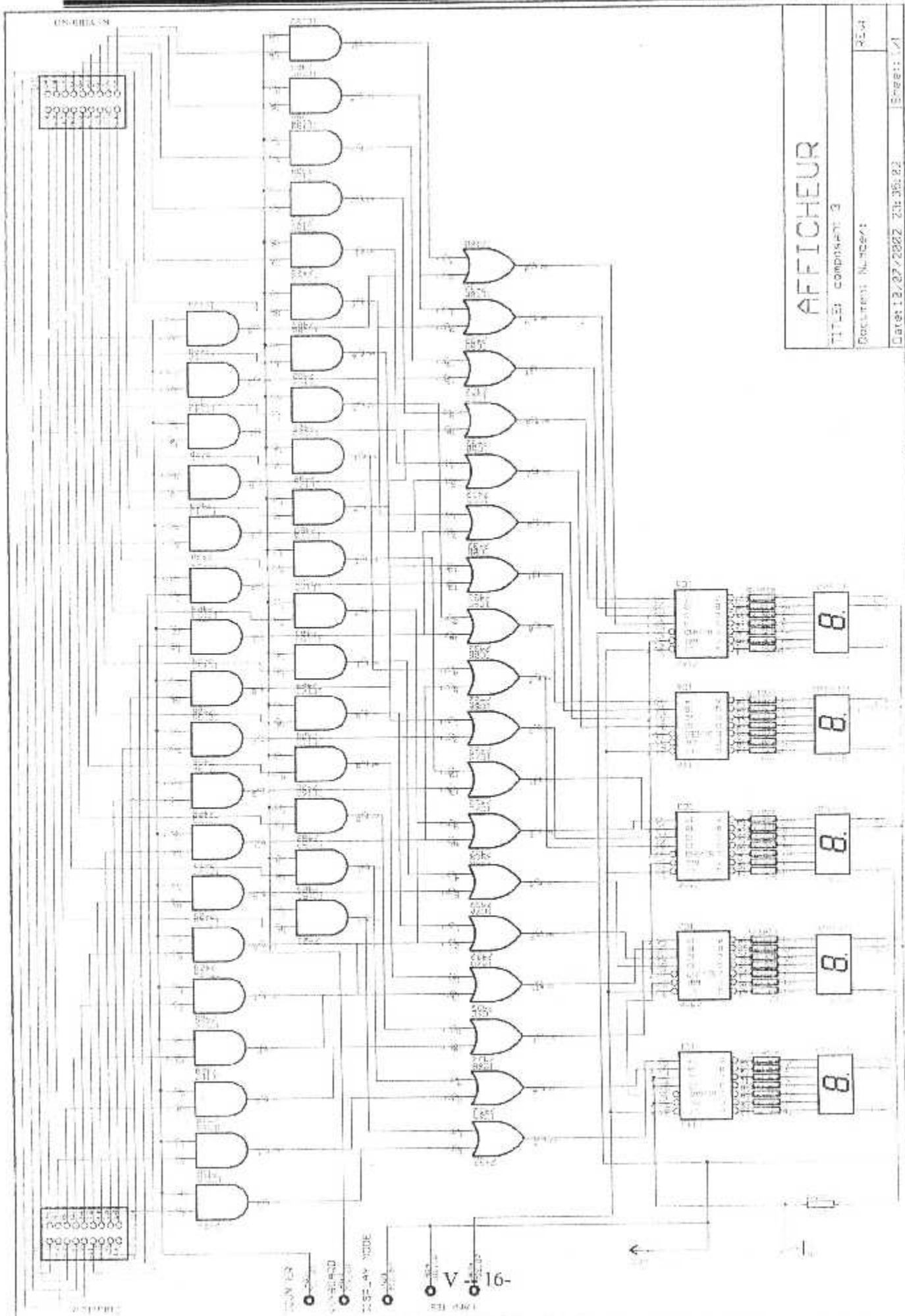
Date: 01/07/2002 08:44:39

Sheet: 1

### 3) L'afficheur :

Les principaux composants sont :

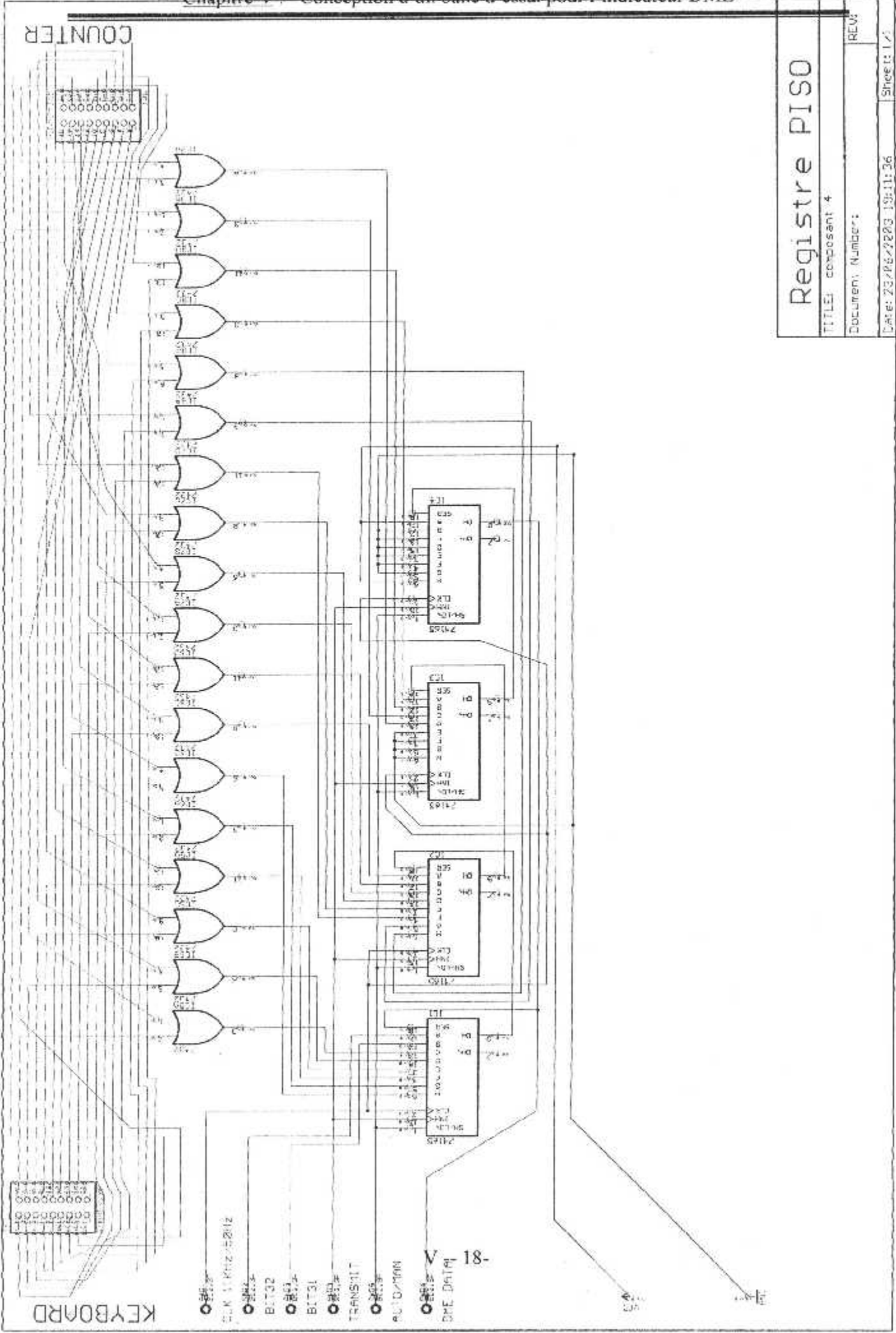
- Les cinq décodeurs BCD / 7 segments, des 74 47 qui se justifient par le choix des afficheurs. Ils ont néanmoins, comme un parallèle avec les indicateurs numérique étudiés, une option de suppression des zéro de tête et une autre de test des lampes des afficheurs, que nous utilisons d'ailleurs.
- Les 35 résistances choisies entre 220  $\Omega$  et 270  $\Omega$ . Celles-ci sont des résistances de protection pour les LED des afficheurs, sans oublier la 36<sup>e</sup> résistance pour le point décimal du troisième afficheur.
- Les cinq afficheurs 7 segments avec point décimal HD-H103, tout simplement afin d'afficher les cinq chiffres de distance.



#### ***4) Le registre parallèle/série :***

Pour cette partie nous avons essentiellement les 4 registres parallèle/série de 8 bits 74 165. Ce sont des registres très malléables permettant le chargement parallèle, la sortie série, leur mise en cascade par leur entrée série de même que le maintien de la donnée en boucle pour la même raison, de passer assez simplement du mode chargement au mode décalage, et permet de contrôler l'inhibition du clock ou non (le décalage de la donnée ne se fera qu'à l'état haut du 50 Hz).





# Registre PISO

TITLE: composant 4

Document Number:

Date: 23/06/2003 19:11:36

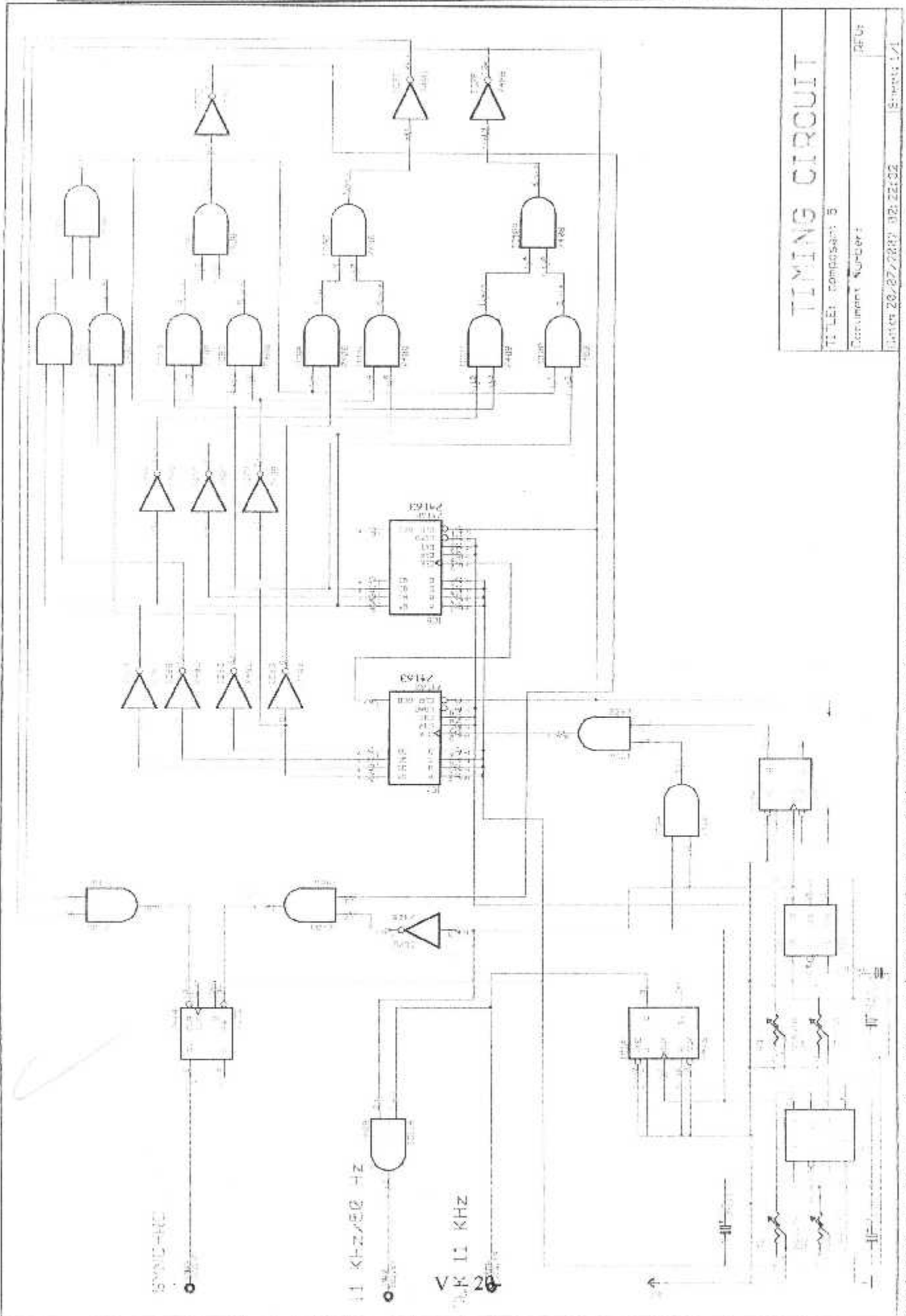
REV:

Sheet: 1/1

### 5) Le circuit de génération de l'horloge et de la synchronisation :

Les éléments conséquents dans ce schéma sont :

- La bascule J/K 74 76 dont les entrées J et K sont à 1 nous permettant ainsi de diviser par 2 le clock de 22 KHz et d'obtenir ainsi le 11 KHz.
- Les deux compteurs 74 163 mis en cascade nous permettant ainsi de compter les 65 impulsions nécessaires à l'élaboration du signal de synchronisation ( $64 = 2^6$ , d'où 6 bits et donc la nécessité de 2 compteurs 4 bits).
- La bascule D 74 74 dont les entrées de forçage nous permettent de moduler facilement le signal de synchronisation par des mises à 0 et des mises à 1.



<b>TIMING CIRCUIT</b>	
Titre : composant 5	REF: 06/01
Document Number	
Date: 20/07/2007 08:22:02	Sheet: 1/1

**CONCLUSION:**

## CONCLUSION :

L'objectif de ce travail a été d'étudier et de comprendre autant le principe de fonctionnement du système DME dans son ensemble que de nous familiariser avec les objectifs de maintenance associés et ce afin de pouvoir concevoir et réaliser un banc d'essai pour les différents indicateurs DME utilisés.

Le sujet fourni par la société Air Algérie est la suite conséquente d'un projet réalisé par une étudiante en électronique consistant en la conception d'un banc d'essai pour les indicateurs DME permettant le contrôle grâce à des multimètres et oscilloscopes des caractéristiques de fonctionnement en association avec un banc d'essai industriel.

Nous avons donc eu à considérer le travail d'un point de vu "aéronautique" et tenir compte d'un certains nombres de critères d'utilisation pratiques. La justification de ce travail compte tenu de l'existence d'un banc d'essai industriel réside dans le fait que le projet n'est qu'un complément, quoique nécessaire, au banc d'essai industriel dont la complexité de réalisation ne justifie pas l'acquisition d'un nouveau matériel.

Nous espérons que le travail réalisé s'avérera satisfaisant d'un point de vue maintenance sans pour autant perdre de vue que la conception est un domaine très spécifique à l'individu et invitons donc les futures promotions à plancher sur la question afin d'améliorer voire de réformer ce modeste travail.

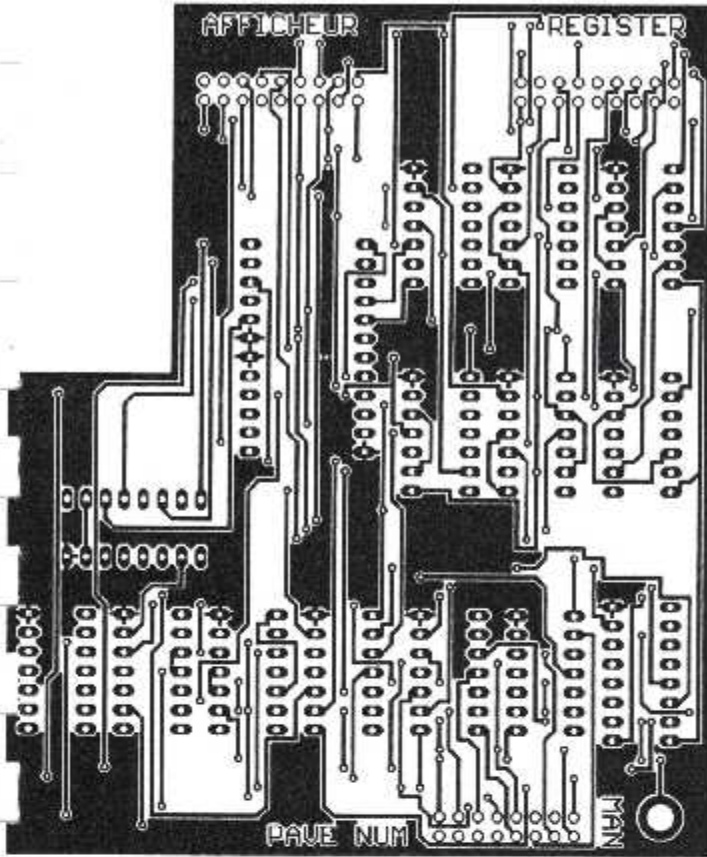
# ANNEXES :

# **ANNEXE I :**

TRACE DES CIRCUITS

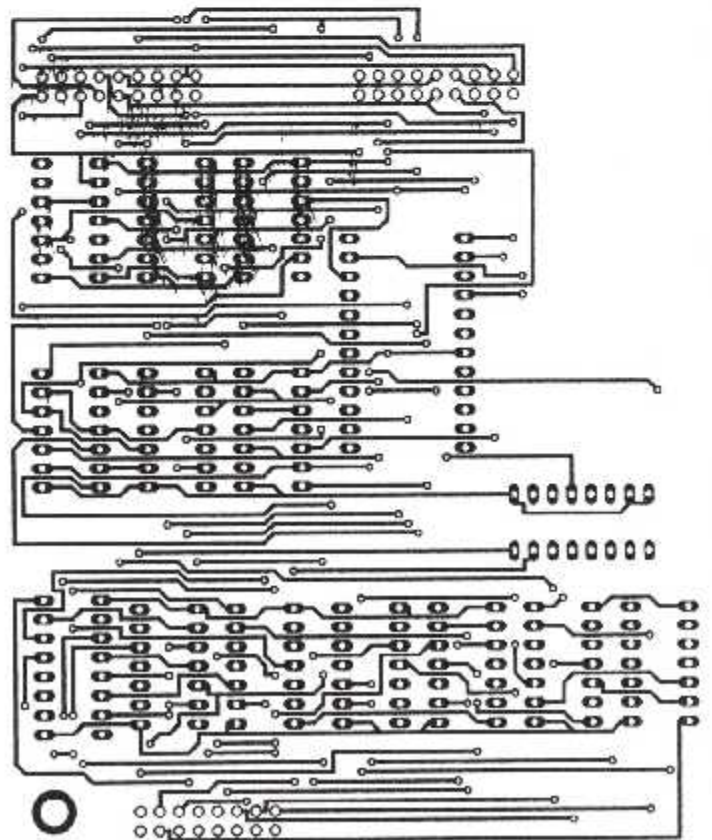
IMPRIMES

## Composant 1 :



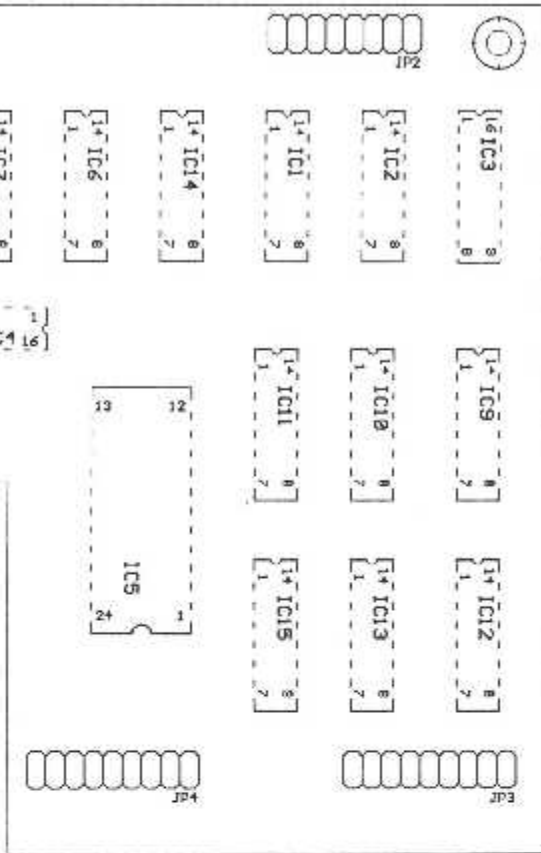
## Face cuivre :

## Face composants :

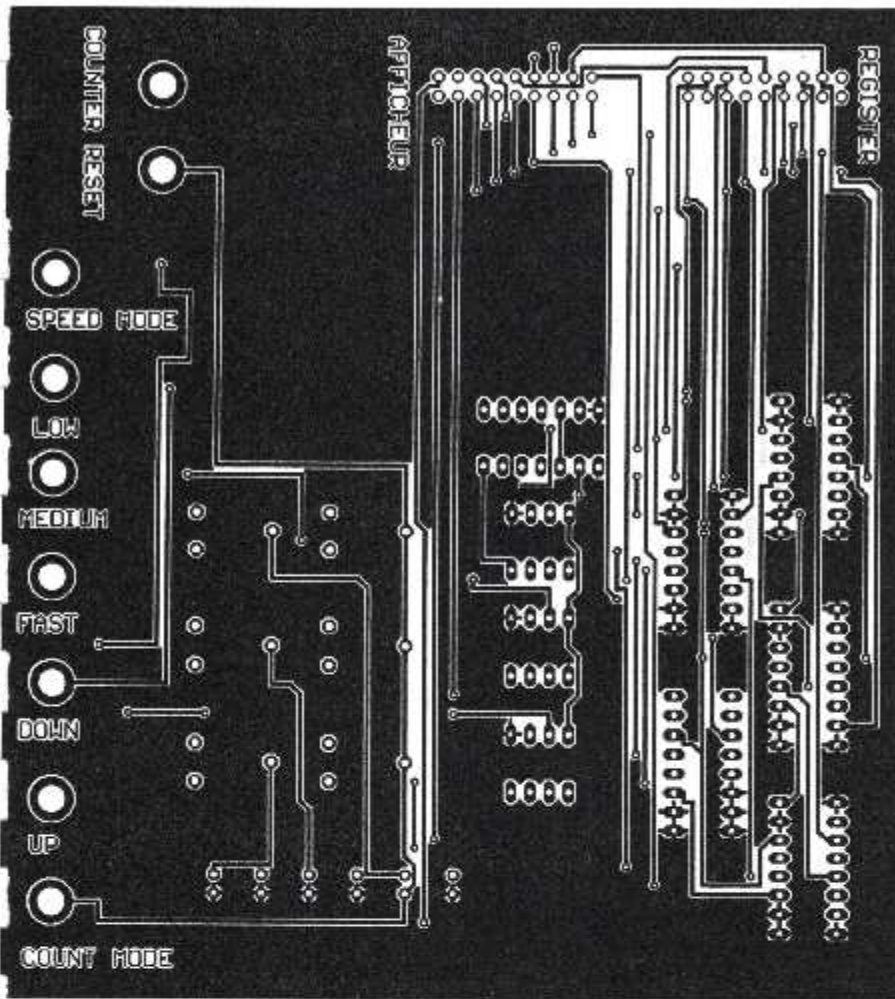




# Composant 1 :



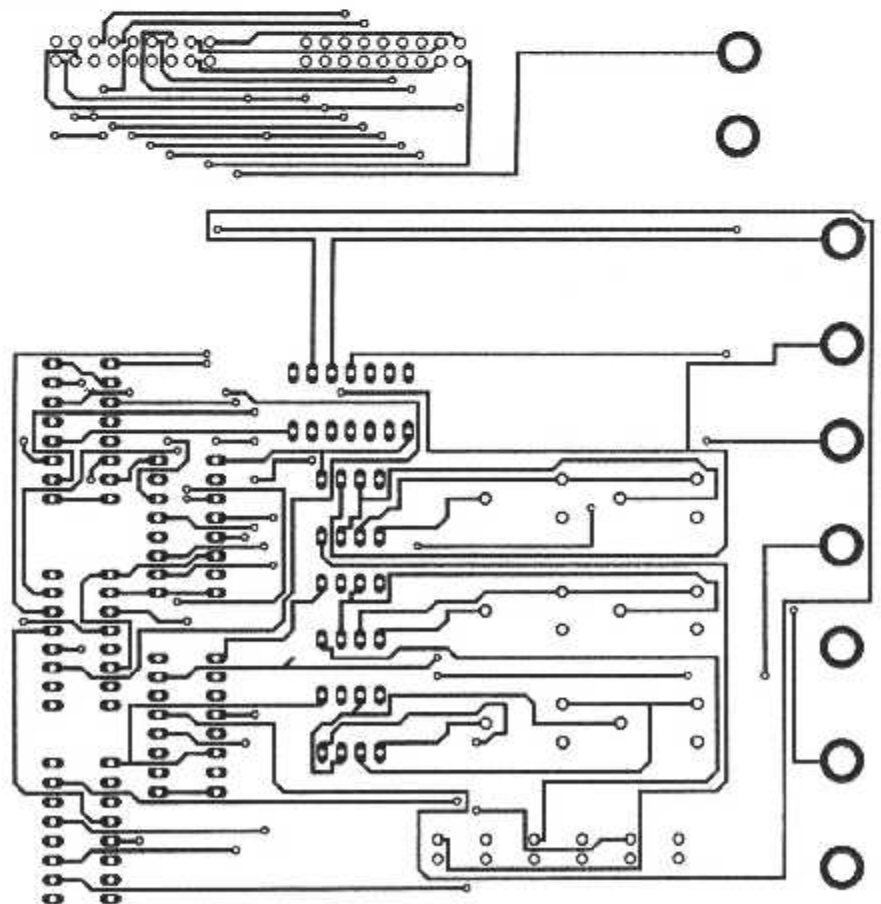
# Implantation des composants :



Composant 2 :

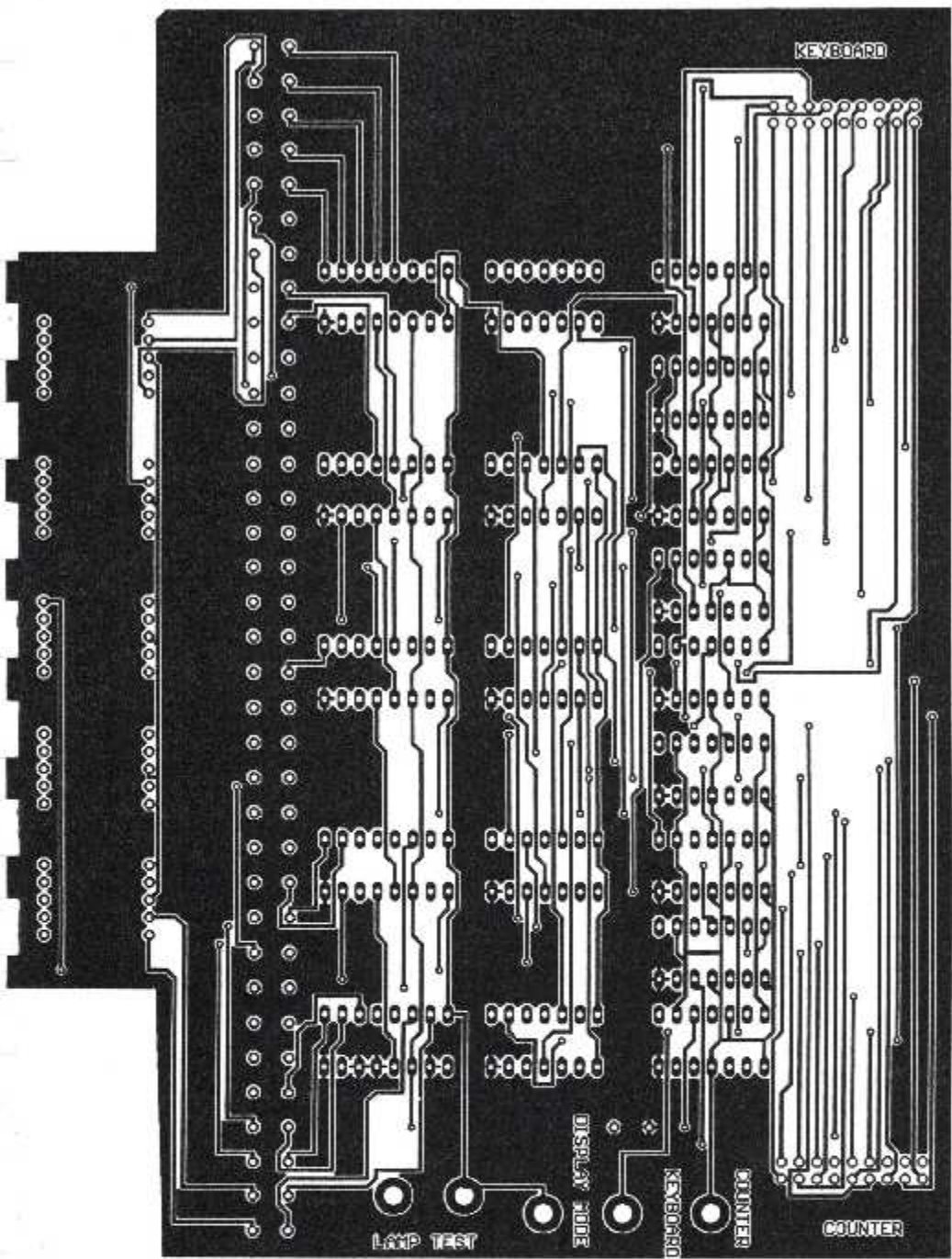
Face composants :

Face cuivre :



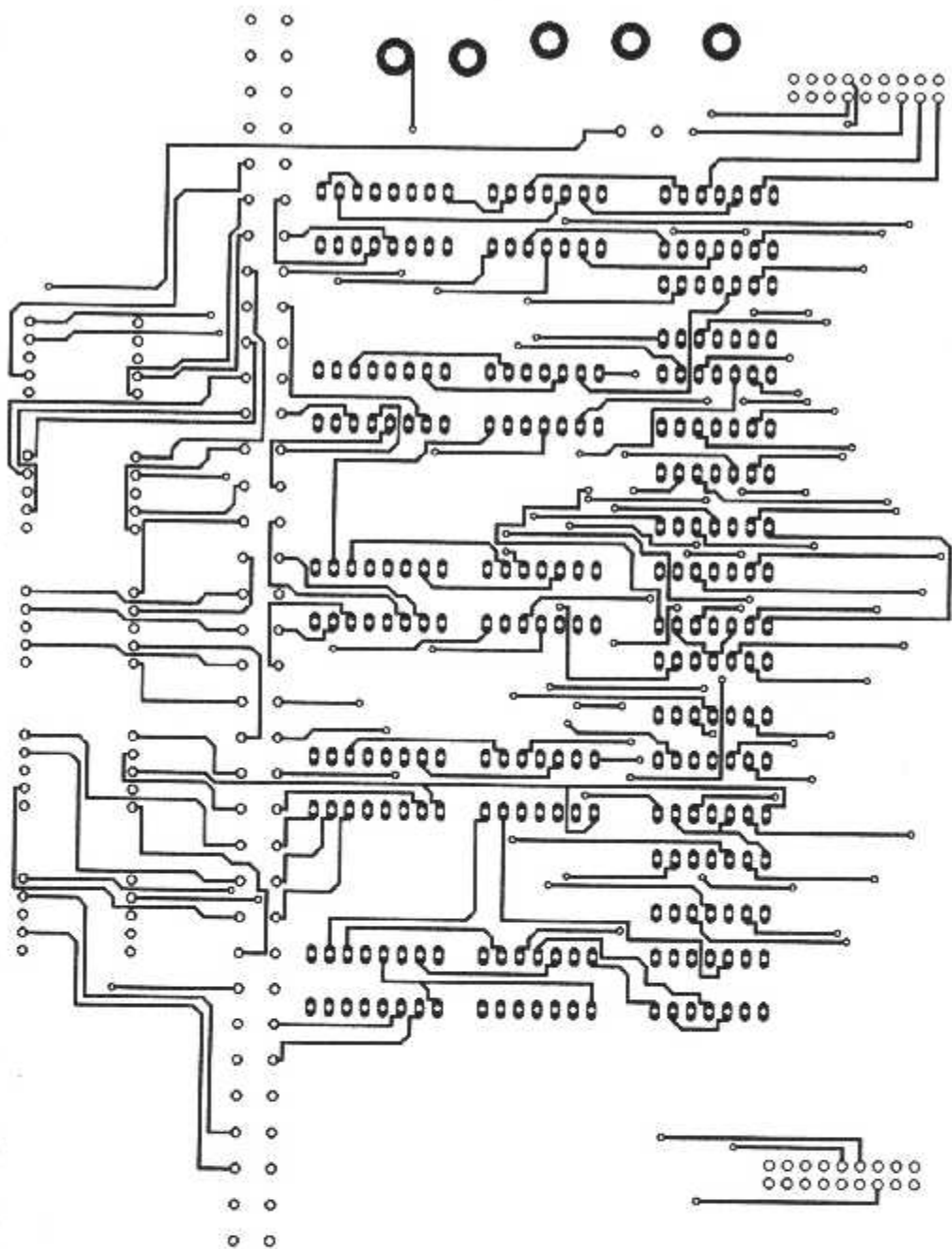


Composant 3 :



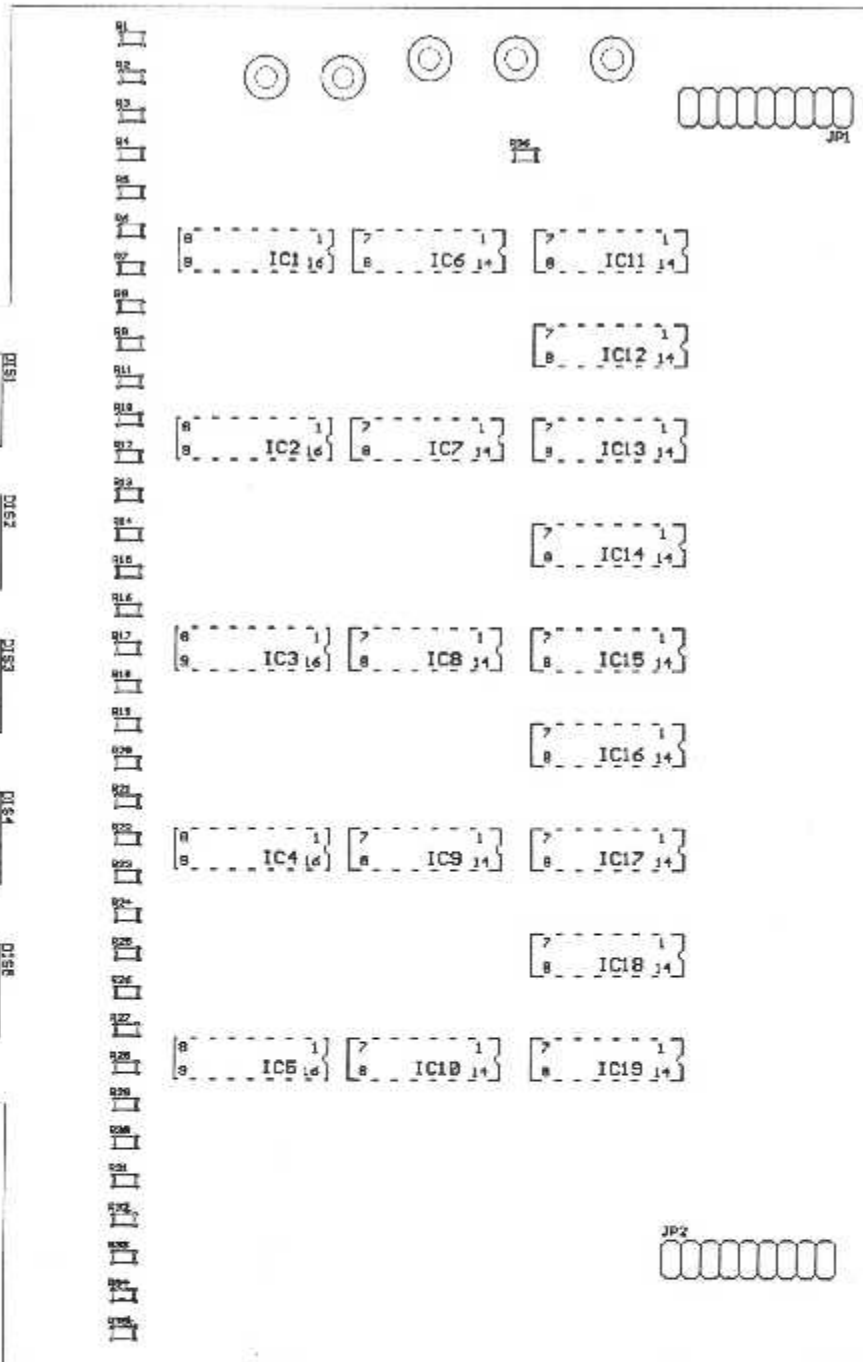
Face cuivre :

**Composant 3 :**

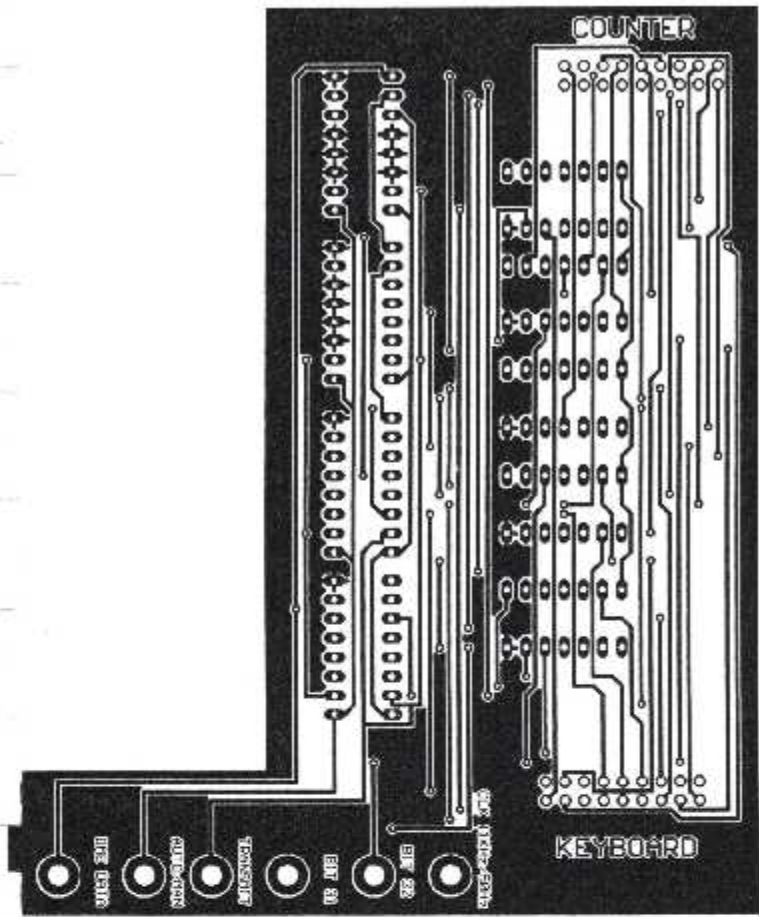


**Face composants :**

## Composant 3 :



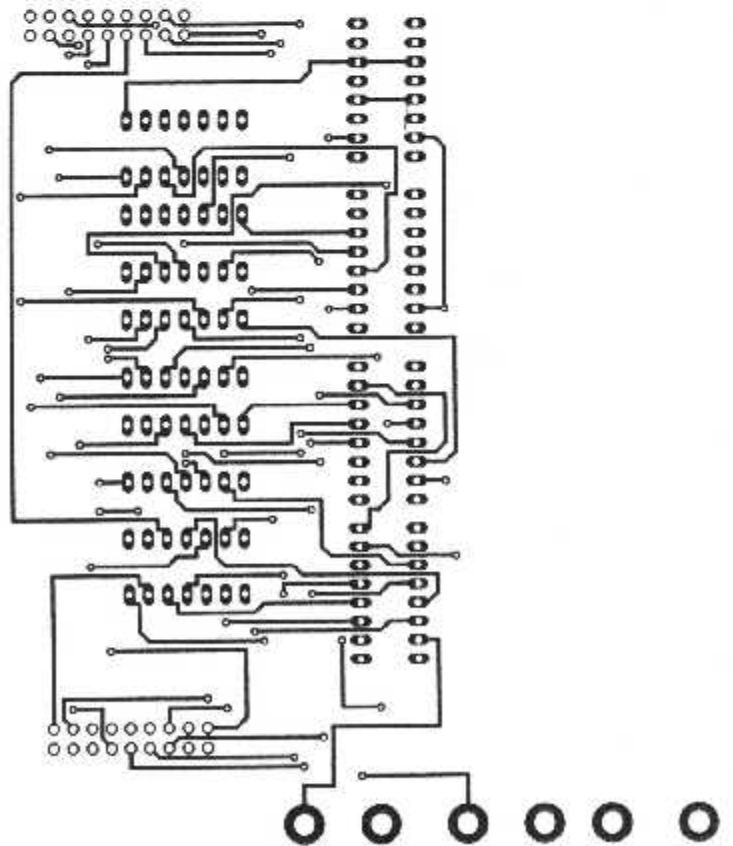
## Implantation des composants :



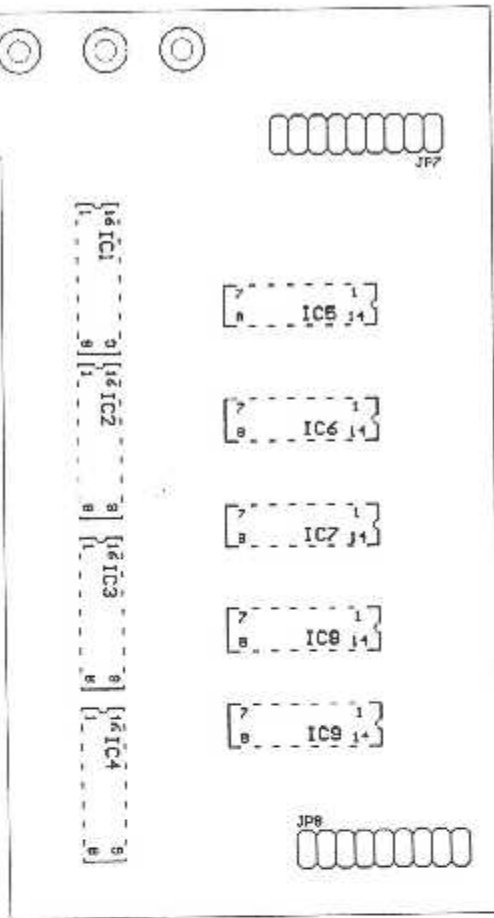
Face cuivre :

Composant 4 :

Face composants :

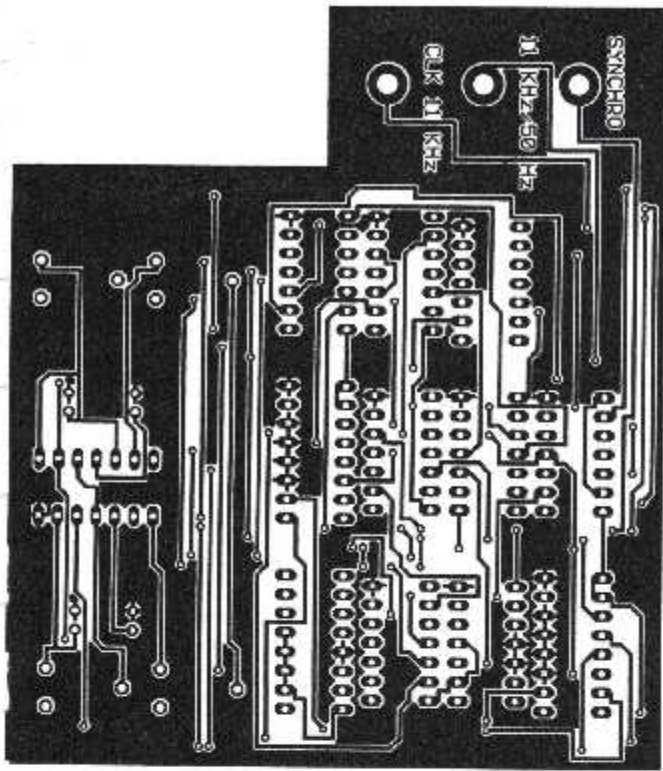


## Composant 4 :



## Implantation des composants :

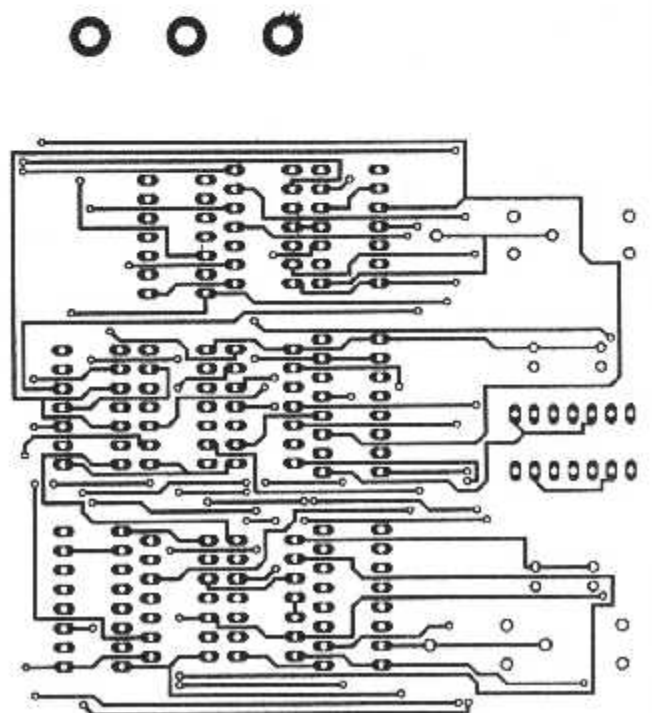




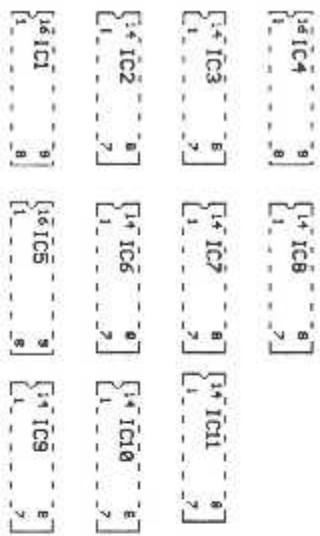
**Face cuivre :**

**Composant 5 :**

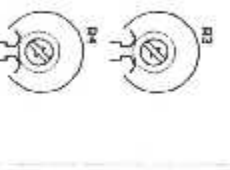
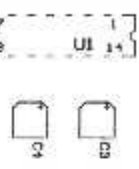
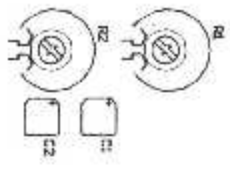
**Face composants :**



## Composant 5 :



## Implantation des composants :



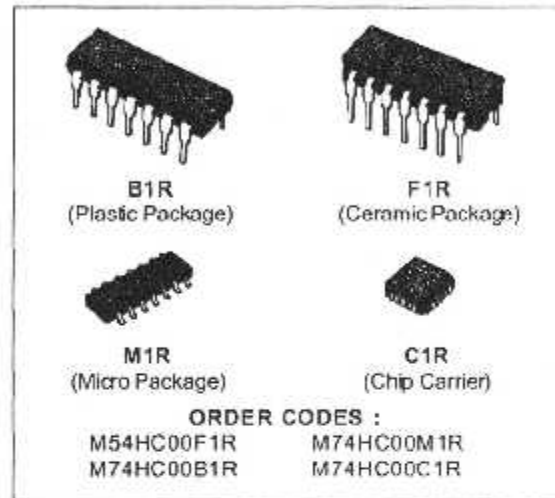
# **ANNEXE II:**

REFERENCE DES

CIRCUITS INTEGRES

**QUAD 2-INPUT NAND GATE**

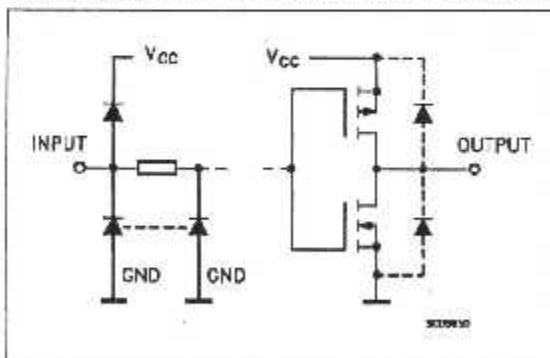
- **HIGH SPEED**  
 $t_{PD} = 6 \text{ ns (TYP.) AT } V_{CC} = 5 \text{ V}$
- **LOW POWER DISSIPATION**  
 $I_{CC} = 1 \mu\text{A (MAX.) AT } T_A = 25 \text{ }^\circ\text{C}$
- **HIGH NOISE IMMUNITY**  
 $V_{NIH} = V_{NIL} = 28 \% V_{CC} \text{ (MIN.)}$
- **OUTPUTS DRIVE CAPABILITY**  
10 LSTTL LOADS
- **BALANCED PROPAGATION DELAYS**  
 $t_{PLH} = t_{PHL}$
- **WIDE OPERATING VOLTAGE RANGE**  
 $V_{CC} \text{ (OPR)} = 2 \text{ V TO } 6 \text{ V}$
- **PIN AND FUNCTION COMPATIBLE**  
WITH 54/74LS00
- **SYMMETRICAL OUTPUT IMPEDANCE**  
 $|I_{OH}| = |I_{OL}| = 4 \text{ mA (MIN.)}$



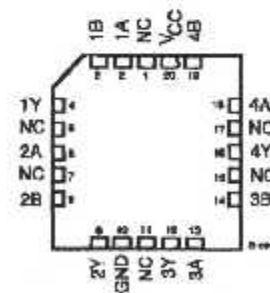
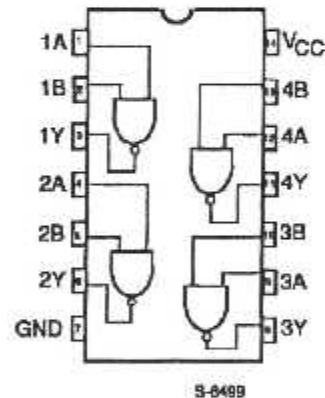
**DESCRIPTION**

The M54/74HC00 is a high speed CMOS QUAD 2-INPUT NAND GATE fabricated in silicon gate C<sup>2</sup>MOS technology. It has the same high speed performance of LSTTL combined with true CMOS low power consumption. The internal circuit is composed of 3 stages including buffer output, which enables high noise immunity and stable output. All inputs are equipped with protection circuits against static discharge and transient excess voltage.

**INPUT AND OUTPUT EQUIVALENT CIRCUIT**



**PIN CONNECTIONS (top view)**



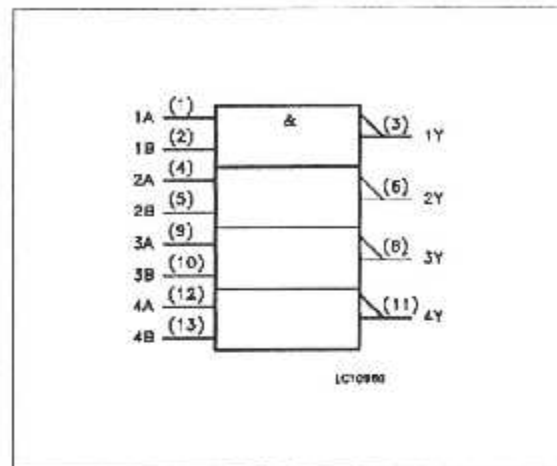
TRUTH TABLE

A	B	Y
L	L	H
L	H	H
H	L	H
H	H	L

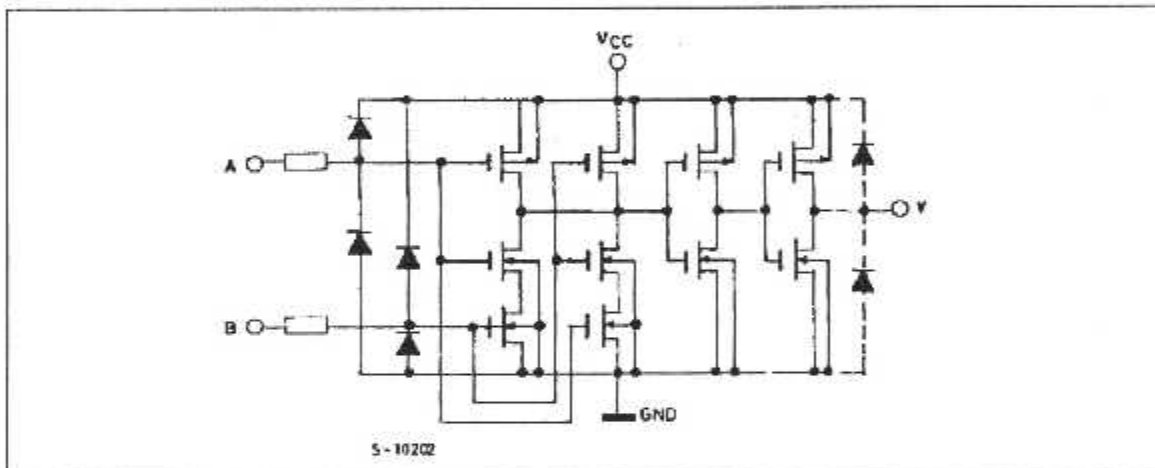
PIN DESCRIPTION

PIN No	SYMBOL	NAME AND FUNCTION
1, 4, 9, 12	1A to 4A	Data Inputs
2, 5, 10, 13	1B to 4B	Data Inputs
3, 6, 8, 11	1Y to 4Y	Data Outputs
7	GND	Ground (0V)
14	V <sub>CC</sub>	Positive Supply Voltage

IEC LOGIC SYMBOL



SCHEMATIC CIRCUIT (Per Gate)



ABSOLUTE MAXIMUM RATINGS

Symbol	Parameter	Value	Unit
V <sub>CC</sub>	Supply Voltage	-0.5 to +7	V
V <sub>I</sub>	DC Input Voltage	-0.5 to V <sub>CC</sub> + 0.5	V
V <sub>O</sub>	DC Output Voltage	-0.5 to V <sub>CC</sub> + 0.5	V
I <sub>IK</sub>	DC Input Diode Current	± 20	mA
I <sub>OK</sub>	DC Output Diode Current	± 20	mA
I <sub>O</sub>	DC Output Source Sink Current Per Output Pin	± 25	mA
I <sub>CC</sub> or I <sub>GND</sub>	DC V <sub>CC</sub> or Ground Current	± 50	mA
P <sub>D</sub>	Power Dissipation	500 (*)	mW
T <sub>stg</sub>	Storage Temperature	-65 to +150	°C
T <sub>L</sub>	Lead Temperature (10 sec)	300	°C

Absolute Maximum Ratings are those values beyond which damage to the device may occur. Functional operation under these condition is not implied.  
 (\*) 500 mW: ± 65 °C cerate to 300mW by 10mW/°C; 65 °C to 85 °C

## RECOMMENDED OPERATING CONDITIONS

Symbol	Parameter	Value	Unit
$V_{CC}$	Supply Voltage	2 to 6	V
$V_I$	Input Voltage	0 to $V_{CC}$	V
$V_O$	Output Voltage	0 to $V_{CC}$	V
$T_{op}$	Operating Temperature: <b>M54HC Series</b> <b>M74HC Series</b>	-55 to +125 -40 to +85	$^{\circ}\text{C}$ $^{\circ}\text{C}$
$t_r, t_f$	Input Rise and Fall Time	$V_{CC} = 2\text{ V}$ 0 to 1000 $V_{CC} = 4.5\text{ V}$ 0 to 500 $V_{CC} = 6\text{ V}$ 0 to 400	ns

## DC SPECIFICATIONS

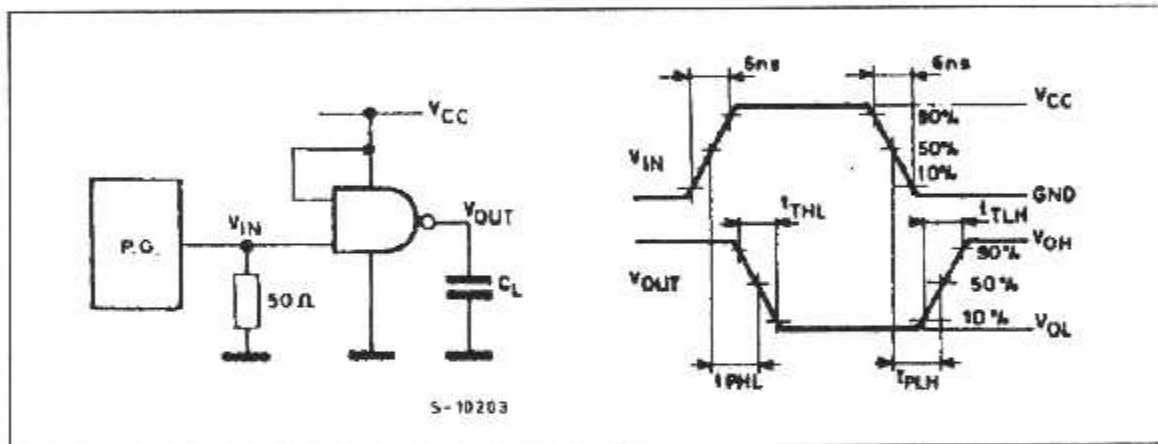
Symbol	Parameter	Test Conditions		Value						Unit		
		$V_{CC}$ (V)		$T_A = 25^{\circ}\text{C}$ 54HC and 74HC			$-40$ to $85^{\circ}\text{C}$ 74HC		$-55$ to $125^{\circ}\text{C}$ 54HC			
				Min.	Typ.	Max.	Min.	Max.	Min.		Max.	
$V_{IH}$	High Level Input Voltage	2.0		1.5			1.5		1.5		V	
		4.5		3.15			3.15		3.15			
		6.0		4.2			4.2		4.2			
$V_{IL}$	Low Level Input Voltage	2.0				0.5		0.5		0.5	V	
		4.5				1.35		1.35		1.35		
		6.0				1.8		1.8		1.8		
$V_{OH}$	High Level Output Voltage	2.0	$V_I = V_{IH}$ or $V_{IL}$	$I_O = -20\ \mu\text{A}$	1.9	2.0		1.9		1.9	V	
		4.5			4.4	4.5		4.4		4.4		
		6.0		5.9	6.0		5.9		5.9			
		4.5		$I_O = -4.0\ \text{mA}$	4.18	4.31		4.13		4.10		
		6.0	$I_O = -5.2\ \text{mA}$	5.68	5.8		5.63		5.60			
$V_{OL}$	Low Level Output Voltage	2.0	$V_I = V_{IH}$ or $V_{IL}$	$I_O = 20\ \mu\text{A}$		0.0	0.1		0.1		0.1	V
		4.5				0.0	0.1		0.1		0.1	
		6.0				0.0	0.1		0.1		0.1	
		4.5		$I_O = 4.0\ \text{mA}$	0.17	0.26		0.33		0.40		
		6.0		$I_O = 5.2\ \text{mA}$	0.18	0.28		0.33		0.40		
$I_I$	Input Leakage Current	6.0	$V_I = V_{CC}$ or GND			-0.1		$\pm 1$		$\pm 1$	$\mu\text{A}$	
$I_{CC}$	Quiescent Supply Current	6.0	$V_I = V_{CC}$ or GND			1		10		20	$\mu\text{A}$	

AC ELECTRICAL CHARACTERISTICS (C<sub>L</sub> = 50 pF, Input t<sub>r</sub> = t<sub>f</sub> = 6 ns)

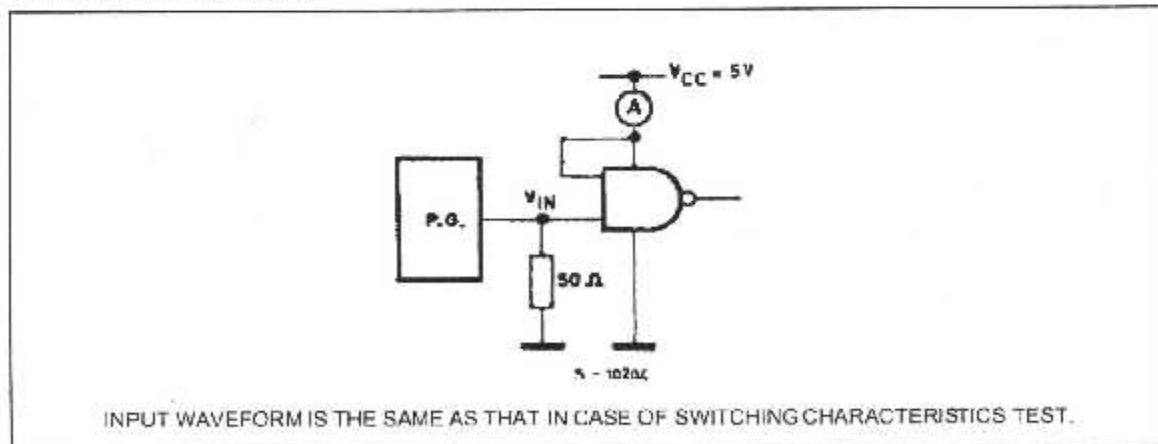
Symbol	Parameter	Test Conditions		Value						Unit	
		V <sub>CC</sub> (V)		T <sub>A</sub> = 25 °C 54HC and 74HC			-40 to 85 °C 74HC		-55 to 125 °C 54HC		
				Min.	Typ.	Max.	Min.	Max.	Min.		Max.
t <sub>TLH</sub> t <sub>THL</sub>	Output Transition Time	2.0			30	75		95		110	ns
		4.5			8	15		19		22	
		6.0			7	13		16		19	
t <sub>PLH</sub> t <sub>PHL</sub>	Propagation Delay Time	2.0			27	75		95		110	ns
		4.5			9	15		19		22	
		6.0			8	13		16		19	
C <sub>IN</sub>	Input Capacitance				5	10		10		10	pF
C <sub>PD</sub> (*)	Power Dissipation Capacitance				20						pF

(\*) C<sub>PD</sub> is defined as the value of the IC's internal equivalent capacitance which is calculated from the operating current consumption without load. (Refer to Test Circuit). Average operating current can be obtained by the following equation: I<sub>cc(opr)</sub> = C<sub>PD</sub> • V<sub>CC</sub> • f<sub>IN</sub> + I<sub>cc0</sub> (per Gate)

SWITCHING CHARACTERISTICS TEST CIRCUIT

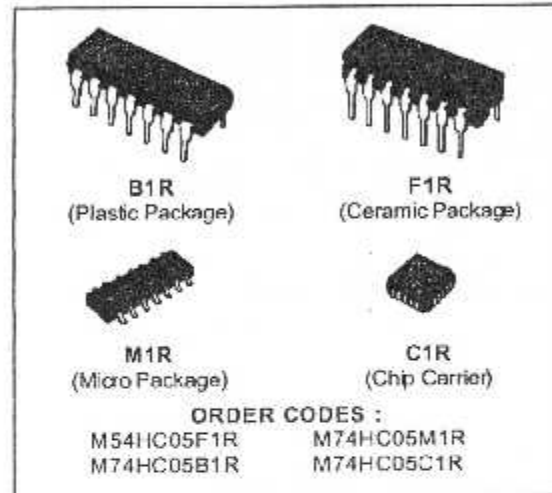


TEST CIRCUIT I<sub>cc</sub> (Opr.)



**HEX INVERTER (OPEN DRAIN)**

- **HIGH SPEED**  
 $t_{PD} = 8 \text{ ns (TYP.) AT } V_{CC} = 5 \text{ V}$
- **LOW POWER DISSIPATION**  
 $I_{CC} = 1 \mu\text{A (MAX.) AT } T_A = 25^\circ\text{C}$
- **HIGH NOISE IMMUNITY**  
 $V_{NIH} = V_{NIL} = 28 \% V_{CC} \text{ (MIN.)}$
- **OUTPUT DRIVE CAPABILITY**  
10 LSTTL LOADS
- **WIDE OPERATING VOLTAGE RANGE**  
 $V_{CC} \text{ (OPR)} = 2 \text{ V TO } 6 \text{ V}$
- **PIN AND FUNCTION COMPATIBLE WITH**  
54/74LS05

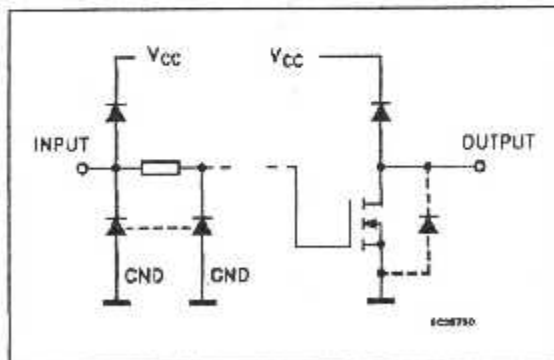


**DESCRIPTION**

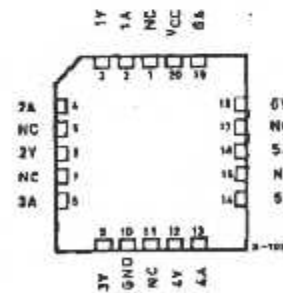
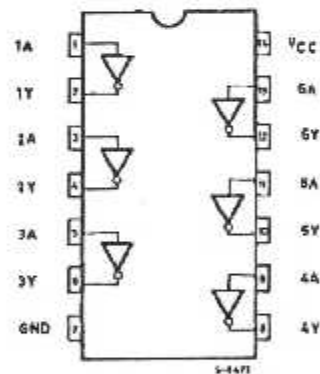
The M54/74HC05 is a high speed CMOS HEX OPEN DRAIN INVERTER fabricated in silicon gate C<sup>2</sup>MOS technology. It has the same high speed performance of LSTTL combined with true CMOS low power consumption.

The internal circuit is composed of 3 stages including buffer output, which enables high noise immunity and stable output. All inputs are equipped with circuits against static discharge and transient excess voltage.

**INPUT AND OUTPUT EQUIVALENT CIRCUIT**



**PIN CONNECTIONS (top view)**



NC =  
No Internal  
Connection



TRUTH TABLE

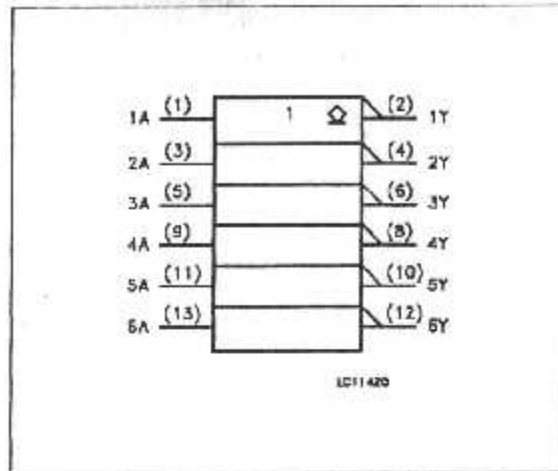
A	Y
L	Z
H	L

Z = High impedance

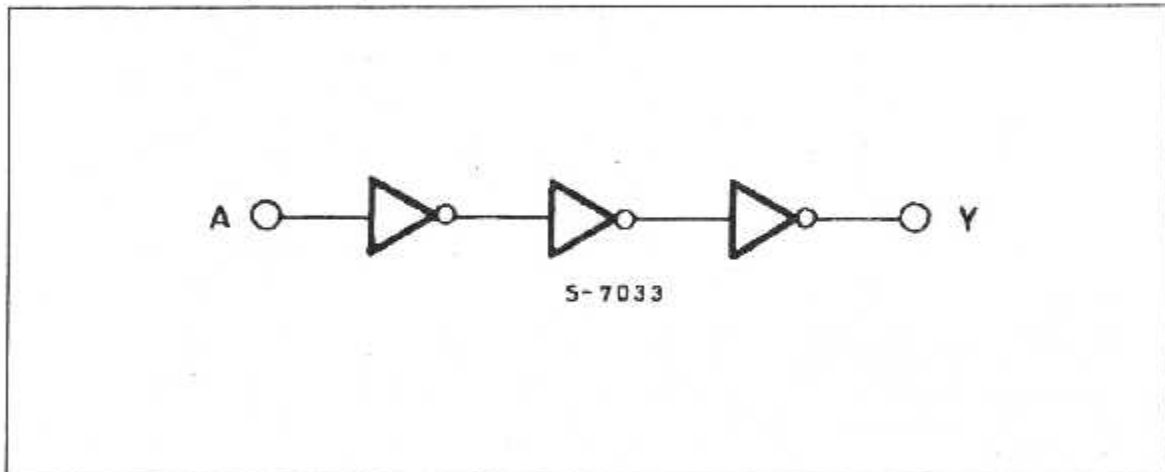
PIN DESCRIPTION

PIN No	SYMBOL	NAME AND FUNCTION
1, 3, 5, 9, 11, 13	1A to 6A	Data Inputs
2, 4, 6, 8, 10, 12	1Y to 6Y	Data Outputs
7	GND	Ground (0V)
14	V <sub>CC</sub>	Positive Supply Voltage

IEC LOGIC SYMBOL



LOGIC DIAGRAM (Per Gate)



ABSOLUTE MAXIMUM RATINGS

Symbol	Parameter	Value	Unit
V <sub>CC</sub>	Supply Voltage	-0.5 to +7	V
V <sub>I</sub>	DC Input Voltage	-0.5 to V <sub>CC</sub> + 0.5	V
V <sub>O</sub>	DC Output Voltage	-0.5 to V <sub>CC</sub> + 0.5	V
I <sub>IK</sub>	DC Input Diode Current	± 20	mA
I <sub>OK</sub>	DC Output Diode Current	± 20	mA
I <sub>O</sub>	DC Output Sink Current Per Output Pin	25	mA
I <sub>CC</sub> or I <sub>GND</sub>	DC V <sub>CC</sub> or Ground Current	± 50	mA
P <sub>D</sub>	Power Dissipation	500 (*)	mW
T <sub>stg</sub>	Storage Temperature	-65 to +150	°C
T <sub>L</sub>	Lead Temperature (10 sec)	300	°C

Absolute Maximum Ratings are those values beyond which damage to the device may occur. Functional operation under these condition is not implied.  
 (\*) 500 mW: ≡ 65 °C derate to 300 mW by 10mW/°C, 65 °C to 85 °C

## RECOMMENDED OPERATING CONDITIONS

Symbol	Parameter	Value	Unit	
$V_{CC}$	Supply Voltage	2 to 6	V	
$V_I$	Input Voltage	0 to $V_{CC}$	V	
$V_O$	Output Voltage	0 to $V_{CC}$	V	
$T_{op}$	Operating Temperature: M54HC Series M74HC Series	-55 to +125 -40 to +85	$^{\circ}C$ $^{\circ}C$	
$t_r, t_f$	Input Rise and Fall Time	$V_{CC} = 2\text{ V}$ $V_{CC} = 4.5\text{ V}$ $V_{CC} = 6\text{ V}$	0 to 1000 0 to 500 0 to 400	ns

## DC SPECIFICATIONS

Symbol	Parameter	Test Conditions		Value						Unit		
				$T_A = 25\text{ }^{\circ}C$ 54HC and 74HC			$-40\text{ to }85\text{ }^{\circ}C$ 74HC		$-55\text{ to }125\text{ }^{\circ}C$ 54HC			
				Min.	Typ.	Max.	Min.	Max.	Min.		Max.	
$V_{IH}$	High Level Input Voltage	$V_{CC}$ (V)	2.0			1.5			1.5		1.5	V
			4.5			3.15			3.15		3.15	
			6.0			4.2			4.2		4.2	
$V_{IL}$	Low Level Input Voltage	$V_{CC}$ (V)	2.0						0.5		0.5	V
			4.5						1.35		1.35	
			6.0						1.8		1.8	
$V_{OL}$	Low Level Output Voltage	$V_{CC}$ (V)	2.0	$V_I = V_{IH}$ or $V_{IL}$ $I_O = 20\text{ }\mu A$		0.0	0.1		0.1		0.1	V
			4.5			0.0	0.1		0.1		0.1	
			6.0			0.0	0.1		0.1		0.1	
			4.5		$I_O = 4.0\text{ mA}$	0.17	0.26		0.33		0.40	
			6.0			$I_O = 5.2\text{ mA}$	0.18	0.26		0.33		
$I_I$	Input Leakage Current	6.0	$V_I = V_{CC}$ or GND				$\pm 0.1$		$\pm 1$		$\pm 1$	$\mu A$
$I_{OZ}$	Output Leakage Current	6.0	$V_I = V_{IH}$ or $V_{IL}$ $V_O = V_{CC}$ or GND			$\pm 0.5$		$\pm 5$		$\pm 10$	$\mu A$	
$I_{CC}$	Quiescent Supply Current	6.0	$V_I = V_{CC}$ or GND			1		10		20	$\mu A$	

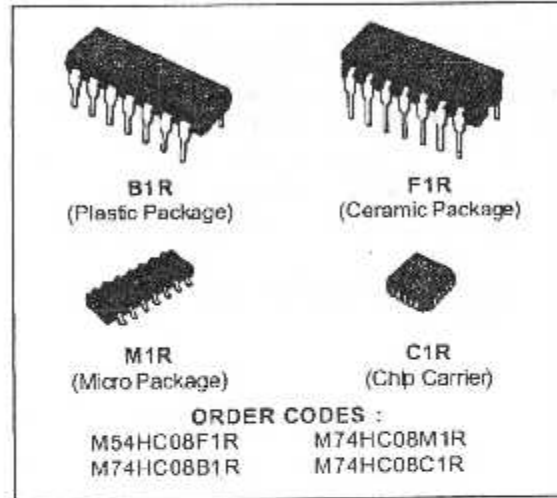
AC ELECTRICAL CHARACTERISTICS ( $C_L = 50 \text{ pF}$ , Input  $t_r = t_f = 6 \text{ ns}$ )

Symbol	Parameter	Test Conditions		Value						Unit	
				$T_A = 25 \text{ }^\circ\text{C}$ 54HC and 74HC			$-40 \text{ to } 85 \text{ }^\circ\text{C}$ 74HC		$-55 \text{ to } 125 \text{ }^\circ\text{C}$ 54HC		
		$V_{CC}$ (V)		Min.	Typ.	Max.	Min.	Max.	Min.		Max.
$t_{THL}$	Output Transition Time	2.0			30	75		95		110	ns
		4.5			8	15		19		22	
		6.0			7	13		16		19	
$t_{PLZ}$	Propagation Delay Time	2.0	$R_L = 1K\Omega$		20	90		115		135	ns
		4.5			11	18		23		27	
		6.0			10	15		20		23	
$t_{PZL}$	Propagation Delay Time	2.0	$R_L = 1K\Omega$		33	90		115		135	ns
		4.5			9	18		23		27	
		6.0			8	15		20		23	
$C_{IN}$	Input Capacitance				5	10		10		10	pF
$C_{OUT}$	Output Capacitance				10						pF
$C_{PD} (*)$	Power Dissipation Capacitance				6.5						pF

(\*)  $C_{PD}$  is defined as the value of the IC's internal equivalent capacitance which is calculated from the operating current consumption without load

**QUAD 2-INPUT AND GATE**

- **HIGH SPEED**  
 $t_{PD} = 6 \text{ ns (TYP.) AT } V_{CC} = 5 \text{ V}$
- **LOW POWER DISSIPATION**  
 $I_{CC} = 1 \mu\text{A (MAX.) AT } T_A = 25^\circ\text{C}$
- **HIGH NOISE IMMUNITY**  
 $V_{NIH} = V_{NIL} = 28 \% V_{CC} \text{ (MIN.)}$
- **OUTPUT DRIVE CAPABILITY**  
10 LSTTL LOADS
- **SYMMETRICAL OUTPUT IMPEDANCE**  
 $|I_{OH}| = I_{OL} = 4 \text{ mA (MIN.)}$
- **BALANCED PROPAGATION DELAYS**  
 $t_{PLH} = t_{PHL}$
- **WIDE OPERATING VOLTAGE RANGE**  
 $V_{CC} \text{ (OPR)} = 2 \text{ V TO } 6 \text{ V}$
- **PIN AND FUNCTION COMPATIBLE**  
WITH 54/74LS08



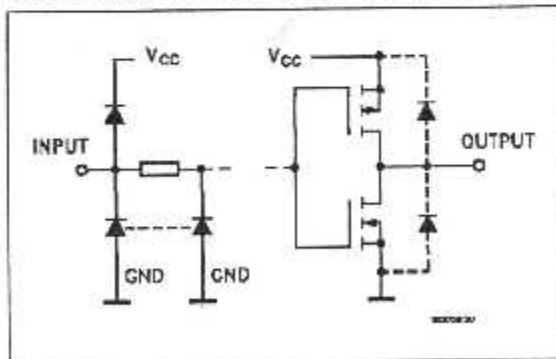
**DESCRIPTION**

The M54/74HC08 is a high speed CMOS QUAD 2-INPUT AND GATE fabricated in silicon gate C<sup>2</sup>MOS technology. It has the same high speed performance of LSTTL combined with true CMOS low power consumption.

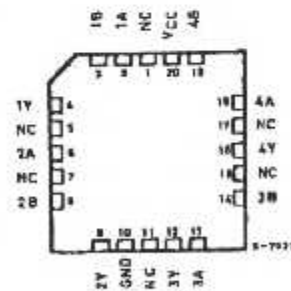
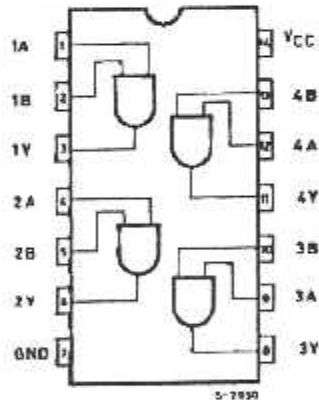
The internal circuit is composed of 2 stages including buffer output, which gives high noise immunity and stable output.

All inputs are equipped with protection circuits against static discharge and transient excess voltage.

**INPUT AND OUTPUT EQUIVALENT CIRCUIT**



**PIN CONNECTIONS (top view)**

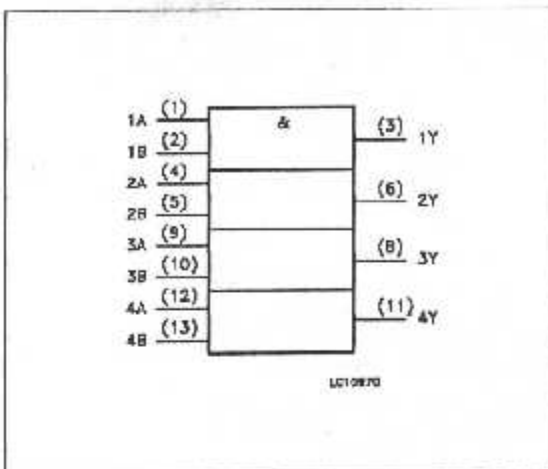


NC =  
No Internal  
Connections

TRUTH TABLE

A	B	Y
L	L	L
L	H	L
H	L	L
H	H	H

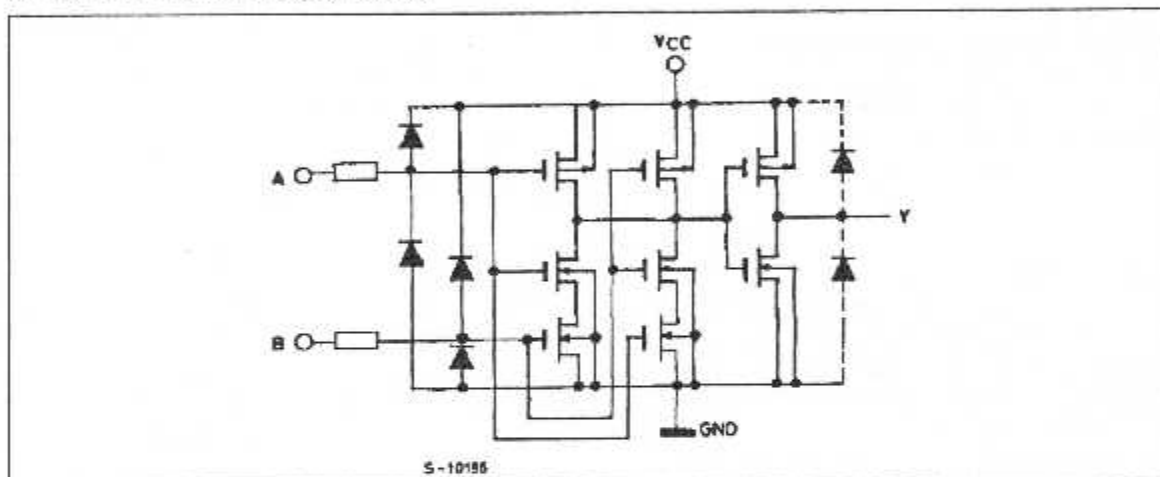
IEC LOGIC SYMBOL



PIN DESCRIPTION

PIN No	SYMBOL	NAME AND FUNCTION
1, 4, 9, 12	1A to 4A	Data Inputs
2, 5, 10, 13	1B to 4B	Data Inputs
3, 6, 8, 11	1Y to 4Y	Data Outputs
7	GND	Ground (0V)
14	V <sub>CC</sub>	Positive Supply Voltage

SCHEMATIC CIRCUIT (Per Gate)



ABSOLUTE MAXIMUM RATINGS

Symbol	Parameter	Value	Unit
V <sub>CC</sub>	Supply Voltage	-0.5 to +7	V
V <sub>I</sub>	DC Input Voltage	-0.5 to V <sub>CC</sub> + 0.5	V
V <sub>O</sub>	DC Output Voltage	-0.5 to V <sub>CC</sub> + 0.5	V
I <sub>IK</sub>	DC Input Diode Current	± 20	mA
I <sub>OK</sub>	DC Output Diode Current	± 20	mA
I <sub>O</sub>	DC Output Source Sink Current Per Output Pin	± 25	mA
I <sub>CC</sub> or I <sub>GND</sub>	DC V <sub>CC</sub> or Ground Current	± 50	mA
P <sub>D</sub>	Power Dissipation	500 (*)	mW
T <sub>stg</sub>	Storage Temperature	-65 to +150	°C
T <sub>L</sub>	Lead Temperature (10 sec)	300	°C

Absolute Maximum Ratings are those values beyond which damage to the device may occur. Functional operation under these condition is not implied (\*) 500 mW: = 65 °C derate to 300 mW by 10mW/°C; 65 °C to 85 °C

## RECOMMENDED OPERATING CONDITIONS

Symbol	Parameter	Value	Unit
$V_{CC}$	Supply Voltage	2 to 6	V
$V_I$	Input Voltage	0 to $V_{CC}$	V
$V_O$	Output Voltage	0 to $V_{CC}$	V
$T_{op}$	Operating Temperature: M54HC Series M74HC Series	-55 to +125 -40 to +85	$^{\circ}C$ $^{\circ}C$
$t_r, t_f$	Input Rise and Fall Time	$V_{CC} = 2\text{ V}$ 0 to 1000 $V_{CC} = 4.5\text{ V}$ 0 to 500 $V_{CC} = 6\text{ V}$ 0 to 400	ns

## DC SPECIFICATIONS

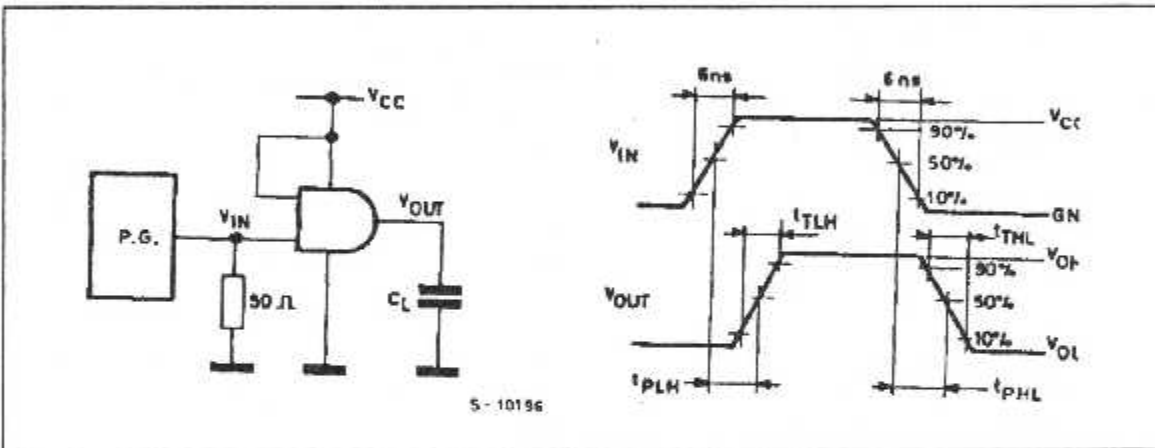
Symbol	Parameter	Test Conditions		Value						Unit		
				$T_A = 25\text{ }^{\circ}C$ 54HC and 74HC			$-40\text{ to }85\text{ }^{\circ}C$ 74HC		$-55\text{ to }125\text{ }^{\circ}C$ 54HC			
				Min.	Typ.	Max.	Min.	Max.	Min.		Max.	
$V_{IH}$	High Level Input Voltage	2.0			1.5			1.5		1.5	V	
		4.5			3.15			3.15		3.15		
		6.0			4.2			4.2		4.2		
$V_{IL}$	Low Level Input Voltage	2.0				0.5		0.5		0.5	V	
		4.5				1.35		1.35		1.35		
		6.0				1.8		1.8		1.8		
$V_{OH}$	High Level Output Voltage	2.0	$V_I = V_{IH}$ or $V_{IL}$	$I_O = -20\text{ }\mu A$	1.9	2.0		1.9		1.9	V	
		4.5			4.4	4.5		4.4		4.4		
		6.0			5.9	6.0		5.9		5.9		
		4.5	$I_O = -4.0\text{ mA}$	4.18	4.31		4.13		4.10			
		6.0		$I_O = -5.2\text{ mA}$	5.68	5.8		5.63		5.60		
$V_{OL}$	Low Level Output Voltage	2.0	$V_I = V_{IH}$ or $V_{IL}$	$I_O = 20\text{ }\mu A$		0.0	0.1		0.1		0.1	V
		4.5				0.0	0.1		0.1		0.1	
		6.0				0.0	0.1		0.1		0.1	
		4.5	$I_O = 4.0\text{ mA}$	0.17	0.26		0.33		0.40			
		6.0		$I_O = 5.2\text{ mA}$	0.18	0.26		0.33		0.40		
$I_I$	Input Leakage Current	6.0	$V_I = V_{CC}$ or GND			$\pm 0.1$		$\pm 1$		$\mu A$		
$I_{CC}$	Quiescent Supply Current	6.0	$V_I = V_{CC}$ or GND			1		10		20	$\mu A$	

AC ELECTRICAL CHARACTERISTICS ( $C_L = 50 \text{ pF}$ , Input  $t_r = t_f = 6 \text{ ns}$ )

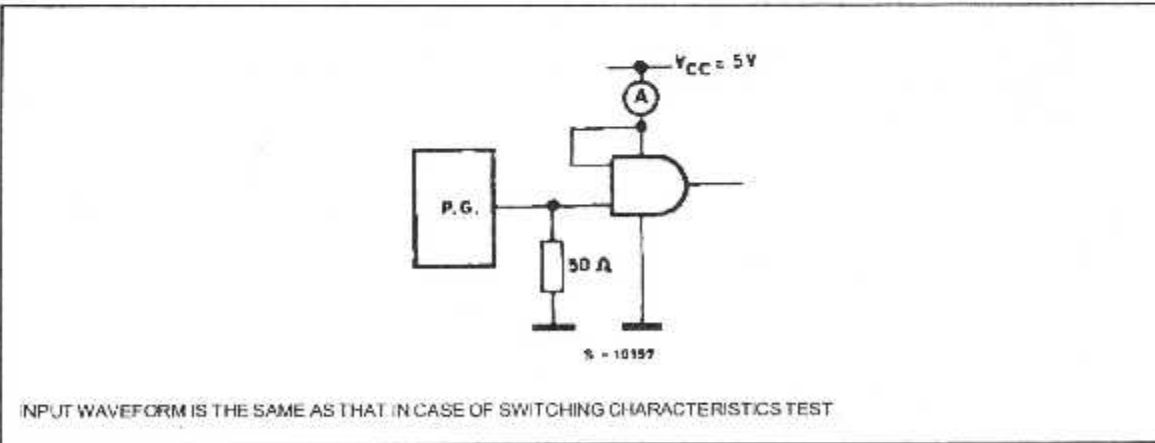
Symbol	Parameter	Test Conditions		Value						Unit	
		$V_{CC}$ (V)		$T_A = 25^\circ\text{C}$ 54HC and 74HC			$-40 \text{ to } 85^\circ\text{C}$ 74HC		$-55 \text{ to } 125^\circ\text{C}$ 54HC		
				Min.	Typ.	Max.	Min.	Max.	Min.		Max.
$t_{TLH}$ $t_{THL}$	Output Transition Time	2.0			30	75		95		110	ns
		4.5			8	15		19		22	
		6.0			7	13		16		19	
$t_{PLH}$ $t_{PHL}$	Propagation Delay Time	2.0			24	75		95		110	ns
		4.5			8	15		19		22	
		6.0			7	13		16		19	
$C_{IN}$	Input Capacitance				5	10		10		10	pF
$C_{PD} (*)$	Power Dissipation Capacitance				19						pF

(\*)  $C_{PD}$  is defined as the value of the IC's internal equivalent capacitance which is calculated from the operating current consumption without load. (Refer to Test Circuit). Average operating current can be obtained by the following equation.  $I_{CC(OPR)} = C_{PD} \cdot V_{CC} \cdot f_{IN} + I_{CC4}$  (per Gate)

SWITCHING CHARACTERISTICS TEST CIRCUIT



TEST CIRCUIT  $I_{CC} (Opr.)$



## DM74LS47

### BCD to 7-Segment Decoder/Driver with Open-Collector Outputs

#### General Description

The DM74LS47 accepts four lines of BCD (8421) input data, generates their complements internally and decodes the data with seven AND/OR gates having open-collector outputs to drive indicator segments directly. Each segment output is guaranteed to sink 24 mA in the ON (LOW) state and withstand 15V in the OFF (HIGH) state with a maximum leakage current of 250  $\mu$ A. Auxiliary inputs provided blanking, lamp test and cascadable zero-suppression functions.

#### Features

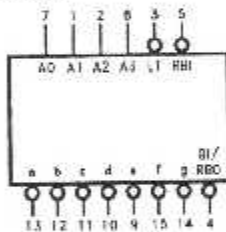
- Open collector outputs
- Drive indicator segments directly
- Cascadable zero-suppression capability
- Lamp test input

#### Ordering Code:

Order Number	Package Number	Package Description
DM74LS47M	M16A	16-Lead Small Outline Integrated Circuit (SOIC), JEDEC MS-012, 0.150 Narrow
DM74LS47N	N16E	16-Lead Plastic Dual-In-Line Package (PDIP), JEDEC MS-001, 0.300 Wide

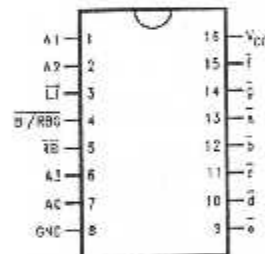
Devices also available in Tape and Reel. Specify by appending the suffix letter "X" to the ordering code.

#### Logic Symbol



V<sub>CC</sub> - Pin 15  
GND - Pin 8

#### Connection Diagram



#### Pin Descriptions

Pin Names	Description
A0-A3	BCD Inputs
RBI	Ripple Blanking Input (Active LOW)
LT	Lamp Test Input (Active LOW)
BI/RBO	Blanking Input (Active LOW) or Ripple Blanking Output (Active LOW)
a-g	Segment Outputs (Active LOW) (Note 1)

Note 1: OC—Open Collector

DM74LS47 BCD to 7-Segment Decoder/Driver with Open-Collector Outputs



## Truth Table

Decimal or Function	Inputs							Outputs							Note
	LT	RBI	A3	A2	A1	A0	B/RBO	a	b	c	d	e	f	g	
0	H	H	L	L	L	L	H	L	L	L	L	L	L	H	(Note 2)
1	H	X	L	L	L	H	H	H	L	L	H	H	H	H	(Note 2)
2	H	X	L	L	H	L	H	L	L	H	L	L	H	L	
3	H	X	L	L	H	H	H	L	L	L	L	H	H	L	
4	H	X	L	H	L	L	H	H	L	L	H	H	L	L	
5	H	X	L	H	L	H	H	L	H	L	L	H	L	L	
6	H	X	L	H	H	L	H	H	H	L	L	L	L	L	
7	H	X	L	H	H	H	H	L	L	L	H	H	H	H	
8	H	X	H	L	L	L	H	L	L	L	L	L	L	L	
9	H	X	H	L	L	H	H	L	L	L	H	H	L	L	
10	H	X	H	L	H	L	H	H	H	H	L	L	H	L	
11	H	X	H	L	H	H	H	H	H	L	L	H	H	L	
12	H	X	H	H	L	L	H	H	L	H	H	H	L	L	
13	H	X	H	H	L	H	H	L	H	H	L	H	L	L	
14	H	X	H	H	H	L	H	H	H	H	L	L	L	L	
15	H	X	H	H	H	H	H	H	H	H	H	H	H	H	
$\overline{\text{BI}}$	X	X	X	X	X	X	L	H	H	H	H	H	H	H	(Note 3)
$\overline{\text{RBI}}$	H	L	L	L	L	L	L	H	H	H	H	H	H	H	(Note 4)
$\overline{\text{LT}}$	L	X	X	X	X	X	H	L	L	L	L	L	L	L	(Note 5)

Note 2: B/RBO is wire AND logic serving as blanking input ( $\overline{\text{BI}}$ ) and/or ripple blanking output (RBO). The blanking out ( $\overline{\text{BI}}$ ) must be open or held at a HIGH level when output functions 0 through 15 are coded, and ripple blanking input ( $\overline{\text{RBI}}$ ) must be open or at a HIGH level if blanking or a decimal 0 is not desired. X = input may be HIGH or LOW.

Note 3: When a LOW level is applied to the blanking input (forced condition) all segment outputs go to a HIGH level regardless of the state of any other input condition.

Note 4: When ripple blanking input ( $\overline{\text{RBI}}$ ) and inputs A0, A1, A2 and A3 are LOW level, with the lamp test input at HIGH level, all segment outputs go to a HIGH level and the ripple blanking output (RBO) goes to a LOW level (response condition).

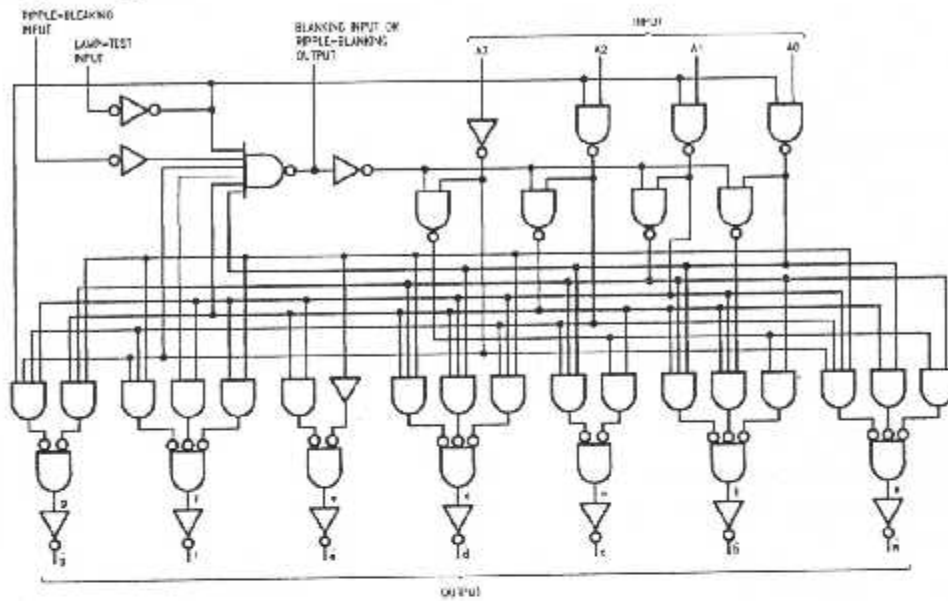
Note 5: When the Blanking Input/Ripple blanking output ( $\overline{\text{B/RBO}}$ ) is OPEN or held at a HIGH level, and a LOW level is applied to lamp test input, all segment outputs go to a LOW level.

## Functional Description

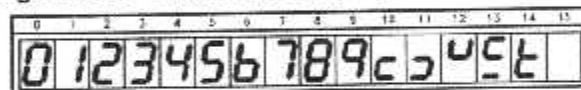
The DM74LS47 decodes the input data in the pattern indicated in the Truth Table and the segment identification illustration. If the input data is decimal zero, a LOW signal applied to the  $\overline{\text{RBI}}$  blanks the display and causes a multi-digit display. For example, by grounding the  $\overline{\text{RBI}}$  of the highest order decoder and connecting its  $\overline{\text{B/RBO}}$  to  $\overline{\text{RBI}}$  of the next lowest order decoder, etc., leading zeros will be suppressed. Similarly, by grounding  $\overline{\text{RBI}}$  of the lowest order decoder and connecting its  $\overline{\text{B/RBO}}$  to  $\overline{\text{RBI}}$  of the next highest order decoder, etc., trailing zeros will be suppressed. Leading and trailing zeros can be suppressed simultaneously by using external gates, i.e., by driving  $\overline{\text{RBI}}$  of a

intermediate decoder from an OR gate whose inputs are  $\overline{\text{B/RBO}}$  of the next highest and lowest order decoders.  $\overline{\text{B/RBO}}$  also serves as an unconditional blanking input. The internal NAND gate that generates the RBO signal has a resistive pull-up, as opposed to a totem pole, and thus  $\overline{\text{B/RBO}}$  can be forced LOW by external means, using wired-collector logic. A LOW signal thus applied to  $\overline{\text{B/RBO}}$  turns off all segment outputs. This blanking feature can be used to control display intensity by varying the duty cycle of the blanking signal. A LOW signal applied to  $\overline{\text{LT}}$  turns on all segment outputs, provided that  $\overline{\text{B/RBO}}$  is not forced LOW.

Logic Diagram



Numerical Designations—Resultant Displays



**Absolute Maximum Ratings**(Note 6)

Supply Voltage	7V
Input Voltage	7V
Operating Free Air Temperature Range	0°C to +70°C
Storage Temperature Range	-65°C to +150°C

Note 6: The "Absolute Maximum Ratings" are those values beyond which the safety of the device cannot be guaranteed. The device should not be operated at these limits. The parametric values defined in the Electrical Characteristics tables are not guaranteed at the absolute maximum ratings. The "Recommended Operating Conditions" table will define the conditions for actual device operation.

**Recommended Operating Conditions**

Symbol	Parameter	Min	Nom	Max	Units
$V_{CC}$	Supply Voltage	4.75	5	5.25	V
$V_{IH}$	HIGH Level Input Voltage	2			V
$V_{IL}$	LOW Level Input Voltage			0.8	V
$I_{OH}$	HIGH Level Output Current $\bar{a} - \bar{g}$ @ 15V = $V_{OH}$ (Note 7)			-250	$\mu$ A
$I_{OH}$	HIGH Level Output Current BI/RBO			-50	$\mu$ A
$I_{OL}$	LOW Level Output Current			24	mA
$T_A$	Free Air Operating Temperature	0		70	°C

Note 7: OFF State at  $\bar{a} - \bar{g}$

**Electrical Characteristics**

Over recommended operating free air temperature range (unless otherwise noted)

Symbol	Parameter	Conditions	Min	Typ (Note 8)	Max	Units
$V_i$	Input Clamp Voltage	$V_{CC} = \text{Min}, I_i = -18 \text{ mA}$			-1.5	V
$V_{OH}$	HIGH Level Output Voltage	$V_{CC} = \text{Min}, I_{OH} = \text{Max},$ $V_k = \text{Max}, \bar{BI}/\bar{RBO}$	2.7	3.4		V
$I_{OH}$	Output HIGH Current Segment Outputs	$V_{CC} = 5.5V, V_O = 15V \bar{a} - \bar{g}$			260	$\mu$ A
$V_{OL}$	LOW Level Output Voltage	$V_{CC} = \text{Min}, I_{OL} = \text{Max},$ $V_H = \text{Min}, \bar{a} - \bar{g}$ $I_{OL} = 3.2 \text{ mA}, \bar{BI}/\bar{RBO}$ $I_{OL} = 12 \text{ mA}, \bar{a} - \bar{g}$ $I_{OL} = 1.8 \text{ mA}, \bar{BI}/\bar{RBO}$		0.35	0.5	V
$I_i$	Input Current @ Max Input Voltage	$V_{CC} = \text{Max}, V_i = 7V$ $V_{CC} = \text{Max}, V_i = 10V$			100	$\mu$ A
$I_{IH}$	HIGH Level Input Current	$V_{CC} = \text{Max}, V_i = 2.7V$			20	$\mu$ A
$I_{IL}$	LOW Level Input Current	$V_{CC} = \text{Max}, V_i = 0.4V$			-0.4	mA
$I_{OS}$	Short Circuit Output Current	$V_{CC} = \text{Max}$ (Note 9), $I_{OS}$ at $\bar{BI}/\bar{RBO}$	-0.3		2.0	mA
$I_{CC}$	Supply Current	$V_{CC} = \text{Max}$			13	mA

Note 8: All typicals are at  $V_{CC} = 5V, T_A = 25^\circ\text{C}$ .

Note 9: Not more than one output should be shorted at a time, and the duration should not exceed one second.

**Switching Characteristics**

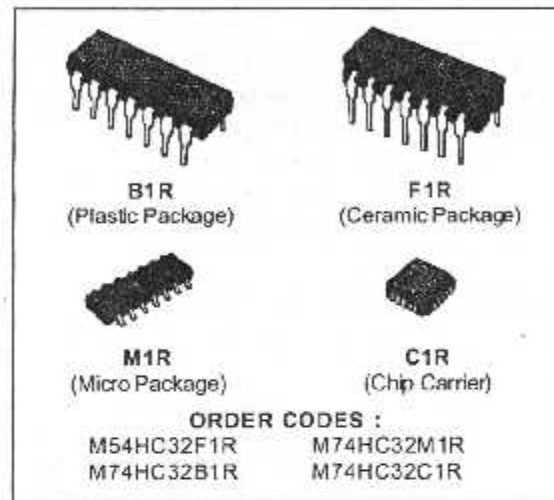
at  $V_{CC} = +5.0V, T_A = -25^\circ\text{C}$

Symbol	Parameter	Conditions	$R_k = 66\Omega$ $C_L = 15 \text{ pF}$		Units
			Min	Max	
$t_{PLH}$	Propagation Delay An to $\bar{a} - \bar{g}$			100	ns
$t_{PHL}$	Propagation Delay $\bar{RBI}$ to $\bar{a} - \bar{g}$ (Note 10)			100	ns

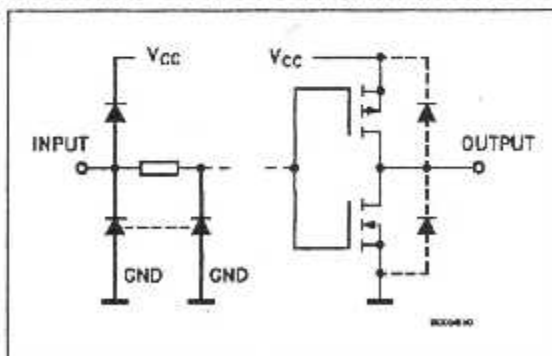
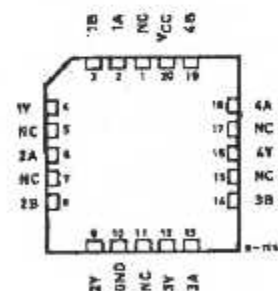
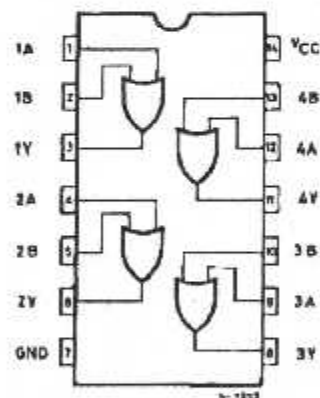
Note 10: LT - HIGH, AO, A3 - LOW

**QUAD 2-INPUT OR GATE**

- **HIGH SPEED**  
 $t_{PD} = 6 \text{ ns (TYP.) AT } V_{CC} = 5 \text{ V}$
- **LOW POWER DISSIPATION**  
 $I_{CC} = 1 \mu\text{A (MAX.) AT } T_A = 25 \text{ }^\circ\text{C}$
- **HIGH NOISE IMMUNITY**  
 $V_{NIH} = V_{NIL} = 28 \% V_{CC} \text{ (MIN.)}$
- **OUTPUT DRIVE CAPABILITY**  
 10 LSTTL LOADS
- **SYMMETRICAL OUTPUT IMPEDANCE**  
 $|I_{OH}| = I_{OL} = 4 \text{ mA (MIN.)}$
- **BALANCED PROPAGATION DELAYS**  
 $t_{PLH} = t_{PHL}$
- **WIDE OPERATING VOLTAGE RANGE**  
 $V_{CC} \text{ (OPR)} = 2 \text{ V TO } 6 \text{ V}$
- **PIN AND FUNCTION COMPATIBLE WITH**  
 54/74LS32


**DESCRIPTION**

The M54/74HC32 is a high speed CMOS 2-INPUT OR GATE fabricated in silicon gate C<sup>2</sup>MOS technology. It has the same high speed performance of LSTTL combined with true CMOS low power consumption. It achieves the high speed operation similar to equivalent LSTTL while maintaining the CMOS low power dissipation. The internal circuit is composed of 2 stages including buffered output, which gives high noise immunity and a stable output. All inputs are equipped with protection circuits against static discharge and transient excess voltage.

**INPUT AND OUTPUT EQUIVALENT CIRCUIT**

**PIN CONNECTIONS (top view)**


NC =  
No Internal  
Connection

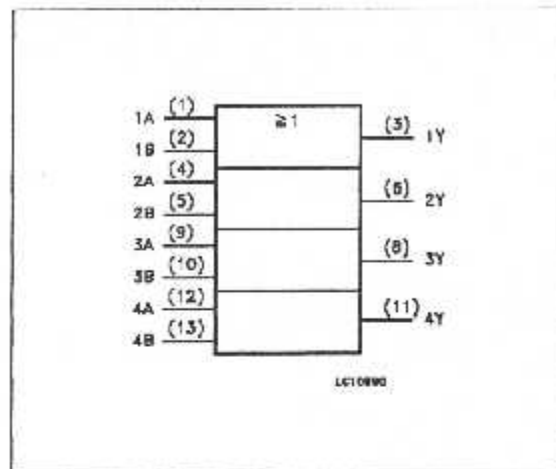
TRUTH TABLE

A	B	Y
L	L	L
L	H	H
H	L	H
H	H	H

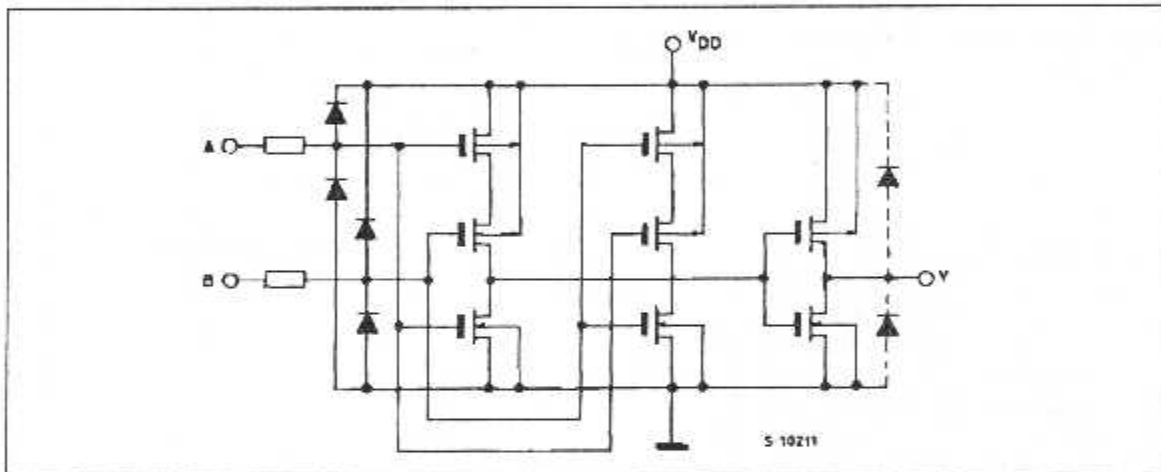
PIN DESCRIPTION

PIN No	SYMBOL	NAME AND FUNCTION
1, 4, 9, 12	1A to 4A	Data Inputs
2, 5, 10, 13	1B to 4B	Data Inputs
3, 6, 8, 11	1Y to 4Y	Data Outputs
7	GND	Ground (0V)
14	V <sub>CC</sub>	Positive Supply Voltage

IEC LOGIC SYMBOL



SCHEMATIC CIRCUIT (Per Gate)



ABSOLUTE MAXIMUM RATINGS

Symbol	Parameter	Value	Unit
V <sub>CC</sub>	Supply Voltage	-0.5 to +7	V
V <sub>I</sub>	DC Input Voltage	-0.5 to V <sub>CC</sub> + 0.5	V
V <sub>O</sub>	DC Output Voltage	-0.5 to V <sub>CC</sub> + 0.5	V
I <sub>IK</sub>	DC Input Diode Current	+ 20	mA
I <sub>OK</sub>	DC Output Diode Current	± 20	mA
I <sub>O</sub>	DC Output Source Sink Current Per Output Pin	± 25	mA
I <sub>CC</sub> or I <sub>GND</sub>	DC V <sub>CC</sub> or Ground Current	± 50	mA
P <sub>D</sub>	Power Dissipation	500 (*)	mW
T <sub>stg</sub>	Storage Temperature	-65 to +150	°C
T <sub>L</sub>	Lead Temperature (10 sec)	300	°C

Absolute Maximum Ratings are those values beyond which damage to the device may occur. Functional operation under these conditions is not implied.  
 (\*) 500 mW: ± 65 °C derate to 300 mW by 10mW/°C: 65 °C to 85 °C

## RECOMMENDED OPERATING CONDITIONS

Symbol	Parameter	Value	Unit	
V <sub>CC</sub>	Supply Voltage	2 to 6	V	
V <sub>I</sub>	Input Voltage	0 to V <sub>CC</sub>	V	
V <sub>O</sub>	Output Voltage	0 to V <sub>CC</sub>	V	
T <sub>op</sub>	Operating Temperature: M54HC Series M74HC Series	-55 to +125 -40 to +85	°C °C	
t <sub>r</sub> , t <sub>f</sub>	Input Rise and Fall Time	V <sub>CC</sub> = 2 V V <sub>CC</sub> = 4.5 V V <sub>CC</sub> = 6 V	0 to 1000 0 to 500 0 to 400	ns

## DC SPECIFICATIONS

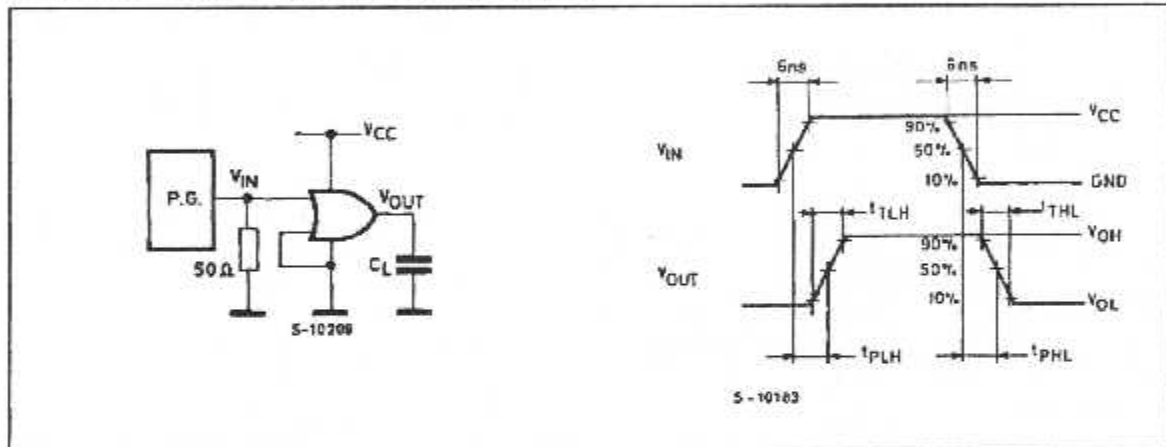
Symbol	Parameter	Test Conditions		Value						Unit	
				T <sub>A</sub> = 25 °C 54HC and 74HC			-40 to 85 °C 74HC		-55 to 125 °C 54HC		
				Min.	Typ.	Max.	Min.	Max.	Min.		Max.
V <sub>IH</sub>	High Level Input Voltage	V <sub>CC</sub> (V)		1.5			1.5		1.5	V	
				4.5			3.15		3.15		
				6.0			4.2		4.2		
V <sub>IL</sub>	Low Level Input Voltage	V <sub>CC</sub> (V)				0.5		0.5	0.5	V	
						1.35		1.35	1.35		
						1.8		1.8	1.8		
V <sub>OH</sub>	High Level Output Voltage	V <sub>CC</sub> (V)	V <sub>I</sub> = V <sub>IH</sub> or V <sub>IL</sub>	I <sub>O</sub> = -20 μA	1.9	2.0		1.9		1.9	V
					4.4	4.5		4.4		4.4	
					5.9	6.0		5.9		5.9	
					4.18	4.31		4.13		4.10	
					5.68	5.8		5.63		5.60	
V <sub>OL</sub>	Low Level Output Voltage	V <sub>CC</sub> (V)	V <sub>I</sub> = V <sub>IH</sub> or V <sub>IL</sub>	I <sub>O</sub> = 20 μA		0.0	0.1		0.1	0.1	V
						0.0	0.1		0.1	0.1	
						0.0	0.1		0.1	0.1	
						0.17	0.26		0.33	0.40	
						0.18	0.26		0.33	0.40	
I <sub>I</sub>	Input Leakage Current	6.0	V <sub>I</sub> = V <sub>CC</sub> or GND			±0.1		±1	±1	μA	
I <sub>CC</sub>	Quiescent Supply Current	6.0	V <sub>I</sub> = V <sub>CC</sub> or GND			1		10	20	μA	

AC ELECTRICAL CHARACTERISTICS (C<sub>L</sub> = 50 pF, Input t<sub>r</sub> = t<sub>f</sub> = 6 ns)

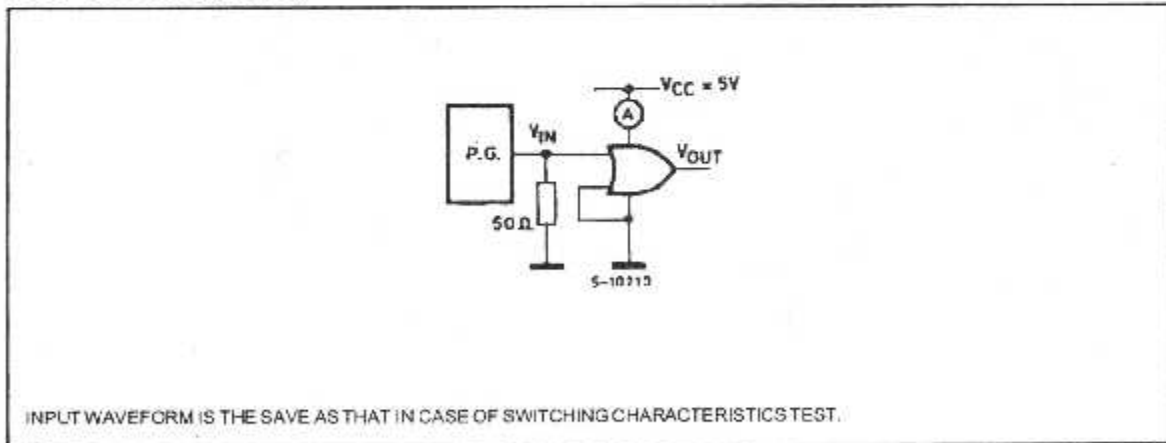
Symbol	Parameter	Test Conditions		Value						Unit	
		V <sub>CC</sub> (V)		T <sub>A</sub> = 25 °C 54HC and 74HC			-40 to 85 °C 74HC		-55 to 125 °C 54HC		
				Min.	Typ.	Max.	Min.	Max.	Min.		Max.
t <sub>TLH</sub> t <sub>TFL</sub>	Output Transition Time	2.0		30	75		95		110	ns	
		4.5		8	15		19		22		
		6.0		7	13		16		19		
t <sub>PLH</sub> t <sub>PHL</sub>	Propagation Delay Time	2.0		24	75		95		110	ns	
		4.5		8	15		19		22		
		6.0		7	13		16		19		
C <sub>IN</sub>	Input Capacitance			5	10		10		10	pF	
C <sub>PD</sub> (*)	Power Dissipation Capacitance			21						pF	

(\*) C<sub>PD</sub> is defined as the value of the IC's internal equivalent capacitance which is calculated from the operating current consumption without load (Refer to Test Circuit). Average operating current can be obtained by the following equation: I<sub>CC(opr)</sub> = C<sub>PD</sub> • V<sub>CC</sub> • f<sub>IN</sub> + I<sub>CC(4)</sub> (per Gate)

SWITCHING CHARACTERISTICS TEST CIRCUIT



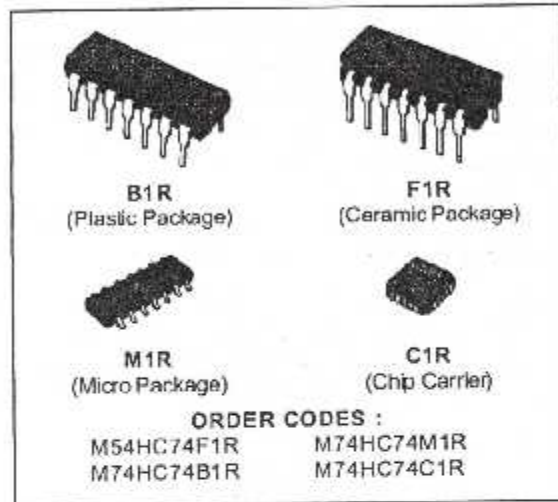
TEST CIRCUIT I<sub>CC</sub> (Opr.)





**DUAL D TYPE FLIP FLOP WITH PRESET AND CLEAR**

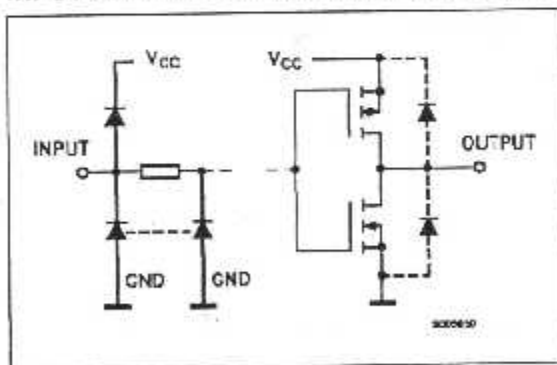
- HIGH SPEED  
 $f_{MAX} = 71 \text{ MHz (TYP.) AT } V_{CC} = 5 \text{ V}$
- LOW POWER DISSIPATION  
 $I_{CC} = 2 \mu\text{A (MAX.) AT } T_A = 25^\circ\text{C}$
- HIGH NOISE IMMUNITY  
 $V_{NIH} = V_{NIL} = 28\% V_{CC} \text{ (MIN.)}$
- OUTPUT DRIVE CAPABILITY  
10 LSTTL LOADS
- SYMMETRICAL OUTPUT IMPEDANCE  
 $|I_{OH}| = |I_{OL}| = 4 \text{ mA (MIN.)}$
- BALANCED PROPAGATION DELAYS  
 $t_{PLH} = t_{PHL}$
- WIDE OPERATING VOLTAGE RANGE  
 $V_{CC} \text{ (OPR)} = 2 \text{ V TO } 6 \text{ V}$
- PIN AND FUNCTION COMPATIBLE WITH 54/74LS74



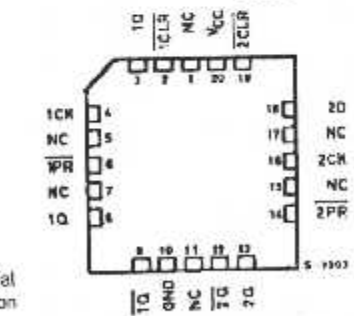
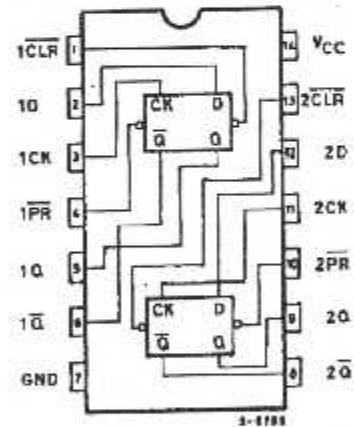
**DESCRIPTION**

The M54/74HC74 is a high speed CMOS DUAL D TYPE FLOP WITH PRESET AND CLEAR fabricated in silicon gate C<sup>2</sup>MOS technology. It has the same high speed performance of LSTTL combined with true CMOS low power consumption. A signal on the D INPUT is transferred to the Q OUTPUT during the positive going transition of the clock pulse. CLEAR and PRESET are independent of the clock and accomplished by a low on the appropriate input. All inputs are equipped with protection circuits against static discharge and transient excess voltage.

**INPUT AND OUTPUT EQUIVALENT CIRCUIT**



**PIN CONNECTIONS (top view)**





# M54/M74HC74

## TRUTH TABLE

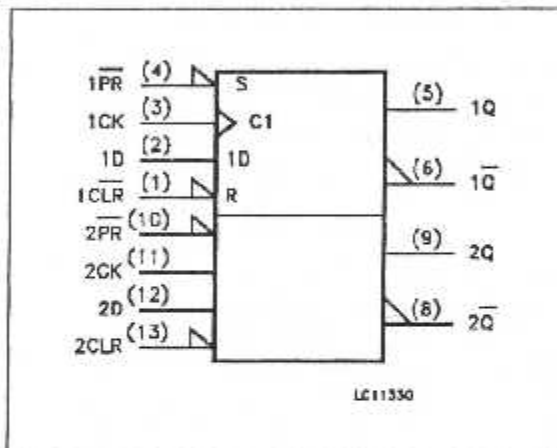
INPUTS				OUTPUTS		FUNCTION
CLR	PR	D	CK	Q	$\bar{Q}$	
L	H	X	X	L	H	CLEAR
H	L	X	X	H	L	PRESET
L	L	X	X	H	H	
H	H	L	$\downarrow$	L	H	
H	H	H	$\downarrow$	H	L	
H	H	X	$\downarrow$	$Q_n$	$\bar{Q}_n$	NO CHANGE

X: Don't Care

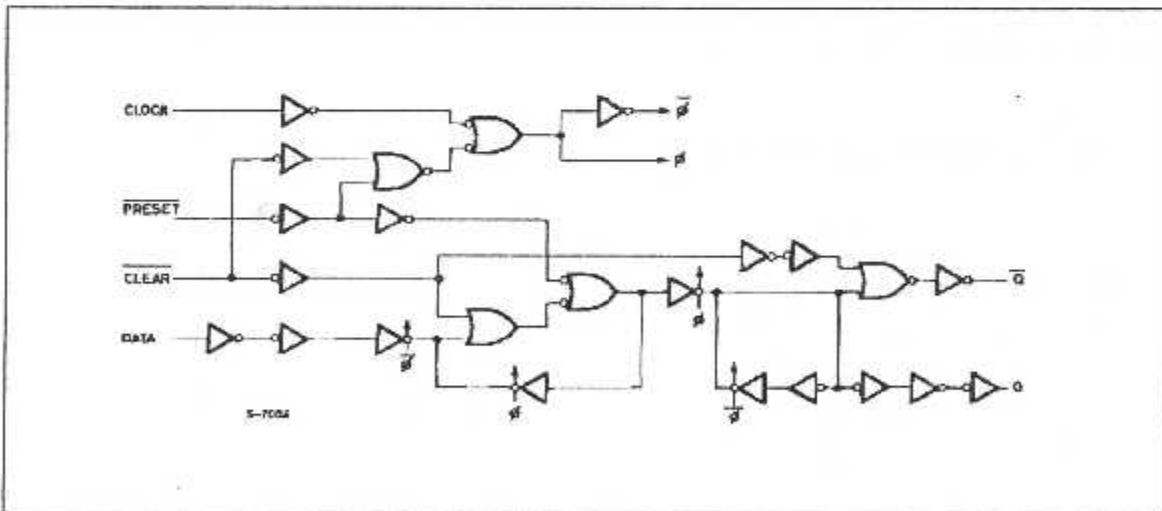
## PIN DESCRIPTION

PIN No	SYMBOL	NAME AND FUNCTION
1, 13	1CLR, 2CLR	Asynchronous Reset - Direct Input
2, 12	1D, 2D	Data Inputs
3, 11	1CK, 2CK	Clock Input (LOW-to-HIGH, Edge-Triggered)
4, 10	1PR, 2PR	Asynchronous Set - Direct Input
5, 9	1Q, 2Q	True Flip-Flop Output
6, 8	1 $\bar{Q}$ , 2 $\bar{Q}$	Complement Flip-Flop Outputs
7	GND	Ground (0V)
14	V <sub>CC</sub>	Positive Supply Voltage

## IEC LOGIC SYMBOL



## LOGIC DIAGRAM



## ABSOLUTE MAXIMUM RATINGS

Symbol	Parameter	Value	Unit
V <sub>CC</sub>	Supply Voltage	-0.5 to +7	V
V <sub>I</sub>	DC Input Voltage	-0.5 to V <sub>CC</sub> + 0.5	V
V <sub>O</sub>	DC Output Voltage	-0.5 to V <sub>CC</sub> + 0.5	V
I <sub>IK</sub>	DC Input Diode Current	± 20	mA
I <sub>OK</sub>	DC Output Diode Current	± 20	mA
I <sub>O</sub>	DC Output Source Sink Current Per Output Pin	± 25	mA
I <sub>CC</sub> or I <sub>GND</sub>	DC V <sub>CC</sub> or Ground Current	± 50	mA
P <sub>D</sub>	Power Dissipation	500 (*)	mW
T <sub>stg</sub>	Storage Temperature	-65 to +150	°C
T <sub>L</sub>	Lead Temperature (10 sec)	300	°C

Absolute Maximum Ratings are those values beyond which damage to the device may occur. Functional operation under these condition is not implied.  
 (\*) 500 mW: = 65 °C derate to 300 mW by 10mW/°C: 65 °C to 85 °C

## RECOMMENDED OPERATING CONDITIONS

Symbol	Parameter	Value	Unit	
V <sub>CC</sub>	Supply Voltage	2 to 6	V	
V <sub>I</sub>	Input Voltage	0 to V <sub>CC</sub>	V	
V <sub>O</sub>	Output Voltage	0 to V <sub>CC</sub>	V	
T <sub>op</sub>	Operating Temperature: M54HC Series M74HC Series	-55 to +125 -40 to +85	°C °C	
t <sub>r</sub> , t <sub>f</sub>	Input Rise and Fall Time	V <sub>CC</sub> = 2 V V <sub>CC</sub> = 4.5 V V <sub>CC</sub> = 6 V	0 to 1000 0 to 500 0 to 400	ns

## DC SPECIFICATIONS

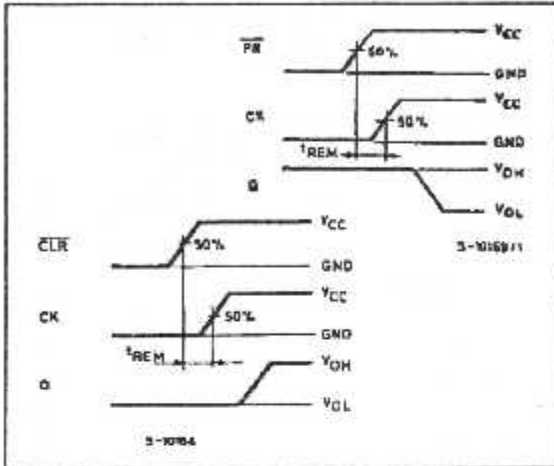
Symbol	Parameter	Test Conditions		Value						Unit		
		V <sub>CC</sub> (V)		T <sub>A</sub> = 25 °C 54HC and 74HC			-40 to 85 °C 74HC		-55 to 125 °C 54HC			
				Min.	Typ.	Max.	Min.	Max.	Min.		Max.	
V <sub>IH</sub>	High Level Input Voltage	2.0		1.5			1.5		1.5		V	
		4.5		3.15			3.15		3.15			
		6.0		4.2			4.2		4.2			
V <sub>IL</sub>	Low Level Input Voltage	2.0				0.5		0.5		0.5	V	
		4.5				1.35		1.35		1.35		
		6.0				1.8		1.8		1.8		
V <sub>OH</sub>	High Level Output Voltage	2.0	V <sub>I</sub> = V <sub>IH</sub> or V <sub>IL</sub>	I <sub>O</sub> = -20 μA	1.9	2.0		1.9		1.9	V	
		4.5			4.4	4.5		4.4		4.4		
		6.0			5.9	6.0		5.9		5.9		
		4.5	I <sub>O</sub> = -4.0 mA	4.18	4.31		4.13		4.10			
		6.0		I <sub>O</sub> = -5.2 mA	5.68	5.8		5.63		5.60		
V <sub>OL</sub>	Low Level Output Voltage	2.0	V <sub>I</sub> = V <sub>IH</sub> or V <sub>IL</sub>	I <sub>O</sub> = 20 μA		0.0	0.1		0.1		0.1	V
		4.5				0.0	0.1		0.1		0.1	
		6.0				0.0	0.1		0.1		0.1	
		4.5	I <sub>O</sub> = 4.0 mA	0.17	0.26		0.33		0.40			
		6.0		I <sub>O</sub> = 5.2 mA	0.18	0.26		0.33		0.40		
I <sub>I</sub>	Input Leakage Current	6.0	V <sub>I</sub> = V <sub>CC</sub> or GND			±0.1		±1		±1	μA	
I <sub>CC</sub>	Quiescent Supply Current	6.0	V <sub>I</sub> = V <sub>CC</sub> or GND			2		20		40	μA	

AC ELECTRICAL CHARACTERISTICS ( $C_L = 50$  pF, Input  $t_r = t_f = 6$  ns)

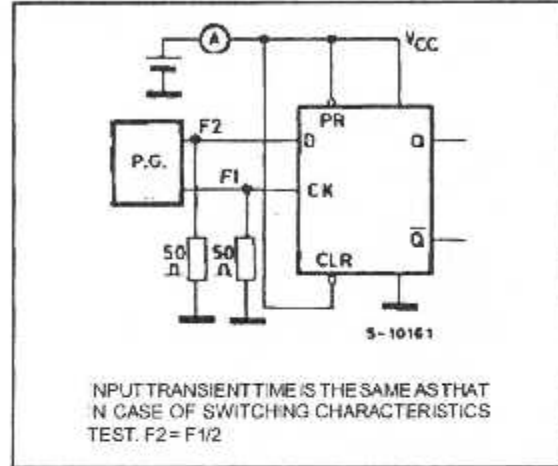
Symbol	Parameter	Test Conditions		Value						Unit	
		V <sub>CC</sub> (V)		T <sub>A</sub> = 25 °C 54HC and 74HC			-40 to 85 °C 74HC		-55 to 125 °C 54HC		
				Min.	Typ.	Max.	Min.	Max.	Min.		Max.
t <sub>TLH</sub> t <sub>THL</sub>	Output Transition Time	2.0			30	75		95		110	ns
		4.5			8	15		19		22	
		6.0			7	13		16		19	
t <sub>PLH</sub> t <sub>PHL</sub>	Propagation Delay Time (CLOCK - Q)	2.0			48	150		190		225	ns
		4.5			16	30		38		45	
		6.0			13	26		32		38	
t <sub>PLH</sub> t <sub>PHL</sub>	Propagation Delay Time (CL, PR - Q)	2.0			51	150		190		225	ns
		4.5			17	30		38		45	
		6.0			15	26		32		38	
f <sub>MAX</sub>	Maximum Clock Frequency	2.0		6.2	21		5		4.2		MHz
		4.5		31	63		25		21		
		6.0		37	67		30		25		
t <sub>W(H)</sub> t <sub>W(L)</sub>	Minimum Pulse Width (CLOCK)	2.0			18	75		95		110	ns
		4.5			6	15		19		22	
		6.0			6	13		16		19	
t <sub>W(L)</sub>	Minimum Pulse Width (CL, PR)	2.0			21	75		95		110	ns
		4.5			7	15		19		22	
		6.0			6	13		16		19	
t <sub>s</sub>	Minimum Set-up Time	2.0			15	75		95		110	ns
		4.5			4	15		19		22	
		6.0			3	13		16		19	
t <sub>h</sub>	Minimum Hold Time	2.0				0		0		0	ns
		4.5				0		0		0	
		6.0				0		0		0	
t <sub>REM</sub>	Minimum Removal Time (CL, PR)	2.0			0	25		30		35	ns
		4.5			0	5		6		7	
		6.0			0	4		5		6	
C <sub>IN</sub>	Input Capacitance				5	10		10		10	pF
C <sub>PD</sub> (*)	Power Dissipation Capacitance				34						pF

(\*) C<sub>PD</sub> is defined as the value of the IC's internal equivalent capacitance which is calculated from the operating current consumption without load (Refer to Test Circuit). Average operating current can be obtained by the following equation:  $I_{cc(opr)} = C_{PD} \cdot V_{CC} \cdot f_{IN} + I_{cc2}$  (per FLIP/FLOP)

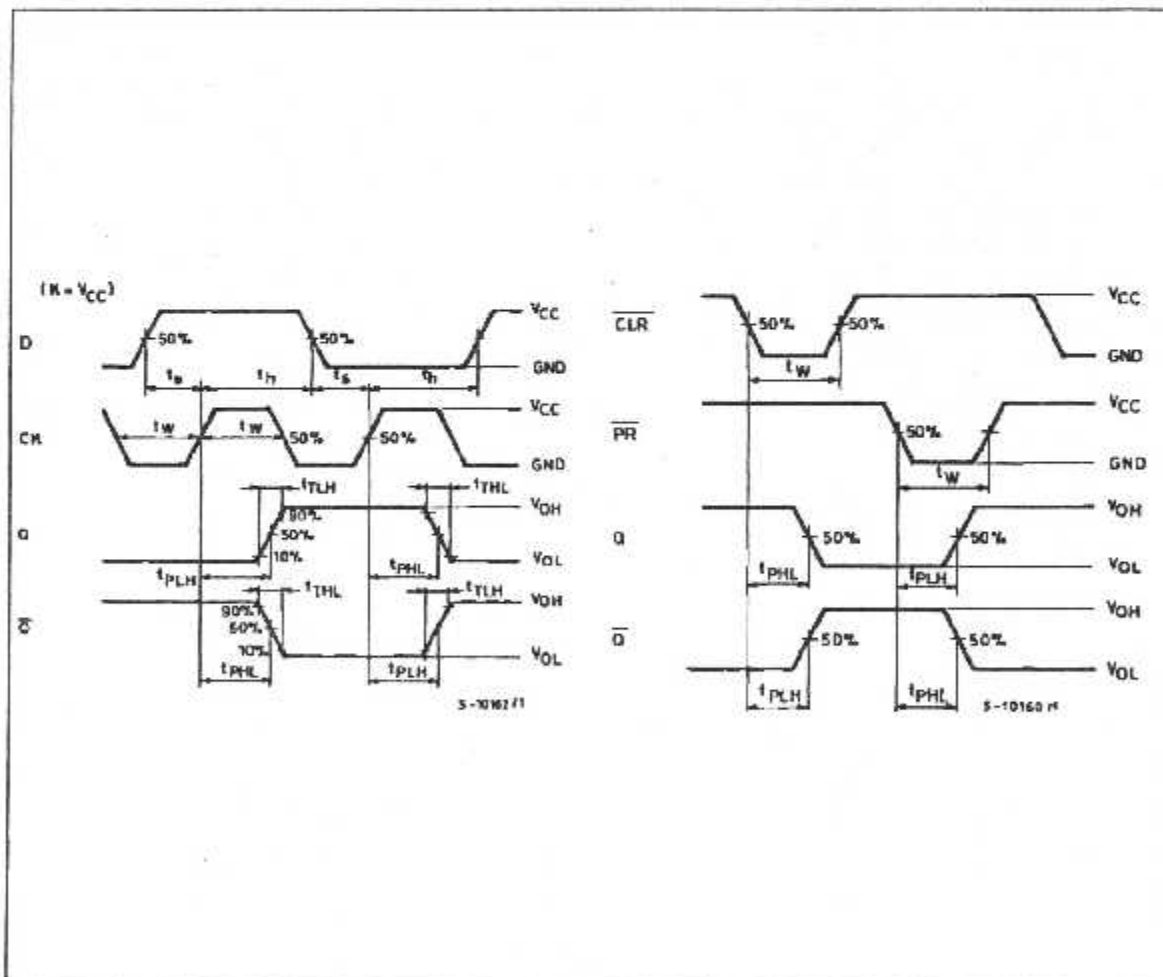
SWITCHING CHARACTERISTICS TEST WAVEFORM



TEST CIRCUIT  $I_{CC}$  (Opr.)



SWITCHING CHARACTERISTICS TEST WAVEFORM ( $K = V_{CC}$ )



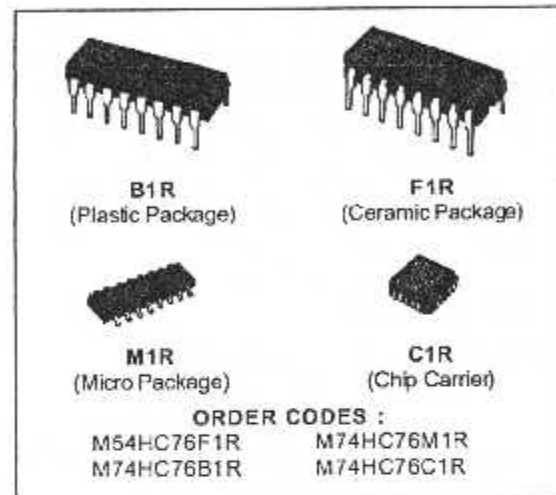
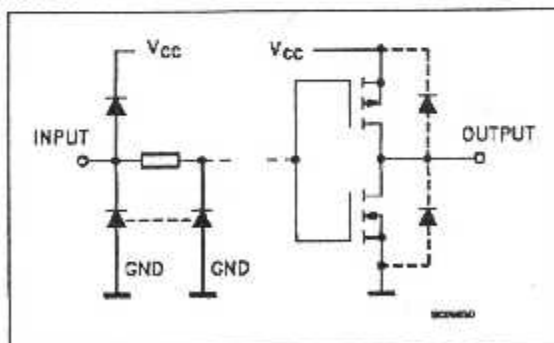
## DUAL J-K FLIP FLOP WITH PRESET AND CLEAR

- HIGH SPEED  
 $f_{MAX} = 65 \text{ MHz (TYP.) AT } V_{CC} = 5 \text{ V}$
- LOW POWER DISSIPATION  
 $I_{CC} = 2 \mu\text{A (MAX.) AT } 25 \text{ }^\circ\text{C}$
- OUTPUT DRIVE CAPABILITY  
 10 LSTTL LOADS
- SYMMETRICAL OUTPUT IMPEDANCE  
 $|I_{OH}| = |I_{OL}| = 4 \text{ mA (MIN.)}$
- BALANCED PROPAGATION DELAYS  
 $t_{PLH} = t_{PHL}$
- HIGH NOISE IMMUNITY  
 $V_{NIH} = V_{NIL} = 28 \% V_{CC} \text{ (MIN.)}$
- WIDE OPERATING VOLTAGE RANGE  
 $V_{CC} \text{ (OPR)} = 2 \text{ V TO } 6 \text{ V}$
- PIN AND FUNCTION COMPATIBLE WITH  
 54/74LS76

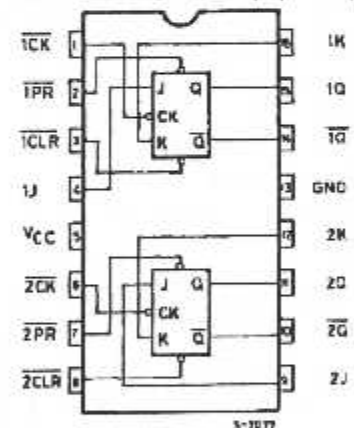
### DESCRIPTION

The M54/74HC76 is a high speed CMOS DUAL J-K FLIP FLOP fabricated in silicon gate C<sup>2</sup>MOS technology. It has the same high speed performance of LSTTL combined with true CMOS low power consumption. Depending on with the logic level at the J and K inputs this device changes state on the negative going transition of the clock pulse. CLEAR and PRESET are independent of the clock and are accomplished by a logic low on the corresponding input. All inputs are equipped with protection circuits against static discharge and transient excess voltage.

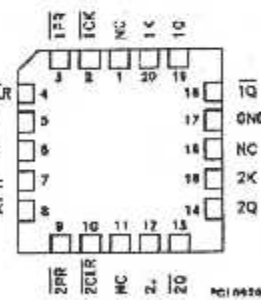
### INPUT AND OUTPUT EQUIVALENT CIRCUIT



### PIN CONNECTIONS (top view)



NC =  
 No Internal  
 Connection



M54/M74HC76

TRUTH TABLE

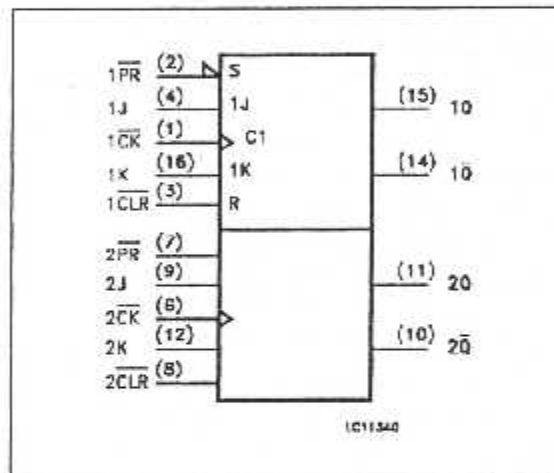
INPUTS					OUTPUTS		FUNCTION
CLR	PR	J	K	CK	Q	$\bar{Q}$	
L	H	X	X	X	L	H	CLEAR
H	L	X	X	X	H	L	PRESET
L	L	X	X	X	H	H	
H	H	L	L	$\downarrow$	$Q_n$	$\bar{Q}_n$	NO CHANGE
H	H	L	H	$\downarrow$	L	H	
H	H	H	L	$\downarrow$	H	L	
H	H	H	H	$\downarrow$	$\bar{Q}_n$	$Q_n$	TOGGLE
H	H	X	X	$\downarrow$	$Q_n$	$\bar{Q}_n$	NO CHANGE

X: Don't Care

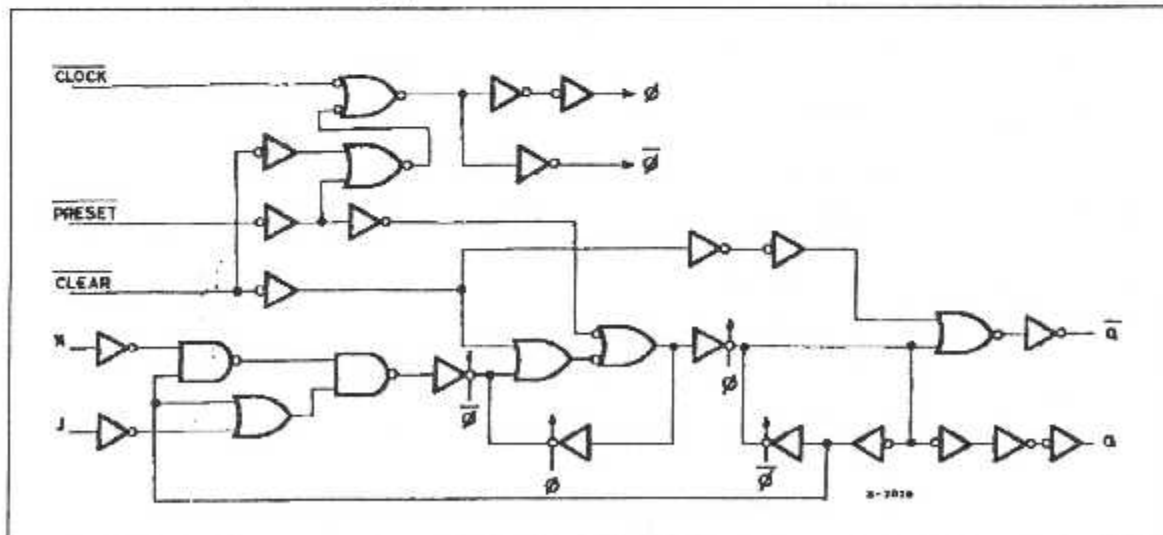
PIN DESCRIPTION

PIN No	SYMBOL	NAME AND FUNCTION
1, 6	1CK, 2CK	Clock Input (HIGH to LOW edge triggered)
2, 7	1PR, 2PR	Set Inputs (Active LOW)
3, 8	1CLR, 2CLR	Asynchronous Reset Inputs (Active LOW)
4, 9	1J, 2J	Data Inputs: Flip-Flop 1 and 2
10, 14	1Q, 2Q	Complement Flip-Flop Outputs
11, 15	1Q, 2Q	True Flip-Flop Outputs
16, 12	1K, 2K	Data Inputs: Flip-Flop 1 and 2
5	GND	Ground (0V)
13	V <sub>CC</sub>	Positive Supply Voltage

IEC LOGIC SYMBOL



LOGIC DIAGRAM (1/2 Package)



## ABSOLUTE MAXIMUM RATINGS

Symbol	Parameter	Value	Unit
V <sub>CC</sub>	Supply Voltage	-0.5 to +7	V
V <sub>I</sub>	DC Input Voltage	-0.5 to V <sub>CC</sub> + 0.5	V
V <sub>O</sub>	DC Output Voltage	-0.5 to V <sub>CC</sub> + 0.5	V
I <sub>IK</sub>	DC Input Diode Current	± 20	mA
I <sub>OK</sub>	DC Output Diode Current	± 20	mA
I <sub>O</sub>	DC Output Source Sink Current Per Output Pin	± 25	mA
I <sub>CC</sub> or I <sub>GND</sub>	DC V <sub>CC</sub> or Ground Current	± 50	mA
P <sub>D</sub>	Power Dissipation	500 (*)	mW
T <sub>stg</sub>	Storage Temperature	-65 to +150	°C
T <sub>L</sub>	Lead Temperature (10 sec)	300	°C

Absolute Maximum Ratings are those values beyond which damage to the device may occur. Functional operation under these condition is not implied.  
 (\*) 500 mW: ≥ 65 °C derate to 300 mW by 10mW/°C; 65 °C to 85 °C

## RECOMMENDED OPERATING CONDITIONS

Symbol	Parameter	Value	Unit	
V <sub>CC</sub>	Supply Voltage	2 to 6	V	
V <sub>I</sub>	Input Voltage	0 to V <sub>CC</sub>	V	
V <sub>O</sub>	Output Voltage	0 to V <sub>CC</sub>	V	
T <sub>OP</sub>	Operating Temperature: M54HC Series M74HC Series	-55 to +125 -40 to +85	°C °C	
t <sub>r</sub> , t <sub>f</sub>	Input Rise and Fall Time	V <sub>CC</sub> = 2 V V <sub>CC</sub> = 4.5 V V <sub>CC</sub> = 6 V	0 to 1000 0 to 500 0 to 400	ns



**M54/M74HC76**

**DC SPECIFICATIONS**

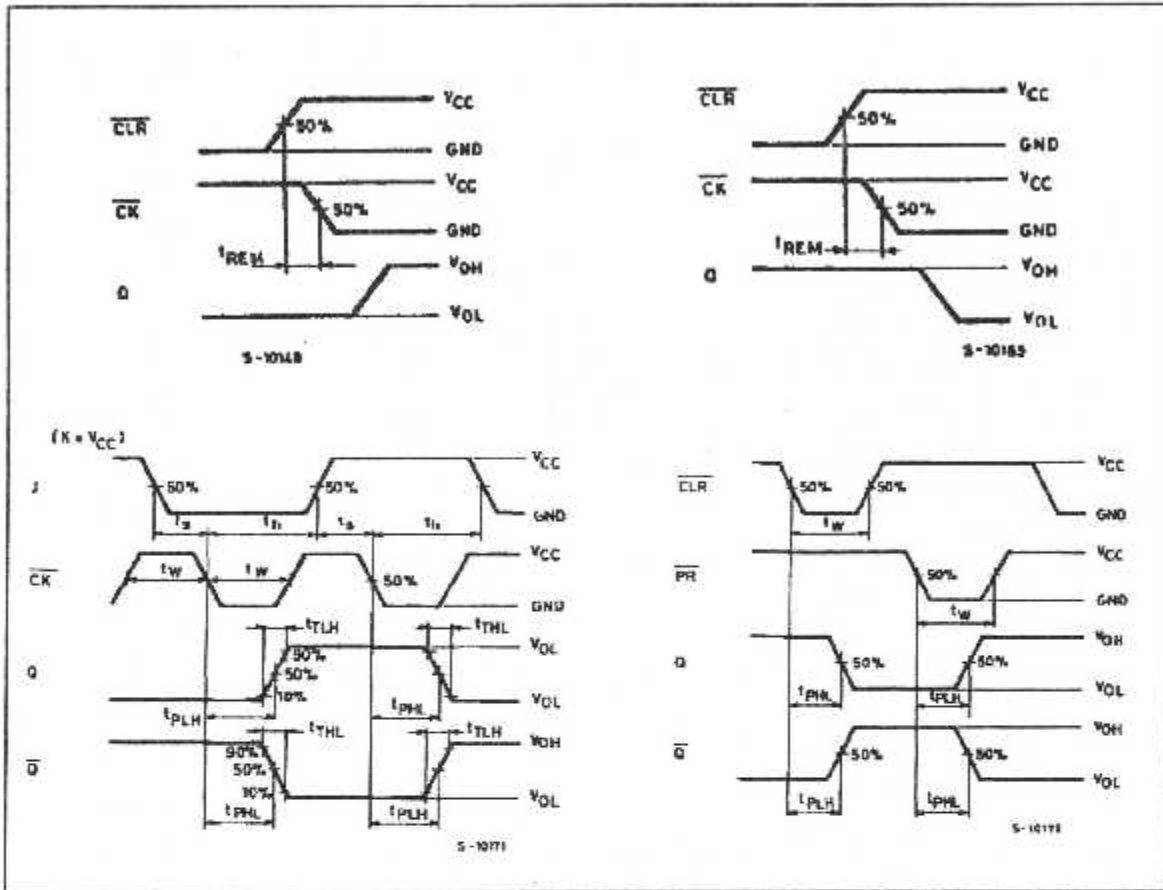
Symbol	Parameter	Test Conditions		Value						Unit		
		V <sub>CC</sub> (V)		T <sub>A</sub> = 25 °C 54HC and 74HC			-40 to 85 °C 74HC		-55 to 125 °C 54HC			
				Min.	Typ.	Max.	Min.	Max.	Min.		Max.	
V <sub>IH</sub>	High Level Input Voltage	2.0		1.5			1.5		1.5	V		
		4.5		3.15			3.15		3.15			
		6.0		4.2			4.2		4.2			
V <sub>IL</sub>	Low Level Input Voltage	2.0				0.5		0.5		V		
		4.5				1.35		1.35				
		6.0				1.8		1.8				
V <sub>OH</sub>	High Level Output Voltage	2.0	V <sub>I</sub> = V <sub>IH</sub> or V <sub>IL</sub>	I <sub>O</sub> = -20 μA	1.9	2.0		1.9		1.9	V	
		4.5			4.4	4.5		4.4		4.4		
		6.0			5.9	6.0		5.9		5.9		
		4.5	I <sub>O</sub> = -4.0 mA	4.18	4.31		4.13		4.10			
		6.0		I <sub>O</sub> = -5.2 mA	5.68	5.8		5.63		5.60		
V <sub>OL</sub>	Low Level Output Voltage	2.0	V <sub>I</sub> = V <sub>IH</sub> or V <sub>IL</sub>	I <sub>O</sub> = 20 μA		0.0	0.1		0.1		V	
		4.5				0.0	0.1		0.1			0.1
		6.0				0.0	0.1		0.1			0.1
		4.5	I <sub>O</sub> = 4.0 mA	0.17	0.26		0.33		0.40			
		6.0		I <sub>O</sub> = 5.2 mA	0.18	0.26		0.33		0.40		
I <sub>I</sub>	Input Leakage Current	6.0	V <sub>I</sub> = V <sub>CC</sub> or GND			±0.1		±1		±1	μA	
I <sub>CC</sub>	Quiescent Supply Current	6.0	V <sub>I</sub> = V <sub>CC</sub> or GND			2		20		40	μA	

AC ELECTRICAL CHARACTERISTICS ( $C_L = 50$  pF, Input  $t_r = t_f = 6$  ns)

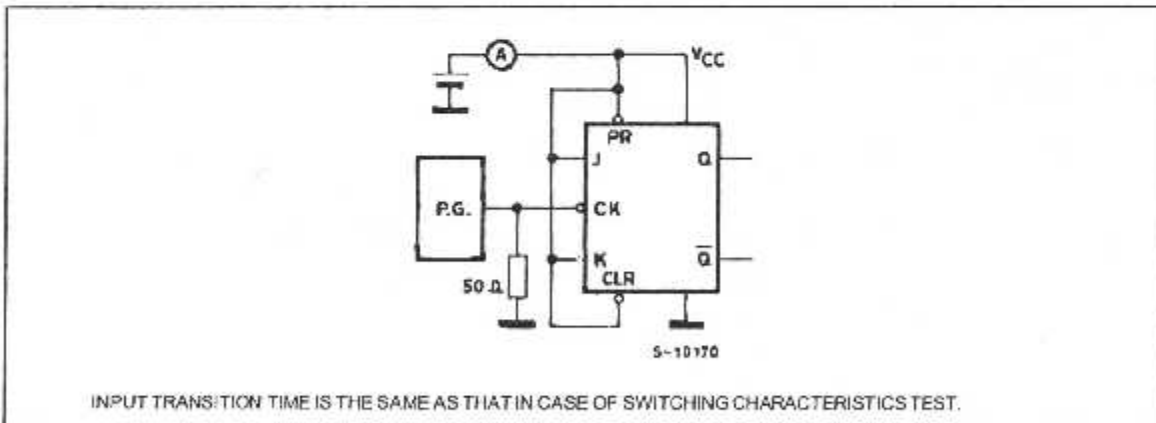
Symbol	Parameter	Test Conditions		Value						Unit	
		V <sub>CC</sub> (V)		T <sub>A</sub> = 25 °C 54HC and 74HC			-40 to 85 °C 74HC		-55 to 125 °C 54HC		
				Min.	Typ.	Max.	Min.	Max.	Min.		Max.
t <sub>TLH</sub> t <sub>THL</sub>	Output Transition Time	2.0		30	75		95		110	ns	
		4.5		8	15		19		22		
		6.0		7	13		16		19		
t <sub>PLH</sub> t <sub>PHL</sub>	Propagation Delay Time (CK - Q, $\bar{Q}$ )	2.0		60	125		155		190	ns	
		4.5		15	25		31		36		
		6.0		13	21		26		32		
t <sub>PLH</sub> t <sub>PHL</sub>	Propagation Delay Time (CLR, PR - Q, $\bar{Q}$ )	2.0		76	140		175		210	ns	
		4.5		18	28		35		42		
		6.0		16	24		30		36		
f <sub>MAX</sub>	Maximum Clock Frequency	2.0		6.2	21		5.0		4.2	MHz	
		4.5		31	63		25		21		
		6.0		37	67		30		25		
t <sub>WH</sub> t <sub>WL</sub>	Minimum Pulse Width (CLOCK)	2.0		18	75		95		110	ns	
		4.5		6	15		19		22		
		6.0		6	13		16		19		
t <sub>WL</sub>	Minimum Pulse Width (CLR, PR)	2.0		22	75		95		110	ns	
		4.5		6	15		19		22		
		6.0		6	13		16		19		
t <sub>s</sub>	Minimum Set-up Time	2.0		25	75		95		110	ns	
		4.5		7	15		19		22		
		6.0		6	13		16		19		
t <sub>h</sub>	Minimum Hold Time	2.0			0		0		0	ns	
		4.5			0		0		0		
		6.0			0		0		0		
t <sub>REM</sub>	Minimum Removal Time (CLR, PR)	2.0		20	75		95		110	ns	
		4.5		6	15		19		22		
		6.0		5	13		16		19		
C <sub>IN</sub>	Input Capacitance			5	10		10		10	pF	
C <sub>PD</sub> (*)	Power Dissipation Capacitance			38						pF	

(\*) C<sub>PD</sub> is defined as the value of the IC's internal equivalent capacitance which is calculated from the operating current consumption without load (Refer to Test Circuit). Average operating current can be obtained by the following equation:  $I_{cd(ave)} = C_{PD} \cdot V_{CC} \cdot f_{IN} + I_{cd}/2$  (per FLIP/FLOP)

SWITCHING CHARACTERISTICS TEST WAVEFORM



TEST CIRCUIT  $I_{cc}$  (Opr.)



## 10 TO 4 LINE PRIORITY ENCODER

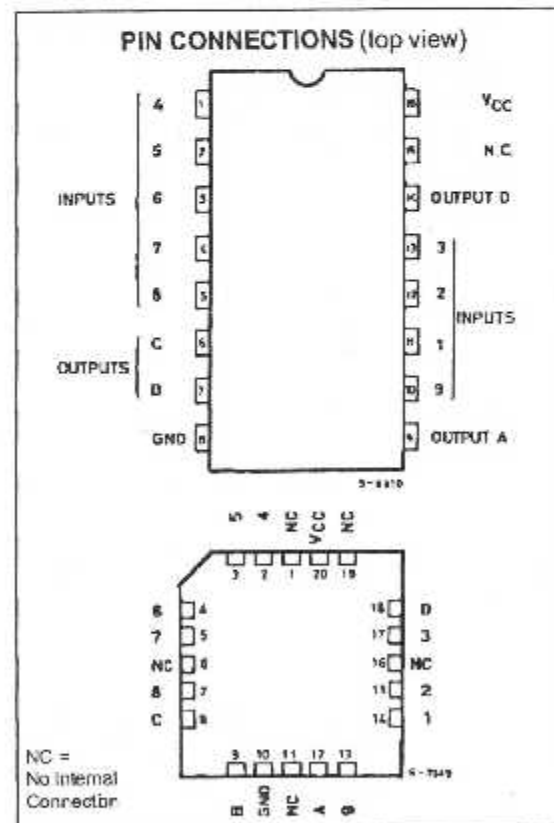
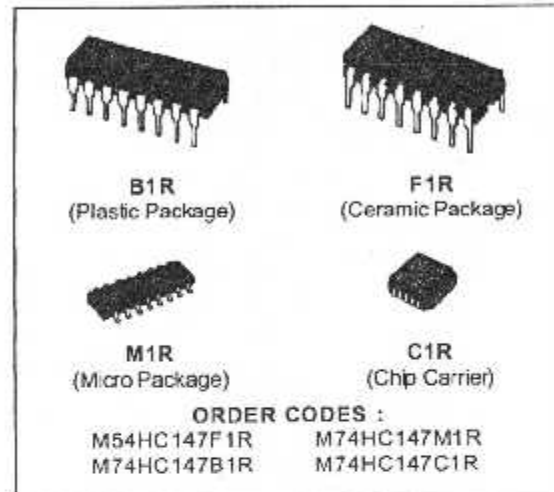
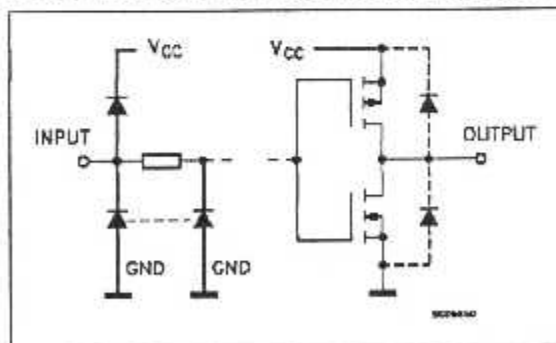
- HIGH SPEED  
 $t_{PD} = 15 \text{ ns (TYP.)}$  at  $V_{CC} = 5 \text{ V}$
- LOW POWER DISSIPATION  
 $I_{CC} = 4 \mu\text{A (MAX.)}$  at  $T_A = 25 \text{ }^\circ\text{C}$
- HIGH NOISE IMMUNITY  
 $V_{NIH} = V_{NIL} = 28 \% V_{CC} \text{ (MIN.)}$
- OUTPUT DRIVE CAPABILITY  
 10 LSTTL LOADS
- SYMMETRICAL OUTPUT IMPEDANCE  
 $|I_{OH}| = I_{OL} = 4 \text{ mA (MIN.)}$
- BALANCED PROPAGATION DELAYS  
 $t_{PLH} = t_{PHL}$
- WIDE OPERATING VOLTAGE RANGE  
 $V_{CC} \text{ (OPR)} = 2 \text{ V to } 6 \text{ V}$
- PIN AND FUNCTION COMPATIBLE  
 WITH 54/74LS147

### DESCRIPTION

The M54/74HC147 is a high speed CMOS 10 TO 4 LINE PRIORITY ENCODER fabricated in silicon gate CMOS technology. It has the same high speed performance of LSTTL combined with true CMOS low power consumption.

This device features priority encoding of the inputs to ensure that only the highest order data line is encoded. Nine input lines are encoded to a four line BCD output. The implied decimal zero condition requires no input condition as zero is encoded when all nine data lines are at high logic level. All data input and outputs are active at the low logic level. All inputs are equipped with protection circuits against static discharge and transient excess voltage.

### INPUT AND OUTPUT EQUIVALENT CIRCUIT



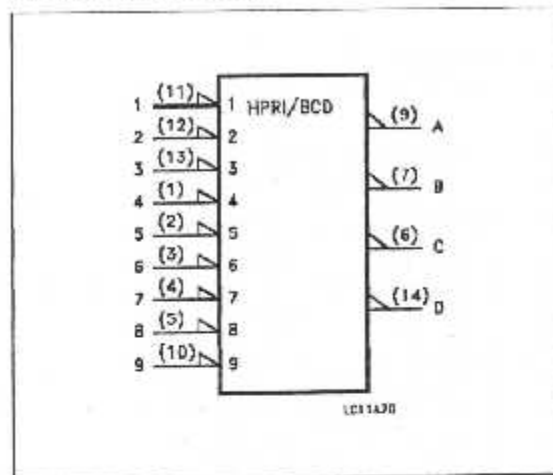
## DC SPECIFICATIONS

Symbol	Parameter	Test Conditions		Value						Unit			
				T <sub>A</sub> = 25 °C 54HC and 74HC			-40 to 85 °C 74HC		-55 to 125 °C 54HC				
				V <sub>CC</sub> (V)	Min.	Typ.	Max.	Min.	Max.		Min.	Max.	
V <sub>IH</sub>	High Level Input Voltage	2.0						1.5		1.5		V	
		4.5						3.15		3.15			
		6.0						4.2		4.2			
V <sub>IL</sub>	Low Level Input Voltage	2.0								0.5		V	
		4.5								1.35			
		6.0								1.8			
V <sub>OH</sub>	High Level Output Voltage	2.0	V <sub>I</sub> = V <sub>IH</sub> or V <sub>IL</sub>	I <sub>O</sub> = -20 μA	1.9	2.0			1.9		1.9		V
		4.5			4.4	4.5			4.4		4.4		
		6.0			5.9	6.0			5.9		5.9		
		4.5			4.18	4.31			4.13		4.10		
		6.0			5.68	5.8			5.63		5.60		
V <sub>OL</sub>	Low Level Output Voltage	2.0	V <sub>I</sub> = V <sub>IH</sub> or V <sub>IL</sub>	I <sub>O</sub> = 20 μA		0.0	0.1			0.1		0.1	V
		4.5				0.0	0.1			0.1		0.1	
		6.0				0.0	0.1			0.1		0.1	
		4.5				0.17	0.26			0.33		0.40	
		6.0				0.18	0.26			0.33		0.40	
I <sub>I</sub>	Input Leakage Current	6.0	V <sub>I</sub> = V <sub>CC</sub> or GND					±0.1		±1		±1	μA
I <sub>CC</sub>	Quiescent Supply Current	6.0	V <sub>I</sub> = V <sub>CC</sub> or GND					4		40		80	μA

## PIN DESCRIPTION

PIN No	SYMBOL	NAME AND FUNCTION
9, 7, 6, 14	A to D	BCD Address Outputs (Active LOW)
11, 12, 13, 1, 2, 3, 4, 5, 10	1 to 9	Decimal Data Inputs (Active LOW)
15	NC	Not Connected
8	GND	Ground (0V)
16	V <sub>CC</sub>	Positive Supply Voltage

## IEC LOGIC SYMBOL



## ABSOLUTE MAXIMUM RATINGS

Symbol	Parameter	Value	Unit
V <sub>CC</sub>	Supply Voltage	-0.5 to +7	V
V <sub>I</sub>	DC Input Voltage	-0.5 to V <sub>CC</sub> + 0.5	V
V <sub>O</sub>	DC Output Voltage	-0.5 to V <sub>CC</sub> + 0.5	V
I <sub>IK</sub>	DC Input Diode Current	± 20	mA
I <sub>OK</sub>	DC Output Diode Current	± 20	mA
I <sub>O</sub>	DC Output Source Sink Current Per Output Pin	± 25	mA
I <sub>CC</sub> or I <sub>GND</sub>	DC V <sub>CC</sub> or Ground Current	± 50	mA
P <sub>D</sub>	Power Dissipation	500 (*)	mW
T <sub>stg</sub>	Storage Temperature	-65 to +150	°C
T <sub>L</sub>	Lead Temperature (10 sec)	300	°C

Absolute Maximum Ratings are those values beyond which damage to the device may occur. Functional operation under these condition is not implied.  
 (\*) 500 mW: = 65 °C derate to 300 mW by 10mW/°C: 65 °C to 85 °C

## RECOMMENDED OPERATING CONDITIONS

Symbol	Parameter	Value	Unit
V <sub>CC</sub>	Supply Voltage	2 to 6	V
V <sub>I</sub>	Input Voltage	0 to V <sub>CC</sub>	V
V <sub>O</sub>	Output Voltage	0 to V <sub>CC</sub>	V
T <sub>op</sub>	Operating Temperature: M54HC Series	-55 to +125	°C
	M74HC Series	-40 to +85	°C
t <sub>r</sub> , t <sub>f</sub>	Input Rise and Fall Time	V <sub>CC</sub> = 2 V: 0 to 1000 V <sub>CC</sub> = 4.5 V: 0 to 500 V <sub>CC</sub> = 6 V: 0 to 400	ns

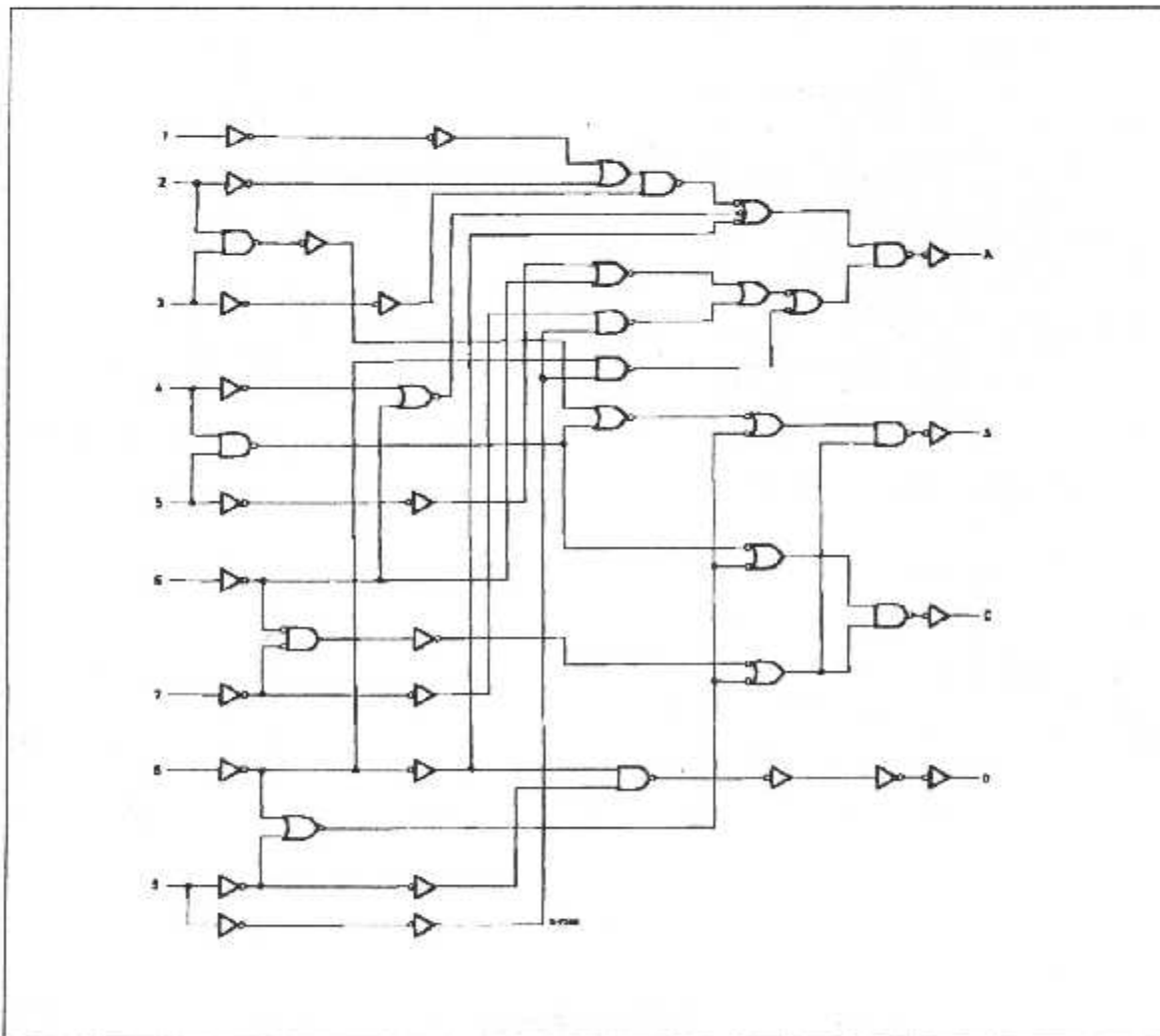
M54/M74HC147

TRUTH TABLE

INPUTS									OUTPUTS			
1	2	3	4	5	6	7	8	9	D	C	B	A
H	H	H	H	H	H	H	H	H	H	H	H	H
X	X	X	X	X	X	X	X	L	L	H	H	L
X	X	X	X	X	X	X	L	H	L	H	H	H
X	X	X	X	X	X	L	H	H	H	L	L	L
X	X	X	X	X	L	H	H	H	H	L	L	H
X	X	X	X	L	H	H	H	H	H	L	H	L
X	X	X	L	H	H	H	H	H	H	L	H	H
X	X	L	H	H	H	H	H	H	H	H	L	L
X	L	H	H	H	H	H	H	H	H	H	L	H
L	H	H	H	H	H	H	H	H	H	H	H	L

X: Don't Care

LOGIC DIAGRAM

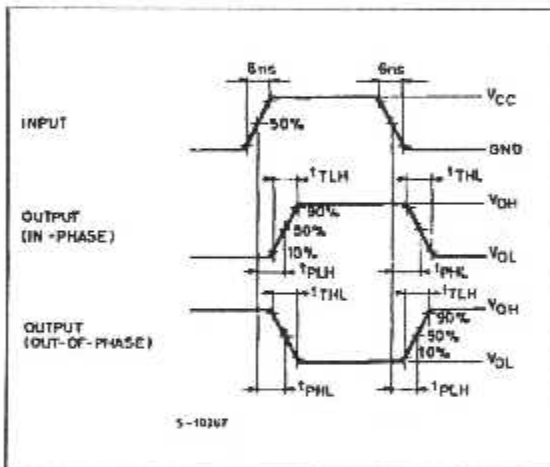


AC ELECTRICAL CHARACTERISTICS (C<sub>L</sub> = 50 pF, Input t<sub>r</sub> = t<sub>f</sub> = 6 ns)

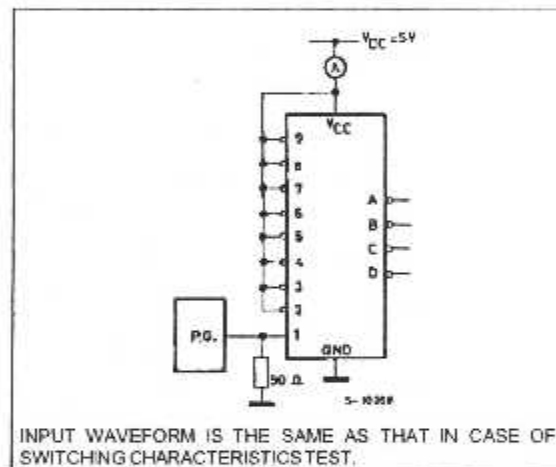
Symbol	Parameter	Test Conditions		Value						Unit	
		V <sub>CC</sub> (V)		T <sub>A</sub> = 25 °C 54HC and 74HC			-40 to 85 °C 74HC		-55 to 125 °C 54HC		
				Min.	Typ.	Max.	Min.	Max.	Min.		Max.
t <sub>TLH</sub> t <sub>DHL</sub>	Output Transition Time	2.0			30	75		95		110	ns
		4.5			8	15		19		22	
		6.0			7	13		16		19	
t <sub>PLH</sub> t <sub>PHL</sub>	Propagation Delay Time	2.0			60	125		190		225	ns
		4.5			18	30		38		45	
		6.0			15	26		32		38	
C <sub>IN</sub>	Input Capacitance			5	10		10		10	pF	
C <sub>PD</sub> (*)	Power Dissipation Capacitance			24						pF	

(\*) C<sub>PD</sub> is defined as the value of the IC's internal equivalent capacitance which is calculated from the operating current consumption without load (Refer to Test Circuit). Average operating current can be obtained by the following equation. I<sub>CC(OPR)</sub> = C<sub>PD</sub> • V<sub>CC</sub> • f<sub>IN</sub> + I<sub>CC</sub>

SWITCHING CHARACTERISTICS TEST CIRCUIT



TEST CIRCUIT I<sub>CC</sub> (Opr.)







## SYNCHRONOUS PRESETTABLE 4-BIT COUNTER

- HIGH SPEED  
 $f_{MAX} = 63 \text{ MHz (TYP.) AT } V_{CC} = 5 \text{ V}$
- LOW POWER DISSIPATION  
 $I_{CC} = 4 \mu\text{A (MAX.) AT } 25^\circ\text{C}$
- OUTPUT DRIVE CAPABILITY  
 10 LSTTL LOADS
- BALANCED PROPAGATION DELAYS  
 $t_{PLH} = t_{PHL}$
- HIGH NOISE IMMUNITY  
 $V_{NIH} = V_{NIL} = 28\% V_{CC} \text{ (MIN.)}$
- WIDE OPERATING VOLTAGE RANGE  
 $V_{CC} \text{ (OPR)} = 2 \text{ V TO } 6 \text{ V}$
- PIN AND FUNCTION COMPATIBLE  
 WITH 54/74LS160 ~ 163

### DESCRIPTION

M54/74HC160 Decade, Asynchronous Clear  
 M54/74HC161 Binary, Asynchronous Clear  
 M54/74HC162 Decade, Synchronous Clear  
 M54/74HC163 Binary, Synchronous Clear

The M54/74HC160, 161, 162 and 163 are high speed CMOS SYNCHRONOUS PRESETTABLE COUNTERS fabricated with silicon gate C<sup>2</sup>MOS technology.

They have the same the high speed operation similar to equivalent LSTTL while maintaining the CMOS low power dissipation.

The M54/74HC160/162 are BCD Decade counters and the M54/74HC161/163 are 4 bit binary counters.

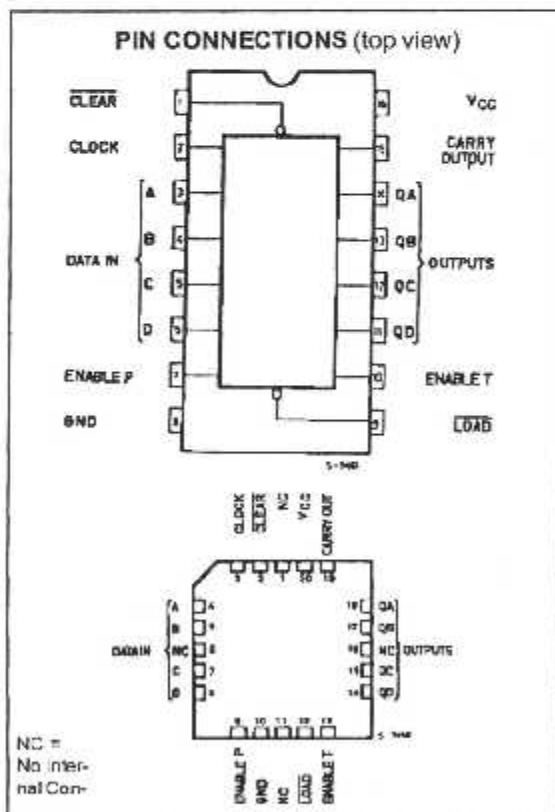
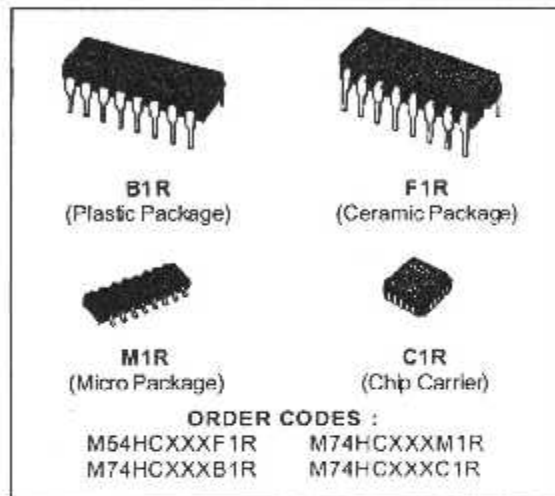
The CLOCK input is active on the rising edge. Both LOAD and CLEAR inputs are active Low.

Presetting of all four IC's is synchronous on the rising edge of the CLOCK.

The function on the M54/74HC162/163 is synchronous to CLOCK, while the M54/74HC160/161 counters are cleared asynchronously.

Two enable inputs (TE and PE) and CARRY output are provided to enable easy cascading of counters, which facilitates easy implementation of N-bit counters without using external gates.

All inputs are equipped with protection circuits against static discharge and transient excess voltage.

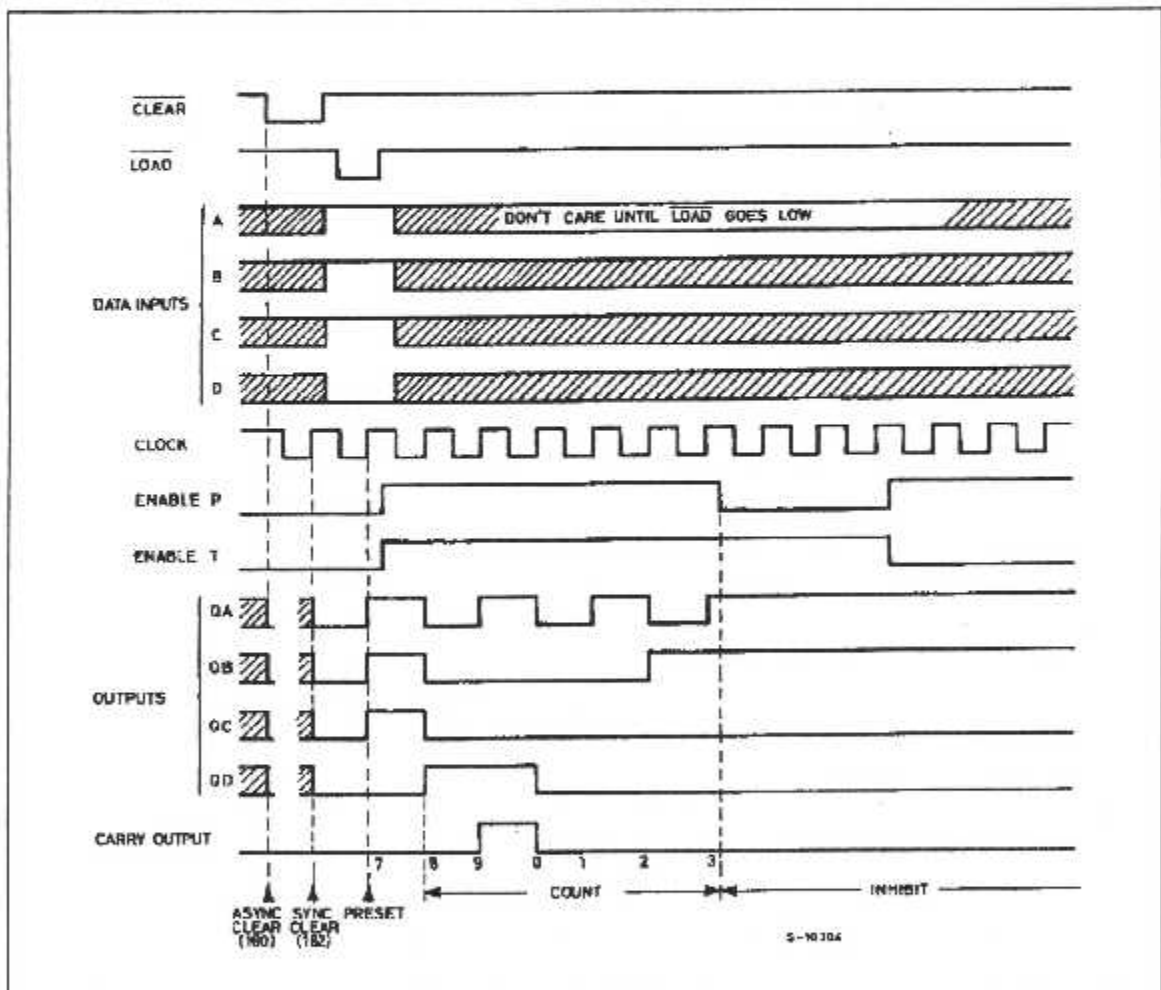


TRUTH TABLE

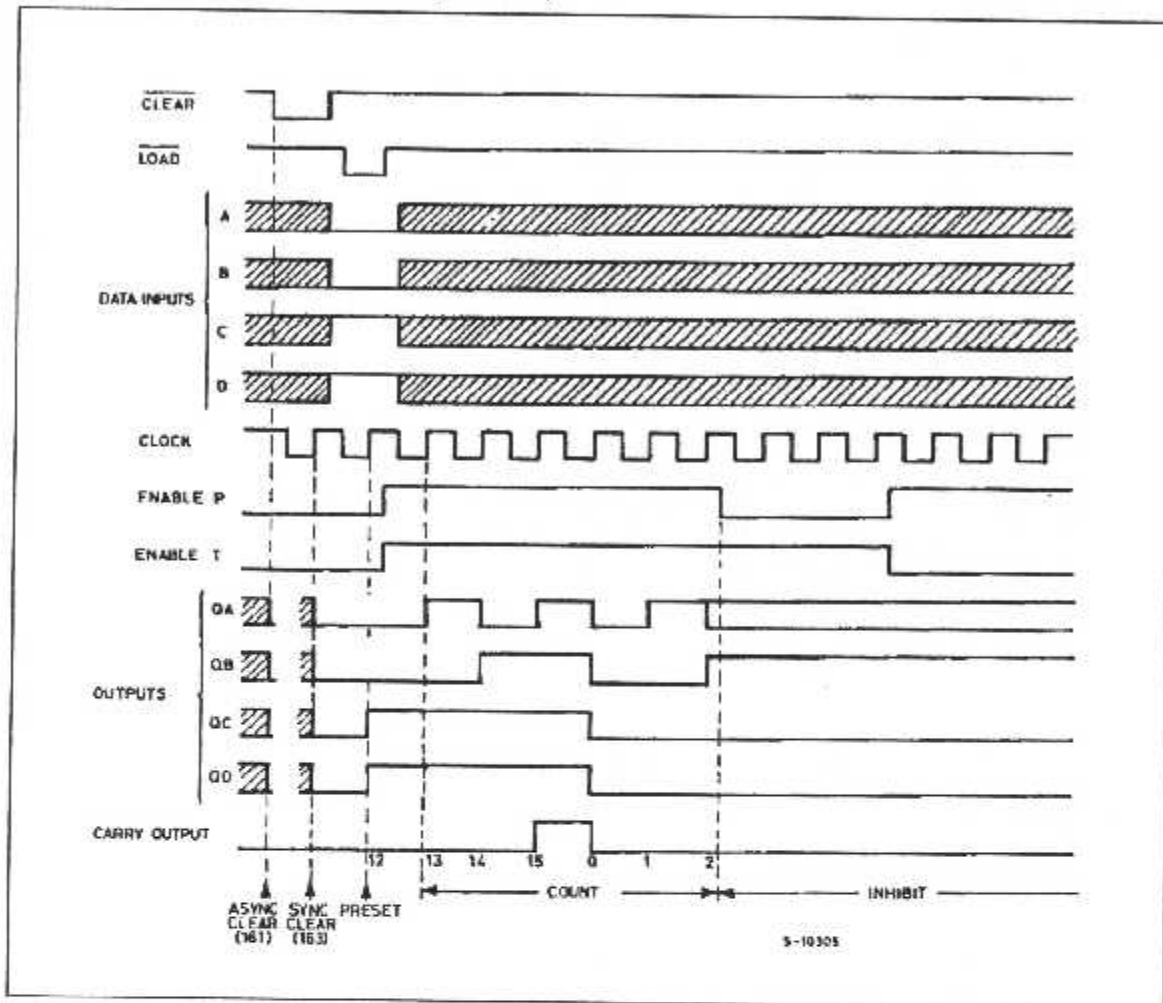
M54/74HC160/161					M54/74HC162/163					OUTPUTS				FUNCTION
INPUTS					INPUTS					QA	QB	QC	QD	
CLR	LD	PE	TE	CK	CLR	LD	PE	TE	CK	L	L	L	L	
L	X	X	X	X	L	X	X	X	┌	L	L	L	L	RESET TO "0"
H	L	X	X	┌	H	L	X	X	┌	A	B	C	D	PRESET DATA
H	H	X	L	┌	H	H	X	L	┌	NO CHANGE				NO COUNT
H	H	L	X	┌	H	H	L	X	┌	NO CHANGE				NO COUNT
H	H	H	H	┌	H	H	H	H	┌	COUNT UP				COUNT
H	X	X	X	┌	X	X	X	X	┌	NO CHANGE				NO COUNT

Note: X : Don't Care  
 A, B, C, D : Logic level of data inputs  
 Carry :  $CARRY = TE \cdot Q_A \cdot Q_B \cdot Q_C \cdot Q_D$  ..... (M54/74HC160/162)  
 Carry :  $CARRY = TE \cdot Q_A \cdot Q_B \cdot Q_C \cdot Q_D$  ..... (M54/74HC161/163)

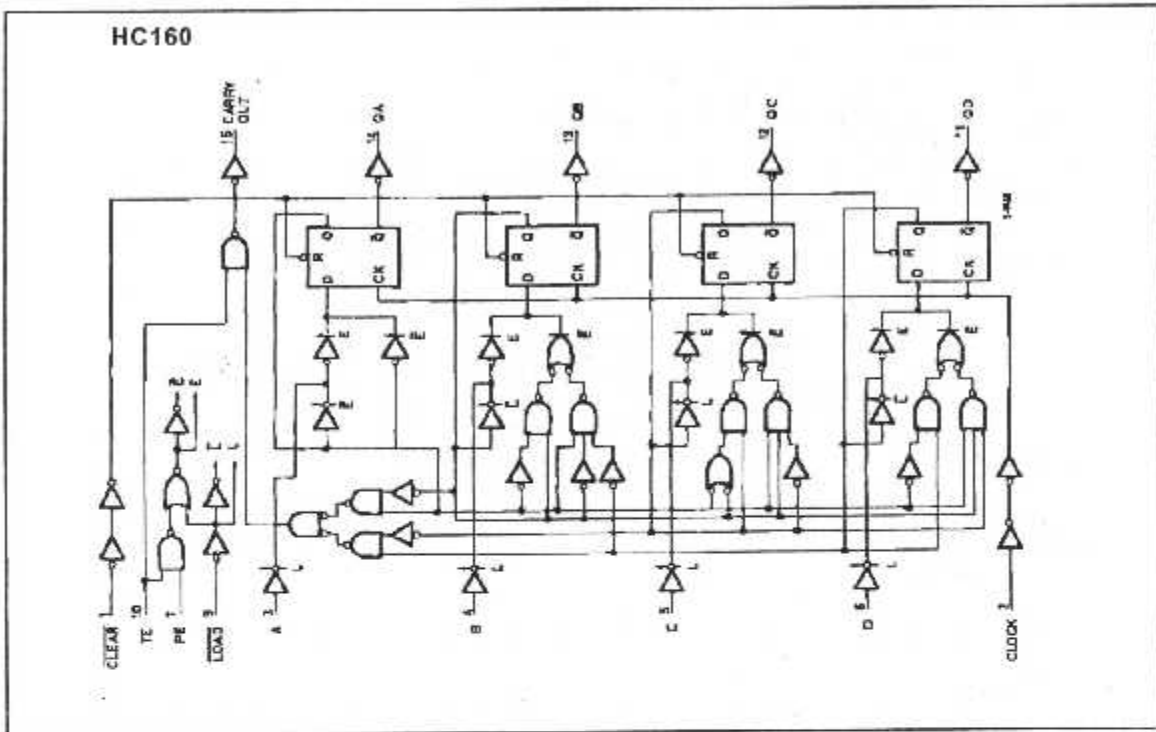
TIMING CHART (HC160/162 : decade counter)



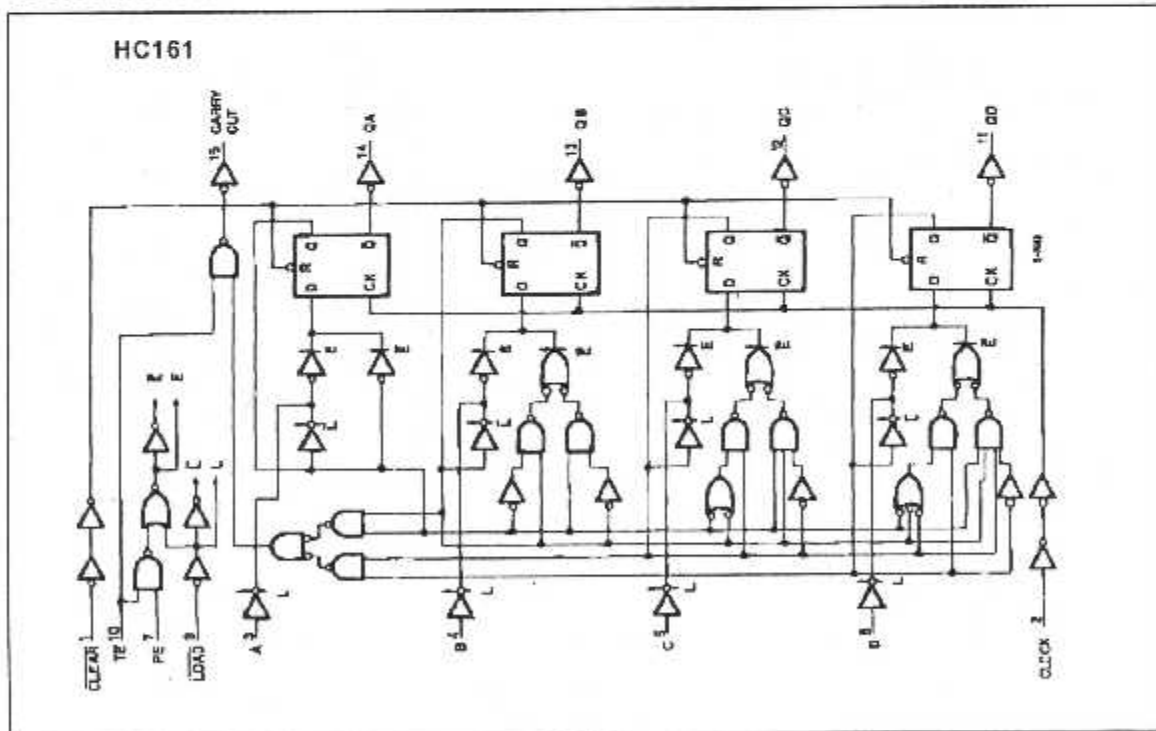
TIMING CHART (HC161/163 : binary counter)



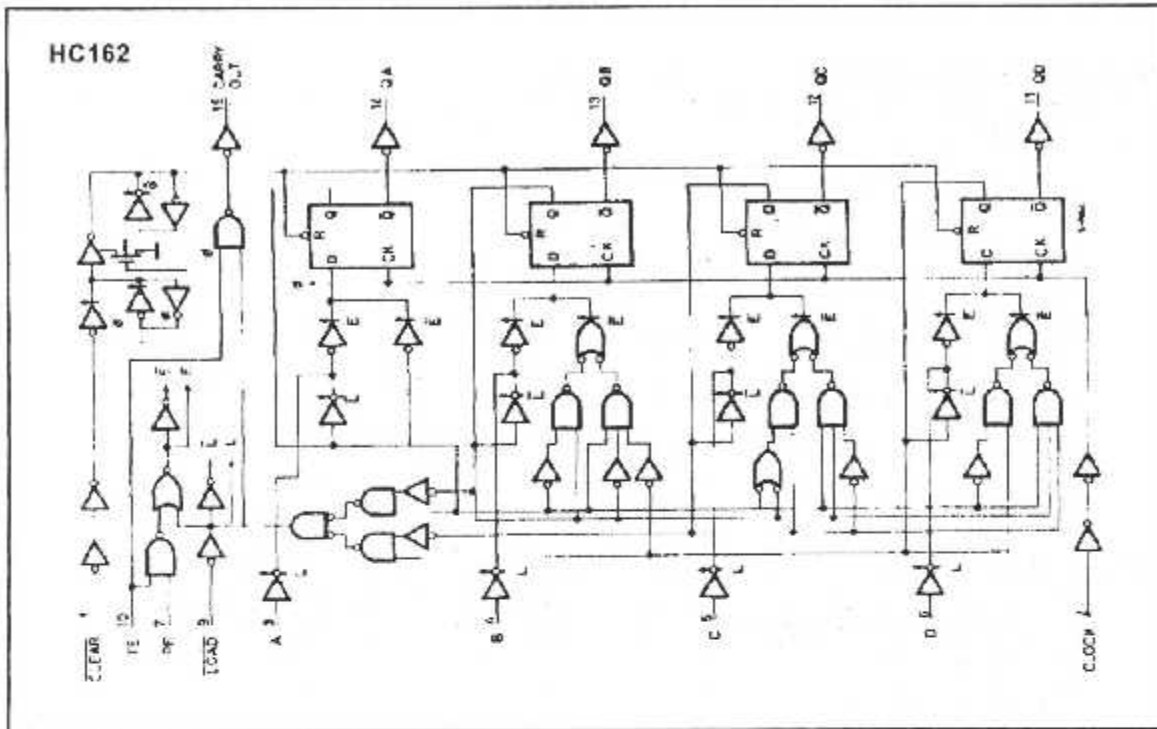
LOGIC DIAGRAM



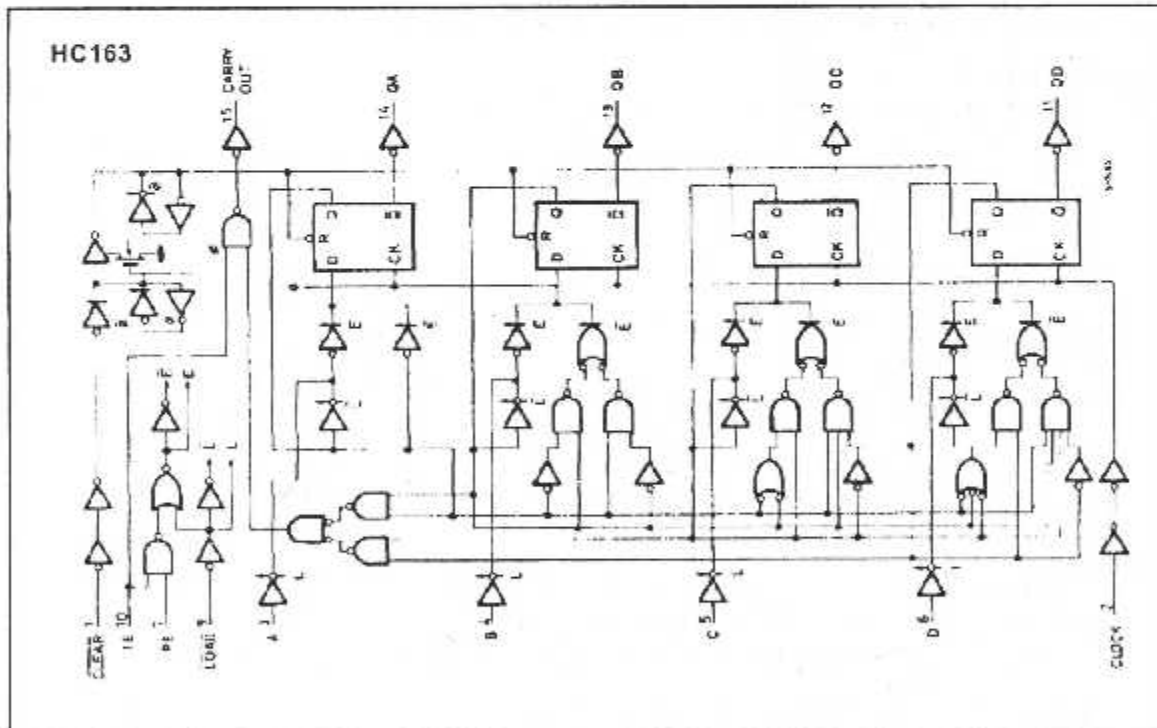
LOGIC DIAGRAM



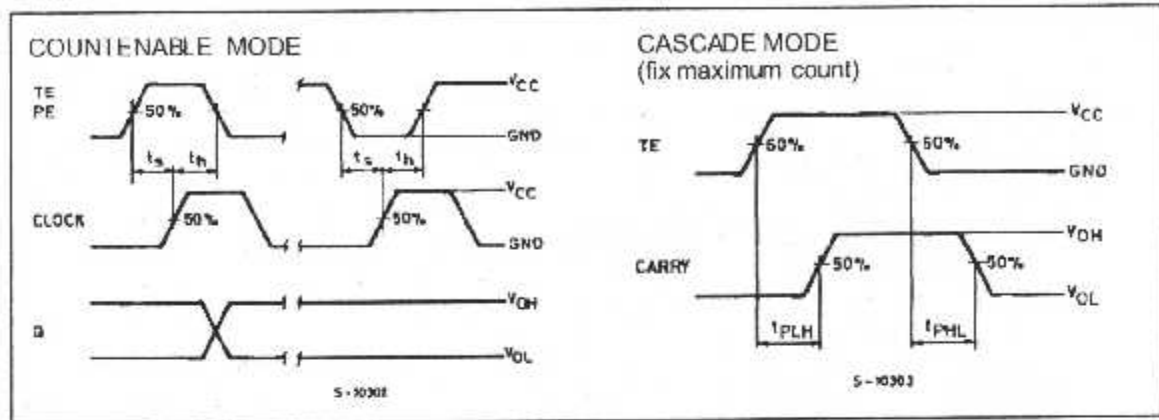
LOGIC DIAGRAM



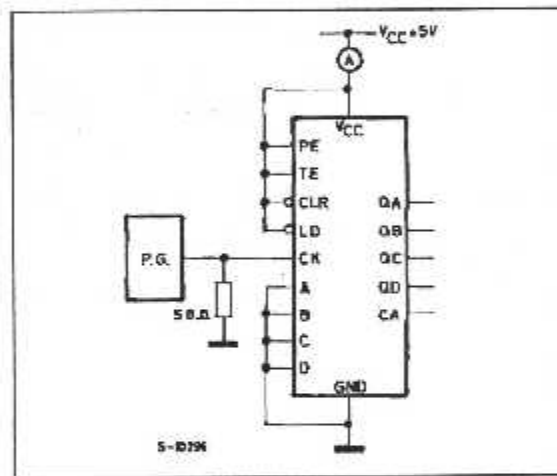
LOGIC DIAGRAM



SWITCHING CHARACTERISTICS TEST WAVEFORM (continued)



TEST CIRCUIT  $I_{CC}$  (Opr.)



TOTAL OPERATING CURRENT WHEN USING A CAPACITIVE LOAD

When the outputs drive a capacitive load, the total current can be calculated as follows :

For M74HC160/162 :

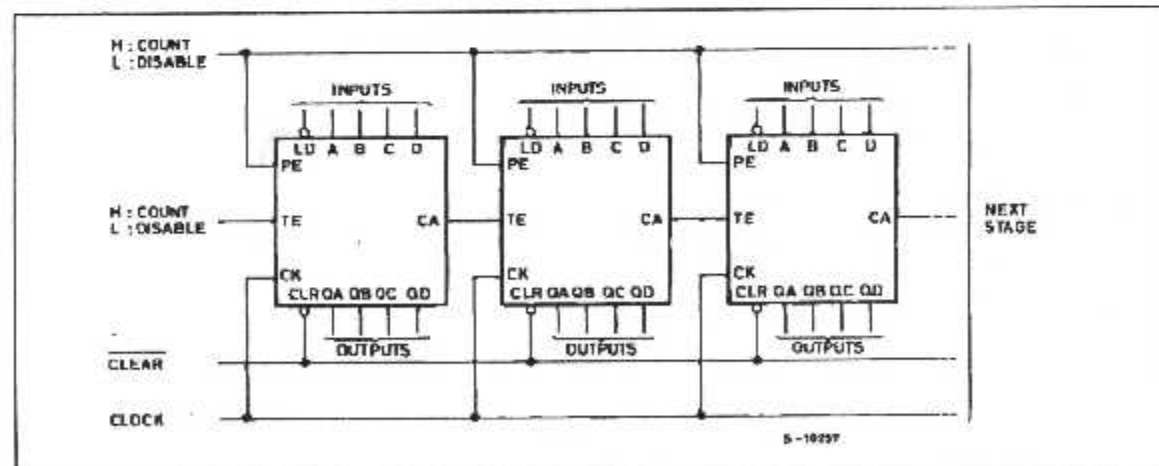
$$\Delta I_{CC} = f_{CK} \cdot V_{CC} \left( \frac{C_a}{2} + \frac{C_b}{5} + \frac{C_c}{10} + \frac{C_d}{10} + \frac{C_{ca}}{10} \right)$$

For M74HC161/163 :

$$\Delta I_{CC} = f_{CK} \cdot V_{CC} \left( \frac{C_a}{2} + \frac{C_b}{4} + \frac{C_c}{8} + \frac{C_d}{16} + \frac{C_{ca}}{16} \right)$$

$C_a$  to  $C_{ca}$  are the capacitors loading the outputs.

TYPICAL APPLICATION



## ABSOLUTE MAXIMUM RATINGS

Symbol	Parameter	Value	Unit
V <sub>CC</sub>	Supply Voltage	-0.5 to +7	V
V <sub>I</sub>	DC Input Voltage	-0.5 to V <sub>CC</sub> + 0.5	V
V <sub>O</sub>	DC Output Voltage	-0.5 to V <sub>CC</sub> + 0.5	V
I <sub>IK</sub>	DC Input Diode Current	± 20	mA
I <sub>OK</sub>	DC Output Diode Current	± 20	mA
I <sub>O</sub>	DC Output Source Sink Current Per Output Pin	± 25	mA
I <sub>CC</sub> or I <sub>GND</sub>	DC V <sub>CC</sub> or Ground Current	± 50	mA
P <sub>D</sub>	Power Dissipation	500 (*)	mW
T <sub>stg</sub>	Storage Temperature	-65 to +150	°C
T <sub>L</sub>	Lead Temperature (10 sec)	300	°C

Absolute Maximum Ratings are those values beyond which damage to the device may occur. Functional operation under these condition is not implied.  
 (\*) 500 mW: ± 65 °C derate to 300 mW by 10mW/°C: 65 °C to 85 °C

## RECOMMENDED OPERATING CONDITIONS

Symbol	Parameter	Value	Unit	
V <sub>CC</sub>	Supply Voltage	2 to 6	V	
V <sub>I</sub>	Input Voltage	0 to V <sub>CC</sub>	V	
V <sub>O</sub>	Output Voltage	0 to V <sub>CC</sub>	V	
T <sub>op</sub>	Operating Temperature: M54HC Series M74HC Series	-55 to +125 -40 to +85	°C °C	
t <sub>r</sub> , t <sub>f</sub>	Input Rise and Fall Time	V <sub>CC</sub> = 2 V V <sub>CC</sub> = 4.5 V V <sub>CC</sub> = 6 V	0 to 1000 0 to 500 0 to 400	ns



## DC SPECIFICATIONS

Symbol	Parameter	Test Conditions		Value						Unit		
		V <sub>CC</sub> (V)		T <sub>A</sub> = 25 °C 54HC and 74HC			-40 to 85 °C 74HC		-55 to 125 °C 54HC			
				Min.	Typ.	Max.	Min.	Max.	Min.		Max.	
V <sub>IH</sub>	High Level Input Voltage	2.0		1.5			1.5		1.5		V	
		4.5		3.15			3.15		3.15			
		6.0		4.2			4.2		4.2			
V <sub>IL</sub>	Low Level Input Voltage	2.0				0.5		0.5		0.5	V	
		4.5				1.35		1.35		1.35		
		6.0				1.8		1.8		1.8		
V <sub>OH</sub>	High Level Output Voltage	2.0	V <sub>I</sub> = V <sub>IH</sub> or V <sub>IL</sub>	I <sub>O</sub> = -20 μA	1.9	2.0		1.9		1.9	V	
		4.5			4.4	4.5		4.4		4.4		
		6.0			5.9	6.0		5.9		5.9		
		4.5	I <sub>O</sub> = -4.0 mA	4.18	4.31		4.13		4.10			
		6.0		I <sub>O</sub> = -5.2 mA	5.68	5.8		5.63		5.60		
V <sub>OL</sub>	Low Level Output Voltage	2.0	V <sub>I</sub> = V <sub>IH</sub> or V <sub>IL</sub>	I <sub>O</sub> = 20 μA		0.0	0.1		0.1		0.1	V
		4.5				0.0	0.1		0.1		0.1	
		6.0				0.0	0.1		0.1		0.1	
		4.5	I <sub>O</sub> = 4.0 mA	0.17	0.26		0.33		0.40			
		6.0		I <sub>O</sub> = 5.2 mA	0.18	0.26		0.33		0.40		
I <sub>I</sub>	Input Leakage Current	6.0	V <sub>I</sub> = V <sub>CC</sub> or GND			±0.1		±1		±1	μA	
I <sub>CC</sub>	Quiescent Supply Current	6.0	V <sub>I</sub> = V <sub>CC</sub> or GND			4		40		80	μA	

AC ELECTRICAL CHARACTERISTICS ( $C_L = 50$  pF, Input  $t_r = t_f = 6$  ns)

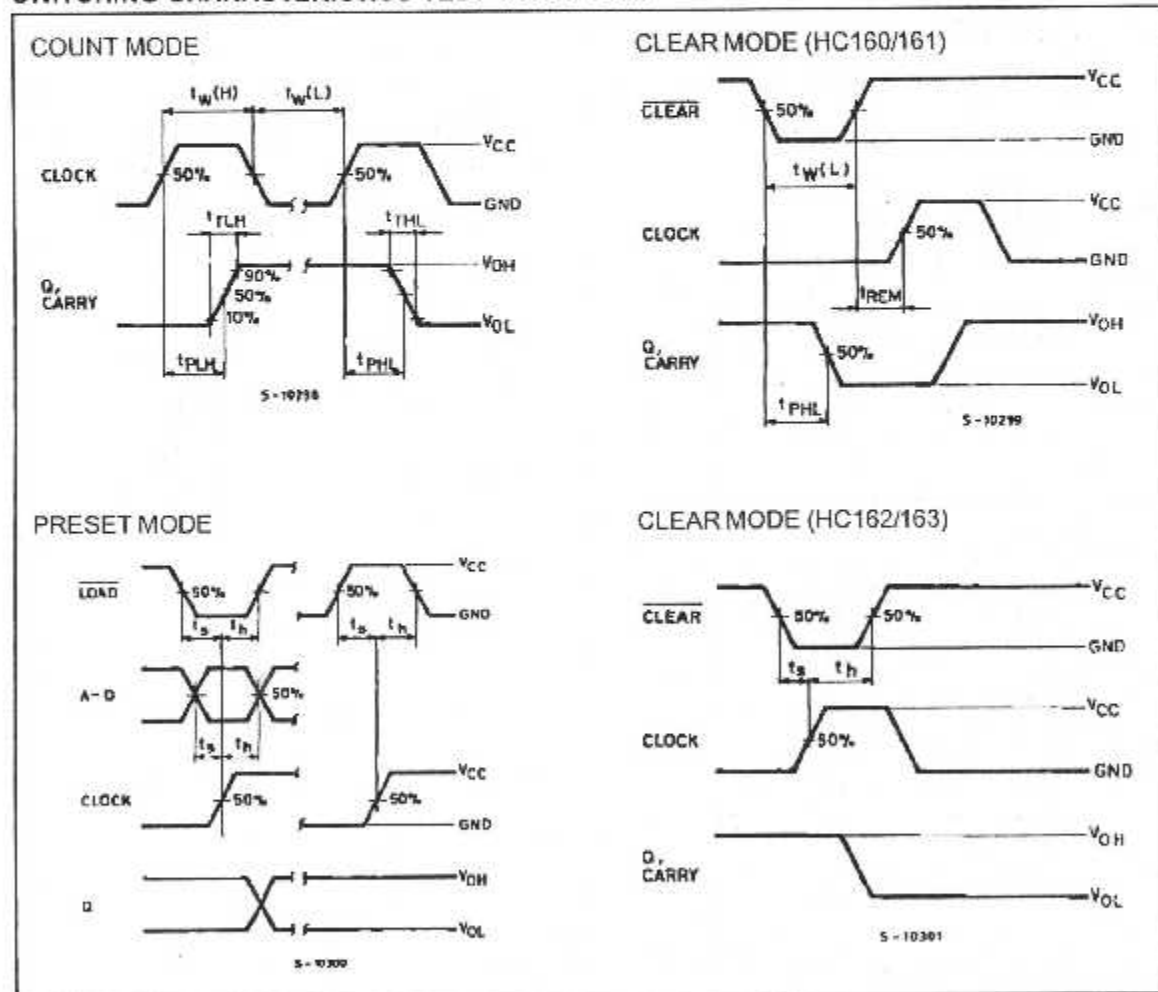
Symbol	Parameter	Test Conditions V <sub>CC</sub> (V)	Value						Unit	
			T <sub>A</sub> = 25 °C 54HC and 74HC			-40 to 85 °C 74HC		-55 to 125 °C 54HC		
			Min.	Typ.	Max.	Min.	Max.	Min.		Max.
t <sub>PLH</sub> t <sub>PHL</sub>	Output Transition Time	2.0		25	75		95		110	ns
		4.5		7	15		19		22	
		6.0		6	13		16		19	
t <sub>PLH</sub> t <sub>PHL</sub>	Propagation Delay Time (CLOCK - Q)	2.0		48	125		155		190	ns
		4.5		16	25		31		38	
		6.0		14	21		26		32	
t <sub>PLH</sub> t <sub>PHL</sub>	Propagation Delay Time (CLOCK-CARRY)	2.0	COUNT MODE	57	150		190		225	ns
		4.5		19	30		38		45	
		6.0		16	26		32		38	
t <sub>PLH</sub>	Propagation Delay Time (CLOCK-CARRY)	2.0	PRESET MODE	66	175		220		265	ns
		4.5		22	35		44		53	
		6.0		19	30		37		45	
t <sub>PHL</sub>	Propagation Delay Time (CLOCK-CARRY)	2.0	PRESET MODE	72	200		250		300	ns
		4.5		24	40		50		60	
		6.0		20	34		43		51	
t <sub>PLH</sub> t <sub>PHL</sub>	Propagation Delay Time (ENT-CARRY)	2.0		39	100		125		150	ns
		4.5		13	20		25		30	
		6.0		11	17		21		26	
t <sub>PLH</sub>	Propagation Delay Time (CLEAR - Q)	2.0	for HC160/161 only	60	150		190		225	ns
		4.5		20	30		38		45	
		6.0		17	26		32		38	
t <sub>PHL</sub>	Propagation Delay Time (CLEAR-CARRY)	2.0	for HC160/161 only	72	200		250		300	ns
		4.5		24	40		50		60	
		6.0		20	34		43		51	
f <sub>MAX</sub>	Maximum Clock Frequency	2.0		6.2	18		5		4.2	MHz
		4.5		31	53		25		21	
		6.0		37	62		30		25	
t <sub>W(H)</sub> t <sub>W(L)</sub>	Minimum Pulse Width (CLOCK)	2.0		18	75		95		110	ns
		4.5		6	15		19		22	
		6.0		6	13		16		19	
t <sub>W(L)</sub>	Minimum Pulse Width (CLEAR)	2.0	for HC160/161 only	24	75		95		110	ns
		4.5		7	15		19		22	
		6.0		6	13		16		19	
t <sub>s</sub>	Minimum Set-up Time (LOAD, PE, TE)	2.0		40	100		125		150	ns
		4.5		10	20		25		30	
		6.0		8	17		21		26	
t <sub>s</sub>	Minimum Set-up Time (A, B, C, D)	2.0		20	75		95		110	ns
		4.5		5	15		19		22	
		6.0		3	13		16		19	
t <sub>s</sub>	Minimum Set-up Time (CLEAR)	2.0	for HC162/163 only	20	75		95		110	ns
		4.5		5	15		19		22	
		6.0		3	13		16		19	

AC ELECTRICAL CHARACTERISTICS ( $C_L = 50 \text{ pF}$ , Input  $t_r = t_f = 6 \text{ ns}$ )

Symbol	Parameter	Test Conditions		Value				Unit		
		$V_{CC}$ (V)		$T_A = 25^\circ\text{C}$ 54HC and 74HC		$-40 \text{ to } 85^\circ\text{C}$ 74HC			$-55 \text{ to } 125^\circ\text{C}$ 54HC	
				Min.	Typ.	Max.	Min.		Max.	Min.
$t_H$	Minimum Hold Time (A, B - CK)	2.0 4.5 6.0				0 0 0		0 0 0	ns	
$t_{REM}$	Minimum Removal Time	2.0 4.5 6.0		18 4 3	50 10 9		65 13 11	75 15 13	ns	
$C_{IN}$	Input Capacitance			5	10		10	10	pF	
$C_{PD} (*)$	Power Dissipation Capacitance			50					pF	

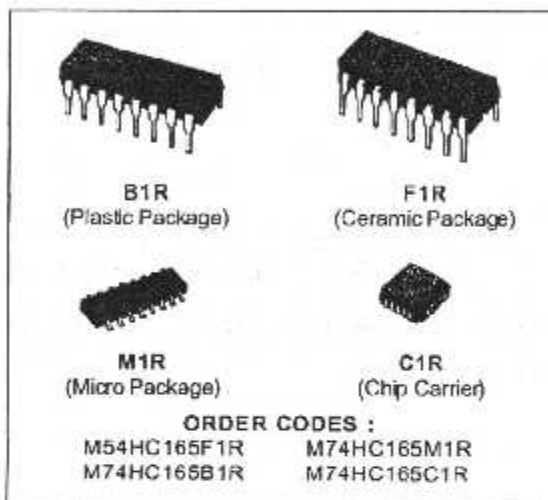
(\*)  $C_{PD}$  is defined as the value of the IC's internal equivalent capacitance which is calculated from the operating current consumption without load. (Refer to Test Circuit). Average operating current can be obtained by the following equation:  $I_{CC(oper)} = C_{PD} \cdot V_{CC} \cdot f_{in} + I_{CC}$

SWITCHING CHARACTERISTICS TEST WAVEFORM



**8 BIT PISO SHIFT REGISTER**

- HIGH SPEED  
t<sub>PD</sub> = 15 ns (TYP.) AT V<sub>CC</sub> = 5 V
- LOW POWER DISSIPATION  
I<sub>CC</sub> = 4 μA (MAX.) AT T<sub>A</sub> = 25 °C
- OUTPUT DRIVE CAPABILITY  
10 LSTTL LOADS
- BALANCED PROPAGATION DELAYS  
t<sub>PLH</sub> = t<sub>PHL</sub>
- SYMMETRICAL OUTPUT IMPEDANCE  
I<sub>OL</sub> = |I<sub>OH</sub>| = 4 mA (MIN.)
- HIGH NOISE IMMUNITY  
V<sub>NIH</sub> = V<sub>NIL</sub> = 28 % V<sub>CC</sub> (MIN.)
- WIDE OPERATING VOLTAGE RANGE  
V<sub>CC</sub> (OPR) = 2 V TO 6 V
- PIN AND FUNCTION COMPATIBLE  
WITH 54/74LS165



**DESCRIPTION**

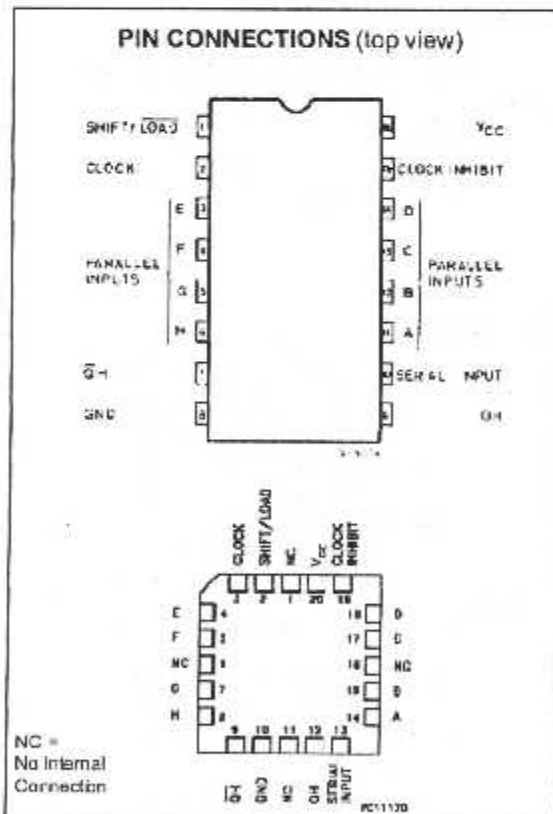
The M54/74HC165 is a high speed CMOS 8 BIT PISO SHIFT REGISTER fabricated in silicon gate C<sup>2</sup>MOS technology. It has the same high speed performance of LSTTL combined with true CMOS low power consumption.

It achieves the high speed operation similar to equivalent LSTTL while maintaining the CMOS low power dissipation.

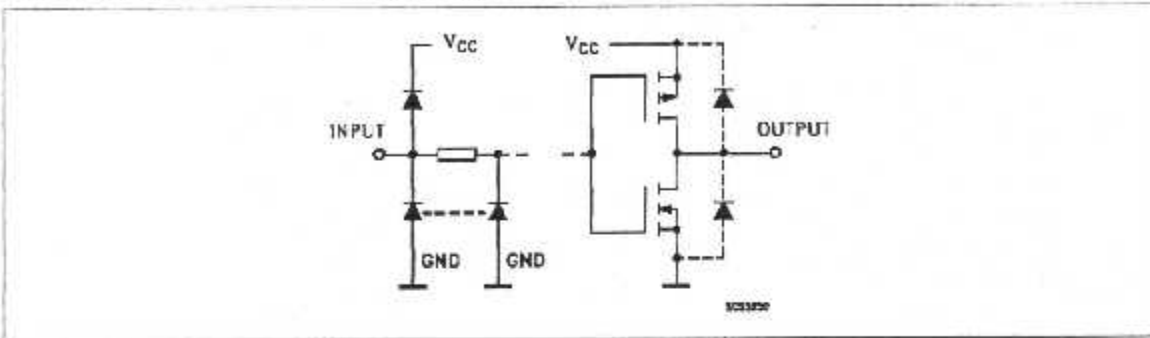
This device contains eight clocked master slave RS flip-flops connected as a shift register, with auxiliary gating to provide over-riding asynchronous parallel entry. Parallel data enters when the shift/load input is low. The parallel data can change while shift/load is low, provided that the recommended set-up and hold times are observed. For clocked operation, shift/load must be high. The two clock input perform identically; one can be used as a clock inhibit by applying a high signal; to permit this operation clocking is accomplished through a 2 input nor gate.

To avoid double clocking, however, the inhibit signal should only go high while the clock is high. Otherwise the rising inhibit signal will cause the same response as rising clock edge.

All inputs are equipped with protection circuits against static discharge and transient excess voltage.



INPUT AND OUTPUT EQUIVALENT CIRCUIT

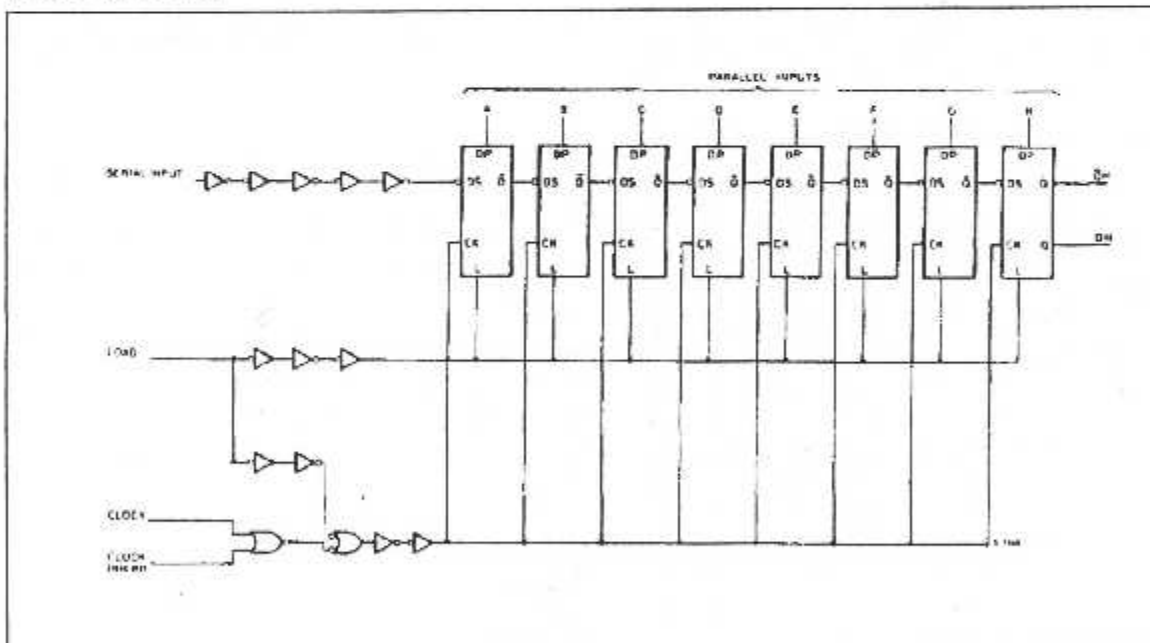


TRUTH TABLE

SHIFT/ CLEAR	CLOCK INHIBIT	INPUTS			A .....H	INTERNAL OUTPUTS		OUTPUTS
		CLOCK	SERIAL IN	QA		QB	QH	
L	X	X	X	a.....h	a	b	h	
H	L		H	X	H	QAn	QCn	
H	L		L	X	L	QAn	QCn	
H		L	H	X	H	QAn	QCn	
H		L	L	X	L	QAn	QCn	
H	X	H	X	X	NO CHANGE			
H	H	X	X	X	NO CHANGE			

a.....h: The level of steady input voltage at inputs a through h respectively  
 QAn - QGn: The level of QA - QG, respectively, before the most-recent transition of the clock.

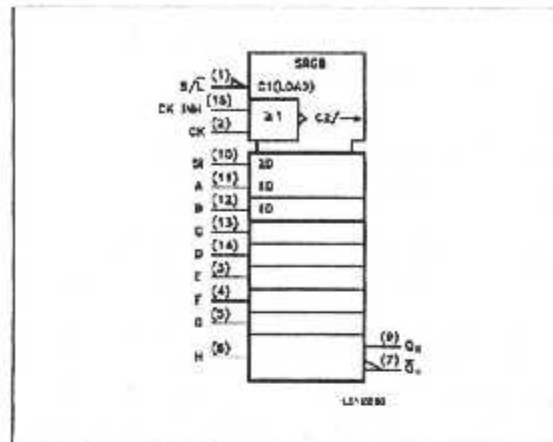
LOGIC DIAGRAM



## PIN DESCRIPTION

PIN No	SYMBOL	NAME AND FUNCTION
1	S/L	Asynchronous Parallel Load Input
2	QH	Complementary Output
7	QH	Serial Output
9	CLOCK	Clock Input (LOW to HIGH edge triggered)
10	SI	Serial Data Input
11, 12, 13, 14, 3, 4, 5, 6	A to H	Parallel Data Inputs
15	CLOCK INH	CLOCK Inhibit
8	GND	Ground (0V)
16	V <sub>CC</sub>	Positive Supply Voltage

## IEC LOGIC SYMBOL



## ABSOLUTE MAXIMUM RATINGS

Symbol	Parameter	Value	Unit
V <sub>CC</sub>	Supply Voltage	-0.5 to +7	V
V <sub>I</sub>	DC Input Voltage	-0.5 to V <sub>CC</sub> + 0.5	V
V <sub>O</sub>	DC Output Voltage	-0.5 to V <sub>CC</sub> + 0.5	V
I <sub>IK</sub>	DC Input Diode Current	± 20	mA
I <sub>OK</sub>	DC Output Diode Current	± 20	mA
I <sub>O</sub>	DC Output Source Sink Current Per Output Pin	± 25	mA
I <sub>CC</sub> or I <sub>GND</sub>	DC V <sub>CC</sub> or Ground Current	± 50	mA
P <sub>D</sub>	Power Dissipation	500 (*)	mW
T <sub>stg</sub>	Storage Temperature	-65 to +150	°C
T <sub>L</sub>	Lead Temperature (10 sec)	300	°C

Absolute Maximum Ratings are those values beyond which damage to the device may occur. Functional operation under these conditions is not implied.  
 (\*) 500 mW; ± 65 °C; derate to 300 mW by 10mW/°C; 65 °C to 85 °C

## RECOMMENDED OPERATING CONDITIONS

Symbol	Parameter	Value	Unit	
V <sub>CC</sub>	Supply Voltage	2 to 6	V	
V <sub>I</sub>	Input Voltage	0 to V <sub>CC</sub>	V	
V <sub>O</sub>	Output Voltage	0 to V <sub>CC</sub>	V	
T <sub>op</sub>	Operating Temperature: <b>M54HC Series</b> <b>M74HC Series</b>	-55 to +125 -40 to +85	°C °C	
t <sub>r</sub> , t <sub>f</sub>	Input Rise and Fall Time	V <sub>CC</sub> = 2 V V <sub>CC</sub> = 4.5 V V <sub>CC</sub> = 6 V	0 to 1000 0 to 500 0 to 400	ns

## DC SPECIFICATIONS

Symbol	Parameter	Test Conditions		Value						Unit		
		V <sub>CC</sub> (V)		T <sub>A</sub> = 25 °C 54HC and 74HC			-40 to 85 °C 74HC		-55 to 125 °C 54HC			
				Min.	Typ.	Max.	Min.	Max.	Min.		Max.	
V <sub>IH</sub>	High Level Input Voltage	2.0		1.5			1.5		1.5	V		
		4.5		3.15			3.15		3.15			
		6.0		4.2			4.2		4.2			
V <sub>IL</sub>	Low Level Input Voltage	2.0				0.5		0.5		0.5	V	
		4.5				1.35		1.35		1.35		
		6.0				1.8		1.8		1.8		
V <sub>OH</sub>	High Level Output Voltage	2.0	V <sub>I</sub> = V <sub>IH</sub> or V <sub>IL</sub>	I <sub>O</sub> = -20 μA	1.9	2.0		1.9		1.9	V	
		4.5			4.4	4.5		4.4		4.4		
		6.0			5.9	6.0		5.9		5.9		
		4.5	I <sub>O</sub> = -4.0 mA	4.18	4.31		4.13		4.10			
		6.0		I <sub>O</sub> = -5.2 mA	5.68	5.8		5.63		5.60		
V <sub>OL</sub>	Low Level Output Voltage	2.0	V <sub>I</sub> = V <sub>IH</sub> or V <sub>IL</sub>	I <sub>O</sub> = 20 μA		0.0	0.1		0.1		0.1	V
		4.5				0.0	0.1		0.1		0.1	
		6.0				0.0	0.1		0.1		0.1	
		4.5		I <sub>O</sub> = 4.0 mA		0.17	0.26		0.33		0.40	
		6.0			I <sub>O</sub> = 5.2 mA		0.18	0.26		0.33		
I <sub>I</sub>	Input Leakage Current	6.0	V <sub>I</sub> = V <sub>CC</sub> or GND			±0.1		±1		±1	μA	
I <sub>CC</sub>	Quiescent Supply Current	6.0	V <sub>I</sub> = V <sub>CC</sub> or GND			4		40		80	μA	

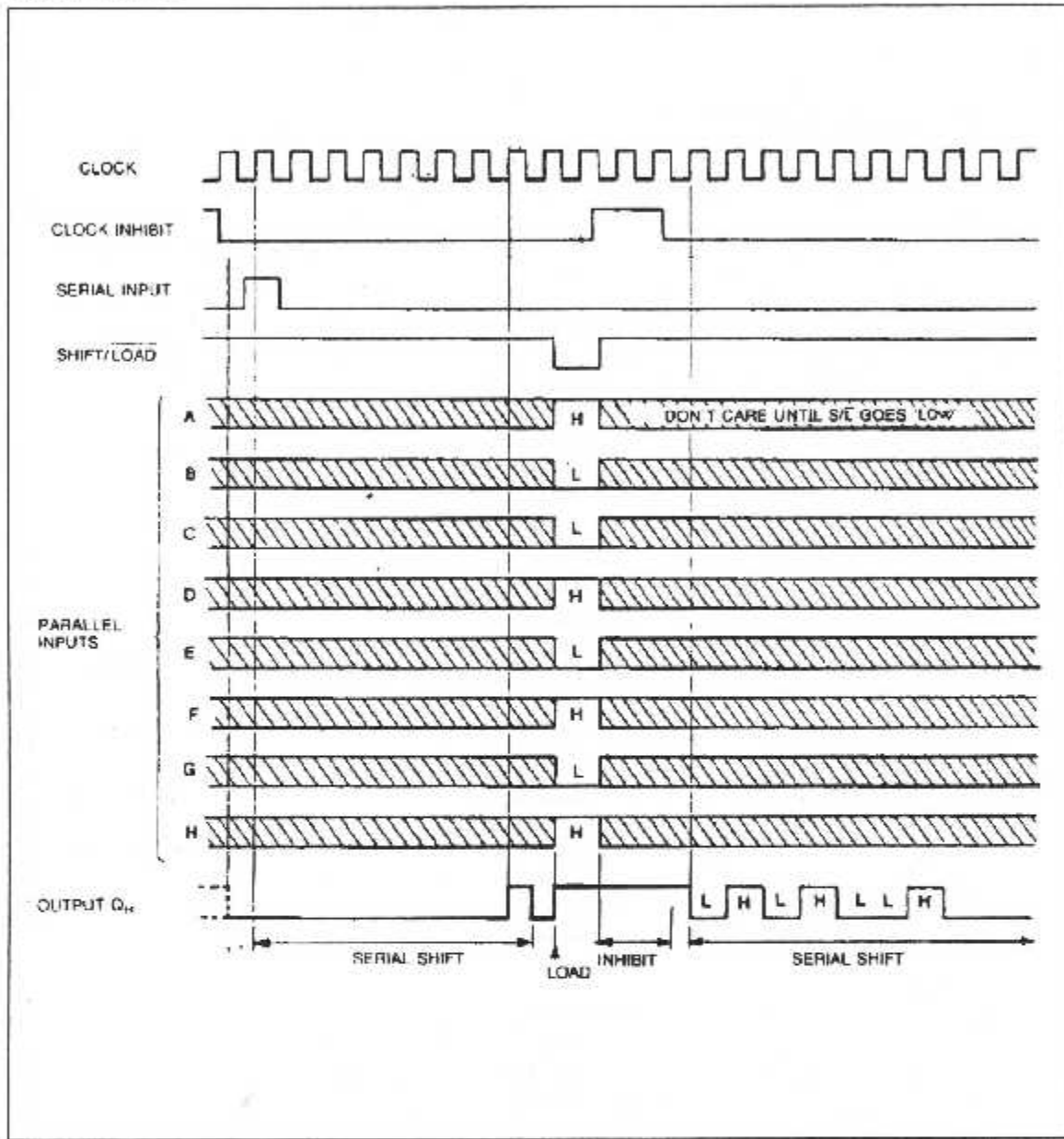
AC ELECTRICAL CHARACTERISTICS ( $C_L = 50$  pF, Input  $t_r = t_f = 6$  ns)

Symbol	Parameter	Test Conditions		Value						Unit	
		V <sub>CC</sub> (V)		T <sub>A</sub> = 25 °C 54HC and 74HC			-40 to 85 °C 74HC		-55 to 125 °C 54HC		
				Min.	Typ.	Max.	Min.	Max.	Min.		Max.
t <sub>TLH</sub> t <sub>THL</sub>	Output Transition Time	2.0			30	75		95		110	ns
		4.5			8	15		19		22	
		6.0			7	13		16		19	
t <sub>PLH</sub> t <sub>PHL</sub>	Propagation Delay Time (CK - QH, QH)	2.0			55	150		190		225	ns
		4.5			18	30		38		45	
		6.0			15	26		33		38	
t <sub>PLH</sub> t <sub>PHL</sub>	Propagation Delay Time (S/L - QH, QH)	2.0			65	165		205		250	ns
		4.5			21	33		41		50	
		6.0			18	28		35		43	
t <sub>PLH</sub> t <sub>PHL</sub>	Propagation Delay Time (H - QH, QH)	2.0			52	135		170		205	ns
		4.5			17	27		34		41	
		6.0			14	23		29		35	
f <sub>MAX</sub>	Maximum Clock Frequency	2.0			7.4	15		6.0		4.8	MHz
		4.5			37	60		30		24	
		6.0			44	71		35		28	
t <sub>W(H)</sub> t <sub>W(L)</sub>	Minimum Pulse Width (CK)	2.0			24	75		95		110	ns
		4.5			6	15		19		22	
		6.0			5	13		16		19	
t <sub>W(L)</sub>	Minimum Pulse Width (S/L)	2.0			32	75		95		110	ns
		4.5			8	15		19		22	
		6.0			7	13		16		19	
t <sub>S</sub>	Minimum Set-up Time (PI - S/L) (SI - CK) (S/L - CK)	2.0			24	75		95		110	ns
		4.5			6	15		19		22	
		6.0			5	13		16		19	
t <sub>H</sub>	Minimum Hold Time (S/L - PI) (CK - SI) (CK - S/L)	2.0				0		0		0	ns
		4.5				0		0		0	
		6.0					0		0	0	
t <sub>REM</sub>	Minimum Removal Time (CK - CKINH)	2.0			20	75		95		110	ns
		4.5			5	15		19		22	
		6.0			4	13		16		19	
C <sub>IN</sub>	Input Capacitance				5	10		10		10	pF
C <sub>PD</sub> (*)	Power Dissipation Capacitance				55						pF

(\*) C<sub>PD</sub> is defined as the value of the IC's internal equivalent capacitance which is calculated from the operating current consumption without load (Refer to Test Circuit). Average operating current can be obtained by the following equation:  $I_{cd(oper)} = C_{PD} \cdot V_{CC} \cdot f_{IN} \cdot f_{oc}$

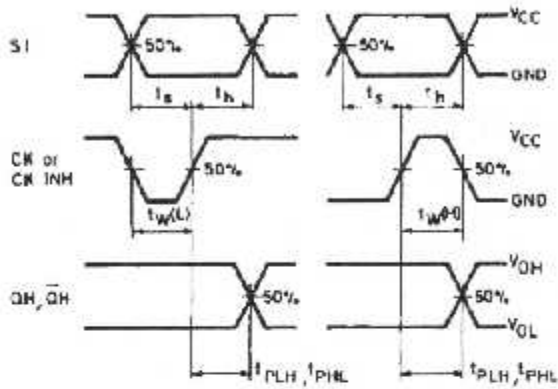


TIMING CHART



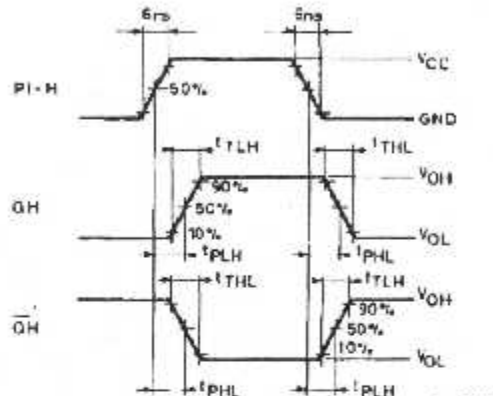
SWITCHING CHARACTERISTICS TEST WAVEFORM

SERIAL MODE



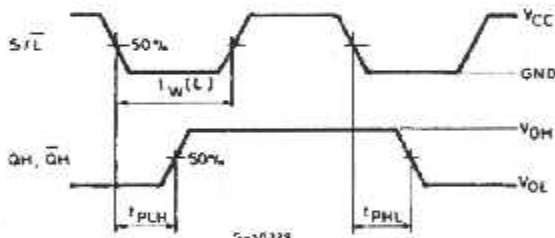
S-10327

PARALLEL MODE



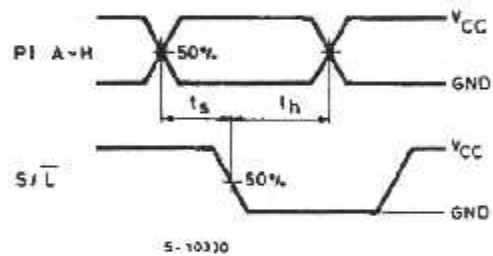
S-10328

PARALLEL MODE



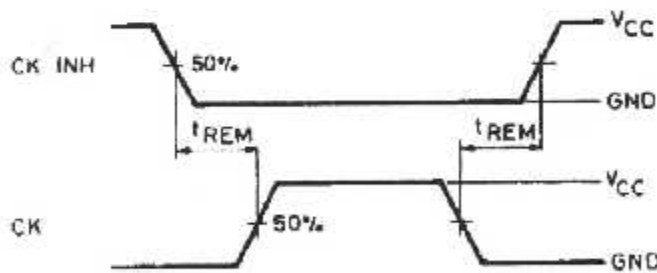
S-10329

PARALLEL MODE



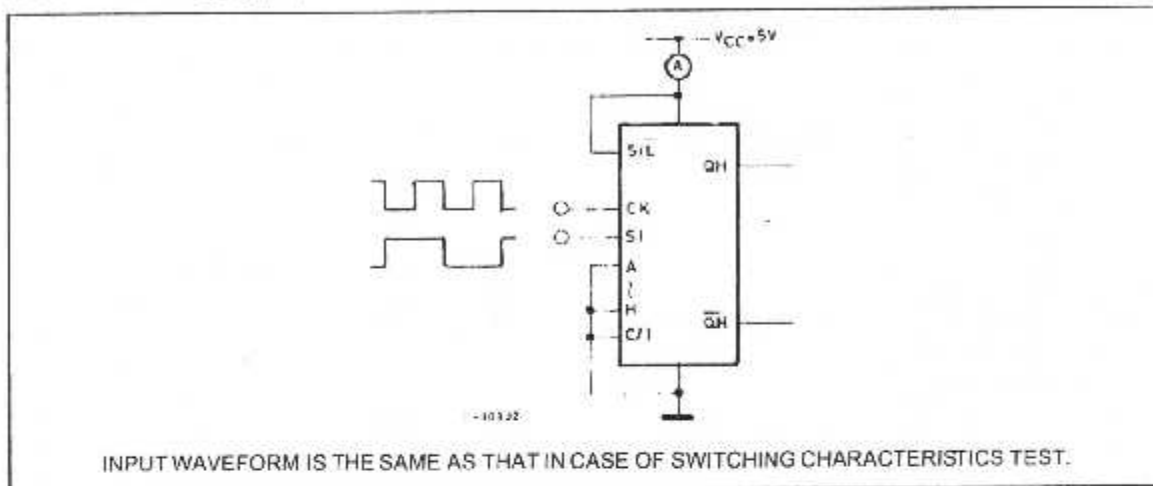
S-10330

PARALLEL MODE



S-10331

TEST CIRCUIT  $I_{cc}$  (Opr.)

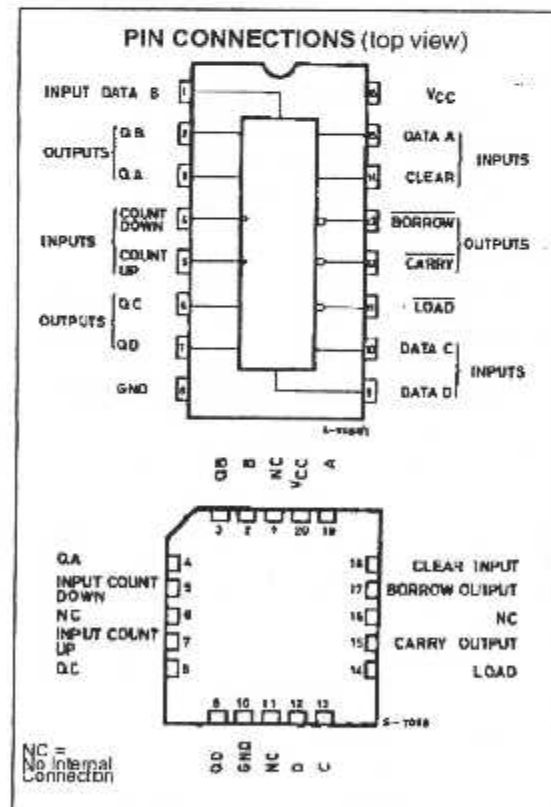
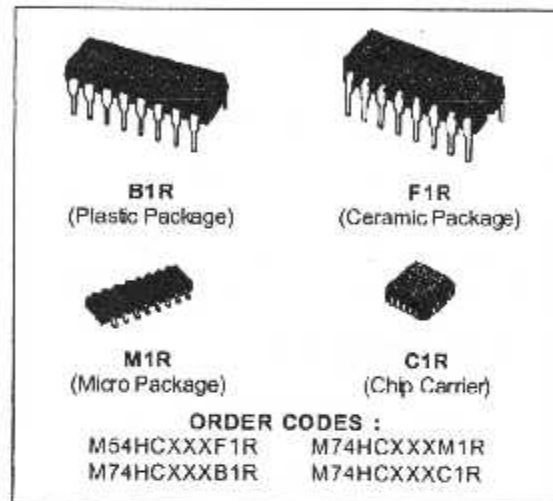


**HC192 - SYNCHRONOUS UP/DOWN DECADE COUNTER**  
**HC193 - SYNCHRONOUS UP/DOWN BINARY COUNTER**

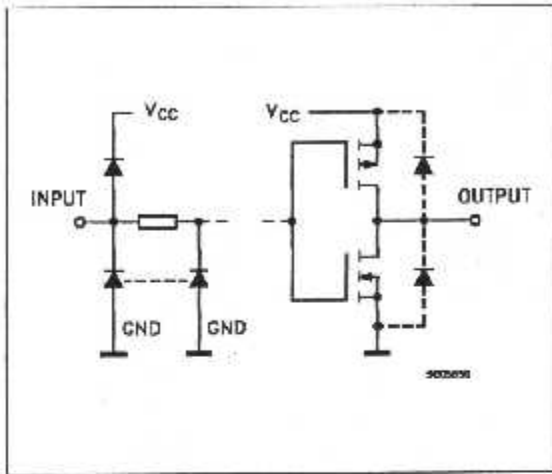
- HIGH SPEED  
 $f_{MAX} = 54 \text{ MHz (TYP.) AT } V_{CC} = 5 \text{ V}$
- LOW POWER DISSIPATION  
 $I_{CC} = 4 \mu\text{A (MAX.) AT } T_A = 25 \text{ }^\circ\text{C}$
- HIGH NOISE IMMUNITY  
 $V_{NH} = V_{NIL} = 28 \% V_{CC} \text{ (MIN.)}$
- OUTPUT DRIVE CAPABILITY  
 10 LSTTL LOADS
- SYMMETRICAL OUTPUT IMPEDANCE  
 $|I_{OH}| = |I_{OL}| = 4 \text{ mA (MIN.)}$
- BALANCED PROPAGATION DELAYS  
 $t_{FLH} = t_{PHL}$
- WIDE OPERATING VOLTAGE RANGE  
 $V_{CC} \text{ (OPR)} = 2 \text{ V TO } 6 \text{ V}$
- PIN AND FUNCTION COMPATIBLE WITH  
 54/74LS192-193

**DESCRIPTION**

The M54/M74HC192/193 are a high speed CMOS SYNCHRONOUS UP/DOWN DECADE COUNTERS fabricated in silicon gate C<sup>2</sup>MOS technology. They have the same high speed performance of LSTTL combined with true CMOS low power consumption. The counter has two separate clock inputs, an UP COUNT input and a DOWN COUNT input. All outputs of the flip-flop are simultaneously triggered on the low to high transition of either clock while the other input is held high. The direction of counting is determined by which input is clocked. This counter may be preset by entering the desired data on the DATA A, DATA B, DATA C, and DATA D input. When the LOAD input is taken low the data is loaded independently of either clock input. This feature allows the counters to be used as divide-by-n counters by modifying the count length with the preset inputs. In addition the counter can also be cleared. This is accomplished by inputting a high on the CLEAR input. All 4 internal stages are set to low independently of either COUNT input. Both a BORROW and CARRY output are provided to enable cascading of both up and down counting functions. The BORROW output produces a negative going pulse when the counter underflows and the CARRY outputs a pulse when the counter overflows. The counter can be cascaded by connecting the CARRY and BORROW outputs of one device to the COUNT UP and COUNT DOWN inputs, respectively, of the next device. All inputs are equipped with protection circuits against static discharge and transient excess voltage.



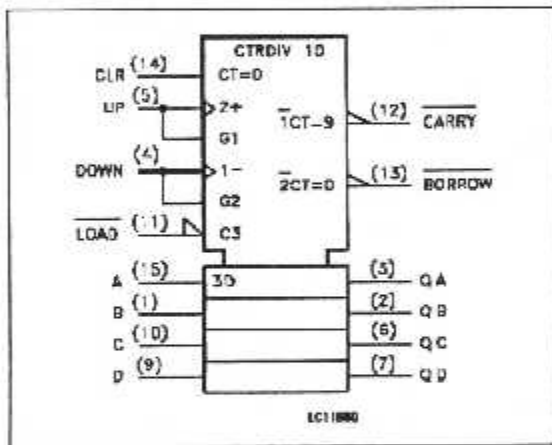
INPUT AND OUTPUT EQUIVALENT CIRCUIT



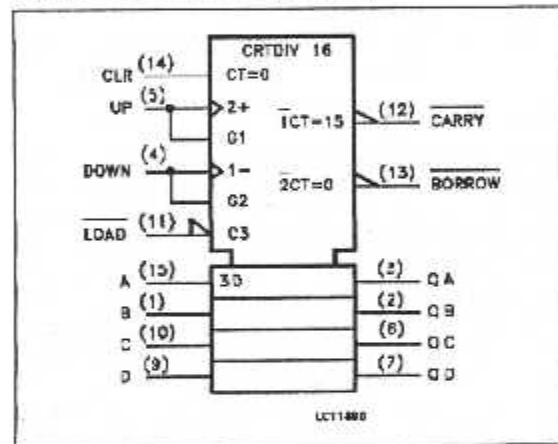
PIN DESCRIPTION

PIN No	SYMBOL	NAME AND FUNCTION
3, 2, 6, 7	QA to QD	Flip-Flop Outputs
4	CP <sub>D</sub>	Count Down Clock Input
5	CP <sub>U</sub>	Count Up Clock Input
11	LOAD	Asynchronous Parallel Load Input (Active LOW)
12	CARRY	Count Up (Carry) Output (Active LOW)
13	BORROW	Count Down (Borrow) Output (Active LOW)
14	CLEAR	Asynchronous Reset Input (Active HIGH)
15, 1, 10, 9	DA to DD	Data Inputs
8	GND	Ground (0V)
16	V <sub>CC</sub>	Positive Supply Voltage

IEC LOGIC SYMBOL (HC191)



IEC LOGIC SYMBOL (HC193)

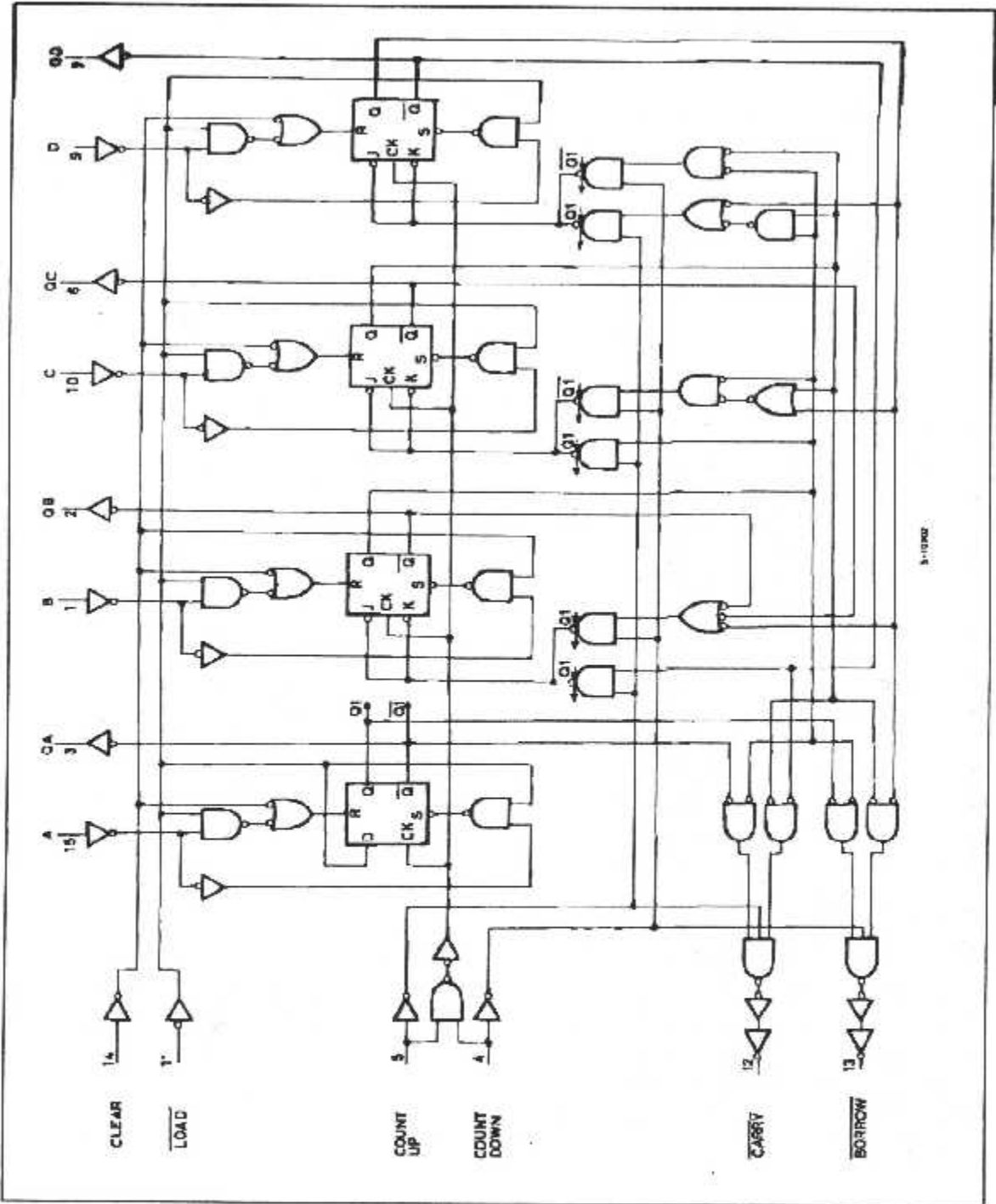


TRUTH TABLE

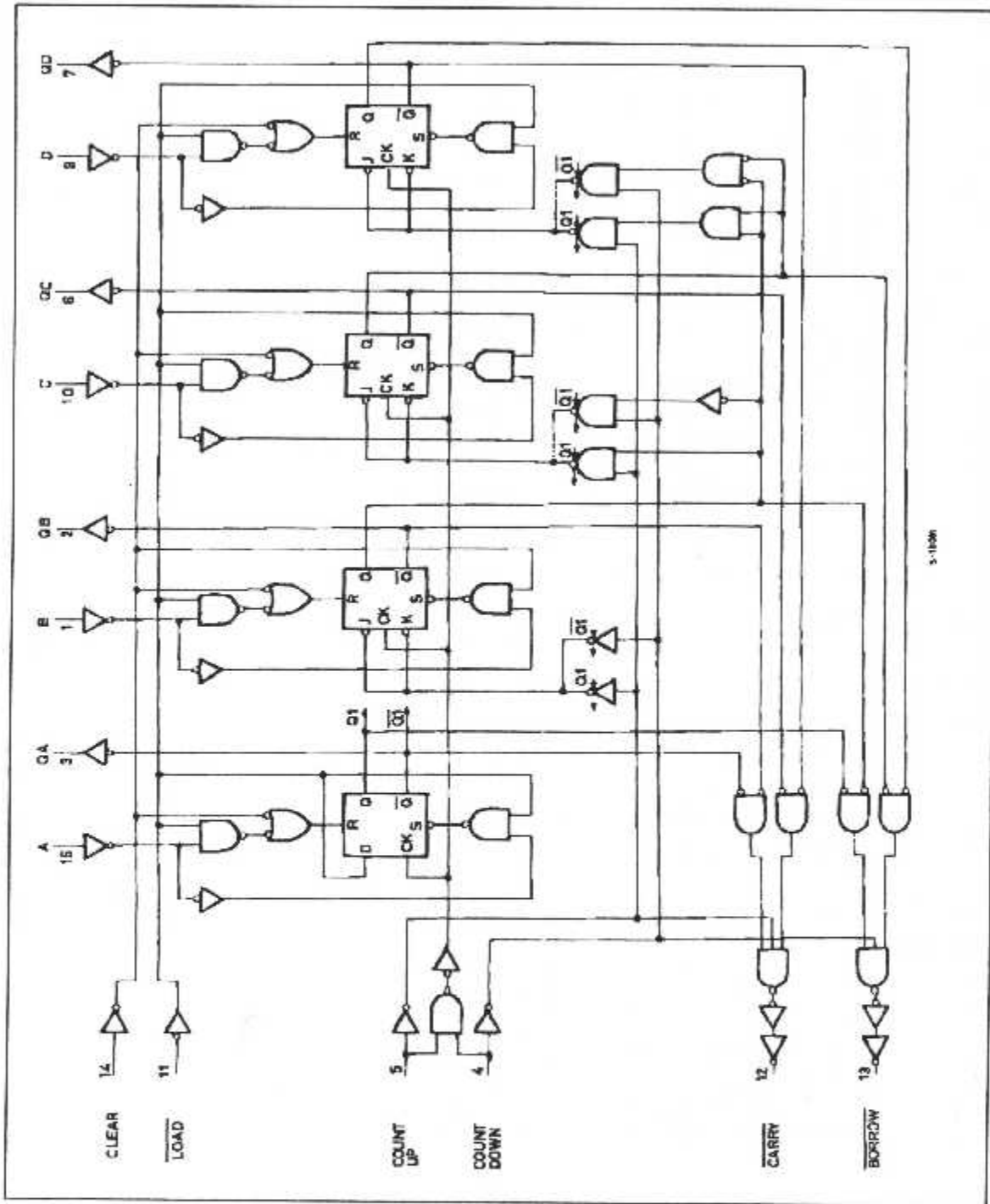
COUNT UP	COUNT DOWN	LOAD	CLEAR	FUNCTION
	H	H	L	COUNT UP
	H	H	L	NO COUNT
H		H	L	COUNT DOWN
H		H	L	NO COUNT
X	X	L	L	PRESET
X	X	X	H	RESET

X: Don't Care

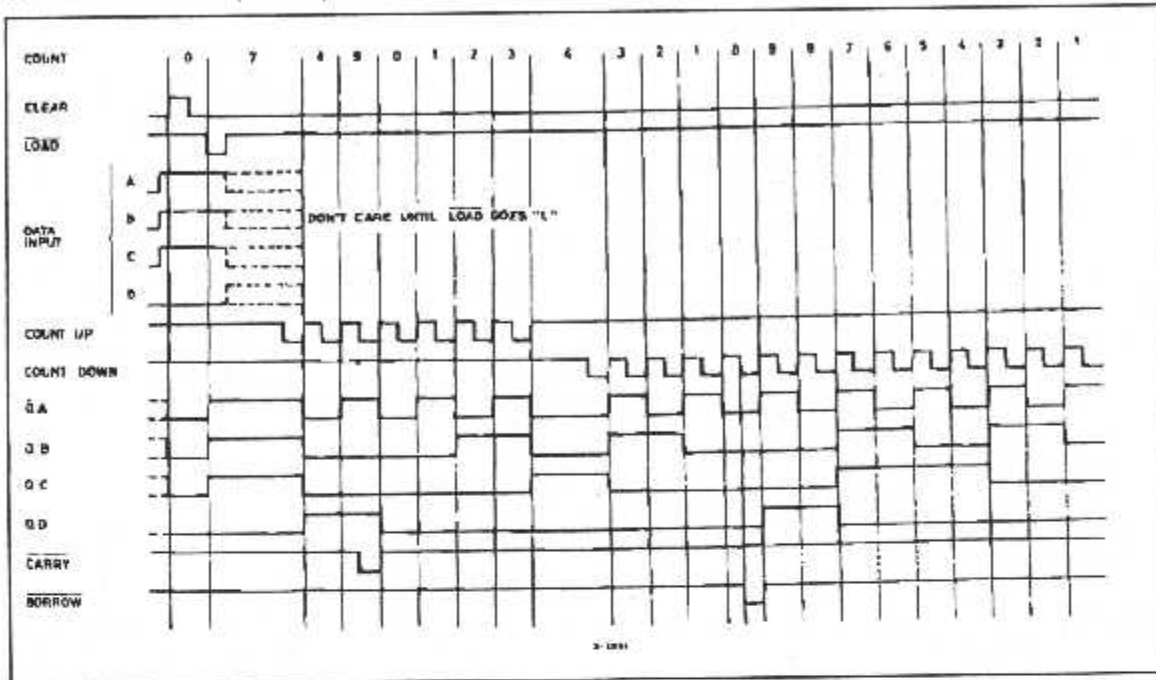
LOGIC DIAGAM (HC192)



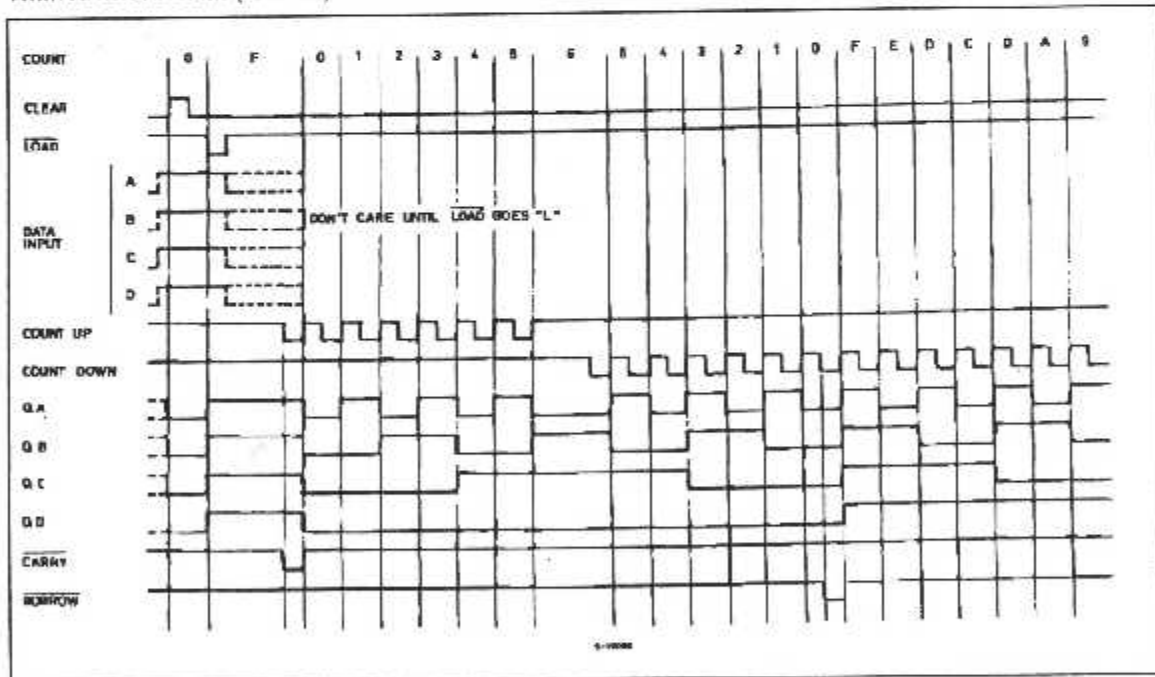
LOGIC DIAGAM (HC193)



TIMING DIAGRAM (HC192)



TIMING DIAGRAM (HC193)





## ABSOLUTE MAXIMUM RATINGS

Symbol	Parameter	Value	Unit
V <sub>CC</sub>	Supply Voltage	-0.5 to +7	V
V <sub>I</sub>	DC Input Voltage	-0.5 to V <sub>CC</sub> + 0.5	V
V <sub>O</sub>	DC Output Voltage	-0.5 to V <sub>CC</sub> + 0.5	V
I <sub>IK</sub>	DC Input Diode Current	± 20	mA
I <sub>OK</sub>	DC Output Diode Current	± 20	mA
I <sub>O</sub>	DC Output Source Sink Current Per Output Pin	± 25	mA
I <sub>CC</sub> or I <sub>AND</sub>	DC V <sub>CC</sub> or Ground Current	± 50	mA
P <sub>D</sub>	Power Dissipation	500 (*)	mW
T <sub>stg</sub>	Storage Temperature	-65 to +150	°C
T <sub>L</sub>	Lead Temperature (10 sec)	300	°C

Absolute Maximum Ratings are those values beyond which damage to the device may occur. Functional operation under these conditions is not implied.  
 (\*) 500 mW: = 65 °C derate to 300 mW by 10mW/°C: 65 °C to 85 °C

## RECOMMENDED OPERATING CONDITIONS

Symbol	Parameter	Value	Unit	
V <sub>CC</sub>	Supply Voltage	2 to 6	V	
V <sub>I</sub>	Input Voltage	0 to V <sub>CC</sub>	V	
V <sub>O</sub>	Output Voltage	0 to V <sub>CC</sub>	V	
T <sub>op</sub>	Operating Temperature: <b>M54HC Series</b> <b>M74HC Series</b>	-55 to +125 -40 to +85	°C °C	
t <sub>r</sub> , t <sub>f</sub>	Input Rise and Fall Time	V <sub>CC</sub> = 2 V V <sub>CC</sub> = 4.5 V V <sub>CC</sub> = 6 V	0 to 1000 0 to 500 0 to 400	ns

## DC SPECIFICATIONS

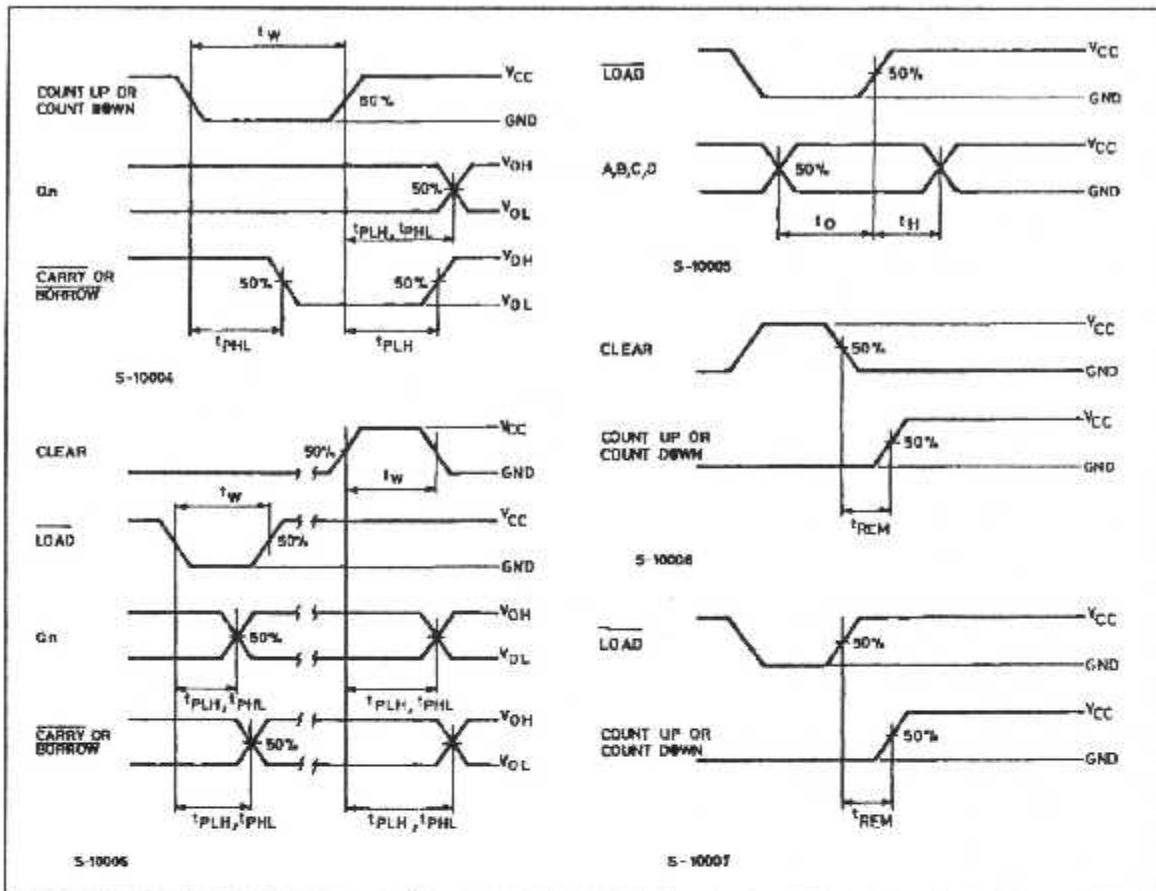
Symbol	Parameter	Test Conditions		Value						Unit		
		V <sub>CC</sub> (V)		T <sub>A</sub> = 25 °C 54HC and 74HC			-40 to 85 °C 74HC		-55 to 125 °C 54HC			
				Min.	Typ.	Max.	Min.	Max.	Min.		Max.	
V <sub>IH</sub>	High Level Input Voltage	2.0		1.5			1.5		1.5	V		
		4.5		3.15			3.15		3.15			
		6.0		4.2			4.2		4.2			
V <sub>IL</sub>	Low Level Input Voltage	2.0				0.5		0.5		V		
		4.5				1.35		1.35				
		6.0				1.8		1.8				
V <sub>OH</sub>	High Level Output Voltage	2.0	V <sub>I</sub> = V <sub>IH</sub> or V <sub>IL</sub>	I <sub>O</sub> = -20 μA	1.9	2.0		1.9		1.9	V	
		4.5			4.4	4.5		4.4		4.4		
		6.0			5.9	6.0		5.9		5.9		
		4.5	I <sub>O</sub> = -4.0 mA	4.18	4.31		4.13		4.10			
		6.0		I <sub>O</sub> = -5.2 mA	5.68	5.8		5.63		5.60		
V <sub>OL</sub>	Low Level Output Voltage	2.0	V <sub>I</sub> = V <sub>IH</sub> or V <sub>IL</sub>	I <sub>O</sub> = 20 μA		0.0	0.1		0.1		V	
		4.5				0.0	0.1		0.1			0.1
		6.0				0.0	0.1		0.1			0.1
		4.5	I <sub>O</sub> = 4.0 mA	0.17	0.26		0.33		0.40			
		6.0		I <sub>O</sub> = 5.2 mA	0.18	0.26		0.33		0.40		
I <sub>I</sub>	Input Leakage Current	6.0	V <sub>I</sub> = V <sub>CC</sub> or GND			±0.1		±1		±1	μA	
I <sub>CC</sub>	Quiescent Supply Current	6.0	V <sub>I</sub> = V <sub>CC</sub> or GND			4		40		80	μA	

AC ELECTRICAL CHARACTERISTICS ( $C_L = 50$  pF, Input  $t_r = t_f = 6$  ns)

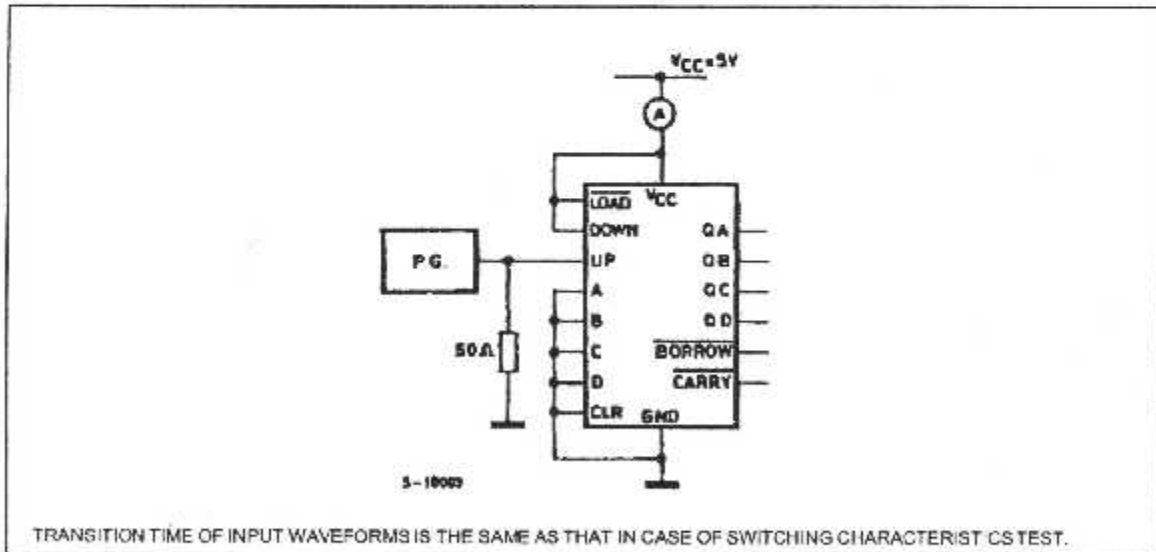
Symbol	Parameter	Test Conditions		Value						Unit	
		V <sub>CC</sub> (V)		T <sub>A</sub> = 25 °C 54HC and 74HC			-40 to 85 °C 74HC		-55 to 125 °C 54HC		
				Min.	Typ.	Max.	Min.	Max.	Min.		Max.
t <sub>PLH</sub> t <sub>PHL</sub>	Output Transition Time	2.0		30	75		95		110	ns	
		4.5		8	15		19		22		
		6.0		7	13		16		19		
t <sub>PLH</sub> t <sub>PHL</sub>	Propagation Delay Time (UP, DOWN - Q)	2.0		65	190		240		285	ns	
		4.5		20	38		48		57		
		6.0		16	32		41		48		
t <sub>PLH</sub> t <sub>PHL</sub>	Propagation Delay Time (UP - CARRY)	2.0		40	130		165		195	ns	
		4.5		13	26		33		39		
		6.0		11	22		28		33		
t <sub>PLH</sub> t <sub>PHL</sub>	Propagation Delay Time (DOWN - BORROW)	2.0		40	130		165		195	ns	
		4.5		13	26		33		39		
		6.0		11	22		28		33		
t <sub>PLH</sub> t <sub>PHL</sub>	Propagation Delay Time (LOAD - Q)	2.0		85	220		275		330	ns	
		4.5		25	44		55		66		
		6.0		20	37		47		56		
t <sub>PLH</sub> t <sub>PHL</sub>	Propagation Delay Time (LOAD - CARRY)	2.0		110	250		315		375	ns	
		4.5		30	50		63		75		
		6.0		25	43		54		64		
t <sub>PLH</sub> t <sub>PHL</sub>	Propagation Delay Time (LOAD - BORROW)	2.0		110	250		315		375	ns	
		4.5		31	50		63		75		
		6.0		25	43		54		64		
t <sub>PLH</sub> t <sub>PHL</sub>	Propagation Delay Time (DATA - Q)	2.0		80	190		240		285	ns	
		4.5		25	38		48		57		
		6.0		20	32		41		48		
t <sub>PLH</sub> t <sub>PHL</sub>	Propagation Delay Time (DATA - CARRY)	2.0		120	250		315		375	ns	
		4.5		34	50		63		75		
		6.0		28	43		54		64		
t <sub>PLH</sub> t <sub>PHL</sub>	Propagation Delay Time (DATA - BORROW)	2.0		110	250		315		375	ns	
		4.5		30	50		63		75		
		6.0		25	43		54		64		
t <sub>PHL</sub>	Propagation Delay Time (CLEAR - Q)	2.0		100	225		280		340	ns	
		4.5		30	45		56		68		
		6.0		25	38		48		58		
t <sub>PLH</sub>	Propagation Delay Time (CLEAR - CARRY)	2.0		120	250		315		375	ns	
		4.5		35	50		63		75		
		6.0		29	43		54		64		
t <sub>PHL</sub>	Propagation Delay Time (CLEAR - BORROW)	2.0		120	250		315		375	ns	
		4.5		35	50		63		75		
		6.0		29	43		54		64		
f <sub>MAX</sub>	Maximum Clock Frequency	2.0		5	12		4		3.4	MHz	
		4.5		25	48		20		17		
		6.0		30	55		24		20		



SWITCHING CHARACTERISTICS TEST WAVEFORM



TEST CIRCUIT  $I_{CC}$  (Opr.)

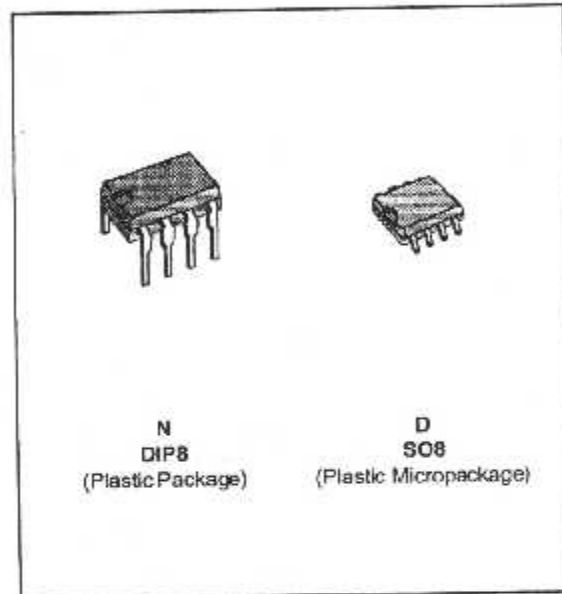


**GENERAL PURPOSE SINGLE BIPOLAR TIMERS**

- LOW TURN OFF TIME
- MAXIMUM OPERATING FREQUENCY GREATER THAN 500kHz
- TIMING FROM MICROSECONDS TO HOURS
- OPERATES IN BOTH ASTABLE AND MONOSTABLE MODES
- HIGH OUTPUT CURRENT CAN SOURCE OR SINK 200mA
- ADJUSTABLE DUTY CYCLE
- TTL COMPATIBLE
- TEMPERATURE STABILITY OF 0.005% PER°C

**DESCRIPTION**

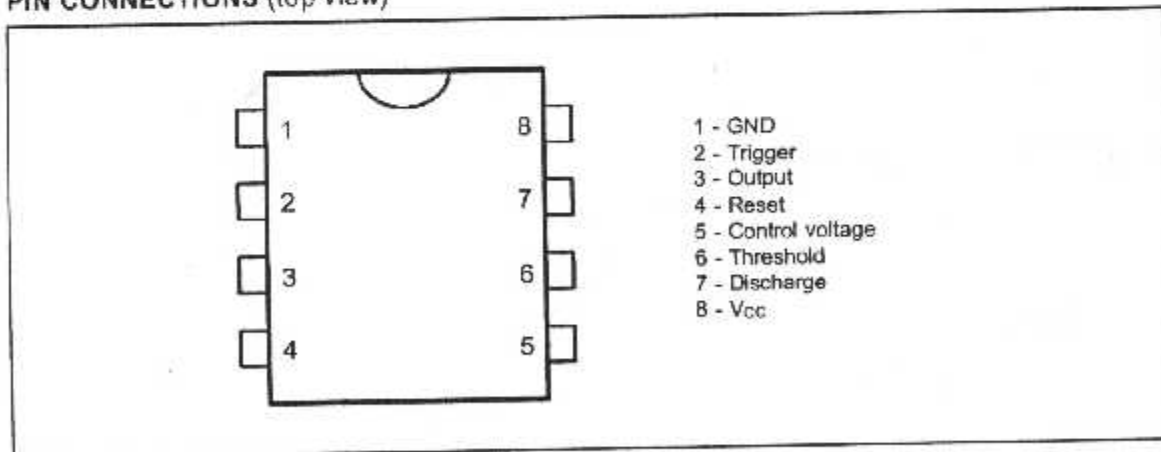
The NE555 monolithic timing circuit is a highly stable controller capable of producing accurate time delays or oscillation. In the time delay mode of operation, the time is precisely controlled by one external resistor and capacitor. For a stable operation as an oscillator, the free running frequency and the duty cycle are both accurately controlled with two external resistors and one capacitor. The circuit may be triggered and reset on falling waveforms, and the output structure can source or sink up to 200mA. The NE555 is available in plastic and ceramic minidip package and in a 8-lead micropackage and in metal can package version.



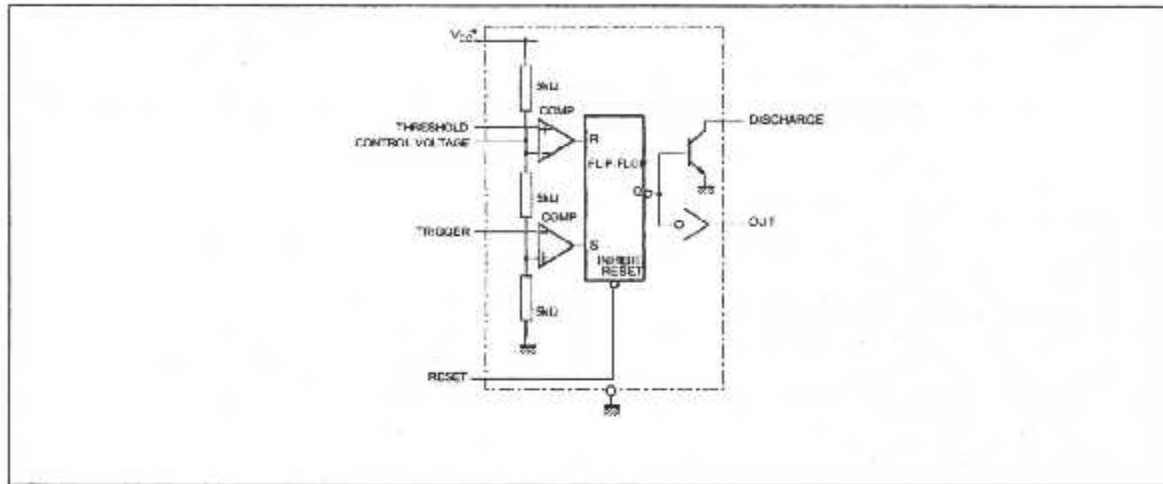
**ORDER CODES**

Part Number	Temperature Range	Package	
		N	D
NE555	0°C, 70°C	•	•
SA555	-40°C, 105°C	•	•
SE555	-55°C, 125°C	•	•

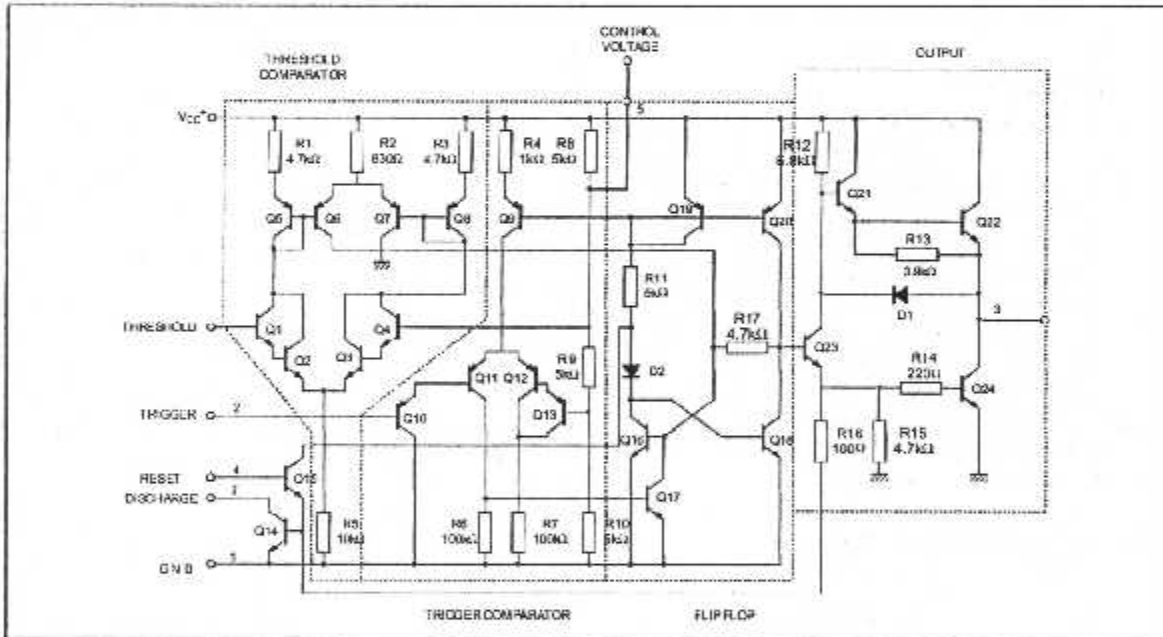
**PIN CONNECTIONS (top view)**



BLOCK DIAGRAM



SCHEMATIC DIAGRAM



ABSOLUTE MAXIMUM RATINGS

Symbol	Parameter	Value	Unit	
$V_{CC}$	Supply Voltage	18	V	
$T_{oper}$	Operating Free Air Temperature Range	for NE555 for SA555 for SE555	0 to 70 -40 to 105 -55 to 125	$^{\circ}$ C
$T_j$	Junction Temperature	150	$^{\circ}$ C	
$T_{stg}$	Storage Temperature Range	-65 to 150	$^{\circ}$ C	

## OPERATING CONDITIONS

Symbol	Parameter	SE555	NE555 - SA555	Unit
$V_{CC}$	Supply Voltage	4.5 to 18	4.5 to 16	V
$V_{th}$ , $V_{trig}$ , $V_C$ , $V_{reset}$	Maximum Input Voltage	$V_{CC}$	$V_{CC}$	V

## ELECTRICAL CHARACTERISTICS

$T_{amb} = +25^{\circ}\text{C}$ ,  $V_{CC} = +5\text{V}$  to  $+15\text{V}$  (unless otherwise specified)

Symbol	Parameter	SE555			NE555 - SA555			Unit
		Min.	Typ.	Max.	Min.	Typ.	Max.	
$I_{CC}$	Supply Current ( $R_L \infty$ ) (- note 1)		3	5		3	6	mA
	Low State $V_{CC} = +5\text{V}$		10	12		10	15	
	High State $V_{CC} = 5\text{V}$		2			2		
	Timing Error (monostable) ( $R_A - 2\text{k}$ to $100\text{k}\Omega$ , $C = 0.1\mu\text{F}$ )		0.5	2		1	3	% ppm/ $^{\circ}\text{C}$ %/V
	Initial Accuracy - (note 2)		30	100		50		
	Drift with Temperature Drift with Supply Voltage		0.05	0.2		0.1	0.5	
	Timing Error (astable) ( $R_A, R_B = 1\text{k}\Omega$ to $100\text{k}\Omega$ , $C = 0.1\mu\text{F}$ , $V_{CC} = +15\text{V}$ )		1.5			2.25		% ppm/ $^{\circ}\text{C}$ %/V
	Initial Accuracy - (note 2)		90			150		
	Drift with Temperature Drift with Supply Voltage		0.15			0.3		
$V_{CL}$	Control Voltage level $V_{CC} = +15\text{V}$ $V_{CC} = +5\text{V}$	9.6	10	10.4	9	10	11	V
		2.9	3.33	3.8	2.6	3.33	4	
$V_{th}$	Threshold Voltage $V_{CC} = +15\text{V}$ $V_{CC} = +5\text{V}$	9.4	10	10.6	8.8	10	11.2	V
		2.7	3.33	4	2.4	3.33	4.2	
$I_{th}$	Threshold Current - (note 3)		0.1	0.25		0.1	0.25	$\mu\text{A}$
$V_{trig}$	Trigger Voltage $V_{CC} = +15\text{V}$ $V_{CC} = +5\text{V}$	4.8	5	5.2	4.5	5	5.8	V
		1.45	1.67	1.9	1.1	1.67	2.2	
$I_{trig}$	Trigger Current ( $V_{trig} = 0\text{V}$ )		0.5	0.9		0.5	2.0	$\mu\text{A}$
$V_{reset}$	Reset Voltage - (note 4)	0.4	0.7	1	0.4	0.7	1	V
$I_{reset}$	Reset Current $V_{reset} = +0.4\text{V}$ $V_{reset} = 0\text{V}$		0.1	0.4		0.1	0.4	mA
			0.4	1		0.4	1.5	
$V_{OL}$	Low Level Output Voltage $V_{CC} = +15\text{V}$ , $I_{O(sink)} = 10\text{mA}$		0.1	0.15		0.1	0.25	V
			0.4	0.5		0.4	0.75	
			2	2.2		2	2.5	
	$V_{CC} = +5\text{V}$ , $I_{O(sink)} = 8\text{mA}$		2.5			2.5		
			0.1	0.25		0.3	0.4	
			0.05	0.2		0.25	0.35	
$V_{OH}$	High Level Output Voltage $V_{CC} = +15\text{V}$ , $I_{O(source)} = 200\text{mA}$	13	12.5		12.75	12.5	V	
			13.3		13.3			
			3	3.3		3.3		

- Notes : 1. Supply current when output is high is typically 1mA less.  
2. Tested at  $V_{CC} = +5\text{V}$  and  $V_{CC} = +15\text{V}$ .  
3. This will determine the maximum value of  $R_A + R_B$  for  $+15\text{V}$  operation the max total is  $R = 20\text{M}\Omega$  and for  $5\text{V}$  operation, the max total  $R = 3.5\text{M}\Omega$ .



ELECTRICAL CHARACTERISTICS (continued)

Symbol	Parameter	SE555			NE555 - SA555			Unit
		Min.	Typ.	Max.	Min.	Typ.	Max.	
$I_{dis(off)}$	Discharge Pin Leakage Current (output high) ( $V_{dis} = 10V$ )		20	100		20	100	nA
$V_{dis(sat)}$	Discharge pin Saturation Voltage (output low) - (note 5) $V_{CC} = +15V, I_{dis} = 15mA$ $V_{CC} = +5V, I_{dis} = 4.5mA$		180 80	480 200		180 80	480 200	mV
$t_r$ $t_f$	Output Rise Time Output Fall Time		100 100	200 200		100 100	300 300	ns
$t_{off}$	Turn off Time - (note 6) ( $V_{reset} = V_{CC}$ )		0.5			0.5		$\mu s$

Notes : 5. No protection against excessive Pin 7 current is necessary, providing the package dissipation rating will not be exceeded.  
6. Time measured from a positive going input pulse from 0 to 0.8x  $V_{CC}$  into the threshold to the drop from high to low of the output trigger is tied to threshold.

Figure 1 : Minimum Pulse Width Required for Trigning

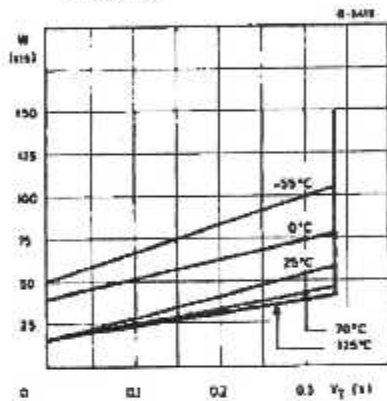


Figure 3 : Delay Time versus Temperature

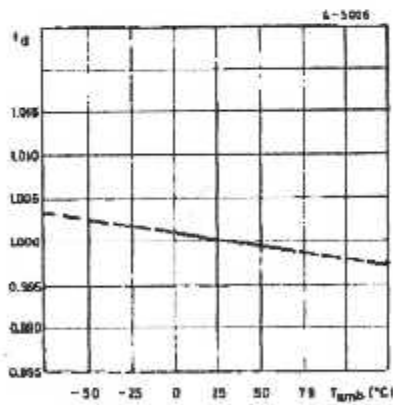


Figure 2 : Supply Current versus Supply Voltage

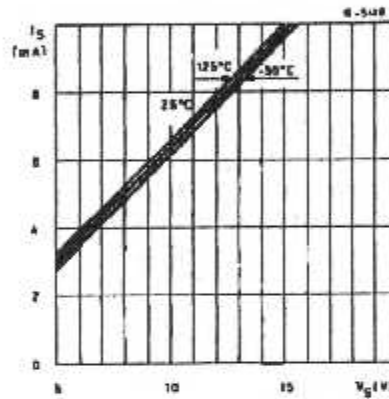


Figure 4 : Low Output Voltage versus Output Sink Current

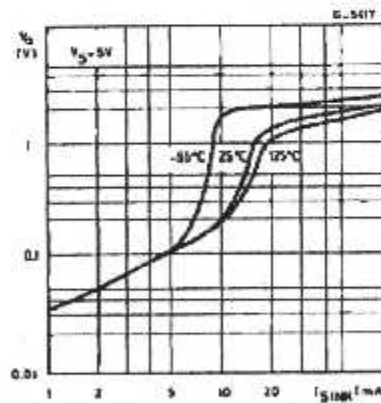
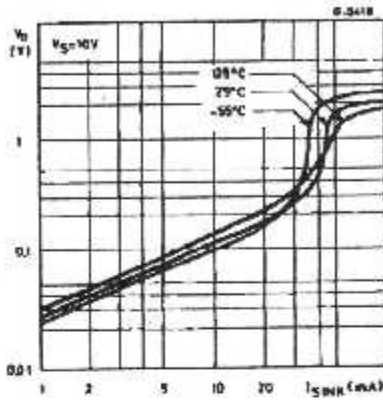
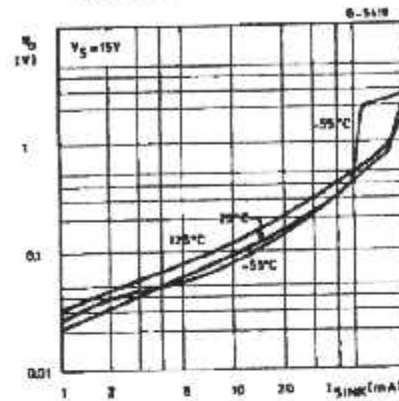


Figure 5 : Low Output Voltage versus Output Sink Current



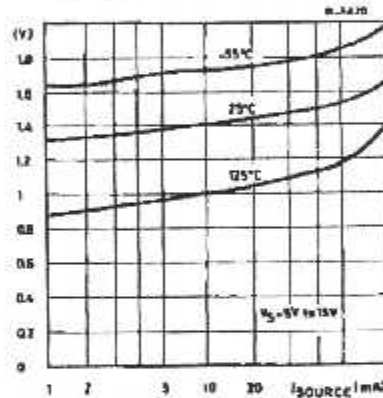
555-08.EPS

Figure 6 : Low Output Voltage versus Output Sink Current



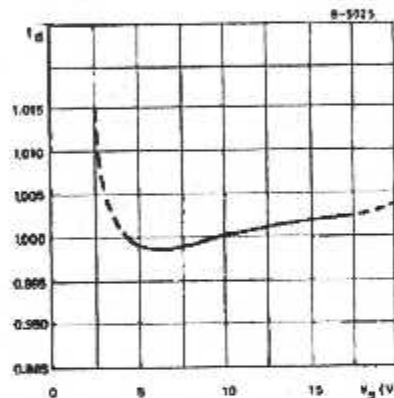
555-10.EPS

Figure 7 : High Output Voltage Drop versus Output



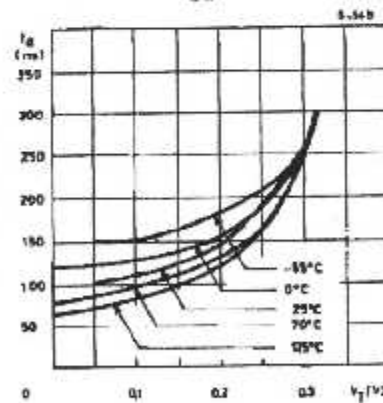
555-11.EPS

Figure 8 : Delay Time versus Supply Voltage



555-12.EPS

Figure 9 : Propagation Delay versus Voltage Level of Trigger Value



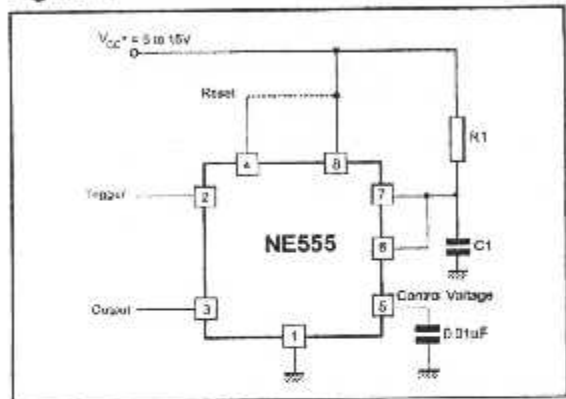
555-15.EPS

**APPLICATION INFORMATION**

**MONOSTABLE OPERATION**

In the monostable mode, the timer functions as a one-shot. Referring to figure 10 the external capacitor is initially held discharged by a transistor inside the timer.

**Figure 10**



The circuit triggers on a negative-going input signal when the level reaches  $1/3 V_{cc}$ . Once triggered, the circuit remains in this state until the set time has elapsed, even if it is triggered again during this interval. The duration of the output HIGH state is given by  $t = 1.1 R_1 C_1$  and is easily determined by figure 12.

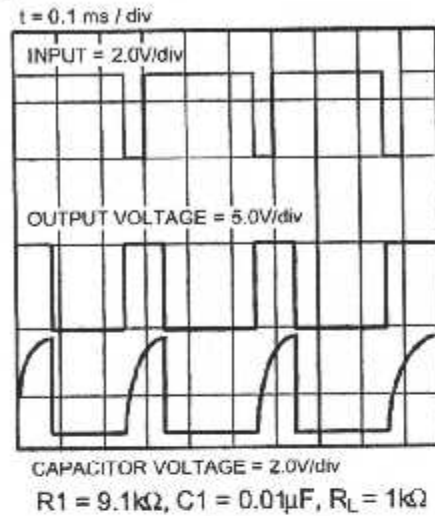
Notice that since the charge rate and the threshold level of the comparator are both directly proportional to supply voltage, the timing interval is independent of supply. Applying a negative pulse simultaneously to the reset terminal (pin 4) and the trigger terminal (pin 2) during the timing cycle discharges the external capacitor and causes the cycle to start over. The timing cycle now starts on the positive edge of the reset pulse. During the time the reset pulse is applied, the output is driven to its LOW state.

When a negative trigger pulse is applied to pin 2, the flip-flop is set, releasing the short circuit across the external capacitor and driving the output HIGH. The voltage across the capacitor increases exponentially with the time constant  $\tau = R_1 C_1$ . When the voltage across the capacitor equals  $2/3 V_{cc}$ , the comparator resets the flip-flop which then discharge the capacitor rapidly and drives the output to its LOW state.

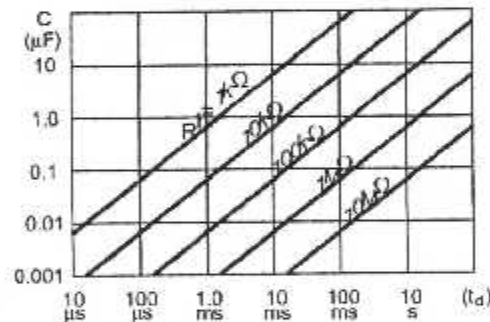
Figure 11 shows the actual waveforms generated in this mode of operation.

When Reset is not used, it should be tied high to avoid any possibly or false triggering.

**Figure 11**



**Figure 12**



**ASTABLE OPERATION**

When the circuit is connected as shown in figure 13 (pin 2 and 6 connected) it triggers itself and free runs as a multivibrator. The external capacitor charges through  $R_1$  and  $R_2$  and discharges through  $R_2$  only. Thus the duty cycle may be precisely set by the ratio of these two resistors.

In the astable mode of operation,  $C_1$  charges and discharges between  $1/3 V_{cc}$  and  $2/3 V_{cc}$ . As in the triggered mode, the charge and discharge times and therefore frequency are independent of the supply voltage.

Figure 13

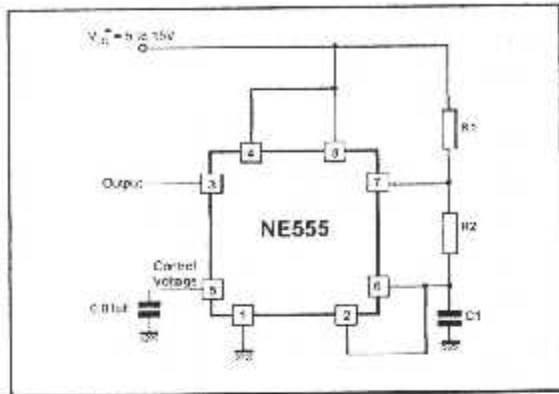


Figure 14 shows actual waveforms generated in this mode of operation.

The charge time (output HIGH) is given by :

$$t_1 = 0.693 (R_1 + R_2) C_1$$

and the discharge time (output LOW) by :

$$t_2 = 0.693 (R_2) C_1$$

Thus the total period T is given by :

$$T = t_1 + t_2 = 0.693 (R_1 + 2R_2) C_1$$

The frequency of oscillation is then :

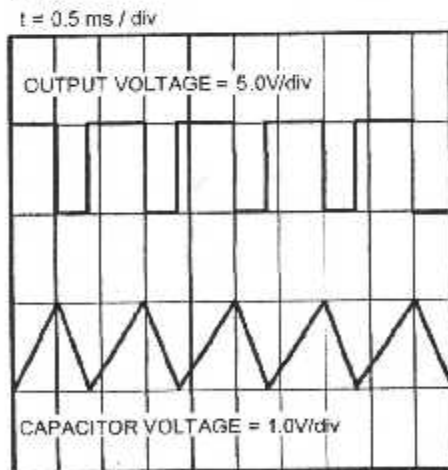
$$f = \frac{1}{T} = \frac{1.44}{(R_1 + 2R_2) C_1}$$

and may be easily found by figure 15.

The duty cycle is given by :

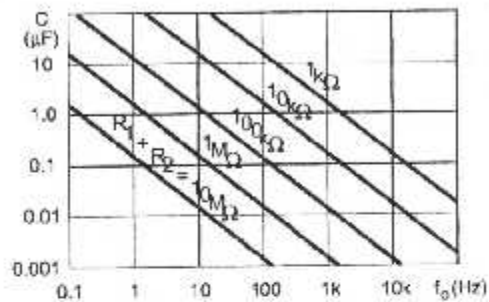
$$D = \frac{R_2}{R_1 + 2R_2}$$

Figure 14



$R_1 = R_2 = 4.8k\Omega$ ,  $C_1 = 0.1\mu F$ ,  $R_L = 1k\Omega$

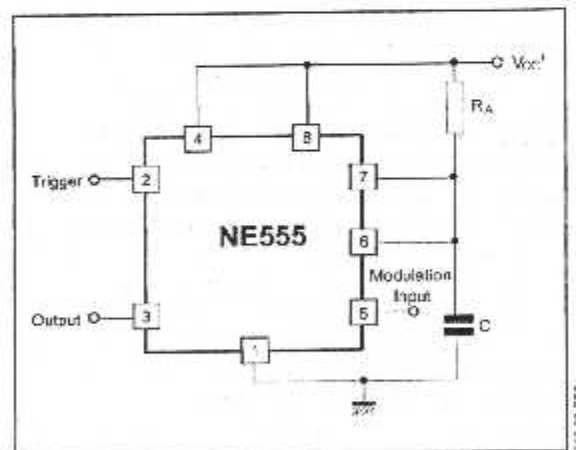
Figure 15 : Free Running Frequency versus  $R_1$ ,  $R_2$  and  $C_1$



### PULSE WIDTH MODULATOR

When the timer is connected in the monostable mode and triggered with a continuous pulse train, the output pulse width can be modulated by a signal applied to pin 5. Figure 16 shows the circuit.

Figure 16 : Pulse Width Modulator.



**LINEAR RAMP**

When the pullup resistor,  $R_A$ , in the monostable circuit is replaced by a constant current source, a linear ramp is generated. Figure 17 shows a circuit configuration that will perform this function.

Figure 17.

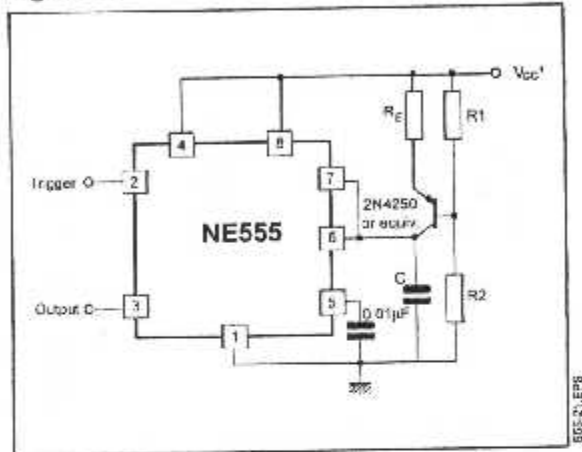
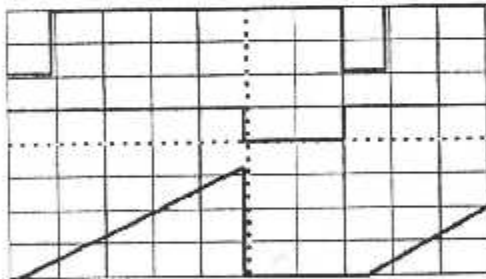


Figure 18 shows waveforms generated by the linear ramp.

The time interval is given by :

$$T = \frac{(2/3 V_{CC} R_E (R_1 + R_2) C}{R_1 V_{CC} \pm V_{BE} (R_1 + R_2)} \quad V_{BE} = 0.6V$$

Figure 18 : Linear Ramp.



$V_{CC} = 5V$   
 Time = 20µs/DIV  
 $R_1 = 47k\Omega$   
 $R_2 = 100k\Omega$   
 $R_E = 2.7k\Omega$   
 $C = 0.01\mu F$

Top trace : Input 3V/DIV  
 Middle trace : output 5V/DIV  
 Bottom trace : output 5V/DIV  
 Bottom trace : capacitor voltage 1V/DIV

**50% DUTY CYCLE OSCILLATOR**

For a 50% duty cycle the resistors  $R_A$  and  $R_E$  may be connected as in figure 19. The time period for the output high is the same as previous,  
 $t_1 = 0.693 R_A C$ .

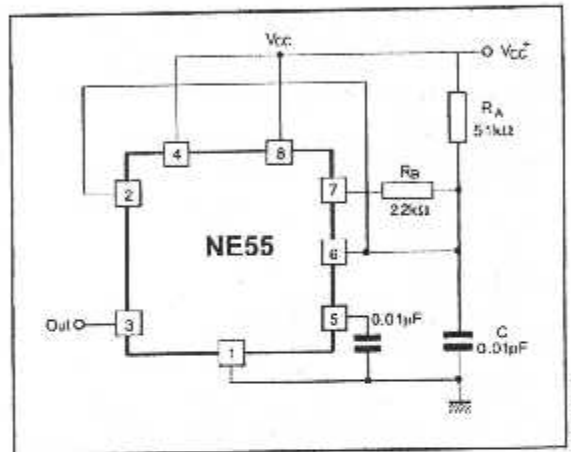
For the output low it is  $t_2 =$   

$$[(R_A R_B) / (R_A + R_B)] C \ln \left[ \frac{R_B \pm 2R_A}{2R_B \pm R_A} \right]$$

Thus the frequency of oscillation is  $f = \frac{1}{t_1 + t_2}$

Note that this circuit will not oscillate if  $R_B$  is greater

Figure 19 : 50% Duty Cycle Oscillator.



than  $1/2 R_A$  because the junction of  $R_A$  and  $R_B$  cannot bring pin 2 down to  $1/3 V_{CC}$  and trigger the lower comparator.

**ADDITIONAL INFORMATION**

Adequate power supply bypassing is necessary to protect associated circuitry. Minimum recommended is  $0.1\mu F$  in parallel with  $1\mu F$  electrolytic.

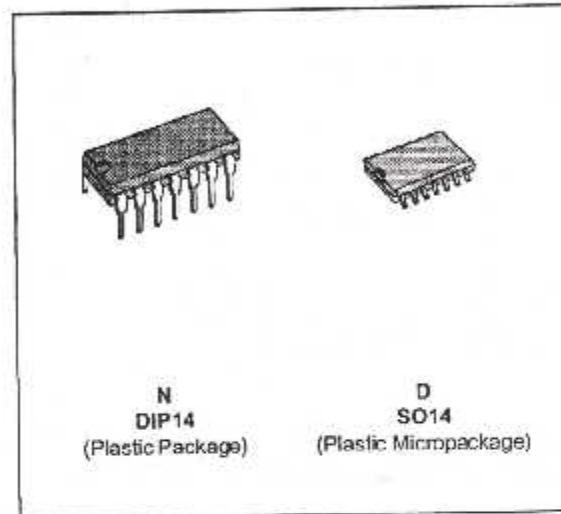


**GENERAL PURPOSE DUAL BIPOLAR TIMERS**

- LOW TURN OFF TIME
- MAXIMUM OPERATING FREQUENCY GREATER THAN 500kHz
- TIMING FROM MICROSECONDS TO HOURS
- OPERATES IN BOTH ASTABLE AND MONOSTABLE MODES
- HIGH OUTPUT CURRENT CAN SOURCE OR SINK 200mA
- ADJUSTABLE DUTY CYCLE
- TTL COMPATIBLE
- TEMPERATURE STABILITY OF 0.005% PER °C

**DESCRIPTION**

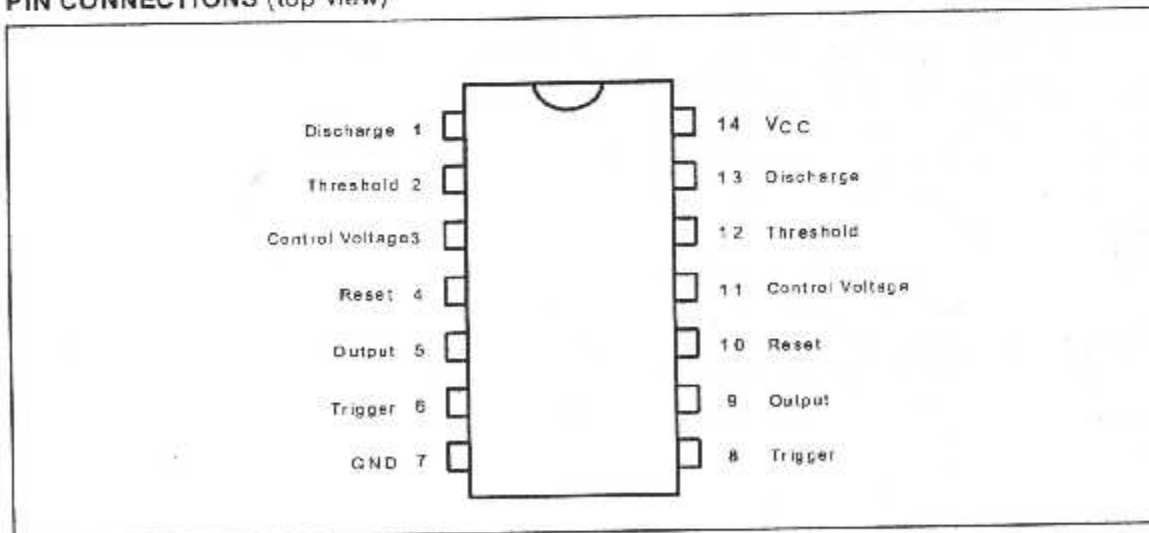
The NE555 dual monolithic timing circuit is a highly stable controller capable of producing accurate time delays or oscillation. In the time delay mode of operation, the time is precisely controlled by one external resistor and capacitor. For a stable operation as an oscillator, the free running frequency and the duty cycle are both accurately controlled with two external resistors and one capacitor. The circuit may be triggered and reset on falling waveforms, and the output structure can source or sink up to 200mA.



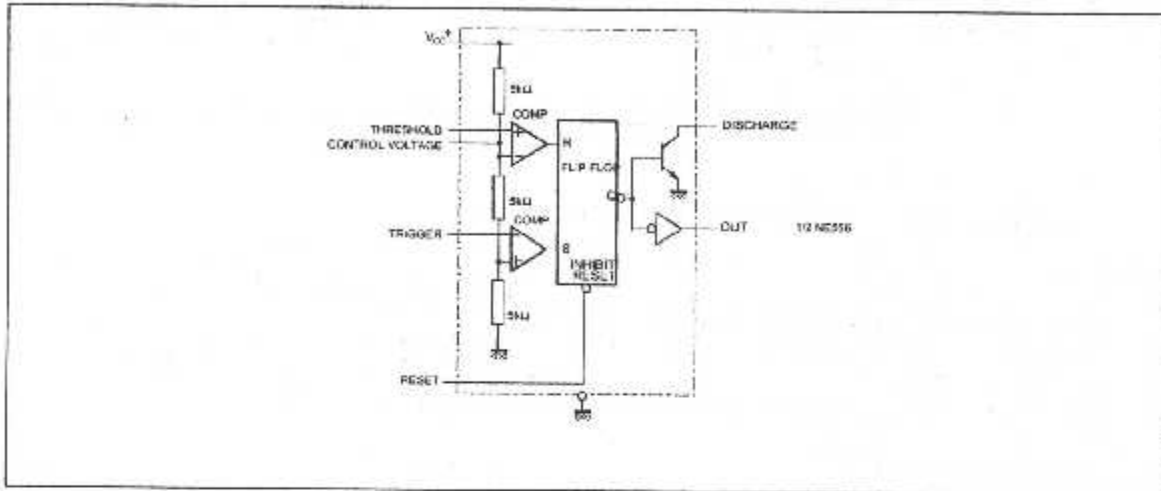
**ORDER CODES**

Part Number	Temperature Range	Package	
		N	D
NE555	0°C, 70°C	•	•
SA555	-40°C, 105°C	•	•
SE555	-55°C, 125°C	•	•

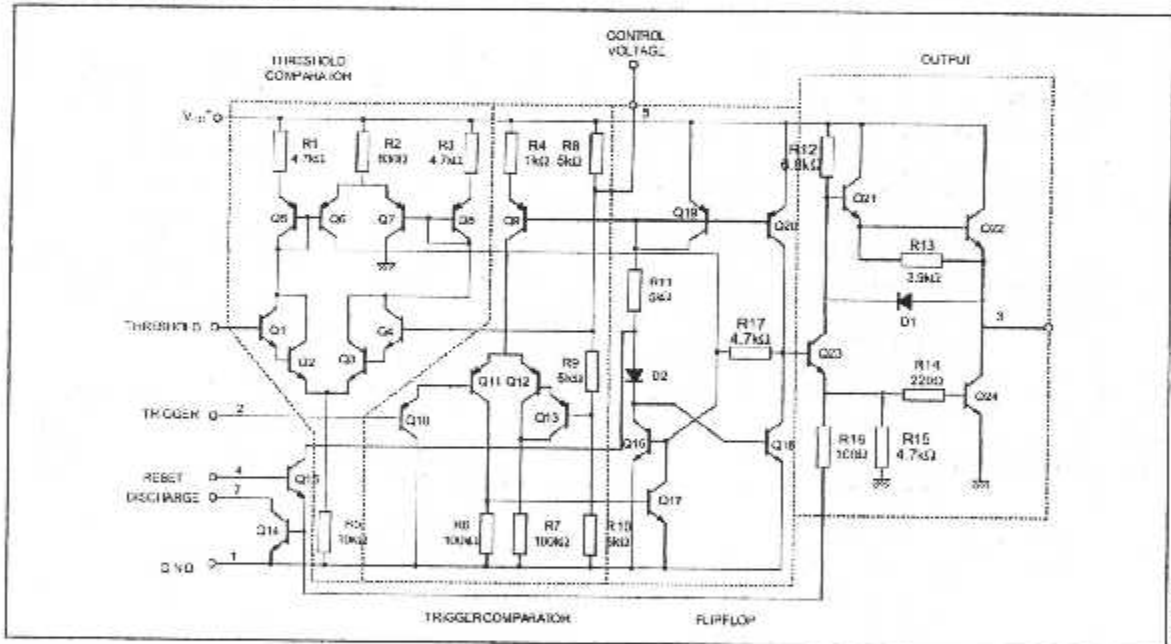
**PIN CONNECTIONS (top view)**



BLOCK DIAGRAM



SCHEMATIC DIAGRAM



ABSOLUTE MAXIMUM RATINGS

Symbol	Parameter	Value	Unit
$V_{cc}$	Supply Voltage	for SE555 18 for NE555 16	V
$T_{oper}$	Operating Free Air Temperature Range	for NE555 0 to 70 for SA555 -40 to 105 for SE555 -55 to 125	°C
$T_j$	Junction Temperature	150	°C

## OPERATING CONDITIONS

Symbol	Parameter	SE555	NE555 - SA555	Unit
$V_{CC}$	Supply Voltage	4.5 to 18	4.5 to 16	V
$V_{th}$ , $V_{trig}$ , $V_{ct}$ , $V_{reset}$	Maximum Input Voltage	$V_{CC}$	$V_{CC}$	V

## ELECTRICAL CHARACTERISTICS

$T_{amb} = +25^{\circ}\text{C}$ ,  $V_{CC} = +5\text{V}$  to  $+15\text{V}$  (unless otherwise specified)

Symbol	Parameter	SE555			NE555 - SA555			Unit
		Min.	Typ.	Max.	Min.	Typ.	Max.	
$I_{CC}$	Supply Current ( $R_L = \infty$ ) - (note 1) - (2 timers) Low State $V_{CC} = +5\text{V}$ $V_{CC} = +15\text{V}$ High State $V_{CC} = 5\text{V}$		6 20 4	10 24		6 20 4	12 30	mA
	Timing Error (monostable) ( $R_A = 2\text{k}\Omega$ to $100\text{k}\Omega$ , $C = 0.1\mu\text{F}$ ) Initial Accuracy - (note 2) Drift with Temperature Drift with Supply Voltage		0.5 30 0.05	2 100 0.2		1 50 0.1	3 0.5	% ppm/ $^{\circ}\text{C}$ %/V
	Timing Error (astable) ( $R_A, R_B = 1\text{k}\Omega$ to $100\text{k}\Omega$ , $C = 0.1\mu\text{F}$ , $V_{CC} = +15\text{V}$ ) Initial Accuracy - (note 2) Drift with Temperature Drift with Supply Voltage		1.5 90 0.15			2.25 150 0.3		% ppm/ $^{\circ}\text{C}$ %/V
$V_{CL}$	Control Voltage level $V_{CC} = +15\text{V}$ $V_{CC} = +5\text{V}$	9.6 2.9	10 3.33	10.4 3.8	9 2.6	10 3.33	11 4	V
$V_{th}$	Threshold Voltage $V_{CC} = +15\text{V}$ $V_{CC} = +5\text{V}$	9.4 2.7	10 3.33	10.6 4	8.8 2.4	10 3.33	11.2 4.2	V
$I_{th}$	Threshold Current - (note 3)		0.1	0.25		0.1	0.25	$\mu\text{A}$
$V_{trig}$	Trigger Voltage $V_{CC} = +15\text{V}$ $V_{CC} = +5\text{V}$	4.8 1.45	5 1.67	5.2 1.9	4.5 1.1	5 1.67	5.6 2.2	V
$I_{trig}$	Trigger Current ( $V_{trig} = 0\text{V}$ )		0.5	0.9		0.5	2.0	$\mu\text{A}$
$V_{reset}$	Reset Voltage - (note 4)	0.4	0.7	1	0.4	0.7	1	V
$I_{reset}$	Reset Current $V_{reset} = +0.4\text{V}$ $V_{reset} = 0\text{V}$		0.1 0.4	0.4 1		0.1 0.4	0.4 1.5	mA
$V_{OL}$	Low Level Output Voltage $V_{CC} = -15\text{V}$ , $I_{O(sink)} = 10\text{mA}$ $I_{O(sink)} = 50\text{mA}$ $I_{O(sink)} = 100\text{mA}$ $I_{O(sink)} = 200\text{mA}$ $V_{CC} = +5\text{V}$ , $I_{O(sink)} = 8\text{mA}$ $I_{O(sink)} = 5\text{mA}$		0.1 0.4 2 2.5 0.1 0.05	0.15 0.5 2.2 2.5 0.25 0.2		0.1 0.4 2 2.5 0.3 0.25	0.25 0.75 2.5 0.4 0.35	V
$V_{OH}$	High Level Output Voltage $V_{CC} = +15\text{V}$ , $I_{O(source)} = 200\text{mA}$ $I_{O(source)} = 100\text{mA}$ $V_{CC} = +5\text{V}$ , $I_{O(source)} = 100\text{mA}$	13 3	12.5 13.3 3.3		12.75 2.75	12.5 13.3 3.3		V

- Notes:
1. Supply current when output is high is typically 1mA less.
  2. Tested at  $V_{CC} = +5\text{V}$  and  $V_{CC} = +15\text{V}$ .
  3. This will determine the maximum value of  $R_A + R_B$  for +15V operation the max total is  $R = 20\text{M}\Omega$  and for 5V operation, the max total  $R = 3.5\text{M}\Omega$ .
  4. Specified with trigger input high.



ELECTRICAL CHARACTERISTICS (continued)

Symbol	Parameter	SE556			NE556 - SA556			Unit
		Min.	Typ.	Max.	Min.	Typ.	Max.	
$I_{D4(off)}$	Discharge Pin Leakage Current (output high) ( $V_{dis} = 10V$ )		20	100		20	100	nA
$V_{D4(sat)}$	Discharge pin Saturation Voltage (output low) - (note 5) $V_{CC} = +15V, I_{dis} = 15mA$ $V_{CC} = +5V, I_{dis} = 4.5mA$		180 80	480 200		180 80	480 200	mV
$t_r$	Output Rise Time		100	200		100	300	ns
$t_f$	Output Fall Time		100	200		100	300	ns
$t_{off}$	Turn off Time - (note 6) ( $V_{resol} = V_{CC}$ )		0.5			0.5		$\mu s$

- Notes : 5. No protection against excessive Pin 7 current is necessary, providing the package dissipation rating will not be exceeded.  
6. Time measured from a positive going input pulse from 0 to  $0.8 \times V_{CC}$  into the threshold to the drop from high to low of the output trigger is tied to threshold.

Figure 1 : Minimum Pulse Width Required for Trigering

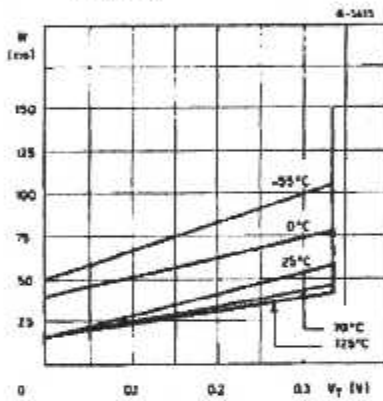


Figure 3 : Delay Time versus Temperature

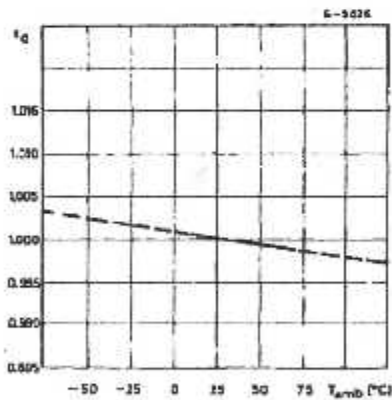


Figure 2 : Supply Current versus Supply Voltage

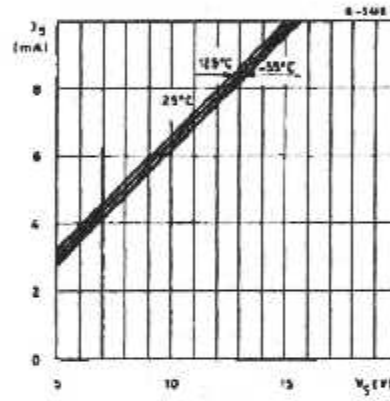


Figure 4 : Low Output Voltage versus Output Sink Current

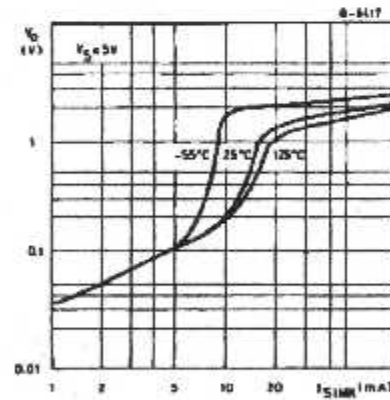


Figure 5 : Low Output Voltage versus Output Sink Current

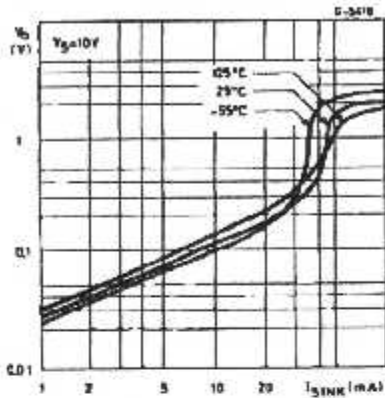


Figure 6 : Low Output Voltage versus Output Sink Current

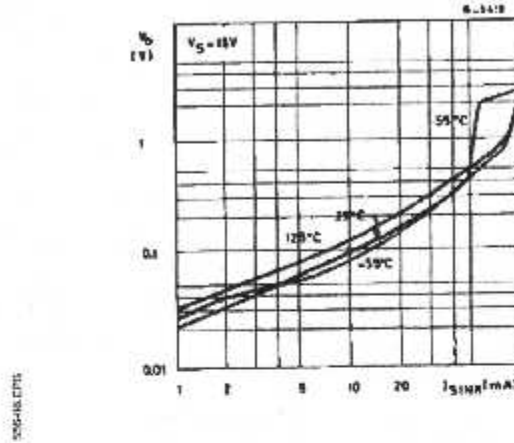


Figure 7 : High Output Voltage Drop versus Output

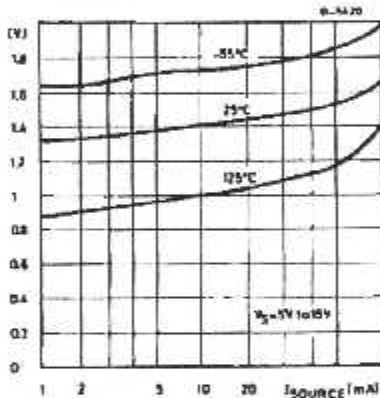


Figure 8 : Delay Time versus Supply Voltage

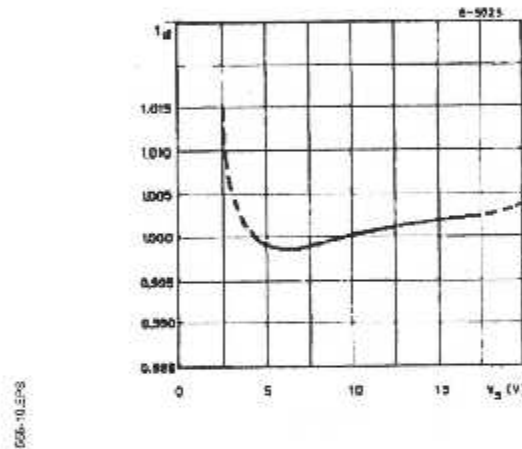
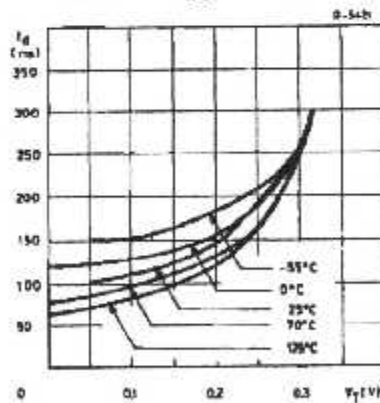
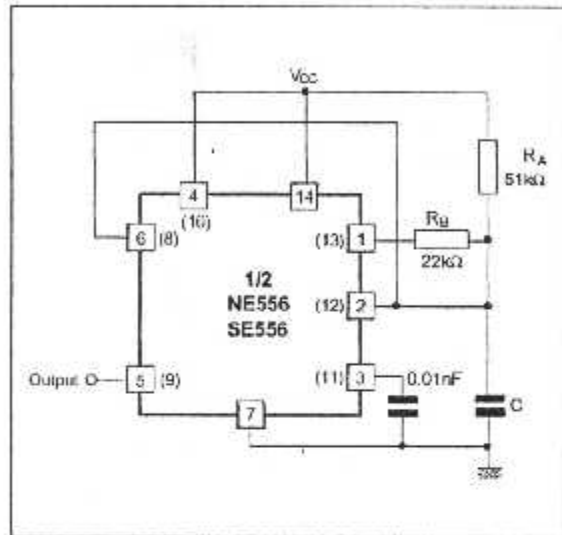


Figure 9 : Propagation Delay versus Voltage Level of Trigger Value

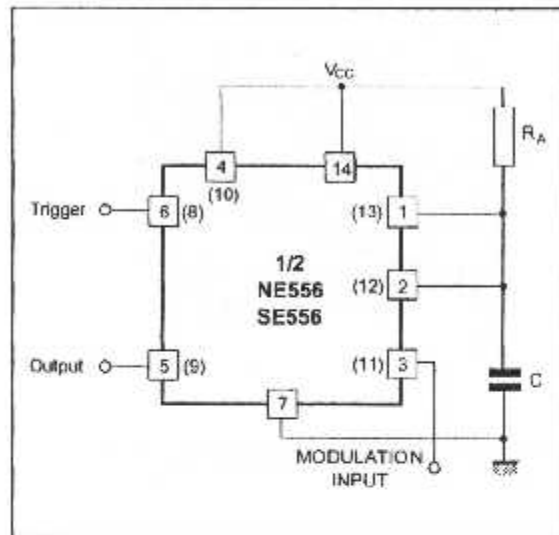


TYPICAL APPLICATION

50 % DUTY CYCLE OSCILLATOR



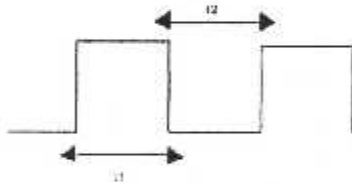
PULSE WIDTH MODULATOR



$$t_1 = 0.693 R_A C$$

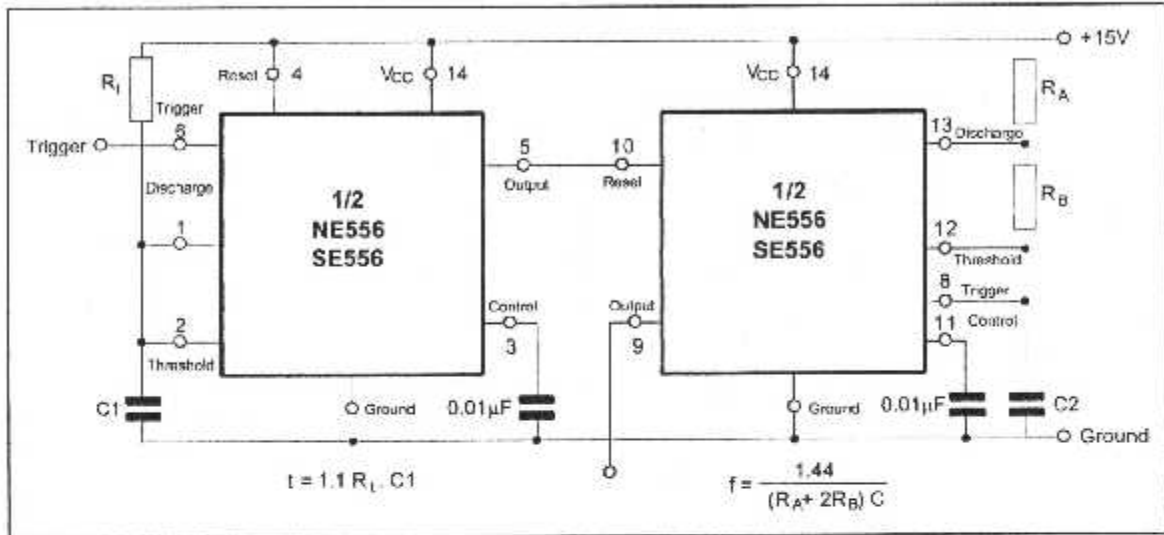
$$t_2 = [(R_A R_B) / (R_A + R_B)] \text{CLn} \left[ \frac{R_B + 2R_A}{2R_B \pm R_A} \right]$$

$$f = \frac{1}{t_1 + t_2} \quad R_B < \frac{1}{2} R_A \quad \text{ti}$$

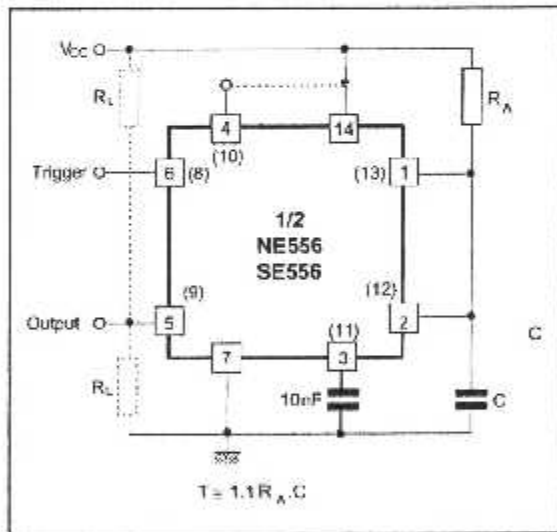


**TONE BURST GENERATOR**

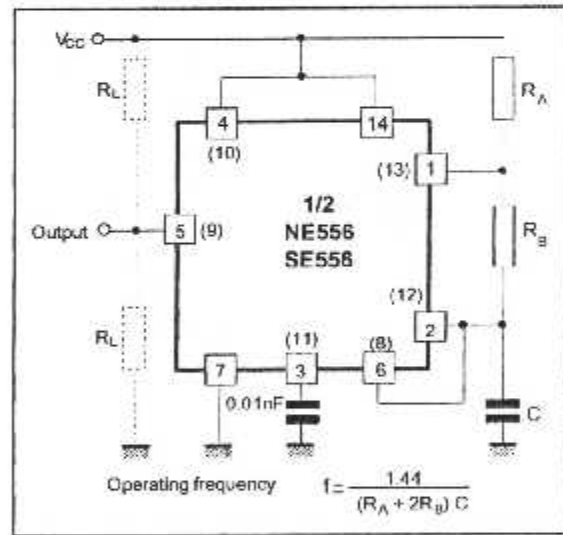
For a tone burst generator the first timer is used as a monostable and determines the tone duration when triggered by a positive pulse at pin 6. The second timer is enabled by the high output of the monostable. It is connected as an astable and determines the frequency of the tone.



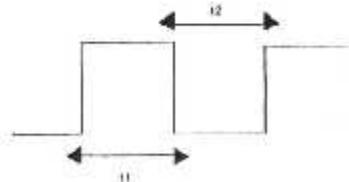
**MONOSTABLE OPERATION**



**ASTABLE OPERATION**



$t_1 = 0.693 (R_A + R_B) C$  Output High  
 $t_2 = 0.693 R_B C$  Output low



# **NOMENCLATURE:**

---

# NOMENCLATURE

## Résistances

- 36 résistances 220  $\Omega$
- 10 résistances variables 0 - 10 K $\Omega$

## Condensateurs

- 7 condensateurs 10 nF
- 2 condensateurs 10  $\mu$ F
- 1 condensateur 1  $\mu$ F

## Circuits intégrés

- 6 circuits 74LS00
- 6 circuits 74LS05
- 20 circuits 74LS08
- 10 circuits 74LS32
- 3 circuits 74LS163
- 5 circuits 74LS192
- 1 circuit 74LS74
- 1 circuit 74LS76
- 1 circuit NE556N
- 3 circuits NE555N
- 1 circuits 74LS147
- 1 circuit 74LS159
- 4 circuits 74LS165
- 5 circuits 74LS47

## Divers

- 1 connecteur femelle de 2 \* 8 broches à souder sur circuit
- 1 connecteur mâle de 2 \* 8 broches
- 8 connecteurs femelles de 2 \* 9 broches à souder sur circuit
- 8 connecteurs mâles de 2 \* 9 broches
- Nappes 8 et 9 fils
- 1 pavé numérique
- 2 commutateurs 3 positions
- 7 switches
- 1 connecteur mâle (pour connecter l'indicateur)

# GLOSSAIRE :

# GLOSSAIRE

**ADF** : Automatic Direction Finder.

**ARINC** : Protocole informatique d'adressage des données utilisé notamment en aviation.

**Azimut** : Angle de mesure d'une direction par rapport à une direction de référence (Nord magnétique,...).

**Bande C** : Gamme de fréquences de la gamme hyperfréquence SHIF (4 GHz à 8 GHz).

**INS** : Inertial Navigation System.

**DME** : Distance Measuring Equipement.

**FAA** : Federal Aviation Administration.

**FMC** : Flight Management Computer.

**FMGC** : Flight Management and Guidance Computer.

**FMS** : Flight Management System.

**Glide Path** : Plan oblique d'alignement de l'ILS.

**GLONASS** : Global Navigation Satellite System.

**GPS / NAVSTAR** : Global Positioning System / Navigation Satellite with Time And Range.

**ILS** : Instrument Landing System.

**Localizer** : Plan vertical d'alignement de l'ILS.

**MCDU** : Multifunction Control Display Unit.

**MLS** : Microwave Landing System.

**OACI** : Organisation de l'Aviation Civile.

**OMEGA** : Système de radionavigation à couverture mondiale.

**P-DME** : DME de précision.

**QDR** : Abréviation de la norme Q aéronautique indiquant le relèvement magnétique d'un aéronef par une station.

**Radar DOPPLER** : Radar de positionnement basé sur le principe de l'effet Doppler - Fizeau.



**Radial** : Ligne droite (courbe à l'échelle terrestre : orthodromie) rayonnant d'une station et définie par son azimuth.

**Radiophare ou NDB (Non Directional Beacon)** : Stations sol de moyennes fréquences (190 - 1750 KHz) destinées à être relevées par les radiocompas de bord.

**Radiobalise** : Radiophare de faible **puissance** donc de portée limitée.

**RMI** : Radio Magnetic Indicator

**Site** : Angle de mesure d'une direction par rapport à l'horizontale.

**SHF (Supra High Frequency)** : Gamme de fréquence hyperfréquence allant de 3GHz à 30GHz.

**TACAN** : Tactical Air Navigation.

**TCAS** : Traffic alert and Collision Avoidance System.

**UHF (Ultra High Frequency)** : Gamme de fréquence hyperfréquence allant de 300 MHz à 3GHz.

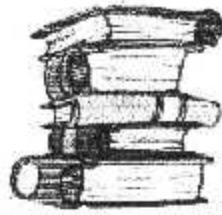
**VDF** : VHF Directional Finder.

**VHF(Very High Frequency)** : Gamme de fréquence allant de 30 MHz à 300 MHz.

**VOR** : VHF Omni Range.

**VORTAC** : Station sol associant VOR et TACAN.

# **BIBLIOGRAPHIE:**



## BIBLIOGRAPHIE

Ouvrages :

- IND 40 DME indicateur COLLINS édition 4 Août 1980
- IND 339F-8B DME indicateur COLLINS édition 15 Aout 1975
- IND 339F 18 DME indicateur COLLINS édition 1 Aout 1979
- DME 860E-5COLLINS édition

Mémoires :

- Etude et réalisation de l'indicateur DME et son banc d'essai (promotion 2002)
- DME (Distance Measuring Equipment) (promotion 1993)
- Rapport de stage pratique sur les instruments de radionavigations.

Livres :

- Avionique de la navigation aérienne « formation pilote » (MICHEL COMBES)
- Instruments de navigation aérienne (BERNARD CAMBES)
- Electronique numérique (R. MERAT, R. MOREAU, L. ALLAY, J.P. DUBOS, J. LAFARGUE, R. LEGOFF).
- Electronique de puissance (R. MERAT, R. MOREAU, L. ALLAY, J.P. DUBOS, J. LAFARGUE, R. LEGOFF).
- Electronique digitale (P. CABANIS)

CD ROM :

- Electronique pratique 1997
- DATA ON DISC SGS THOMSON MICRO-ELECTRONICS (DATA BOOK)