

Electronique
LE MENSUEL DES INGÉNIEURS DE CONCEPTION

Thierry Schneider

**VHDL :
méthodologie
de design
et techniques
avancées**



DUNOD



TABLE DES MATIÈRES

Préface	V
Remerciements	VI
Avant-propos	VII
Table des matières	IX

PARTIE 1

MÉTHODOLOGIE

CHAPITRE 1 - MÉTHODOLOGIE DE CONCEPTION	3
1.1 Introduction	3
1.2 Gestion d'un projet électronique	7
1.2.1 Spécifications de besoin	9
1.2.2 Conception d'architecture	10
1.2.3 Conception détaillée	14
1.2.4 Synthèse, analyse	15
1.2.5 Placement-routage	16
1.2.6 Simulation <i>post layout</i>	17
1.2.7 Fabrication, programmation	17
1.2.8 Test et production	19
1.3 Les clés du succès : simplicité, abstraction et modularité	19
1.3.1 Simplicité	20
1.3.2 Abstraction	22
1.3.3 Modularité	24
1.4 Méthodologie et projets concrets	24
1.4.1 Méthodologie	25
1.4.2 Exemples	27
1.5 Résumé	

<hr/>	
CHAPITRE 2 - VALIDATION DES DESIGNS	27
<hr/>	
2.1 Introduction	27
2.2 Test de modules	28
2.3 Structure générale d'un banc de test automatique	29
2.4 Collaboration entre le VHDL et les langages de plus haut niveau	30
2.5 Bancs de test évolués	31
2.6 Résumé	32
<hr/>	
CHAPITRE 3 - VHDL ET SYNTHÈSE	51
<hr/>	
3.1 Les bases de la synthèse	51
3.1.1 Synthèse : le concept	51
3.2 Sous-ensemble VHDL pour la synthèse	51
3.2.1 Packages	51
3.2.2 Architectures multiples et configuration	54
3.2.3 Type <i>buffer</i> et INOUT	55
3.2.4 Opérateurs	63
3.2.5 Généricité	65
3.2.6 Code concurrent, séquentiel	66
3.2.7 Règles de notation	69
3.2.8 Blocs de base	72
<i>Portes logiques</i>	73
<i>Table de vérité</i>	76
<i>Multiplexeur</i>	77
<i>Additionneur</i>	79
<i>Capture automatique des machines d'état</i>	81
3.3 Résumé	82
<hr/>	
CHAPITRE 4 - LES SPÉCIFICITÉS DE LA SYNTHÈSE	83
<hr/>	
4.1 Introduction	83
4.2 Optimisation <i>timing</i>	83
4.3 Chemins multi-cycles	93
4.4 Modules VHDL	94
4.4.1 Partage de ressources	94
4.4.2 Unité arithmétique	96
<i>Structure</i>	96
<i>Programmation</i>	98
<i>Implémentation VHDL</i>	101
4.4.3 Initialisation des variables	103
4.4.4 Tables de vérité partielles	103

4.4.5	Tableaux de données	104
4.4.6	Sortie <i>xxx_special</i>	106
4.4.7	Entrée <i>ntest</i>	106
4.5	Estimation de surface	107
4.6	Estimation de vitesse	111
4.7	Technologie cible	111
4.7.1	ASIC	112
4.7.2	<i>Sea-of-Gates</i>	114
4.7.3	FPGA	116
4.7.4	Comparaison des technologies	119
4.8	Résumé	120

PARTIE 2

TECHNIQUES AVANCÉES

CHAPITRE 5 - GÉNÉRATEURS D'HORLOGE ET DE <i>RESET</i>		123
5.1	Diviseurs d'horloge	124
5.1.1	Diviseur d'horloge synchrone	125
5.1.2	Diviseur d'horloge asynchrone	126
5.1.3	Diviseur d'horloge et VHDL	127
5.1.4	Synchronisation multi-fréquence	129
5.2	Générateurs de <i>reset</i>	131
5.2.1	Circuits avec un <i>reset</i> unique	131
5.2.2	Circuits avec plusieurs <i>reset</i>	134
5.3	Résumé	135
CHAPITRE 6 - TEST DES CIRCUITS : LE <i>SCAN-PATH</i>		137
6.1	Introduction	137
6.2	Test de production	138
6.2.1	Observabilité	140
6.2.2	Contrôlabilité	140
6.2.3	Taux de couverture	141
6.3	<i>Scan-path</i>	146
6.3.1	Insertion de <i>scan-path</i> avec des outils informatiques	149
	<i>Gestion des horloges et du reset</i>	149
	<i>Gestion des données</i>	150
6.3.2	Insertion du <i>scan-path</i> directement dans le VHDL	150
6.4	Résumé	158

<hr/>	
CHAPITRE 7 - BASSE CONSOMMATION	159
<hr/>	
7.1 Introduction	159
7.2 Calcul de la consommation	160
7.2.1 Influence de la technologie	160
7.2.2 Estimation de la consommation	161
7.3 Techniques traditionnelles de réduction de la consommation ...	161
7.3.1 Contrôle des données	161
7.3.2 Consommation des entrées/sorties	163
7.3.3 Commutation d'horloge (<i>gated-clock</i>)	164
7.4 Synchronisation de l'horloge	168
7.4.1 Les arbres d'horloge	168
7.4.2 Les transistors à basse consommation	170
7.5 Designs synchrones, multi-synchrones et asynchrones	171
7.5.1 <i>Latch</i>	172
7.5.2 Flip-flop	172
7.5.3 Design synchrone	173
7.5.4 Design multi-synchrone	173
7.5.5 Design asynchrone	173
7.6 Design double <i>latches</i>	174
7.6.1 Horloges non recouvrantes	174
7.6.2 Remplacement des flip-flops	178
7.6.3 <i>Scan-path</i> intégré	183
7.6.4 Librairie de fonctions double <i>latches</i>	184
7.7 Utilisation des doubles <i>latches</i>	187
7.7.1 Écriture explicite du signal d'activation	187
7.7.2 Optimisation pour banque de registres	188
7.7.3 Insertion de logique entre les deux <i>latches</i>	189
7.8 Résumé	190
<hr/>	
CHAPITRE 8 - SIMULATION <i>TIMING</i> APRÈS PLACEMENT-ROUTAGE	191
<hr/>	
8.1 Introduction	191
8.2 Caractérisation <i>timing</i> automatique	197
8.3 Résumé	205
<hr/>	
CHAPITRE 9 - LA CO-SIMULATION, PERSPECTIVES	207
<hr/>	
9.1 Introduction	207
9.1.1 La co-simulation, description	207
9.1.2 La co-simulation, applications	208

..	159	9.2	Mise en œuvre	209	
..	159	9.2.1	Exemple	210	
..	160	9.3	Estimation de la consommation	218	
..	160	9.4	Résumé	219	
..	161	<hr/>			
..	161	CHAPITRE 10 - SIMULATION, TEST DE PRODUCTION :			
..	161	REGROUPEMENT DES VECTEURS			221
..	163	<hr/>			
..	164	10.1	Introduction	221	
..	168	10.2	Fonctionnement des testeurs	225	
..	168	10.3	<i>Testbench</i> mixte, validation et test	227	
..	170	10.4	Évolution du modèle	237	
..	171	10.5	Résumé	241	
..	172	<hr/>			
..	172	CHAPITRE 11 - LE CIRCUIT INTÉGRÉ ET SON ENVIRONNEMENT			243
..	173	<hr/>			
..	173	11.1	Introduction	243	
..	174	11.2	Design <i>multi-chip</i>	243	
..	174	11.2.1	Synchronisation de plusieurs circuits	244	
..	178		<i>Synchronisation d'horloge</i>	244	
..	183		<i>Synchronisation des données</i>	247	
..	184	11.2.2	Consommation due aux interconnexions	249	
..	187	11.2.3	Résumé	249	
..	187	11.3	<i>Boundary-scan</i>	249	
..	188	11.3.1	<i>Test Access Port</i> (TAP)	252	
..	189	11.3.2	Le contrôleur TAP	252	
..	190	11.3.3	Utilisation du <i>boundary-scan</i>	254	
..	191	11.3.4	Résumé	260	
..	191	11.4	La métastabilité	260	
..	197	11.4.1	Structure interne des flip-flops	261	
..	205	11.4.2	L'effet	263	
..	205	11.4.3	La probabilité d'apparition	265	
..	207	11.4.4	Prévention de la métastabilité	266	
..	207	11.4.5	Implémentation en VHDL	268	
..	207	11.5	Résumé	270	
..	207		Glossaire	273	
..	207		Bibliographie	279	
..	208		Index	281	

Thierry Schneider

VHDL : MÉTHODOLOGIE DE DESIGN ET TECHNIQUES AVANCÉES

Guide pratique du concepteur

VHDL pour VHSIC (*Very High Speed Integrated Circuit*) *Hardware Description Language*. Existe-t-il encore des concepteurs de composants numériques qui n'ont jamais entendu parler de ce langage de description aujourd'hui si largement employé ? Peu d'entre eux sans aucun doute. En revanche, la formation reçue par ces mêmes concepteurs a-t-elle souvent dépassé le stade de l'initiation ou de l'introduction à ce très puissant langage ?

Il manquait un livre qui traite du VHDL sous un angle pratique et qui permette à l'ingénieur de dépasser le stade de l'initiation, pour basculer de manière optimale vers des applications « réellement » industrielles. Ce livre le voici. Son rôle est multiple : dévoiler de nombreux aspects cachés et des techniques avancées du langage, en délivrer une méthodologie d'utilisation qui permet de garantir le succès du développement tout en montrant que le VHDL n'est pas l'unique clé de ce succès, le démystifier, lui ouvrir de nouveaux horizons.

L'auteur fait bénéficier ici le jeune ingénieur comme le designer plus expérimenté qui migre vers VHDL de sa grande expérience et de sa maîtrise de ce langage.

Sommaire :

- Méthodologie de conception
- Validation des designs
- VHDL et synthèse
- Les spécificités de la synthèse
- Générateurs d'horloge et de reset
- Test des circuits : le *scan-path*
- Basse consommation
- Simulation *timing* après placement-routage
- La co-simulation, perspectives
- Simulation, test de production : regroupement des vecteurs
- Le circuit intégré et son environnement

THIERRY SCHNEIDER

est ingénieur de développement en électronique numérique chez Alcatel Space Switzerland, où il crée des circuits intégrés destinés à des applications spatiales. Il travaillait auparavant chez XEMICS, un *spin-off* du Centre suisse d'électronique et de microtechnique en tant qu'ingénieur de recherche et développement dans le domaine des microprocesseurs à ultra-basse consommation. Auteur de plusieurs articles, il est titulaire d'un diplôme en physique-électronique de l'Université de Neuchâtel, en Suisse.



9 782100 053711

ISBN 2 10 005371 X

Electronique
LE MENSUEL DES INGÉNIEURS DE CONCEPTION

<http://www.dunod.com>

