

الجمهورية الجزائرية الديمقراطية الشعبية  
République Algérienne démocratique et populaire

وزارة التعليم العالي و البحث العلمي  
Ministère de l'enseignement supérieur et de la recherche scientifique

جامعة سعد دحلب البليدة  
Université SAAD DAHLAB de BLIDA

كلية التكنولوجيا  
Faculté de Technologie

قسم الإلكترونيك  
Département d'Électronique



## Mémoire de Projet de Fin d'Études

présenté par

FETTOUMI Mouloud

&

KHOUKHI Karim

pour l'obtention du diplôme de Master en Électronique option Micro-Électronique

---

Thème

---

# Étude et simulation d'un transistor nanométrique à grille enrobée cylindrique GAA MOSFET

---

Proposé par : Mr. NACER Saïd

Année Universitaire 2017-2018

Toutes louanges et tous remerciements sont dus à *Allah*,  
Seigneur de Alamîn qui nous a permis d'achever ce travail  
par sa miséricorde.

En préambule ce mémoire, je souhaitais adresser mes  
remerciements les plus sincères aux personnes qui m'ont apporté  
leur aide et qui ont contribué à l'élaboration de ce mémoire ainsi  
qu'à la réussite de cette formidable année universitaire, je tiens à  
remercier monsieur *Hacer Saïd*, qui en tant que  
promoteur, s'est toujours montré à l'écoute et très disponible tout  
au long de la réalisation de ce mémoire, ainsi pour  
l'inspiration, l'aide et le temps qu'il a bien voulu me consacrer et  
sans qui ce mémoire n'aurait jamais vu le jour.

Nous tenons également remercier messieurs les membres de jury  
pour l'honneur qu'ils nous ont fait en acceptant de siéger à notre  
soutenance.

Enfin j'adresse mes plus sincères remerciement à tous mes  
proches et amis, qui m'ont toujours soutenue et encouragée au  
cours de la réalisation de ce mémoire.

Merci à tous.

---

**ملخص :** MOSFET ذو بوابة أسطوانية ملتفة (GAA) هو اختراع جذري ومرشح محتمل ليحل محل MOSFET التقليدي، كما أنه يقدم اتجاه جديد لقياس الترانزستور. في هذا العمل، يتم تحليل حساسية الإعدادات العملية مثل طول القناة ( $L_G$ )، سمك القناة ( $W$ )، دالة العمل الخاصة بالبوابة ( $\phi_M$ ) على مقاييس الأداء المختلفة بشكل منهجي. يتم تقييم الخصائص الكهربائية مثل جهد العتبة ( $V_{th}$ ) والموصلية المنقولة ( $g_m$ ) ودراستها مع اختلاف معايير تصميم المكون. يتم التحقيق في جميع أداء المكون CGAA MOSFET من خلال برنامج المحاكاة .COMSOL.

**كلمات المفاتيح:** ترانزستور MOSFET ؛ بوابة ملتفة أسطوانية ؛ جهد العتبة.

---

**Résumé :** Le MOSFET à grille enrobée cylindrique (GAA) est une invention radicale et un candidat potentiel pour remplacer le MOSFET conventionnel, car il introduit une nouvelle direction pour la mise à l'échelle des transistors. Dans ce travail, la sensibilité des paramètres de processus tels que la longueur du canal ( $L_G$ ), l'épaisseur du canal ( $W$ ) et le travail de sortie de grille ( $\phi_M$ ) sur les performances du transistor sont systématiquement analysées. Les caractéristiques électriques telles que la tension de seuil ( $V_{th}$ ) et la transconductance ( $g_m$ ) sont évaluées et étudiées avec la variation des paramètres de conception du dispositif. Cette étude a été effectuée en utilisant le logiciel COMSOL.

**Mots clés :** Transistor MOSFET ; Grille enrobée cylindrique ; Tension de seuil.

---

**Abstract :** Cylindrical gate all around (GAA) MOSFET is a radical invention and a potential candidate to replace conventional MOSFET, as it introduces new direction for transistor scaling. In this work, the sensitivity of process parameters like channel length ( $L_G$ ), channel thickness ( $W$ ), and gate work function ( $\phi_M$ ) on various performance metrics are systematically analyzed. The electrical characteristics such as the threshold voltage ( $V_{th}$ ) and transconductance ( $g_m$ ) are evaluated and studied with the variation of device design parameters. All the device performances of CGAA MOSFET are investigated through simulation software COMSOL.

**Keywords :** Transistor MOSFET ; Cylindrical gate all around ; Threshold voltage.

---

# Listes des acronymes et abréviations

## Abréviations

2D	Deux Dimensions.
3D	Trois Dimensions.
CGAA	Cylindrical Gate All Around.
CMOS	Complementary Metal Oxide Semiconductor.
DC	Direct Current.
DG	Double Gate.
DIBL	Drain Induced Barrier Lowering.
DIVSB	Drain Induced Virtual Substrate Biasing.
DMOSFET	Transistor MOSFET à appauvrissement.
EMOSFET	Transistor MOSFET à enrichissement.
GAA	Gate All Around.
GIDL	Gate Induced Drain Leakage.
HP	High Performance.
ITRS	International Technology Roadmap for Semiconductors.
LDD	Lightly Doped Drain.
LOP	Low-Operating Power.
LPCVD	Low Pressure Chemical Vapor Deposition.
LSTP	Low Standby Power.
LTO	Low Temperature Oxide.
MIS	Metal Isolant Semiconductor.
MOS	Metal Oxide Semiconductor.
MOSFET	Metal Oxide Semi-conducteur Field Effect Transistor. (Transistor à Effet de Champ (à grille) Métal-Oxyde).
NMOS	Transistor à effet de champ MOS à canal N.
PMOS	Transistor à effet de champ MOS à canal P.
SCE	Short Channel Effect.
SG	Surrounding Gate.
SOI	Silicon on Insulator.
STI	Shallow Trench Isolation.

## Symboles

$C_{ox}$	Capacité de l'oxyde de grille.	[F.m <sup>-2</sup> ]
$E_C$	Energie (niveau) de bas de la bande de conduction.	[eV]
$E_F$	Energie (niveau) de Fermi.	[eV]
$E_g$	Energie de gap.	[eV]
$E_{gb}$	Champ électrique transversal (grille → bulk).	[eV]
$E_i$	Energie (niveau) intrinsèque.	[eV]
$E_V$	Energie (niveau) haut de la bande de valence.	[eV]
$E_y$	Champ électrique transversal.	[V/m]
$G_D$	Admittance.	[S]
$g_m$	Transconductance.	[S]
$I_D$	Courant de drain.	[A]

$I_{DS}$	Courant drain source.	[A]
$I_{Dsat}$	Courant de saturation du drain.	[A]
$I_{off}$	Courant de drain à l'état bloqué OFF.	[A]
$I_{on}$	Courant de saturation.	[A]
$k$	Facteur de miniaturisation	
$K'_n$	Facteur de gain NMOS	$[\mu A/V^2]$
$L$	Longueur du canal.	[m]
$L_E$	Longueur effective du canal.	[m]
$L_G$	Longueur de grille.	[m]
$N_A$	Concentration en atomes accepteurs ionisés	$[cm^{-3}]$
$N_D$	Concentration en atomes donneurs ionisés.	$[cm^{-2}]$
$n_i$	Concentration intrinsèque des porteurs le matériau.	$[cm^{-3}]$
$N_{it}$	Densité de défauts à l'interface.	[C]
$\phi_{ms}$	Travail de sortie métal- semi-conducteur.	[eV]
$r_{DS}$	La résistance drain source.	$[\Omega]$
$r_O$	Le rayon du dispositif.	[m]
$R_{ON}$	La résistance à l'état passant	$[\Omega]$
$T$	Température.	[K]
$t_{OX}$	épaisseur de l'oxyde.	[m]
$t_{SI}$	épaisseur de canal.	[m]
$T_{ZCE}$	Largeur de la zone de charge d'espace.	[m]
$V_D$	Tension de drain.	[V]
$V_{DB}$	La tension drain – substrat.	[V]
$V_{DS}$	Tension drain source.	[V]
$V_{Dsat}$	Tension de saturation du drain.	[V]
$V_E$	Tension d'Early.	[V]
$V_{FB}$	Tension de Flat Bande (bande plate).	[V]
$V_G$	Tension de grille.	[V]
$V_{GS\ off}$	Tension de blocage du transistor.	[V]
$V_S$	Tension de source.	[V]
$V_{SB}$	La tension source – substrat.	[V]
$V_T$	Tension thermodynamique.	[V]
$V_{th}$	Threshold voltage (tension de seuil).	[V]
$V_{Tn}$	Tension de seuil du NMOS.	[V]
$V_{TP}$	Tension de seuil du PMOS.	[V]
$W$	Largeur du canal.	[m]
$W_E$	Largeur effective du canal.	[m]
$X_{dD}$	La largeurs de déplétion de jonction de drain	[m]
$X_{dS}$	La largeurs de déplétion de jonction de source	[m]
$\theta_0$	Facteur de réduction intrinsèque de la mobilité.	
$\lambda$	Epaisseur de la zone de charge d'espace.	[m]
$\lambda_0$	Epaisseur minimal de la zone de charge d'espace.	[m]
$\mu_0$	Mobilité à faible champ électrique.	$[m^2\ V^{-1}s^{-1}]$
$\mu_{eff}$	Mobilité effective des porteurs dans le canal.	$[m^2\ V^{-1}s^{-1}]$
$\phi_d$	Hauteur de barrière potentiel entre la source et le canal.	[eV]
$\phi_F$	Potentiel de Fermi.	[eV]
$\phi_m$	Travail de sortie du métal.	[eV]

$\phi_s$	Travail de sortie du semi-conducteur.	[eV]
$\chi_{si}$	Affinité électronique du silicium.	[eV]
$\psi_s$	Potentiel de surface.	[V]

### Constantes

k	Constante de Boltzmann,	$k = 8,617385 \cdot 10^{-5}$	[eV/K]
q	Charge élémentaire	$q = 1,6 \cdot 10^{-16}$	[C]
$\epsilon_0$	Permittivité du vide	$\epsilon_0 = 8,85 \cdot 10^{-12}$	[F/m]
$\epsilon_{si}$	Permittivité du Silicium	$\epsilon_{si} = 11,8 \cdot \epsilon_0$	[F/m]
$\epsilon_{ox}$	Permittivité de l'oxyde de Silicium	$\epsilon_{ox} = 3,9 \cdot \epsilon_0$	[F/m]

# Table des matières

<b>Introduction générale</b> .....	1
<b>Chapitre 1 Transistor MOSFET</b> .....	3
1.1 Introduction .....	3
1.2 Historique .....	3
1.3 La description du MOSFET .....	4
1.4 Principe de base d'un transistor MOSFET .....	5
1.4.1 Effet de champ .....	5
1.4.2 Structure possible du transistor MOSFET .....	6
a Transistor MOSFET à canal N .....	6
b Transistor MOSFET à canal P .....	6
1.5 Différents Types de Transistors MOSFETs .....	7
1.5.1 MOSFET à appauvrissement de canal .....	7
1.5.2 MOSFET à enrichissement de canal .....	7
1.6 Régimes de fonctionnement des transistors MOSFETs .....	8
1.6.1 Régime triode .....	10
a Caractéristique $I_D - V_{DS}$ .....	10
b Zone linéaire .....	11
1.6.2 Régime saturé .....	12
a Caractéristique $I_D - V_{DS}$ .....	12
b Caractéristique $I_D - V_{GS}$ .....	12
1.7 Les applications de transistor MOSFET .....	13
1.8 Miniaturisation du MOSFET .....	14
1.9 Effets de canaux courts .....	15
1.10 Technologie de fabrication .....	16

1.10.1	Technologie bulk et SOI.....	16
1.10.2	Avantages de la technologie SOI.....	17
1.11	Conclusion.....	19
<b>Chapitre 2</b>	<b>Les transistors MOSFET à multi-grilles.....</b>	<b>20</b>
2.1	Introduction.....	20
2.2	Les transistors à grilles multiples.....	20
2.2.1	Les différentes types multi-grilles.....	20
a	Le double-grille .....	21
b	Le triple-grille .....	22
c	Le triple <sup>+</sup> -grille.....	22
d	Le quadruple-grille (GAA MOSFET).....	23
2.2.2	Avantages des transistors à grilles multiples .....	23
2.2.3	Inconvénient des transistors à grilles multiples.....	24
2.3	Transistors à grille enrobée .....	24
2.4	L'architecture MOSFET à grille enrobée.....	26
2.4.1	Les différentes catégories de la technologie GAA MOSFET.....	28
a	Le transistor GAA MOSFET rectangulaire .....	29
b	Le transistor GAA MOSFET triangulaire .....	29
c	Le transistor GAA MOSFET pentagonal .....	30
d	Le transistor GAA MOSFET cylindrique.....	30
e	Le transistor GAA MOSFET vertical.....	31
2.5	Propriétés électriques du transistor GAA MOSFET .....	32
2.5.1	Définition de la tension de seuil.....	32
2.5.2	Etat passant.....	33
2.5.3	Etat bloqué .....	34
2.6	Conclusion .....	35

<b>Chapitre 3 Simulation d'un CGAA MOSFET .....</b>	<b>36</b>
3.1 Introduction .....	36
3.2 A propos de COMSOL .....	37
3.3 Choix des paramètres de base .....	37
3.4 Configuration de la simulation et modélisation du CGAA: .....	38
3.5 Résultats et discussions .....	39
3.5.1 Caractéristiques $I_D$ - $V_{GS}$ .....	39
3.5.2 Caractéristiques $I_D$ - $V_{DS}$ .....	42
a Fonctionnement linéaire .....	42
b Régime de saturation du courant .....	43
3.5.3 Etude au niveau de la surface .....	45
a Concentration des trous .....	45
b Concentration des électrons.....	46
3.5.4 La tension de seuil $V_{th}$ .....	46
3.6 Conclusion .....	47
<b>Conclusion générale .....</b>	<b>48</b>
<b>Bibliographie .....</b>	<b>49</b>

## Liste des figures

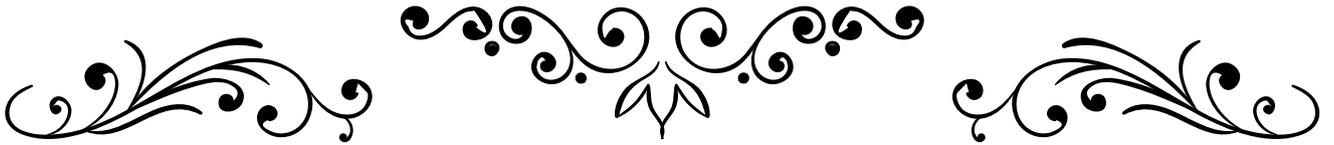
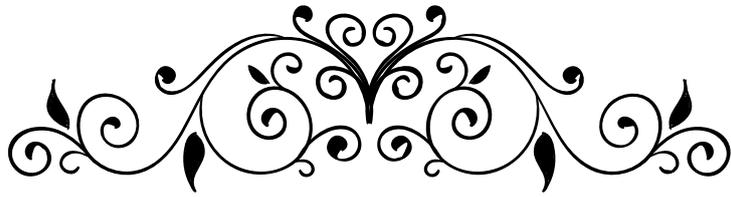
<b>Figure 1.1.</b>	Structure basique d'un transistor MOS de type n.....	4
<b>Figure 1.2.</b>	Effet de champ dans un MOSFET. ....	5
<b>Figure 1.3.</b>	MOSFET à canal N.....	6
<b>Figure 1.4.</b>	MOSFET à canal P. ....	6
<b>Figure 1.5.</b>	MOSFET à appauvrissement de canal. ....	7
<b>Figure 1.6.</b>	MOSFET à enrichissement de canal. ....	8
<b>Figure 1.7.</b>	Caractéristiques $I_D(V_{DS})$ typiques à différents $V_{GS}$ d'un MOSFET [11]. ....	9
<b>Figure 1.8.</b>	Diagramme de bande d'un transistor N-MOSFET en régime de bandes plates (a) et en régime de faible inversion (b) [9]. ....	9
<b>Figure 1.9.</b>	Caractéristique $I_D - V_{DS}$ dans le Régime triode.....	10
<b>Figure 1.10.</b>	Caractéristique $I_D - V_{DS}$ dans la zone linéaire.....	11
<b>Figure 1.11.</b>	Caractéristique $I_D - V_{DS}$ dans le régime saturé.....	12
<b>Figure 1.12.</b>	Caractéristique $I_D - V_{GS}$ dans le régime saturé.....	13
<b>Figure 1.13.</b>	Loi de Moore (a) évolution du nombre et (b) du coût du MOSFET depuis 50 ans de miniaturisation [14]. ....	14
<b>Figure 1.14.</b>	Vue en coupe de transistors nMOS en technologie Si-bulk (a) et SOI (b). 17	
<b>Figure 1.15.</b>	Distribution de la charge de déplétion pour le MOSFET bulk et le SOI.....	18
<b>Figure 1.16.</b>	Comparaison de la pente sous le seuil du transistor MOS en technologies bulk et SOI, pour une géométrie constante [20]. ....	19
<b>Figure 2.1.</b>	MOSFET à multiple grilles : (a) DG SOI MOSFET (b) triple grille SOI MOSFET (c) N SOI MOSFET (d) fi SOI MOSFET (e) GAA SOI MOSFET et (f) triple grille bulk MOSFET.....	21
<b>Figure 2.2.</b>	L'extension des grilles conduisant aux structures $\Pi$ et $\Omega$ SOI MOSFETs... 23	
<b>Figure 2.3.</b>	Vue TEM (a) d'un et (b) de 4 canaux de MOSFETs à grille enrobée, (c) vue 3D d'un nanofile MOSFET [28]. ....	25
<b>Figure 2.4.</b>	Image SEM (a) de l'inverseur en GAA nanofile, (1x2) canalNMOS et (3x2) canal PMOS, (b) multiple nanofiles en rangée excellente symétrie [31]. 25	
<b>Figure 2.5.</b>	(a) structure de la S-SGT DRAM(b) circuit équivalent (c) image SEM de cellule S-SGT [33]. ....	26
<b>Figure 2.6.</b>	Trois architectures du transistor GAA avec des sections différentes .....	27

<b>Figure 2.7.</b>	Coupe et vue en 3D du transistor GAA MOSFET carré.....	29
<b>Figure 2.8.</b>	(a) vue de dessus du layout d'un GAA MOSFET. (b) vue de coupe avec SEM du GAA MOSFET triangulaire avec dimensions (c) schéma 3D du GAA MOSFE [46]. .....	29
<b>Figure 2.9.</b>	Images FIB-SEM des coupes de (a) GAA MOSFET triangulaire, et (b) GAA MOSFET pentagonale [47]. .....	30
<b>Figure 2.10.</b>	Les étapes simplifiées de réalisation (coupe du canal) du transistor triangulaire, pentagonale et $\Omega$ -gate [46]. .....	30
<b>Figure 2.11.</b>	(a) vue schématique en 2D du transistor GAA MOSFET (b) vue de section du DG MOSFET (c) vue schématique en 3D du transistor (SOI) FinFET.....	31
<b>Figure 2.12.</b>	Image SEM d'un transistor vertical avec une épaisseur de $\sim 20$ nm et une hauteur d' $1\mu\text{m}$ [54]. .....	31
<b>Figure 2.13.</b>	Caractéristiques $I_D-V_{DS}$ des multi-grilles pour $L=15\text{nm}$ , (a) $t_{Si}=5\text{nm}$ et (b) $10\text{nm}$ . 1 pour le MOSFET SOI à une grille (SG), 2 pour le MOSFET double-grille (DG), 3 pour le MOSFET triple-grille (TG) et 4 pour le MOSFET quadruple-grille(QG) [60]. .....	33
<b>Figure 2.14.</b>	Caractéristiques $I_D-V_{GS}$ des multi-grilles pour $L=15\text{nm}$ , (a) $t_{Si}=5\text{nm}$ et (b) $t_{Si}=10\text{nm}$ [60]. .....	34
<b>Figure 2.15.</b>	Caractéristiques $I_D -V_{GS}$ en échelle logarithmique des SOI multi-grilles pour $L=15\text{nm}$ , (a) $t_{Si}=5\text{nm}$ et (b) $t_{Si}=10\text{nm}$ [60]. .....	35
<b>Figure 3.1.</b>	Structure 2D axisymétrique de la géométrie CGAA dans COMSOL. ....	38
<b>Figure 3.2.</b>	Modèle 3D du CGAA. ....	39
<b>Figure 3.3.</b>	Variation du courant $I_D$ en fonction de la tension $V_{GS}$ pour différentes valeurs de $L_G$ ( $V_{DS}=50$ mV, $W=10\text{nm}$ et $\phi_M=4,6$ eV). .....	40
<b>Figure 3.4.</b>	Variation du courant $I_D$ en fonction de la tension $V_{GS}$ pour différentes valeurs de $\phi_M$ ( $V_{DS}=50$ mV, $W=10\text{nm}$ et $L_G=20\text{nm}$ ). .....	40
<b>Figure 3.5.</b>	Variation du courant $I_D$ en fonction de la tension $V_{GS}$ (échelle log) pour différentes valeurs de $W$ ( $V_{DS}=50$ mV, $L_G=20\text{nm}$ et $\phi_M=4.6\text{eV}$ ). .....	41
<b>Figure 3.6.</b>	$g_m$ en fonction de $I_D$ a $V_{DS}=50$ mV avec variation de $L_G$ CGAA ( $W=10\text{nm}$ & $\phi_M=4.6\text{eV}$ ). .....	41
<b>Figure 3.7.</b>	Caractéristiques $I_D(V_{DS})$ d'un CGAA pour différentes tension $V_{GS}$ de $0.1\text{V}$ à $+1\text{V}$ par pas de $0,2\text{V}$ ( $L_g=20$ nm et $W=10\text{nm}$ ). .....	42

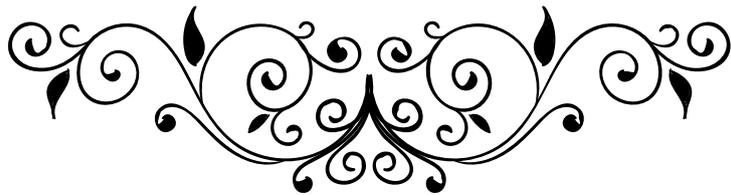
<b>Figure 3.8.</b> $I_D$ en fonction de $V_{DS}$ avec variation de $L_G$ CGAA ( $V_{GS}=0.7V$ , $W=10nm$ & $\phi_M=4.6eV$ ).....	43
<b>Figure 3.9.</b> $I_D$ en fonction de $V_{DS}$ avec variation de $\phi_M$ CGAA ( $V_{GS}=0.7V$ , $W=10nm$ & $L_G=20nm$ ). .....	44
<b>Figure 3.10.</b> $I_D$ en fonction de $V_{DS}$ pour différents $W$ ( $V_{GS}=0.7V$ , $L_G=20nm$ & $\phi_M=4.6eV$ ). .....	44
<b>Figure 3.11.</b> Concentration des trous pour $V_{GS}$ (0.05 et 0.7V), $L_G=20nm$ , $W=10nm$ & $\phi_M=4.6eV$ . .....	45
<b>Figure 3.12.</b> Concentration des électrons pour $V_{GS}$ (0.05 et 0.7V), $L_G=20nm$ , $W=10nm$ & $\phi_M=4.6eV$ . .....	46

## Liste des tableaux

<b>Tableau 1.1.</b> Evolution des paramètres du MOSFET en fonction du facteur de miniaturisation. ....	15
<b>Tableau 3.1.</b> Les paramètres initiaux de CGAA FET. ....	38
<b>Tableau 3.2.</b> Tension de seuil $V_{th}$ pour différentes valeurs de $W$ à $V_{DS}=50$ mV. ....	47
<b>Tableau 3.3.</b> Tension de seuil $V_{th}$ pour différentes valeurs de $L_G$ à $V_{DS}=50$ mV. ....	47



*Introduction Générale*



# Introduction générale

---

En 1959, MM (John) Atalla et Dawon Kahng chez Bell Labs réalisent le premier transistor à effet de champ (FET) à grille isolée, qui avait été longtemps attendu par Lilienfeld, Heil, Shockley et d'autres (1926 Milestone) en surmontant les états "qui ont empêché les champs électriques de pénétrer dans le matériau semi-conducteur. En étudiant les couches de dioxyde de silicium cultivées thermiquement, ils ont trouvé que ces états pouvaient être nettement réduits à l'interface entre le silicium et son oxyde dans un sandwich comprenant des couches de métal (M-gate), oxyde (O-isolation) et silicium (S - semi-conducteur) - ainsi le nom MOSFET, populairement connu sous le nom de MOS. Comme leur composant était lent et ne répondait à aucun besoin pressant du système téléphonique, il n'a pas été poursuivi plus loin. Dans un mémo de 1961, cependant, Kahng a souligné sa « facilité de fabrication potentielle et la possibilité d'application dans les circuits intégrés ». Mais les chercheurs de Fairchild et de RCA ont reconnu ces avantages. En 1960, Karl Zaininger et Charles Meuller ont fabriqué un transistor MOS à RCA et C.T. Sah of Fairchild a construit une tétrode contrôlée par MOS. Fred Heiman et Steven Hofstein ont suivi en 1962 avec un dispositif expérimental intégré à 16 transistors chez RCA [1], [2].

Pour obtenir un coût bas, une vitesse opérationnelle élevée et une meilleure performance, la dimension des transistors conventionnels doit être réduite à la région de sous-nanomètre. La réduction des dimensions de MOSFET dégradera le contrôle de la barrière sur le canal en raison de la proximité étroite entre la source et le drain. Ceci conduit à augmenter divers effets de canal court (SCE) comme l'effet de porteurs chauds, le roll-off de tension de seuil, et l'effet de polarisation de substrat [3]. De nombreuses nouvelles structures ont été introduites pour supprimer le SCE et permettre une mise à l'échelle plus poussée de la structure [4].

# Introduction générale

---

De même, une certaine technologie multi-grilles Silicium sur isolant (SOI) a également été proposée pour remplacer le conventionnel.

Le première Chapitre sera le MOSFET en général, les principes de base comme la structure et le fonctionnement, ainsi que le domaine d'application et la miniaturisation.

Le deuxième chapitre sera consacré aux nouvelles technologies du MOSFET multi-grilles et surtout le MOSFET à grille enrobée GAA.

Le troisième chapitre présente une étude d'un transistor à grille enrobée cylindrique CGAA MOSFET, ce dernier sera modélisé et simulé par un logiciel appelé COMSOL Multiphysics. L'influence des paramètres géométriques sur les performances du composant y seront étudiées et les résultats de simulations seront interprétés et discutés.

Enfin nous terminerons ce mémoire par une conclusion générale.



*Chapter 1*



# Chapitre 1 Transistor MOSFET

---

## 1.1 Introduction

L'évolution de la technologie électronique est fondée sur le développement des architectures de circuits électroniques avancés, dont l'élément principal et de base est le transistor MOSFETs (Metal Oxide Semiconductor Field Effect Transistor). L'enjeu important des sociétés modernes est l'utilisation des équipements à base des circuits électroniques. L'évolution des systèmes électroniques est basée sur le développement du transistor en vue de garantir les hautes performances. Notamment, la fiabilité, la rapidité, faible consommation en puissance etc.

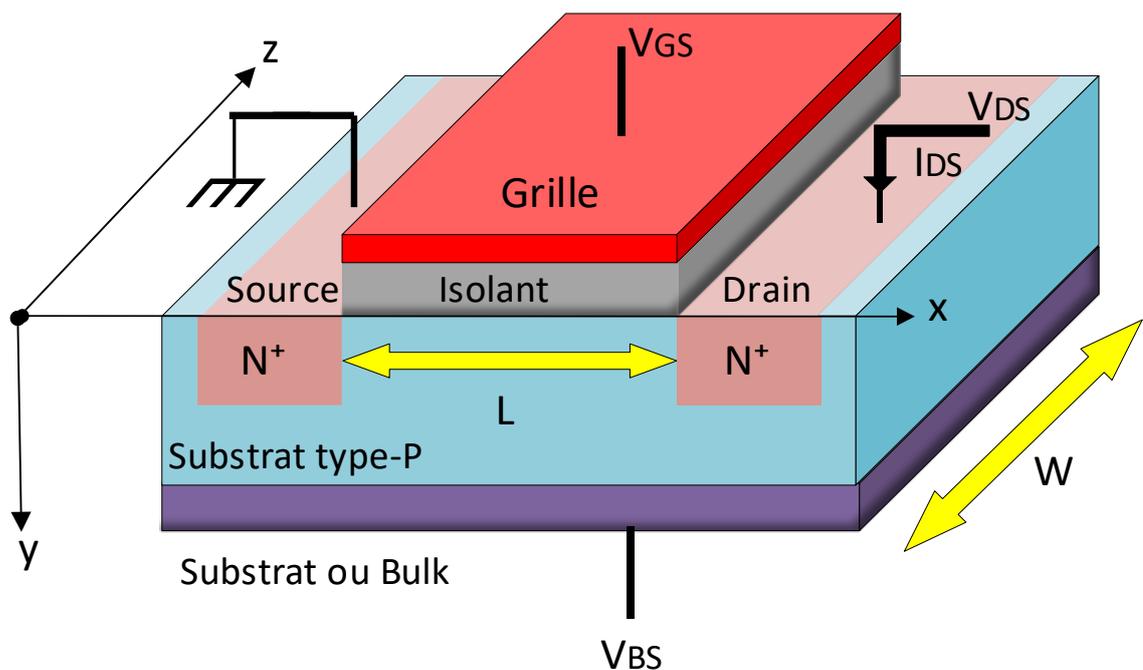
Au cours de ce premier chapitre, le transistor MOSFET conventionnel est présenté. En commençant par sa composition, son mode de fonctionnement et sa miniaturisation.

## 1.2 Historique

Le principe de fonctionnement du transistor (MOSFET) métal oxyde semi-conducteurs à effet de champ a été décrit pour la première fois par Lilienfeld en 1930 [5]. En décembre 1947, John Bardeen et Walter H. Brattain réalisaient le premier transistor en germanium [6]. Avec William B. Shockley le transistor à jonction et la théorie associée sont développées aux Bell Laboratoires en 1951. En 1958, Jack Kilby invente le circuit intégré en fabriquant cinq composants sur le même substrat. C'est en 1960 que Kahng et Attala ont présenté le premier transistor MOS sur Silicium qui reste aujourd'hui le semi-conducteur généralement le plus utilisé, vu la qualité inégalée de l'interface créée par le silicium et l'oxyde de silicium ( $\text{SiO}_2$ ), qui sert d'isolant. Peu après, l'élaboration de la technologie CMOS assura le futur commercial et technologique du MOSFET en électronique intégrée (mémoires, microprocesseurs, circuits logiques) grâce à une géométrie simple et une consommation pouvant être très faible [7].

## 1.3 La description du MOSFET

Le MOSFET acronyme anglais de Metal Oxide Semi-conductor Field Effect Transistor, en français Transistor à Effet de Champ (à grille) Métal-Oxyde, est constitué d'un substrat semi-conducteur sur lequel repose une fine couche d'oxyde isolant ( $\text{SiO}_2$ ) d'épaisseur  $t_{\text{ox}}$ . Une couche conductrice (métal ou poly silicium fortement dopé), appelée électrode de grille, est aussi déposée sur l'oxyde. Enfin, deux régions fortement dopées de profondeur  $X_j$ , appelées source et drain, sont formées dans le substrat de part et d'autre de la grille. La structure basique d'un transistor nMOS est représentée à la Figure 1.1. En raison du procédé de fabrication, la grille « de longueur  $L_G$  » recouvre légèrement les régions de source et de drain. La région entre les jonctions de source et de drain est appelée la région du canal et est définie par sa longueur  $L$  et sa largeur  $W$  [8].



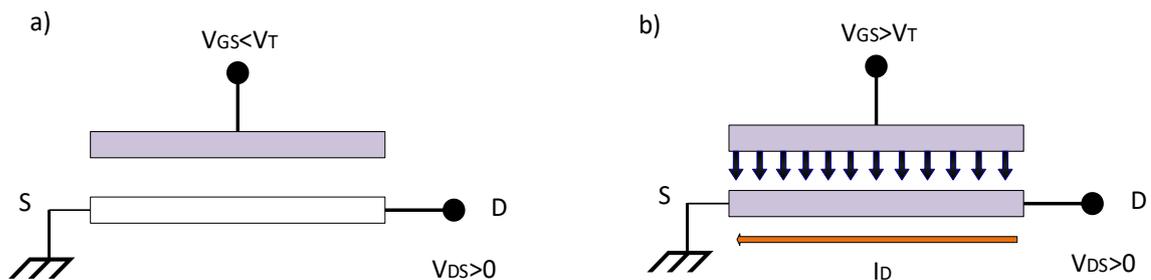
**Figure 1.1.** Structure basique d'un transistor MOS de type n.

La zone active du transistor MOS est la région semi-conductrice (substrat) située entre la source et le drain près de l'interface oxyde semi-conducteur [8].

## 1.4 Principe de base d'un transistor MOSFET

### 1.4.1 Effet de champ

Le principe de fonctionnement d'un transistor MOSFET repose sur l'effet de champ, qui consiste à moduler de façon électrostatique une densité de charges mobiles dans un semi-conducteur. La modulation est provoquée par un champ électrique perpendiculaire à la direction du mouvement de ces charges. La structure du MOSFET se décompose en trois parties principales : l'électrode de grille (G) qui commande l'intensité du champ électrique vertical et par conséquent la densité de charges mobiles, les électrodes de source (S) et de drain (D) séparées par un canal de conduction qui conduit le courant en fonction de son niveau de remplissage en charges mobiles. La figure 1.2 qui suit illustre l'effet de champ dans un transistor MOSFET.



**Figure 1.2.** Effet de champ dans un MOSFET.

La grille est polarisée par la tension grille-source  $V_{GS}$ . Les charges sont mises en mouvement par l'intermédiaire du champ électrique longitudinal lié à l'application d'une tension entre le drain et la source  $V_{DS}$ . La source sert de référence de potentiel. Les tensions  $V_{GS}$  et  $V_{DS}$  permettent de contrôler le courant qui passe dans le canal. Le dopage du canal  $N_A$ , la profondeur  $X_j$  des jonctions source et drain, la longueur de masque  $L$  entre drain et source, la largeur de masque  $W$  et l'épaisseur  $t_{ox}$  de l'oxyde de grille sont les paramètres caractéristiques d'un transistor MOSFET conventionnel. Avec la réduction de la taille du transistor, la différence entre la longueur du masque  $L$  et la longueur effective  $L_E$  n'est plus négligeable. De même pour la largeur effective du canal  $W_E$ . Deux paramètres correctifs sont alors introduits [9]. Ils sont définis par :

$$\Delta L = L - L_E \quad \text{et} \quad \Delta W = W - W_E. \quad (1-1)$$

## 1.4.2 Structure possible du transistor MOSFET

Selon les 2 types du substrat P ou N on peut concevoir deux types transistors MOSFET les N-MOSFET et P-MOSFET respectivement :

### a Transistor MOSFET à canal N

Dans les transistors N-MOSFET, le substrat est de type P. Dans ce cas la grille est polarisée positivement par une tension  $V_{GS}$  suffisante, qui va peupler l'interface SC-oxyde, d'électrons permettant l'apparition de deux zones peuplées d'électrons la source et le drain reliées par un canal rempli d'électrons, et la tension  $V_{DS}$  doit être positive afin de drainer ces électrons, le courant circule du drain vers la source [10].

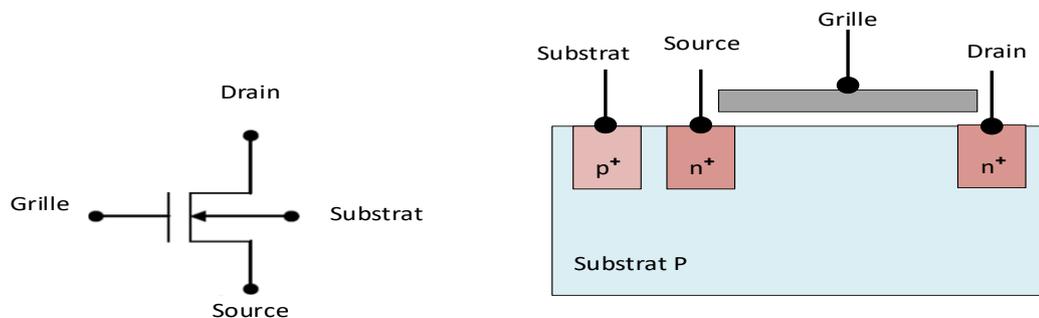


Figure 1.3. MOSFET à canal N.

### b Transistor MOSFET à canal P

Dans les transistors P-MOSFET, le substrat est de type N Le P-MOSFET, dont la grille est polarisée négativement par une tension  $V_G$  suffisante, qui va peupler de trous l'interface SC-oxyde, et qui donne deux zones peuplées de trous : la source et le drain reliées par un canal rempli de trous, et la tension  $V_{DS}$  doit être négative afin de drainer ces trous ; le courant circule donc de la source vers le drain.

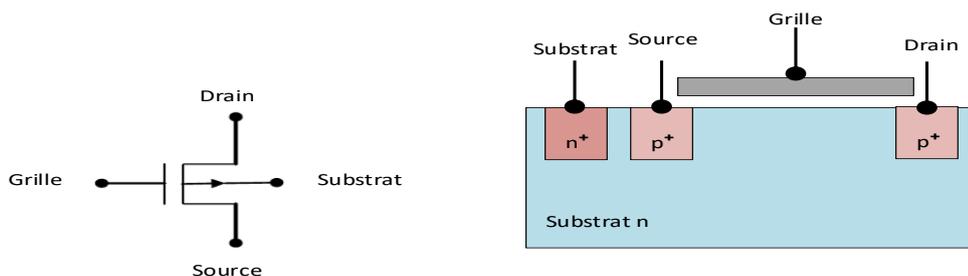


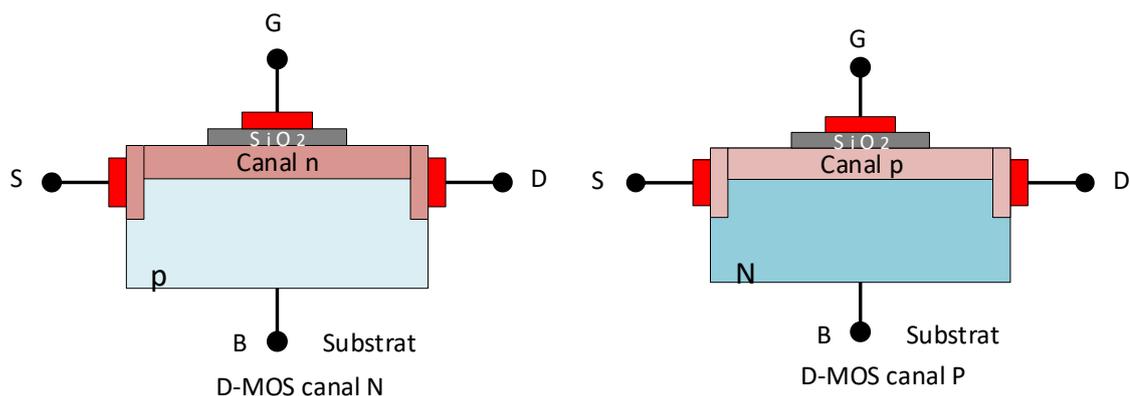
Figure 1.4. MOSFET à canal P.

Selon la réalisation du canal on peut classer les MOSFET en deux types fondamentaux qui sont les MOSFET à appauvrissement (Déplétion) D-MOSFET, et les MOSFET à enrichissement (Enchancement) E-MOSFET [10].

## 1.5 Différents Types de Transistors MOSFETs

### 1.5.1 MOSFET à appauvrissement de canal

Dans le cas des MOSFET à appauvrissement de canal, des étapes technologiques supplémentaire permettent de fabriquer ce canal qui existe déjà avant toute polarisation de la grille. Les MOSFETs à appauvrissement sont donc passants sans tension de commande sur grille (NORMALLY ON), ils deviennent de moins en moins conducteurs au fur et à mesure que la tension de commande augmente pour finalement se bloquer au-delà d'une tension de blocage  $V_{GSoff}$ .



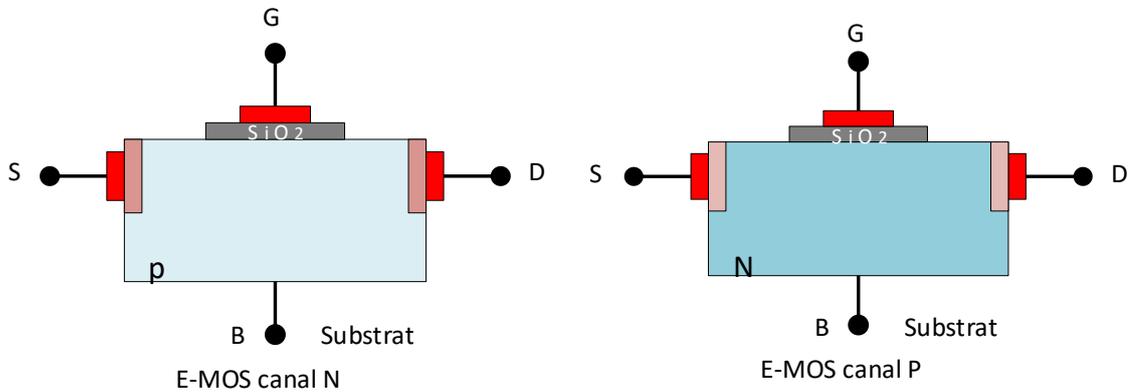
**Figure 1.5.** MOSFET à appauvrissement de canal.

Pour le cas du D-MOSFET canal N, si on applique une tension négative sur la grille par rapport au substrat, les électrons sont repoussés et la conductivité du canal diminue. Contrairement à cela, pour du D-MOSFET à canal P, si on applique une tension positive sur la grille par rapport au substrat, les trous sont repoussés et la conductivité du canal diminue [10].

### 1.5.2 MOSFET à enrichissement de canal

Dans les transistors MOSFETs à enrichissement de canal, ce dernier est induit suite à une tension  $V_{GS}$  appliquée sur la grille du transistor. Les transistors MOSFETs à

enrichissement sont bloqués sans tension de commande sur la grille (NORMALLY OFF), ils deviennent passants à partir d'une certaine tension de grille  $V_{Th}$  (threshold voltage) qui est la tension appliquée entre la grille et le substrat, entraînant l'inversion de la nature du substrat sous la grille.  $|V_{GS}| > |V_{Th}|$ , et le transistor devient passant.

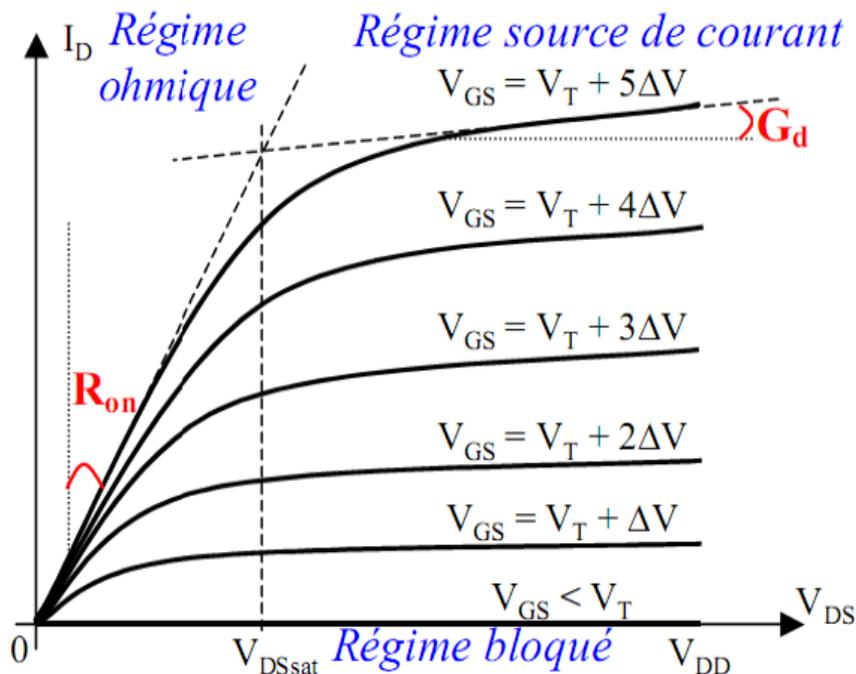


**Figure 1.6.** MOSFET à enrichissement de canal.

Dans le cas d'un transistor MOSFET à canal N et à enrichissement de canal, l'application d'une tension positive sur la grille permet d'attirer les électrons à l'interface isolant/semi-conducteur et on repousse les trous. A partir d'une certaine tension  $V_{Th}$ , une couche d'inversion apparaît et le transistor devient de plus en plus passant. Contrairement au N-MOSFET, dans le cas d'un transistor MOSFET à canal P et à enrichissement de canal, l'application d'une tension négative sur la grille par rapport au substrat va permettre de repousser les électrons majoritaires et les trous minoritaires sont attirés. A partir d'une tension de seuil  $V_{Th}$ , une couche d'inversion apparaît et le transistor devient de plus en plus passant [10].

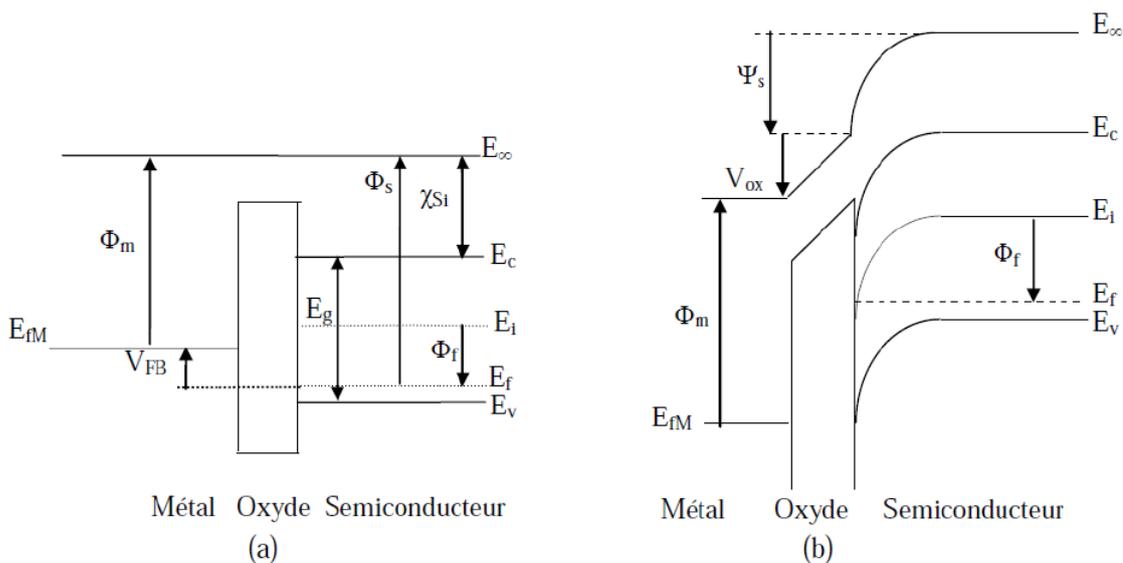
## 1.6 Régimes de fonctionnement des transistors MOSFETs

En fonction de l'importance de la polarisation du drain, on peut distinguer principalement deux régimes de fonctionnement : fonctionnement en mode linéaire et en mode saturé (Figure 1.7).



**Figure 1.7.** Caractéristiques  $I_D(V_{DS})$  typiques à différents  $V_{GS}$  d'un MOSFET [11].

L'application d'un potentiel électrique sur la grille modifie les courbures de bandes d'énergie du semi-conducteur. La Figure 1.8 représente un diagramme de bande d'énergie d'un transistor N- MOSFET dans le régime des bandes plates et dans le régime de faible inversion.



**Figure 1.8.** Diagramme de bande d'un transistor N-MOSFET en régime de bandes plates (a) et en régime de faible inversion (b) [9].

Soit  $\chi_{Si}$  est l'affinité électronique,  $E_g$  est la largeur de la bande interdite.  $E_c$ ,  $E_v$ ,  $E_i$  sont les énergies de bas de la bande de conduction, haut de la bande de valence et l'énergie intrinsèque du silicium.  $\Phi_m$ ,  $\Phi_s$  sont les travaux de sortie du métal et du semi-conducteur,  $\Phi_f$  est le potentiel de Fermi.  $\Psi_s$  est la différence de potentiel entre la surface et le volume (le potentiel de surface) [9].

Le niveau de Fermi est donné par :

$$EF = Ei - q\phi_f \quad (1 - 2)$$

Le potentiel de Fermi  $\Phi_f$  est donné par l'équation suivante dans le cas d'un dopage modéré :

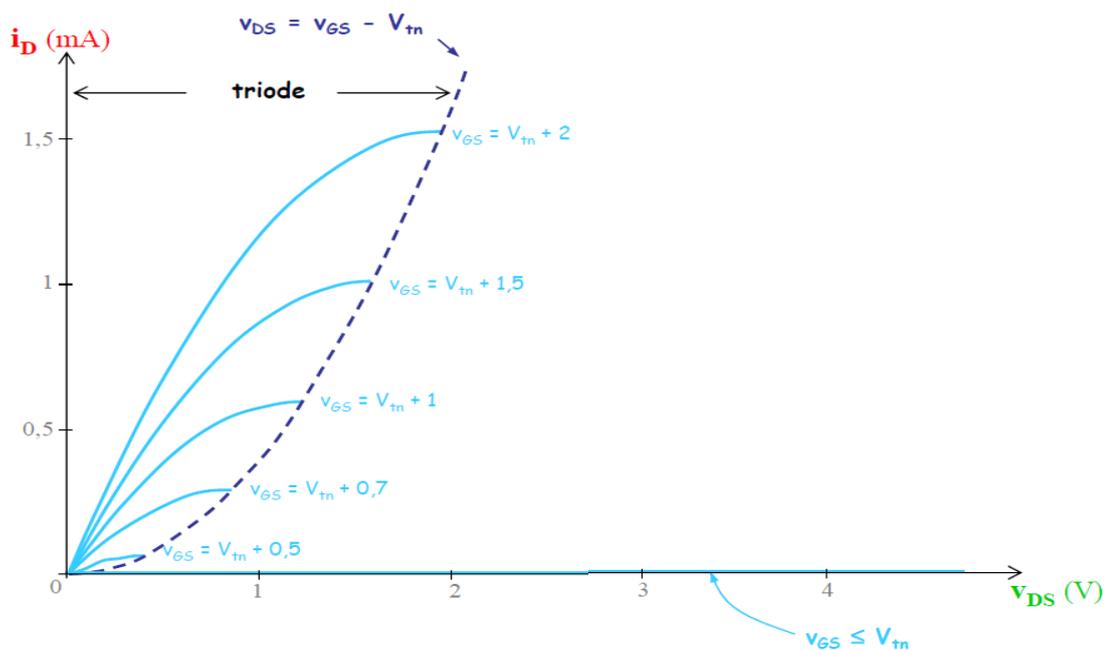
$$\phi_f = \frac{kT}{q} \ln \frac{N_A}{n_i} \quad (1- 3)$$

$k$  est la constante de Boltzmann,  $T$  est la température,  $q$  est la charge élémentaire et  $n_i$  est la concentration intrinsèque des porteurs dans le matériau.

## 1.6.1 Régime triode

### a Caractéristique $I_D - V_{DS}$

Pour  $V_{GS} \geq V_{tn}$  et  $V_{DS} \leq V_{GS} - V_{tn}$  :



**Figure 1.9.** Caractéristique  $I_D - V_{DS}$  dans le Régime triode.

$$I_D = K'_n \frac{W}{L} [(V_{GS} - V_{tn})V_{DS} - \frac{V_{DS}^2}{2}] \quad (1 - 4)$$

Avec

$$K'_n = \mu_n C_{ox} \quad (1 - 5)$$

$K'_n$  Facteur de gain NMOS [ $\mu\text{A}/\text{V}^2$ ]

$\mu_n$  mobilité des e- [ $\text{cm}^2/\text{Vs}$ ]

$$C_{ox} = \frac{\epsilon_{ox}}{t_{ox}} \quad (1 - 6)$$

$C_{ox}$  Capacité surfacique de grille [ $\text{F}/\text{cm}^2$ ]

$t_{ox}$  épaisseur d'oxyde de grille [nm]

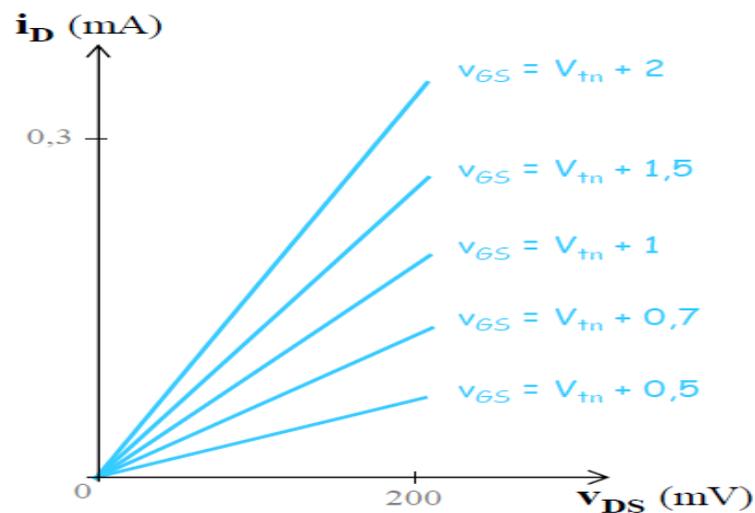
$\epsilon_{ox}$  permittivité SiO2 [ $\text{F}/\text{m}$ ]

### **b Zone linéaire**

Pour  $V_{DS} \ll 2(V_{GS} - V_{tn})$

$$I_D = k'_n \frac{W}{L} (V_{GS} - V_{tn})V_{DS} \quad (1 - 7)$$

$$r_{DS} = \frac{V_{DS}}{I_D} = \frac{1}{k'_n \frac{W}{L} (V_{GS} - V_{tn})} \quad (1 - 8)$$



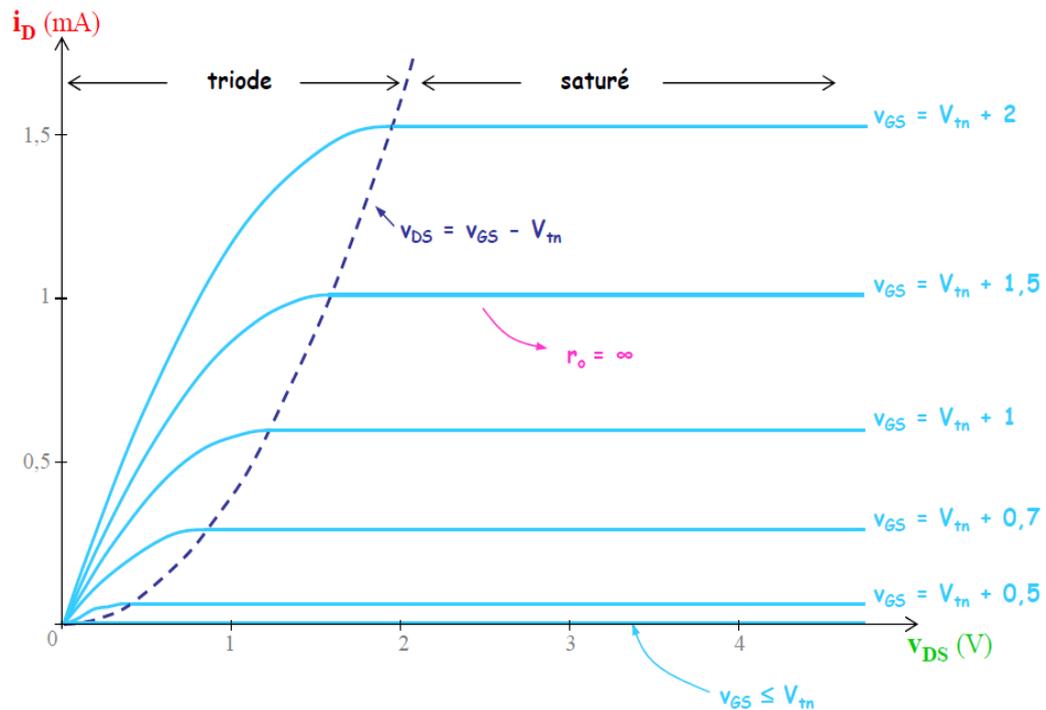
**Figure 1.10.** Caractéristique  $I_D - V_{DS}$  dans la zone linéaire.

## 1.6.2 Régime saturé

### a Caractéristique $I_D - V_{DS}$

Pour  $V_{GS} \geq V_{tn}$  et  $V_{DS} \geq V_{GS} - V_{tn}$  :

$$I_D = \frac{1}{2} k'_n \frac{W}{L} (V_{GS} - V_{tn})^2 \quad (1 - 9)$$



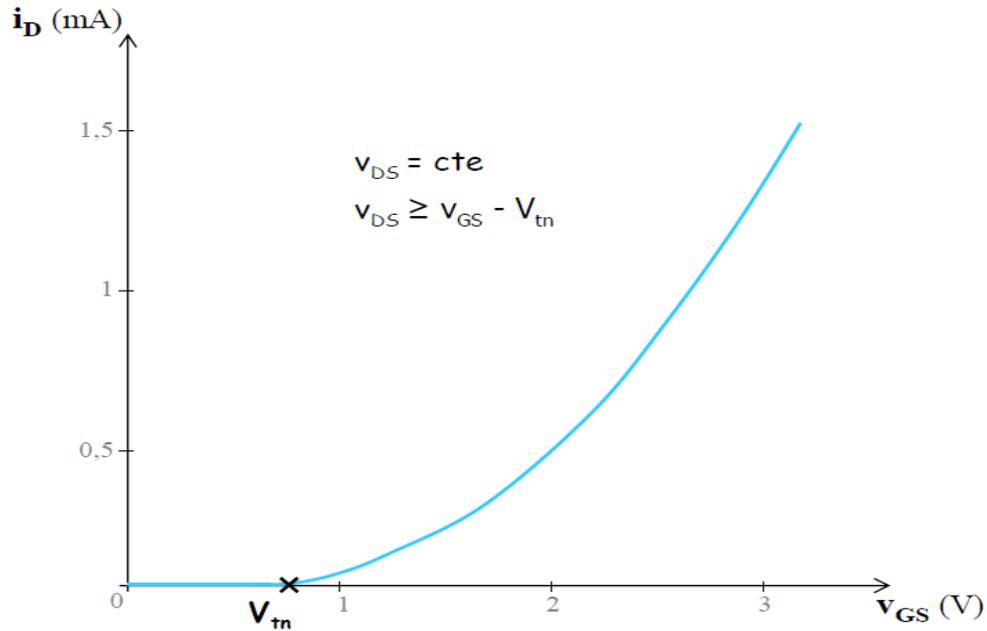
**Figure 1.11.** Caractéristique  $I_D - V_{DS}$  dans le régime saturé.

### b Caractéristique $I_D - V_{GS}$

Pour  $V_{GS} \geq V_{tn}$  et  $V_{DS} \geq V_{GS} - V_{tn}$  :

La transconductance a une tension de drain  $V_{DS}$  constante, elle est donnée par :

$$g_m = \frac{dI_D}{dV_{GS}} \quad (1 - 10)$$



**Figure 1.12.** Caractéristique  $i_D - v_{GS}$  dans le régime saturé.

## 1.7 Les applications de transistor MOSFET

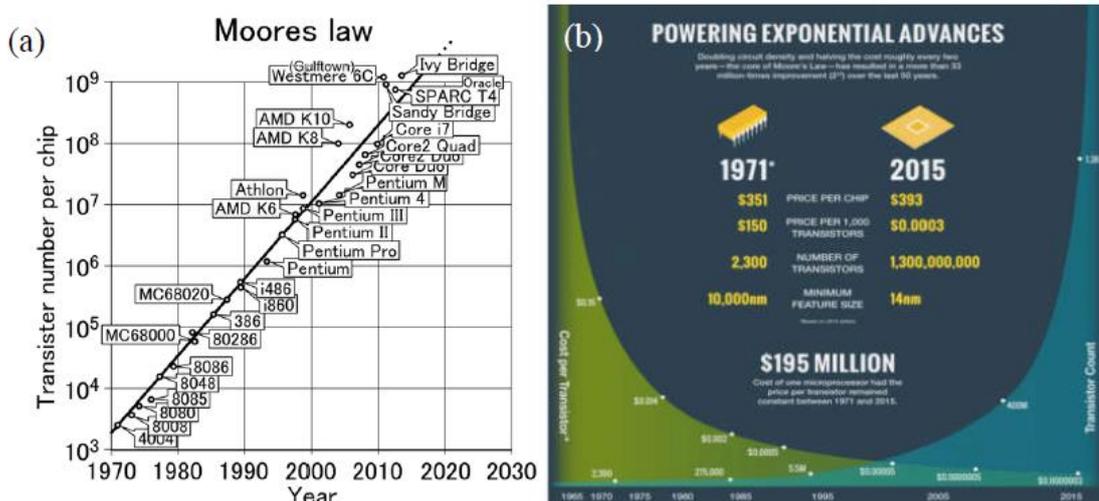
Le transistor MOSFET est utilisé dans de multiples applications. Il est utilisé comme amplificateur dans certaines applications analogiques. Il est aussi utilisé comme bit pour stocker et lire l'information sous forme de zéros et uns. Son utilisation est plus importante dans les applications numériques comme élément de base de différentes fonctions logiques (porte AND, OR...). On peut distinguer deux catégories importantes d'applications :

- Applications haute performance HP (« High Performance ») comme le microprocesseur pour les ordinateurs de bureau pour lesquelles la fréquence de commutation du transistor est privilégiée par rapport à la consommation.
- Applications à basse consommation avec un compromis sur la fréquence de commutation du transistor :
- Les dispositifs à faible puissance active LOP (« Low Operating Power »), ce sont des dispositifs à basse consommation en fonctionnement tels que les ordinateurs portables.

- Les dispositifs à faible puissance statique LSTP (« Low Standby Power »); ce sont des dispositifs nécessitant un faible courant de repos (lorsque le transistor est bloqué) pour obtenir une meilleure autonomie tels que les téléphones portables [12].

## 1.8 Miniaturisation du MOSFET

En 1965, Gordon Moore, un des fondateurs d'Intel a prédit que le nombre de transistors par circuit devait doubler tous les deux ans [13]. Cette loi empirique émise par une simple constatation appelée « la loi de Moore » devint la règle fondamentale et la source d'engouement pour la course à la miniaturisation des MOSFETs comme le témoigne la Figure 1.13(a). Cette loi datant maintenant de 50 ans est à ce jour encore considérée comme moteur. Cette miniaturisation a permis l'augmentation de la densité des transistors dans les microprocesseurs incluant ainsi plus de fonctionnalités et d'espace de stockage d'information. Un autre paramètre, le coût de production du transistor, a été également le cheval de bataille de l'industrie des semiconducteurs. La Figure 1.13(b) exprime l'évolution de l'industrie des semiconducteurs en nombre et coût du MOSFET [14].



**Figure 1.13.** Loi de Moore (a) évolution du nombre et (b) du coût du MOSFET depuis 50 ans de miniaturisation [14].

Grâce à cette miniaturisation, de 1971 (procédé 10  $\mu\text{m}$ ) jusqu'à 2015 (procédé 14 nm) [15], les performances ont été améliorées d'un facteur de 3500 fois, avec une meilleure

efficacité énergétique de 90000 fois, mais surtout, le coût de production d'un transistor a été réduit de plus de 60000 fois [16].

Dennard et Al. [17] Ont proposé des règles de miniaturisation en prenant en considération trois variables, il s'agit de la dimension des transistors, la tension de fonctionnement et le dopage. Il définit un facteur de miniaturisation  $k$  ou chaque variable varie en fonction de ce facteur. La réduction de ces variables à une incidence directe sur les caractéristiques du transistor et du circuit, qui varient en fonction de ce même facteur. Le tableau 1 résume les règles de miniaturisation établies par Dennard.

Paramètres	Facteur de miniaturisation
Dimension du composant ( $t_{ox}$ , $L$ , $W$ , $X_j$ )	$1/k$
Concentration du dopage ( $N_a$ )	$k$
Tension d'alimentation ( $V$ )	$1/k$
Courant ( $I$ )	$1/k$
Capacité ( $sA/t$ )	$1/k$
Délai / circuit ( $CV/I$ )	$1/k$
Puissance de dissipation /circuit ( $VI$ )	$I/k^2$

**Tableau 1.1.** Evolution des paramètres du MOSFET en fonction du facteur de miniaturisation.

Cependant, ces règles de miniaturisation répondent à un cas de figure idéal et ont connu de multiples divergences, à titre d'exemple, le courant sous le seuil ou l'épaisseur de l'oxyde de grille avec des courants de fuite par effet tunnel. Ces effets indésirables de la miniaturisation sont attribués aux effets dits de canaux courts (Short Channel Effect). C'est pourquoi, les paramètres de miniaturisation ne devraient pas forcément avoir le même facteur d'échelle.

Ces règles de miniaturisation dites traditionnelles, ont été longuement suivies jusqu'en début des années 2000, où le courant de fuite est devenu conséquent en raison des effets de canaux courts.

## 1.9 Effets de canaux courts

Un MOSFET est considéré comme composant à canal court, lorsque les largeurs de déplétion des jonctions de source et de drain ( $X_{dS}$ ,  $X_{dD}$ ) sont du même ordre de grandeur que la longueur de grille  $L$ , elles sont exprimées par :

$$X_{dD} = \sqrt{2\epsilon_S \frac{(V_{DS} + \Phi_{Si} + V_{SB})}{q_{Na}}} \quad (1 - 11)$$

et

$$X_{dS} = \sqrt{2\epsilon_S \frac{(\Phi_{Si} + V_{DB})}{q_{Na}}} \quad (1 - 12)$$

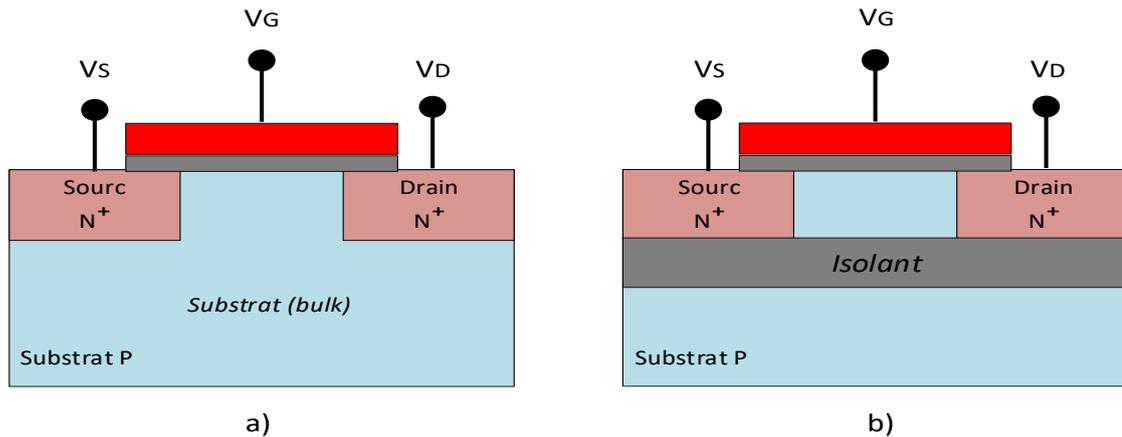
V<sub>SB</sub> et V<sub>DB</sub> sont respectivement la tension source - substrat et la tension drain - substrat [18]. Pour un MOSFET à canal court, la distribution du potentiel dans le canal de conduction est dépendante du champ électrique transverse ( $E_x$ , induit par la tension de grille) qui devient également dépendante du champ électrique longitudinal ( $E_y$ , induit par la tension de drain).

Dans ce cas, la condition d'approximation du canal graduel n'est plus valide et des effets indésirables dits de canaux courts apparaissent. On rassemble sous la nomination d'effet de canaux courts tout phénomène physique modifiant la tension de seuil du MOSFET ou imposant une limitation au courant de dérive des porteurs du canal de conduction.

## 1.10 Technologie de fabrication

### 1.10.1 Technologie bulk et SOI

Il existe actuellement deux structures de composants largement étudiées et utilisées en technologie CMOS. La première est la structure silicium massif (ou "bulk"), dans laquelle le transistor est directement fabriqué sur un substrat semi-conducteur (figure 1.14.a). La seconde est appelée SOI (pour l'anglais "Silicon On Insulator") dans laquelle le transistor est réalisé sur une fine couche de silicium séparée du reste du substrat par une couche d'isolant (figure 1.14.b) [19].



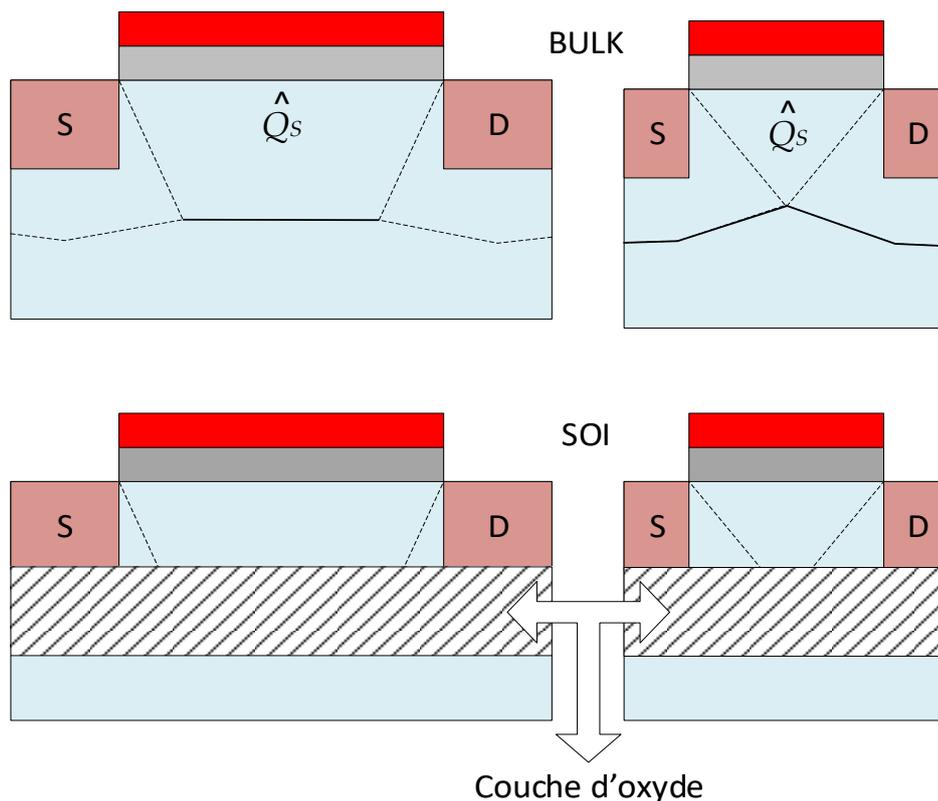
**Figure 1.14.** Vue en coupe de transistors nMOS en technologie Si-bulk (a) et SOI (b).

## 1.10.2 Avantages de la technologie SOI

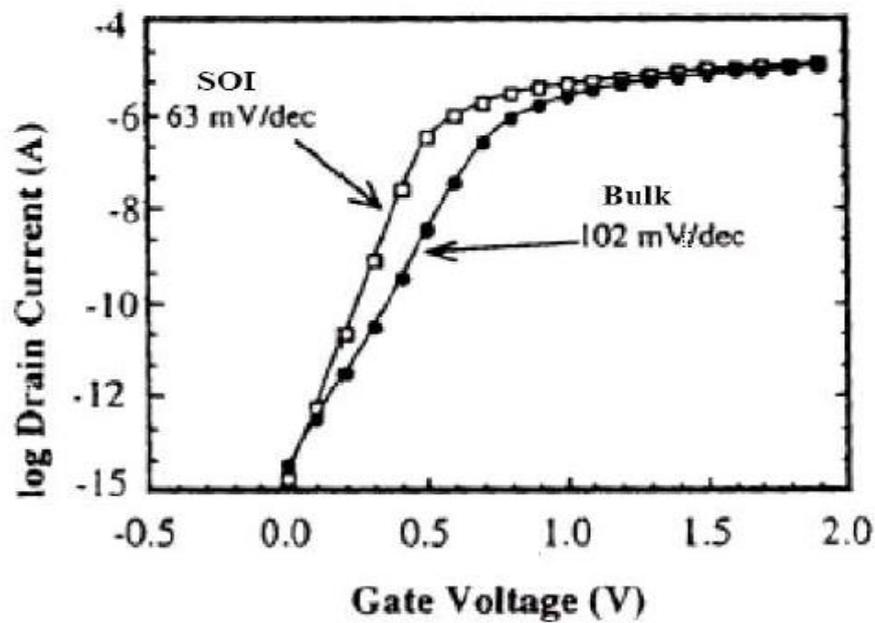
Voici maintenant quelques avantages de l'usage de plaquettes SOI par rapport au bulk traditionnel dans développement de composant CMOS [20] :

- Basse tension d'opération avec la même performance de sortie comparée avec la technologie bulk qui doit opérer à une plus haute tension de fonctionnement, ceci mène à une basse consommation (autour de 40-50% moins);
- Elimination des capacités de jonction (capacité parasite source-substrat et drain-substrat, qui correspondent à la capacité d'une jonction polarisée en inverse pour le MOSFET bulk, ne sont en réalité pour le SOI qu'une capacité d'oxyde CBox.) et l'effet de corps conduisant à une amélioration de la performance de 30% par rapport à la technologie bulk, tel l'état de commutation;
- Réduction du courant de fuite, ce qui amène à une meilleure application numérique pour une consommation réduite;
- En plus d'une simplification dans les procédés de fabrication due au nombre réduit de masques, l'isolation verticale et horizontale résulte dans une plus grande densité des composants réalisés sur une même plaquette de même dimension comparée avec la technologie bulk.

- Une meilleure gamme de température d'opération.
- Une diminution des effets canaux courts à la réduction du composant.
- Elimination du latch-up, un phénomène parasite dû au déclenchement d thyristor parasite lié à la proximité des zones N+ et P+ de transistors nMOS et pMOS voisins, ainsi que du claquage entre ces deux zones.
- Amélioration du contrôle de la grille sur la charge de déplétion, le rapport entre la charge de déplétion contrôlée par la grille et le drain (ou la source) est beaucoup plus important pour le transistor SOI, par comparaison au transistor MOS bulk, avec des dimensions identiques ( $L, W, t_{ox}, X_j$ ), ce phénomène est d'autant plus marqué que la longueur du canal diminue [21] comme le montre la Figure 1.15.



**Figure 1.15.** Distribution de la charge de déplétion pour le MOSFET bulk et le SOI.



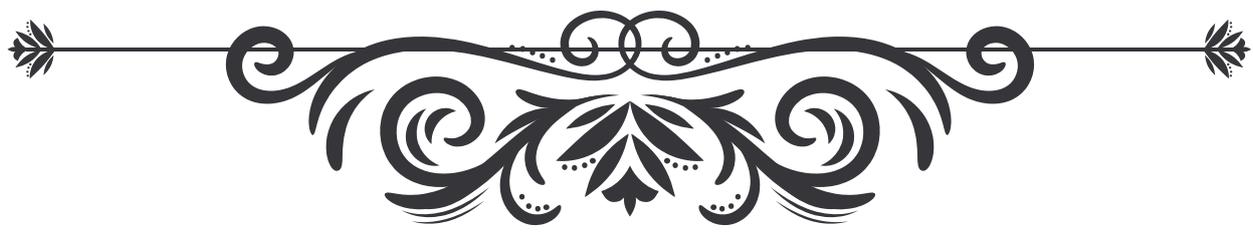
**Figure 1.16.** Comparaison de la pente sous le seuil du transistor MOS en technologies bulk et SOI, pour une géométrie constante [20].

## 1.11 Conclusion

Le but de ce chapitre était de nous initier et d'initier les lecteurs au fondement et aux principales avancées expérimentales et théoriques de la technologie MOS. C'est pour cela que nous avons jugé nécessaire d'introduire le transistor MOSFET au sein de ce premier chapitre ainsi que les effets parasite induits par la miniaturisation d'autant plus que notre travail consiste à étudier et simuler les caractéristique d'un transistor MOSFET évolué à grille enrobée GAA FET. Maintenant que nous connaissons son principe de fonctionnement, nous avons mis l'accent sur les caractéristiques physiques et électriques du MOSFET. Cette étude nous permettra ainsi de poursuivre nos investigations débutant d'abord par la présentation des transistors multi grilles et principalement le GAA FET sujet de notre étude que nous avons modélisé.



*Chapter 2*



# Chapitre 2 Les transistors MOSFET à multi-grilles

---

## 2.1 Introduction

La technologie MOSFET a connu un développement remarquable depuis son émergence, et de là plusieurs nouveaux composants ont émergé tels que les transistors GAA, mais avant d'aborder ce dernier, il faut présenter la technologie multi-grilles en général, et c'est ce que nous allons faire dans ce chapitre.

## 2.2 Les transistors à grilles multiples

Un dispositif multi-grilles ou un transistor à effet de champ à plusieurs grilles (MuGFET) se réfère à un transistor MOSFET qui incorpore plus d'une grille dans un seul dispositif. Les multiples grilles peuvent être commandées par une seule électrode de grille, les multiples surfaces de grille agissant électriquement comme une seule grille, ou par des électrodes de grille indépendantes.

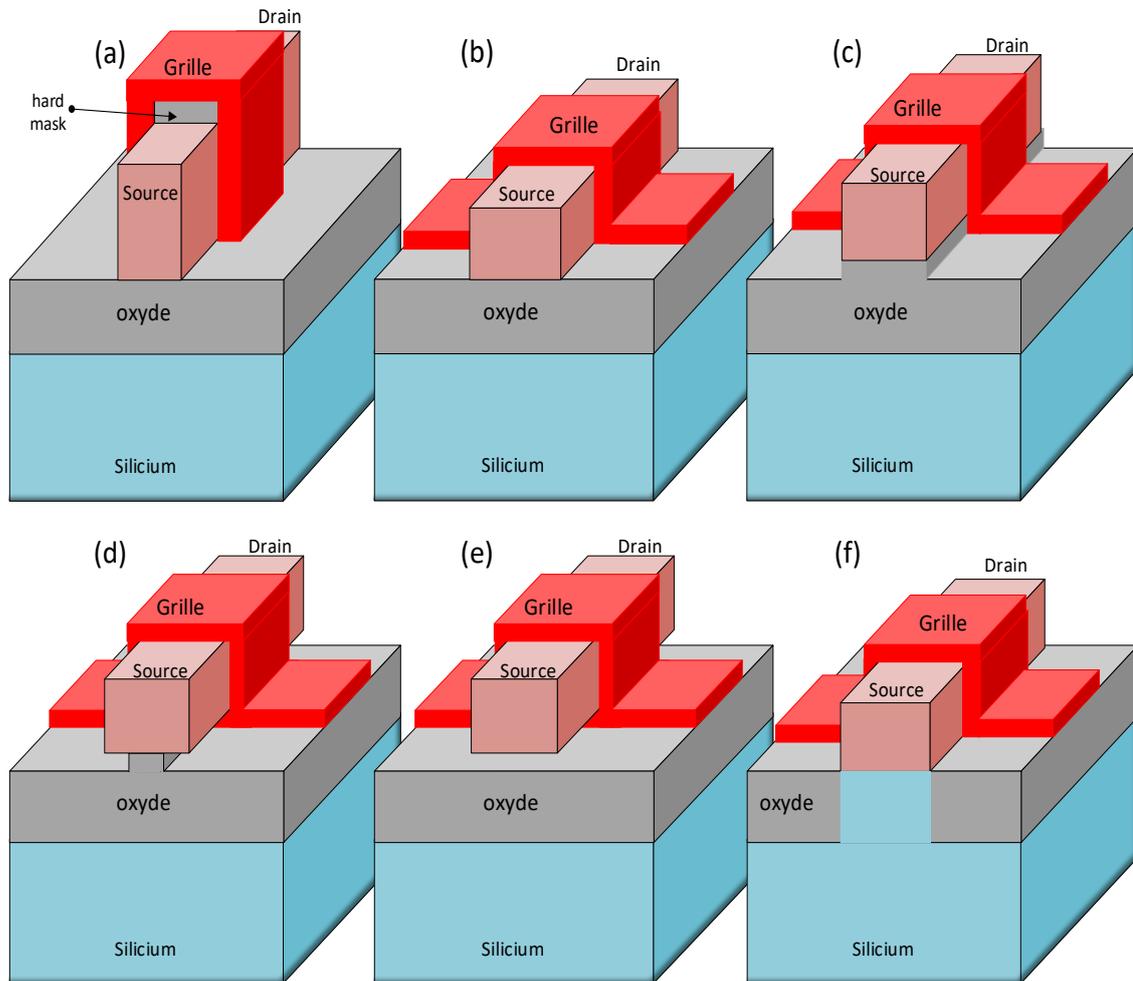
Les transistors multi-grilles sont l'une des nombreuses stratégies développées par les fabricants de semi-conducteurs CMOS (Complementary Metal Oxide Semiconductor) pour créer des microprocesseurs et des cellules mémoire de plus en plus petites, familièrement appelés extension de la loi de Moore [22].

### 2.2.1 Les différents types multi-grilles

La technologie SOI à une grille ne permet pas de réduire les effets canaux courts en raison notamment de l'influence électrostatique. Cependant, l'ajout de grille autour de la couche de silicium, non seulement favorise l'isolement du canal de conduction, d'où sa protection, mais offre également un meilleur contrôle sur ce canal. En conséquence, nous voyons apparaître des structures SOI avec deux, trois, voire quatre grilles [20].

## Chapitre 2 Les transistor MOSFET à multi-grilles

L'évolution des dispositifs SOI avec l'augmentation du nombre de grilles est illustrée en Figure 2.1.



**Figure 2.1.** MOSFET à multiple grilles : (a) DG SOI MOSFET (b) triple grille SOI MOSFET (c) N SOI MOSFET (d) fi SOI MOSFET (e) GAA SOI MOSFET et (f) triple grille bulk MOSFET.

Des dizaines de variantes de transistors multi-grilles peuvent être trouvées dans la littérature. En général, ces variantes peuvent être différenciées et classées en termes d'architecture (conception plane ou non plane) et de nombre de canaux / grilles (2, 3 ou 4).

### **a Le double-grille**

Le transistor MOS double-grille (DG) est constitué de deux grilles placées sur le plan horizontal. La Figure 2.1 présente l'architecture. Chaque grille exerce un contrôle sur le ou les canaux. Il existe une autre structure qui appartient à la catégorie du double-grille bien qu'elle possède trois grilles, elle est souvent appelée dans la littérature, le FinFET. Cette structure dispose d'une « troisième grille » reliant les deux autres grilles.

## Chapitre 2 Les transistor MOSFET à multi-grilles

---

Par rapport à un dispositif MOSFET double-grille planaire, l'avantage d'un transistor FinFET est l'auto-alignement intrinsèque des deux grilles. La « troisième grille » se trouve sur une couche d'oxyde de grille d'une épaisseur importante. De ce fait, elle n'effectue aucun contrôle sur le canal. Ainsi, seules les deux grilles latérales créent et contrôlent un canal d'inversion.

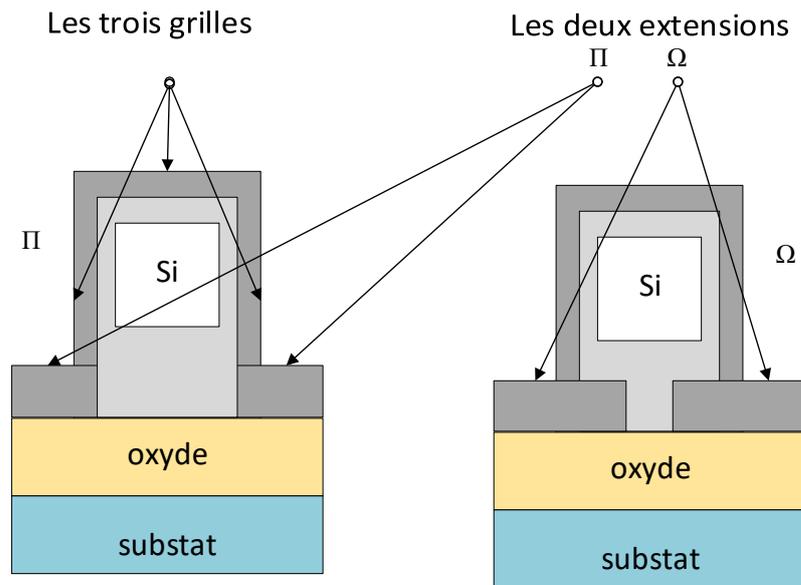
De plus, on observera qu'au niveau de la structure MOSFET double-grille planaire, il existe deux variantes. Suivant la manière dont le dispositif est polarisé, nous assistons à des modes de fonctionnement différents. Nous avons ainsi le MOSFET double-grille en mode de fonctionnement symétrique et le MOSFET double-grille en mode de fonctionnement asymétrique [23].

### ***b Le triple-grille***

Cette structure dispose de trois grilles (TG), dont une au-dessus de l'oxyde et une sur chaque face latérale (Figure 2.1). Les couches d'oxyde au contact de chacune des grilles ont une épaisseur suffisamment faible pour permettre la formation de trois canaux à l'intérieur du film de silicium [24].

### ***c Le triple<sup>+</sup>-grille***

Ces transistors sont représentés à la Figure 2.2. Ils sont constitués non seulement de trois grilles positionnées au-dessus de l'oxyde de grille et sur les faces latérales, mais également de deux extensions.



**Figure 2.2.** L'extension des grilles conduisant aux structures  $\Pi$  et  $\Omega$  SOI MOSFETs.

Suivant la forme de ces extensions, l'architecture diffère [20]. Si ces extensions se développent verticalement dans l'oxyde enterré, soit suivant la continuité des grilles latérales, nous parlons de structure  $\Pi$ FET. Si ces extensions se développent horizontalement, soit perpendiculairement aux grilles latérales, nous parlons de  $\Omega$ FET. Ces extensions sont généralement obtenues en surgravant l'oxyde dans la phase de définition des zones actives. Leur rôle consiste à améliorer considérablement le contrôle électrostatique de la grille.

### **d Le quadruple-grille (GAA MOSFET)**

Ce composant possède quatre grilles (QG). La structure est décrite à la Figure 2.1. Le film de silicium est recouvert de grille sur les quatre faces, d'où leur autre nom : "surrounding-gate" [20]. Nous reviendrons plus en détail sur ce type de dispositif dans la section suivante.

### **2.2.2 Avantages des transistors à grilles multiples**

L'idée d'ajouter de plus en plus de grilles repose sur le fait que, si l'épaisseur du film actif de silicium entre les différentes grilles est suffisamment faible, ces grilles polarisées peuvent commander le volume global de silicium entre la source et le drain. La conduction s'effectuant alors de manière volumique et non plus surfacique [20], on s'attend à des effets avantageux pour la valeur du courant de drain. De plus, la prise de

contrôle du canal se révélant plus importante, on s'affranchit des effets canaux courts liés à l'influence de  $V_{DS}$ : la diminution drastique de l'épaisseur d'isolant devient moins cruciale. Enfin, par leurs dispositions, les grilles font enseigne de bouclier contre les lignes de champs créées par la polarisation du drain et qui influent sur la circulation des électrons. Finalement, les performances sont nettement améliorées avec de telles architectures multi-grilles. A cet effet, elles font l'objet actuellement de recherches intenses dans de nombreux laboratoires.

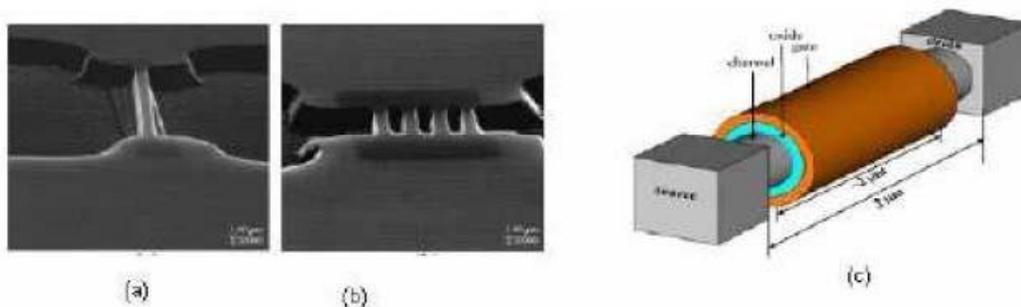
### 2.2.3 Inconvénient des transistors à grilles multiples

L'un des inconvénients de ces structures est l'accroissement des résistances des extensions source et drain. De plus, les dimensions de la zone active étant réduites à moins de quelques dizaines de nanomètres dans toutes les directions, de multiples questions se posent quant à la physique du transport dans ces dispositifs : importance du transport balistique [25] ou par effet tunnel [26] entre source et drain. Finalement, le point qui reste de loin le plus critique réside, bien entendu, dans leur fabrication qui nécessite la mise en œuvre de procédés plus que délicats.

## 2.3 Transistors à grille enrobée

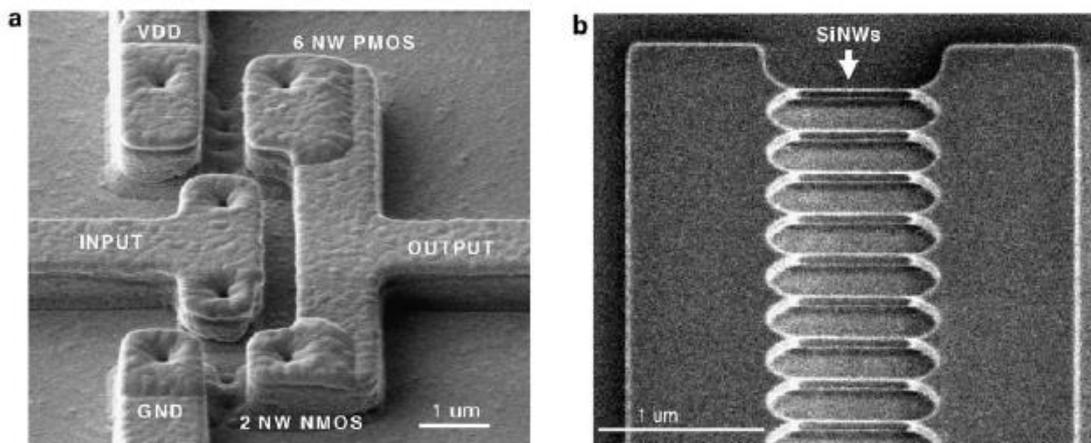
Le transistor à grille enrobée SG (Surrounding Gate) ou GAA (Gate All Around) MOSFET (figure 2.3) représente la structure qui théoriquement offre la meilleure contrôlabilité de la grille sur le canal et donc la meilleure intégrité électrostatique possible [27].

Le premier SG MOSFET fut fabriqué en enveloppant l'électrode de grille autour d'une pile verticale de silicium. Les structures à grille enrobée incluent des composants tels que le CYNTHIA (à section circulaire) et le SG MOSFET en colonne (à section carrée). Des SG SOI MOSFETs d'une longueur de grille inférieur à 5nm a montré une totale fonctionnalité. Plus récemment, des SG MOSFET planaire à section circulaire ou carrée ont été rapportés.



**Figure 2.3.** Vue TEM (a) d'un et (b) de 4 canaux de MOSFETs à grille enrobée, (c) vue 3D d'un nanofile MOSFET [28].

Néanmoins, la structure à section cylindrique est plus avantageuse compte tenu de l'absence d'angles droits ou de coins, il a été montré qu'une inversion prématurée peut survenir au niveau des coins, ce qui dégrade les caractéristiques sous seuil et crée une déformation indésirable dans la courbe de transconductance versus tension de grille [29]. Une comparaison entre les deux structures a été effectuée dans [30], les résultats de simulation ont confirmé l'avantage de la structure à section cylindrique avec une diminution considérable du courant  $I_{off}$ , et une réduction du *DIBL* et de l'inverse de la pente sous seuil.



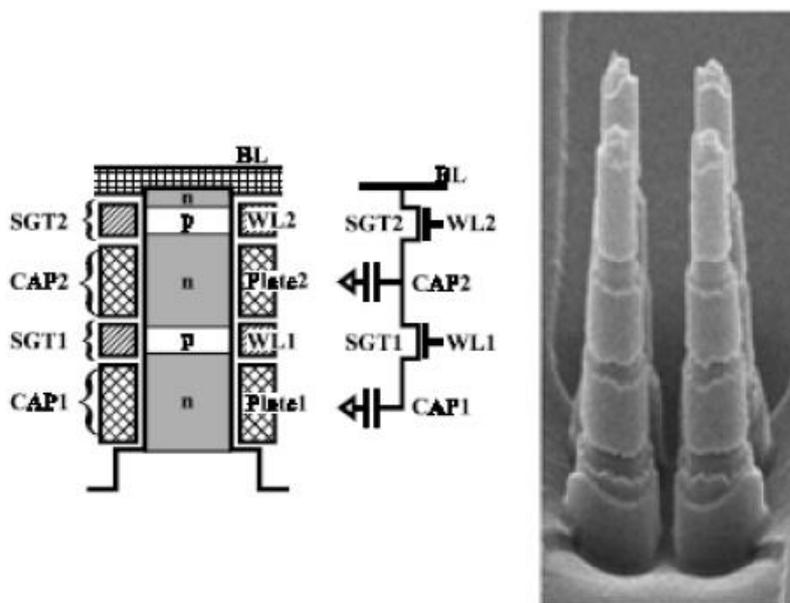
**Figure 2.4.** Image SEM (a) de l'inverseur en GAA nanofile, (1x2) canalNMOS et (3x2) canal PMOS, (b) multiple nanofiles en rangée d'une excellente symétrie [31].

Les transistors à grille cylindrique se sont très bien adaptés à la technologie CMOS et à la l'intégration à très large échelle. Dans [32], un inverseur à base de nanofiles submicroniques d'environ 300nm et d'une épaisseur de 5nm a été réalisé avec succès (figure 2.4). Une très bonne performance a été enregistrée tant au niveau de l'inverseur qu'à celui des nanofiles.

## Chapitre 2 Les transistor MOSFET à multi-grilles

Les SG MOSFETs planaires submicroniques voir nanométriques permettent de réduire la surface unitaire des circuits, cependant, une disposition verticale des transistors permet une plus dense intégration. Dans [32], une structure de DRAM à base de transistors SG empilés (Stacked SGT) a été proposée (figure 2.5), la simulation du procédé de fabrication a montré que l'empilement permet de réduire la taille de la cellule de moitié par rapport à une cellule SGT conventionnelle.

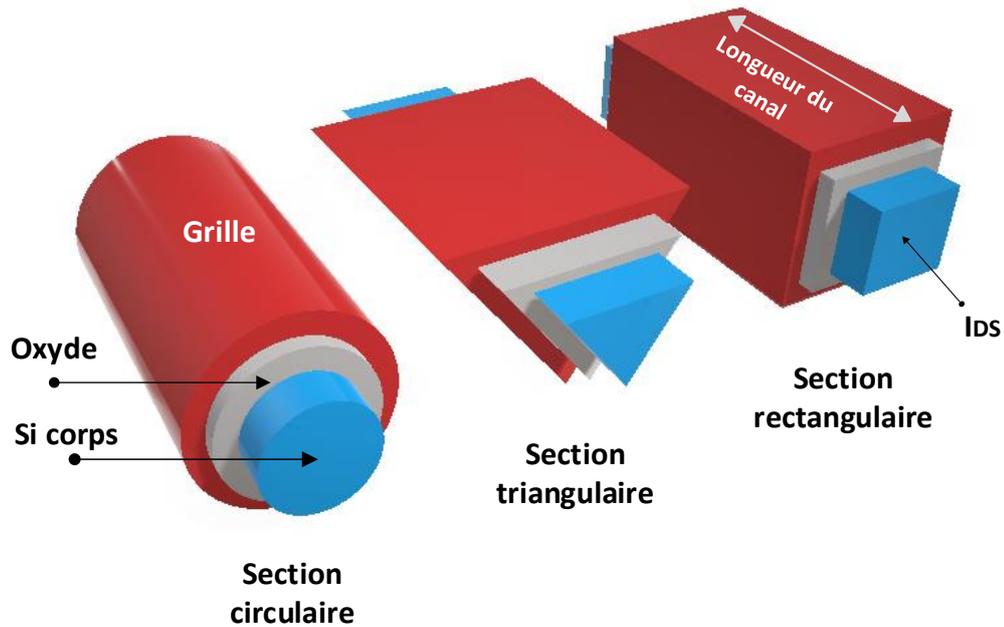
Le transistor VSG MOSFET représente la structure la plus optimale qui allie performance électrique et grande densité d'intégration.



**Figure 2.5.** (a) structure de la S-SGT DRAM(b) circuit équivalent (c) image SEM de cellule S-SGT [32].

### 2.4 L'architecture MOSFET à grille enrobée

Le transistor MOSFET à grille enrobée SGT "surrounding gate transistor" (i.e, gate- all-around, GAA) [33] est une architecture MOSFET avancée où le canal en silicium est complètement entouré par la grille [34]. Comme le montre la Figure 2.6, trois différentes formes de section sont représentées. Les transistors GAA seront décrits en détail dans ce mémoire parce que est choisie pour la modélisation et simulation de ce composant.



**Figure 2.6.** Trois architectures du transistor GAA MOSFET avec des sections différentes.

Les transistors GAA sont des excellents dispositifs, en termes de SCE, DIBL, pente sous le seuil et le rapport  $I_{on}/I_{off}$ . L'inconvénient principal du dispositif GAA est généralement pour le moment consiste aux procédés de fabrication qui sont très difficile. Cette fabrication est souvent basée sur la réalisation de nanofils de silicium. La section du canal est également cruciale pour le fonctionnement du dispositif. Les coins dans le canal (en forme rectangulaire ou triangulaire) contribuent dans les effets de coin, et sont considérés comme des parasites (tension de seuil double) ou parfois des effets bénéfiques (tension de seuil basse, inversion volumique local). Les transistors GAA à nanofils de silicium sont également des structures très convenables dans les dispositifs à un seul électron (SET) [34].

De 1990 à 2000, les auteurs ont surtout été intéressés à la modélisation des propriétés électroniques utilisant la mécanique quantique, et de nombreuses publications sont encore déconnectées de tous les demandes de dispositif [35]. Le calcul de la bande interdite de silicium dans un fil quantique de silicium a été proposé la première fois en 1993 par M.-Y. Shen [36].

Le premier transistor GAA sur SOI a été présenté en 1990 par J.-P. Colinge [37]. Malgré ces grandes dimensions ( $W/L=3\mu\text{m}/3\mu\text{m}$ ) et une épaisseur de 50 nm d'oxyde de grille, ces dispositifs pionniers présentent des caractéristiques correctes. La fabrication du

## Chapitre 2 Les transistor MOSFET à multi-grilles

---

dispositif est très simple. Un fil SOI mince est défini par lithographie et gravure, cette étape est suivie par la formation du fil de l'oxyde enterré. La grille utilisée est du LPCVD polysilicium.

Un autre remarquable GAA transistor MOS a ensuite été proposé en 1997 par E. Leobandung et al. [38]. C'est l'un des premiers rapports qui comprend une description complète des performances GAA. Les dimensions du nanofil sont en accord avec les prédictions de l'ITRS en 1997. Le fil a une section transversale rectangulaire (hauteur x largeur 50 nm 35-75nm), la longueur de fil minimum est 70nm et l'épaisseur de l'oxyde de grille est 11nm. Le polysilicium est aussi utilisé comme matériau d'oxyde de grille. Les caractéristiques extraites sont bonnes, avec une pente sous seuil 90mV/dec. Une conception multicanale est également proposée.

Depuis lors, de nombreux designs optimisés ont été rapportés. Nous pouvons nous référer à J. Y. Song et al. [39] et S. D. Suk et al. [40] qui ont effectués deux excellents rapports sur la technologie GAA CMOS. L'article [39] fait une comparaison entre les deux géométries double-grille et GAA, et montre comment GAA augmente les performances. En second lieu, ce rapport fait également une comparaison entre une forme rectangulaire et un canal de section circulaire, montrant qu'un canal en silicium cylindrique a un courant  $I_{OFF}$  beaucoup plus réduit et les effets SCE et DIBL plus faible, en raison de l'absence des effets de coin. Les résultats publiés par [40] ont également un grand intérêt et présente un processus pour l'intégration des MOSFET à double nanofils de silicium (twin silicon nanowire MOSFET). Ils ont obtenu des dispositifs GAA circulaire de 5-10nm de diamètre avec une longueur de grille de 30nm, avec un courant Ion remarquablement élevé pour les transistors type n de 2.64mA/ $\mu$ m.

### 2.4.1 Les différentes catégories de la technologie GAA MOSFET

Les transistors à grille enrobée GAA MOSFET peuvent être classés suivant des critères géométriques (la forme du canal) ou des critères électriques (la direction du transport électronique et la direction du champ de grille par rapport au plan du substrat qui est le plan horizontal) ou aussi le nombre des canaux qu'ils possèdent. Ainsi, pourrions-nous distinguer :

## a Le transistor GAA MOSFET rectangulaire

L'architecture du transistor GAA MOSFET rectangulaire est basée sur celle du SOI à triple grilles (tri-gate) en ajoutant une grille d'où il tire le nom de quadruple-grille (quadruple gate [41]). La coupe du canal d'un tel transistor est sous forme d'un rectangle. On note ici qu'il dérive de cette architecture deux autres nominations, GAA MOSFET à canal cubique [42] et GAA MOSFET carré [43].

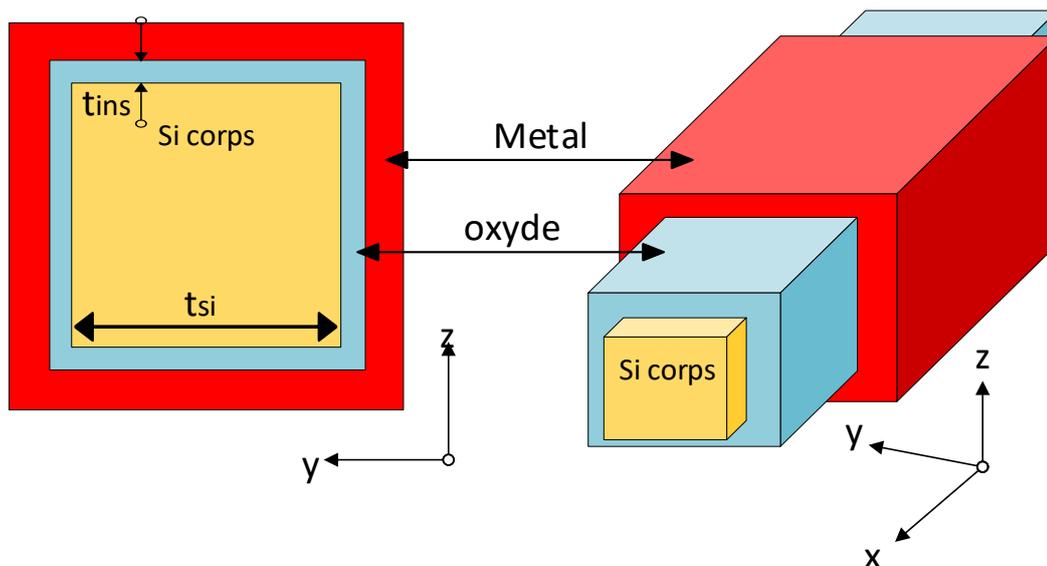


Figure 2.7. Coupe et vue en 3D du transistor GAA MOSFET carré.

## b Le transistor GAA MOSFET triangulaire

Le transistor GAA MOSFET triangulaire [44] tire son nom de la section de son canal qui est sous la forme d'un triangle. La vue de section avec dimensions de cette architecture est présentée par les Figures 2.8b et 2.8a. Les étapes de réalisation d'une telle architecture sont présentées par la Figure 2.10.

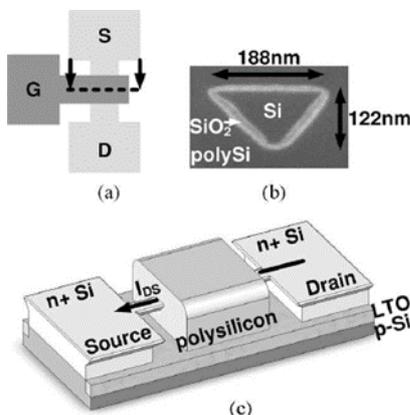
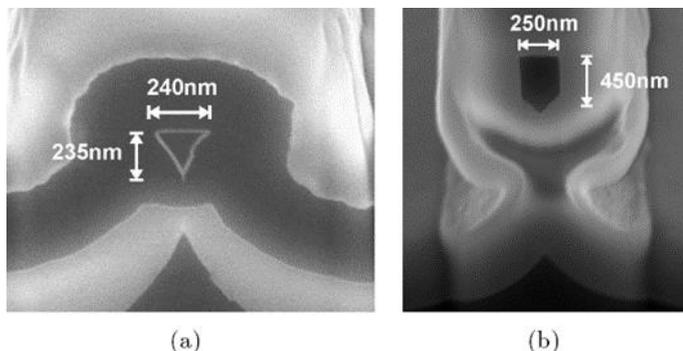


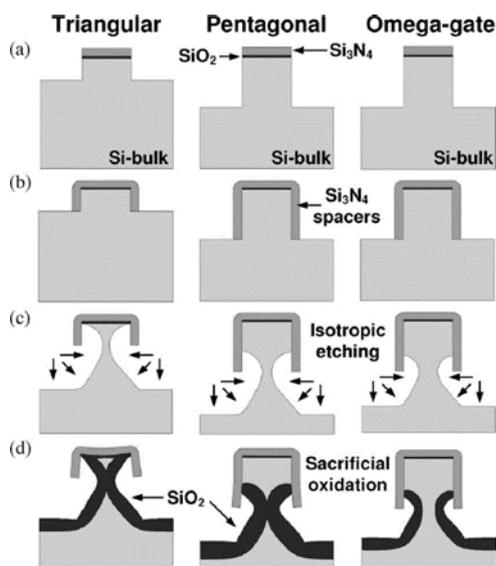
Figure 2.8. (a) vue de dessus du layout d'un GAA MOSFET. (b) vue de coupe avec SEM du GAA MOSFET triangulaire avec dimensions (c) schéma 3D du GAA MOSFET [44].

## c Le transistor GAA MOSFET pentagonal

Le transistor GAA MOSFET pentagonal porte un canal ou sa section possède une forme d'un pentagonal [44] comme illustré en Figure 2.9.b. Les étapes de réalisation d'un tel dispositif sont présentées par la Figure 2.10.



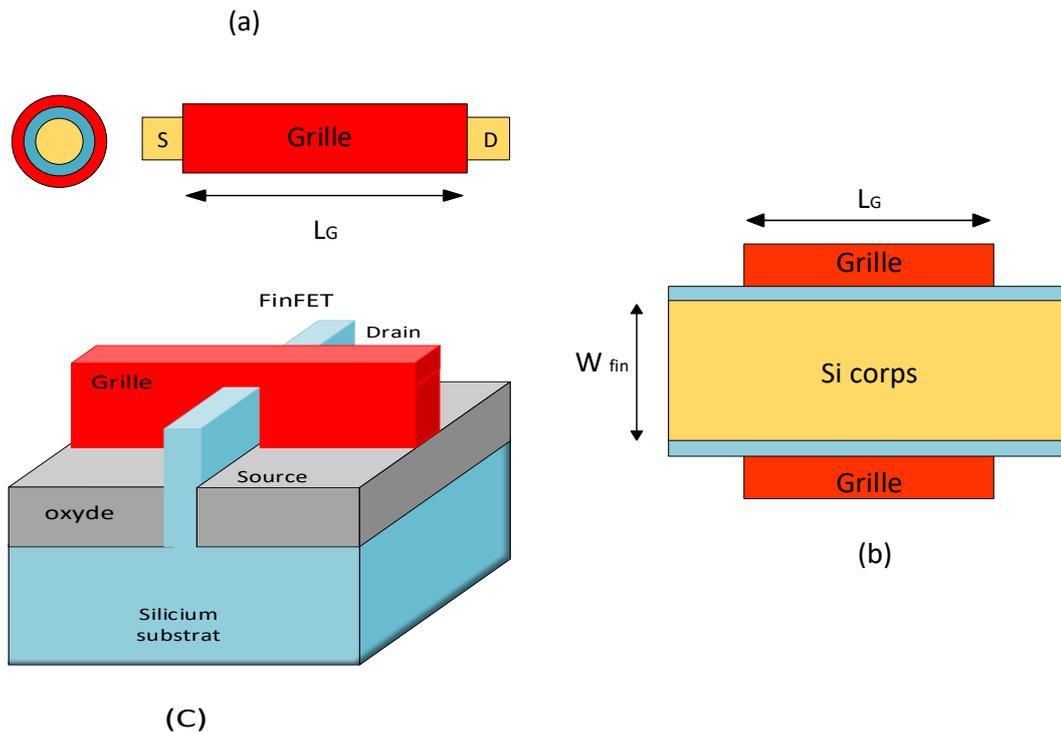
**Figure 2.9.** Images FIB-SEM des coupes de (a) GAA MOSFET triangulaire, et (b) GAA MOSFET pentagonale [45].



**Figure 2.10.** Les étapes simplifiées de réalisation (coupe du canal) du transistor triangulaire, pentagonale et  $\Omega$ -gate [44].

## d Le transistor GAA MOSFET cylindrique

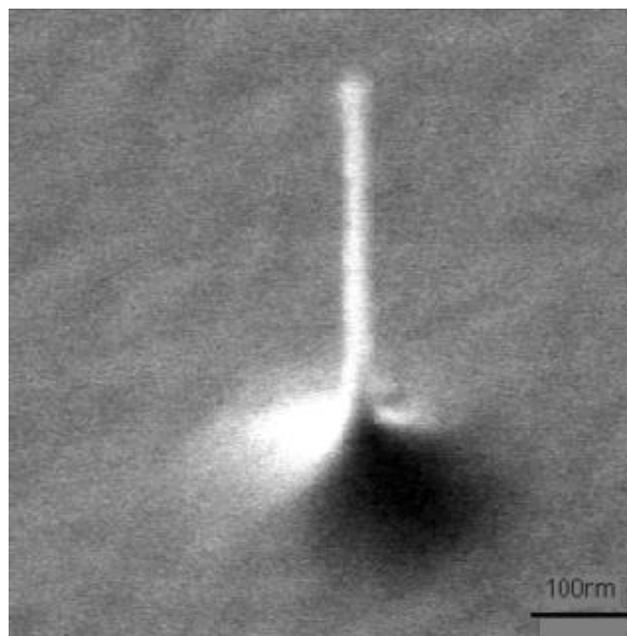
Le nom du transistor GAA MOSFET cylindrique découle de la forme de son canal qui est sous la forme d'un cylindre [46] et il porte aussi le nom de transistor à canal circulaire. La Figure 2.11 (a) illustre cette architecture.



**Figure 2.11.** (a) vue schématique en 2D du transistor GAA MOSFET (b) vue de section du DG MOSFET (c) vue schématique en 3D du transistor (SOI) FinFET.

### *e Le transistor GAA MOSFET vertical*

Le transistor GAA MOSFET vertical [47] où le transport électronique est perpendiculaire au plan de substrat et le champ de grille est parallèle au substrat (Figure 2.12).



**Figure 2.12.** Image SEM d'un transistor vertical avec une épaisseur de  $\sim 20$  nm et une hauteur d' $1\mu\text{m}$  [47].

### 2.5 Propriétés électriques du transistor GAA MOSFET

Le transistor à grille enrobée (GAA MOSFET) est considéré comme l'un des dispositifs les plus prometteurs pour réduire la longueur du canal au-dessous de 50nm [48]. Par comparaison avec le transistor MOS bulk et le transistor MOS SOI à une grille, en entourant complètement le canal (Figure 2.11.a) sa nous permet d'améliorer le contrôle électrostatique du canal et donc de lutter efficacement contre les effets canaux courts. De plus, grâce au phénomène d'inversion volumique, une amélioration de la mobilité effective des porteurs est attendue.

Nous allons, dans cette section, faire une étude comparative des propriétés électriques du transistor GAA MOSFET avec celles des autres architectures SOI.

#### 2.5.1 Définition de la tension de seuil

Une définition appropriée de la tension de seuil des transistors MOSFET bulk a été utilisée, elle est généralement définie comme la tension de grille au cours de laquelle le potentiel de surface est égale à deux fois le niveau de Fermi  $2\phi_F$ . Néanmoins, cette définition n'est pas suffisante pour les transistors DG et GAA MOSFET, où il y a inversion ou accumulation dans l'ensemble du film, et pas seulement à la surface, ce qui conduit à avoir le régime de forte inversion avant que le potentiel de surface n'atteigne la valeur de  $2\phi_F$ .

Dans les travaux de Q. Chen et al. [49] et Y. Ma et al. [50] sur le DG MOSFET la tension de seuil a été plutôt définie comme la tension de grille à laquelle la densité minimum des porteurs de charges,  $Q_{inv}$ , atteint la valeur  $Q_{TH}$  qui peut être identifiée comme le début de mode d'inversion. Cette même définition a été appliqué par A. E. Hamdy et al. sur le GAA MOSFET [46] où la tension de seuil est donnée par :

$$V_{TH} = \phi_{ms} + (V_T \ln \left( \frac{Q_{TH}}{2n_i \cdot r_0} \right)) \quad (2 - 1)$$

$\phi_{ms}$  travail de sortie métal- semiconducteur.

$V_T$  Tension thermodynamique.

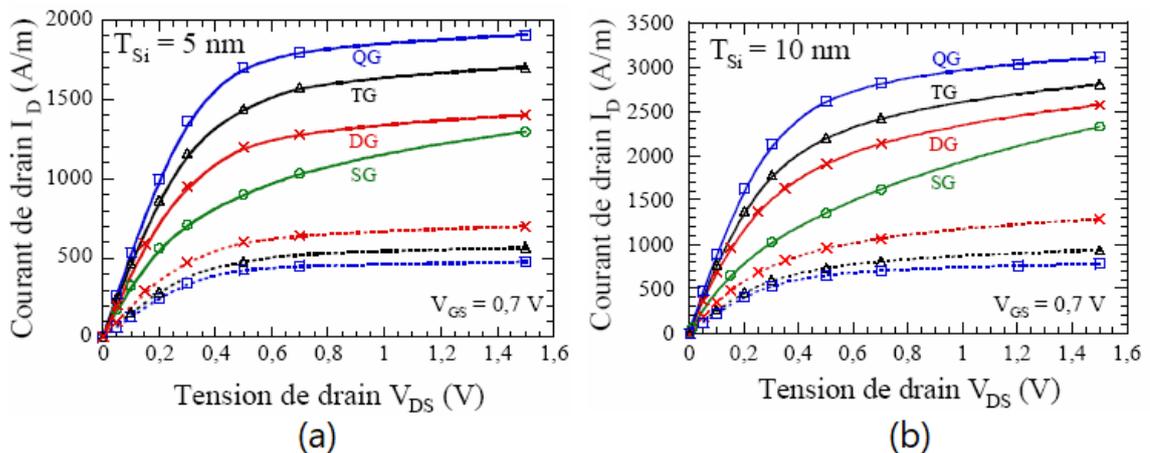
$n_i$  Concentration intrinsèque de porteurs libres.

$r_0$  C'est le rayon du dispositif.

## 2.5.2 Etat passant

L'ajout de grille traduit un ajout de canal d'inversion en forte inversion. Ainsi, le courant à l'état passant  $I_{on}$  augmente-t-il quand le nombre de grilles augmente. Ceci se voit bien sur la Figure 2.13 où sont tracées les caractéristiques  $I_D-V_{DS}$  pour les différentes structures SOI multi-grilles de 15nm de longueur de canal. Nous notons bien un courant croissant avec l'augmentation du nombre de grilles ; à titre d'illustration et pour  $t_{Si}=10nm$ ,  $I_{on}$  atteint 1623A/m sur le MOSFET SOI à une grille, 2138A/m sur le MOSFET double-grille, 2420A/m sur le MOSFET triple-grille, et enfin 2815A/m sur le MOSFET quadruple-grille.

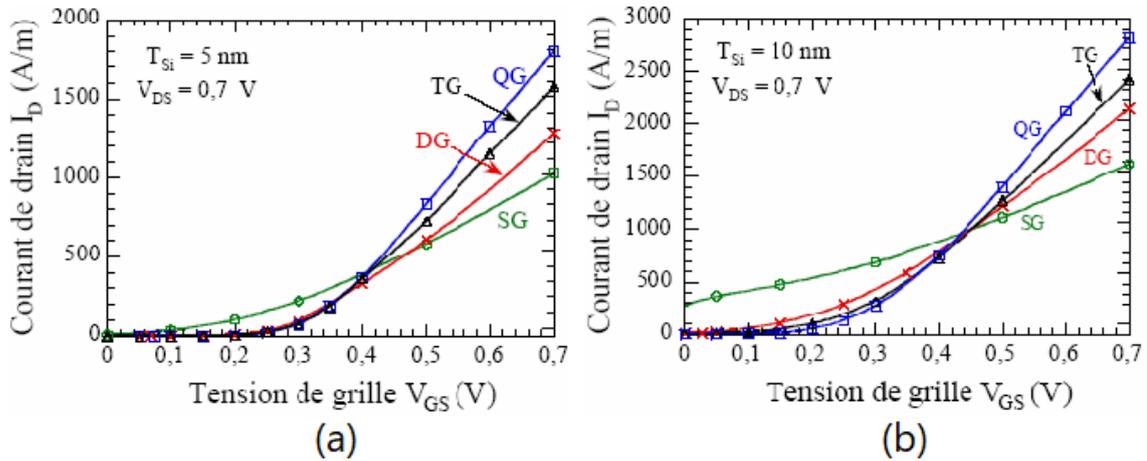
Cependant, cette augmentation d' $I_{on}$  n'est pas proportionnelle au nombre de grilles; les caractéristiques normalisées par le nombre de grilles représentées en tirets sont diminuées quand le nombre de grilles augmente. Ainsi, deux MOSFETs double-grille en parallèle débitent plus de courant qu'un MOSFET quadruple-grille. De manière générale, il faut noter que, dans tous ces dispositifs SOI, le courant est supérieur au courant recommandé par l'ITRS [51], 1020A/m. La diminution de  $t_{Si}$  réduit de façon quasi-proportionnelle le courant  $I_{on}$ , ainsi le courant du MOSFET double-grille varie-t-il de 2420 à 1280A/m pour  $t_{Si}$  variant de 10 à 5nm. Les lignes en tirets, le courant est divisé par le nombre de grilles.



**Figure 2.13.** Caractéristiques  $I_D-V_{DS}$  des multi-grilles pour  $L=15nm$ , (a)  $t_{Si}=5nm$  et (b)  $10nm$ . 1 pour le MOSFET SOI à une grille (SG), 2 pour le MOSFET double-grille (DG), 3 pour le MOSFET triple-grille (TG) et 4 pour le MOSFET quadruple-grille(QG) [11].

La transconductance  $g_m$  est aussi améliorée avec le nombre de grilles (Figure 2.14). Pour  $t_{Si}=10nm$ ,  $g_m$  atteint 4170S/m sur le MOSFET double-grille, 5700S/m sur le MOSFET

triple-grille et 7070S/m sur le MOSFET quadruple-grille. Cette augmentation n'est pas non plus proportionnelle au nombre de grilles. La diminution de l'épaisseur du dispositif réduit la transconductance.



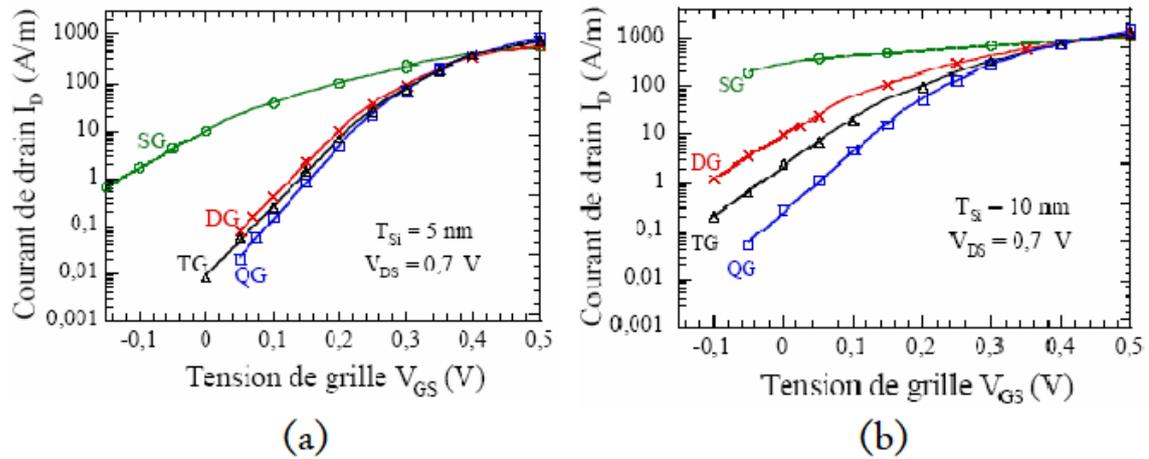
**Figure 2.14.** Caractéristiques  $I_D$ - $V_{GS}$  des multi-grilles pour  $L=15\text{nm}$ , (a)  $t_{Si}=5\text{nm}$  et (b)  $t_{Si}=10\text{nm}$  [11].

### 2.5.3 Etat bloqué

À la Figure 2.15, nous constatons que les caractéristiques du dispositif MOSFET SOI à une grille sont fortement dégradées en raison des effets canaux courts qui sont quasiment incontrôlés. Les structures simulées sur cette figure correspondent à des transistors MOS de 15nm de longueur de canal. La valeur de la pente sous le seuil SS est supérieure à 100mV/dec. Il ressort de cette figure que le comportement sous le seuil s'améliore nettement avec le nombre de grilles croissant, et ce en raison d'une amélioration du contrôle électrostatique. Par exemple, pour une film d'épaisseur de 10nm, SS vaut 110mV/dec sur le MOSFET double-grille, 96mV/dec sur le MOSFET triple-grille et enfin 83mV/dec sur le MOSFET quadruple grille. La réduction de  $t_{Si}$  a aussi un effet bénéfique sur SS : lorsque  $t_{Si}$  passe de 10 à 5nm, SS passe de 110 à 80mV/dec dans le MOSFET double-grille [23].

L'explication de cet effet vient toujours du contrôle du canal, lequel est bien meilleur lorsque les deux grilles sont proches, c'est à dire lorsque  $t_{Si}$  est faible.

Finalement, nous pouvons conclure que le pouvoir bloquant des transistors est amélioré par la réduction de l'épaisseur de la zone active  $t_{Si}$ . A  $t_{Si} = 10\text{ nm}$ , il faudrait quatre grilles pour garder des valeurs de SS acceptables ( $SS < 80\text{mV/dec}$  pour  $L=15\text{nm}$ ), tandis qu'à  $t_{Si}=5\text{nm}$ , il n'en faudrait que deux.



**Figure 2.15.** Caractéristiques  $I_D$ - $V_{GS}$  en échelle logarithmique des SOI multi-grilles pour  $L=15$ nm, (a)  $t_{Si}=5$ nm et (b)  $t_{Si}=10$ nm [11].

### 2.6 Conclusion

Nous pouvons conclure que le transistor GAA MOSFET est plus performant que les autres transistors multi-grilles et aussi intéressant compte tenu des performances électriques qu'il offre. Le grand problème est la difficulté majeure de fabrication.



*Chapter 3*



## Chapitre 3 Simulation d'un CGAA MOSFET

---

### 3.1 Introduction

Le MOSFET cylindrique à grille enrobée (CGAA) est l'un des nouveaux dispositifs qui permet encore la mise à l'échelle sans entraver la performance du dispositif [52]. En raison de la longueur caractéristique basse et du courant d'entraînement plus élevé, les MOSFET CGAA peuvent atteindre une densité d'intégration plus élevée par rapport aux MOSFET à double grille (DG) [53]. En outre, le CGAA a un excellent contrôle électrostatique du canal, une robustesse contre SCE, de meilleures options de mise à l'échelle, aucun effet de corps flottant, un plus grand nombre équivalent de grilles, par conséquent, les MOSFETs CGAA sont une solution prometteuse pour les dispositifs CMOS de la technologie nanométrique [54].

Les paramètres importants du dispositif comme la tension de seuil ( $V_{th}$ ), et le rapport de marche-arrêt ( $I_{on}/I_{off}$ ), sont très sensibles à la géométrie du dispositif telle que la longueur du canal ( $L_G$ ), l'épaisseur du canal ( $W$ ), et le travail de sortie de la grille ( $\phi_M$ ). Ainsi, les auteurs ont tenté de présenter une analyse détaillée de la dépendance des performances des MOSFET CGAA sur la variation de la géométrie du composant.

Pour l'étude et la simulation du MOSFET CGAA, nous avons utilisé le logiciel COMSOL, ce dernier est un programme puissant dans ce domaine, permettant le contrôle des paramètres et l'évaluation des performances du composant.

### 3.2 A propos de COMSOL

COMSOL Multiphysics est un logiciel de simulation numérique basé sur la méthode des éléments finis. Ce logiciel permet de simuler de nombreuses physiques et applications en ingénierie, et tout particulièrement les phénomènes couplés ou simulation multiphysiques.

Le logiciel COMSOL et la société correspondante ont été créés en 1986 par des étudiants de Germund Dahlquist, dans la suite de son cours consacré à la simulation numérique à l'Institut royal de technologie (KTH) à Stockholm en Suède. La première version de COMSOL Multiphysics est sortie en 1998 [55].

La version initiale (avant 2005) de COMSOL Multiphysics s'appelait FEMLAB.

L'utilisateur définit ses couplages ou sélectionne les interfaces prédéfinies. Les différentes étapes du processus de modélisation - définir la géométrie, les propriétés matériaux, le maillage, choisir la ou les physiques, résoudre et afficher les résultats - sont intégrées dans une seule interface. Des modules d'applications optionnels offrent des interfaces spécialisées notamment en mécanique linéaire et non linéaire, acoustique, écoulement, transfert de chaleur, génie chimique, géophysique, électromagnétisme basse et haute fréquence, corrosion, plasma, suivi de particules, optimisation, MEMS, ainsi qu'avec les logiciels de CAO et Matlab.

Ce logiciel est multiplateforme (Windows, Mac, Linux). En plus des physiques précitées, COMSOL Multiphysics autorise l'utilisateur à définir ses propres systèmes d'équations aux dérivées partielles (EDP), soit sous forme différentielle, soit sous formulation faible. Les couplages avec des équations aux dérivées ordinaires (EDO) et des équations algèbro-différentiels (EAD) sont également possibles [56].

### 3.3 Choix des paramètres de base

Nous avons choisi les dimensions et les valeurs en parcourant certaines recherches et études en plus de prendre les paramètres par défaut du CGAA et finalement nous sommes arrivés avec ce résultat et les données initiales comme indiqué dans le tableau suivant :

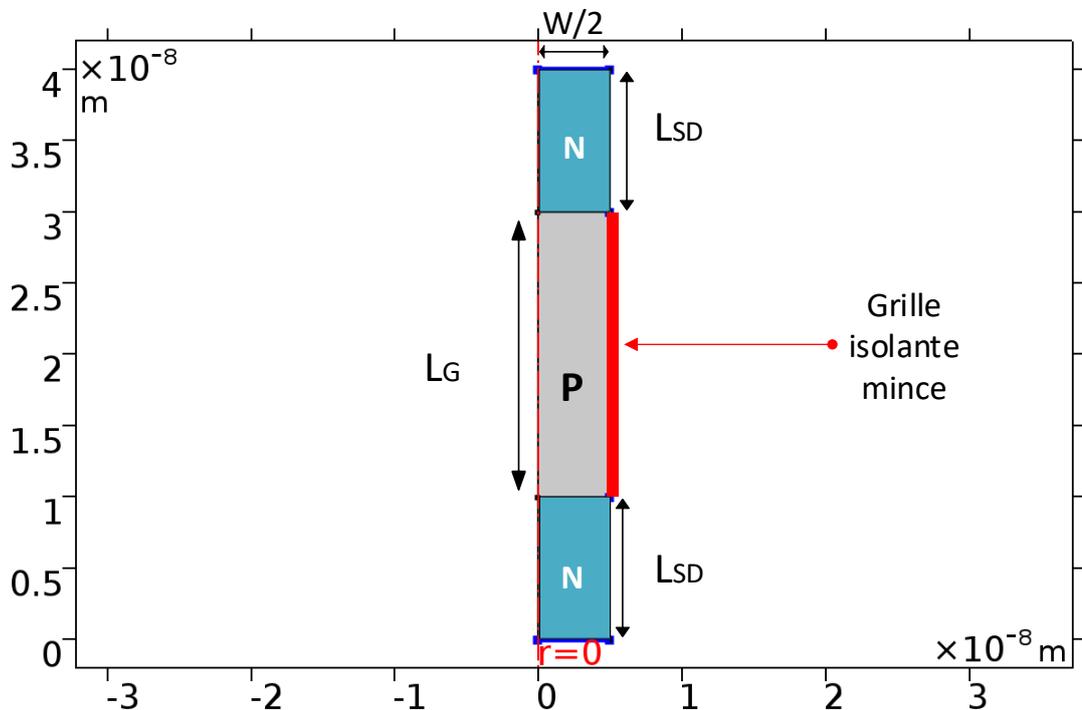
# Chapitre 3 Simulation d'un CGAA MOSFET

Nom de paramètre	Valeur	Description
W	10[nm]	Épaisseur/Largeur de canal
L <sub>G</sub>	20[nm]	Longueur de la grille
L <sub>SD</sub>	10[nm]	Longueur de la source et du drain
t <sub>ox</sub>	1.1[nm]	Épaisseur d'oxyde
N <sub>A</sub>	1e15[1/cm <sup>3</sup> ]	Concentration des accepteurs
N <sub>D</sub>	1e20[1/cm <sup>3</sup> ]	Concentration des donneurs
V <sub>DS</sub>	50[mV]	Tension de drain
V <sub>GS</sub>	700[mV]	Tension de grille
φ <sub>M</sub>	4.6[eV]	Travail de sortie de la grille

**Tableau 3.1.** Les paramètres initiaux de CGAA FET.

## 3.4 Configuration de la simulation et modélisation du CGAA:

Pour commencer, nous avons créé une structure rectangulaire après l'introduction des paramètres précédemment définis. On a ajouté un matériau semi-conducteur c'est le silicium, après nous avons sélectionné le type de dopage : le canal est dopé P, le drain et la source dopé N. Ensuite nous avons mis la couche d'oxyde entre le drain et la source et au-dessus le métal de la grille comme montré sur la Figure 3.1.



**Figure 3.1.** Structure 2D axisymétrique de la géométrie CGAA dans COMSOL.

Les diagrammes schématiques des structures à MOSFET cylindrique (CGAA), qui sont utilisés pour la modélisation et la simulation, sont présentés sur les Figure. 3.1 et 3.2.

Les directions radiales et latérales du canal sont supposées être le long du rayon et de l'axe z du cylindre comme indiqué sur la Figure. 3.2. La source et le drain sont uniformément dopés avec une concentration de dopage de  $N_D=1 \times 10^{20} \text{ cm}^{-3}$ . Le canal est gardé non dopé. L'épaisseur de l'oxyde de grille est  $t_{ox}=1,1\text{nm}$ . Le travail de sortie de grille métallique,  $\phi_M=4,6\text{eV}$ .

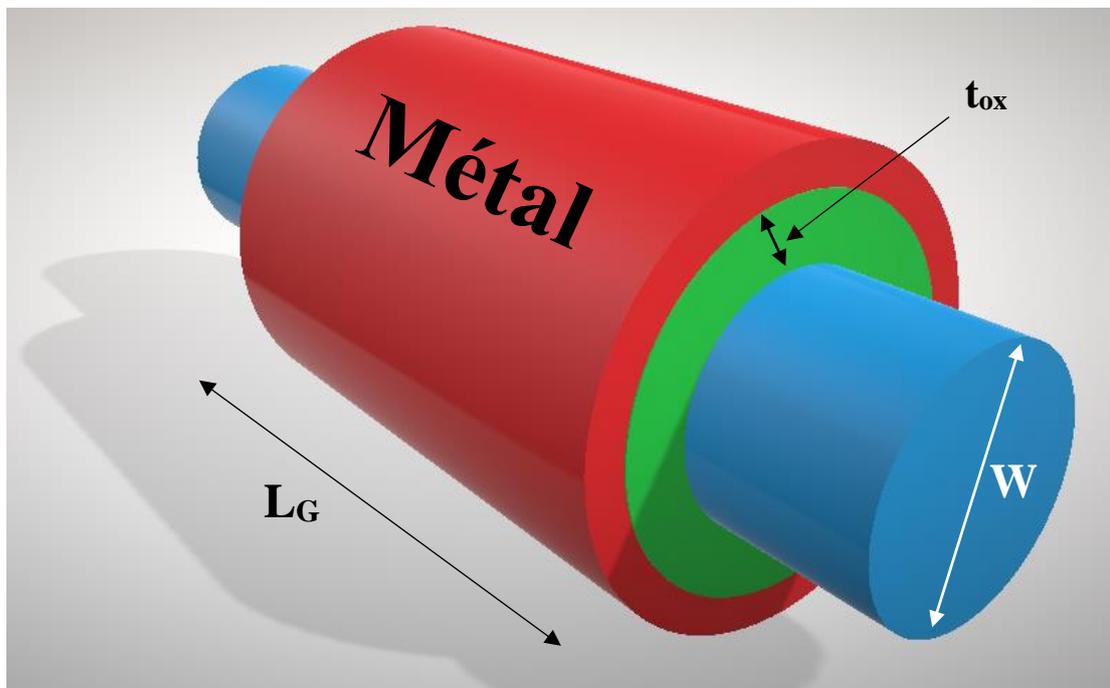


Figure 3.2. Modèle 3D du CGAA.

### 3.5 Résultats et discussions

Pour analyser l'impact de la longueur du canal ( $L_G$ ), de l'épaisseur du canal ( $W$ ) et du travail de sortie ( $\phi_M$ ), sur la performance du composant, la simulation est effectuée en variant ces paramètres.

#### 3.5.1 Caractéristiques $I_D$ - $V_{GS}$

La Figure 3.3 montre la variation du courant drain  $I_D$  en fonction de la tension grille  $V_{GS}$  pour différentes longueurs de canal  $L_G$ . Le courant  $I_D$  augmente lorsque  $L_g$  diminue comme le prévoit la théorie (Equation. 1-9). La Figure 3.4 représente la caractéristique  $I_D$ - $V_{GS}$  pour différentes valeurs de travail de sortie de la grille ( $\phi_M$ ).

# Chapitre 3 Simulation d'un CGAA MOSFET

Le travail de sortie varie de 4,1 à 4,6eV. Les résultats obtenus montrent que la tension de seuil augmente avec le travail de sortie de la grille  $\phi_M$ .

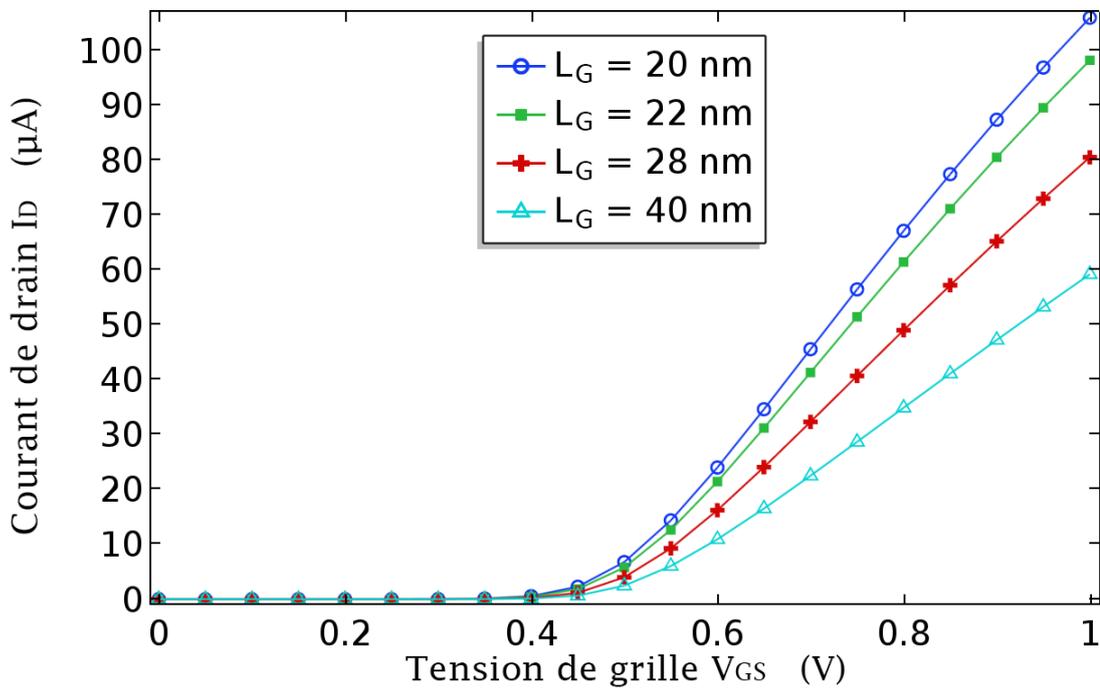


Figure 3.3. Variation du courant  $I_D$  en fonction de la tension  $V_{GS}$  pour différentes valeurs de  $L_G$  ( $V_{DS}=50$  mV,  $W=10$ nm et  $\phi_M=4,6$  eV).

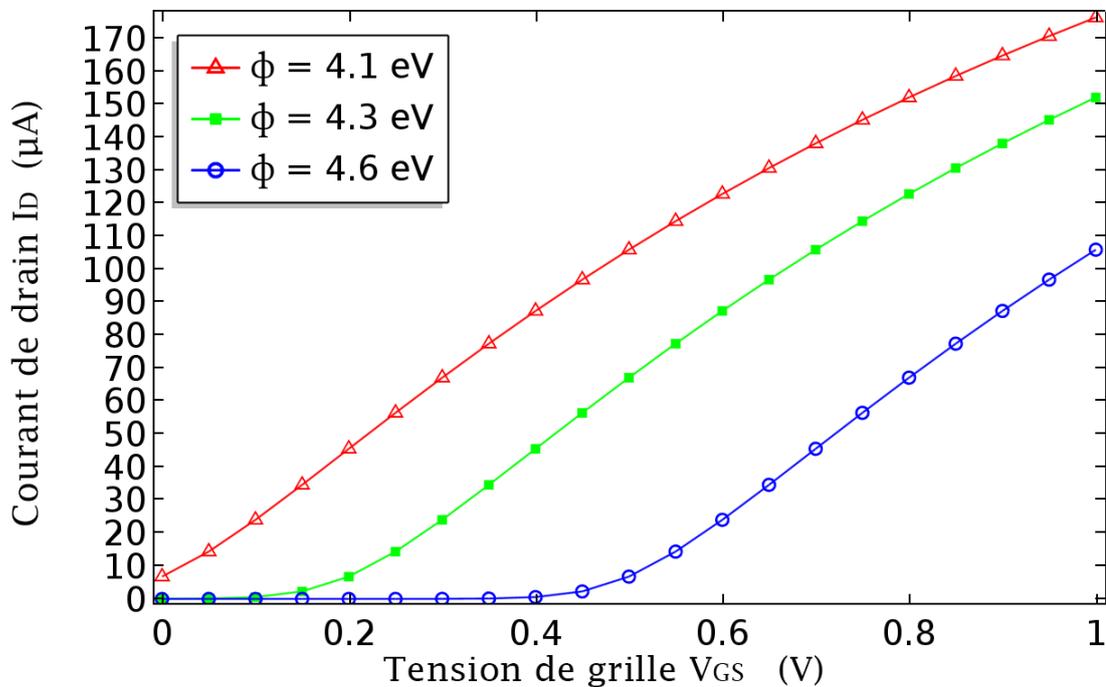
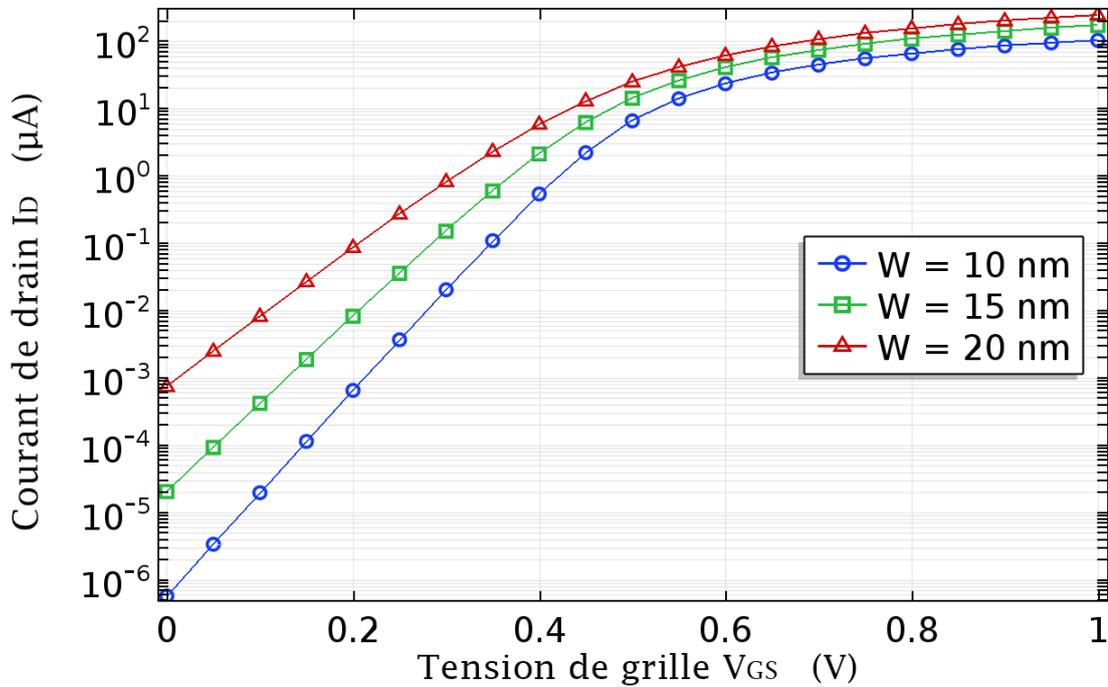


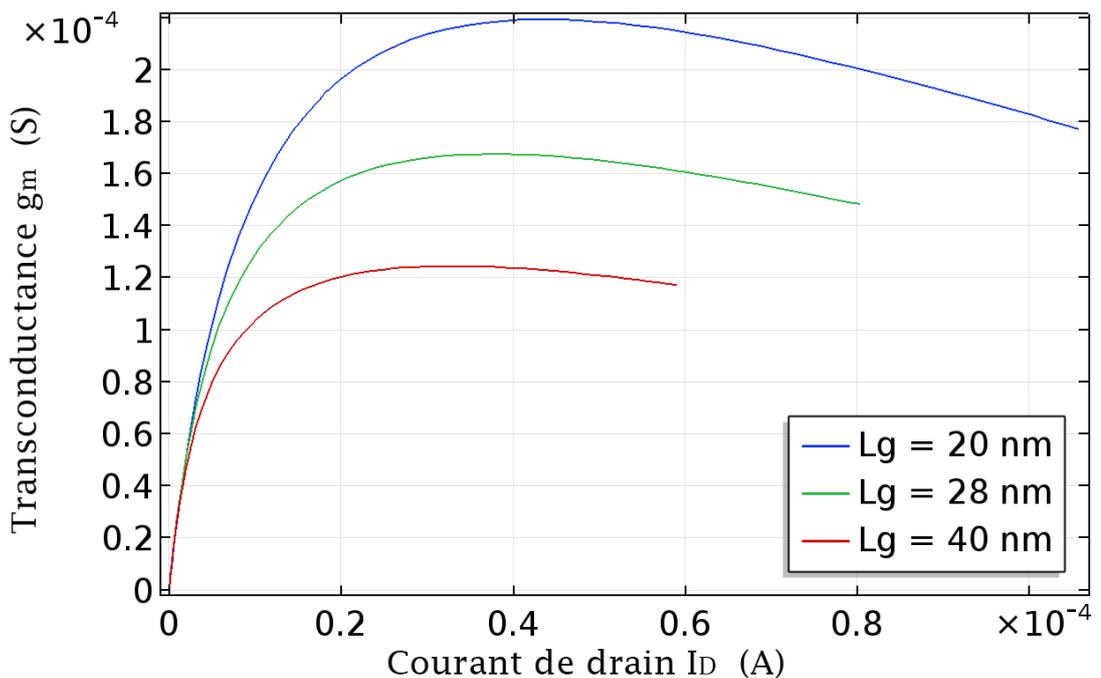
Figure 3.4. Variation du courant  $I_D$  en fonction de la tension  $V_{GS}$  pour différentes valeurs de  $\phi_M$  ( $V_{DS}=50$  mV,  $W=10$ nm et  $L_G=20$ nm).

# Chapitre 3 Simulation d'un CGAA MOSFET

La Figure 3.5 en échelle logarithmique montre la dépendance du courant  $I_D$  sur l'épaisseur du canal  $W$ . Le courant  $I_D$  augmente avec  $W$  ( $I_D$  est proportionnel à  $W/L$  Equation. 1-9). La transconductance  $g_m$  (Equation. 1-10) en fonction du courant  $I_D$  des MOSFET CGAA, pour différents  $L_g$  est représentée sur la Figure 3.6.



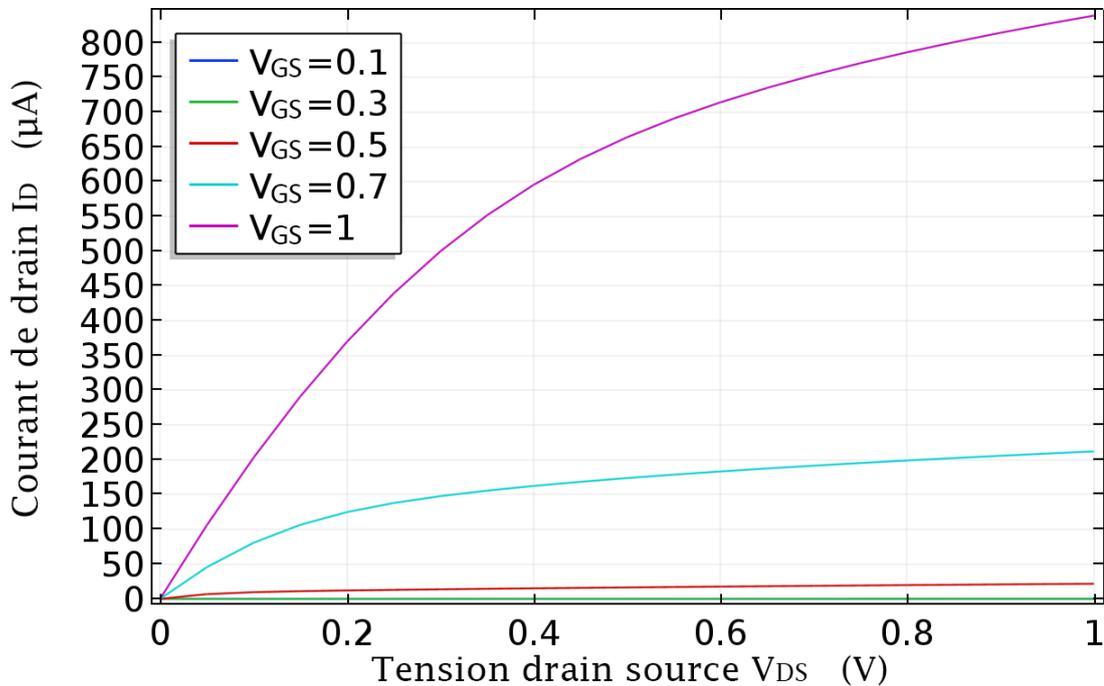
**Figure 3.5.** Variation du courant  $I_D$  en fonction de la tension  $V_{GS}$  (échelle log) pour différentes valeurs de  $W$  ( $V_{DS}=50 \text{ mV}$ ,  $L_G=20\text{nm}$  et  $\phi_M=4.6\text{eV}$ ).



**Figure 3.6.**  $g_m$  en fonction de  $I_D$  a  $V_{DS}=50 \text{ mV}$  avec variation de  $L_G$  CGAA ( $W=10\text{nm}$  &  $\phi_M=4.6\text{eV}$ ).

## 3.5.2 Caractéristiques $I_D$ - $V_{DS}$

La Figure 3.7 montre les caractéristiques  $I_D$ - $V_{DS}$  pour différentes tensions de grille  $V_{GS}$ .



**Figure 3.7.** Caractéristiques  $I_D(V_{DS})$  d'un CGAA pour différentes tension  $V_{GS}$  de 0.1V à +1V par pas de 0,2V ( $L_g=20$  nm et  $W=10$ nm).

On peut séparer les caractéristiques de ce réseau en deux régions : une région linéaire dans laquelle le courant  $I_D$  croît avec la tension  $V_{DS}$  et une région dite de "saturation" où le courant de drain est sensiblement indépendant de  $V_{DS}$ . Ce comportement met en jeu un ensemble de phénomènes que nous allons maintenant décrire.

### **a Fonctionnement linéaire**

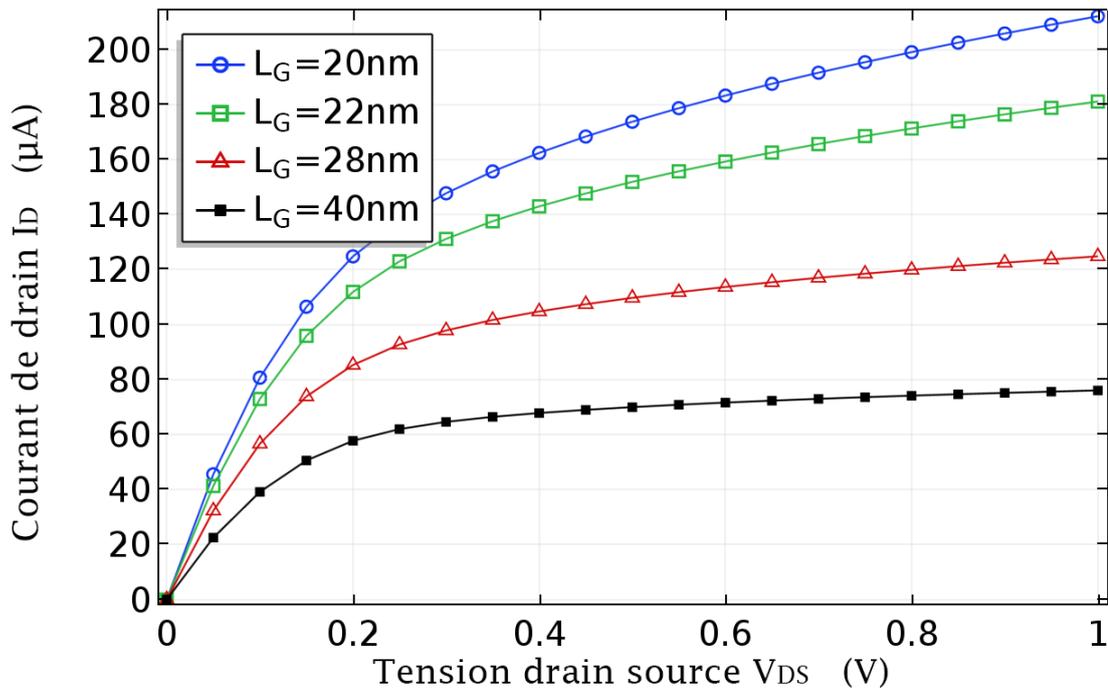
Pour les faibles valeurs de la tension de drain la densité de porteurs dans le canal reste sensiblement uniforme sous la grille. Cette densité dépend essentiellement de la tension qui polarise celle-ci. Le dispositif se comporte alors comme une conductance contrôlée par la grille : le courant  $I_D$  varie proportionnellement à  $V_{DS}$ .

## b Régime de saturation du courant

Lorsque la tension de drain s'accroît, l'effet du champ électrique s'accroît à la sortie de la grille (extension de la zone de charge d'espace). Cela provoque le ralentissement de la croissance du courant de drain. Trois mécanismes sont alors susceptibles de provoquer la "saturation" du courant de drain : le pincement du canal, la saturation de vitesse en régime de transport stationnaire, le transfert après régime de sur vitesse.

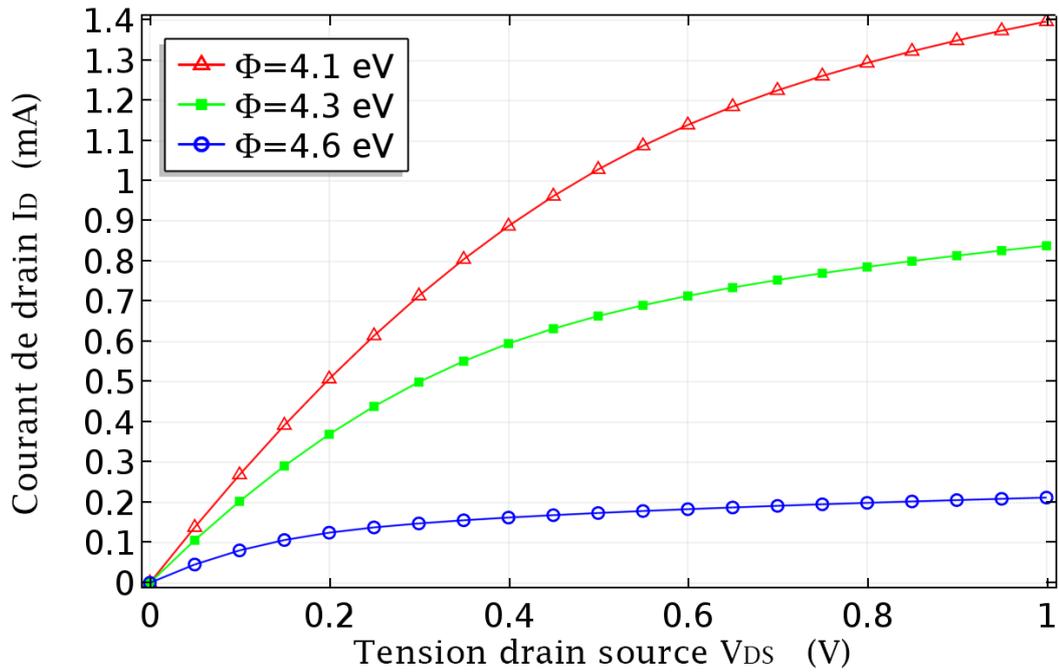
On fait la même étude que précédemment en fixant la tension  $V_{GS}$  à 0,7 V.

La Figure 3.8 représente la variation du courant de drain  $I_D$  en fonction de  $V_{DS}$  pour différentes valeurs de  $L_G$  (20 à 40 nm), les autres paramètres restent comme indiqués dans le Tableau 3.1.



**Figure 3.8.**  $I_D$  en fonction de  $V_{DS}$  avec variation de  $L_G$  CGAA ( $V_{GS}=0.7V$ ,  $W=10nm$  &  $\phi_M=4.6eV$ ).

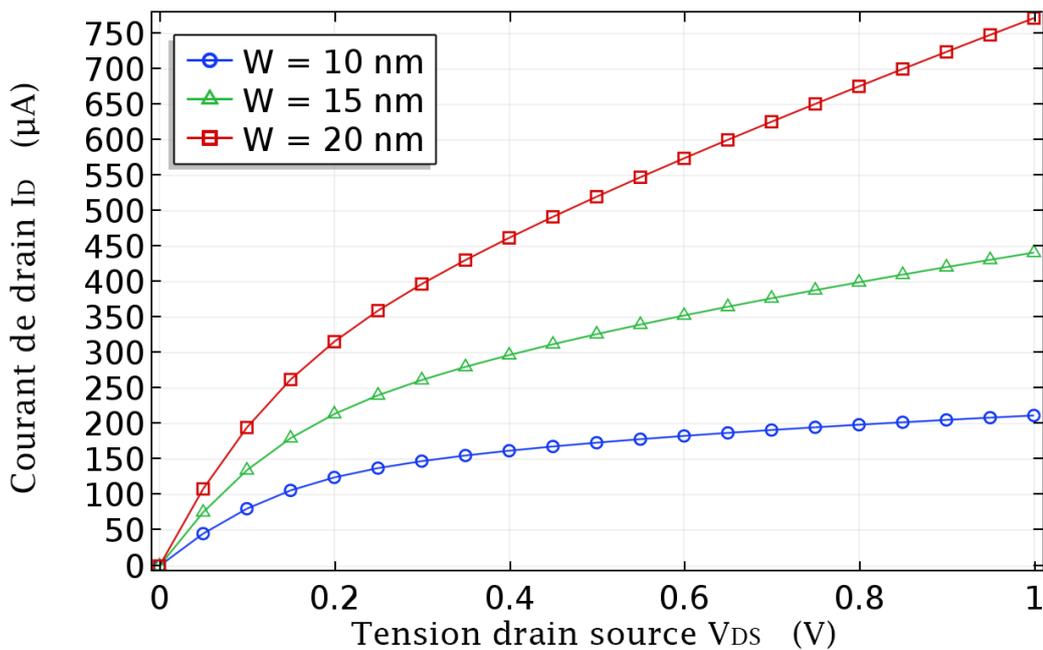
La figure 3.9 représente la variation du courant de drain  $I_D$  en fonction de  $V_{DS}$  pour différentes valeurs du travail de sortie (4,1 à 4,6eV), les autres paramètres restent par default comme indiqué dans le Tableau 3.1.



**Figure 3.9.**  $I_D$  en fonction de  $V_{DS}$  avec variation de  $\phi_M$  CGAA ( $V_{GS}=0.7V$ ,  $W=10nm$  &  $L_G=20nm$ ).

On peut observer que le courant diminue et devient plus faible lorsque la longueur de la grille  $L_G$  augmente, même chose pour l'augmentation de travail de sortie du métal  $\phi_M$ .

La figure 3.10 représente la variation du courant de drain  $I_D$  par rapport à  $V_{DS}$  pour différents diamètres de CGAA  $W$  de 10 à 20 nm et les autres paramètres restant par default comme indiqué dans le tableau 3.1



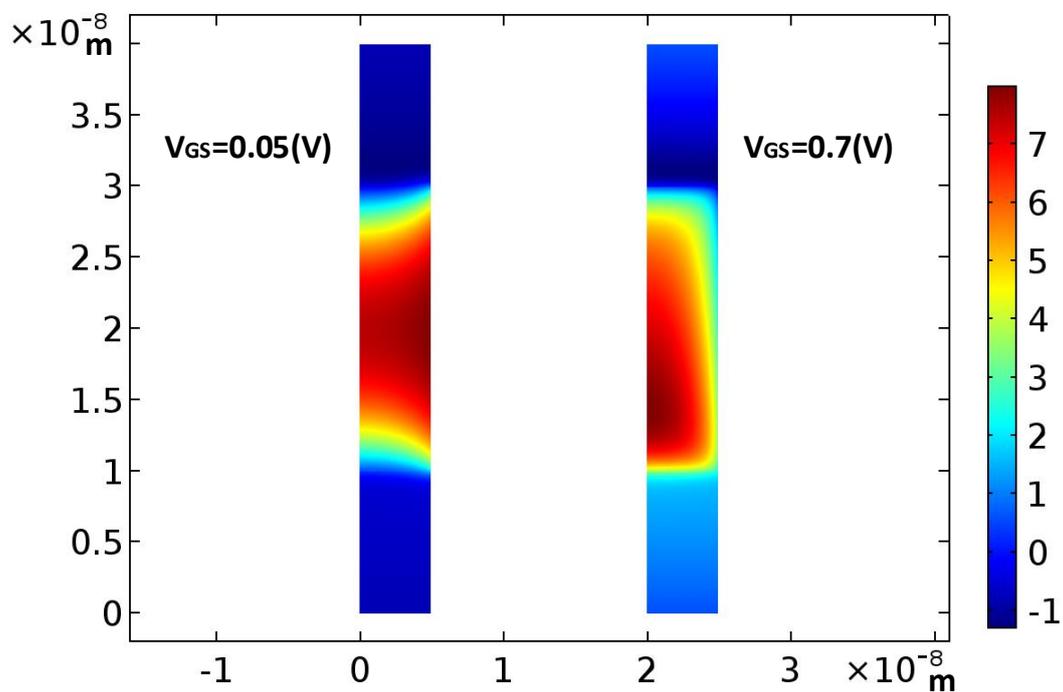
**Figure 3.10.**  $I_D$  en fonction de  $V_{DS}$  pour différents  $W$  ( $V_{GS}=0.7V$ ,  $L_G=20nm$  &  $\phi_M=4.6eV$ ).

On constate que le courant  $I_D$  augmente et devient plus important lorsque l'épaisseur du canal  $W$  augmente.

**Remarque:** tous les graphes dans ce chapitre sont faits en échelle linéaire sauf la Figure 3.5, et la ligne bleue avec des cercles est commune dans toutes les figures et représente l'état de base de notre transistor CGAA.

### 3.5.3 Etude au niveau de la surface

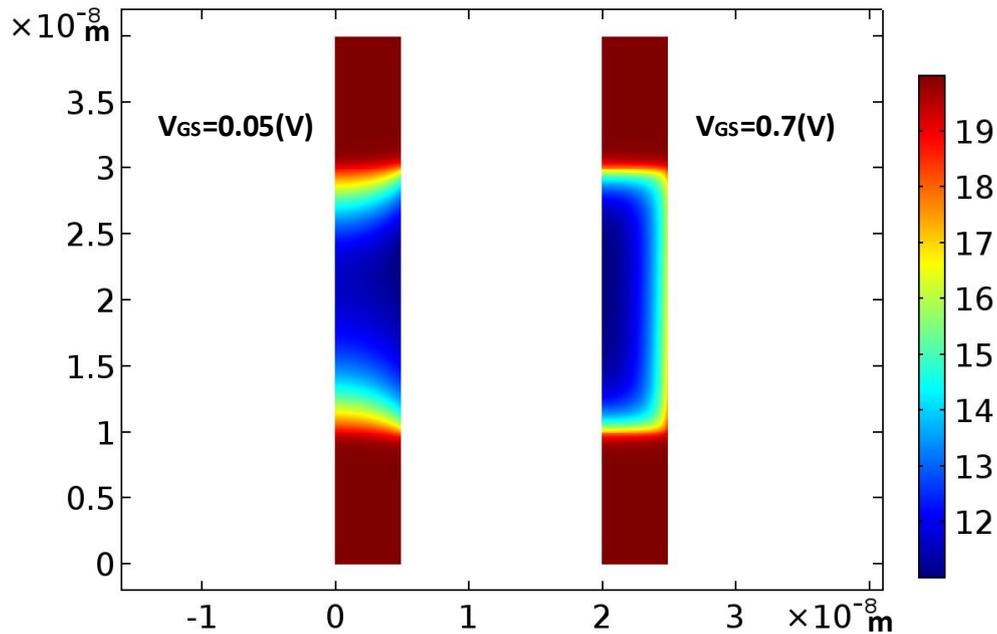
#### a Concentration des trous



**Figure 3.11.** Concentration des trous pour  $V_{GS}$  (0.05 et 0.7V),  $L_G=20\text{nm}$ ,  $W=10\text{nm}$  &  $\phi_M=4.6\text{eV}$ .

La Figure 3.11 montre la concentration des trous pour deux valeurs de  $V_{GS}$ . Nous voyons apparaître une déplétion de la surface pour  $V_{GS}=0,7\text{V}$ .

## b Concentration des électrons



**Figure 3.12.** Concentration des électrons pour  $V_{GS}$  (0.05 et 0.7V),  $L_G=20\text{nm}$ ,  $W=10\text{nm}$  &  $\phi_M=4.6\text{eV}$ .

La Figure 3.12 montrent la concentration des électrons pour deux valeurs de  $V_{GS}$ . Nous voyons apparaitre une inversion au niveau de la surface pour  $V_{GS}=0,7\text{V}$ .

### 3.5.4 La tension de seuil $V_{th}$

Toutes les valeurs extraites et calculées des performances DC sont présentées dans le Tableau 3.2 et le Tableau 3.3, avec la variation de l'épaisseur du corps de silicium ( $W$ ) et de la longueur du canal ( $L_G$ ) de CGAA MOSFET. Le Tableau 3.2 compare et analyse la sensibilité de  $W$  sur la tension seuil  $V_{th}$ .

Le Tableau 3.3 résume les performances similaires des dispositifs pour différentes valeurs de longueurs de canaux  $L_G$ . Il ressort clairement du Tableau 3.3 que, si la longueur de la grille est réduite, la tension de seuil diminue.

CGAA ( $\phi_M=4.6\text{eV}$ ), ( $L_G=20\text{nm}$ )

W (nm)	$V_{th}$ (V)
10	0.308
15	0.293
20	0.282

**Tableau 3.2.** Tension de seuil  $V_{th}$  pour différentes valeurs de W à  $V_{DS}=50\text{ mV}$ .

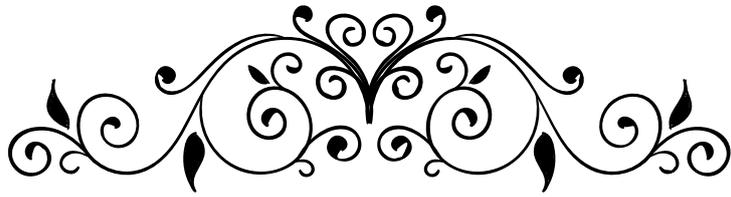
CGAA ( $\phi_M=4.6\text{eV}$ ), ( $W=10\text{nm}$ )

$L_G$ (nm)	$V_{th}$ (V)
20	0.308
22	0.312
28	0.320
40	0.324

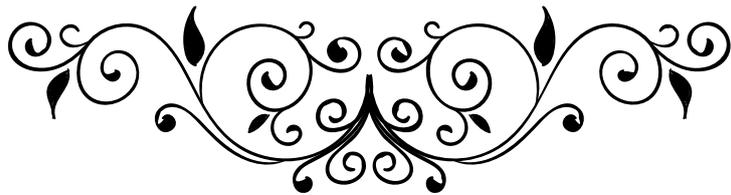
**Tableau 3.3.** Tension de seuil  $V_{th}$  pour différentes valeurs de  $L_G$  à  $V_{DS}=50\text{ mV}$ .

## 3.6 Conclusion

Dans ce chapitre, le transistor à grille enrobée (GAA) avec l'ingénierie de la grille, c.-à-d. le matériau de grille simple est exploré et l'évaluation des performances est effectuée avec la simulation étendue du dispositif par le simulateur de COMSOL. La sensibilité des paramètres du composant tels que W,  $\phi_M$  et  $L_G$  sur diverses performances est systématiquement présentée. L'amélioration des performances du composant pour les applications de faible puissance de fonctionnement de secours peut être atteinte avec une réduction de l'épaisseur W et le travail de sortie plus élevé de grille. De même, la miniaturisation continue de  $L_G$  est nécessaire pour obtenir un haut  $g_m$ . Par conséquent, une sélection appropriée de l'épaisseur de silicium, et du travail de sortie de grille en métal donnent lieu à une tension de seuil optimum à une longueur de canal donnée.



*Conclusion Générale*



## Conclusion générale

---

Le développement du MOSFET a connu un grand nombre de changements depuis sa première création en 1959 surtout ces dernières années. La découverte du GAA est considéré comme une évolution dans le domaine de l'électronique.

L'échelle du MOSFET a été vraiment réduite par rapport à son début, une centaine de fois plus petit et du micromètre au nanomètre, mais avec cela, la fabrication devient plus difficile et aussi comme il est possible d'éliminer plusieurs problèmes, d'autres nouveaux problèmes peuvent apparaître.

Dans le premier chapitre, nous avons exposé des généralités sur les MOSFET: leur principe de fonctionnement ainsi que leurs caractéristiques.

Dans le deuxième chapitre, nous avons présenté les MOSFET multi-grilles, plus particulièrement le MOSFET à grille enrobée (GAA), en précisant les améliorations sur les caractéristiques qu'ils apportent.

Dans le troisième chapitre, des simulations, en faisant varier les paramètres géométriques, ont été réalisées et les résultats obtenus sont interprétés et discutés.

Un grand nombre de possibilités peuvent être obtenues si on fait varier les paramètres du transistor (longueur de grille, largeur de canal, épaisseur d'oxyde, travail de sortie de métal, le type de MOSFET N ou P, l'architecture de transistor, le dopage, choix du matériau, sans/avec pièges, etc...), et un petit changement dans chacun de ces paramètres donne des résultats différents.

Ce travail était très modeste et ne peut inclure tous les aspects du composant. Les résultats de simulation sont très intéressants, mais doivent être validés par des mesures expérimentales ou à défaut par des résultats de simulation d'autres chercheurs.

## Bibliographie

---

- [1] Kahng, Dawon, "Electric Field Controlled Semiconductor Device," U. S. Patent No. 3,102,230 (Filed 31 May 31, 1960, issued August 27, 1963).
- [2] Sah, C. T., "A new semiconductor triode, the surface-potential controlled transistor," Proceedings of the IRE, Vol. 49, No.11 (November 1961) pp. 1623-1634.
- [3] K. K. Young, "Short-channel effect in fully depleted SOI MOSFETs", IEEE Trans. Electron Devices, vol. 36, no. 2, pp. 399–402, 1989.
- [4] S. Bangsaruntip, G. M. Cohen, A. Majumdar, and J. W. Sleight, "Universality of short-channel effects in undoped-body silicon nanowire MOSFETs", IEEE Electron Device Lett., vol. 31, no. 9, pp. 903–905, 2010.
- [5] J.E. Lilienfeld, "Amplifier for electric currents", US Patent No. 1, 877,140, application filed December 8, 1928.
- [6] John Bardeen et al, three-electrode circuit element, U.S. Patent No. 2, 524,035, Issued October 3, 1950. Filed June 17, 1948.
- [7] Jack Kilby, Miniaturized Electronic Circuits, U.S. Patent No. 3, 138,743, June 23, 1964.
- [8] T. Skotnicki, « Transistor MOS et sa technologie de fabrication » Techniques de l'Ingénieur, vol. 2, no. E 2 430, 2000.
- [9] TALMAT Rachida, « Etude des phénomènes de transport de porteurs et du bruit basse fréquence », thèse de Doctorat, électronique microélectronique et nanoélectronique, université de Caen/Basse-Normandie, 2006.
- [10] BONNAUD Olivier, « Composants à semi-conducteurs », s.1. : Edition ellipses, De la physique du solide aux transistors.

- [11] J. Saint-Martin, 'ETUDE PAR SIMULATION MONTE CARLO D'ARCHITECTURES DE MOSFET ULTRACOURTS A GRILLE MULTIPLE SUR SOI', Thèse de Doctorat, UNIVERSITÉ DE PARIS-SUD, France, 2005.
- [12] A.Strass "Nano-MOSFETs for future ULSI applications", Solid State Technology, pp.65- 74, (1996).
- [13] I. PRESENT, "Cramming more components onto integrated circuits," Read. Comput. Archit., p.56, 2000.
- [14] "Why Moore's Law Matters | SEMI.ORG." <http://www.semi.org/node/55026>.
- [15] "14 nm Transistor Explained—Following the Path of Moore's Law," Intel. <https://www.intel.fr/content/www/fr/fr/silicon-innovations/standards-14nm-explained-video.html>.
- [16] "50 Years of Moore's Law," Intel. [Online]. Available: <http://www.intel.com/content/www/us/en/silicon-innovations/moores-lawtechnology.html?linkId=13607423>.
- [17] R. H. Dennard, V. L. Rideout, E. Bassous, and A. R. LeBlanc, "Design of ionimplanted MOSFET's with very small physical dimensions," IEEE J. Solid-State Circuits, vol. 9, no. 5, pp. 256–268, Oct. 1974.
- [18] F. D'Agostino and D. Quercia, "Short-channel effects in MOSFETs," Introd. VLSI Des. EECS 467, 2000.
- [19] J. R. Brews, W. Fichtner, E. H. Nicollian, and S. M. Sze, "Generalized guide for MOSFET miniaturization," in Electron Devices Meeting, 1979 Internationa, 1979, vol. 25, pp. 10–13.
- [20] J. Colinge, Silicon-on-insulator technology: Materials to VLSI, Kluwer Academic Publishers, Boston, USA, 3rd edition, 1997.
- [21] S. G. Chamberlain and S. Ramanan, "Drain-induced barrier-lowering analysis in VLSI MOSFET devices using two-dimensional numerical simulations," IEEE Trans. Electron Devices, vol. 33, no. 11, pp. 1745–1753, Nov. 1986.
- [22] Risch, L. "Pushing CMOS Beyond the Roadmap", Proceedings of ESSCIRC, 2005, p. 63.
- [23] Elasaad CHEBAKI, 'Modélisation neuronale du transistor GAA MOSFET nanométrique', Mémoire de Magister en Electronique, Université de Batna, Algérie, 2010.

- [24] J.G. Fossum, 'Analytical modeling of quantization and volume inversion in thinSi-film DG MOSFETs', IEEE Transactions on Electron Devices, vol. 49, no. 2, pp. 287-294, 2002.
- [25] J-H. Rhew, Z. Ren, and M-S. Lundstrom, 'A numerical study of ballistic transport in a nanoscale MOSFET', Solid-State Electronics, vol. 46, no. 11, pp. 1899–1906, 2002.
- [26] M. Mouis, and A. Poncet, 'Coupling between 2D and quantum confinement effects in ultra-short channel double-gate MOSFETs', ESSDERC'2001, Germany, pp. 211–214, 2001.
- [27] J.P. Colinge, "Multi-gate SOI MOSFETs, "Microelectronic Engineering, Vol. 84, pp. 2071-2076, Sep-Oct. 2007.
- [28] A.K. Sharma, S. H. Zaidi, S. Lucero, S. R. J. Brueck, and N. E. Islam, "Mobility and Transverse Electric Field Effects in Channel Conduction of Wraparound-gate Nanowire MOSFETs, " IEE Proc. Circuits, Devices and Systems, 151. 2004.
- [29] W. Xiong, J. W. Park, and J. P. Colinge, "Corner effect in multiple-gate SOI MOSFETs, " in Proc. Int. SOI Conf., 2003, pp. 111–113.
- [30] Jae Young Song, Woo Young Choi, Ju Hee Park, Jong Duk Lee, and Byung- Gook Park, "Optimization of Gate-All-Around (GAA) MOSFETs, "IEEE T Transaction on Electron nanotechnology, vol. 5, May. 2006.
- [31] K.D. Buddharaju, N. Singh, S.C. Rustagi, Selin H.G. Teo, G.Q. Lo, N. Balasubramanian, D.L. Kwong, "Si-Nanowire CMOS Inverter Logic Fabricated Using Gate-All-Around (GAA) Devices and Top-Down Approach," Solid-State Electronics, 52, pp. 1312–1317, 2008.
- [32] M. Suzuki, T. Endoh, H. Sakuraba and F. Masuoka, "2.4F2 memory cell technology with stacked-surrounding gate transistor (S-SGT) DRAM, "IEEE Transaction on Electron Devices, vol. 48, pp. 1599-1603, Aug. 2001.
- [33] J. B. Roldán, Andrés Godoy, Francisco Gámiz and M. Balaguer, 'Modeling the Centroid and the Inversion Charge in Cylindrical Surrounding Gate MOSFETs, Including Quantum Effects', IEEE TRANSACTIONS ON ELECTRON DEVICES, pp.411-416, VOL. 55, NO. 1, JANUARY 2008.

- [34] V. Pott, 'Gate-All-Around Silicon Nanowires for Hybrid Single Electron Transistor/CMOS Applications', Thèse de Doctorat, Ecole Polytechnique Fédérale De Lausanne, France, 2008.
- [35] R. J. Needs, A. J. Read, K. J. Nash, S. Bhattacharjee, A. Qteish, L. T. Canham and P. D. J. Calcott, 'A first-principles study of the electronic properties of silicon quantum wires', *Statistical and Theoretical Physics*, vol. 207 (1-3), pp. 411-414, 1994.
- [36] M.-Y. Shen and S.-L. Zhang, 'Band gap of a silicon quantum wire', *Physics Letters A*, vol. 176 (3- 4), pp. 254-258, 1993.
- [37] J.-P. Colinge, M. H. Gao, A. Romano-Rodriguez, H. Maes and C. Claeys, 'Silicon-on-insulator gate-all-around device', *Technical Digest of IEDM*, pp. 595-598, San Francisco CA, 1990.
- [38] E. Leobandung, J. Gu, L. Guo and S. Y. Chou, 'Wire-channel and wrap-around-gate metal- oxidesemiconductor field-effect transistors with a significant reduction of short channel effects', *Journal of Vacuum Science and Technology: B*, vol. 15 (6), pp. 2791-2794, 1997.
- [39] J. Y. Song, W. Y. Choi, J. H. Park, J. D. Lee and B.-G. Park, 'Design optimization of gate-all-around (GAA) MOSFETs', *IEEE Transactions on Nanotechnology*, vol. 5 (3), pp. 186-191, 2006.
- [40] S. D. Suk, S.-Y. Lee, S.-M. Kim, E.-J. Yoon, M.-S. Kim, M. Li, C. W. Oh, K. H. Yeo, S. H. Kim, D.-S. Shin, K.-H. Lee, H. S. Park, J. N. Han, C. J. Park, J.-B. Park, D.-W. Kim, D. Park and B.-I. Ryu, 'High performance 5nm radius Twin Silicon Nanowire MOSFET (TSNWFET): fabrication on bulk Si wafer, characteristics, and reliability', *Technical Digest of IEDM*, pp. 717-720, Washington DC, 2005.
- [41] M. A. HAMDY 'COMPACT MODELING OF MULTIPLE GATE MOS DEVICES', Thèse de Doctorat, University of Rovira i Virgili, 2007.
- [42] Jae Young Song, Woo Young Choi, Ju Hee Park, Jong Duk Lee, and Byung-Gook Park, 'Design Optimization of Gate-All-Around (GAA) MOSFETs', *IEEE TRANSACTIONS ON NANOTECHNOLOGY*, pp. 186-191, VOL. 5, NO. 3, MAY 2006.
- [43] E. Moreno , J.B. Roldán , F.G. Ruiz, D. Barrera, A. Godoy, F. Gámiz, 'An analytical model for square GAA MOSFETs including quantum effects', *Solid-State Electronics* pp. 1463–1469, Vol.54, 2010.

- [44] Vincent Pott, Kirsten Emilie Moselund, Didier Bouvet, Luca De Michielis, and Adrian Mihai Ionescu, 'Fabrication and Characterization of Gate-All-Around Silicon Nanowires on Bulk Silicon', IEEE TRANSACTIONS ON NANOTECHNOLOGY, pp 733-744, VOL. 7, NO. 6, NOVEMBER 2008.
- [45] K. E. Moselund, 'Three-Dimensional Electronic Devices Fabricated on a Top-Down Silicon Nanowire Platform', Thèse de Doctorat, Ecole Polytechnique Fédérale De Lausanne, France, 2008.
- [46] Hamdy Abd El Hamid, Benjamin Iñíguez, and Jaume Roig Guitart, 'Analytical Model of the Threshold Voltage and Subthreshold Swing of Undoped Cylindrical Gate-All-Around-Based MOSFETS', IEEE TRANSACTIONS ON ELECTRON DEVICES, pp. 572-579, VOL. 54, NO. 3, MARCH 2007.
- [47] B. Yang, K. D. Buddharaju, S. H. G. Teo, J. Fu, N. Singh, G. Q. Lo, and D. L. Kwong, 'CMOS Compatible Gate-All-Around Vertical Silicon-Nanowire MOSFETS', 38th European Solid-State Device Research Conference, pp. 318 – 321, 15 - 19 Sep 2008, Edinburgh.
- [48] C. H. Wann, K. Noda, T. Tanaka, M. Yoshida and C. Hu, 'A comparative study of advanced MOSFET concepts', IEEE Trans. Electron Devices, vol. 43, no.10, pp. 1742-1753, Oct. 1996.
- [49] Q. Chen, E. M. Harrell, II, and J. D. Meindl, 'A Physical Short-Channel Threshold Voltage Model for Undoped Symmetric Double-Gate MOSFETS', IEEE Trans. on Electron Devices, Vol. 50, no. 7, July 2003.
- [50] Y. Ma, Z. Li, L. Liu, L. Tian, and Z. Yu, 'Effective density-of-states approach to QM correction in MOS structure', Solid-State Electron., vol. 44, pp. 401–407, 2000.
- [51] 'ITRS (International Technology Roadmap for Semiconductors) web site', <http://public.itrs.net/>.
- [52] T.-K. Chiang and J. J. Liou, "An analytical subthreshold current/swing model for junctionless cylindrical nanowire FETs (JLCNFETs) ", *Facta Universitatis Series: Electronics and Energetics*, vol. 26, no. 3, pp. 157–173, 2013.
- [53] S. K. Gupta and S. Baishya, "Modeling of cylindrical surrounding gate MOSFETs including the fringing field effects", *J. Semicond.*, vol. 34, no. 7, pp. 1–6, 2013.

- [54] Y. Pratap, P. Ghosh, S. Haldar, R. S. Gupta, and M. Gupta, "An analytical subthreshold current modeling of cylindrical gate all around (CGAA) MOSFET incorporating the influence of device design engineering", *Microelectronics J.*, vol. 45, no. 4, pp. 408–415, 2014.
- [55] SIAM Obituary-Germund Dahlquist, web: [www.siam.org/news/news.php?id=54](http://www.siam.org/news/news.php?id=54).
- [56] COMSOL Multiphysics 5.2 Release Highlights, web: [www.comsol.fr/release/5.2](http://www.comsol.fr/release/5.2).