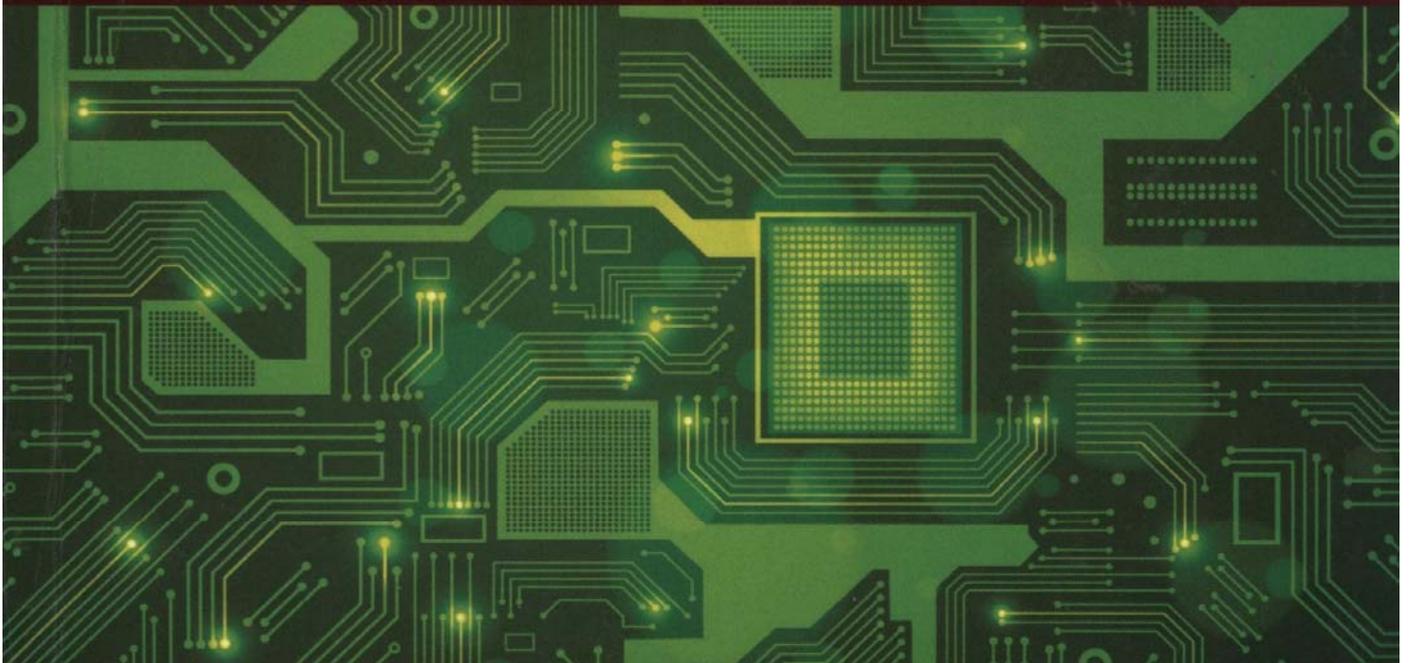


COLLECTION ÉLECTRONIQUE

# CAO de circuits et de systèmes intégrés

Ali Mahdoum



**ISTE**  
editions

# Table des matières

<b>Avant-propos</b> . . . . .	1
<b>Chapitre 1. Notions de base sur la complexité algorithmique et sur les techniques approchées</b> . . . . .	3
1.1. Complexité algorithmique . . . . .	3
1.1.1. Introduction . . . . .	3
1.1.2. Notation $O$ . . . . .	4
1.1.2.1. Cas de la somme . . . . .	4
1.1.2.2. Cas du produit. . . . .	5
1.1.3. Notation $\Omega$ . . . . .	6
1.1.4. Calcul de $T(n)$ . . . . .	6
1.2. Calculabilité des langages . . . . .	11
1.2.1. Machine de Turing et classe $P$ . . . . .	11
1.2.2. Algorithme non déterministe et classe $NP$ . . . . .	13
1.2.3. Problèmes $NP$ -complets . . . . .	16
1.2.3.1. Transformation polynomiale . . . . .	17
1.2.3.2. Exemples de problèmes $NP$ -complets. . . . .	21
1.2.4. Problèmes $NP$ -durs . . . . .	26
1.2.4.1. Exemples de problèmes $NP$ -durs . . . . .	27
1.2.5. Problèmes $NP$ -intermédiaires . . . . .	29
1.2.6. Problèmes $co-NP$ . . . . .	30
1.2.7. Hiérarchie de classes . . . . .	31
1.3. Heuristiques et métaheuristiques . . . . .	32
1.3.1. Définitions . . . . .	32
1.3.2. Théorie des graphes. . . . .	33
1.3.3. Technique de séparation et d'évaluation . . . . .	34

1.3.4. Recherche taboue . . . . .	38
1.3.5. Technique du recuit simulé . . . . .	39
1.3.6. Algorithmes génétiques et évolutionnaires . . . . .	40
1.4. Conclusion . . . . .	43

## **Chapitre 2. Notions de base sur la conception des circuits et des systèmes digitaux . . . . . 45**

2.1. Historique de la conception des circuits VLSI . . . . .	45
2.1.1. Circuit prédiffusé . . . . .	45
2.1.2. Mer de cellules ( <i>sea of gates</i> ) . . . . .	45
2.1.3. Réseau de portes logiques programmables ( <i>Field-Programmable Gate Array, FPGA</i> ) . . . . .	47
2.1.4. Circuit précaractérisé élémentaire ( <i>standard cells</i> ) . . . . .	48
2.1.5. Circuit sur mesure ( <i>full custom</i> ) . . . . .	49
2.1.6. Compilation de silicium . . . . .	50
2.2. Niveau de conception « Système » . . . . .	53
2.2.1. Synthèse . . . . .	53
2.2.2. Plan de masse des constituants d'un système. . . . .	60
2.2.3. Analyse . . . . .	60
2.2.3.1. Surface . . . . .	60
2.2.3.2. Vitesse . . . . .	60
2.2.3.3. Consommation de la puissance. . . . .	61
2.2.4. Vérification . . . . .	62
2.3. Niveau de conception « Transfert de registres » . . . . .	64
2.3.1. Synthèse . . . . .	64
2.3.1.1. Partie opérative . . . . .	65
2.3.1.2. Partie de contrôle . . . . .	70
2.3.1.3. Synthèse physique de PLA . . . . .	76
2.3.1.4. Synthèse de mémoires . . . . .	81
2.3.2. Analyse . . . . .	85
2.3.2.1. Surface . . . . .	85
2.3.2.2. Vitesse . . . . .	85
2.3.2.3. Consommation de la puissance. . . . .	86
2.3.3. Vérification . . . . .	86
2.4. Niveau de conception « Module » . . . . .	87
2.4.1. Synthèse . . . . .	87
2.4.2. Analyse . . . . .	87
2.4.2.1. Surface . . . . .	87
2.4.2.2. Vitesse . . . . .	88

2.4.2.3. Consommation de la puissance . . . . .	90
2.4.3. Vérification . . . . .	93
2.5. Niveau de conception « Cellule » . . . . .	94
2.5.1. Synthèse . . . . .	94
2.5.2. Analyse . . . . .	105
2.5.2.1. Surface . . . . .	105
2.5.2.2. Vitesse . . . . .	105
2.5.2.3. Consommation de la puissance. . . . .	106
2.5.3. Vérification . . . . .	106
2.6. Étude de base du transistor MOS . . . . .	106
2.6.1. Technologies NMOS et CMOS. . . . .	106
2.6.2. Théorie du transistor MOS (courant $I_{DS}$ ) . . . . .	108
2.6.3. Caractéristique du transfert de l'inverseur . . . . .	112
2.6.4. Analyse statique de l'inverseur . . . . .	113
2.6.5. Tension de seuil de l'inverseur . . . . .	114
2.6.6. Estimation des temps de charge et de décharge d'une capacité . . . . .	115
2.6.6.1. Estimation du temps de charge d'une capacité . . . . .	115
2.6.6.2. Estimation du temps de décharge d'une capacité . . . . .	116
2.6.6.3. Inverseur CMOS . . . . .	117
2.6.6.4. Influence de $\beta_N/\beta_P$ sur la caractéristique de transfert . . . . .	119
2.7. Interconnexions . . . . .	119
2.7.1. Synthèse des interconnexions . . . . .	120
2.7.1.1. Insertion d'amplificateurs. . . . .	121
2.7.1.2. Codage et décodage de données . . . . .	127
2.7.1.3. Distribution d'horloges et de PLL . . . . .	133
2.7.2. Synthèse de réseaux sur puce . . . . .	135
2.8. Conclusion . . . . .	145

### **Chapitre 3. Étude de cas : application d'heuristiques et de métaheuristiques à la conception de circuits et de systèmes intégrés . . . . . 147**

3.1. Introduction. . . . .	147
3.2. Niveau de conception « Système » . . . . .	148
3.2.1. Synthèse d'un système monopuce à faible consommation d'énergie . . . . .	148
3.2.1.1. Détermination du nombre de sous-systèmes et affectation des tâches à ces sous-systèmes . . . . .	148
3.2.1.2. Affectation de tâches aux ressources physiques. . . . .	151

3.2.2. Application d'une heuristique à l'affectation de tensions et de fréquences pour la conception d'un système temps réel assujéti à la contrainte d'énergie . . . . .	153
3.2.2.1. Affectation (V, O) statique . . . . .	155
3.2.2.2. Affectation (V, O) dynamique . . . . .	156
3.2.2.3. Affectation (V, O) quasi statique . . . . .	157
3.3. Niveau de conception « Transfert de registres » . . . . .	168
3.3.1. Programmation linéaire entière appliquée à l'ordonnancement des opérations d'un flot de données . . . . .	168
3.3.2. Ordonnancement des opérations d'un flot de données contrôlées (en tenant compte du compromis vitesse-consommation de puissance) . . . . .	169
3.3.3. Affectation efficace de codes aux états d'une machine à états finis (en vue d'obtenir une partie de contrôle efficace en termes de surface, de vitesse et de consommation de puissance) . . . . .	170
3.3.3.1. Résolution de (SP1) . . . . .	177
3.3.3.2. Résolution de (SP2) . . . . .	179
3.3.3.3. Résolution de (SP3) . . . . .	181
3.3.4. Synthèse de transistors et d'interconnexions sous-microniques pour la conception de circuits performants (à faible consommation d'énergie) sous des contraintes de puissance (temps, respectivement) et de surface . . . . .	191
3.3.4.1. Heuristique donnant la priorité au paramètre temps . . . . .	192
3.3.4.2. Heuristique donnant la priorité au paramètre consommation de puissance . . . . .	196
3.4. Niveau de conception « Module » . . . . .	202
3.4.1. Conception de circuits digitaux à faible consommation de puissance . . . . .	202
3.4.2. Réduction du temps d'accès en mémoire pour la conception des systèmes embarqués . . . . .	212
3.4.2.1. Affectation des tableaux de l'application concernée à des modules de mémoire . . . . .	212
3.4.2.2. Réordonnancement des opérations de l'application concernée . . . . .	216
3.5. Niveau de conception « Cellule » . . . . .	219
3.5.1. Estimation des consommations moyenne et maximale de la puissance d'un circuit digital . . . . .	219
3.5.2. Génération automatique de dessins de masques de quelques structures régulières (décodeurs, décodeurs d'adresses, PLA) . . . . .	225
3.5.3. Génération automatique de dessins de masques de circuits digitaux selon la technique River PLA . . . . .	229
3.6. Interconnexions . . . . .	230

---

3.6.1. Technique d'insertion d'amplificateurs pour la conception d'interconnexions sous-microniques à faible consommation de puissance et assujettie aux contraintes de délai et de surface . . . . .	230
3.6.2. Codage et décodage de données pour la réduction de la consommation d'énergie des interconnexions sous-microniques . . .	238
3.6.3. Synthèse de haut niveau de réseaux sur puce assujettie aux contraintes de largeur de bande, de surface et de consommation de puissance . . . . .	241
<b>Conclusion . . . . .</b>	<b>251</b>
<b>Bibliographie . . . . .</b>	<b>255</b>
<b>Index . . . . .</b>	<b>261</b>