

الجمهورية الجزائرية الديمقراطية الشعبية
République Algérienne démocratique et populaire

وزارة التعليم العالي و البحث العلمي
Ministère de l'enseignement supérieur et de la recherche scientifique

جامعة سعد دحلب البليدة
Université SAAD DAHLAB de BLIDA

كلية التكنولوجيا
Faculté de Technologie

قسم الإلكترونيك
Département d'Électronique



Mémoire de Master

Filière : Électronique

Spécialité : Systèmes des télécommunications

Présenté par

Guellil Meroua

&

Medjrab Kenza

Etude et Simulation d'un transistor MOSFET à base d'un diélectrique high-k et canal de conduction III-V

Promoteur:

M^r. Ammi Sofiane

Co-promoteur :

M^r. Aissat Abdelkader

Année Universitaire 2023-2024

ملخص: إن الترانزستور من النوع ال MOSFET بإعتباره اللبنة الأساسية للدوائر المدمجة ، هو القوة الدافعة الرئيسية لصناعة أشباه الموصلات. يتيح تصغيره إمكانية تحسين الأداء و كثافة التكامل و تكلفة الدوائر الإلكترونية. التحدي الذي يواجه هذه الترانزستورات هو تقليل التأثيرات السلبية المرتبطة بالتصغير. في هذا السياق، يتكون عملنا من إجراء دراسة و محاكاة لبنية MOSFET في أجزائها المختلفة . سيتم دراسة جزء الحبس الكهروستاتيكي و جزء النقل من أجل إستخلاص النماذج الفيزيائية التي تسمح بإدارتها. و بعد ذلك سيتم إجراء محاكاة في بيئة حسابية رقمية بناءً على حلول معادلات النماذج التي تم الحصول عليها. في النهاية ، تم تطوير برنامج على هياكل SiO_2/Si MOSFET ثم High-k/III-V MOSFET من أجل إستخلاص سلوكاتها الكهربائية.

كلمات المفاتيح : MOSFET ، محاكاة ، عازل عالي الجودة ، أشباه الموصلات عالية الحركة.

Résumé : Le transistor à effet de champ MOSFET (Metal Oxide Semiconducteur Field Effect Tansistor), en tant que brique de base des circuits intégrés, est le moteur principal de l'industrie semiconducteur. Sa miniaturisation permet d'améliorer les performances, la densité d'intégration et le coût des circuits électroniques. L'enjeu pour ces transistors est de réduire les effets parasites liés à la miniaturisation. Dans ce contexte, notre travail consiste à faire une étude et une simulation d'une structure MOSFET dans ses différentes parties. La partie confinement électrostatique et la partie transport vont être étudiées afin de tirer les modèles physiques qui permettent de les gérer. Après, une simulation sous un environnement de calcul numérique, va être faite à partir de la résolution des équations des modèles obtenus. A la fin, une application du code développé sur des structures MOSFET SiO_2/Si puis MOSFET High-k /III-V afin d'extraire leurs comportements électriques.

Mots clés : MOSFET ; Simulation ; Diélectrique high-k ; Semiconducteur forte mobilité.

Abstract: The MOSFET (Metal Oxide Semiconductor Field Effect Tansistor), as the basic building block of integrated circuits, is the main driver of the semiconductor industry. Its miniaturization improves the performance, integration density and cost of electronic circuits. The challenge for these transistors is to reduce the parasitic effects linked to miniaturization. In this context, our work consists of studying and simulating a MOSFET structure in its different parts. The electrostatic confinement part and the transport part will be studied in order to derive the physical models that can manage them. Afterwards, a simulation under a numerical calculation environment will be done by the resolution of equations of the models obtained. At the end, an application of the developed code on MOSFET SiO_2/Si structures then MOSFET High-k /III-V in order to extract their electrical behaviours.

Keywords: MOSFET; Simulation; High-k dielectric; High mobility semiconductor.

Remerciements

Nous tenons tout d'abord à remercier ALLAH le tout Puissant et Miséricordieux, qui nous a donné la force, la santé, le courage et la volonté d'achever ce modeste travail.

Nous avons l'honneur et le plaisir de présenter notre profonde gratitude, de nos sincères remerciements à notre Promoteur : Mr. AMMI Sofiane de nous avoir encadré et consacré autant de temps pour nous, pour sa précieuse aide, sa bienveillance et ses conseils.

Nos sincères remerciements s'adresse aussi à notre Co-promoteur : Mr. Aissat Abdelkader, qui nous a mis sur le bon chemin et qui a fait son possible pour nous aider.

Nous remercions également les membres de jury qui ont accepté d'examiner ce travail.

Dédicaces

C'est avec une profonde gratitude et sincères mots,

Que je dédie ce travail de fin d'étude

À ma petite famille ; qui m'a encouragé et soutenu durant mon parcours

A Mon Père

Aucune dédicace ne saurait exprimer mon respect, mon amour éternel que j'ai toujours eu pour toi. Rien au monde ne vaut les efforts fournis jour et nuit pour mon éducation et mon bien-être. Que ce modeste travail soit le fruit de tes innombrables sacrifices que tu as consentis pour mon éducation et ma formation.

A Ma Mère

Affable, honorable, aimable, tu représentes le symbole de la bonté par excellence, la source de tendresse et l'exemple du dévouement. Ta prière et ta bénédiction m'ont été d'un grand secours pour mener à bien mes études. Je te dédie ce travail en témoignage de mon profond amour.

Je vous remercie et que Dieu vous accorde santé, bonheur et longue vie.

A mon frère Chawki .

A ma partenaire Boutheina

Qui était présente dans les moments de bonheur et de détresse, par son soutien moral et son humeur, que Dieu nous préserve cette vraie amitié.

A mon binôme Maroua

**Avec qui j'ai passé d'agréables moments,
tu as été bien plus qu'une partenaire de projet, je te souhaite tout le bonheur du monde.**

Kenza

Dédicaces

Je dédie ce travail

A Ma chère maman ASSIA

Il n'y a pas assez de mots sur terre pour exprimer tout l'amour et la gratitude que je ressens pour toi. Ton soutien sans faille, tes soins, tes sacrifices. Tout ça ma forgée et fait de moi ce que je suis.

A Mon cher papa KAMEL

Je veux te dire combien tu es précieux pour moi, tu es plus qu'un simple père, tu es l'exemple de bonté, sacrifices et de force chaque jour de ma vie je suis reconnaissante pour les valeurs que tu m'as transmises.

Aujourd'hui j'aimerais juste prendre un moment pour vous dire merci.

À mon seul frère Mohammed Amine, merci d'être mon frère.

À mes sœurs Amira et Bessma, je ne trouve pas les mots justes et honnêtes pour exprimer mes sentiments et mes pensées à votre égard. Vous êtes des sœurs sur qui je peux compter.

À mes meilleures amies Khadidja et Safaa, merci d'être là depuis ces années. J'espère que nous resterons amies tout au long de notre vie.

À mon binôme Kenza malgré tous les problèmes qu'on a vécu tout au long de ce travail, nous avons travaillé dur.

Je tiens à te remercier pour tout et te souhaite tout le meilleur.

Meroua

Liste des Illustrations Graphiques

Figure 1.1	Diagramme de bandes d'énergie d'un métal.	4
Figure 1.2	Diagramme de bandes d'énergie d'un oxyde	5
Figure 1.3	Diagramme de bandes d'énergie d'un Semiconducteur, -a- type P, - b- type N	6
Figure 1.4	Les réseaux d'une structure cristalline cubique	7
Figure 1.5	A. Structure réseau Diamant (Si), B. Structure réseau Zinc-Blend (GaAs)	8
Figure 1.6	a. SC à gap direct. b. SC à gap indirect	8
Figure 1.7	Silicium dopé au Phosphore a.T = 0 K. b. T ≠ 0 K. c. Diagramme de bandes	10
Figure 1.8	Silicium dopé au Bore a.T = 0 K. b. T ≠ 0 K. c. Diagramme de bandes	11
Figure 1.9	Illustration schématique d'une structure MOSFET	13
Figure 1.10	(a) : Schéma d'une structure MOSFET. (b) Empilement vertical (axe y) : structure MOS. (c) Diagramme de bande énergétique en direction y de la structure MOS sans contact	14
Figure 1.11	Diagramme de bande d'énergie de l'empilement Métal/Oxyde/ Semiconducteur pour différents régimes : (a) Bandes Plates. (b) Accumulation. (c) Déplétion. (d) Inversion	16
Figure 1.12	Schéma électrique équivalent de la capacité MOS	17
Figure 1.13	(a) Caractéristique $I_D(V_G)$ [en échelle logarithmique et linéaire]. (b) : Caractéristique $I_D(V_D)$ d'un MOSFET pour différentes régime V_G (1 = régime ohmique ; 2= régime non-ohmique ; 3= régime de saturation)	17
Figure 1.14	Représentation schématique de l'évolution de la barrière de potentiel dans les transistors, (a) canal long et faible V_D , (b) canal court et faible V_D , (c) canal court et fort V_D	21
Figure 1.15	Schématique de la caractéristique $I_D(V_G)$ d'un MOSFET, présentant la dégradation des paramètres sous le seuil due aux effets de canal court SCE et DIBL	22

Figure 1.16	Schéma de l'intégration d'un matériau high-k dans l'empilement de grille MOSFET	23
Figure 2.1	Schéma d'une structure MOSFET à base Si/SiO ₂ (1 : Partie électrostatique, 2 : Partie transport)	31
Figure 2.2	Graphe en 2D (surface) à travers toute la géométrie de la structure MOSFET simulée à V _G = 1V et V _D = 0.5V : -a- Concentration des électrons (en échelle logarithmique), -b- concentration des trous (en échelle logarithmique), -c- Potentiel électrique.	32
Figure 2.3	Diagramme de bandes d'énergies dans la région du confinement électrostatique (suivant l'axe Y) à une tension de grille V _G = -0.95V (régime de bande plates).	33
Figure 2.4	Diagramme de bandes d'énergies dans la région du confinement électrostatique (suivant l'axe Y) à une tension de grille V _G = -2 V (régime d'accumulation).	34
Figure 2.5	Diagramme de bandes d'énergies dans la région du confinement électrostatique (suivant l'axe Y) à une tension de grille V _G = 0.5V (régime de déplétion).	34
Figure 2.6	Diagramme de bandes d'énergies dans la région du confinement électrostatique (suivant l'axe Y) à une tension de grille V _G = 1.25V (régime d'inversion).	35
Figure 2.7	Variation du potentiel de surface (ψ_s) en fonction de la tension de grille (V _g).	36
Figure 2.8	Caractéristique I-V d'un transistor MOSFET SiO ₂ /Si avec L _g =1.2μm et T _{OX} =30nm, (a) : Courant de drain en fonction de la tension de grille pour une tension de drain de (0.05,0.5,1). (b) : Courant de drain en fonction de la tension de drain pour différentes valeurs de la tension de grille.	37
Figure 2.9	Caractéristique I _D -V _G d'un transistor MOSFET SiO ₂ /Si avec V _D =0.5V et T _{OX} =30nm pour différentes valeurs de la longueur de grille.	38
Figure 2.10	Caractéristique de transfert d'un transistor MOSFET SiO ₂ /Si avec V _D =0.5V et L _g =0.6μm pour différentes valeurs d'épaisseur d'oxyde. (a) : I _D (V _G). (b) : Log I _D (V _G).	39
Figure 2.11	Schéma d'une structure MOSFET à base GaAs/HFO ₂	39
Figure 2.12	Caractéristique I _D -V _D d'un transistor MOSFET HFO ₂ /GaAs avec L _g =0.6μm et T _{HFO2} =10nm (EOT = 1.95 nm), pour différentes valeurs de V _G .	40

- Figure 2.13 Caractéristique de transfert d'un transistor MOSFET HFO₂/GaAs 41
avec T_{HFO2}=10 nm (EOT=1.95 nm) et L_g=0.6μm pour différentes
valeurs de V_D. (a) : I_D (V_G). (b) : Log I_D (V_G).
- Figure 2.14 Caractéristique de transfert d'un transistor MOSFET HFO₂/GaAs 42
avec V_D = 0.5 V et L_g=0.6μm pour différentes valeurs de T_{HFO2}. (a) :
I_D (V_G). (b) : Log I_D (V_G).

Liste des Tableaux

Tableau 1.1	Valeurs des travaux de sortie de différents métaux	4
Tableau 1.2	Valeurs de gap et permittivités relatives de différents oxydes	5
Tableau 1.3	Exemples de Semiconducteurs	7
Tableau 1.4	Energie et nature du Gap de différents semiconducteurs	9
Tableau 1.5	Principales caractéristiques du silicium et de matériaux III-V	24
Tableau 2.1	Paramètres utilisés dans la simulation, Structure 1	31
Tableau 2.2	Paramètres utilisés dans la simulation, Structure 2	40

Liste des Symboles et Abréviations

Abréviations

2D	: Deux dimension
B.C	: Bande de Conduction.
B.I	: Bande Interdite.
B.V	: Bande de Valence
C.C	: Cubique Centré.
C.F.C	: Cubique Face Centré
CMOS	: Complementary Metal Oxide Semiconductor
C.S	: Cubique Simple.
D.D	: Drift-Diffusion
DIBL	: « Drain Induced Barrier Lowering ».
DMOSFET	: Transistor MOSFET à appauvrissement
EMOSFET	: Transistor MOSFET à enrichissement
EOT	: Equivalent Oxide Thickness (épaisseur équivalente d'oxyde)
Ge	: Germanium
GaAs	: Arséniure de Gallium
InAs	: Arséniure d'Indium
InSb	: Antimoniure d'Indium
InGaAs	: Arséniure d'Indium Gallium
High-k	: Haute permittivité
IRTS	: International Technology Roadmap for Semiconducteur
MIS	: Metal Insulator Semiconductor
MOS	: Metal Oxide Semiconductor
MOSFET	: Metal Oxide Semiconductor Field Effect Transistor
NMOS	: Transistor MOS ayant un canal de type N (substrat de type P)
PMOS	: Transistor MOS ayant un canal de type P (substrat de type N)
SC	: Semiconducteur
SCE	: Short Channel Effect

Si	: Silicium
SS	: Sub-threshold Slope

Symboles

C_{SC}	: Capacité de Semiconducteur	[F/m ²]
C_{OX}	: Capacité d'Oxyde de grille	[F/m ²]
E_C	: Energie (niveau) bas de la bande de conduction	[eV]
E_F	: Energie (niveau) de Fermi	[eV]
E_{Fi}	: Energie (niveau) de Fermi Intrinsèque	[eV]
E_{Fn}	: Energie (niveau) de Fermi semiconducteur type n	[eV]
E_{Fm}	: Energie (niveau) de Fermi du métal	[eV]
E_{Fp}	: Energie (niveau) de Fermi semiconducteur type p	[eV]
E_g	: Energie de la bande interdite (gap)	[eV]
E_V	: Energie (niveau) haut de la bande de valence	[eV]
E_0	: Energie (niveau) vide	[eV]
G_d	: la conductance de sortie	[S]
G_m	: la transconductance	[S]
I_D	: Courant de Drain	[A/m]
I_{OFF}	: Courant de drain à l'état off	[A/m]
I_{ON}	: Courant de drain à l'état on	[A/m]
L_G	: La longueur de grille	[m]
N_A	: Concentration en atomes accepteurs ionisés	[1/m ³]
N_D	: Concentration en atomes donneurs ionisés	[1/m ³]
n_i	: Concentration intrinsèque des porteurs dans le matériau	[1/m ³]
N_C	: Densité équivalente d'états dans la BC	[1/m ³]
N_V	: Densité équivalente d'états dans la BV	[1/m ³]
n	: Concentration des électrons	[1/m ³]
p	: Concentration des trous	[1/m ³]
T	: Température	[K]
T_{ox}	: Epaisseur de l'oxyde de Silicium	[m]
T_{h-k}	: Epaisseur de l'oxyde high-k	[m]
V_G	: Tension de grille	[V]

V_D	: Tension de drain	[V]
V_{TH}	: Threshold voltage (tension de seuil)	[V]
W	: Largeur du canal	[m]
ϕ_m	: Travail de sortie du métal	[eV]
χ_{OX}	: Affinité électronique de l'oxyde	[eV]
χ_{SC}	: Affinité électronique du semiconducteur	[eV]
$\epsilon_{r_{OX}}$: Permittivité relative de l'oxyde	
ϵ_{h-k}	: Permittivité relative du matériau à haute permittivité.	
$\epsilon_{r_{sc}}$: Permittivité relative du semiconducteur	
ϕ_{SC}	: Travail de sortie du semiconducteur	[eV]
ϕ_f	: Potentiel de Fermi	[Ev]
V_{FB}	: Tension de bandes plates	[V]
ψ	: Potentiel électrostatique	[V]
ψ_s	: Potentiel de surface (ox/sc)	[V]
V_{sat}	: Tension de saturation	[V]
μ_n	: Mobilité des électrons	[m ² /V.s]
μ_{eff}	: Mobilité effective des porteurs dans le canal	[m ² /V.s]
Q_n	: Densité de charge d'électrons dans le canal	[C/m ²]
ρ	: Distribution de charge d'espace	[1/m ³]

Constantes

k	: Constante de Boltzmann	$k= 8,617385 \cdot 10^{-5}$	[eV/K]
q	: Charge élémentaire	$q= 1,6 \cdot 10^{-19}$	[C]
ϵ_0	: Permittivité du vide	$\epsilon_0 = 8,85 \cdot 10^{-12}$	[F/m]

TABLE DES MATIÈRES

RÉSUMÉ	
REMERCIEMENTS	
DÉDICACES	
TABLE DES MATIÈRES	
LISTE DES ILLUSTRATIONS, GRAPHIQUES ET TABLEAUX	
LISTE DES SYMBOLES ET DES ABRÉVIATIONS	
INTRODUCTION GÉNÉRALE	1
1. ETUDE THEORIQUE DE LA STRUCTURE MOSFET.	3
1-1. Introduction	3
1-2. Rappel sur les matériaux de la structure MOSFET	3
1-2-1. Le Métal (Conducteur)	3
1-2-2. L'Oxyde (Isolant)	4
1-2-3. Les Semiconducteurs	6
1-2-4. Système et réseau cristallin dans les semiconducteurs	7
1-2-4-1. SC de la colonne IV, réseau Diamant	7
1-2-4-2. SC composés (III-V, II-VI), réseau Zink-Blend	8
1-2-5. Semiconducteur à Gap direct ou indirect	8
1-2-6. Semiconducteur intrinsèque	9
1-2-7. Semiconducteur extrinsèque	10
1-2-7-1. Type n	10
1-2-7-2. Type p	10
1-3. Analyse sur le fonctionnement de la structure MOSFET	11
1-3-1. Transistor MOSFET	11
1-3-2. Structure et principe de fonctionnement du MOSFET	12
1-3-2-1. Structure	12
1-3-2-2. Principe de fonctionnement	13
1-3-2-2-1. Différents régimes de l'empilement métal/oxyde/sc	14
1-3-2-2-2. Caractéristiques I_D-V_G et I_D-V_D	17
1-3-2-2-3. Principaux paramètres électriques du MOSFET	18
1-3-3. Effets de la miniaturisation	20
1-3-4. Structure MOSFET à base de matériaux innovants	22
1-3-4-1. Incorporation de l'oxyde de forte permittivité « high-k »	22
1-3-4-2. Transistor MOSFET à base de SC forte mobilité	24
1-4. Conclusion	25

2. SIMULATION DE LA STRUCTURE MOSFET	26
2-1. Introduction	26
2-2. Modèle théorique	26
2-2-1. Equation de Poisson	26
2-2-2. Equations de Continuités	27
2-2-3. Equations de Transport	28
2-3. Environnement de Calcul	29
2-4. Résultats de la simulation	31
2-4-1. Structure MOSFET à base SiO ₂ /Si-p	31
➤ Partie confinement électrostatique	33
➤ Partie transport	36
➤ Effet des paramètres géométriques de la structure MOSFET sur les caractéristiques	38
2-4-2. Structure MOSFET à base high-k/III-V	39
2-5. Conclusion	42
CONCLUSION GÉNÉRALE	43
RÉFÉRENCES	

Introduction générale

L'électronique et l'informatique ont accompli d'énormes progrès en un temps record [1], en moins de soixante ans, les dispositifs ont subi de profondes modifications. Ainsi, les lampes triodes originelles de dimensions macroscopiques ont été remplacées par des transistors ne mesurant actuellement que quelques dizaines de nanomètres de longueur de grille. Le transistor à effet de champ MOSFET (Metal Oxide Semiconductor Field Effect Transistor), en tant que brique de base des circuits intégrés, est le moteur principal de l'industrie semiconducteur. Son architecture et son principe de fonctionnement sont restés pratiquement inchangés à ce jour, mais ses dimensions physiques n'ont cessé de décroître, suivant la loi de Moore [2]. Ainsi, notre quotidien s'est enrichi de nombreux dispositifs issus de cette évolution.

Néanmoins, la réduction de la taille des transistors ne suffit pas toute seule pour augmenter leurs performances, marquant ainsi la fin de l'ère du « Scaling ». Un autre secteur d'activité, où la consommation de puissance est importante, concernant l'intelligence ambiante, pour laquelle des dispositifs communicants et autonomes doivent être développés. Il est nécessaire qu'ils combinent pour assurer leur autonomie des possibilités de récupération d'énergie dans l'environnement et une faible consommation de puissance, mais aussi des débits d'informations toujours plus importants.

L'enjeu pour les transistors MOSFET nanométriques est de réduire les effets parasites liés à la miniaturisation afin d'augmenter la vitesse de commutation. Autrement dit, ceci passe par une diminution du courant de fuite (I_{OFF}) et un accroissement du courant débité par le transistor (I_{ON}).

Plusieurs solutions trouvées depuis, pour continuer d'augmenter les performances des transistors MOSFET consistent à la conception de nouvelles architectures MOSFET et /ou à l'introduction de nouveaux matériaux. Le remplacement de dioxyde de Silicium (SiO_2) par un matériau de forte permittivité "high-k" au niveau de l'empilement de grille, permet de maintenir une capacité de grille élevée tout en limitant les effets parasites à travers la grille. Aussi, l'utilisation de matériaux haute mobilité (III-V) pour remplacer le canal de Silicium,

pourrait compenser la dégradation des performances du transistor lors de la réduction de la tension d'alimentation.

Actuellement, la modélisation et la simulation numérique s'avèrent être deux outils parfaitement adaptés et peu coûteux pour étudier ces phénomènes et tenter, de les comprendre et de les optimiser.

Ainsi l'objectif de ce mémoire est de mener une étude et une simulation d'un transistor MOSFET sous un environnement de calcul numérique afin de faire une application avec des nouveaux matériaux qui sont adaptables aux ambiants intelligents.

Dans le premier chapitre, nous allons faire une étude théorique de la structure MOSFET. Les différents matériaux qui l'ont constitué vont être discutés, ensuite une analyse sur le fonctionnement du transistor MOSFET en différentes parties de sa structure (électrostatique, transport). A la fin, nous allons montrer les effets de miniaturisation (SCE, DIBL) qui déstabilisent la tension de seuil et dégradent les paramètres sous le seuil en proposant quelques voies qui peuvent surmonter ces effets.

Au deuxième chapitre, nous allons effectuer une simulation de la structure MOSFET sous l'environnement de calcul COMSOL. Dans un premier temps le modèle théorique avec ses équations de bases va être présenté. Il nous permettra d'extraire les propriétés électriques ainsi que les caractéristique I-V du composant. Ensuite, une application sur les structures SiO₂/Si-p et high-k/III-V afin d'étudier l'influence des différents paramètres sur leurs performances.

On termine par une conclusion générale.

Chapitre 1 Etude Théorique de la structure

MOSFET.

1.1 Introduction

A l'heure actuelle, les acteurs principaux de l'évolution de la technologie moderne sont les transistors de type MOS. Ce sont les briques de base des microprocesseurs. La miniaturisation des transistors MOSFET permet d'améliorer les performances, la densité d'intégration et le coût des circuits électroniques [2]. Pour perfectionner les dispositifs à base de ses transistors, il est nécessaire de bien étudier le fonctionnement de ses parties et de définir les paramètres qui serviront à leurs progressions.

Dans ce premier chapitre, nous commençons par un rappel sur les différents matériaux qui constituent la structure du MOSFET. Après, une analyse sur le fonctionnement du transistor qui nous permet d'avoir une approche simple en direction verticale afin d'éclaircir les phénomènes physiques du confinement électrostatique et vers la direction horizontale pour le transport électronique. A la fin, nous présentons les limites et les défis à relever pour pousser la miniaturisation de la technologie Silicium et passer vers les matériaux innovants tels que les high-k et les semiconducteurs III-V, qu'ils vont jouer un rôle important pour continuer cette avancée.

1.2 Rappel sur les matériaux de la structure MOSFET :

1.2.1 Le Métal (Conducteur) : est un matériau qui porte une forte conductivité thermique et électrique. Sa résistivité électrique est typiquement inférieure à $10^{-5} \Omega m$ à température ambiante, parmi ces métaux on a : le Cuivre (Cu), l'Or (Au), Aluminium (Al)...etc. La conduction électrique de ses derniers, s'effectue essentiellement avec les électrons libres dont leurs concentrations est approximativement dans l'intervalle 10^{22} à 10^{23} cm^{-3} . Une augmentation de la température dans les métaux favorise la résistivité, ce qui s'explique par le fait que les électrons libres ressentent une résistance

dans leur déplacement à cause des vibrations des atomes qui croient avec la température. Dans un métal la bande de conduction et de valence se chevauchent, donc on ne trouve pas de bande interdite, figure (1.1).

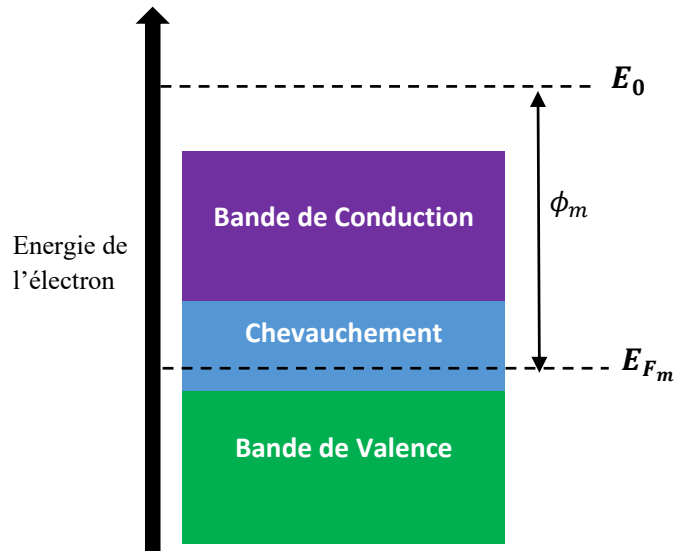


Figure 1.1 : Diagramme de bandes d'énergie d'un métal.

Le métal est caractérisé par son travail de sortie (ϕ_m), qui signifie la différence d'énergie de ses électrons entre son niveau de Fermi (E_{F_m}) est le niveau d'énergie du vide (E_0), Tableau (1.1).

Tableau 1.1 : Valeurs des travaux de sortie de différents métaux [3].

Element	Travail de sortie ϕ_m (eV)
Pt	5.35
Au	5.1
Al	4.08
Ag	4.0
Ti	4.35
Cr	4.5
Co	5.0
Ni	5.01
Cu	4.65
Mg	3.68

1.2.2 L'oxyde (Isolant) : c'est un matériau dont la résistivité est supérieure à $10^8 \Omega m$, c'est le cas pour le verre, le mica, la silice, le carbone, les matériaux high-k...etc. Dans ces matériaux, les électrons trouvent des difficultés pour passer de la

bande de valence à la bande de conduction, parce que leur bande interdite est très large (approximativement supérieure à $5eV$, figure (1.2), donc il n’y aura pas de création des charges mobiles (e^- , trous) et aucun courant électrique ne pourra circuler. Les oxydes ont un rôle important dans la structure MOSFET, ils empêchent le courant de circuler verticalement (capacité MOS), ce qui permet de commander le flux de courant dans le sens horizontal.

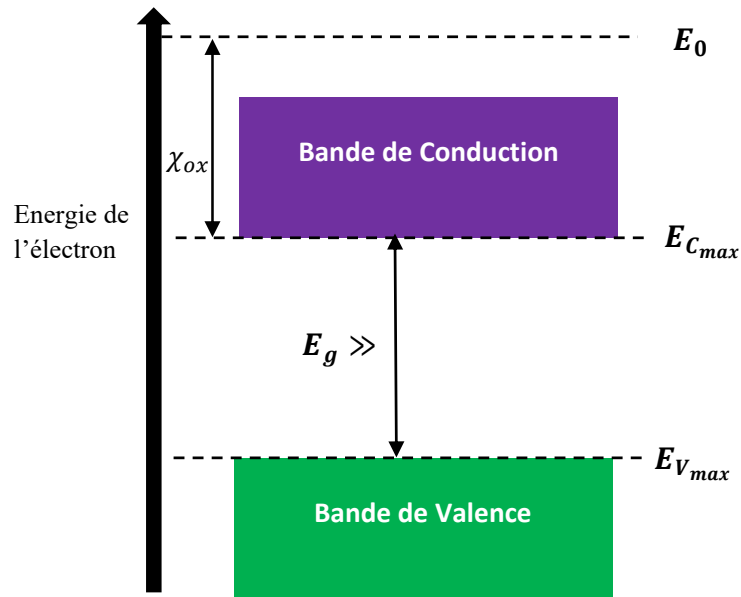


Figure 1.2 : Diagramme de bandes d'énergie d'un oxyde.

L'oxyde est caractérisé par son affinité électronique (χ_{ox}), qui représente la différence d'énergie entre le niveau d'énergie du vide (E_0) et le niveau bas de la bande de conduction ($E_{C_{min}}$), le gap (E_g) qui représente la différence entre le niveau bas de la bande de conduction ($E_{C_{min}}$) et niveau haut de la bande de valence ($E_{V_{max}}$), ainsi que la permittivité relative ($\epsilon_{r_{ox}}$), Tableau (1.2).

Tableau 1.2 : Valeurs de gap et permittivités relatives de différents oxydes [4].

Matériaux	Energie de Gap $E_g(eV)$	Permittivité relative $\epsilon_{r_{ox}}$
SiO ₂	8.9	3.9
Si ₃ N ₄	5.1	7
SiON	5.1-8.9	3.9-7.1
Al ₂ O ₃	8.7	9
HfO ₂	5.7	25
ZrO ₂	7.8	25
TiO ₂	3.5	80
Ta ₂ O ₅	4.5	26
Y ₂ O ₃	5.6	15
La ₂ O ₃	4.3	30

1.2.3 Les Semi-conducteurs : entre les métaux et les isolants se trouvent des matériaux appelés les semiconducteurs (SC), leur résistivité varie entre $10^{-3}\Omega m$ à $10^4\Omega m$ (ou plus), la largeur de la bande interdite est intermédiaire (approximativement inférieure à $5eV$). La conduction électronique dans ces matériaux se fait par deux porteurs (électrons et trous) ou de façon préférentielle par l'un ou l'autre.

Les semiconducteurs sont caractérisés par leur affinité électronique (χ_{sc}), le gap ($E_{g_{sc}}$) et leurs niveaux de Fermi (E_F). Ils peuvent être soit purs dit « intrinsèques » ($E_F = E_{F_i}$), soit dopés par des impuretés auquel cas ils sont dits « extrinsèques » (type N : $E_F = E_{F_n}$, type P : $E_F = E_{F_p}$), figure (I.3 a-b).

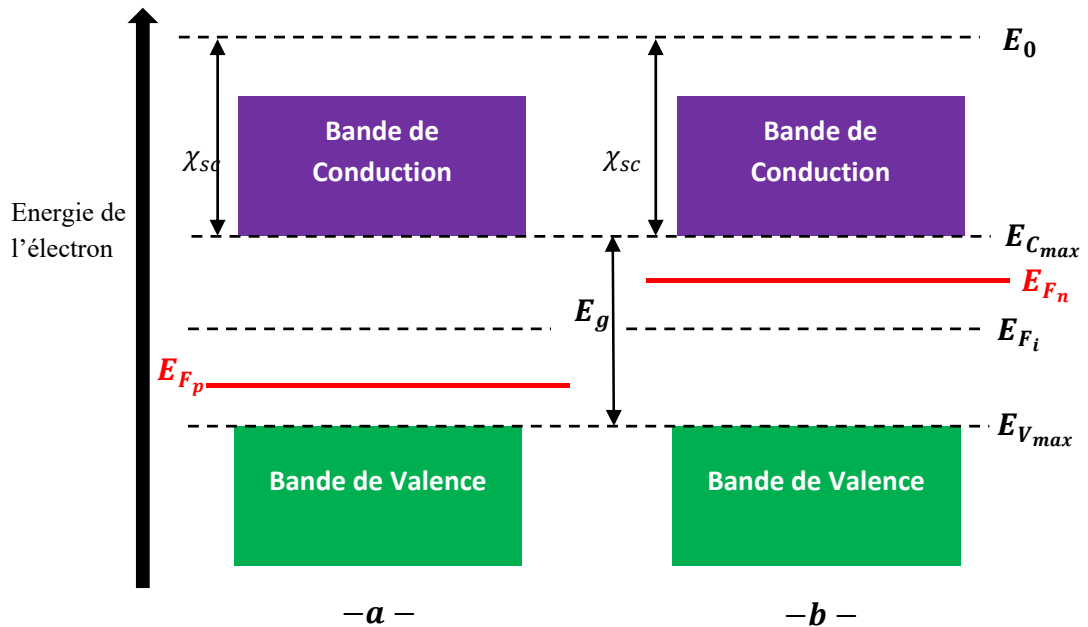


Figure 1.3 : Diagramme de bandes d'énergie d'un Semiconducteur, -a- type P, -b- type N.

Le tableau (1.3) présente des semiconducteurs simples, constitués d'un seul élément, ou composés, constitués de deux éléments et plus comme les binaires, ternaires, quaternaires. ...etc, et suivant leurs positions dans le tableau de Mendelév.

Tableau 1.3 : Exemples de Semiconducteurs.

Colonne		Semiconducteur
IV		Si, Ge
III-V	Binaire	GaAs, GaP, GaSb, InAs, InP, InSb ...
	Ternaire	$\text{In}_x\text{Ga}_{1-x}\text{As}$, $\text{Al}_x\text{Ga}_{1-x}\text{As}$, $\text{GaAs}_y\text{P}_{1-y}\dots$
	Quaternaire	$\text{Al}_x\text{Ga}_{1-x}\text{As}_y\text{P}_{1-y}$...
II-VI	Binaire	CdS, HgTe, CdTe, ZnTe, ZnS ...
	Ternaire	$\text{Cd}_x\text{Hg}_{1-x}\text{Te}$...

1.2.4 Système et réseau cristallin dans les semiconducteurs : Un cristal peut être représenté à partir d'une cellule de base qui est représentée périodiquement, formant ainsi le réseau cristallin.

La plupart des semiconducteurs se cristallisent selon un système cubique, ce dernier comprend trois réseaux différents possibles : cubique simple (CS), cubique centré (CC) et cubique à face centrée (CFC), figure (1.4).

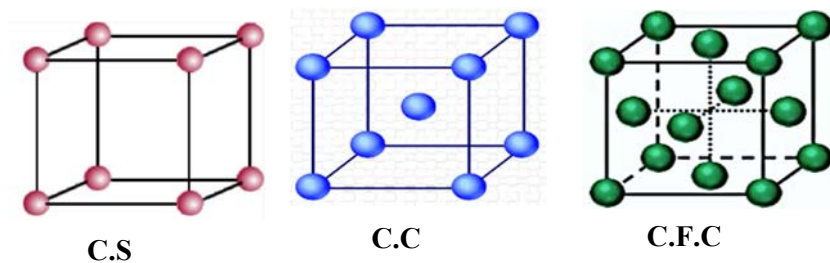


Figure 1.4 : Les réseaux d'une structure cristalline cubique.

1.2.4.1 Semiconducteurs de la colonne IV (Si, Ge..) réseau Diamant :

Le système cubique dans lequel se cristallisent le Silicium, le Germanium (ainsi que C, Sn) est le réseau Diamant, ce dernier est constitué de deux réseaux cubiques à faces centrées imbriqués et décalés d'un quart de la diagonale principale du cube, figure (1.5 A).

1.2.4.2 Semiconducteurs composés (III-V, II-VI) « Zinc-blend » :

Le réseau Zinc-Blend est considéré comme une variante du réseau Diamant mais avec deux atomes différents. Pour le GaAs, il est constitué de deux réseaux cubiques à faces centrées, l'un d'atome de Gallium et l'autre d'atome d'Arséniure imbriqués et décalés d'un quart de la diagonale principale, figure (1.5 B).

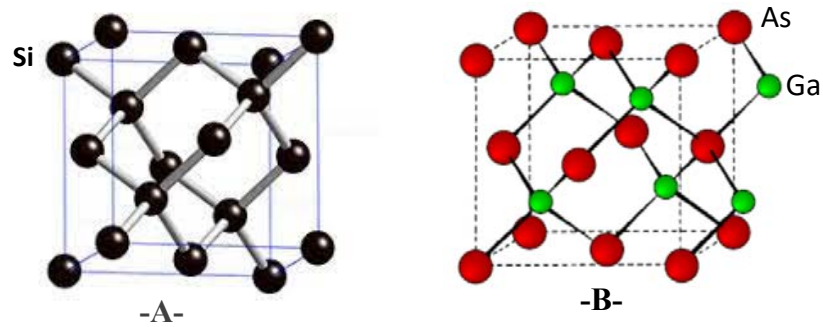


Figure 1.5 : A. Structure réseau Diamant (Si), B. Structure réseau Zinc-Blend (GaAs)

1.2.5 Semiconducteur à Gap direct ou indirect :

Les courbes $E_{C,V}(\vec{k})$ dite relation de dispersion où E_C est le bas de la bande de conduction et E_V est le haut de la bande de valence et \vec{k} est le vecteur d'onde associé à l'électron, font apparaitre deux types de semiconducteurs :

Les semiconducteurs pour lesquels les extremums correspondent (E_{Cmin}, E_{Vmax}) à la même valeur de \vec{k} , on les appelle SC à gap direct, figure (1.6-a). Contrairement aux autres ou les extremums qui peuvent être décalés sont appelés SC à gap indirect, figure (1.6-b).

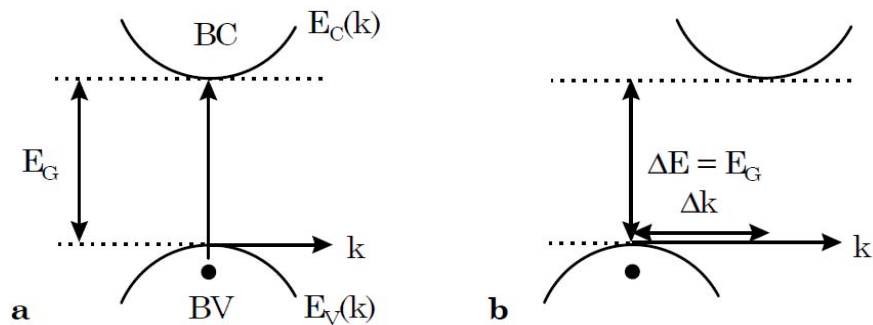


Figure 1.6 : a. SC à gap direct. b. SC à gap indirect.

Tableau 1.4 : Energie et nature du Gap de différents semiconducteurs [5].

Semiconducteur	Gap (eV) à 300K	Nature du Gap
Si	1.12	Indirect
Ge	0.66	Indirect
AlAs	2.16	Indirect
GaAs	1.43	direct
InP	1.27	direct
InAs	0.36	direct
GaSb	0.68	direct
InSb	0.17	direct

1.2.6 Semiconducteur intrinsèque :

Un semiconducteur est dit intrinsèque lorsqu'il n'est pas pollué (volontairement ou non) par des impuretés pouvant lui changer la concentration en porteurs libres. A une température $T \neq 0K$, des électrons peuvent devenir libres, passant de BC à BV avec une concentration (n) et laissant derrière eux des trous libres dans la BV avec une concentration (p) égale. Pour ce cas particulier, on définit une concentration intrinsèque (n_i) égale aux concentrations n et p pour laquelle on a :

$n = N_C \exp\left(-\frac{E_C - E_F}{kT}\right)$ et $p = N_V \exp\left(-\frac{E_F - E_V}{kT}\right)$, avec : N_C , N_V sont les densités équivalentes d'états dans la BC (BV). D'où :

$$n_i = \sqrt{n \cdot p} = \sqrt{N_C N_V} \exp\left(-\frac{E_g}{2kT}\right) \quad (1-1)$$

On obtient la position du niveau de Fermi intrinsèque en écrivant $n = p$, soit :

$$N_C \exp\left(-\frac{E_C - E_{Fi}}{kT}\right) = N_V \exp\left(-\frac{E_{Fi} - E_V}{kT}\right)$$

Alors :

$$E_{Fi} = \frac{E_C + E_V}{2} + \frac{kT}{2} \ln \frac{N_V}{N_C} \quad (1-2)$$

1.2.7 Semiconducteur extrinsèque :

1.2.7.1 Type n : dans un tel matériau, des atomes (impuretés) de type donneur (N_D) ont été introduits afin de privilégier la conduction par les électrons. La figure (1.7 a-b) présente l'exemple de Silicium dopé au Phosphore qui possède 5 électrons. Lorsque la température augmente toutes les impuretés sont ionisées. La concentration n en électrons appelée majoritaires sera égale à la concentration de dopants N_D ($n = N_D \gg n_i \gg p$ minoritaires).

Basant sur cette condition $n = N_D$, on peut écrire :

$$N_D = N_C \exp\left(-\frac{E_C - E_{Fn}}{kT}\right) = n_i \exp\left(-\frac{E_{Fi} - E_{Fn}}{kT}\right)$$

D'où l'expression du niveau de Fermi dans un SC de type n est :

$$E_{Fn} = E_C - kT \ln\left(\frac{N_C}{N_D}\right) = E_{Fi} + kT \ln\left(\frac{N_D}{n_i}\right) \quad (1.3)$$

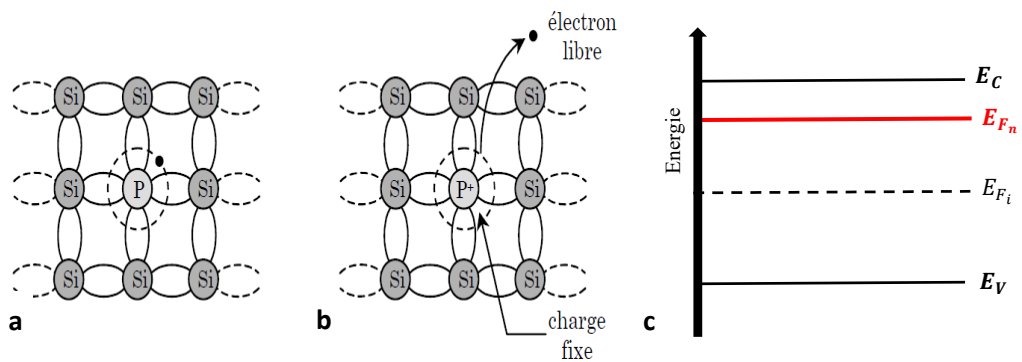


Figure 1.7 : Silicium dopé au Phosphore **a.** $T = 0$ K. **b.** $T \neq 0$ K. **c.** Diagramme de bandes.

1.2.7.2 Type p : Cette fois, on introduit des impuretés de type accepteur d'électrons (N_A), donc on favorise la conduction par les trous. La figure (1.8 a-b) donne l'exemple de Silicium dopé avec le Bore qui possède 3 électrons sur la couche externe. En augmentant la température toutes les impuretés sont ionisées. La concentration p des trous appelée majoritaires sera égale à la concentration de dopants N_A ($p = N_A \gg n_i \gg n$ minoritaires).

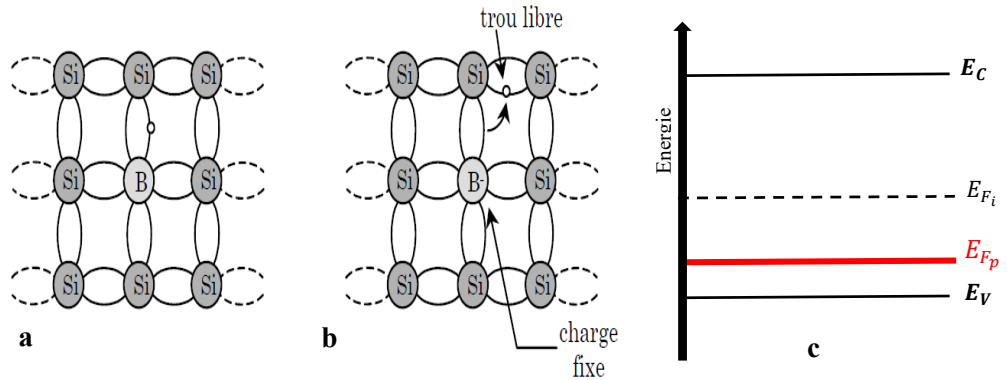


Figure 1.8 : Silicium dopé au Bore **a.** $T = 0$ K. **b.** $T \neq 0$ K. **c.** Diagramme de bandes.

Avec la condition $p = N_A$, on peut écrire :

$$N_A = N_V \exp\left(-\frac{E_{Fp} - E_V}{kT}\right) = n_i \exp\left(-\frac{E_{Fp} - E_{Fi}}{kT}\right)$$

D'où l'expression du niveau de Fermi dans un SC de type p est :

$$E_{Fp} = E_V + kT \ln\left(\frac{N_V}{N_A}\right) = E_{Fi} - kT \ln\left(\frac{N_A}{n_i}\right) \quad (1.4)$$

1.3 Analyse sur le fonctionnement de la structure MOSFET :

1.3.1 Transistor MOSFET :

La dénomination MOSFET signifie « Metal Oxide Semiconductor Field Effect Transistor ». C'est le dispositif le plus demandé dans la production actuelle des semi-conducteurs, il représente le composant de base de tout circuit intégré CMOS (Complementary Metal-Oxide semi-conducteur). La technologie CMOS englobe plus de 80% de la production mondiale de circuits intégrés, grâce à sa faible consommation et sa petite taille. Cette technologie est basée sur l'utilisation de 2 types de transistor : le transistor n-MOSFET dont les porteurs sont des électrons et le transistor p-MOSFET dont les porteurs sont les trous.

Dans notre travail on se base sur le n-MOSFET avec un substrat de type P. Ce dernier peut être à appauvrissement D-MOSFET (Depletion MOSFET) ou à enrichissement E-MOSFET (Enhancement MOSFET), [6].

Les transistors MOS à appauvrissement sont passants sans tension de commande sur la grille (NORMALLY ON), ils deviennent de moins en moins conducteurs au fur et à mesure que la tension de commande augmente pour finalement se bloquer au-delà d'une tension de blocage.

Les transistors MOS à enrichissement sont bloqués sans tension de commande sur la grille (NORMALLY OFF), ils deviennent passants à partir d'une certaine tension de seuil et plus la tension de commande augmente plus le E-MOSFET devient passant.

1.3.2 Structure et principe de fonctionnement du MOSFET :

1.3.2.1 Structure :

La structure MOSFET est composée de plusieurs éléments, figure (1.9) :

- Le substrat : c'est le matériau semiconducteur qui va porter toute la structure, il joue un rôle important dans la création de la zone de conduction. Dans notre cas, il est de type P.
- La couche d'oxyde isolante : une couche qui isole le métal du semiconducteur, elle permet de créer un champ électrique qui contrôle le nombre de porteurs présents dans le semiconducteur.
- Les régions (Source-Drain) : deux régions symétriques fortement dopées (type N). Elles représentent des réservoirs de porteurs à travers lesquelles le courant électrique entre et sort du transistor.
- La région Canal : une région située sous la couche oxyde. Elle porte la zone de conduction composée de porteurs de charges mobiles entre les régions source et drain. Un élément très important dans la structure MOSFET.
- L'électrode de Grille : placée sur le métal, elle contrôle la densité de porteurs dans la région canal à travers une tension appliquée. Une borne de commande du transistor tel un interrupteur.
- Electrodes (Source-Drain) : placées au-dessus des régions (Source-Drain), sous une tension différente entre elles, les porteurs de la région canal (électrons, ici) peuvent circuler librement entre ces deux électrodes.

L'intensité du courant circulant entre la source et le drain est commandée par la tension entre la grille et le substrat. Dans notre étude les électrodes de source et du substrat sont électriquement reliées à la masse (V_S et V_B sont nulles), donc notre structure MOSFET a deux électrodes dans lequel le courant entre le Drain et la source I_D est commandé par une tension entre la Grille et la source V_G et une tension entre le Drain et la source V_D .

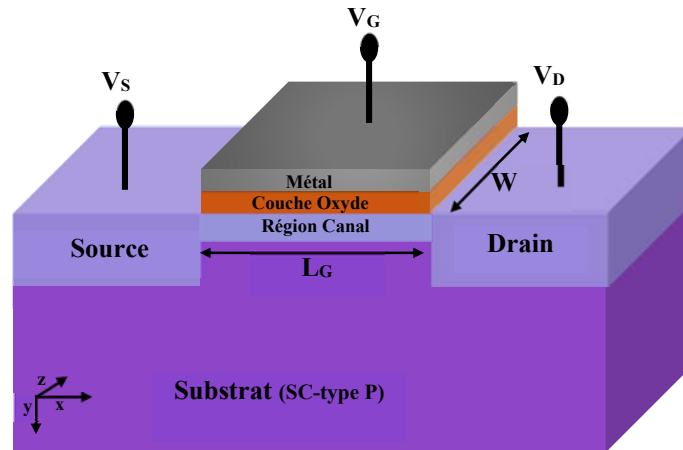


Figure 1.9 : Illustration schématique d'une structure MOSFET.

1.3.2.2 Principe de fonctionnement :

Le fonctionnement du transistor MOSFET est décrit par deux phénomènes complémentaires. Le premier électrostatique, consiste à moduler une densité de porteurs de charges en jouant sur la polarisation de grille (V_G). Celle-ci permet, par le biais du champ électrique ainsi créé à l'interface oxyde/semiconducteur, d'attirer une quantité de porteurs composées de charges mobiles à la surface du semi-conducteur, ce qui entraîne l'apparition d'un canal de conduction entre la source et le drain.

Le deuxième de transport, sous l'effet d'une polarisation différente entre la source et le drain, les porteurs du canal de conduction peuvent circuler librement entre ces deux contacts dont un courant de drain I_D , modulé par la tension V_D , est alors créé.

Donc, le canal conduit plus ou moins de courant en fonction de son niveau de remplissage en charges mobiles. De ce fait, le transistor MOSFET peut être considéré, d'un côté comme une résistance modulable reliant deux contacts (source et drain), et d'un autre côté comme étant une capacité plane, dans l'une de ses faces les charges sont mises en mouvement latéral. En résumé, la tension de grille (V_G) commande la quantité de charges et la tension de drain (V_D) les met en mouvement.

1.3.2.2.1 Différents régimes de l'empilement métal/oxyde/sc :

Le fonctionnement du transistor MOSFET repose sur une partie importante de l'empilement vertical (axe y) communément appelé MOS, figure (1.10.b). Il est important de comprendre dans un premier temps les mécanismes qui régissent le fonctionnement de la structure MOS avant de pouvoir étudier le transistor.

Pour rappeler le principe de fonctionnement général de la structure MOS, on représente son diagramme de bande en énergie dans la direction y (sans contact) et les principaux paramètres qui caractérisent ses matériaux, figure (I.10.c).

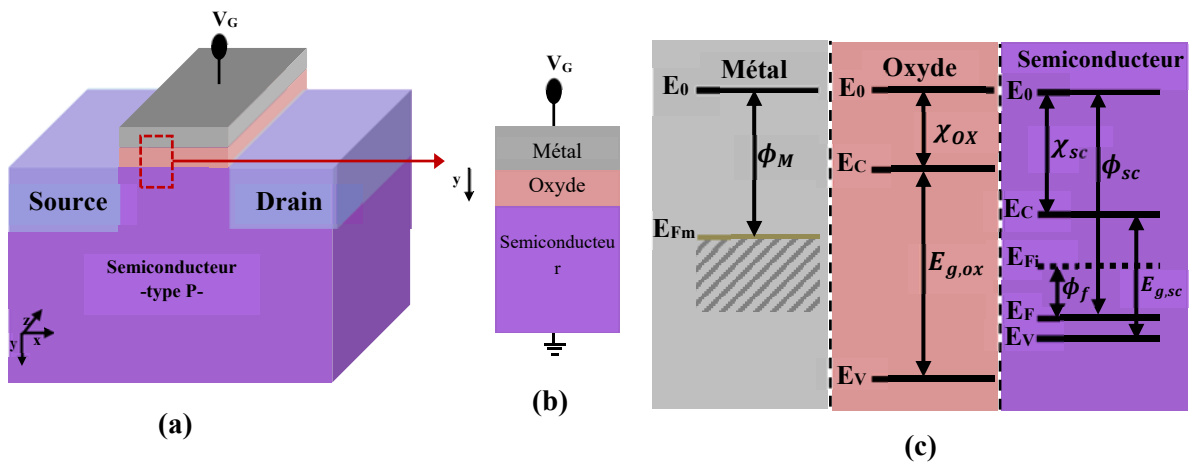


Figure 1.10 : (a) Schéma d'une structure MOSFET. (b) Empilement vertical (axe y) : structure MOS. (c) Diagramme de bande énergétique en direction y de la structure MOS sans contact.

Le métal est défini par son travail de sortie ϕ_M l'oxyde par son affinité électronique χ_{ox} et son gap $E_{g,ox}$. Le semiconducteur est défini par son affinité électronique χ_{sc} , son travail de sortie ϕ_{sc} et son niveau de dopage par l'intermédiaire du potentiel de Fermi ϕ_f .

Dans notre analyse le semiconducteur est de type p, alors son travail de sortie est :

$$\phi_{sc} = \chi_{sc} + \frac{E_{gsc}}{2} + \phi_f \quad (1.5)$$

Avec : $\phi_f = |E_{Fi} - E_{Fp}|$, en utilisant les relations (1.2) et (1.4), on aura :

$$\phi_f = \frac{E_{gsc}}{2} - kT \ln \left(\frac{N_V}{N_A} \right) \quad (1.6)$$

Donc :

$$\phi_{SC} = \chi_{SC} + E_{gsc} - kTLn\left(\frac{N_V}{N_A}\right) \quad (1.7)$$

Puisque le travail de sortie du semiconducteur ϕ_{SC} dépend du dopage, relation (1.7), il est rare qu'on trouve $\phi_{SC} = \phi_M$. Dans ce travail on considère $\phi_M - \phi_{SC} \neq 0$, il en résulte lors du contact une courbure des bandes d'énergie. Pour aligner les niveaux de fermi, il faut appliquer une tension de polarisation appelée tension de bande plate V_{FB} , nécessaire à l'établissement du régime d'équilibre dans lequel les bandes sont plates.

$$V_{FB} = \phi_M - \phi_{SC} = \phi_M - \left(\chi_{SC} + E_{gsc} - kTLn\left(\frac{N_V}{N_A}\right)\right) \quad (1.8)$$

Avec l'application d'une tension V_G entre la grille (métal) et le substrat (semiconducteur), on distingue selon sa valeur différents régimes de fonctionnement, séparés par deux tensions, celle de la tension de bandes plates V_{FB} ($\psi_s = 0$), avec ψ_s est le potentiel de surface (différence entre le potentiel de la surface et le volume du semiconducteur) et celle de la tension de seuil V_{th} ($\psi_s = 2 \cdot \phi_f$).

- ❖ Régime bandes plates : ($V_G = V_{FB}$, $\psi_s = 0$), Cet état correspond au régime d'équilibre thermodynamique de la structure et donc à l'alignement des niveaux de Fermi du métal et du semiconducteur, figure (1.11.a).
- ❖ Régime d'accumulation : ($V_G < V_{FB}$, $\psi_s < 0$), dans ce cas les porteurs minoritaires (électrons) sont repoussés vers l'intérieur alors que les trous sont attirés à l'interface OX/SC provoquant leur accumulation, figure (1.11.b). Le transistor est à l'état bloqué (régime sous le seuil).
- ❖ Régime de déplétion : ($V_{FB} < V_G < V_{TH}$, $0 < \psi_s < \phi_f$), dans ce régime le champ change de sens, les trous sont alors repoussés et une zone sans charges mobiles (dopants accepteurs) s'étend à partir de l'oxyde, figure (1.11.c). Le transistor est toujours bloqué (régime sous le seuil).

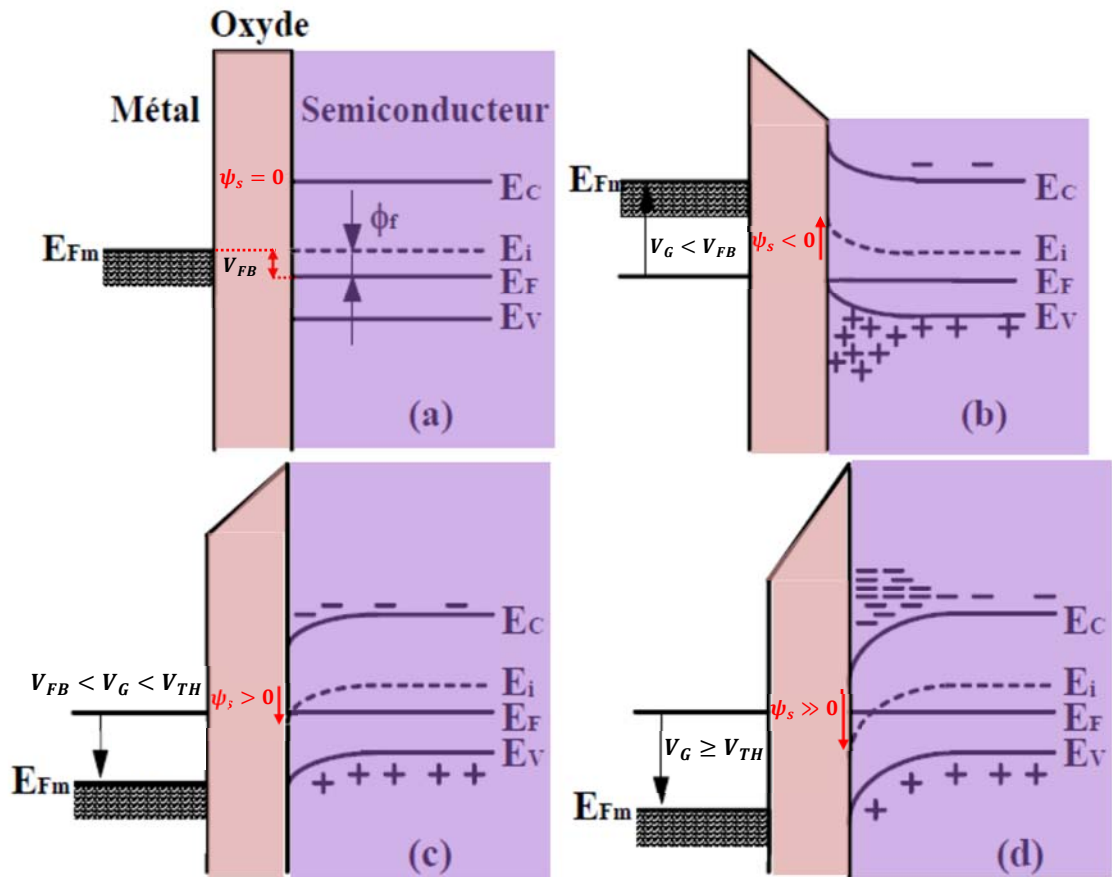


Figure 1.11 : Diagramme de bande d'énergie de l'empilement Métal/Oxyde/Semiconducteur pour différents régimes : (a) Bandes Plates. (b) Accumulation. (c) Déplétion. (d) Inversion.

❖ Régime d'inversion : ($V_G \geq V_{TH}$), dans ce cas le champ est suffisamment fort pour attirer les porteurs minoritaires à l'interface (inverse le type de semiconducteur). Ce régime est divisé en deux parties :

- ✓ $\phi_f \leq \psi_s < 2 \cdot \phi_f$, c'est le régime d'inversion faible, la concentration des porteurs majoritaires et minoritaires sont approximativement égales en surface et la croissance de charge d'inversion est toujours faible.
- ✓ $\psi_s \geq 2 \cdot \phi_f$, c'est le régime d'inversion forte. La concentration des porteurs minoritaires en surface devient supérieure, figure (1.11.d). Un grand nombre de porteurs libres sont présents dans le canal ; le transistor peut alors conduire.

Ainsi, à chaque régime de fonctionnement correspond une variation du nombre et du type de porteurs dans le semiconducteur. La structure MOS est alors vue comme, une association en série de deux capacités figure (1.12) : la capacité de l'oxyde C_{ox} , dont la

valeur est fixe qui dépend de la permittivité du matériau isolant et de son épaisseur, et la capacité du semiconducteur C_{sc} qui varie selon le régime de fonctionnement.

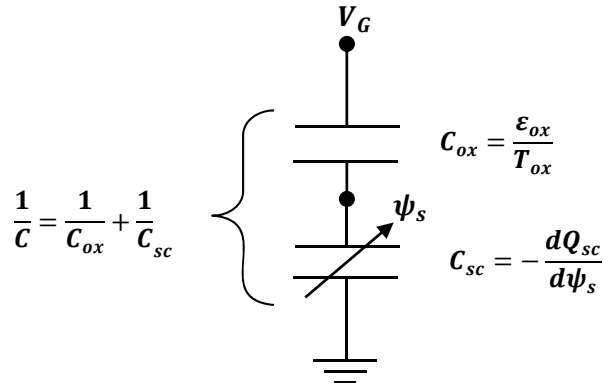


Figure 1.12 : Schéma électrique équivalent de la capacité MOS.

1.3.2.2.2 Caractéristiques I_D - V_G et I_D - V_D :

En direction transport, Nous déterminons les différentes expressions du courant de drain correspondantes aux différents régimes de fonctionnement détaillés précédemment.

En régime de faible inversion, Il en résulte l'apparition d'un courant de diffusion I_D faible dans le transistor [7], qui varie exponentiellement par rapport à V_G et suit donc une variation linéaire en échelle logarithmique, figure (1.13.a). On définit alors dans ce cas la pente sous le seuil (SS), paramètre clé du transistor qui indique la rapidité du composant, I_{off} et I_{on} qui sont respectivement courant à l'état Off et On du transistor. Le rapport I_{on}/I_{off} est l'une des principales caractéristiques à maximiser.

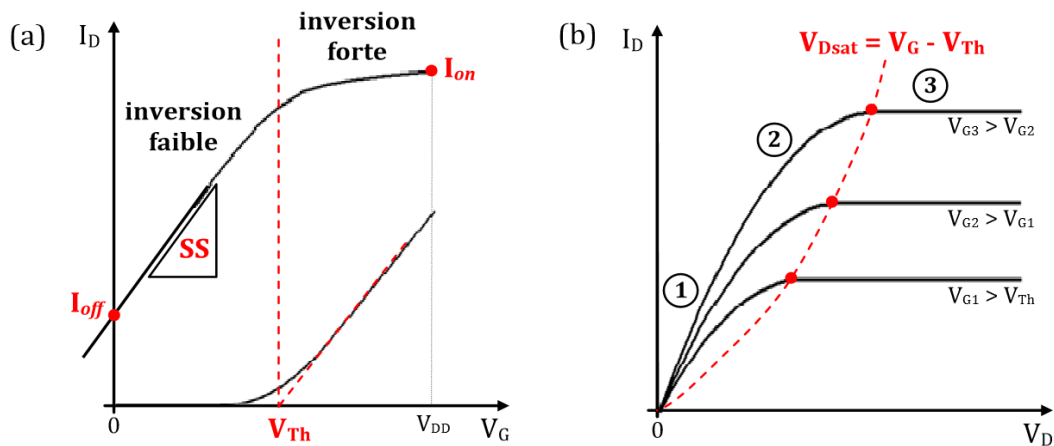


Figure 1.13 : (a) Caractéristique $I_D(V_G)$ [en échelle logarithmique et linéaire]. (b) : Caractéristique $I_D(V_D)$ d'un MOSFET pour différents régime V_G (1 = régime ohmique ; 2= régime non-ohmique ; 3= régime de saturation).

Au-dessus de la tension de seuil (régime forte inversion), le transistor devient passant, mais l'expression du courant I_D dépend de la tension V_D . Nous pouvons citer deux principales étapes de fonctionnement : le régime non-saturé (1-2) et le régime saturé (3), elles sont délimitées par la tension de saturation ($V_{Dsat} = V_G - V_{TH}$), figure (1.13.b).

Lorsque $V_D < V_{Dsat}$, en réalité on a deux zones, l'une appelée Ohmique, I_D varie linéairement en fonction de V_D (le canal se comporte comme une résistance variable avec V_G), selon cette expression :

$$I_D = \frac{W}{L_G} \mu_n C_{ox} (V_G - V_{TH}) V_D \quad (1.9)$$

Où L_G la longueur du canal, W la largeur du transistor, μ_n la mobilité des électrons dans le canal et C_{ox} la capacité de l'oxyde.

Quant à l'autre, lorsque V_D augmente la zone de déplétion est plus large et l'épaisseur du canal est réduite, le transistor passe au régime non-ohmique avant saturation, son expression est donnée par :

$$I_D = \frac{W}{L_G} \mu_n C_{ox} \left(V_G - V_{Th} - \frac{V_D}{2} \right) V_D \quad (1.10)$$

Enfin, lorsque la tension de drain atteint la tension de saturation ($V_D \geq V_{Dsat}$), il n'y aura plus de canal de conduction au niveau du drain (régime de pincement) et le courant I_D reste constant avec V_D , suivant cette expression :

$$I_D = \frac{W}{2L_G} \mu_n C_{ox} (V_G - V_{TH})^2 \quad (1.11)$$

1.3.2.2.3 Principaux paramètres électriques du MOSFET :

Parmi les paramètres électriques important dans le MOSFET, nous avons :

- Tension de bandes plates (V_{FB}) : tension V_G nécessaire pour établir le régime d'équilibre dont lequel les bandes sont plates. Dans ce travail, elle est calculée suivant l'équation (1.8).

- Tension de seuil (V_{TH}) : tension V_G pour laquelle on entre dans le régime de forte inversion d'où le potentiel de surface devient $\psi_s = 2\phi_f$. Son expression est donnée par :

$$V_{TH} = V_{FB} + 2\phi_f + \frac{\sqrt{4q\epsilon_{SC}N_A\phi_f}}{C_{OX}} \quad (1.12)$$

- Pente sous le seuil (SS) : Correspond à l'inverse de la pente sous le seuil de la caractéristique $\log_{10}(I_D) = f(V_G)$. Elle indique le gradient de V_G pour obtenir une décade de réduction de courant, exprimée par la relation suivante :

$$SS = \frac{dV_G}{d \log I_D} \quad (1.13)$$

- Courant I_{off} et I_{on} : déterminent le courant à l'état « ON » et « OFF » du transistor. Le I_{off} est calculé à $V_G=V_{FB}$ et I_{on} à $V_G=V_{DD}$, avec V_{DD} la tension d'alimentation.
- Le DIBL : correspond à la variation de V_{TH} pour une variation V_D . Il est donné par :

$$DIBL = \frac{\Delta V_{TH}}{\Delta V_D} \quad (1.14)$$

Il indique l'abaissement de la barrière de potentiel entre la source et le drain quand V_D augmente, cela induit le décalage de la tension de seuil, et, par conséquent, la consommation de puissance en statique. Il est donc important de réduire la valeur de ce paramètre.

- La Transconductance (G_m) : évaluer par la variation du courant I_D par rapport à V_G pour V_D donné.

$$G_m = \left(\frac{dI_D}{dV_G} \right)_{V_D} \quad (1.15)$$

Elle caractérise la capacité de la grille à contrôler le passage du courant I_D . Une valeur importante sera favorable aux performances du transistor.

- La conductance de sortie (G_d) : elle est donnée par :

$$G_d = \left(\frac{dI_D}{dV_D} \right)_{V_G} \quad (1.16)$$

Contrairement à la transconductance, sa valeur doit être faible pour avoir un meilleur gain en puissance. Toutefois, son augmentation peut être importante dans le cas des grilles courtes (effet canal court).

- Mobilité effective du canal (μ_{eff}) : Représente la mobilité des charges dans le canal à faible V_D , elle est extraite généralement par la relation suivante :

$$\mu_{eff} = \frac{G_d \cdot L_G}{W \cdot Q_n} \quad (1.17)$$

Avec Q_n est la densité de charge d'électron évaluée par :

$$Q_n = C_{ox}(V_G - V_{TH}) \quad (1.18)$$

1.3.3 Effets de la miniaturisation :

La diminution des dimensions dans les transistors n'est pas le fruit du hasard mais suit une loi de réduction d'échelle généralisée [8]. Le principe est de quantifier les paramètres majeurs d'une technologie (dimensions, dopage, capacité, courant, ...) afin de prédire aisément les performances attendues pour les futurs nœuds technologiques.

Les problèmes liés à la miniaturisation des transistors MOSFET peuvent être séparés en deux catégories physique et technologique. Concernant les problèmes technologiques, on note, fabrication d'oxydes ultra-minces fiables, les résistances d'accès au niveau de la source et du drain et la fluctuation de dopants dans les canaux ultra-courts [9].

En effet, en catégorie physique nous avons principalement les effets électrostatiques. Parmi ses effets parasites rencontrés, nous notons l'apparition des effets de canal court. Ce phénomène, comme son nom l'indique, est une conséquence directe de la réduction de la longueur du canal.

En effet, dans les transistors à canal long, les équipotentiels sont parallèles à la grille de sorte que le canal est confiné de façon efficace à l'interface, figure (1.14.a). Quand la longueur de grille décroît, la distribution du potentiel est modifiée, [10]. Les équipotentiels se déforment en direction du substrat de sorte que le canal n'est plus contrôlé uniquement par la grille. L'effet SCE augmente le potentiel dans le canal et par conséquent la barrière vue par les électrons de la source s'abaisse, facilitant leur accès dans le drain, figure (1.14.b). Si une forte tension est appliquée au niveau du drain, la zone d'espace autour de cette zone est amplifiée et provoque une réduction supplémentaire de la barrière de potentiel, figure (1.14.c), effet appelé DIBL.

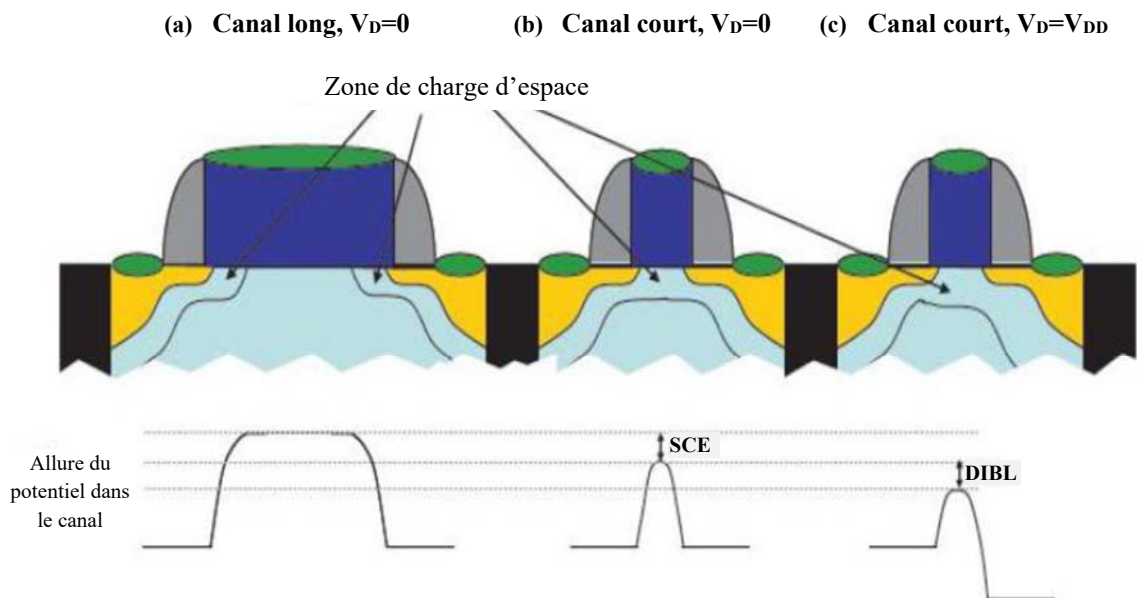


Figure 1.14 : Représentation schématique de l'évolution de la barrière de potentiel dans les transistors, (a) canal long et faible V_D , (b) canal court et faible V_D , (c) canal court et fort V_D .

Les effets de canal court SCE et DIBL font que les porteurs passent plus facilement de la source au drain. Il s'en suit une baisse de la tension de seuil V_{TH} , et une dégradation généralisée des paramètres sous le seuil (une augmentation du courant de fuite I_{off} et la pente sous le seuil SS), figure (1.15).

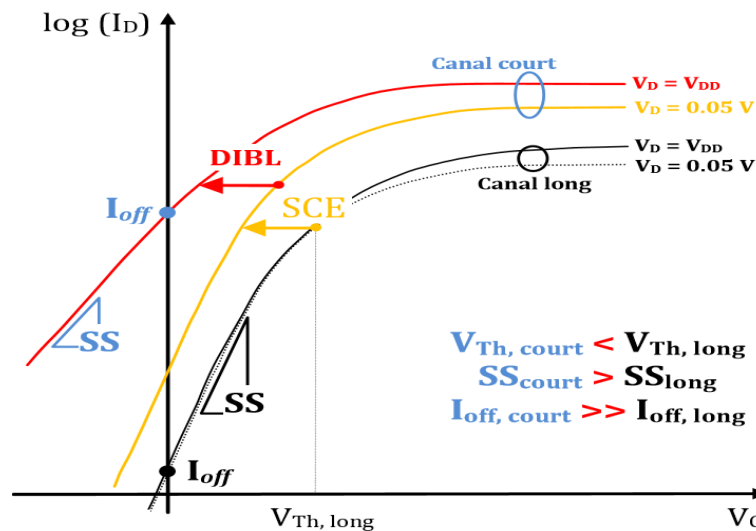


Figure 1.15 : Schématisation de la caractéristique $I_D(V_G)$ d'un MOSFET, présentant la dégradation des paramètres sous le seuil due aux effets de canal court SCE et DIBL.

Les problèmes soulignés, nous montrent qu'il est difficile de préserver la structure MOSFET dans son architecture classique pour les futures générations de composants. L'industrie des semiconducteurs et les recherches académiques guidés par l'ITRS (International Technology Roadmap for Semiconductors) [11], doivent s'orienter vers de nouvelles solutions, en envisageant l'utilisation de matériaux innovants dans cette structure comme les semiconducteurs à forte mobilité et les diélectriques de grille à haute permittivité.

1.3.4 Structure MOSFET à base de matériaux innovants :

Pour s'affranchir aux différents problèmes dus à la miniaturisation des dispositifs, la poursuite de l'intégration de nouveaux composants peut être faite par l'introduction de nouveaux matériaux pour l'amélioration des performances des transistors.

1.3.4.1 Incorporation de l'oxyde de haute permittivité « high-k » :

L'arrivée de la technologie grille high-k constitue une grande évolution du monde des transistors. Cette découverte repose sur le remplacement de la couche en dioxyde de silicium par un diélectrique de forte permittivité appelé "high-k" combinée au métal de grille, [12]. La composante (grille + oxyde de grille) est un élément essentiel dans le fonctionnement du transistor MOSFET car elle permet de

contrôler avec efficacité le courant traversant le canal d'où le rôle principal d'un transistor.

Cependant, avec la miniaturisation des composants et la réduction physique de l'épaisseur d'oxyde, de nombreux problèmes apparaissent. La solution proposée pour contrer ces problèmes est l'utilisation de matériaux à forte permittivité ($\epsilon_{high-k} > \epsilon_{SiO_2}$), [13]. En effet, grâce à une permittivité plus élevée que dans le SiO₂, ils permettent de relaxer les contraintes sur l'amincissement de l'oxyde de grille, ce qui fait augmenter l'épaisseur physique de l'empilement de grille d'un facteur $\epsilon_{high-k}/9$ tout en maintenant la même capacité d'oxyde donc l'efficacité du système, figure (1.16).

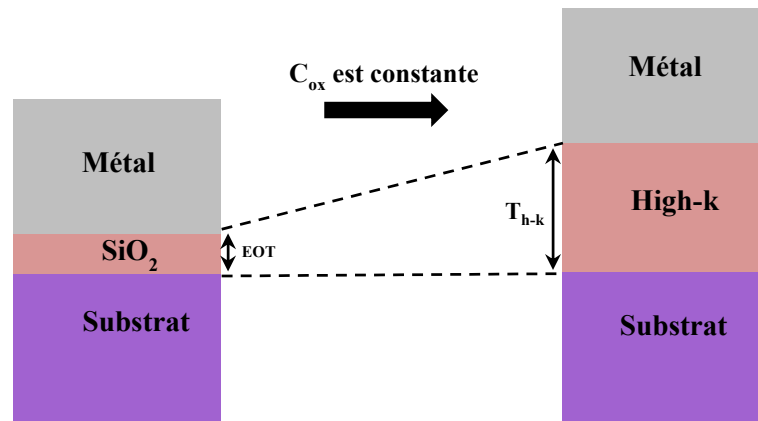


Figure 1.16 : Schéma de l'intégration d'un matériau high-k dans l'empilement de grille MOSFET.

Ainsi, il est convenu de faire appel à la notion d'épaisseur équivalente d'oxyde EOT (Equivalent Oxide Thickness), qui correspond à l'épaisseur de SiO₂ équivalente nécessaire pour obtenir une valeur de capacité égale à celle d'un matériau de constante diélectrique ϵ_{high-k} et d'épaisseur physique T_{high-k} , elle est exprimée par :

$$EOT = T_{high-k} \frac{\epsilon_{SiO_2}}{\epsilon_{high-k}} \quad (1.19)$$

De nombreux diélectriques high-k sont envisagés pour le remplacement du SiO₂, tableau (1.2), parmi qui se trouvent au premier rang comme (HfO₂, ZrO₂, TiO₂, Al₂O₃), respectent certaines conditions, [14].

1.3.4.2 Transistor MOSFET à base de semiconducteur à forte mobilité :

L'utilisation de matériaux à forte mobilité dans les transistors MOSFET permet d'améliorer les conditions de transport dans le canal de conduction, c'est-à-dire les performances du composant.

Avec l'émergence des diélectriques de grille high-k, un changement radical des matériaux de la partie active du transistor MOSFET est envisagé en introduisant des matériaux à forte mobilité comme les semiconducteurs III-V, [15]. De part, ces matériaux ont été choisis comme couche active compte tenu de leurs propriétés intrinsèques d'où une faible masse effective donc mobilité meilleure et courant de drain plus fort. De plus, ces matériaux ont des champs critiques plus faibles ce qui permet d'atteindre la saturation avec une tension de drain faible. Donc, les transistors n-MOSFET à base de ses matériaux peuvent être utiles pour atteindre les prévisions des futurs nœuds technologiques pour les applications CMOS hautes performances [16].

Tableau 1.5 : Principales caractéristiques du silicium et de matériaux III-V [15]

	Si	GaAs	InGaAs	InAs	InSb
Energie de bande interdite E_g (eV)	1.12	1.42	0.74	0.354	0.18
Masse effective des électrons m^*	0.19	0.063	0.041	0.023	0.014
Mobilité des électrons μ_e (cm ² /V.s)	1400	9200	12000	40000	78000
Vitesse de saturation des électrons ($\times 10^7$ cm/s)	1	2	2.7	3	5

L'avantage d'utiliser un semiconducteur III-V, qui portent une mobilité électronique plusieurs fois élevée par rapport au silicium, Tableau (1.5), fut également prouvé assez tôt par la fabrication du premier transistor en GaAs avec un oxyde de grille en SiO₂, [17]. Cependant, l'un des principaux freins à l'élaboration des MOSFET à base des III-V reste la grande difficulté à créer un empilement de grille optimal avec les bons matériaux afin d'empêcher des instabilités de fonctionnement, [18]. Malgré ça, la filière des semiconducteurs III-V peut être sérieusement envisagée pour améliorer les performances des composants n-MOSFET, [19].

1.4 Conclusion :

Dans ce premier chapitre, nous avons fait une étude théorique de la structure MOSFET. Elle nous a permis dans un premier temps de rappeler les différents matériaux qui constituent la structure MOSFET, puis de présenter les principales notions de bases des semiconducteurs.

Nous avons ensuite fait une analyse sur le fonctionnement de la structure MOSFET, commençant par une définition sur les 2 types du transistor MOSFET et une présentation des différentes parties de sa structure. Une étude du principe de fonctionnement du transistor MOSFET avec l'explication des différents régimes de son empilement vertical (Métal-Oxyde-Semiconducteur). Les caractéristiques $I_D(V_G)$ et $I_D(V_D)$ avec leurs expressions en régimes de fonctionnement précédemment détaillés ont été déterminées et les principaux paramètres électriques du transistor ont été présentés.

A la fin, nous avons montré les effets de la miniaturisation comme les effets de canal court (SCE, DIBL) qui déstabilisent la tension de seuil et dégradent les paramètres sous le seuil. Ainsi, s'affranchir aux problèmes dus à cette miniaturisation des composants peut être fait par l'introduction de matériaux innovants dans la structure du transistor MOSFET. L'incorporation de l'oxyde de forte permittivité « high-k » dans la grille et l'utilisation de semiconducteurs III-V dans la zone active du transistor ont été expliqués afin d'améliorer les performances du transistor n-MOSFET.

Chapitre 2 Simulation de la structures MOSFET

2.1 Introduction

La simulation numérique est devenue de nos jours un outil d'analyse très puissant, elle détermine avec précision beaucoup de grandeurs physiques difficilement accessibles. Dans ce deuxième chapitre, nous allons effectuer une simulation de la structure MOSFET sous l'environnement de calcul COMSOL. Nous présenterons dans un premier temps le modèle théorique avec ses équations de bases mise en œuvre qui gèrent les phénomènes physiques du transistor MOSFET et qui nous permettent d'extraire les propriétés électriques ainsi que les caractéristique I-V du composant. Ensuite, une application avec les codes développés à l'aide du logiciel utilisé, sur les structures SiO₂/Si-p et high-k/III-V afin d'étudier l'influence des différents paramètres sur leurs performances.

2.2 Modèle théorique :

Notre étude est basée sur une simulation numérique de la structure d'un transistor MOSFET (géométrie à 2 dimensions). Le modèle adéquat à cette étude est le formalisme de Dérive-Diffusion [20]. Il est capable d'opérer dans n'importe quel dispositif à base de semiconducteur. Il est composé d'un ensemble d'équations fondamentales qui relient le potentiel électrostatique et les densités des porteurs dans un domaine de simulation bien déterminé. Ces équations sont principalement : l'équation de Poisson, les équations de continuités et les équations de transport.

2.2.1 Equation de Poisson :

L'équation de Poisson permet de relier la distribution des charges d'espace formé par les charges mobiles et fixes au potentiel électrostatique. Dans notre cas l'étude est bidimensionnelle, donc son expression prend la forme suivante :

$$\nabla_{(x,y)} [\varepsilon_r(x,y) \nabla_{(x,y)}] \psi(x,y) = -\frac{q}{\varepsilon_0} \rho(x,y) \quad (2.1)$$

Avec : ε_0 la permittivité du vide, q est la charge élémentaire de l'électron, ε_r est la permittivité relative du matériau, ψ est le potentiel électrostatique et ρ est la distribution de charge d'espace.

En respectant la condition d'électronneutralité du matériau, le total des charges (libres et fixes) doit être nul est donné par l'équation :

$$\rho(x,y) = p(x,y) + N_D(x,y) - n(x,y) - N_A(x,y) \quad (2.2)$$

Ainsi, les densités totales d'électrons dans la bande de conduction et de trous dans la bande de valence sont données par :

$$n(x) = \int_{E_C(x)}^{E_{Cmax}} N_C(E) f_n(E) dE \quad (2.3)$$

$$p(x) = \int_{E_{vmin}}^{E_v(x)} N_v(E) f_p(E) dE \quad (2.4)$$

$N_C(E)$, $N_v(E)$ sont les densités d'états de la BC (BV) et $f_n(E)$, $f_p(E)$ sont les fonctions de distribution des électrons (trous), [5].

2.2.2 Equations de Continuités :

Les équations de continuité sont issues des approximations de l'équation de transport de Boltzmann (BTE), elles suivent la variation des concentrations de porteurs de charges qui est due soit à la génération externe, la génération-recombinaison interne ou bien aux phénomènes de transport. Pour les électrons et les trous, elles sont définies par les formules suivantes :

$$\frac{\partial n}{\partial t} = \frac{1}{q} \text{div} \vec{J}_n + G_n + R_n \quad (2.5)$$

$$\frac{\partial p}{\partial t} = -\frac{1}{q} \text{div} \vec{J}_p + G_p + R_p \quad (2.6)$$

\vec{J}_n et \vec{J}_p sont les densités de courant pour les électrons et les trous, respectivement. $G_n(R_n)$ et $G_p(R_p)$ sont les taux de génération (recombinaison) des électrons et des trous, respectivement, [21].

Dans un MOSFET, il est nécessaire de résoudre les équations de continuité en même temps que l'équation de Poisson afin d'obtenir une description exhaustive du comportement électrique du dispositif, [22].

2.2.3 Equations de transport :

Dans une structure MOSFET, l'équation de transport explique comment les porteurs de charge (électrons et trous) se déplacent, répondants aux champs électriques et aux gradients de concentration. Elle présente une combinaison des effets de dérive (dus au champ électrique) et de diffusion (dus aux gradients de concentration). Ainsi les densités de courants sont exprimées par les relations suivantes :

$$\vec{J}_n = qn\mu_n\vec{E} + qD_n\vec{\nabla}n \quad (2.7-A)$$

$$\vec{J}_p = qp\mu_p\vec{E} + qD_p\vec{\nabla}p \quad (2.8-A)$$

μ_n et μ_p sont les mobilités des électrons et trous, D_n et D_p sont les coefficients de diffusion des électrons et des trous, respectivement.

Le champ électrique \vec{E} est lié au potentiel électrique ψ par : $\vec{E} = -\vec{\nabla}\psi$. En remplaçant cette dernière dans l'équation (2.7) et (2.8), l'équation de transport devient :

$$\vec{J}_n = -qn\mu_n(\vec{\nabla}\psi) + qD_n\vec{\nabla}n \quad (2.7-B)$$

$$\vec{J}_p = -qp\mu_p(\vec{\nabla}\psi) + qD_p\vec{\nabla}p \quad (2.8-B)$$

On utilise ensemble ces équations de transport avec l'équation de Poisson et les équations de continuité afin d'analyser et de simuler le comportement du MOSFET. Elles offrent la possibilité d'évaluer la répartition des courants et des concentrations de porteurs en fonction du potentiel appliqué donc les caractéristiques du dispositif.

Afin de résoudre ces équations dans une structure MOSFET, on se base sur des techniques numériques, car les solutions analytiques sont souvent complexes ou impossibles à obtenir pour des structures réalistes avec des géométries et des dopages différents. Cette tâche est souvent réalisée en utilisant les simulations TCAD (Technology Computer-Aided Design), qui permettent d'obtenir des résultats sur le comportement électrique du composant en fonction des conditions de fonctionnement.

2.3 Environnement de calcul :

Dans ce travail nous avons choisi de travailler avec le logiciel « COMSOL Multiphysics » à cause de ses avantages. Son environnement contient la plupart des équations physiques, il utilise une interface graphique riche et il porte peu de programmation directe avec une facilité d'utilisation et de manipulation, [23].

Le logiciel COMSOL est principalement un outil de résolution d'équations aux dérivées partielles par les méthodes des éléments finis. Il dispose d'une base de données d'équations permettant de modéliser différents phénomènes physiques comme l'électrostatique, Semiconducteur,...etc.

Dans ses dernières versions, il comporte son propre environnement graphique qui permet à la fois de dessiner des géométries complexes avec l'affichage des résultats en post-traitement. Sa particularité est de coupler différentes Equations aux Dérivées Partielles, de manière à décrire des phénomènes multi physiques.

COMSOL Multiphysics, est une plate-forme qui autorise la modélisation et la simulation des phénomènes physiques à l'aide de méthodes numériques avancées. Il comprend plus de 30 modules complémentaires qui offrent des interfaces et des outils spécialisés dans plusieurs domaines.

Le module « Semi-conducteur » permet de modéliser et simuler les différents composants semi-conducteur et d'intégrer facilement des effets physiques correspondants. Vous pouvez manipuler, introduire les paramètres des équations du modèle utilisé à tout moment et être entièrement libre de préciser les effets non prédéfinis dans le module.

Dans notre étude, la simulation de la structure MOSFET a été développée en suivant ces étapes :

- ❖ Choix de la dimension : nous avons choisi une étude bidimensionnelle (2D) qui convient au fonctionnement du transistor MOSFET.
- ❖ Choix des modules physiques : on a choisi le module Semiconducteur, qui contient les modèles qui nous ont permis de suivre le comportement électrostatique et transport à travers la structure du MOSFET.

- ❖ Choix du type d'étude : Stationnaire, pour suivre le régime stationnaire de fonctionnement dans le transistor.
- ❖ Construction de la géométrie : notre géométrie est considérée comme plane (2D) contenant plusieurs régions : région grille (métal, oxyde), région canal, région bulk et région drain-source.
- ❖ Choix des matériaux : métal en précisant son travail de sortie, comme oxyde (SiO_2 - High-k) et comme semiconducteur (Si - III-V).
- ❖ Paramétrage et calcul du maillage : En suivant la géométrie, nous avons choisi un maillage non linéaire avec un pas de discrétisation qui dépend des régions importantes comme : région d'interface ox/sc et région canal/ Drain (Source).
- ❖ Représentation graphique : après toutes ces étapes, le code développé nous a permis d'extraire à travers l'interface de représentation graphique : le potentiel, le champ, les concentrations des électrons et trous, à travers toute la structure (2D). La structure de bande à travers la grille pour les différents régimes de fonctionnement ainsi que les caractéristiques I-V du transistor en fonction des paramètres.

2.4 Résultats de la simulation :

2.4.1 Structure MOSFET à base SiO₂/Si-p :

La structure MOSFET simulée est composée d'une grille en Métal avec un travail de sortie ϕ_M , le substrat est en silicium dopé p (p-Si) avec une concentration d'accepteur N_A et l'isolant est un oxyde de silicium (SiO₂) avec une épaisseur T_{ox} , les zones source et drain sont en silicium dopé n fort (Si_{n+}) avec une concentration donneurs N_D , la longueur de grille est L_G , figure (2.1).

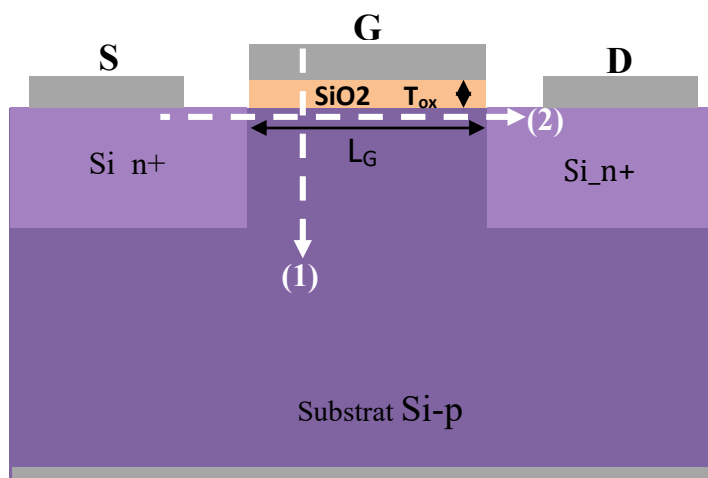


Figure 2.1 : Schéma d'une structure MOSFET à base Si/SiO₂ (1 : Partie électrostatique, 2 : Partie transport)

Les différents paramètres utilisés dans la simulation pour cette structure sont donnés dans le tableau (2.1) :

Tableau 2.1 : Paramètres utilisés dans la simulation, Structure 1. [23].

Paramètre	Valeur du paramètre
Travail de sortie du Métal ϕ_M (e.V)	4.08
Affinité électronique de l'oxyde χ_{SiO_2} (e.V)	0.9
Permittivité relative de l'oxyde ϵ_{SiO_2}	3.9
Épaisseur de l'oxyde T_{SiO_2} (m)	3×10^{-8}
Gap du SC E_{gSi} (e.V)	1.12
Affinité électronique du SC χ_{Si} (e.V)	4.05
Permittivité relative du SC ϵ_{Si}	11.7
Densité d'état dans la BV, N_{VSi} (m ⁻³)	1.8×10^{25}
Densité d'état dans la BC, N_{CSi} (m ⁻³)	3.2×10^{25}
Concentration des accepteurs N_A (m ⁻³)	10^{23}
Concentration des donneurs N_D (m ⁻³)	10^{25}
Longueur de grille L_G (m)	1.2×10^{-6}

Le programme que nous avons développé à travers l'environnement de calcul Comsol, il nous a permis d'extraire plusieurs grandeurs qui varient dans toute la géométrie de la structure MOSFET. Des graphes en 2D (surface) peuvent être extraits comme : la concentration des électrons, la concentration des trous et le potentiel électrique pour un point de polarisation (V_G, V_D) bien précis, figure (2.2).

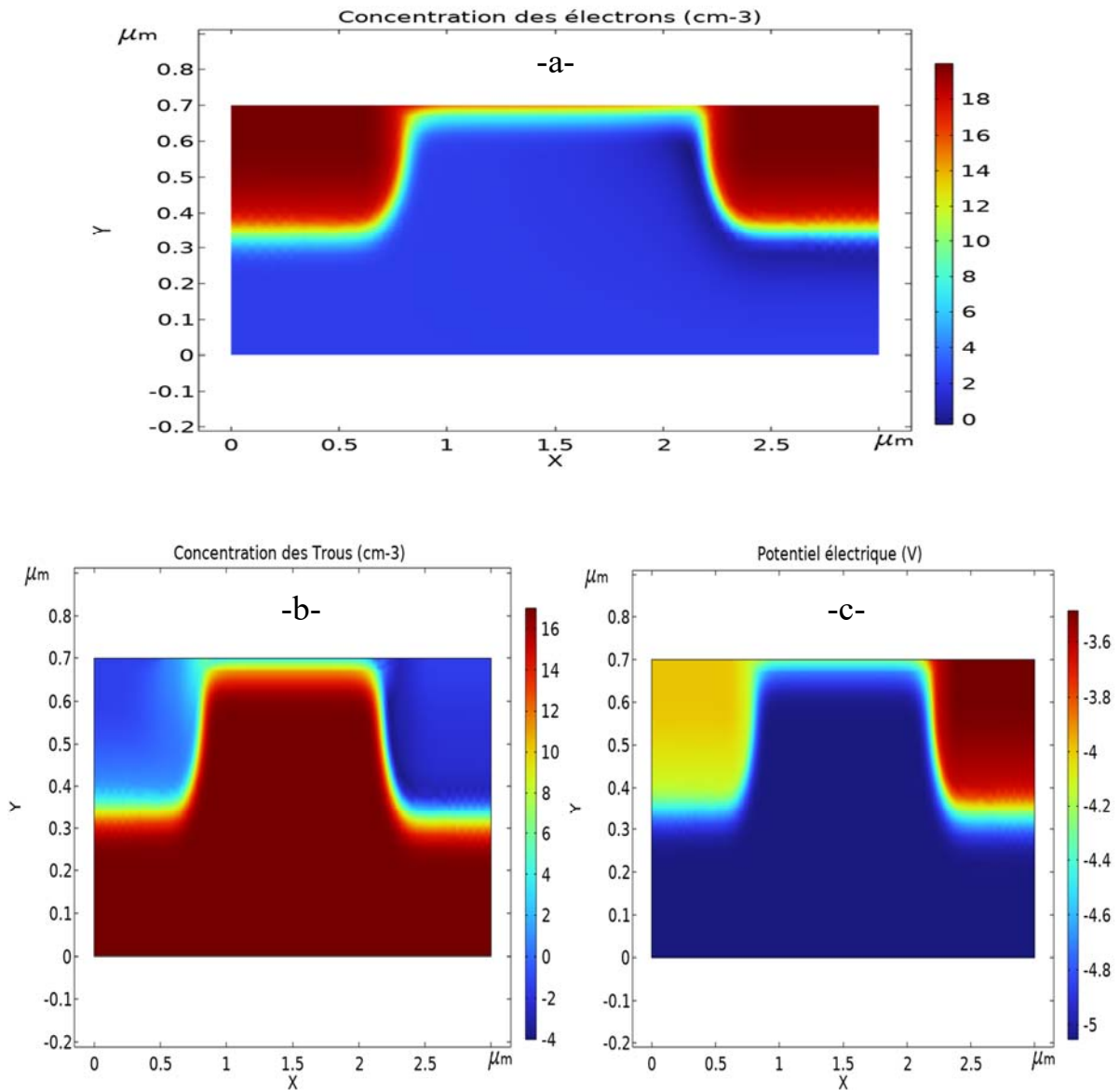


Figure 2.2 : Graphe en 2D (surface) à travers toute la géométrie de la structure MOSFET simulée à $V_G = 1V$ et $V_D = 0.5V$: -a- Concentration des électrons (en échelle logarithmique), -b- concentration des trous (en échelle logarithmique), -c- Potentiel électrique.

- **Partie confinement électrostatique** : notre code de simulation nous a permis de travailler dans cette partie en faisant une analyse sur les différents régimes de fonction de la structure MOSFET simulée.

Avant de simuler cette partie, un calcul théorique basé sur les données du tableau (2.1) et les équations (1.6), (1.8), (1.12) a été fait afin d'évaluer : ϕ_f , V_{FB} et V_{TH} .

Le calcul nous a donné les valeurs suivantes :

$$\phi_f = 0.44 \text{ eV}, \quad V_{FB} = -0.95 \text{ V}, \quad V_{TH} = 1.25 \text{ V}$$

Pour arriver à déterminer les intervalles des différents régimes, nous allons commencer par appliquer une tension $V_G = -0.95\text{V}$ dans le programme de la simulation. L'extraction de la structure de bande à travers l'empilement métal-oxyde-Sc se fait en effectuant une coupe verticale sur le graphe surface dans cette région.

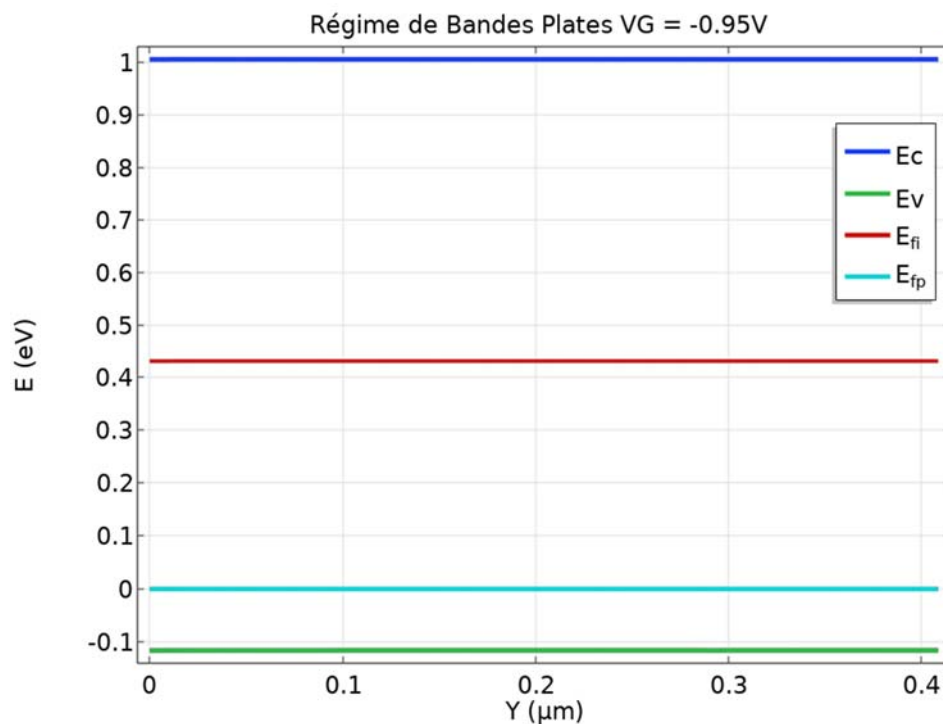


Figure 2.3 : Diagramme de bandes d'énergies dans la région du confinement électrostatique (suivant l'axe Y) à une tension de grille $V_G = -0.95\text{V}$ (régime de bande plates).

D'après la figure (2.3), on remarque que le résultat de la simulation donne la même valeur que celle du calcul théorique, alors l'apparition du régime de bandes plates est à la tension V_{FB} calculée.

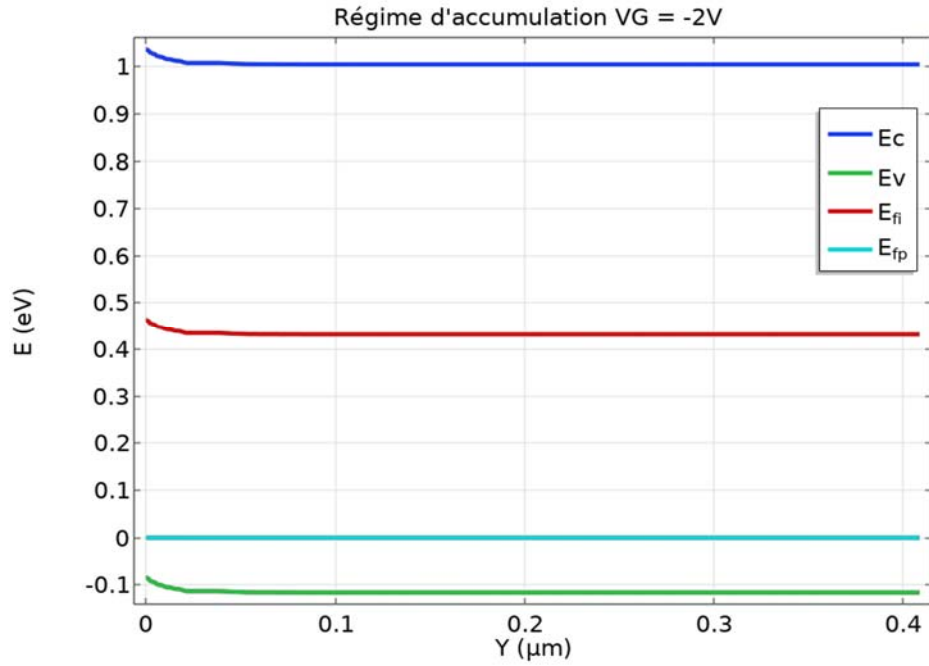


Figure 2.4 : Diagramme de bandes d'énergies dans la région du confinement électrostatique (suivant l'axe Y) à une tension de grille $V_G = -2$ V (régime d'accumulation).

La figure (2.4) représente une courbure des bandes d'énergie vers le haut à $V_G < V_{FB}$, ce qui explique une attraction des trous vers l'interface, donc c'est le régime d'accumulation.

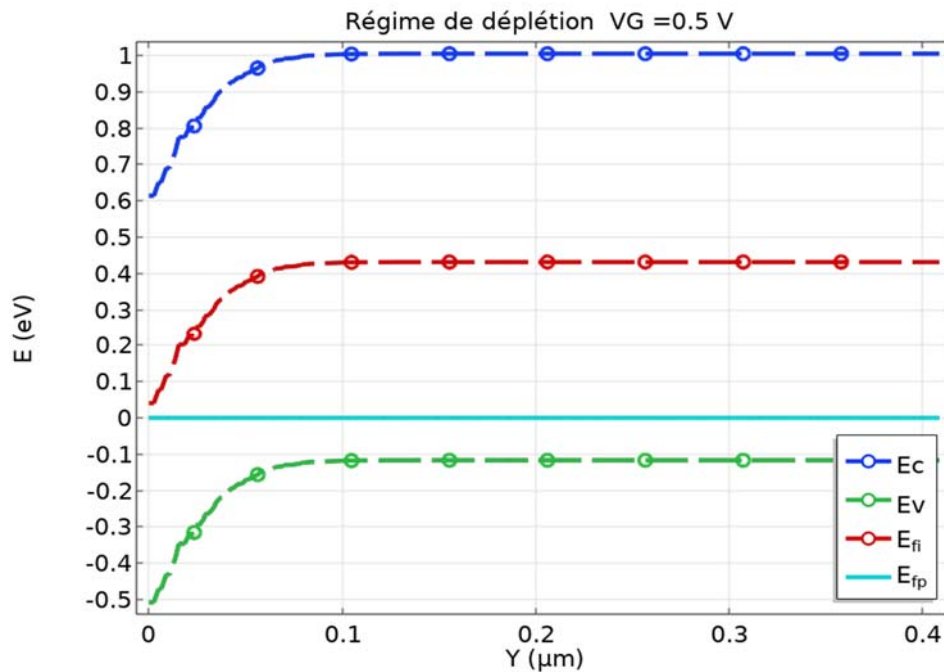


Figure 2.5 : Diagramme de bandes d'énergies dans la région du confinement électrostatique (suivant l'axe Y) à une tension de grille $V_G = 0.5V$ (régime de déplétion).

Quand $V_G > V_{FB}$, la courbure des bandes changent de sens, figure (2.5), ce qui explique l'apparition des charges fixes négatives (N_A^-) qui forme une zone désertée de charges mobiles, donc c'est le régime de déplétion.

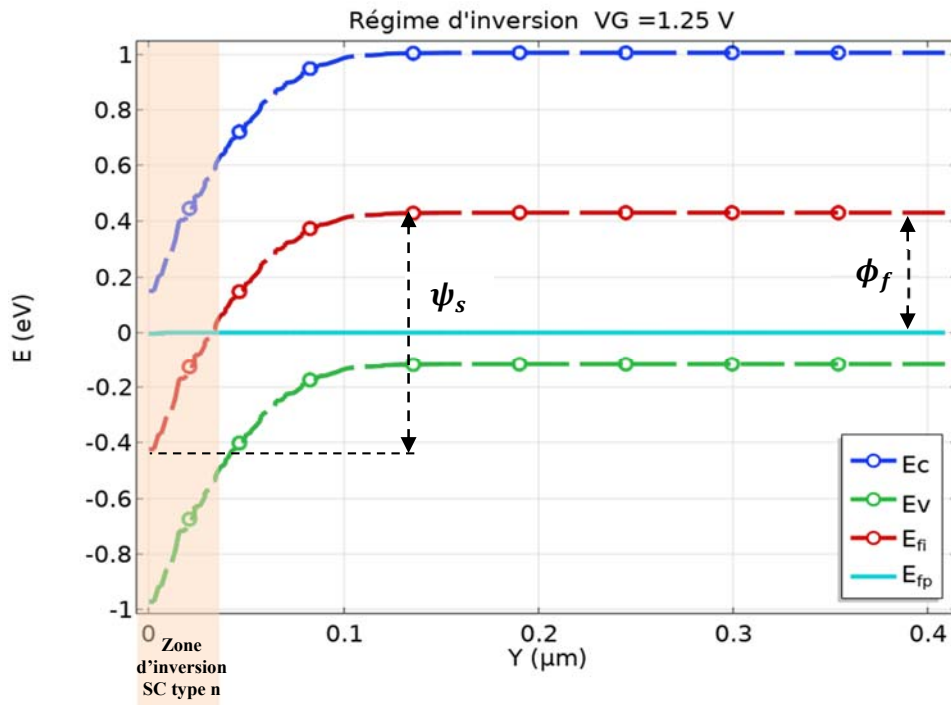


Figure 2.6 : Diagramme de bandes d'énergies dans la région du confinement électrostatique (suivant l'axe Y) à une tension de grille $V_G = 1.25\text{V}$ (régime d'inversion).

Lorsque $V_G \gg V_{FB}$, la courbure des bandes pousse encore plus vers le bas à cause du champ électrique qui augmente, ce qui fait que le potentiel de surface atteint une valeur qui est le double de la différence des niveaux de fermi ($\psi_s = 2 * \phi_f$), figure (2.6). Les valeurs extraites de la simulation sont en parfait accord avec le calcul théorique d'où la tension de seuil du MOSFET est bien évaluée. On remarque aussi que le niveau de fermi intrinsèque passe au-dessous du niveau de fermi du SC(p) en formant une zone d'inversion dans laquelle le semiconducteur devient de type n, donc c'est le régime d'inversion.

Notre code de simulation nous a permis de rassembler tous les régimes de fonctionnement du MOSFET en traçant la variation du potentiel en interface Ox/Sc ψ_s en fonction de la tension de grille, figure (2.7). Ce graphe valide les paramètres électriques calculées analytiquement ce qui aide à différencier les modes de fonctionnement du MOSFET.

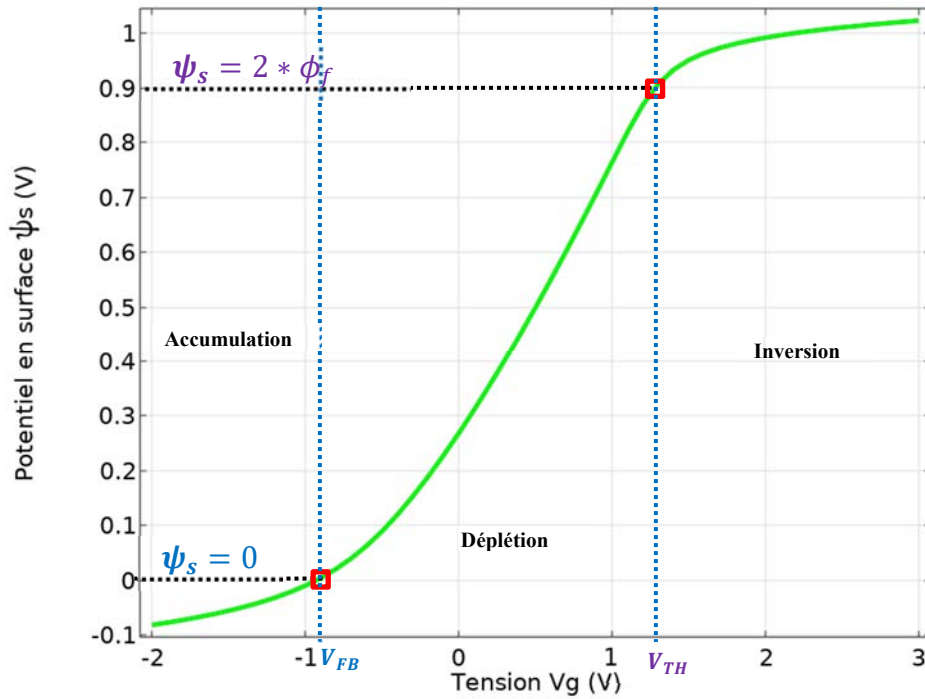


Figure 2.7 : Variation du potentiel de surface (ψ_s) en fonction de la tension de grille (V_g).

- **Partie transport :** cette partie est caractérisée par le passage d'un courant (I_D) de la zone source vers la zone drain en appliquant une tension V_D qui est calibré par la tension de grille V_G .

Le modèle présenté dans le chapitre 1, est intégré dans l'environnement de calcul utilisé et capable de gérer le mécanisme de cette partie, il nous a permis d'extraire les caractéristiques I-V qui peuvent décrire les autres propriétés électriques du MOSFET.

Les caractéristiques I(V) obtenues avec la simulation d'un MOSFET de la structure $\text{SiO}_2/\text{Si}(p)$ qui possède une longueur de grille de $1.2 \mu\text{m}$ et une épaisseur d'oxyde de 30 nm sont données sur la figures (2.8) :

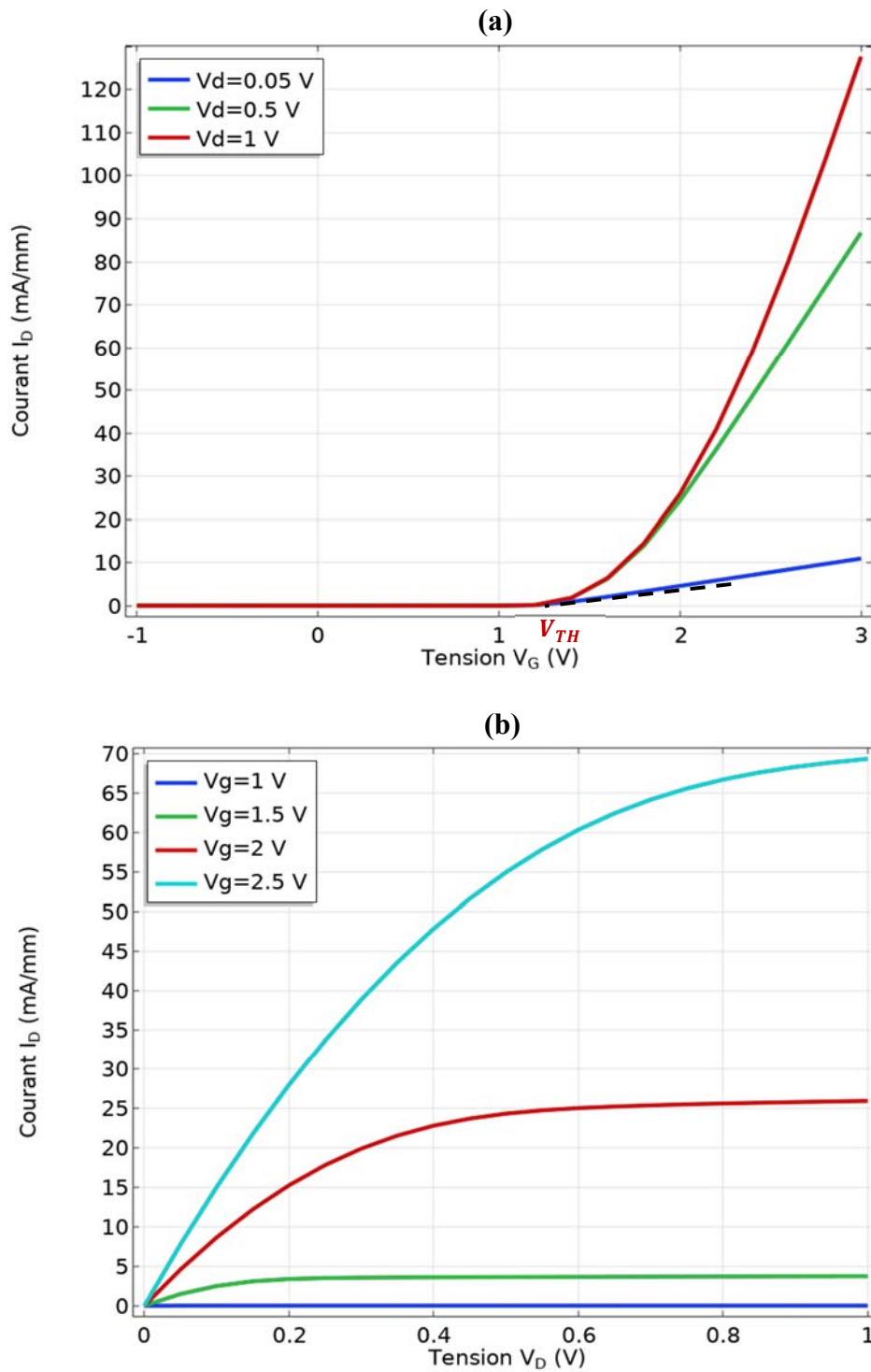


Figure 2.8 : Caractéristique I-V d'un transistor MOSFET SiO_2/Si avec $L_g=1.2\mu\text{m}$ et $T_{\text{ox}}=30\text{nm}$, (a) : Courant de drain en fonction de la tension de grille pour une tension de drain de (0.05,0.5,1). (b) : Courant de drain en fonction de la tension de drain pour différentes valeurs de la tension de grille.

➤ **Effet des paramètres géométriques de la structure MOSFET sur les caractéristiques I.V :**

D'après la figure (2.9), qui représente la caractéristique $I_D(V_G)$ avec une tension de drain 0.5V et l'épaisseur d'oxyde 30nm pour différentes longueurs de grille, on remarque que le courant de drain I_D augmente lorsque la longueur de grille L_g diminue, ce qui prouve le rôle important du « scaling » horizontal.

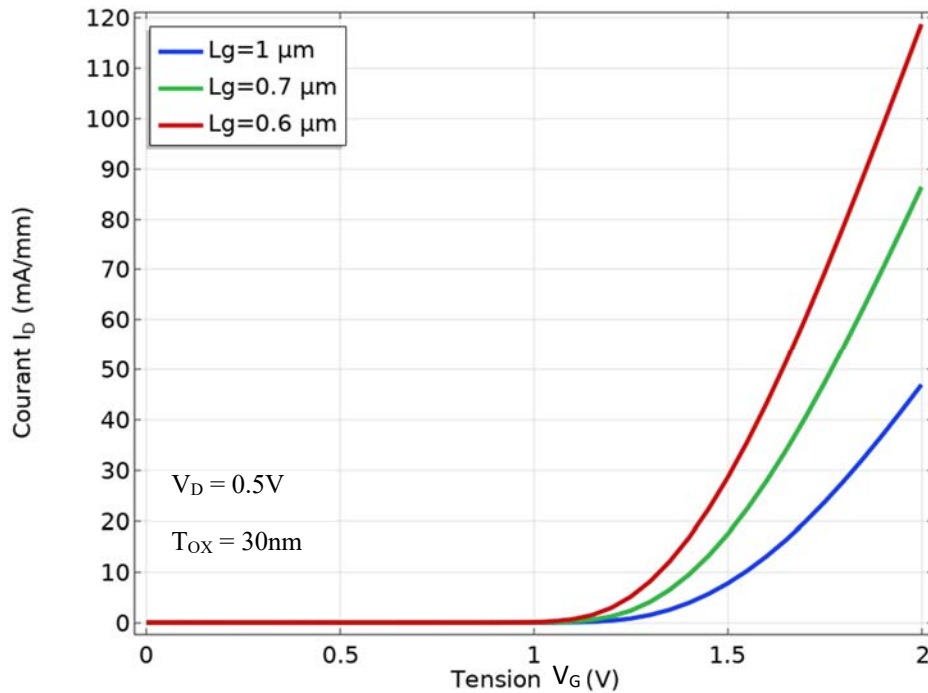


Figure 2.9 : Caractéristique I_D-V_G d'un transistor MOSFET SiO_2/Si avec $V_D=0.5\text{V}$ et $T_{OX}=30\text{nm}$ pour différentes valeurs de la longueur de grille.

Pour arriver à suivre le scaling du transistor MOSFET, la direction verticale doit être au même temps miniaturisée. Le graphe de la figure (2.10-a-) trace la variation du courant I_D en fonction de la tension de la grille V_G à $V_D=0.5\text{V}$ et $L_g=0.6\mu\text{m}$ pour différentes épaisseurs de l'oxyde. On observe que le courant de drain s'améliore avec la diminution de l'épaisseur, mais en contrepartie la tension de seuil diminue ce qui favorise les effets parasites sous le seuil (augmentation de la pente sous le seuil S.S et le courant de fuite I_{OFF}), figure (2.10-b-).

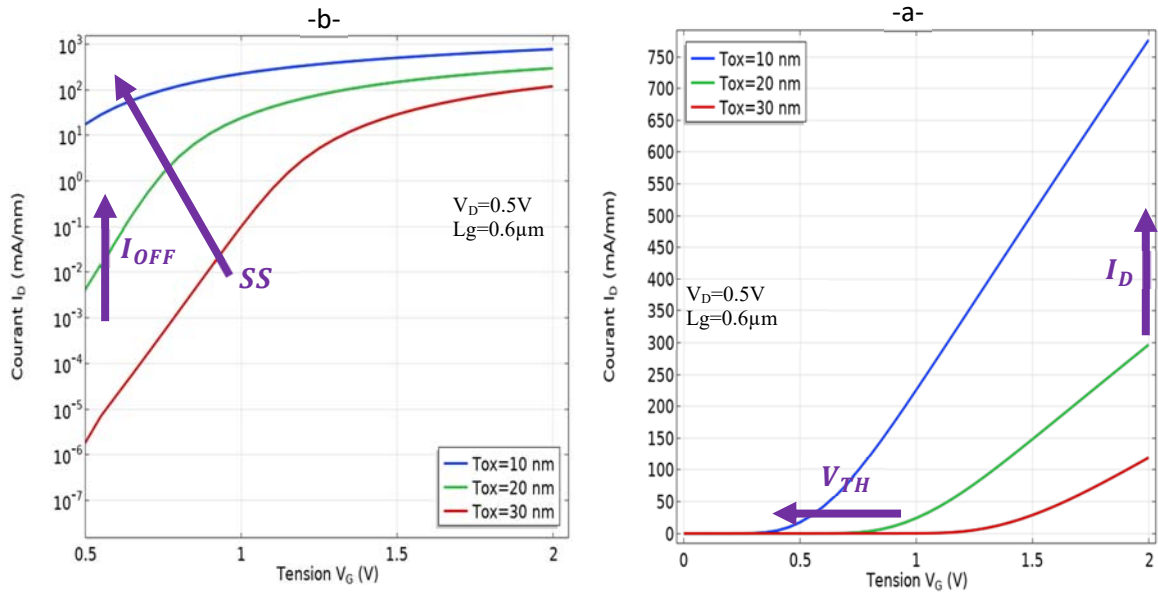


Figure 2.10 : Caractéristique de transfert d'un transistor MOSFET SiO₂/Si avec $V_D=0.5V$ et $L_g=0.6\mu m$ pour différentes valeurs d'épaisseur d'oxyde. (a) : $I_D(V_G)$. (b) : $\text{Log } I_D(V_G)$.

Parmi les solutions proposées pour contrer ces problèmes est le remplacement des matériaux de la structure classique par de nouveaux matériaux (hautes permittivités et fortes mobilités) afin de continuer d'améliorer les performances du transistor.

2.4.2 Structure MOSFET à base high-k/III-V :

La structure MOSFET simulée dans cette partie est composée d'un matériau semiconducteur III-V, nous avons choisi le GaAs (Arséniure de Gallium) dopé p avec une concentration d'accepteur N_A , et un oxyde high-k le HFO₂ (Oxyde d'Hafnium) avec une épaisseur T_{HFO_2} . Les zones source et drain sont en GaAs dopé n fort avec une concentration donneurs N_D , la longueur de grille est L_G , figure (2.11).

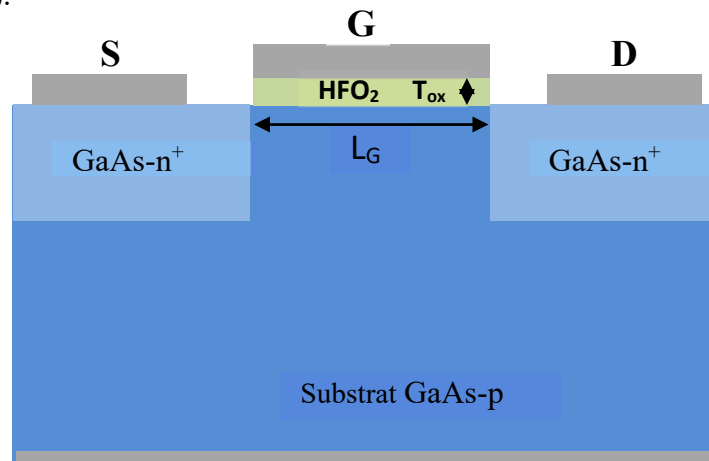


Figure 2.11 : Schéma d'une structure MOSFET à base GaAs/HFO₂

Les différents paramètres utilisés dans la simulation pour cette structure sont donnés dans le tableau (2.2) :

Tableau 2.2 : Paramètres utilisés dans la simulation, Structure 2. [23].

Paramètre	Valeur du paramètre
Travail de sortie du Métal ϕ_M (e.V)	4.1
Affinité électronique de l'oxyde χ_{HfO_2} (e.V)	2.4
Permittivité relative de l'oxyde ϵ_{HfO_2}	20
Épaisseur de l'oxyde T_{HfO_2} (m)	10^{-8}
Gap du SC E_{gGaAs} (e.V)	1.42
Affinité électronique du SC χ_{GaAs} (e.V)	4.07
Permittivité relative du SC ϵ_{GaAs}	12.9
Densité d'état dans la BV, $N_{V_{GaAs}}$ (m^{-3})	0.97×10^{25}
Densité d'état dans la BC, $N_{C_{GaAs}}$ (m^{-3})	0.04×10^{25}
Concentration des accepteurs N_A (m^{-3})	10^{23}
Concentration des donneurs N_D (m^{-3})	10^{26}
Longueur de grille L_G (m)	6×10^{-7}

Les caractéristiques I(V) obtenues avec la simulation d'un MOSFET de la structure HFO₂/GaAs(p) pour une longueur de grille de 0.6 μm et une épaisseur d'oxyde de 10 nm sont données sur la figures (2.12) :

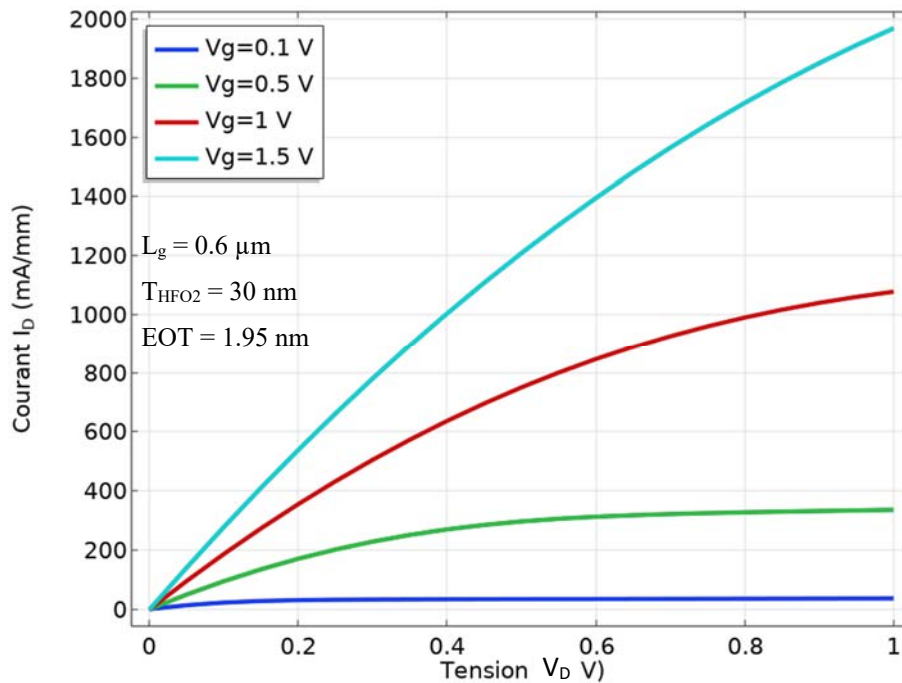


Figure 2.12 : Caractéristique I_D - V_D d'un transistor MOSFET HFO₂/GaAs avec $L_g=0.6\mu m$ et $T_{HFO_2}=10nm$ ($EOT = 1.95 \text{ nm}$), pour différentes valeurs de V_G .

Nous pouvons remarquer que le courant I_D est clairement amélioré en remplaçant le silicium par le GaAs qui possède plus de mobilité donc plus de courant passant de la source vers le drain à travers le canal formé en mode d'inversion. En plus, le remplacement du SiO_2 par HfO_2 à compenser les effets sous le seuil et enrichir le canal de porteurs en mode inversion même avec des tensions de grille plus basses par rapport à la structure classique. Cela revient à sa permittivité qui pourra donner une capacité de grille importante en relâchant le problème de l'épaisseur de l'oxyde (EOT très petite), figure (2.13).

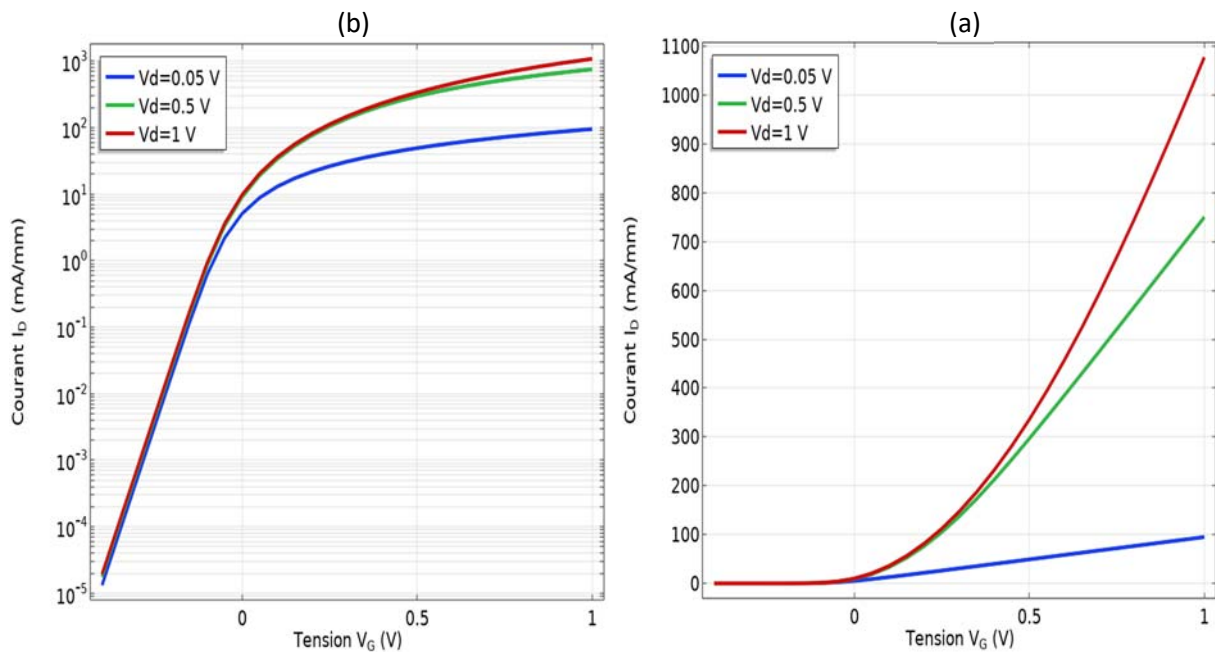


Figure 2.13 : Caractéristique de transfert d'un transistor MOSFET HfO₂/GaAs avec $T_{\text{HfO}_2}=10$ nm (EOT=1.95 nm) et $L_g=0.6\mu\text{m}$ pour différentes valeurs de V_D . (a) : $I_D(V_G)$. (b) : $\text{Log } I_D(V_G)$.

En poussant l'épaisseur de l'oxyde de cette structure à 5 nm, nous allons avoir une épaisseur équivalente qui va être au-dessous de 1nm sans trop d'effet parasite sous le seuil, figure (2.14 (a)-(b)). Dans ces conditions, le transistor pourra fonctionner en basse consommation ($V_G = 0.5\text{V}$ et $V_D = 0.5\text{V}$), ce qui permet de l'utiliser pour des applications dans le domaine de l'intelligence ambiante où les composants doivent avoir une grande autonomie.

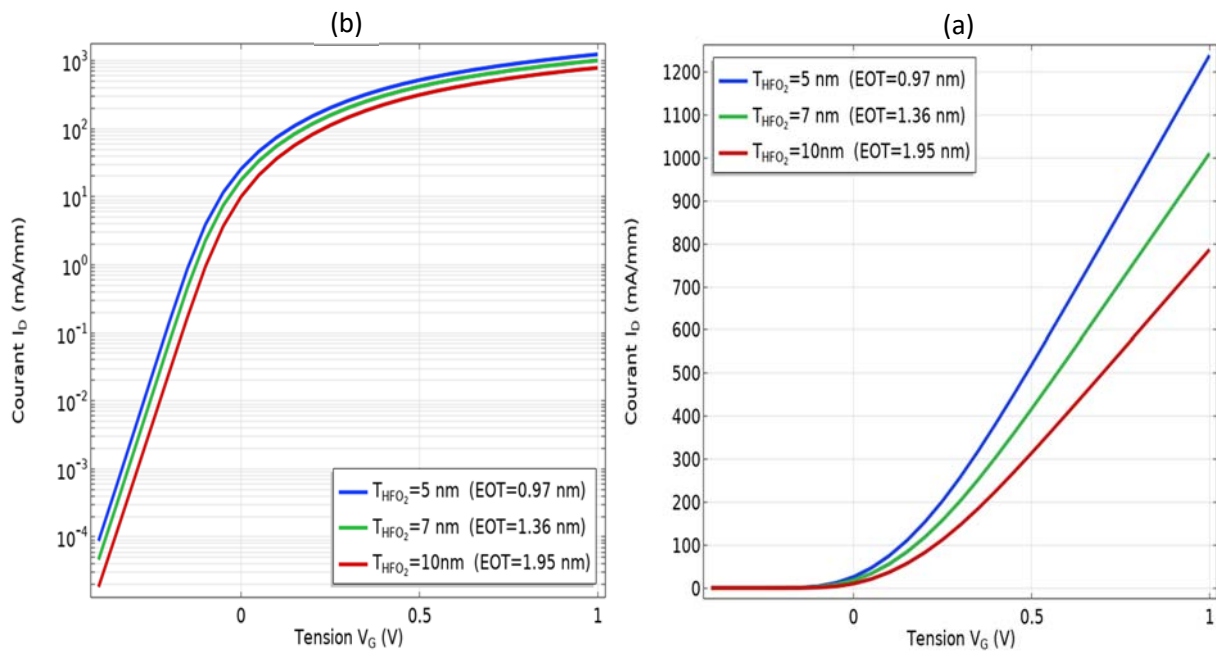


Figure 2.14 : Caractéristique de transfert d'un transistor MOSFET HFO₂/GaAs avec $V_D = 0.5$ V et $L_g = 0.6$ μ m pour différentes valeurs de T_{HFO_2} . (a) : $I_D(V_G)$. (b) : $\text{Log } I_D(V_G)$.

2.5 Conclusion :

Dans ce chapitre, nous avons fait une simulation d'une structure MOSFET sous l'environnement COMSOL. En première partie, nous avons présenté le modèle théorique utilisé qui permet de déterminer les propriétés électriques de la partie électrostatique et la partie transport des structures étudiées. Dans la deuxième partie, à partir du code développé sous cet environnement, nous avons simulé en deux dimensions quelques structures MOSFET. Un calcul préliminaire basé sur des équations théoriques a été fait pour valider et commencer la simulation. Avec la structure MOSFET SiO₂/p-Si, nous avons extrait les différents régimes de fonctionnement à partir de la simulation des structures de bandes d'énergie à travers la région verticale de la grille. En plus, une simulation a été faite suivant la direction horizontale (partie transport). Elle nous a permis d'extraire les caractéristiques I-V du transistor et d'étudier l'effet de ses paramètres. Afin de contrer les effets qui limitent la structure classique, nous avons simulé une structure à base de matériaux innovants (HFO₂/p-GaAs) en montrant ses capacités de lever les performances et d'ouvrir des domaines d'applications importants.

Conclusion générale

La miniaturisation des transistors MOSFET permet d'améliorer les performances, la densité d'intégration et le coût des circuits électroniques. Plusieurs ruptures technologiques concernant l'architecture et les matériaux des transistors doivent s'additionner pour atteindre les dimensions ultimes. L'introduction d'un diélectrique haute permittivité comme isolant de grille à la place du SiO_2 vise à améliorer le contrôle de la grille de commande sur les charges du semiconducteur. Un canal haute mobilité doit permettre d'améliorer le transport des électrons dans la structure afin d'augmenter le courant à l'état passant et repousser les limites de la miniaturisation.

Ainsi, dans ce contexte, le travail effectué dans ce mémoire est une étude et simulation d'une structure MOSFET sous un environnement de calcul numérique afin de l'appliquer avec des matériaux innovants pour montrer leur capacité à franchir les limites de la miniaturisation.

En premier chapitre, nous avons fait d'abord une étude théorique de la structure MOSFET. Elle nous a permis de rappeler les différents matériaux qui constituent la structure MOSFET. Ensuite, une analyse du fonctionnement du transistor MOSFET a été faite, commençant par une présentation des différentes parties de sa structure. Le principe de fonctionnement et les régimes de son empilement vertical (Métal-Oxyde-Semiconducteur) ont été étudiés. Les caractéristiques I-V et les principaux paramètres électriques ont été présentés. A la fin, nous avons montré les limites de la miniaturisation comme les effets de canal court (SCE, DIBL) qui dégradent les paramètres sous le seuil. Ainsi, s'affranchir à ces problèmes peut être fait par l'introduction de matériaux innovants dans la structure du transistor MOSFET.

Dans le deuxième chapitre, nous avons fait une simulation de la structure MOSFET sous l'environnement COMSOL. Au début, nous avons présenté le modèle théorique utilisé dans la partie électrostatique et la partie transport de la structure. Ensuite, à partir du code

développé sous cet environnement, nous avons réalisé une simulation en 2D de quelques structures MOSFET. Commenant par la structure MOSFET SiO₂/Si, nous avons extrait les différents régimes de fonctionnement en simulant la structures de bande d'énergie à travers la direction verticale de la grille. En plus, une simulation en direction de transport a été faite, elle nous a permis d'extraire les caractéristiques I-V du transistor et d'étudier l'effet de ses paramètres. En fin, pour contrer les effets qui limitent la structure classique, nous avons simulé une structure MOSFET à base de matériaux innovants (HFO₂/p-GaAs) en montrant ses capacités de lever les performances et d'ouvrir des domaines d'applications à basse consommation.

Références

- [1]. H. Lilen, “Une brève histoire de l’électronique”, ed. Vuibert, 2003 ISBN 2-7117-5336-0.
- [2]. GORDON Moore “Progress in digital integrated electronics”, International Electron Device Meeting (IEDM) techn. Digest, (1975), 11-13.
- [3]. Renu Rajput, Rakesh Vaid, “flash memory devices with metal floating gate/metal nanocrystals as the charge storage layer: a status review”, *Facta Universitatis electronics and Energetics*, June 2020, vol. 33, No 2, pp. 155-167
- [4]. G. D. Wilk, R. M. Wallace and J. M. Anthony, “H-k gate dielectrics: current status and materials properties considerations”, *J. of Appl. Phys.*, vol. 89, pp. 5243–5255, 2001.
- [5]. Mathieu, H., Fanet, H., “Physique des semiconducteurs et des composants électroniques”, © Dunod, Paris, 6^{ème} édition (2009), ISBN 978-2-10-054134-8
- [6]. SZE, S. M., KWOK, K. NG., “Physics of Semiconductor Device”, © A JOHN WILEY & SONS, INC., PUBLICATION, USA, Third Edition (2007), ISBN 978-0-471-14323-9
- [7]. B. G. Streetman, S. Banerjee, *Solid State Electronic Devices*. Uppersaddleriver: PrenticeHoll, p.558, 2000
- [8]. Baccarani, G., Wordeman, M. R. and Dennard, R. H., “Generalized scaling theory and its application to a ¼ micrometer MOSFET design”, *IEEE Trans. Electron device*, V. 31, n°. 4, (1984), 452 – 462
- [9]. Asenov, A., Brown, A. R., Davies, J. H., Kaya, S. and Slavcheva, G., “Simulation of intrinsic parameter fluctuation in decanometer and nanometer-scale MOSFETs”, *IEEE Trans. Electron Dévices*, V. 50, n° 9, (2003), 1837 – 1852
- [10]. T.Skotnicki et F.Boeuf, EGEM, “chapitre 3, Introduction à la physique du transistor MOS”, édition Hermès, 2003
- [11]. International Technology Roadmap for Semiconductors. Disponible sur internet : <http://www.itrs.net/>
- [12]. L. A. Ragnarsson, S. Severi, L. Trojman et al., “High performing 8 Angstrom EOT HfO₂/TaN low thermal-budget n-channel FETs with solid-phase epitaxially regrown (SPER) junctions”, *VLSI Tech. Dig.*, p.234, 2005

- [13]. Houssa, M. and Heyns, M. M., “High-k Gate Dielectrics”, edited by M. Houssa (IOP Publishing, Bristol, U.K., 2004), Chap. 1.1
- [14]. G.D. Wilk, R. Wallace, J.M. Anthony. “High-k gate dielectrics: current status and materials properties considerations”, *Journal Applied Physics*, Vol.89, pp.5243, 2001
- [15]. <http://www.ioffe.rssi.ru/SVA/NSM/>
- [16]. Chau, R., “Challenges and Opportunities of III-V Nanoelectronics for Future Logic Applications”, in *Proc. 64th Dev. Research Conf.*, (2006), 3 – 4
- [17]. H. Becke, R. Hall, and J. White, “Gallium arsenide MOS transistors”, *Solid-State Electron.*, vol. 8, no. 10, pp. 813-818, 1965
- [18]. Lin, T.D., Chang, P., Wu, Y.D., Chiu, H. C., Kwo, J. et Hong, M., “Achieving very high drain current of 1.23 mA/ μm in a 1- μm -gate-length self-aligned inversion-channel MBE- $\text{Al}_2\text{O}_3/\text{Ga}_2\text{O}_3(\text{Gd}_2\text{O}_3)/\text{In}_{0.75}\text{Ga}_{0.25}\text{As}$ MOSFET”, *Journal of Crystal Growth* 323, (2011), 518 – 521
- [19]. Lee, S., Chobpattana, V., Huang, C-Y., Thibeault, BJ., Mitchell, W., Stemmer, S., Gossard, A.C. and Rodwell, M.J.W., “Record Ion(0.5mA/ μm at VDD=0.5V and Ioff=100nA/ μm) 25 nm-Gate-Length $\text{ZrO}_2/\text{InAs}/\text{InAlAs}$ MOSFETs”, *2014 Symposium on VLSI Technology Digest of Technical*, (2014), 1 – 2
- [20]. S. Selberherr, *Analysis and Simulation of Semiconductor Devices*. Springer-Verlag, 1984
- [21]. Gritsch, M. (2002). *Numerical modeling of silicon-on-insulator MOSFETs* [Dissertation, Technische Universität Wien]. [repositUm. https://doi.org/10.34726/hss.2002.03697025](https://doi.org/10.34726/hss.2002.03697025)
- [22]. A. Flitti, A. Hennad, and N. Benaired, “Résolution numérique de l’équation de dérive-diffusion : traitement d’un problème non-linéaire,” *Rev. Int. Technol. Avancées CDTA*, vol.19, pp. 14–24, 2007
- [23]. COMSOL Multiphysics 5.4 Release Highlights, web : www.comsol.fr/release/5.4
- [24]. <https://www.ioffe.ru/SVA/NSM/Semicond/index.html>