

الجمهورية الجزائرية الديمقراطية الشعبية
République Algérienne démocratique et populaire

وزارة التعليم العالي و البحث العلمي
Ministère de l'enseignement supérieur et de la recherche scientifique

جامعة سعد دحلب البلدية
Université SAAD DAHLAB de BLIDA

كلية التكنولوجيا
Faculté de Technologie

قسم الإلكترونيك
Département d'Électronique



Mémoire de Fin D'étude

Domaine : Science et technologies

Secteur : Electronique

Spécialité : Microélectronique

présenté par

BOURAHLA Sihem

&

SAID ERRAHMANI Loudjaine Chaima

Implémentation d'une unité d'anticollision basée sur le protocole de communication à basse fréquence Tag RFID en CMOS 130nm Skywater

Proposé par : **M. BAKIRI** DOCTEUR AU CDTA

A. BOUNEMRI DOCTEUR UNIV BLIDA

REMERCIEMENTS

Avant tout et toute personne, notre parfaite gratitude et nos remerciements au Bon Dieu qui nous a donné la force, le courage, la volonté et un brin de son savoir pour mener à bien ce modeste travail.

C'est avec une attention particulière que nous souhaitons adresser notre reconnaissance et une grande considération à notre encadreur monsieur Bakiri Mohamed docteur et chercheur au centre de recherche et de technologie avancée à Baba Hacem, pour le temps qu'il nous a consacré à nous apporter les outils aussi bien méthodologiques que scientifiques, indispensables à la conduite de cette recherche et qui a tout autant su nous orienter, nous conseiller, alimenter notre réflexion et surtout a été là dans toutes les conditions auxquelles nous avons été contraintes.

Nous exprimons également nos remerciements à notre Co-promoteur monsieur Bounemri Ammar docteur à l'université de Blida1.

Nos vifs remerciements vont à l'ensemble des enseignants du département de l'électronique, particulièrement à monsieur Aissat Abdelkader, professeur à l'université de Blida1, monsieur Nacer ainsi qu'à toute l'équipe de la microélectronique de l'université de Blida1.

Nous remercions les camarades, les amis de notre section et tous ceux qui ont participé de près ou de loin à ce que cette année, en dépit de tout soit exceptionnelle.

Enfin, nous exprimons notre reconnaissance aux membres du jury pour avoir sacrifié de leur temps et accepter d'examiner ce travail ainsi d'honorer par la présence le jury de soutenance.

DEDICACE

C'est avec grand respect et gratitude que je souhaite exprimer ma reconnaissance et
dédier ce modeste travail à :

Ma maman, lumière de ma vie sans qui je n'aurai jamais abouti quelque part, elle qui a
été là, m'a soutenue, encouragé et grâce à qui je fais mes preuves aujourd'hui.

Sarah et Hadjer mes grandes sœurs celles qui me poussent vers l'avant, me motivent et
en qui je trouve un juste exemple, mes trois petites nièces adorées (Inès, Meis, Nada)
celles qui rayonnent ma vie tous les jours.

Mon cher papa Allah Yerhmou là où il est, qui m'a transmis un peu de son courage pour
aboutir à mes fins, j'espère que quelque part dans l'univers existe une petite fenêtre
d'où il pourra me voir réussir. A ma grand-mère chérie Anissa présente de tout cœur
dans le bon comme dans le mauvais, à Tarek le frère que la vie m'a donné, à mon oncle
Ali, mes Ami(e)s et surtout à ma meilleure amie Zineb qui n'a jamais cessé de croire en
moi et de m'encourager.

Bourahla Sihem.

DEDICACE

Je dédie ce mémoire à ma famille, dont le soutien indéfectible m'a accompagné tout au long de ce parcours. À mes parents : À ma mère, ma vie, mon héros et mon modèle. Ta force, ton amour et ton dévouement m'inspirent chaque jour. Merci d'être le pilier sur lequel je m'appuie et le guide qui éclaire mon chemin. À mon père cher, ton soutien inébranlable, ta sagesse et ton amour m'ont donné la force de poursuivre mes rêves.

Merci pour tout ce que tu as fait pour moi.

À mes sœurs : À ma grande sœur Rayan, qui est bien plus qu'une sœur pour moi, tu es ma deuxième mère et mon soutien inébranlable. Ton amour et ta présence sont des bénédictions qui enrichissent ma vie chaque jour. Merci pour tout ce que tu fais et pour être toujours là et ma petite sœur Manar, la personne la plus proche de moi et mon amie la plus fidèle. Ta présence dans ma vie est un cadeau précieux que je chéris chaque jour. Merci d'être toujours là pour moi avec ton amour et ton soutien inconditionnels. À mon petit frère Mohammed, ta joie de vivre et ton énergie sont une source constante d'inspiration. Merci d'apporter tant de bonheur dans nos vies. À mon cœur, le premier petit-fils de la famille, Baraa, ta naissance a illuminé nos vies et ton sourire est une source constante de bonheur et d'inspiration pour moi.

À mon oncle Bouamra et sa famille, votre soutien et votre amour m'ont donné la force de persévérer. Merci pour votre présence bienveillante et vos encouragements constants. Enfin, je n'oublie pas mes amis : Farah et Meriem qui ont été là à chaque étape, offrant leur soutien, leur amitié et leurs conseils avisés. Votre compagnie a rendu ce voyage bien plus agréable et enrichissant. Merci à tous pour votre amour et votre soutien, sans lesquels ce mémoire n'aurait pas été possible.

Said Errahmani Loudjaine Chaima.

ملخص:

تستخدم بطاقات RFID ذات التردد المنخفض (LF) موجات الراديو بترددات منخفضة للتواصل بين القارئ والعلامة. لكن عند وجود عدة بطاقات RFID في منطقة قارئ واحدة، قد يحدث تداخل لتفادي هذه المشكلة، قمنا بتصميم وحدة مضادة للتصادم تمكن القارئ من التعرف على بطاقة RFID محددة والتواصل معها حتى بوجود عدة بطاقات قريبة. تلخص هذه الأطروحة تنفيذ الخوارزميات المضادة للتصادم باستخدام الشجرة الثنائية على ASIC، باستخدام منصة التصميم مفتوحة المصدر OpenLane و 130nm Skywater. تعتمد الخوارزمية على إرسال الهوية بشكل تدريجي، مما يقلل من عملية البحث.

الكلمات المفتاحية: بطاقات RFID، تردد منخفض، LF، موجات الراديو، تداخل، وحدة مضادة للتصادم، قارئ RFID، ASIC، OpenLane، 130nm Skywater، خوارزمية الشجرة الثنائية.

Résumé :

Les cartes RFID à basse fréquence (LF) sont des technologies de capture automatique de données qui utilisent des ondes radiofréquences à des fréquences basses pour communiquer entre un lecteur et un tag RFID, cette dernière rencontre un problème d'interférences lorsque plusieurs cartes RFID se trouvent dans la zone d'un lecteur RFID. Pour cela nous avons conçu une unité d'anticollision qui garantit que le lecteur peut identifier et communiquer avec une carte RFID spécifique, même en présence de plusieurs cartes à proximité. Cette thèse résume l'implémentation sur ASIC utilisant plateforme de conception OpenSource OpenLane et Skywater 130nm des algorithmes d'arbre binaire pour l'anticollision. Ces derniers, transmettent leurs ID bit par bit, et l'arbre réduit la recherche

Mots clés: Tag RFID, implementation, LF, ASIC, unite d'anticollision, OpenSource, OpenLane, 130nm skywater.

Abstract:

Low-frequency (LF) RFID cards are automatic data capture technologies that use radio frequency waves at low frequencies to communicate between a reader and an RFID tag. The latter encounters an interference problem when several RFID cards are in the area of an RFID reader. We therefore designed an anti-collision unit to ensure that the reader can identify and communicate with a specific RFID card, even when several cards are in the vicinity. This thesis summarizes the implementation on ASICs using the OpenLane and Skywater 130nm open-source design platforms of binary tree algorithms for anti-collision. The latter transmit their IDs bit by bit, and the tree reduces the search to a minimum.

Keywords: RFID tag, implementation, LF, ASIC, anti-collision unit, OpenSource, OpenLane, 130nm skywater.

Liste des abréviations :

Initiale	Termes
ASIC	Application-Specific Integrated Circuits.
PDK	Process design kit.
EDA	Electronic design automation.
RTL	Resgiter transfer level.
GDSII	Graphic data system II.
RFID	Radio Frequency Identification.
CTS	Clock tree synthensis.
PDN	Power distribution network.
DRC	Design rule check.
LVS	Layout vs Schematic.
PPA	Power, Performance and Area.
CSV	Comma-separated Values.
DEF	Design exchange format.
FPGA	Field-Programmable Gate Array.
PnR	placement and routing.
SDC	Synopsys Design Constraints.
STA	Static Timing Analysis.
PA	Pure aloha
SA	Slotted aloha
DFSA	Dynamic framed slotted aloha
TDMA	Time division multiple access

TABLE DES MATIERES :

REMERCIEMENTS	2
DEDICACE	3
RESUME :	5
LISTE DES ABREVIATIONS :	7
TABLE DES MATIERES :	8
LISTE DES FIGURES	10
LISTE DES TABLEAUX	13
INTRODUCTION GENERALE	14
CHAPITRE I : GENERALITE SUR LES CARTES RFID	16
I.1. INTRODUCTION	16
I.2. GENERALITES SUR LES CARTES A PUCE.....	16
I.2.1. Carte à puce avec contact.....	18
I.2.2. Carte à puce sans contact	18
I.2.3. Généralités sur le protocole de communication	22
I.2.4. Les protocoles de communications des RFID LF.....	23
I.3. ANTICOLLISION PROBLÈMES ALOHA / TREE-BASED PROTOCOL.....	26
I.4. CONCEPTION MICROELECTRONIQUE	30
I.4.1. Type de conception des circuits intégrés ASIC.....	31
I.4.2. Notion d'intellectuelle propriété.....	33
I.4.3. Outils et Process technologie de Conception des circuits intégrés :	34

I.5. CONCLUSION	42
REFERENCES.....	43
CHAPITRE II : ANTICOLLISION ARCHITECTURE	45
II.1. Introduction.....	45
II.2. Architecture de l'unité d'anticollision base fréquence	45
II.3. Technologie utilisé Skywater (Bibliothèques de cellule standard dans le processus SkyWater 130nm).....	68
II.4. Conclusion	71
REFERENCES.....	72
CHAPITRE III: SIMULATIONS ET RESULTATS	75
III.1. Introduction.....	75
III.2. Rappel sur l'architecture de l'unité d'anticollision	75
III.3. Environnement de travail	78
III.4. Résultats de conception digitale.....	80
III.5. Résultats de l'implémentation sur ASIC.....	82
III.5.1. SYNTHESE	82
III.5.2. IMPLEMENTATION.....	83
III.5.3. COMPARAISON ET DISCUSSION	87
III.6. Conclusion	89
CONCLUSION GENERALE	90

Liste des Figures

FIGURE I.1. CARTE RFID	19
FIGURE I.2. PRINCIPE DE FONCTIONNEMENT	19
FIGURE I.3. :TAG RFID.....	20
FIGURE I.4. : LECTEUR RFID	20
FIGURE I.5. : PROBLEME D'ANTICOLLISION [20].....	26
FIGURE I.6. : SPACE DIVISION MULTIPLE ACCESS [20]	27
FIGURE I.7. :TIME DIVISION MULTIPLE ACCESS[20].....	28
FIGURE I.8. FREQUENCE DIVISION MULTIPLE [20]	29
FIGURE I.9. CODE DIVISION MULTIPLE ACCESS[20].....	29
FIGURE I.10. CIRCUIT ANALOGIQUE [22]	32
FIGURE I.11. FLOT DE CONCEPTION DIGITALE [24]	32
FIGURE I.12. CONCEPTION MIXTE [25].....	33
FIGURE I.13. : SKYWATER PDK[27]	35
FIGURE I.14. OPENLANE [27]	38
FIGURE I.15. TECHNOLOGIES DE CONCEPTION COMMERCIALES.	39
FIGURE I.16. OPEN SOURCE EDA TOOLS CAN BE USED WITH THE SKY 130 PDK [27].....	40

FIGURE II.1. : MULTI-ACCESS METHODS, TIME DIVISION MULTIPLE ACCESS (TDMA) PROCEDURE.....	46
FIGURE II.2. UN EXEMPLE DE PA	49
FIGURE II.3. SCHEMAS PURE ALOHA	50
FIGURE II.4. UN EXEMPLE DE SA	51
FIGURE II.5. SCHEMAS SLOTTED ALOHA.....	53
FIGURE II.6. SCHEMAS DE DFSA	54
FIGURE II.7. EXEMPLE DE DFSA.....	55
FIGURE II.8. SCHEMAS ARCHITECTURE DFSA	57
FIGURE II.9. SCHEMAS D'IMPLEMENTATION DU DFSA	60
FIGURE II.10. LE SCHEMA DE FLUX DE CONCEPTION D'OPENLANE [9]	63
FIGURE II.11. MOSFET SKY130_FD_SC_HD.....	70
FIGURE III.1. SCHEMAS DU SLOTTED ALOHA.....	76
FIGURE III.2. SCHEMAS DFSA.....	77
FIGURE III.3. PLAN DE TRAVAIL OPENLANE	79
FIGURE III.4. CONFIG JSON DE LA SIMULATION SA.....	79
FIGURE III.5. TEST BENCH DE LA SIMULATION DU CODE VERILOG D'ANTICOLLISION SA.....	80

FIGURE III.6. RESULTATS DE LA SIMULATION DE PLUSIEURS TAGS RFID EN COLLISION.....	81
FIGURE III.7. RÉSULTAT KLAYOUT	83
FIGURE III.8. DÉTAILS KLAYOUT ZOOMÉ	84
FIGURE III.9. RESULTAT OPENROAD DU SA.....	84
FIGURE III.10. RÉSULTATS KLAYOUT	85
FIGURE III.11. RÉSULTAT DU KLAYOUT DFSA.....	86
FIGURE III.12. RÉSULTAT OPEN ROAD DFSA	87

Liste des Tableaux

TABLEAU I.1. LES DIFFERENTS TYPES DE FREQUENCES UTILISEES EN RFID..	21
TABLEAU I.2. NORMES ISO : LA STANDARDISATION DES SYSTEMES RFID.....	24
TABLEAU I.3. ANTICOLLISION ALGORITHMS.....	25
TABLEAU II.1. COMPARAISON DES PROTOCOLES ALOHA	47
TABLEAU II.2. LIBRAIRIE DE LA TECHNOLOGIE SKYWATER	69

Introduction générale

Un des obstacles majeurs pour démarrer une activité dans le domaine des microsystemes est le fait que des technologies particulières et donc coûteuses sont nécessairement requises. D'autre part, alors que les outils de CAO pour la microélectronique ont acquis un degré de maturité élevé, où toutes les séquences de fabrication sont simulées et le fonctionnement d'un composant ou systèmes peut être complètement prévu, l'art de la modélisation et de la conception des microsystemes ne fait que débiter. Le développement de la Microélectronique vers la fin des années 70 a été rendu possible par l'utilisation d'outils CAO et par la mise à disposition de fonderies. Sans apports comparables les technologies de conception ont évolué et l'efabless a mis la technologie de conception opensource à la portée de tous les concepteurs. Le développement de la technologie RFID qui est basée sur l'utilisation de cartes intelligentes qui peuvent communiquer avec des lecteurs RFID pour stocker et récupérer des informations, elles sont utilisées dans de nombreux domaines, tels que la gestion des stocks, la gestion des outils, la gestion des bagages et la traçabilité des produits.

Le présent mémoire de fin d'étude consiste à concevoir et à implémenter une unité d'anticollision utilisant des algorithmes d'arbre binaire afin de résoudre le problème d'interférences entre plusieurs cartes RFID dans la zone de lecture d'un lecteur RFID. La conception de cette unité d'anticollision est réalisée en utilisant la technologie Verilog et est mise en œuvre sur une plateforme ASIC utilisant la technologie Skywater 130nm, ainsi que la plateforme de conception opensource OpenLane.

Nous allons voir dans ce mémoire de fin d'étude en premier lieu dans le chapitre I la présentation de la technologie RFID et son rôle ainsi que les principes de base de la technologie RFID, des différents types de cartes RFID et des protocoles de communication utilisés, par la suite la conception de l'unité d'anticollision basée sur des algorithmes d'arbre binaire pour l'anticollision, ensuite le flow de conception basé sur openlane dans le chapitre II et au final dans le chapitre III nous allons voir les résultats de l'implémentation du bloc d'anticollision et ses étapes .

CHAPITRE I

I.1. Introduction

Les cartes à puce sont aujourd'hui très répandues, avec plus de 5 milliards de cartes en circulation dans le monde. Elles sont utilisées dans de nombreux domaines de notre vie quotidienne telle que les cartes bancaires, cartes nationales d'identité, Passeports électroniques et **cartes d'étudiant** ainsi que les cartes Vitale (echiffa) pour le secteur médical, réalisé avec de nouvelles technologies de conception, dans ce chapitre nous allons se baser sur les cartes à puces et leurs protocole de communication d'un cote, et d'un autre cote nous allons voir la conception microélectronique et son développement et l'évolution de l'open source et les nouvelles technologies.

I.2. Généralités sur les cartes à puce

Une carte à puce est une carte en plastique, en papier ou en carton, mesurant seulement quelques centimètres carrés, inférieure à un millimètre d'épaisseur et contenant au moins un circuit intégré pouvant stocker ou de traiter des informations.[1]

Les circuits intégrés (puce) peuvent inclure des microprocesseurs capables de traiter ces informations, ou ils peuvent être limités à des circuits de mémoire non volatile et à des composants de sécurité (cartes mémoire).[2]

Les cartes à puce sont principalement utilisées pour l'identification personnelle (cartes d'identité, cartes d'immeuble, cartes d'assurance maladie, cartes SIM) ou pour les paiements (cartes bancaires, portefeuilles électroniques) ou pour prouver l'identité des abonnés à des services prépayés (cartes téléphoniques, titres de transport).

Les cartes peuvent contenir un hologramme pour empêcher la contrefaçon. [1]

La lecture à l'aide d'appareils spéciaux peut être effectuée avec ou sans contact avec la puce. Cette dernière est généralement utilisée comme moyen d'identification personnelle, de paiement ou de preuve d'abonnement à des services prépayés. [1]

Les cartes à puce sont fabriquées dans une variété de formats, notamment les cartes de crédit, les badges d'accès, les cartes d'assurance maladie, les cartes SIM, les cartes téléphoniques, les cartes de voyage et les cartes de sécurité informatique.

L'histoire des cartes à puce remonte à 1947.

Des ingénieurs britanniques ont décrit une mémoire portable sur un substrat en bakélite avec des pistes en cuivre qui s'évaporent sous l'influence de courants élevés, créant un effet mémoire [4].

Les Américains Halpern, Castrucci et Ellingbaugh, en particulier, ont joué un rôle déterminant dans l'émergence du stockage portable dans les années 1960 et 1970.

Entre 1974 et 1975, le Français Roland Moreno a développé ce qui deviendra plus tard connu sous le nom de cartes à puce, des dispositifs de mémoire portables dotés de moyens de verrouillage dont la fonctionnalité pouvait être modifiée par une simple reprogrammation [3].

- **Les cartes à puce sont divisées en deux types principaux :**

Les cartes avec contact et les cartes sans contact.

Les cartes avec contact nécessitent une interface physique pour communiquer avec un appareil qui lit la carte, tandis que les cartes sans contact utilisent une technologie de communication sans contact telle que la radiofréquence.

Les cartes à puce sont utilisées dans de nombreux domaines tels que les services bancaires électroniques, l'identification, l'éducation, les communications mobiles, la santé et la sécurité informatique.

Ceux-ci peuvent inclure des composants de sécurité tels que des processeurs cryptographiques pour la génération de clés et le stockage de clés privées.

Des sociétés telles que Gemplus, Axalto, Oberthur Technologies et Giesecke & Devrient sont leaders dans la production de cartes à puce, Gemplus étant numéro un mondial jusqu'à sa fusion avec Axalto en 2006.

La norme ISO 7816 est dédiée à la sécurité des cartes à puce, en particulier la protection contre les attaques agressives telles que le microprobing et la protection des canaux cachés.

I.2.1. Carte à puce avec contact

Les cartes à puce avec contact sont un type de carte à puce qui nécessite une interface physique pour communiquer avec le lecteur, la version plus sophistiquée des cartes à puces est les cartes avec contact. Un microprocesseur est intégré dans la carte. Avec ce véritable « Cerveau », le programme stocké à l'intérieur de la puce peut être exécuté. Elles possèdent des contacts dorés sur la surface de la carte qui permettent le transfert électrique des données , Ce type de carte à puce est très répandu et est utilisé dans de nombreuses applications telles que : Cartes bancaires EMV (Europay, Mastercard, Visa) Cartes d'identité électroniques (eID) Cartes SIM pour téléphones portables Cartes d'accès et de contrôle d'accès Cartes de fidélité et portefeuilles électroniques Cartes à puce de contact Cela fonctionne en établissant un contact physique entre la section contact et la section contact du leader.

Cela permet une communication de données sécurisée et fiable.

Certaines cartes à puce à contact peuvent également intégrer des composants de sécurité avancés tels que des processeurs cryptographiques pour les applications nécessitant une authentification forte.

Une des principales caractéristiques d'une carte avec contact est la sécurité. En

Fait, la carte avec contact a été principalement adoptée pour les transactions sécurisées Des données. Si un utilisateur n'a pas réussi à s'authentifier lui-même pour le CPU, les Données conservées sur la carte ne peuvent pas être récupérés. Par conséquent, même si une carte à puce est perdue, les données stockées dans la carte ne seront pas exposées.

Et elles sont faites sous la norme ISO 7816 qui définit les caractéristiques physiques et de sécurité de ce type de carte à puce.

I.2.2. Carte à puce sans contact

Le monde de la logistique et de la gestion de la chaîne d'approvisionnement est en constante évolution, et une technologie clé qui a révolutionné ce secteur est la technologie d'identification par radiofréquence (RFID).

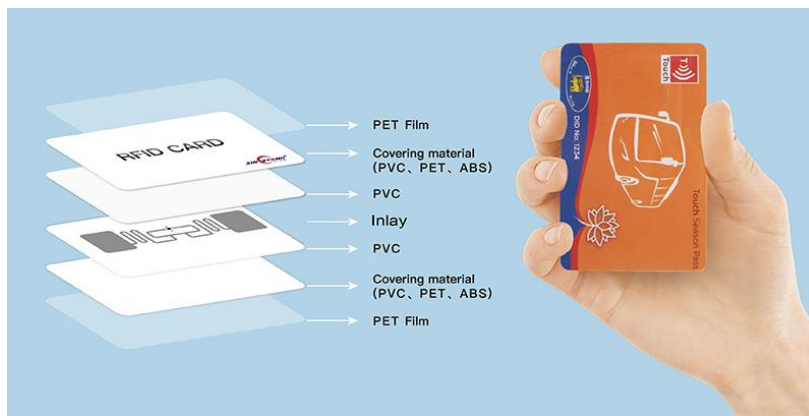


Figure I.1. Carte RFID

Les cartes à puce sans contact sont des dispositifs tels que des cartes bancaires, porte-clés, cartes à puce ou même des téléphones mobiles qui utilisent la technologie de radio-identification (RFID). Elles intègrent une puce et une antenne qui permettent aux utilisateurs d'effectuer des transactions et identifications en approchant simplement la carte du lecteur, sans nécessiter d'insertion physique. Ces cartes permettent des transactions rapides, sans signature ni saisie de code confidentiel.

Avec l'utilisation des fréquences radio, la carte à puce sans contact peut transmettre les données des utilisateurs à partir d'une distance assez longue dans un délai d'activation courts. Les cartes à puce sans contact utilisent une technologie qui permet aux lecteurs de cartes de fournir la puissance pour les transactions et les communications sans contact physique avec les cartes.

Habituellement un signal électromagnétique est utilisé pour la communication entre la Carte et le lecteur. La puissance nécessaire au fonctionnement de la puce sur la carte pourrait être soit fournie par la batterie intégrée à la carte ou transmis à des fréquences Micro-ondes à partir du lecteur sur la carte.

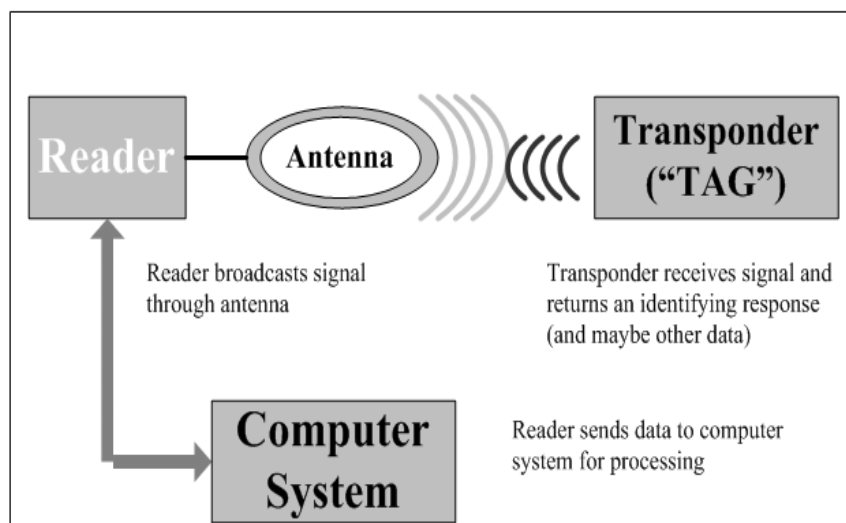


Figure I.2. Principe de fonctionnement

Les composantes du système RFID sont comme suit :

1. Les tags :

Le tag est une étiquette numérique, également connue sous le nom de transpondeur (Transmetteur-répondeur) ou marqueur. En général, il est inclus dans un boîtier en plastique pour les applications réutilisables, tandis que pour les envois de suivi, il peut également être inclus dans une étiquette d'un emballage dit « intelligent ». Le transpondeur est constitué d'une antenne et d'une puce électronique capable de répondre aux demandes provenant d'un émetteur-récepteur.



Figure I.3. :Tag RFID

2. Les lecteurs :

Les lecteurs, qu'ils soient mobiles ou fixes, sont des dispositifs composés d'un circuit qui émet une énergie sous forme de champ magnétique ou d'onde radio. Le lecteur RFID et l'étiquette peuvent communiquer grâce à chaque antenne RFID qui est intégrée dans chacun des deux éléments. Dès que le tag se trouve à une distance adéquate, cette communication débute en fonction des caractéristiques habituelles des systèmes telles que la puissance ou la fréquence de fonctionnement.



Figure I.4. : Lecteur RFID

Cette technologie se décline en trois versions :

- La RFID passive
- La RFID semi-passive
- La RFID active

La **RFID passive** fonctionne en **lecture seule** puisque la puce ne possède pas de batterie et doit être déplacé vers le lecteur pour être lu. Un puissant signal électromagnétique lui est alors envoyé, ce qui permet d'activer la puce RFID et de lire les informations qu'elle contient. En revanche, la **RFID active** fonctionne avec **une source d'énergie** telle qu'une petite pile ou une batterie, ce qui permet de **lire la carte à plus longue distance**. Cette technique est principalement utilisée pour la **traçabilité de personnes**, de véhicules ou encore pour la **traçabilité logistique**.

Tout comme la RFID active, la **RFID semi-passive** est alimenté par une source d'énergie. Cependant, la batterie alimente la puce RFID à des intervalles de temps réguliers. Celle-ci n'envoie pas de signal. Cette technologie s'avère utile pour la **traçabilité alimentaire** notamment pour enregistrer les changements de température durant le transport. La carte RFID a basse fréquence possède une longueur d'onde de 125 – 134 KHz, une distance de lecture très courte, un seul identifiant UID de 7 à 14 caractères et répands aux normes ISO 14223, ISO/IEC 18000-2 et ISO 11784 HDX/FDX.

Type de fréquence	Fréquence de fonctionnement	Distance de lecture (m)	Taux de transfert	Technologies	Normes
Basse fréquence	< 135 kHz	0,5	1 kb/s	EM4102/4200, EM4450/4550, TEMIC AT5567/AT5577, Hitag 1, Hitag 2, Hitag S2048	ISO 142231 ISO 18000-2
Haute fréquence	13,56 MHz	1	25 kb/s	Mifare Classic 1k / 4k, Mifare Ultralight, Mifare DESfire EV1 / EV2, NTAG ..	ISO 14443 ISO 15693 ISO 18000-3
Très haute fréquence	863 à 915 MHz	3 à 6	28 kb/s		ISO 18000-6

Tableau I.1. les différents types de fréquences utilisées en RFID

I.2.3. Généralités sur le protocole de communication

La communication entre la carte à puce RFID et un lecteur se réalise par le biais d'ondes radiofréquences. Lorsque la carte à puce RFID se trouve à proximité du lecteur, l'antenne de la carte capte le signal radio émis par le lecteur. Ce signal fournit à la carte l'énergie nécessaire pour communiquer avec le lecteur. La puce électronique de la carte, associée à son antenne, reçoit ce signal et échange des données avec le lecteur. Ce processus permet d'identifier l'objet, l'animal ou la personne portant la carte à puce RFID.

Les normes et protocoles RFID internationaux courants qui définissent cette communication incluent la série ISO/IEC 18000, qui couvre les fréquences de 125 kHz à 2,45 GHz.

ISO/IEC 14443, pour cartes de proximité à 13,56 MHz (RFID HF), distance de lecture jusqu'à 13,56 MHz ISO/IEC 15693, pour lecture longue distance à 13,56 MHz EPC Gen2, pour UHF ISO/IEC 14443 décrit un protocole de communication sans fil au niveau de la couche liaison entre la carte et le lecteur à 13,56 MHz.

Lorsque la carte se trouve dans le champ RF du lecteur, elle est alimentée par induction électromagnétique.

NFC intègre plusieurs normes, dont ISO 14443 et définit deux modes de communication (active et passive) et trois modes de fonctionnement lecteur/enregistreur, émulation de carte et Peer-to-Peer.

Les protocoles RFID standardisés permettent une communication fiable et sécurisée entre les cartes et lecteurs, en définissant les fréquences, distances de lecture et mécanismes d'échange de données.

Pour parvenir à une communication de données sécurisées, fiable et efficace, les étiquettes et les lecteurs RF doivent suivre des protocoles de communication mutuellement convenus. [10]

Si vous ne le faites pas, vous ne pourrez pas comprendre ce que dit l'autre personne, vous ne pourrez pas suivre la conversation et vous ne pourrez pas utiliser les données.

I.2.4. Les protocoles de communications des RFID LF

Un Protocole de communication du lecteur RFID définit les règles et procédures de transmission et de réception des données entre le lecteur et les tags. Il détermine la fréquence de communication, le schéma de codage des données, les mécanismes de détection et de correction des erreurs et le format global du message. Les protocoles de communication diffèrent selon la fréquence choisie. [13]

Pour cette étude nous utilisons le protocole de communication a basses fréquences (<135 Khz).

Le protocole de communication de puce RFID basse fréquence (LF) est utilisé pour les applications nécessitant une distance de lecture courte et une vitesse de lecture plus lente. [12] [14]

Il existe aujourd'hui plusieurs protocoles de communication de lecteurs RFID populaires, notamment mais nous nous intéressons le plus au protocole LF :

- **ISO 18000-2** : est une norme internationale Principalement utilisée pour les applications de cartes à puce, ce protocole fonctionne sur la plage des hautes fréquences et est populaire pour les systèmes de paiement sans contact, les transports publics et le contrôle d'accès sécurisé. [15]
- **ISO 11785** : une norme internationale qui spécifie les caractéristiques des transpondeurs utilisés pour l'identification par radiofréquence (RFID) des animaux. [15]

Cette norme est utilisée en conjonction avec la norme ISO 11784, qui définit la structure du code d'identification stocké dans le transpondeur

- **ISO 14223** : La norme ISO 14223-1 :2011 spécifie l'interface hertzienne entre l'émetteur-récepteur et le transpondeur évolué utilisé pour l'identification des animaux par radiofréquence. Cette norme est une extension de l'ISO 11784 et l'ISO 11785 et décrit la structure de l'interface hertzienne entre l'émetteur- récepteur et le transpondeur évolué. [15]

Protocoles propriétaires : De nombreux fabricants de lecteurs RFID disposent de leurs propres protocoles propriétaires optimisés pour des cas d'utilisation ou des secteurs spécifiques.

Références principales	Intitulé
ISO 11784, ISO 11785, ISO 14223	Identification radiofréquence des animaux
ISO 10536, ISO 14443, ISO 15693	Cartes de proximité - cartes d'identité - carte à circuit intégré sans contact -
ISO 18000	Identification sans contact des articles

Tableau I.2. Normes ISO pour la standardisation des systèmes RFID

Un protocole de communication bien conçu pour les lecteurs RFID offre plusieurs avantages aux systèmes RFID :

Échange de données fiable : les protocoles de communication robustes du garantissent une transmission de données précise et sans erreur, réduisant ainsi le risque de corruption ou de perte de données

Interopérabilité : Le protocole standardisé permet aux lecteurs RFID multifournisseurs de fonctionner ensemble de manière transparente, facilitant ainsi l'intégration et l'interopérabilité dans des environnements multifournisseurs. [16]

Évolutivité : les protocoles évolutifs vous permettent d'étendre votre système RFID sans nécessiter de modifications significatives de votre infrastructure existante, ce qui facilite la réponse aux besoins croissants de votre entreprise.

Sécurité : des mécanismes de sécurité bien définis au sein des protocoles de communication protègent les données sensibles et empêchent tout accès ou manipulation non autorisé. [16]

Optimisation des performances : Les protocoles optimisés améliorent les performances des systèmes RFID, permettant une identification plus rapide des étiquettes, des vitesses de lecture plus rapides et une efficacité opérationnelle accrue

La conception du protocole doit inclure des mécanismes de cryptage et d'authentification pour protéger les informations sensibles.

Le protocole de communication du lecteur RFID est un composant essentiel de tout système RFID, permettant un échange de données transparent entre les lecteurs et les étiquettes. En comprenant les bases, les avantages, les défis et les tendances futures en matière de conception de protocoles, les entreprises peuvent prendre des décisions éclairées et exploiter tout le potentiel de la technologie RFID pour une meilleure gestion des stocks, une optimisation de la chaîne d'approvisionnement et une efficacité opérationnelle accrue. [16]

Les normes RFID jouent un rôle essentiel dans le développement de la RFID, fournissant une véritable force motrice à l'épanouissement de tout l'écosystème RFID.

Si nous voulons parvenir à une communication de données sûre, fiable et efficace, les étiquettes et lecteurs RF doivent respecter les protocoles de communication convenus d'un commun accord. Sinon, ils ne comprendront pas ce que dit l'autre partie et ne pourront pas suivre le rythme les uns avec les autres, rendant ainsi la communication de données impossible. Voici les algorithmes utilisés dans l'anticollision des RFID :

Applicable frequency bands	Anticollision algorithms	International standards of RFID	Complexity
HF	QT/PA/FSA	ISO/IEC 18000-3 MODE1	LOW
	DBSA	ISO 14443-3A	HIGH
	SA	ISO/IEC 18000-3 MODE2	LOW
	DFSA	ISO 14443-3B	MEDIUM
UHF	TS	ISO/IEC 18000-6B EPC GLOBAL CLASS 0 EPC GLOBAL CLASS1	HIGH
	Q/FSA/DFSA	ISO/IEC 18000-6C EPC GLOBAL C1G2	MEDIUM
	BFSA -Muting-early-end	ISO/IEC 18000-6A	HIGH
LF	PA	ISO 18000-2	MEDIUM
	DFSA	ISO 15693/ISO 18000-2	HIGH
	SA	ISO 18000-2	MEDIUM

Tableau I.3. ANTICOLLISION ALGORITHMS

I.3. Anticollision problèmes aloha / tree-based protocol

Le problème d'anticollision est un défi majeur dans les systèmes RFID, où de multiples tags RFID peuvent tenter de communiquer avec un lecteur RFID en même temps, ou plusieurs lecteurs voulant capter un seul tag au même temps, entraînant des collisions qui perturbent la communication. Deux grandes familles de protocoles ont été développées pour résoudre ce problème :

- **Protocoles ALOHA :**

Les protocoles ALOHA sont des protocoles probabilistes où les tags transmettent leurs données de manière aléatoire. Ils sont simples à mettre en œuvre mais peuvent souffrir de collisions fréquentes lorsque le nombre de tags est élevé. [18]

- **Protocoles arborescents (tree-based)**

Les protocoles arborescents sont des protocoles déterministes qui organisent les tags dans une structure arborescente.

Ils permettent d'identifier chaque tag de manière séquentielle en explorant l'arbre.

Ils offrent de meilleures performances que les protocoles ALOHA mais peuvent être plus complexes à mettre en œuvre.

Des variantes comme le protocole ATSA (Assigned Tree Slotted ALOHA) ont été proposées pour combiner les avantages des deux approches. [19]

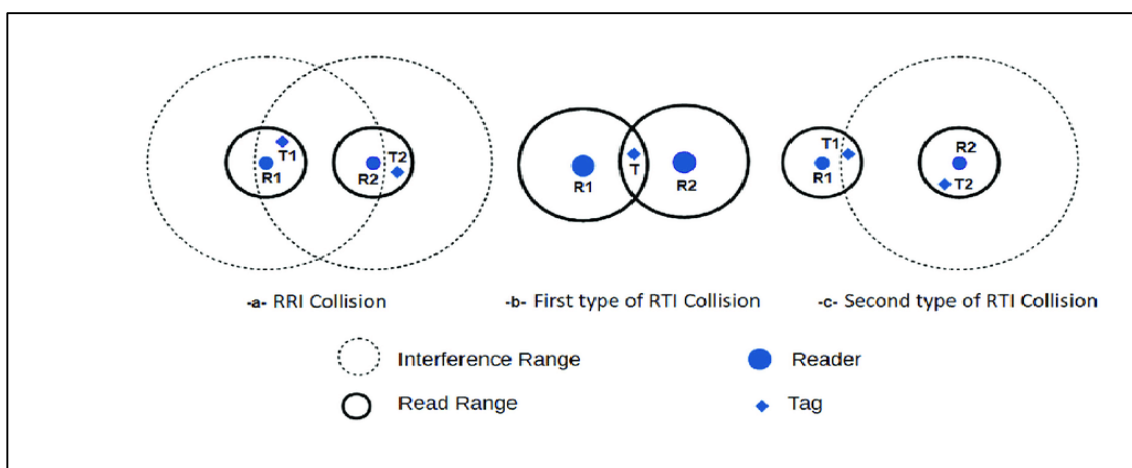


Figure I.5. : problème d'anticollision [20]

Il existe quatre protocoles d'anticollision :

- **SDMA (Space Division Multiple Access) :** L'accès multiple par répartition spatiale concerne la division de la capacité du canal en zones distinctes. Les protocoles basés sur cette méthode peuvent acheminer le paquet vers différentes zones pour la signalisation. Le canal est séparé dans l'espace à l'aide d'antennes directionnelles complexes ou par l'utilisation de plusieurs lecteurs. La capacité du canal des lecteurs voisins est ainsi améliorée. Un grand nombre d'étiquettes peuvent être lues simultanément grâce à la répartition spatiale sur l'ensemble du réseau. Cette méthode est très coûteuse et nécessite une conception d'antenne complexe. L'utilisation de ce type de méthode est limitée à quelques applications spécialisées. [20]

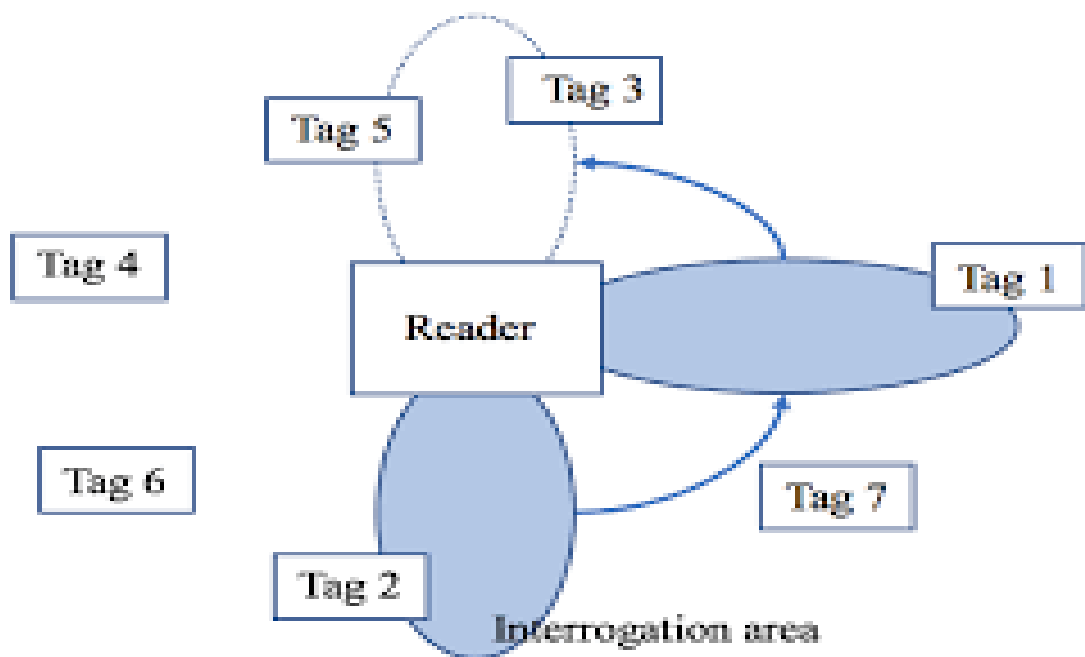


Figure I.6. : Space Division Multiple Access [20]

- **TDMA (Time Division Multiple Access)** : La méthode la plus couramment utilisée parce qu'elle est la moins coûteuse, cette méthode comprend le plus grand nombre d'algorithmes anticollision. Le canal de transmission est divisé entre les participants et garantit que le lecteur peut reconnaître une étiquette à différents moments afin d'éviter toute interférence avec une autre étiquette. La propriété de distribution spatiale des étiquettes n'est pas prise en compte. Le nombre d'étiquettes dans la zone d'interrogation est réduit après chaque réponse positive. Une autre option consiste à mettre en sourdine toutes les étiquettes, à l'exception de l'étiquette émettrice. Les étiquettes sont ensuite activées une par une. [20]

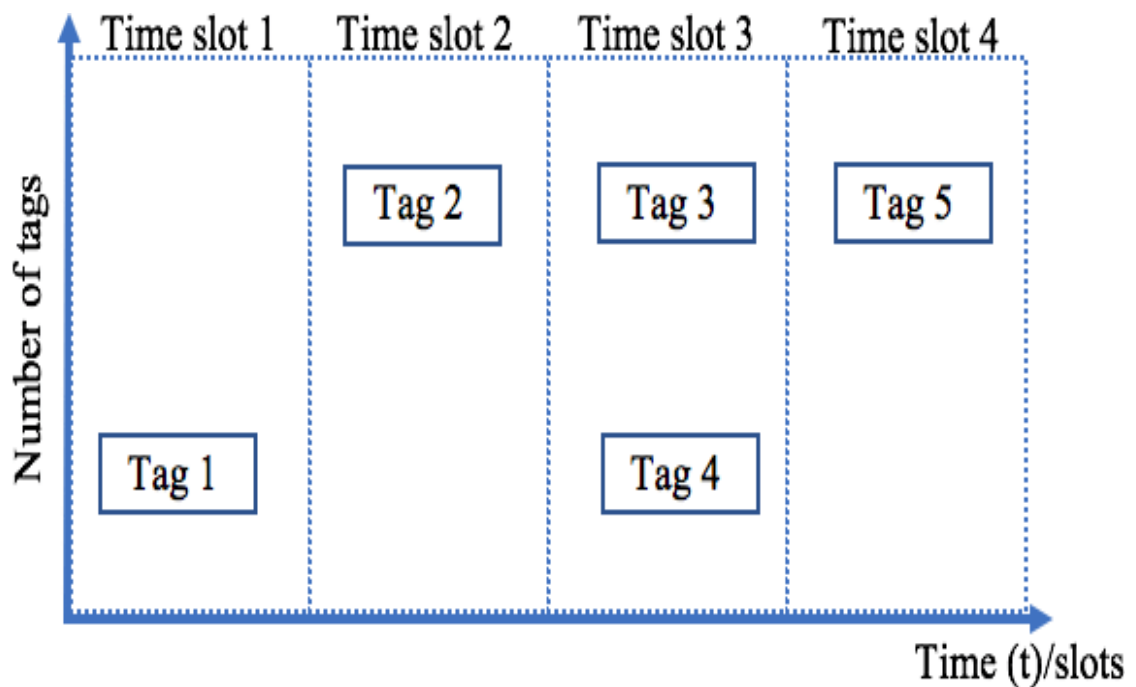


Figure I.7. :Time Division Multiple Access[20]

- **FDMA (Fréquence Division Multiple Access) :** Les étiquettes transmettent dans un ou plusieurs canaux de fréquence différents, ce qui nécessite un récepteur complexe au niveau du lecteur. Par conséquent, différentes gammes de fréquences peuvent être utilisées pour la communication depuis et vers les étiquettes : du lecteur vers les étiquettes, 135 kHz, et des étiquettes vers le lecteur, dans la gamme 433-435 MHz. Toutefois, cette technique est coûteuse et n'est destinée qu'à certaines applications spécifiques. [20]

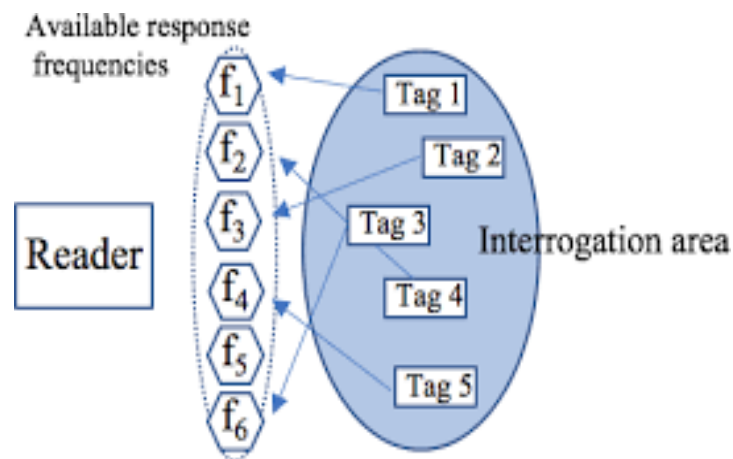


Figure I.8. Fréquence Division Multiple [20]

- **CDMA (Code Division Multiple Access) :**

Nécessite que les étiquettes multiplient leur identifiant par une séquence pseudo-aléatoire avant transmission. Cette méthode est très efficace pour sécuriser les communications et identifier plusieurs étiquettes simultanément. Cependant, elle ajoute une grande complexité et un coût élevé aux étiquettes RFID, tout en consommant beaucoup d'énergie, ce qui la place dans la catégorie des solutions à exigences élevées [20]

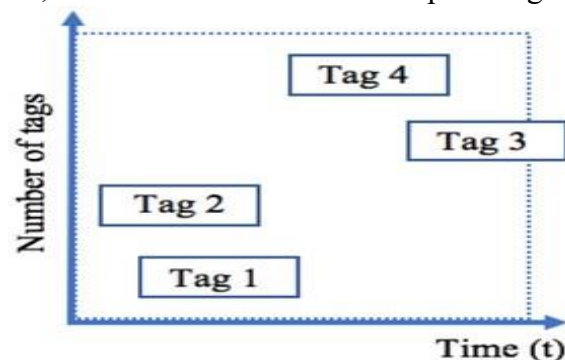


Figure I.9. Code Division Multiple Access [20]

I.4. Conception microélectronique

La microélectronique désigne l'ensemble des technologies de fabrication de composants, qui utilisent des courants électriques pour transmettre, traiter ou stocker des informations, à l'échelle micrométrique. Elle est en grande partie à l'origine des formidables progrès réalisés ces dernières décennies dans les domaines de l'informatique, des télécommunications et de l'imagerie, entre autres. Elle implique la création et le développement de circuits intégrés et de systèmes électroniques à l'échelle microscopique. Ce processus comprend plusieurs étapes clés, telles que la modélisation du circuit, la conception du schéma électrique, la recréation du fonctionnement du circuit, la synthèse logique, l'analyse de timing, la vérification du circuit, et enfin la création du circuit intégré sur une plaquette de silicium. Les outils informatiques spécialisés, tels que les simulateurs test, sont largement utilisés pour concevoir et analyser ces circuits de manière précise. Cette dernière joue un rôle essentiel dans de nombreux domaines, l'électronique embarquée, l'automobile, l'aéronautique, et bien d'autres secteurs industriels et Afin de bien comprendre le rôle des divers outils informatiques utilisés en microélectronique, il est possible, pour des raisons de coût et de temps, de réaliser divers prototypes et de les analyser avant d'arriver au produit fini. Pour cette raison, l'ingénieur va remplacer le développement de modèles standard une série de créations sur ordinateur. On voit donc ici tout l'importance d'avoir un simulateur de circuits électriques qui soit précis tant dans le calcul des phénomènes que dans la modélisation des paramètres électriques. L'étape suivante consiste à dessiner le circuit intégré. [21]

Cette opération consiste à définir l'emplacement et les dimensions des éléments. Elle se fait en dessinant différents masques qui seront utilisés standard le fabricant de circuit intégré De plus, il importe de vérifier très soigneusement la parfaite adéquation entre le schéma électrique et le dessin des masques.

Pour cette étape également, un outil CAO est indispensable.

Après intégration, le circuit doit être testé et, suivant sa complexité, cette opération nécessite également l'usage d'un outil informatique. [21]

Il est important de bien saisir les principales étapes qui interviennent dans la réalisation d'un circuit intégré.

Après avoir défini un cahier des charges précis, la première étape consiste à réaliser un schéma électrique qui satisfasse aux exigences. On parle de conception du circuit et, dans cette phase, l'approche de l'ingénieur diffère un peu de celle utilisée en électronique discrète. En effet, on ne peut tester un circuit intégré qu'après l'avoir intégré.

I.4.1. Type de conception des circuits intégrés ASIC

I.4.1.1 Conception analogique

Le principe de l'analogique est de reproduire le signal à enregistrer sous forme similaire sur un support (magnétique en général). Par exemple lorsque l'on enregistre un signal audio sur un système analogique le signal présent sur la bande suivra les mêmes amplitudes (" la même courbe ") que l'onde sonore (avec plus ou moins de fidélité) : les variations de pressions caractéristiques d'une onde sonore seront traduites en variations d'un signal électrique.

La conception de circuits intégrés analogiques MOS est le processus de création de circuits électroniques qui utilisent des transistors MOS (métal-oxyde-semi-conducteur) pour effectuer des fonctions analogiques telles que l'amplification, le filtrage et la génération de signaux. Cela implique de sélectionner les bons types de transistors MOS, de déterminer leurs paramètres de fonctionnement et de concevoir la disposition physique du circuit pour obtenir les performances électriques souhaitées. La conception est généralement réalisée à l'aide d'outils de simulation pour vérifier le comportement du circuit et peut inclure des tests et des débogages pour s'assurer que le circuit fonctionne de manière fiable et répond aux Spécifications souhaitées

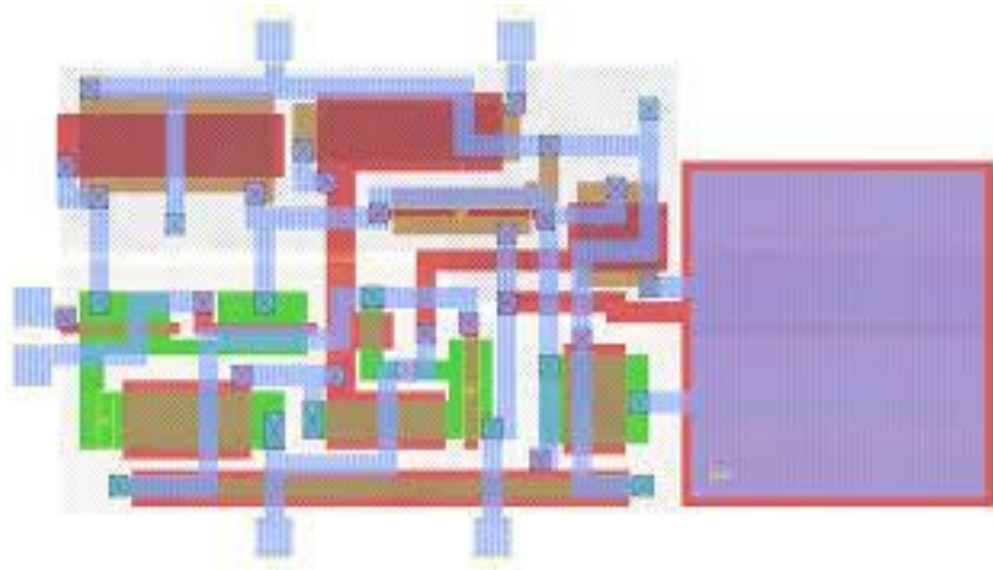


Figure I.10. Exemple de masque [22]

I.4.1.2 La conception digitale

Elle est conçue pour traiter des signaux numériques sous forme de bits (0 et 1) et est utilisée dans les microcontrôleurs, les processeurs, les mémoires RAM et ROM, les circuits logiques. Les circuits intégrés numériques les plus simples sont des portes logiques (et, ou, non),

La conception de circuits intégrés numériques suit un flot de conception comprenant plusieurs étapes.

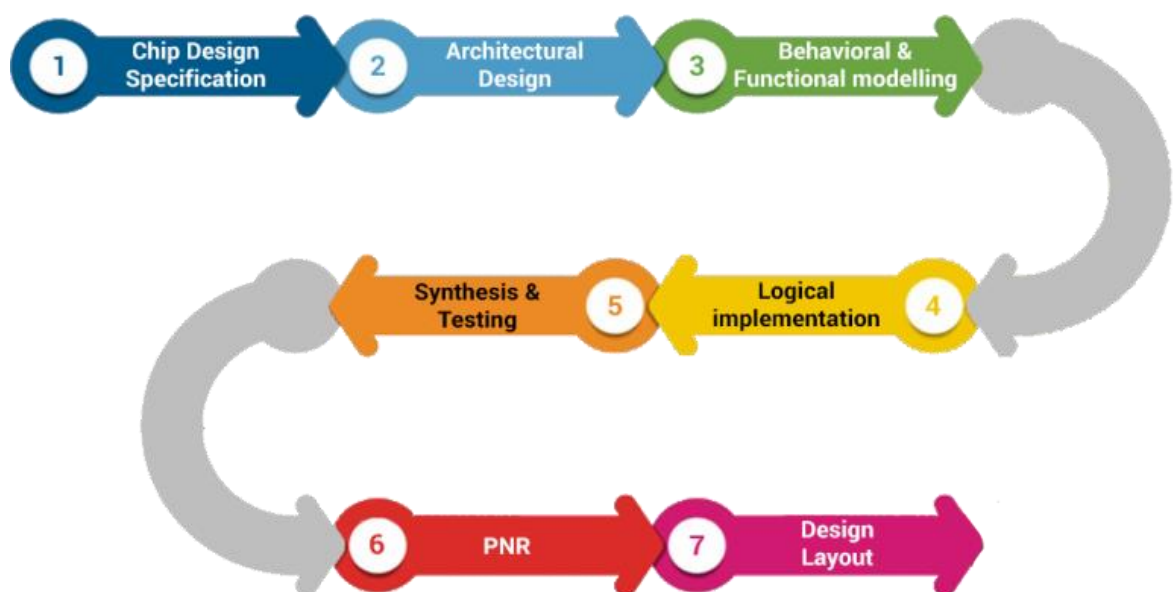


Figure I.11. Flot de conception digitale [24]

I.4.1.3 Conception mixte d'un ASIC (Mixed Signal)

La "conception mixte" fait référence à l'intégration de composants analogiques et numériques dans un même système électronique. Cela implique la combinaison de circuits analogiques et numériques pour répondre à des besoins spécifiques en termes de fonctionnalités et de performances, Un exemple concret de conception mixte est la réalisation d'un système combinant une mémoire RRAM (Résistive Random Access Memory) et des éléments numériques pour créer un accélérateur matériel dédié à un réseau de neurones binaires.

La conception mixte nécessite aussi souvent l'utilisation d'un flot de conception logiciel/matériel (CoDesign) pour intégrer de manière efficace les composants analogiques et numériques. [25]

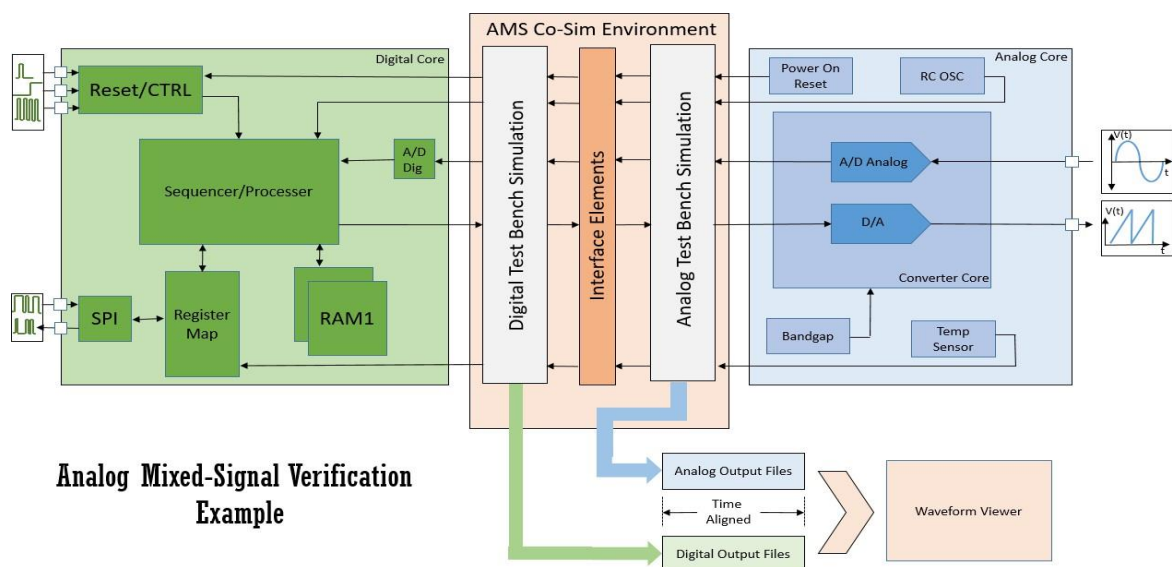


Figure I.12. Conception mixte [25]

I.4.2. Notion d'intellectuelle propriété

L'intellectuelle propriété (IP) fait référence aux créations de l'esprit humain, telles que les inventions, les œuvres littéraires et artistiques, les symboles, les noms et les images utilisés dans le commerce. [26]

La notion de SoC (Système on Cheap) ne peut pas être séparée de celle d'IP. On peut définir les IPs comme des éléments virtuels. Les blocs fonctionnels sont donc disponibles à l'achat. Le marché est extrêmement dynamique et l'offre est très abondante. La majorité des fonctions sont disponibles. Des fonctions très spécifiques à l'activité peuvent également être développées et souhaitées pour pouvoir être réutilisées dans différentes applications. Il existe plusieurs catégories d'IPs :

➤ Les IPs « **Softwares** » ou souples sont spécifiés au niveau VHDL RTL (ou Équivalent). Ils sont intégrés lors d'une étape de synthèse logique, ce qui assure à ces composants une indépendance totale vis-à-vis de la Technologie ;

➤ Les IPs « **Firmware** » ou semi-durs sont conçus par une synthèse physique au Niveau des plans de masse ; ils reposent sur l'emploi de technologies Génériques et sont donc indépendant de la taille des transistors CMOS, chez Un même fondeur ;

➤ Les IPs « **Hardware** » ou durs, sont quant à eux dépendants d'une même Technologie. [26]

I.4.3. Outils et Process technologie de Conception des circuits intégrés :

- **Outils de conception commerciaux :**

➤ **Synopsis** : est une entreprise américaine spécialisée dans le développement de logiciels destinés principalement aux fabricants de semi-conducteurs, d'ordinateurs et d'équipements électroniques, avec les outils les plus avancés au monde pour la conception de puces de silicium, la vérification, l'intégration de la propriété intellectuelle et les applications.

➤ **Cadence** : un fournisseur de premier plan dans le domaine de l'EDA et de la conception de systèmes intelligents, qui propose du matériel, des logiciels et de la propriété intellectuelle pour la conception électronique.

➤ **Mentor Graphics Corporation** : Désormais Siemens EDA. Mentor Graphics est un leader technologique dans le domaine de l'automatisation de la conception

électronique (EDA), fournissant des solutions de conception logicielle et matérielle qui permettent aux entreprises de développer de meilleurs produits électroniques plus rapidement.

- **Technologie de conception :**

La technologie de conception de circuits intégrés comprend un ensemble de processus et de règles utilisés pour développer des puces électroniques.

Elle couvre différentes étapes de développement telles que la modélisation, la simulation, la synthèse logique, le placement, le routage et la vérification nécessaires à la conception d'un circuit intégré fonctionnel et efficace.

Cette technologie est essentielle pour garantir la fiabilité et l'efficacité des composants électroniques utilisés dans un large éventail d'applications, des microcontrôleurs aux processeurs.

Il existe plusieurs types de technologie de conception telle que **TSR**, **UMC** et **SkyWater** sont liés à des processus de conception de circuits intégrés spécifiques.

- **Le SkyWater PDK** un outil open source qui permet de réduire les coûts associés à la conception des puces en fournissant un accès ouvert aux outils de conception et de fabrication.

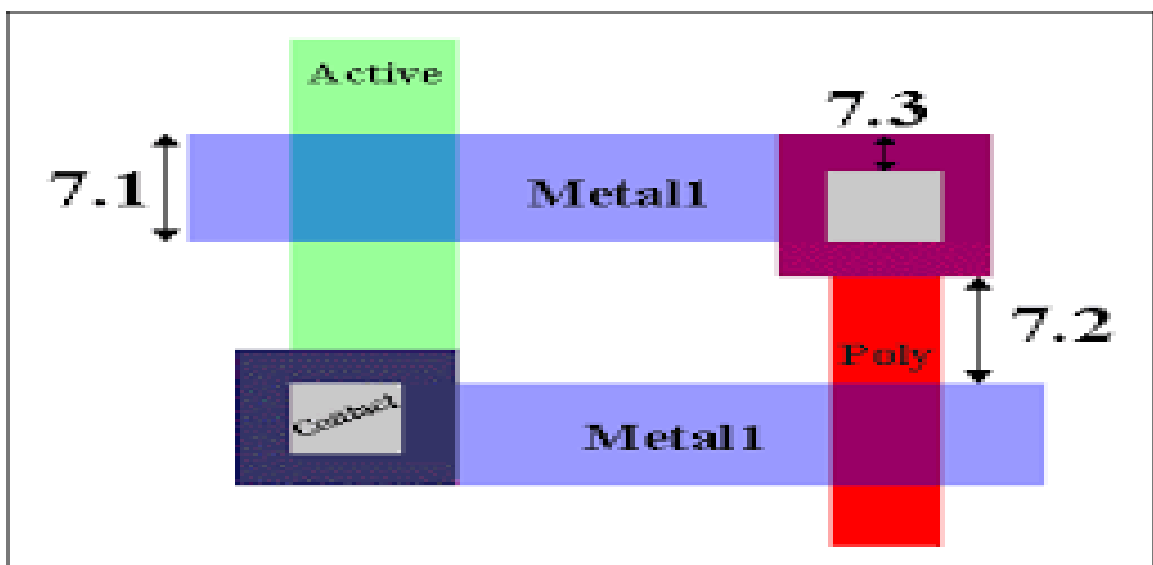


Figure I.13. : SkyWater PDK[27]

- **Accès facile pour les universités et les étudiants** : SkyWater PDK rend les outils de conception de semi-conducteurs accessibles aux universités et aux étudiants en donnant accès au processus CMOS 130 nm (SKY130) sur GitHub sans avoir besoin d'accords de non- divulgation.

Fournit un accès facile et facilite ainsi l'apprentissage et recherche sur les outils de conception de semi-conducteurs.

- **Collaboration et partage plus faciles** : l'offre open source de SkyWater PDK permet une collaboration et un partage à faible coût des résultats de vérification entre les concepteurs de puces pour une variété d'applications, notamment l'IoT, l'automobile, l'industrie, la santé, la défense, etc. Accélérez le développement de produits dans votre domaine.
- **Démocratiser la conception de puces** : en réduisant le coût des outils de conception, en permettant une fabrication abordable et en favorisant une communauté mondiale de concepteurs de puces, l'écosystème open source est démocratisé et ouvre ainsi de nouvelles possibilités aux concepteurs en matière de conception de silicium haut de gamme.

L'utilisation du SkyWater PDK open source pour la conception de circuits intégrés offre des avantages significatifs en termes de prix abordable, de facilité d'accès aux universités, de collaboration accrue et de démocratisation de la conception de puces.

○ **Outils de conception Opensource :**

- **OpenLane** est une plate-forme innovante de mise en œuvre de silicium qui prend en charge des outils open source tels que Yosys, OpenROAD, Magic, KLayout, ainsi que d'autres utilitaires open sources et propriétaires. Depuis 2020, OpenLane est utilisé pour chaque navette Open MPW et chipIgnite. OpenLane intègre et résume les différentes étapes de mise en œuvre du silicium, permettant aux utilisateurs de renforcer leurs projets à l'aide de simples fichiers de configuration. [27]

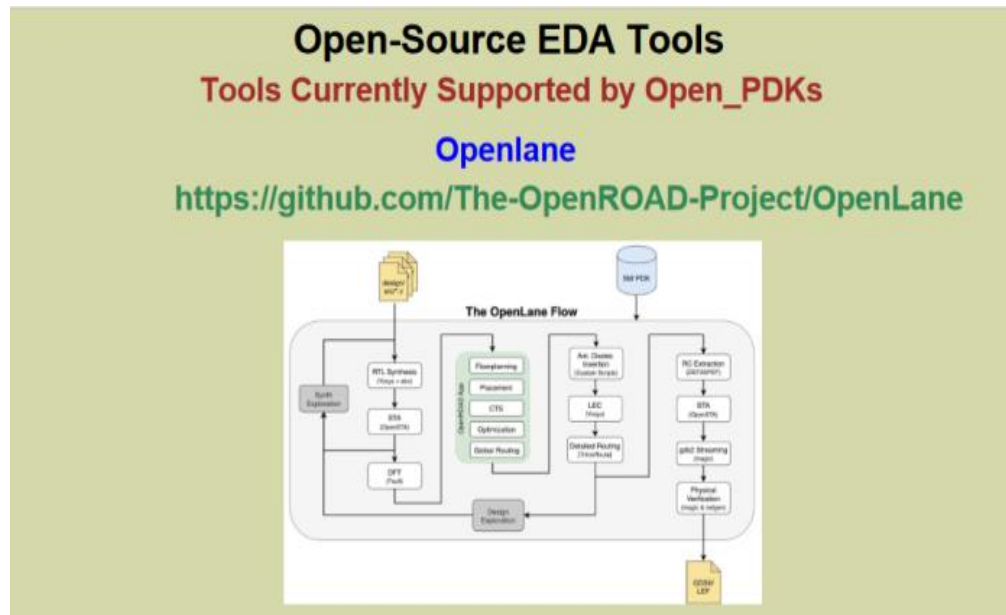


Figure I.14. OpenLane [27]

Il comporte des utilitaires qui lui-même les automatisent :

- **OpenROAD** : Un outil d'automatisation de la conception de semi-conducteurs OpenSource, utilisé par PragmatIC Semiconductor pour concevoir des puces à faible coût.
- **Yosys** : Un outil de synthèse de circuits intégrés open source.
- **Magic** : Un outil de simulation de circuits intégrés open source. **Netgen** : Un outil de génération de circuits intégrés open source.
- **Python** : Le langage de programmation utilisé pour améliorer la compilation des conceptions embarquées.

Ces outils open source permettent une conception automatisée 24 heures sur 24, ce qui réduit les coûts et les délais de conception.

I.4.3.1 Technologie de conception commerciale

La notion de "Technologie Commerciale" englobe l'utilisation de technologies avancées dans le domaine du commerce pour améliorer les performances commerciales et les interactions avec les clients.

Les sources fournies mettent en avant plusieurs aspects clés de la technologie commerciale :

Il existe plusieurs technologies qui sont au cœur de la transformation du commerce telles que :

1. TSMC (Taiwan Semiconductor Manufacturing Company):

TSMC est une entreprise taïwanaise qui fabrique des semi-conducteurs, notamment des puces électroniques pour les appareils électroniques tels que les Smartphones, les ordinateurs et les systèmes de télécommunications. Cette technologie est connue pour son haut niveau de performance et sa grande flexibilité. C'est le leader mondial de la fabrication de semi-conducteurs, avec une part de marché de plus de 50%. Elle fournit des puces à de nombreuses entreprises, notamment Apple, qui utilise TSMC pour produire les puces de ses iPhones et d'autres appareils électroniques.

2. UMC (United Microelectronics Corporation) :

MC est une entreprise taïwanaise qui fabrique et fourni des semi-conducteurs, notamment des puces électroniques pour les appareils électroniques tels que les Smartphones, les ordinateurs et les systèmes de télécommunications.

3. GlobalFoundries :

GlobalFoundries est une entreprise américaine qui fabrique des semi-conducteurs, notamment des puces électroniques pour les appareils électroniques tels que les Smartphones, les ordinateurs et les systèmes de télécommunications.

4. SMIC (Semiconductor Manufacturing International Co.):

SMIC est une entreprise chinoise qui fabrique des semi-conducteurs, notamment des puces électroniques pour les appareils électroniques tels que les Smartphones, les ordinateurs et les systèmes de télécommunications.

Ces entreprises sont toutes des fournisseurs de puces électroniques pour les appareils électroniques, mais elles ont des spécialisations et des parts de marché différentes.

La technologie commerciale est un domaine en pleine effervescence qui transforme en profondeur les pratiques du commerce, avec de nombreuses innovations technologiques pour améliorer l'expérience client et la performance des entreprises. Son adoption soulève cependant des défis d'investissement et d'adaptation.

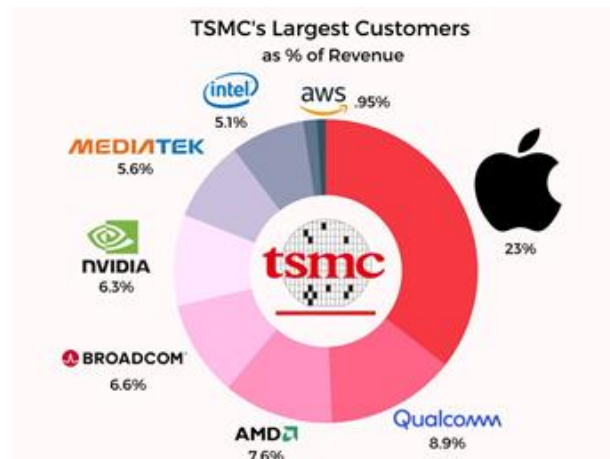


Figure I.15. Technologies de conception commerciales.

1.4.3.2 Technologie open source

La conception ASIC open-source est un processus qui permet de concevoir et de fabriquer des circuits intégrés à partir de descriptions de comportement en langage de programmation. Cela permet de créer des circuits intégrés personnalisés pour des applications spécifiques.

Les chaînes d'outils open source sont essentielles à la création d'écosystèmes collaboratifs, ouverts aux nouvelles approches, aux innovations opportunistes/ciblées et aux cas d'utilisation de niche. Le domaine de la conception ASIC, en particulier au vue des tensions croissantes autour de la fabrication et des chaînes d'approvisionnement, a cruellement besoin d'une innovation basée sur les logiciels et basée sur une approche open source. Le tout nouvel écosystème matériel open source a été dynamisé par le succès de RISC-V et est maintenant considérablement étendu pour couvrir l'ensemble du flux de conception ASIC.

Open ROAD, financé par la DARPA, a créé les outils nécessaires pour créer des flux open source orientés ASIC tels qu'**OpenLane**, devenant ainsi l'un des éléments centraux de l'écosystème ASIC ouvert. Le projet Open ROAD, dirigé par le prof. Andrew Kahng, de l'Université de Californie à San Diego, vise un flux RTL-GDSII de bout en bout, offrant des options d'accessibilité et de collaboration qui ne sont souvent pas disponibles pour les outils propriétaires. [27] [28]

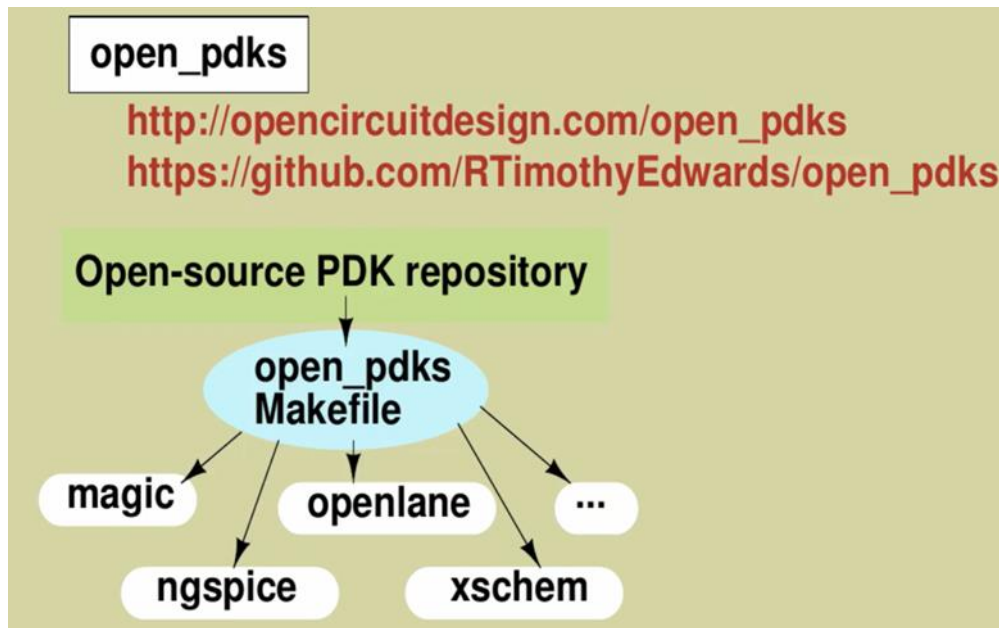


Figure I.16. Open source EDA tools can be used with the Sky 130 PDK [27]

- **Technologie SkyWater 130nm :**

SkyWater 130nm est une technologie de fabrication de circuits intégrés (ASIC) qui utilise une grille de 130 nanomètres pour fabriquer des circuits intégrés. Cette technologie est utilisée pour concevoir et fabriquer des circuits intégrés à faible consommation d'énergie et à haute densité de puissance. [27]

La technologie SkyWater 130 nm est un processus de fonderie open source qui permet aux concepteurs de puces d'accéder à un kit de conception de processus (PDK) pour la fabrication de puces 130 nm.

L'initiative est soutenue par Google, SkyWater Technology Foundry et efabless Corporation et vise à réduire les coûts de conception de puces en offrant un accès gratuit aux outils de conception et de fabrication.

Ce PDK open source permet aux concepteurs de créer des puces physiques pouvant être fabriquées à l'aide du processus SkyWater 130 nm, ouvrant ainsi la voie à l'innovation et à la collaboration en matière de semi-conducteurs.

Cette dernière permet aux concepteurs de puces d'accéder à des outils de conception et de fabrication sans coûts initiaux élevés, éliminant ainsi les obstacles financiers à la création de puces personnalisées.

Accélérer l'innovation, la créativité et l'apprentissage dans le domaine des semi-conducteurs en fournissant une alternative abordable et accessible aux conceptions de puces en 130 nm. [27]

Les avantages de l'utilisation du SkyWater PDK open source dans la conception des circuits intégrés incluent :

Flexibilité : SkyWater 130nm est une technologie très flexible qui permet de concevoir des circuits intégrés avec des fonctionnalités spécifiques, comme des résistances poly, des capacités MiM, des inductances, des transistors à haute tension, etc.

Performance : Cette technologie offre une performance élevée, avec des fréquences de clock élevées et des consommations d'énergie faibles.

Fiabilité : SkyWater 130nm est une technologie très fiable, avec des tests rigoureux pour garantir la qualité et la répétabilité des circuits intégrés.

Compatibilité : Cette technologie est compatible avec de nombreux langages de programmation et outils de conception, ce qui facilite la conception et la mise en œuvre des circuits intégrés.

Prix : SkyWater 130nm est une technologie relativement abordable, ce qui la rend attractive pour les entreprises et les chercheurs qui cherchent à développer des circuits intégrés à faible coût

Support : SkyWater offre un support technique et commercial robuste pour aider les clients à concevoir et à fabriquer des circuits intégrés avec cette technologie. [27]

I.5. Conclusion

Les cartes RFID, basées sur la technologie Identification par radiofréquence, sont des supports électroniques intégrant des puces capables de stocker et échanger des données par radiofréquence.

Elles trouvent des applications diverses, allant de la gestion de présence à la sécurisation des accès, en passant par le contrôle d'accès et le suivi des objets dans la chaîne d'approvisionnement.

Afin d'arriver à la conception qui nécessite une expertise en micro-électronique, en informatique et en cryptographie pour garantir leur bon fonctionnement et leur sécurité. En intégrant l'open source dans le domaine des cartes RFID et des technologies de conception offre une flexibilité et une personnalisation accrues des solutions. Les logiciels open source permettent aux entreprises de personnaliser les applications en fonction de leurs besoins spécifiques, tout en favorisant la collaboration et l'innovation collective. L'utilisation de l'open source dans le développement de systèmes basés sur les cartes RFID peut contribuer à améliorer l'efficacité, la sécurité et la fiabilité des solutions mises en œuvre.

Les cartes RFID et les technologies de conception associées offrent des solutions avancées pour la gestion de l'identification, du contrôle d'accès et du suivi des objets. L'intégration de l'open source dans ces domaines permet d'optimiser les fonctionnalités des systèmes, tout en favorisant la transparence, la personnalisation et la collaboration dans le développement de solutions innovantes et sécurisées en concevant des unités d'anticollision pour leur bon fonctionnement et résoudre les problèmes de collision.

REFERENCES

CHAPITRE I

- [1] Mémoire de fin d'étude Carte à puce, Université de Batna, Lebbal Mohamed El Hadi, 2022-2023
- [2] Site techno-science.net glossaire-définition Carte-a-puce
- [3] Wikipédia - Carte à puce
- [4] Site La sécurité des cartes bancaires
- [5] Site carte à puce
- [6] Site universcarte - Carte à puce
- [7] L'expertise technique et scientifique de référence-carte à puce avec contact
- [8] Site mecalux cours-logistique rfid
- [9] Site elainnovation rfid-active-vs-rfid-passive
- [10] Site nexqo 2023/11/ rfid-communication-protocols/
- [11] Wikipédia Protocoles de communication RFID
- [12] Journal What Protocols Are Used to Communicate Between an RFID Reader and a Tag - RFID
- [13] RFID Interfaces & Protocols - RFID Smart Antenna | RFID,
- [14] UHF RFID protocols and standards - trace ID.
- [15] ISO/IEC 18000-4 :2018 - Technologies de l'information — Identification par radiofréquence — Partie 4 : Air interface — Mode 1, Mode 2, Mode 3 et Mode 4.
- [16] Site actiplace technologie-rfid
- [17] Lecteur-rfid
- [18] Article ScienceBusiness Media ALOHA anti-collision algorithm Springer New York 2014
- [19] JOURNAL OF COMMUNICATIONS SOFTWARE AND SYSTEMS, VOL. 12, NO. 4, DECEMBER 2016
- [20] RFID Anti-Collision Protocols for Tag Identification
- [21] LIVRET PÉDAGOGIQUE LA MICROÉLECTRONIQUE CEA-PDF
- [22] Wikipedia integred circuit design
- [23] Conception-electronique
- [24] Site einfochipsasic-design-flow-in-vlsi-engineering-services-a-quick-guide
- [25] MEMOIRE DE RECHERCHE HAL 01015800 Submitted on 27 Jun 2014
- [26] Mémoire de fin d'étude CONCEPTION ET TEST D'UN SYSTEME SUR PUCE (SOC) EN VUE D'UNEAPPLICATION DE TRANSFERT SERIE
- [27] Plateforme github
- [28] Les logiciels open source pour les entreprises et les-institutions publiques, /<https://www.syloe.com/les-logiciels-open-source-pour-les-entreprises-et-les-institutions-publiques/>
- [29] plateforme efabless

CHAPITRE II

Chapitre II : Anticollision architecture

II.1. Introduction

Les systèmes RFID nécessitent des modules anti-collision pour gérer les conflits lors de la lecture simultanée de plusieurs étiquettes. Parmi les approches couramment utilisées, l'algorithme de l'arbre binaire basé sur le lecteur permet de diviser et de séparer les étiquettes en les isolant par étapes successives, tandis que l'algorithme Aloha basé sur l'étiquette permet de transmettre les étiquettes de manière aléatoire, en minimisant les collisions avec probabilité. Pour concevoir ces systèmes, OpenLane fournit un flux de conception open-source, facilitant la création de circuits intégrés à l'aide de bibliothèques cellulaires standard. Les bibliothèques de cellules standard, telles que celles disponibles dans le processus SkyWater 130nm, comme `sky130_fd_sc_sc_hd`, fournissent les composants nécessaires pour créer des circuits optimisés pour différentes exigences de densité, de vitesse et de consommation d'énergie. Ces outils et technologies permettent de développer des systèmes RFID efficaces et performants.

II.2. Architecture de l'unité d'anticollision basse fréquence

II.2.1. Définition

Un système anti-collision est un dispositif ou un algorithme conçu pour éviter les interférences et les collisions lors des communications entre les lecteurs RFID et les tags (transpondeurs).

Lorsque plusieurs tags se trouvent dans le champ d'un lecteur, leurs communications peuvent être brouillées par l'activité simultanée. La détection de collision est en fait une détection d'erreur de transmission, à l'aide d'un bit de parité, d'une somme de contrôle ou d'une fonction de hachage. Dès qu'une erreur est détectée, l'algorithme d'anticollision est appliqué.

II.2.2. Types de l'unité d'anticollision

Les unités d'anticollision jouent un rôle essentiel dans les systèmes RFID pour gérer les collisions lors de la lecture simultanée de plusieurs tags. Dans ce document, nous utilisons la méthode TDMA (Time Division Multiple Access) par rapport aux autres techniques d'accès multiple telles que SDMA, FDMA, et CDMA [30]. TDMA est choisi en raison de

sa simplicité et de son coût réduit, permettant de diviser le canal de communication en intervalles de temps distincts pour éviter les interférences. Contrairement aux méthodes plus complexes et coûteuses, TDMA utilise efficacement les cellules standard de la bibliothèque SkyWater 130nm, rendant sa mise en œuvre avec OpenLane plus accessible et pratique pour la conception de systèmes RFID basés sur la fréquence :

- **TDMA (Time Division Multiple Access) :** La méthode la plus couramment utilisée parce qu'elle est la moins coûteuse, cette méthode comprend le plus grand nombre d'algorithmes anticollision. Le canal de transmission est divisé entre les participants et garantit que le lecteur peut reconnaître une étiquette à différents moments afin d'éviter toute interférence avec une autre étiquette. La propriété de distribution spatiale des étiquettes n'est pas prise en compte. Le nombre d'étiquettes dans la zone d'interrogation est réduit après chaque réponse positive. Une autre option consiste à mettre en sourdine toutes les étiquettes, à l'exception de l'étiquette émettrice. Les étiquettes sont ensuite activées une par une [31] [32].

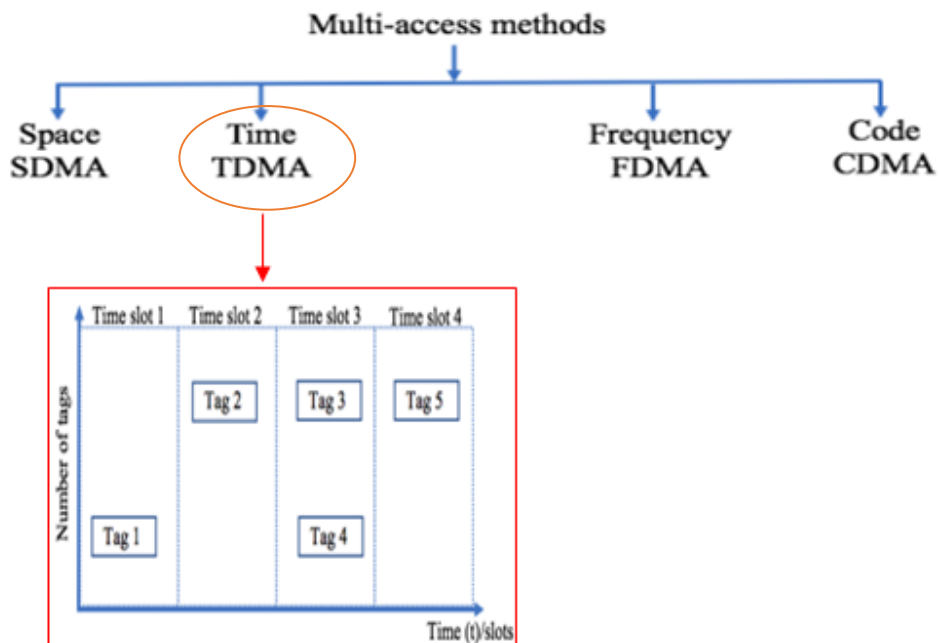


Figure II.1. : Multi-access methods, Time Division Multiple Access (TDMA) procedure

Nom du protocole	PA	SA	DFSA
Fonctionnalité du protocole	Les Tags transmettent temps aléatoire au lecteur. En cas de collision les tags retransmettent après un délai aléatoire.	Les tags transmettent leur ID dans des créneaux horaires synchrones. Dans des créneaux horaires synchrones. En cas de collision, les balises retransmettent après un délai aléatoire	Les tags émettent une fois par trame. Le lecteur utilise une fonction d'estimation de tag pour faire varier la taille de la trame.
Inconvénients	Dans un environnement de balises denses, le nombre de collisions augmente de manière significative.	Dans un environnement de balises denses, le nombre de collisions augmente considérablement. Le lecteur a besoin d'être synchronisé avec les tags.	Il ne peut à aucun moment passer à la trame suivante en fonction de la situation de collision sans avoir terminé la trame en cours.
Efficacité	18.4%	36.8%	42.6%
Complexité	Très simple	Simple	Élevé

Tableau II.1. Comparaison des protocoles Aloha

L'objectif des solutions anticollision est d'améliorer la qualité et le rendement des systèmes RFID en évitant les collisions entre lecteurs et en assurant une lecture fiable des tags. Cela permet de maximiser le débit de lecture et de réduire les délais de couverture. Les techniques couramment utilisées incluent :

- **PA (Pure Aloha)** : Utilise des algorithmes probabilistes pour réduire les collisions en permettant aux tags de répondre de manière aléatoire.

- **SA (Slotted Aloha)** : Divise le temps en intervalles ("slots") pour que les tags répondent dans des slots aléatoires, réduisant ainsi les collisions.
- **DFSA (Dynamic Frame Slotted Aloha)** : Ajuste dynamiquement la taille du cadre en fonction du nombre de tags, optimisant les slots pour améliorer l'efficacité et réduire les collisions.

Ces méthodes permettent une lecture fiable des tags et une optimisation du débit de lecture dans les systèmes RFID.

II.2.3. Tag basé sur l'algorithme Aloha

Les protocoles Aloha sont des méthodes d'accès multiple qui permettent à plusieurs émetteurs de partager le même canal de communication en émettant de manière aléatoire. Il existe trois types de protocoles Aloha qui :

A. Pure Aloha (PA)

Pure Aloha (PA) est l'un des protocoles anticollisions les plus simples, basé sur le TDMA [34,35]. Lorsque les étiquettes entrent dans la zone d'interrogation, elles choisissent au hasard une fréquence sur laquelle elles transmettent leurs données. Une collision se produit si plusieurs étiquettes transmettent des données en même temps, entraînant des collisions complètes ou incomplètes. **Une collision complète** se produit lorsque les messages de deux balises s'entrechoquent complètement, tandis qu'**une collision incomplète** a lieu lorsque seule une partie du message de l'étiquette entre en collision avec le message d'une autre étiquette. Cette procédure est illustrée à la figure 2 et sera répétée jusqu'à ce que toutes les étiquettes soient identifiées avec succès. Bien que PA soit simple à mettre en œuvre et flexible, il présente une probabilité élevée de collisions et une efficacité relativement faible. Par rapport à d'autres protocoles comme le Slotted Aloha, qui synchronise les transmissions pour réduire les collisions, PA permet des transmissions à n'importe quel moment, augmentant ainsi le risque de collisions [33,34,35,36].

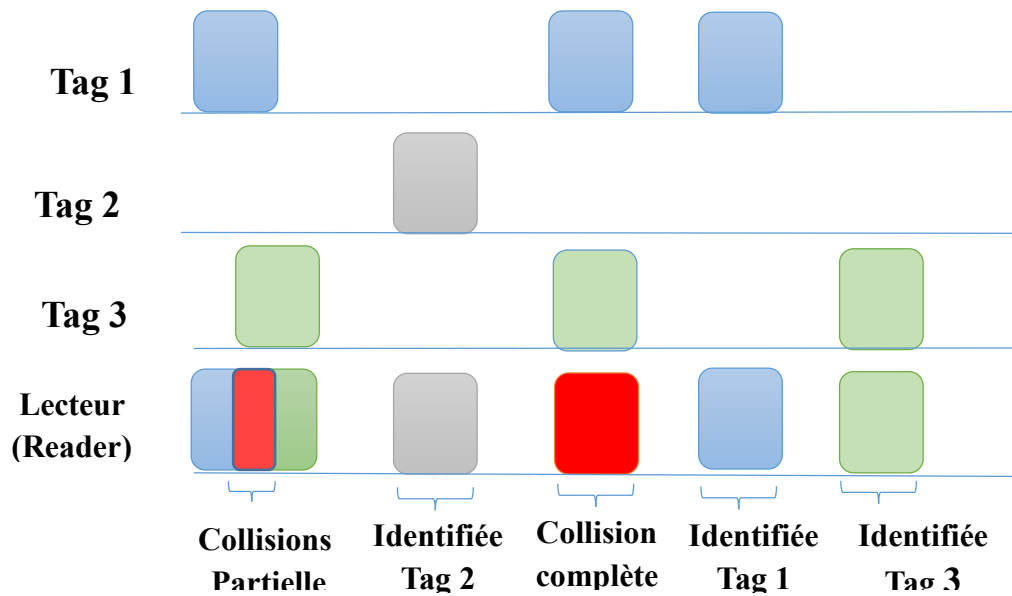


Figure II.2. Un exemple de PA

A.1 Implémentation de Pure Aloha

L'architecture de Pure Aloha en Verilog repose sur une machine à états simple pour gérer les transmissions des étiquettes RFID. Chaque étiquette transmet ses données dès qu'elle est prête, sans synchronisation préalable. Cette méthode, bien que susceptible de collisions, est simple à mettre en œuvre et convient aux environnements à faible trafic.

L'architecture générale de l'algorithme peut être représentée par un diagramme de flux illustrant les transitions entre les différents états et les interactions entre les composants

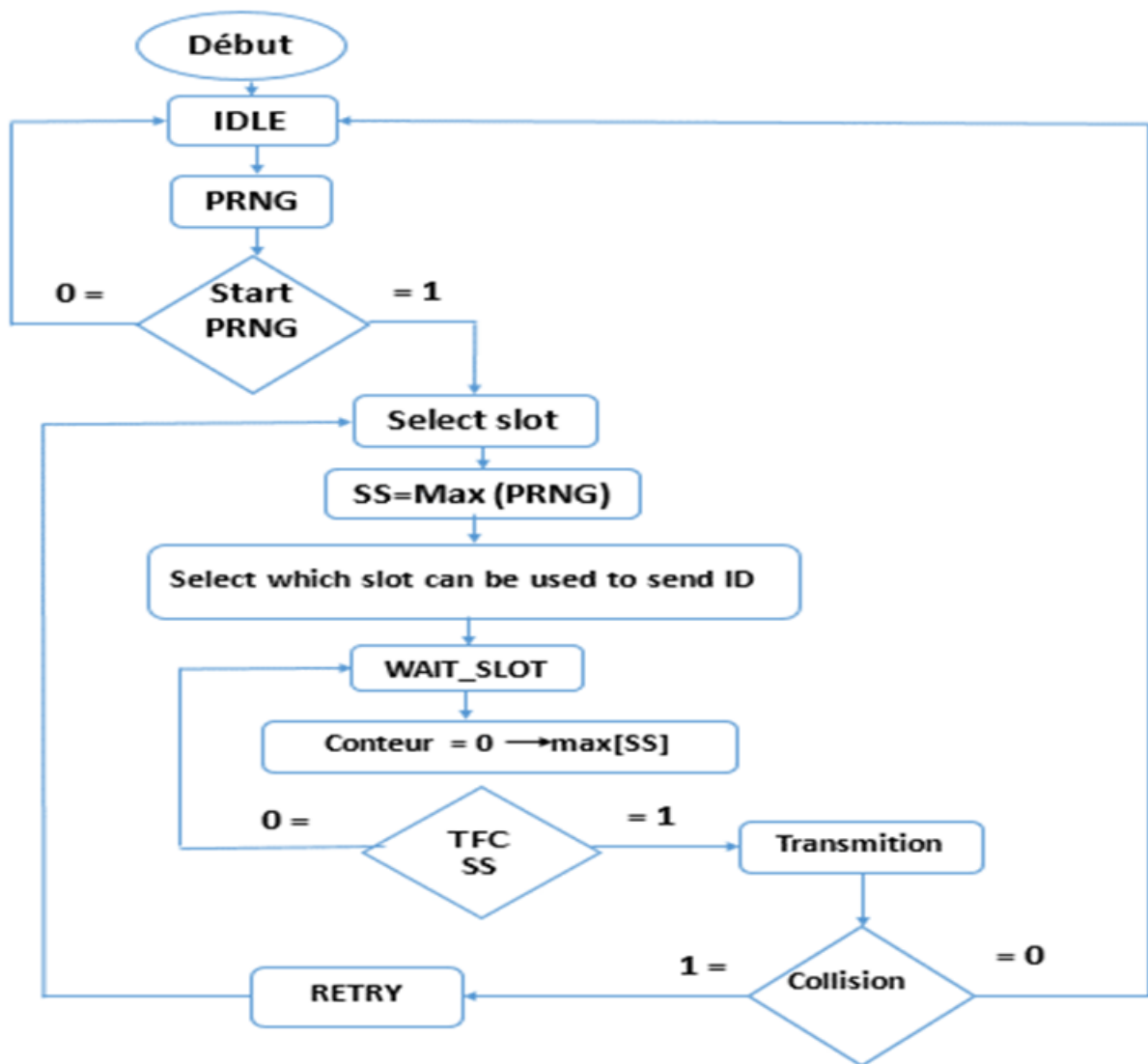


Figure II.3. Schemas Pure Aloha

B. Aloha à créneaux (Slotted Aloha)

Pour éviter les collisions incomplètes, le système Slotted Aloha (SA) a été créé. Dans ce système, le temps est divisé en plusieurs slots et chaque étiquette doit choisir au hasard un slot dans lequel elle transmettra ses données. La communication entre le lecteur et l'étiquette (tag) est désormais synchrone, ce qui réduit le risque de collisions par rapport à l'Aloha pur. Un exemple de communication avec ce protocole est présenté à la figure 4. SA peut également utiliser des fonctions similaires à celles présentées pour Aloha pur, telles que la mise en sourdine des étiquettes après lecture et le ralentissement du taux de transmission après détection de collision. Cependant, SA nécessite une synchronisation

précise et, bien que les collisions soient réduites, elles ne sont pas totalement éliminées. Malgré ces défis, SA offre une amélioration significative en termes d'efficacité et de réduction des collisions par rapport à l'Aloha pur, et est largement utilisé dans les systèmes RFID courants [33,34,36,38].

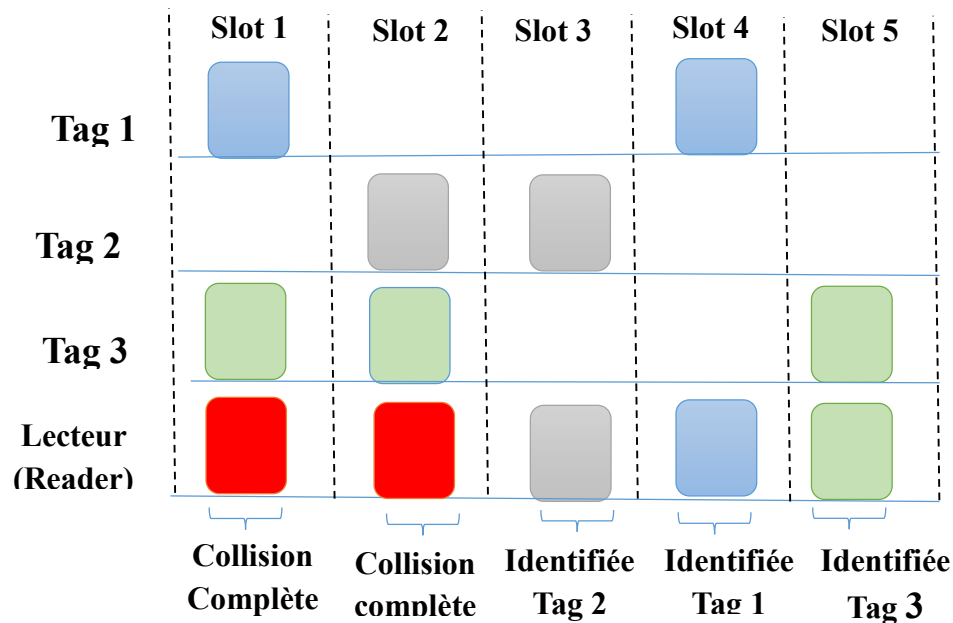


Figure II.4. Un exemple de SA

B.1 Fonctionnement de Slotted Aloha

La mise en œuvre de l'algorithme Slotted Aloha dans Verilog pour une étiquette RFID implique la création d'une machine à états capable de gérer différentes étapes du processus d'interrogation et de communication des étiquettes RFID. Cet algorithme, conçu pour minimiser les collisions lors de la transmission de données, utilise des slots temporels pour organiser les transmissions des étiquettes. Chaque étiquette sélectionne aléatoirement un slot temporel pour sa transmission, réduisant ainsi la probabilité de collision.

Dans cette implémentation, plusieurs composants sont utilisés, y compris un générateur de slot aléatoire basé sur :

- **Le Générateur de slot aléatoire basé sur LFSR (Linear Feedback Shift Register) :**
Utilise un LFSR pour produire des numéros de slot pseudo-aléatoires. Ces numéros déterminent les moments où les étiquettes enverront leurs données. L'utilisation d'un LFSR permet de minimiser les collisions en s'assurant que les étiquettes ne transmettent pas toutes leurs données en même temps. La nature pseudo-aléatoire de LFSR aide à répartir les transmissions de manière plus uniforme dans le temps.
- **Une machine à états :** gère les différentes phases de l'algorithme Slotted Aloha. Elle définit et contrôle les transitions entre les états suivants : IDLE (inactif), SELECT_SLOT (sélection de slot), WAIT_SLOT (attente de slot), TRANSMIT (transmission), COLLISION (détection de collision) et RETRY (réessai). En utilisant une machine à états, le système peut répondre de manière structurée et efficace aux différents événements qui surviennent, comme le début d'une nouvelle trame, la sélection d'un slot aléatoire, la transmission des données, et la gestion des collisions.
- **L'émetteur :** est responsable de l'envoi des données de l'étiquette lorsque celle-ci est en état de transmission. L'émetteur doit être contrôlé avec précision pour s'assurer que les données sont envoyées uniquement lorsque l'étiquette est dans le bon état et qu'aucune collision n'a été détectée.
- **Un détecteur de collision :** Ce composant surveille les transmissions pour détecter les collisions, c'est-à-dire les situations où plusieurs étiquettes tentent de transmettre en même temps, entraînant une interférence. La détection des collisions est cruciale pour l'intégrité des données. Lorsque des collisions sont détectées, le système doit réagir en conséquence, généralement en interrompant la transmission et en planifiant un réessai après un délai aléatoire.

B.2 Architecture de Slotted Aloha

Cette architecture permet une gestion efficace des transmissions et des collisions dans les systèmes RFID :

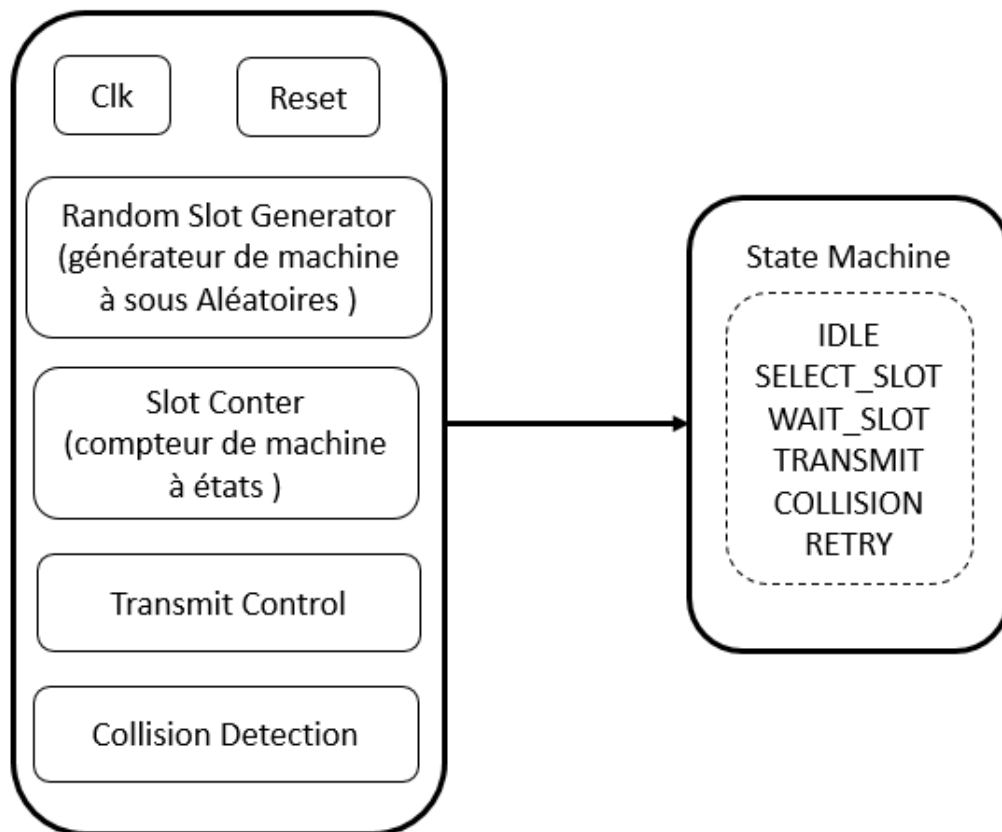


Figure II.5. Schémas Slotted Aloha

Dans l'implémentation de l'algorithme Slotted Aloha pour une étiquette RFID, une machine à états est utilisée pour gérer les différentes étapes du processus de transmission. Voici une explication détaillée des principaux composants et de leur rôle :

La machine à états gère les différents états de l'étiquette :

- **IDLE** : L'étiquette attend le début d'une nouvelle trame.
- **SELECT_SLOT** : L'étiquette sélectionne un slot aléatoire pour la transmission.
- **WAIT_SLOT** : L'étiquette attend jusqu'à ce que le slot sélectionné soit atteint.
- **TRANSMIT** : L'étiquette transmet ses données durant le slot sélectionné.
- **COLLISION** : L'étiquette détecte une collision et arrête la transmission.
- **RETRY** : L'étiquette attend une période aléatoire avant de sélectionner un nouveau slot pour retransmettre.

Transmit Control : Le contrôle de transmission active le signal de transmission lorsque l'étiquette est dans l'état TRANSMIT et le désactive lorsqu'une collision est détectée ou après une transmission réussie.

Slot Conter : Ce compteur garde une trace du slot actuel dans la trame. Lorsque le compteur de slots correspond au slot choisi au hasard par l'étiquette, cette dernière passe à l'état TRANSMIT pour transmettre ses données.

Ces composants travaillent ensemble pour assurer une gestion efficace des transmissions et des collisions, ce qui améliore la fiabilité et l'efficacité des systèmes RFID. En gérant les états de l'étiquette et en contrôlant les moments de transmission, cette architecture minimise les risques de collision et optimise l'utilisation du canal de communication.

B.3 Implémentation de Slotted Aloha

L'architecture générale de l'algorithme peut être représentée par un diagramme de flux illustrant les transitions entre les différents états et les interactions entre les composants :

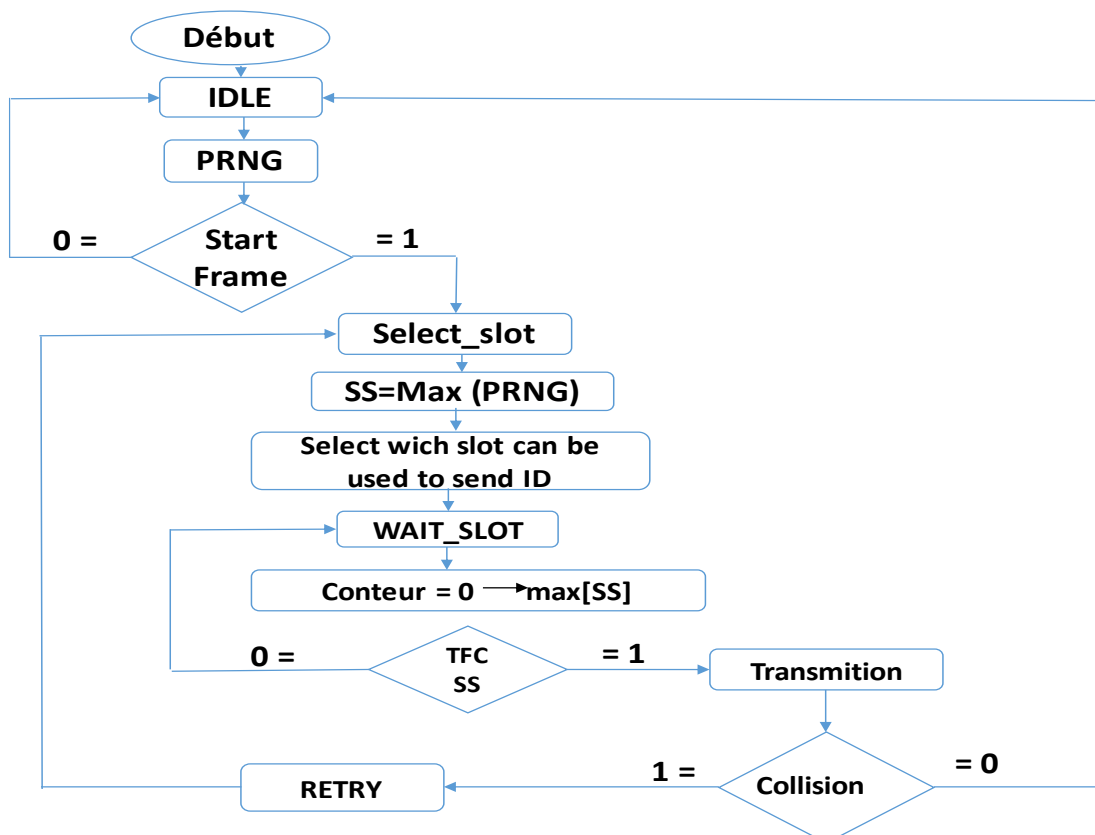


Figure II.1. Schemas de DFSA

C. Aloha dynamique encadré et fendu (Dynamic Framed Slotted Aloha)

Pour remédier à l'inconvénient de la gestion des collisions dans les protocoles RFID, le protocole Dynamic Frame Slotted Aloha (DFSA) a été mis au point. DFSA est capable de modifier la taille de la trame en fonction d'une estimation du nombre de balises. Au début de chaque trame, le lecteur informe les étiquettes de la longueur de la trame. Chaque balise choisit un nombre aléatoire $[0, F - 1]$, où F représente la taille de la trame, et toutes les balises répondent dans le nombre de créneaux. À la fin de la trame, le lecteur estime le nombre d'étiquettes en collision, puis ajuste F en conséquence. Cette estimation présente certains inconvénients, tels que l'augmentation des coûts de calcul dans le processus d'identification et les erreurs potentielles lors de l'estimation du nombre de balise. Toutefois, DFSA offre des avantages significatifs, notamment l'optimisation de l'efficacité du système et la réduction des collisions. Malgré la complexité accrue et les défis liés à l'estimation précise du nombre de balises, DFSA reste une solution prometteuse pour les environnements à haute densité et les systèmes nécessitant une adaptation rapide. La figure 7 présente des exemples de ces deux protocoles [37,44,45].

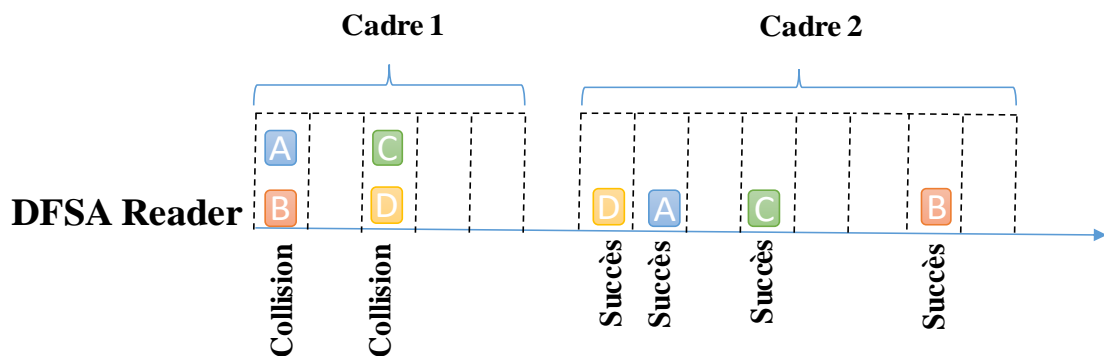


Figure II.2. Exemple de DFSA.

C.1 Fonctionnement de Dynamic Frame Slotted Aloha

Dans l'implémentation de l'algorithme Dynamic Frame Slotted Aloha (DFSA) en Verilog, une architecture basée sur une machine à états joue un rôle central pour coordonner les différentes phases de transmission et d'ajustement dynamique de la taille du cadre. Voici une explication détaillée des principaux composants et de leur rôle dans cette configuration avancée de gestion de collisions et de transmission pour les systèmes RFID [46] :

Le générateur de slot aléatoire : utilise un LFSR (Linear Feedback Shift Register) pour produire des numéros de slot pseudo-aléatoires, minimisant ainsi les collisions en distribuant les transmissions de manière uniforme dans le temps. Ce composant est essentiel pour sélectionner aléatoirement un slot dans le cadre courant, où une étiquette RFID transmettra ses données.

La machine à états : définit et contrôle les états suivants de l'étiquette RFID : IDLE (inactif), SELECT_SLOT (sélection de slot), WAIT_SLOT (attente de slot), TRANSMIT (transmission), COLLISION (détection de collision), RETRY (réessai), et ADJUST_FRAME (ajustement de la taille du cadre). Cette structure permet une réponse structurée aux événements tels que le début d'une nouvelle trame, la gestion des collisions et l'ajustement dynamique de la taille du cadre en fonction du taux de collisions.

Le contrôle de transmission : active le signal de transmission lorsque l'étiquette est prête à transmettre et le désactive en cas de collision détectée ou après une transmission réussie. Ce mécanisme garantit que les données sont transmises efficacement et que les collisions sont gérées de manière proactive.

Le détecteur de collision : surveille en permanence les transmissions pour détecter les situations où plusieurs étiquettes tentent de transmettre simultanément, ce qui pourrait causer des interférences. Lorsqu'une collision est détectée, le système interrompt la transmission en cours et planifie un réessai après un délai aléatoire, préservant ainsi l'intégrité des données.

En combinant ces composants dans une architecture cohérente, l'algorithme DFSA optimise l'utilisation du canal de communication RFID, améliorant ainsi la fiabilité et l'efficacité globale du système pour gérer efficacement plusieurs étiquettes dans un environnement dynamique.

C.2 Architecture de Dynamic Frame Slotted Aloha

L'architecture générale de l'algorithme peut être représentée par un diagramme de flux illustrant les transitions entre les différents états et les interactions entre les composants [47] [49] :

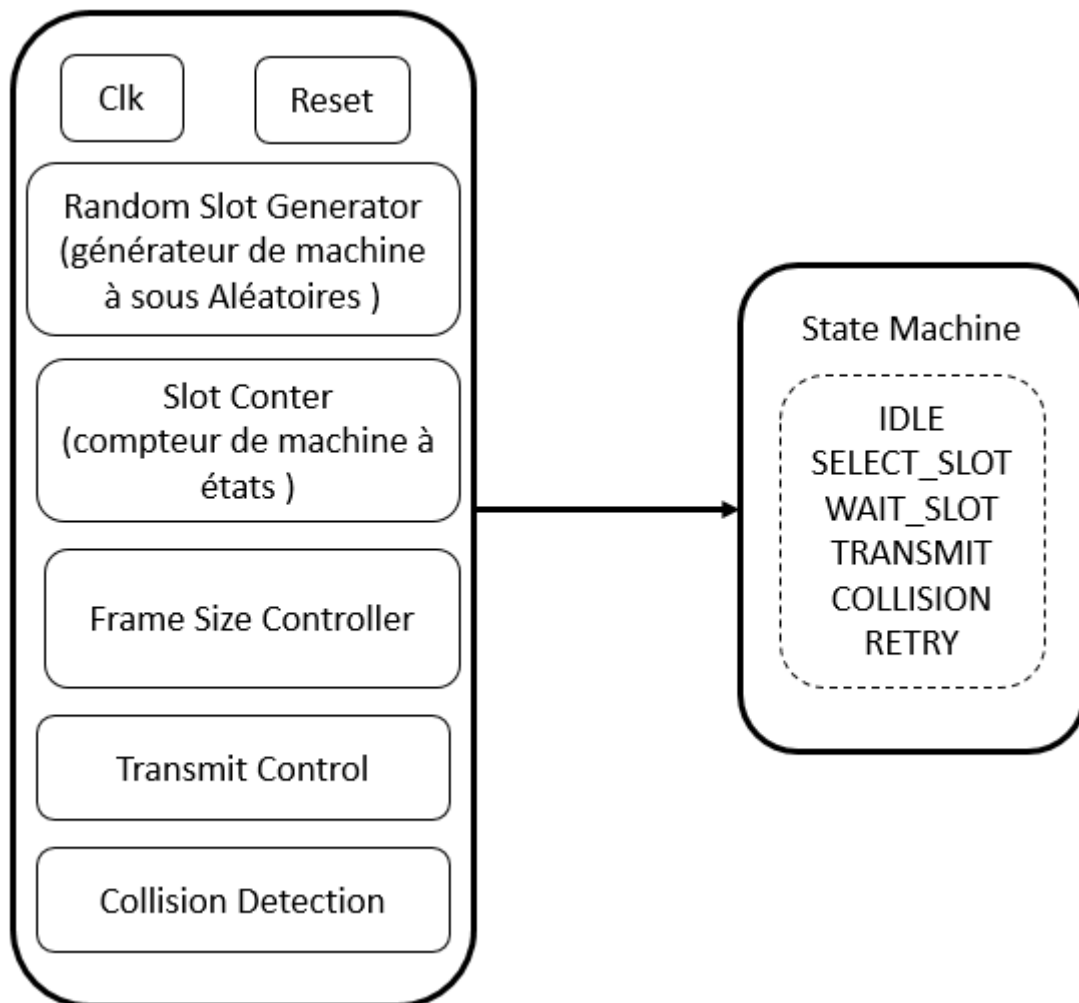


Figure II.3. Schémas Architecture DFSA

L'algorithme Dynamic Frame Slotted Aloha (DFSA) en Verilog utilise une architecture basée sur une machine à états pour ajuster dynamiquement la taille des trames en fonction des taux de collision. Cette approche avancée améliore la gestion des transmissions dans les systèmes RFID, assurant une utilisation efficace du canal de communication :

1. Générateur de Slot Aléatoire :

Ce petit outil utilise un registre à décalage à rétroaction linéaire (LFSR) pour générer des numéros de slot qui semblent aléatoires. Ces slots sont utilisés pour déterminer quand chaque étiquette commence à transmettre, ce qui réduit les risques de collisions en répartissant les transmissions dans le temps.

2. Machine à États :

La machine à états gère les différents états des étiquettes RFID :

- **IDLE** : C'est l'état où l'étiquette attend le début d'une nouvelle trame.
- **SELECT_SLOT** : L'étiquette sélectionne aléatoirement un slot dans la trame actuelle.
- **WAIT_SLOT** : L'étiquette attend jusqu'à ce qu'elle atteigne le slot sélectionné.
- **TRANSMIT** : L'étiquette transmet ses données.
- **COLLISION** : L'étiquette détecte une collision et arrête la transmission.
- **RETRY** : L'étiquette attend une période aléatoire avant de tenter une nouvelle transmission.
- **ADJUST_FRAME** : L'étiquette ajuste dynamiquement la taille du cadre en fonction du taux de collisions observé.

3. Contrôle de Transmission :

Ce mécanisme active le signal de transmission lorsque l'étiquette est prête à transmettre (état TRANSMIT) et le désactive en cas de collision détectée ou après une transmission réussie. Cela permet d'optimiser l'utilisation du canal de communication.

4. Compteur de Slot :

Le compteur de slot garde une trace du slot actuel dans la trame. Lorsque le compteur atteint le slot aléatoire généré, l'étiquette commence à transmettre ses données.

5. Ajustement de la Taille du Cadre :

Cette fonctionnalité modifie dynamiquement la taille du cadre en fonction du taux de collisions. Si les collisions dépassent la moitié de la taille actuelle, la taille du cadre est augmentée. Si les collisions sont inférieures au quart, la taille du cadre est diminuée. Cependant, il y a une taille minimale prédéfinie qui doit être respectée.

En intégrant ces différents composants dans une architecture cohérente, l'algorithme DFSA permet d'optimiser la gestion des transmissions et de minimiser les conflits, ce qui assure une meilleure efficacité et fiabilité globale du système RFID.

1. **Contrôle de Transmission** : Active le signal de transmission lorsque l'étiquette est prête à transmettre (état TRANSMIT) et le désactive en cas de collision détectée ou après une transmission réussie, optimisant ainsi l'utilisation du canal de communication.
2. **Compteur de Slot** : Suivi du slot actuel dans la trame. Lorsque le compteur atteint le slot aléatoire généré, l'étiquette commence à transmettre ses données.
3. **Ajustement de la Taille du Cadre** : Dynamiquement modifie la taille du cadre en fonction du taux de collisions. Une augmentation de la taille du cadre est envisagée si les collisions dépassent la moitié de la taille actuelle, tandis qu'une diminution est envisagée si elles sont inférieures au quart, tout en respectant une taille minimale prédéfinie.

En intégrant ces composants dans une architecture cohérente, l'algorithme DFSA permet d'optimiser la gestion des transmissions et de minimiser les conflits, assurant ainsi une meilleure efficacité et fiabilité globale du système RFID.

C.3 Implémentation de Dynamic Frame Slotted Aloha

L'implémentation de l'algorithme Dynamic Frame Slotted Aloha (DFSA) en Verilog repose sur une architecture sophistiquée pour gérer les transmissions RFID et minimiser les collisions. DFSA ajuste dynamiquement la taille des cadres en fonction du taux de collisions, ce qui améliore l'efficacité par rapport à l'Aloha classique.

L'architecture générale de l'algorithme peut être représentée par un diagramme de flux illustrant les transitions entre les différents états et les interactions entre les composants :

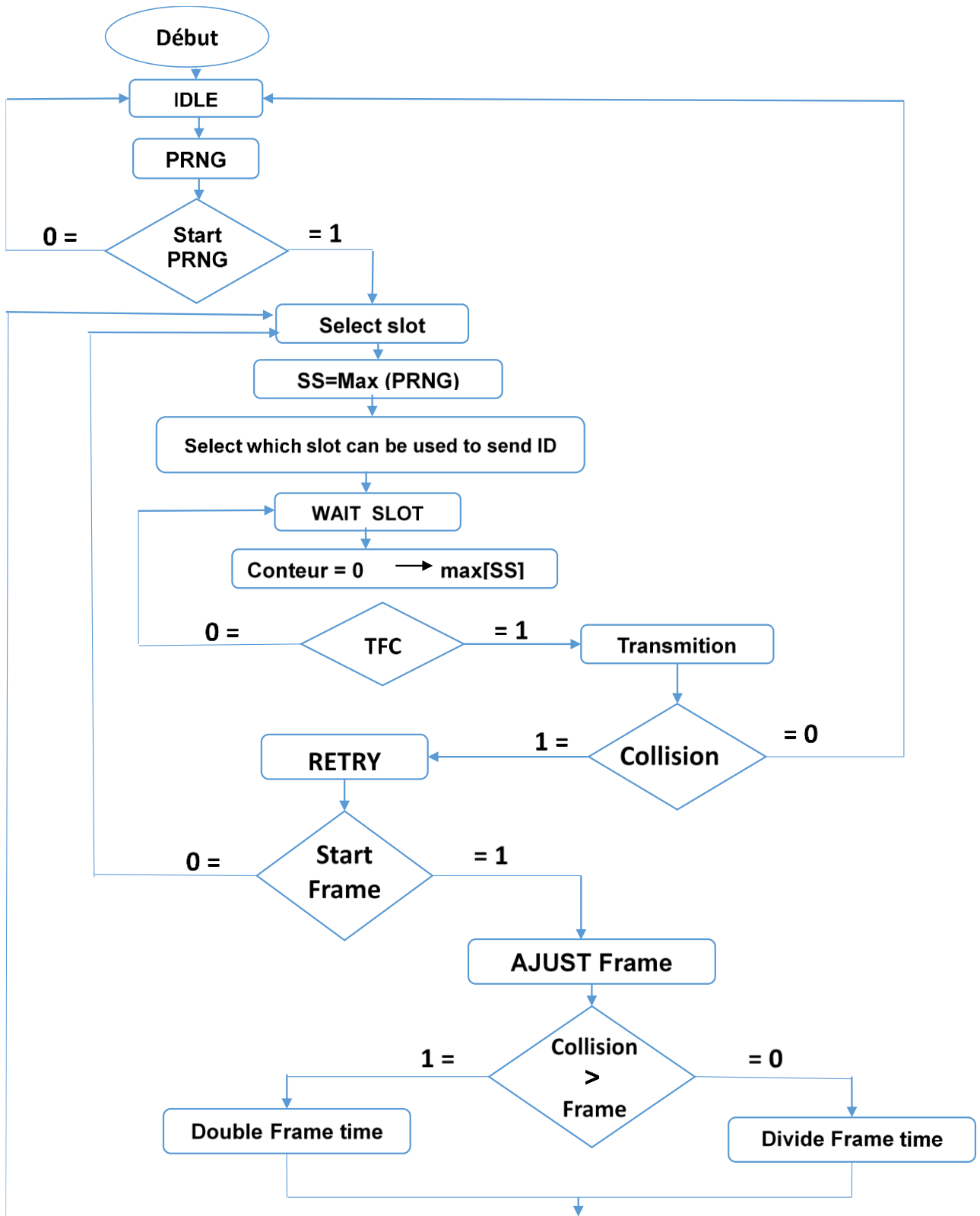


Figure II.4. Schémas d'implémentation du DFSA

II.2.4. Flux de conception sur circuit digitale

Le flux de conception d'un circuits digitaux (ou circuits numériques) est un processus crucial dans la production de circuits intégrés. Il implique l'utilisation d'outils de conception assistée par ordinateur (CAO) pour concevoir un circuit intégré. Ce processus comporte plusieurs étapes clés :

1. **Spécification des exigences** : Cette étape implique la définition claire des exigences fonctionnelles et des performances du circuit. Les concepteurs établissent ce que le circuit doit accomplir, les contraintes de temps, de coût, de consommation d'énergie, et les exigences spécifiques de l'application.
2. **Conception de haut niveau (ou conception architecturale)** : À ce stade, une architecture générale du circuit est développée. Cela inclut la définition des modules fonctionnels, des interfaces, et des interconnexions principales. Les outils de modélisation comme System C ou Matlab peuvent être utilisés pour simuler le comportement global du système.
3. **Description comportementale (ou conception RTL - Register Transfer Level)** : Le design RTL décrit le circuit en termes de transferts entre registres et des opérations logiques. Les langages de description de matériel (HDL) comme VHDL ou Verilog sont utilisés pour coder le comportement du circuit.
4. **Simulation et vérification présynthèse** : À ce stade, les descriptions RTL sont simulées pour vérifier leur fonctionnalité. Les simulateurs comme ModelSim ou Synopsys VCS sont utilisés pour s'assurer que le design fonctionne comme prévu.
5. **Synthèse logique** : La synthèse logique convertit le code RTL en une représentation de bas niveau appelée netlist, qui spécifie les portes logiques et les interconnexions nécessaires pour implémenter le circuit. Les outils de synthèse comme Synopsys Design Compiler ou Cadence Genus sont utilisés ici.
6. **Simulation et vérification post-synthèse** : Une fois la synthèse terminée, le design doit être à nouveau simulé pour vérifier que la netlist synthétisée fonctionne correctement et respecte les spécifications initiales.
7. **Conception physique (ou placement et routage)** : Cette étape implique la traduction de la netlist en une disposition physique sur le silicium. Le placement (positionnement des cellules logiques) et le routage (connexion des cellules) sont

effectués en utilisant des outils comme Cadence Innovus ou Synopsys IC Compiler.

- 8. Vérification physique :** Une fois le placement et le routage terminés, plusieurs vérifications doivent être effectuées :
 - **DRC (Design Rule Check) :** Vérifie que la disposition physique respecte les règles de fabrication.
 - **LVS (Layout Versus Schematic) :** Vérifie que la disposition physique correspond à la netlist logique.
 - **Timing Analysis :** Analyse les délais pour s'assurer que le circuit fonctionne correctement à la vitesse cible.
- 9. Extraction et simulation post-layout :** Après la vérification physique, les paramètres parasites (résistances, capacités) sont extraits de la disposition. Une simulation post-layout est effectuée pour vérifier que le circuit fonctionne correctement avec ces effets parasites.
- 10. Tape-out :** Le design final est préparé pour la fabrication. Cette étape consiste à générer les fichiers nécessaires pour la fabrication du circuit dans une fonderie.
- 11. Fabrication et tests :** Le circuit est fabriqué dans une fonderie de semi-conducteurs. Après fabrication, les puces sont testées pour vérifier leur bon fonctionnement. Les tests incluent des tests fonctionnels, des tests de performance, et des tests de fiabilité.
- 12. Validation et production :** Les puces fabriquées sont validées par des tests de terrain. Une fois validées, la production en volume peut commencer.

II.2.5. Flux de conception basé sur OpenLane

OpenLane est une plate-forme open-source destinée à automatiser la conception des circuits intégrés numériques. La plate-forme OpenLane utilise plusieurs outils open-source pour couvrir depuis la description RTL [39].

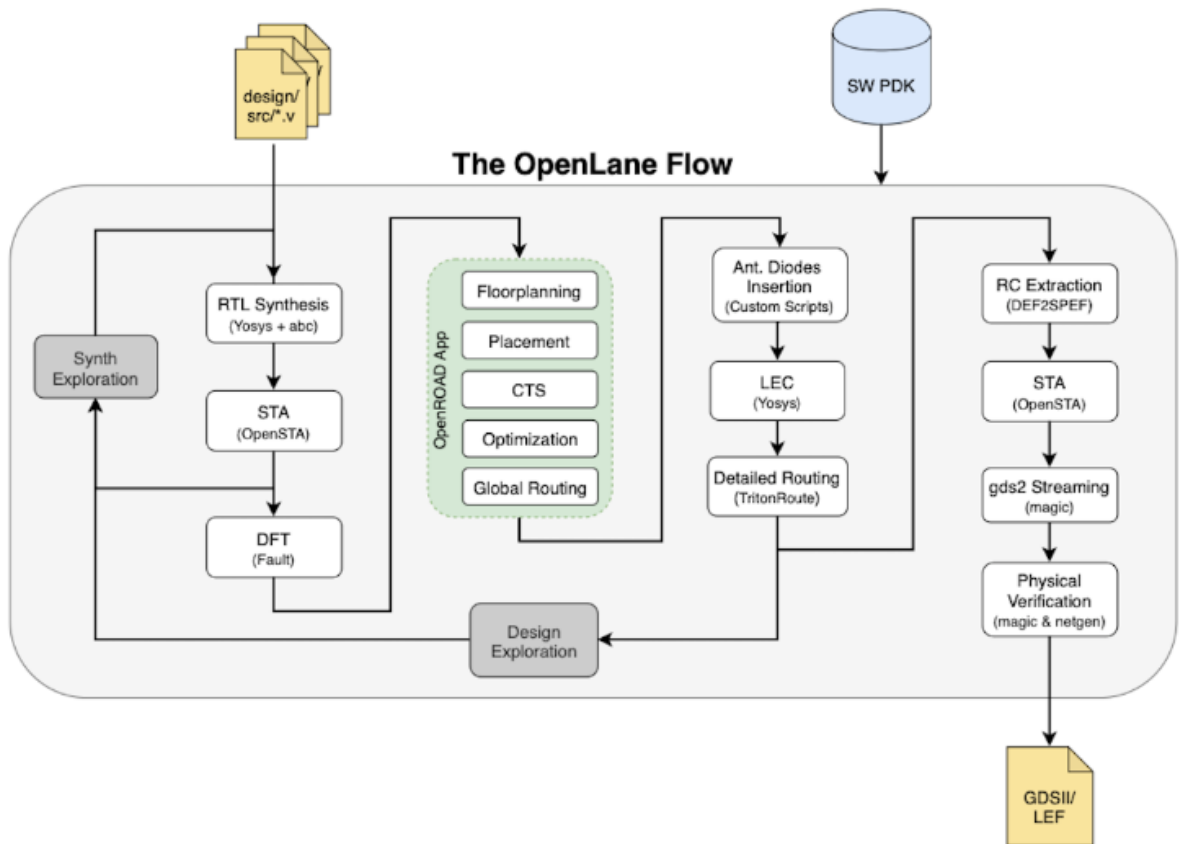
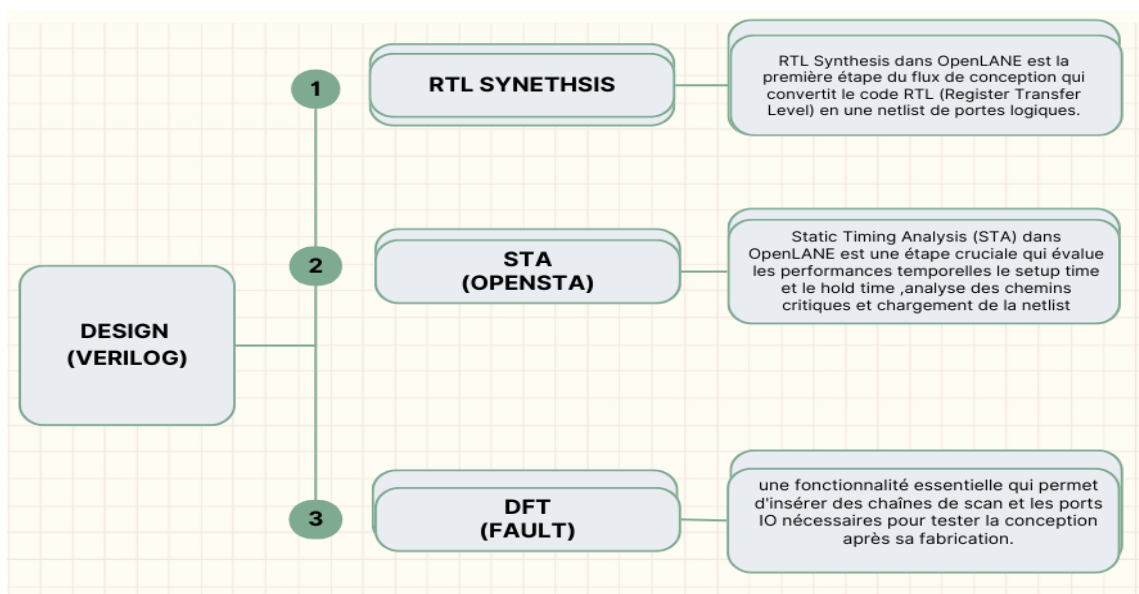


Figure II.5. Le schéma de flux de conception d'openlane [38]

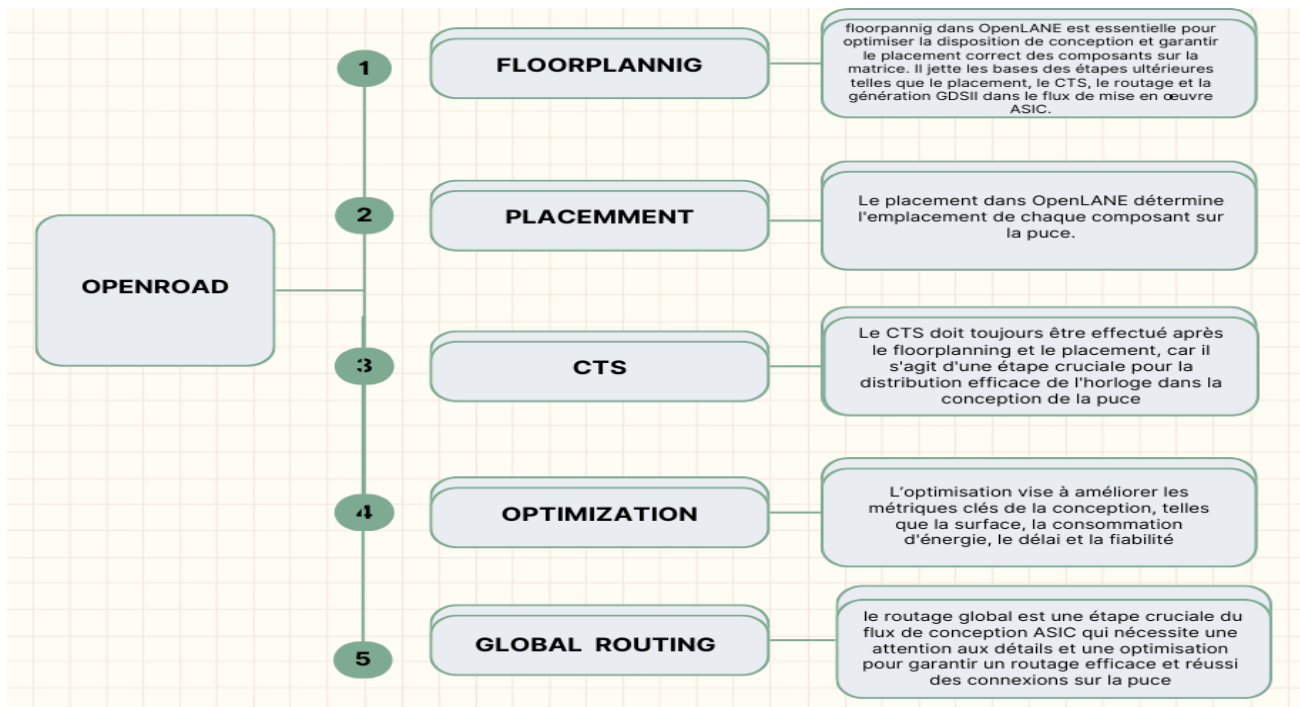
Cela en incluant des étapes inévitables dans le processus de fabrication numérique. Les étapes comprennent [38] [41] :

- **Le flux de conception se divise en quatre parties principales :**
1. Introduction du code verilog à l'Openlane : cette partie se divise en trois autres étapes de la conception, le **RTL synthesis** ainsi que le **STA** et le **DFT** qui sont expliqués dans le schéma ci-dessous :



- **RTL Synthesis** : Le niveau de transfert de registres (RTL) est une abstraction utilisée dans les langages de description matérielle (HDL) tels que Verilog et VHDL pour créer des représentations de haut niveau des circuits numériques. Il permet aux concepteurs de décrire la fonctionnalité d'un circuit en termes de flux de données entre les registres et des opérations logiques effectuées sur ces données. Cette abstraction est fondamentale dans la conception numérique moderne, car elle offre un équilibre entre la conception conceptuelle de haut niveau et l'implémentation détaillée. Au niveau RTL, la conception spécifie comment les données sont transférées entre les registres, contrôlées par des signaux d'horloge, et comment la logique combinatoire et séquentielle est appliquée pour traiter les données. Cette approche permet la synthèse de la conception en représentations de plus bas niveau et, finalement, le câblage réel nécessaire pour le matériel final, assurant ainsi un chemin efficace de la conception à l'implémentation [42] [43].
- **STA (Static Timing Analysis)** : L'analyse statique des timings (Static Timing Analysis, STA) est une méthode permettant de déterminer la validité des paramètres de timing d'une puce sans effectuer une simulation fonctionnelle complète. En utilisant STA, les concepteurs peuvent identifier et résoudre les violations des contraintes de timing, telles que les délais de propagation, les problèmes de synchronisation des horloges et les marges de temps. Cette méthode évalue tous les chemins critiques de la conception pour s'assurer que les signaux atteignent leurs destinations dans les délais requis. Une puce pour laquelle STA ne révèle aucune violation des contraintes de timing est considérée comme ayant atteint la clôture de timing, signifiant qu'elle fonctionnera correctement à la fréquence d'horloge prévue dans toutes les conditions opérationnelles spécifiées. L'analyse statique des timings est cruciale pour garantir la fiabilité et la performance des circuits intégrés modernes [42] [43].
- **DFT (Design for Testability)** : La conception pour testabilité (DFT) dans OpenLane est un processus critique qui intègre des techniques telles que l'insertion de chaînes de scan et de points de test dès le niveau RTL pour garantir que les circuits intégrés peuvent être efficacement testés après fabrication, facilitant ainsi la détection et le diagnostic des défaillances internes.

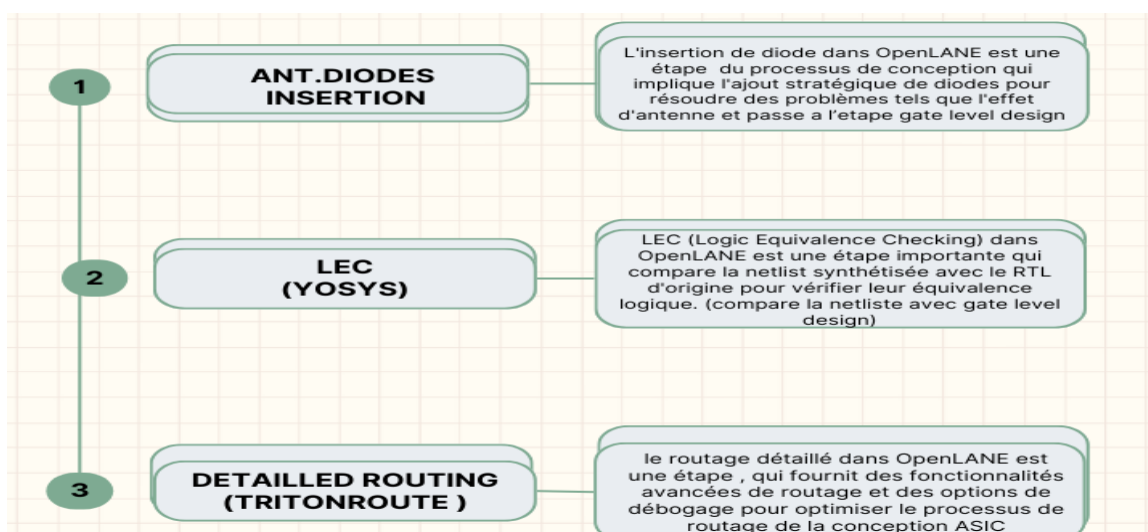
2. L'OpenRoad : cette partie traite de code introduit en le faisant passer par quatre autres étapes comme le montre le schémas ci-dessous :



- **Planification** : il s'agit de l'étape initiale, au cours de laquelle la zone globale de la puce est divisée en différents blocs fonctionnels et régions. La taille de chaque zone est déterminée en tenant compte des exigences de conception, la distribution de l'énergie et les considérations relatives au routage des signaux [43].
- **Placement** : Au cours de l'étape de placement, les cellules individuelles de la netlist synthétisée sont placées à l'intérieur de leurs blocs ou régions respectifs sur la puce. L'objectif est d'optimiser les performances et de minimiser la longueur totale des fils, ce qui affecte directement la synchronisation et le timing de la puce. Directement les caractéristiques de synchronisation et de puissance de la puce [43].
- **Synthèse de l'arbre d'horloge (CTS)** : L'arbre d'horloge est généré pour distribuer efficacement le signal d'horloge sur l'ensemble de la puce. D'horloge à travers la puce de manière efficace. La CTS vise à minimiser l'inclinaison de l'horloge et de fournir une distribution équilibrée de l'horloge à toutes les bascules, en assurant une synchronisation correcte de la conception [43].

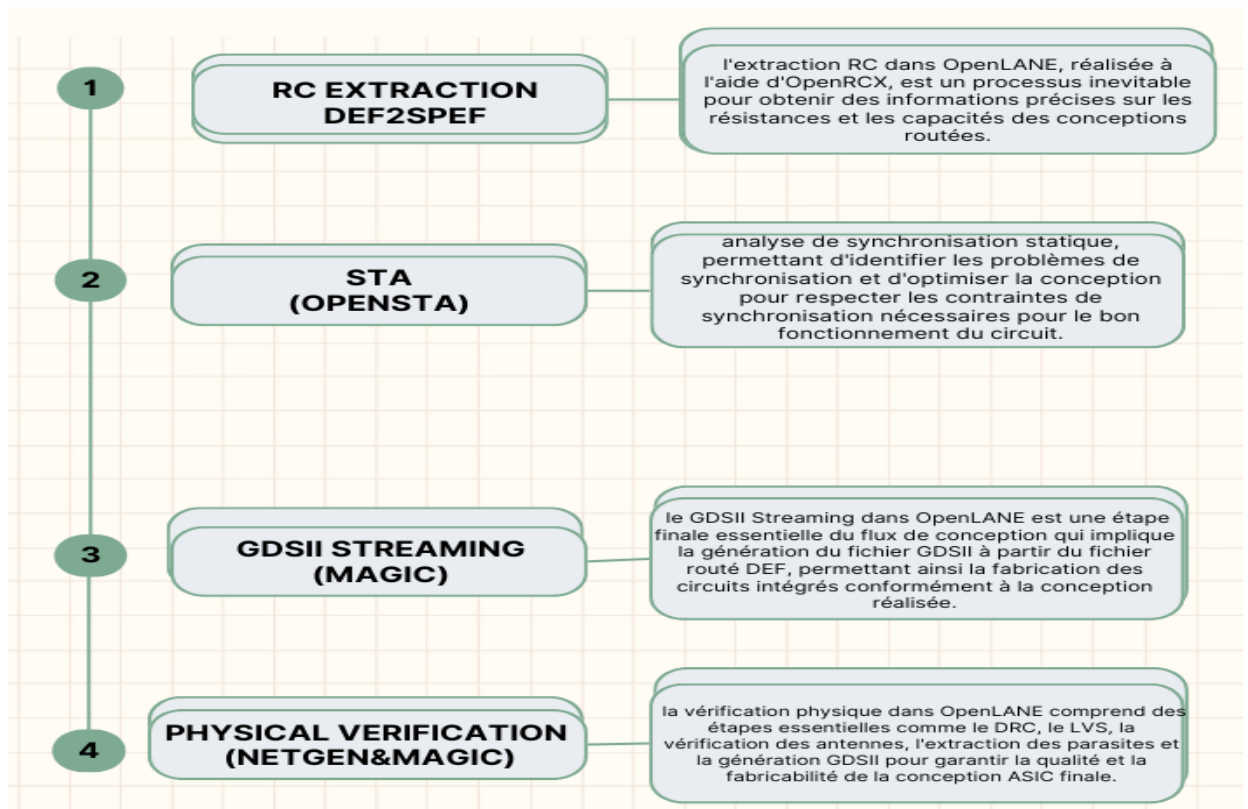
- **Optimization** : 'optimisation dans OpenLane est un processus essentiel qui implique de modifier différents paramètres de conception, tels que la taille des cellules, leur position et leur routage, afin d'améliorer les performances, la surface et la consommation d'énergie des circuits intégrés, tout en respectant les contraintes de synchronisation et de fabrication.
- **Routage** : Elle consiste à la création des interconnexions métalliques entre les différentes cellules afin d'établir les connexions logiques spécifiées dans la conception RTL. L'objectif est de respecter les exigences en matière de délais et de fabricabilité tout en minimisant les encombrements [43].

L'insertion de diodes (int Diode insertion) : En intégrant des diodes dans un circuit, il est possible de réguler le flux de courant, de prévenir les surtensions, de convertir les niveaux logiques, de redresser des signaux et de compenser les fluctuations de température, ce qui améliore la performance et la fiabilité du système électronique.



LEC (Logical Equivalence Checking) : Les outils de CAO (Conception Assistée par Ordinateur) utilisent la technique de "" (LEC) pour vérifier si deux descriptions logiques, généralement présentes sous forme de netlists ou de fichiers RTL (Register Transfer Level), sont équivalentes sur le plan fonctionnel. Il est crucial de procéder à cette vérification afin de garantir l'absence d'erreurs de conception ou de changements inattendus entre les différentes étapes du processus de conception de circuits intégrés. Lors de la synthèse, Yosys, un outil de synthèse RTL populaire, propose des fonctionnalités de LEC afin d'assurer la précision et la cohérence des transformations réalisées sur le code source RTL [42].

3. La dernière étape du flux :



- **L'extraction RC (DEF2SPEF) :** consiste à extraire les résistances et les capacités liées aux fils métalliques et aux nœuds de connexion dans une puce intégrée en utilisant les données de conception physique. L'outil ou la méthode DEF2SPEF est employé afin de convertir les données de conception (fichiers DEF) en fichiers SPEF (Format d'échange standard des parasites), qui décrivent les parasites extraits requis pour vérifier la synchronisation et d'autres analyses.
- **STA (OpenSTA) :** STA, également connu sous le nom d'Analyse de Timing Static, est une technique employée afin de vérifier si une conception de circuit numérique répond à toutes les contraintes de synchronisation temporelle. Cette analyse est réalisée par OpenSTA, un outil open-source qui utilise des données provenant de la conception (netlists et contraintes temporelles) afin d'évaluer les temps de propagation des signaux et de repérer les éventuelles violations de synchronisation [42].
- **GDS2 Streaming (Magic) :** Le format de fichier GDS2 est couramment employé pour stocker des données de dessin de circuits intégrés, tels que les masques de

photolithographie. Les outils tels que Magic ont la capacité de lire et de traiter en continu des fichiers GDS2 afin de visualiser, modifier et vérifier les dessins de circuits intégrés [42].

- **Physical Verification (Magic et Netgen) :** La vérification physique Dans le cadre de la conception de circuits intégrés, la vérification physique consiste à valider les dessins afin de garantir leur conformité aux normes de conception et de fabrication. Magic offre la possibilité de dessiner et de vérifier les règles de conception des circuits intégrés, tandis que Netgen est un outil de vérification qui permet de vérifier la conformité des dessins aux règles spécifiques de la fonderie et de repérer les éventuelles violations qui pourraient compromettre la fabricabilité ou les performances du circuit intégré.

II.3. Technologie utilisé Skywater (Bibliothèques de cellule standard dans le processus SkyWater 130nm)

La technologie utilisée par SkyWater pour le processus de 130nm comprend diverses bibliothèques de cellules standard, chacune optimisée pour des caractéristiques spécifiques. Le tableau II.2 présente les bibliothèques de cellules standard dans le processus SkyWater 130nm [40] :

	Caractéristiques	Applications
Sky130_fd_sc_hd (Bibliothèque de cellules standard à haute densité)	Optimisée pour une utilisation lorsque la densité des cellules est une priorité, permettant de faire tenir plus de cellules dans un espace donné, ce qui est idéal pour les applications qui nécessitent un grand nombre de fonctions logiques sur une puce de petite taille	Utilisé dans les applications où l'espace est limité et où une haute densité de circuits est requise
Sky130_fd_sc_hdll (Bibliothèque de cellules standard à haute densité et faible fuite)	Conçues pour offrir une densité élevée tout en minimisant les courants de fuite, réduisant ainsi la consommation d'énergie statique	Idéales pour les applications où la faible consommation d'énergie est critique, telles que les appareils mobiles ou les systèmes sur puce à faible consommation d'énergie
Sky130_fd_sc_hs (Bibliothèque de cellules standard à haute vitesse)	Optimisée pour des performances élevées avec des temps de propagation plus courts, permettant des fréquences de fonctionnement plus élevées	Utilisée dans les applications nécessitant des vitesses de traitement élevées, telles que les processeurs, les processeurs de signaux numériques (DSP) et les circuits à haute fréquence
Sky130_fd_sc_ms (Bibliothèque de cellules standard à vitesse moyenne)	Offre un équilibre entre la vitesse de traitement et la consommation d'énergie, avec des performances moyennes par rapport aux bibliothèques à grande vitesse et à faible consommation d'énergie	Utilisée dans les applications nécessitant un compromis entre les performances et la consommation d'énergie
Sky130_fd_sc_ls (Bibliothèque de cellules standard à faible vitesse)	Optimisée pour une faible vitesse, réduisant la consommation d'énergie dynamique et statique	Idéale pour les applications où la consommation d'énergie minimale est plus importante que la vitesse de traitement, comme les capteurs et les appareils IoT
Sky130_fd_sc_lp (Bibliothèque de cellules standard à faible consommation d'énergie)	Conçue pour réduire la consommation d'énergie en minimisant les courants de fuite et la consommation d'énergie dynamique	Utilisées dans les dispositifs alimentés par batterie où l'efficacité énergétique est critique, tels que les dispositifs mobiles et les capteurs
Sky130_fd_sc_hvl (Bibliothèque de cellules standard pour la logique haute tension)	Optimisée pour fonctionner à des tensions plus élevées que les bibliothèques standard, permettant l'interfaçage avec des circuits analogiques ou des composants externes nécessitant des niveaux de tension plus élevés	Utilisée dans les applications qui nécessitent une interface avec des niveaux de tension plus élevés, comme les circuits mixtes analogiques-numériques et les circuits d'alimentation

Tableau II.2. Bibliothèque de la technologie SkyWater

Nous utilisons la bibliothèque sky130_fd_sc_hd par rapport aux autres bibliothèques disponibles. La bibliothèque sky130_fd_sc_hd est privilégiée en raison de son équilibre optimal entre densité, vitesse et consommation d'énergie, ce qui la rend particulièrement adaptée à la conception de systèmes RFID basés sur la fréquence. Contrairement aux bibliothèques à faible puissance ou à haute vitesse, sky130_fd_sc_hd offre une flexibilité et une performance équilibrée, facilitant la mise en œuvre efficace et pratique des circuits avec OpenLane. Ces différentes bibliothèques de cellules standard dans le processus SkyWater 130nm (sky130) offrent une variété de caractéristiques pour répondre à différents besoins en termes de performance, de densité, de consommation d'énergie et de niveau de tension.

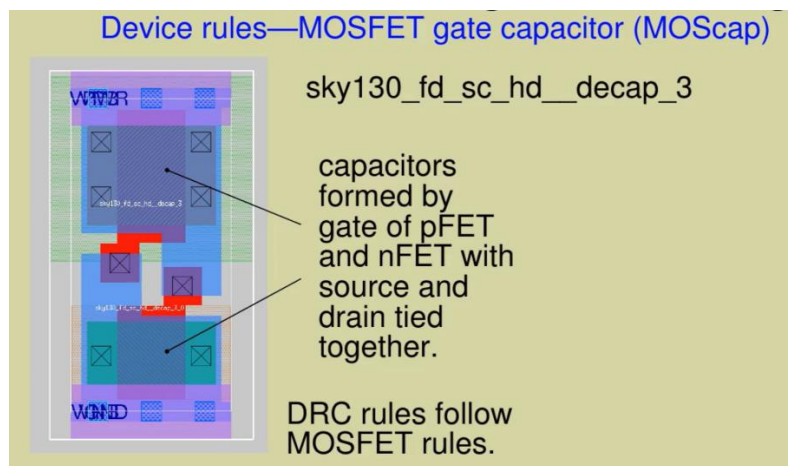


Figure II.6. MOSFET sky130_fd_sc_hd

Le choix de la bibliothèque dépend des exigences spécifiques de l'application, telles que la vitesse de traitement, la densité des cellules, la consommation d'énergie et la compatibilité avec des niveaux de tension spécifiques.

II.4. Conclusion

En conclusion, la gestion des collisions dans les systèmes RFID est cruciale pour garantir des lectures précises et efficaces de multiples tags simultanément. Les algorithmes d'anticollision, comme l'algorithme d'arbre binaire basé sur le lecteur et l'algorithme Aloha basé sur le tag, offrent des approches complémentaires pour minimiser les interférences et optimiser la communication. OpenLane, en tant que plateforme de conception de circuits intégrés open-source, permet de tirer parti des bibliothèques de cellules standard du processus SkyWater 130nm, telles que **sky130_fd_sc_hd**, pour concevoir des systèmes RFID sophistiqués. En intégrant ces solutions, il est possible de créer des systèmes RFID robustes, performants et adaptés à divers besoins industriels et commerciaux.

REFERENCES

CHAPITRE II

- [30]. Nikola Cmiljanic, Hugo Landaluce and Asier Perallos. A Comparison of RFID Anti-Collision Protocols for Tag Identification. Faculty of Engineering, University of Deusto, Avda. Universidades, 24, 48007 Bilbao, Spain; 1 August 2018.
- [31]. Tang, Z.; He, Y. Research of Multi-access and Anti-collision Protocols in RFID Systems. In Proceedings of the 2007 International Workshop on Anti-Counterfeiting, Security and Identification (ASID), Xiamen, China, 16–18 April 2007; pp. 377–380.
- [32]. Wang, W.; Zhang, Y.; Sang, Y.; Wang, S. Analysis of anti-collision algorithms in RFID system. In Proceedings of the 2009 IEEE International Conference on Communications Technology and Applications, Boston, MA, USA, 16–18 October 2009 ; pp. 58–62.
- [33]. Burdet, L.A. RFID Multiple Access Methods. Smart Environments Seminar, Zurich. 2004. Available online: www.vs.inf.ethz.ch/edu/SS2004/DS/reports/06RFID-macreport.pdf (accessed on 20 April 2018).
- [34]. Abramson, N. THE ALOHA SYSTEM: Another alternative for computer communications. In Proceedings of the Fall Joint Computer Conference, Houston, TX, USA, 17–19 November 1970; pp. 281–285.
- [35]. Roberts, L. ALOHA packet system with and without slots and capture. ACM SIGCOMM Comput. Commun. Rev. 1975, 5, 28–42.
- [36]. Klair, D.; Chin, K.; Raad, R. An Investigation into thie Energy Efficiency of Pure and Slotted Aloha Based REID Anti-Collision Protocols. In Proceedings of the 2007 IEEE International Symposium on a World of Wireless, Mobile and Multimedia Networks, Espoo, Finland, 18–21 June 2007; pp. 1–4.
- [37] Schoute, F. Dynamic Frame Length Aloha. IEEE Trans. Commun. 2010, 31, 565–568.
- [38]. Namboodir, V.; DeSilva, M.; Deegala, K.; Ramamoorthy, S. An extensive study of slotted Aloha-based RFID anti-collision protocols. Comput. Commun. 2012, 35, 1955–1966.
- [39]. OpenLane documentaions. Available at NewcomersOpenLane Documentation (openlane2.readthedocs.io) Juin 2024
- [40]. PDK Contents; github. Available at Libraries — SkyWater SKY130 PDK 0.0.0-369-g7198cf6 documentation (skywater-pdk.readthedocs.io) Juin 2024
- [41] MIQUEL MORETÓ PLANAS. EVALUATION OF OPEN-SOURCE SYNTHESIS TOOLS FOR ASIC DESIGN. Facultat 39; Informàtica de Barcelona (FIB) Universitat Politècnica de Catalunya (UPC) - BarcelonaTech 20/10/2023
- [42]Glossary - OpenLane Documentation (openlane2.readthedocs.io) Juin 2024

- [43] Sergi Xabier, Alborn Vergés. Implementation of a deep learning accelerator in an open-source PDK. Universitat Politècnica de Catalunya. Barcelona, Date 01/09/2023
- [44]. Yan, F.; Shao, X.; Sun, Q. The dynamic anti-collision algorithm based on the similar binary in RFID system. In Proceedings of the 2008 2nd International Conference on Anti-Counterfeiting, Security and Identification, Guiyang, China, 20–23 August 2008; pp. 444–447.
- [45]. Lin, C.; Lin, F. Efficient Estimation and Collision-Group-Based Anti-collision Algorithms for Dynamic Frame-Slotted Aloha in RFID Networks. *IEEE Trans. Autom. Sci. Eng.* 2010, 7, 840–848. [CrossRef]
- [46] Masoumeh Moradian, Aresh Dadlani, Senior Member, IEEE, Ahmad Khonsari, and Hina Tabassum, Age-Aware Dynamic Frame Slotted ALOHA for Machine-Type Communications. Submitted on 2 Jan 2024 2401.01424 ([arxiv.org](https://arxiv.org/abs/2401.01424))
- [47] Zhaozhe Jiang, Bo Li, Mao Yang, Zhongjiang Yan. LC-DFSA: Low Complexity Dynamic Frame Slotted Aloha Anti-Collision Algorithm for RFID System. School of Electronics and Information, Northwestern Polytechnical University, Xi'an 710072, China 2019. <https://doi.org/10.3390/s20010228>
- [48]. Ahmed Alaa Ghazy and Mohamed Shalan. OpenLANE: The Open-Source Digital ASIC Implementation Flow. Efabless Corporation, San Jose, USA 2The American University in Cairo, New Cairo, EGYPT.
- [49] Hui Wang · Shengliang Xiao · Feiyu Lin · Tianchu Yang · Laurence T. Yang. Group improved enhanced dynamic frame slotted ALOHA anti-collision algorithm. Springer Science+Business Media New York 2014.

CHAPITRE III

III.1. Introduction

Dans ce dernier chapitre, nous allons présenter les résultats clés de la conception, de la simulation, de la vérification et de l'implémentation sur ASIC de l'unité d'anticollision, nous commencerons par un rappel de l'architecture de l'unité afin de poser le contexte La section III.3 détaillera les résultats de la conception digitale, en mettant l'accent sur les choix de conception et les optimisations réalisées pour atteindre les objectifs de performance et de consommation.

Ensuite, la section suivante exposera les résultats des simulations fonctionnelles et électriques, ainsi que les différentes étapes de vérification menées pour s'assurer du bon fonctionnement de l'unité.

La partie la plus conséquente sera consacrée aux résultats de l'implémentation sur ASIC dans l'avant dernière section nous détaillerons les étapes clés que sont la synthèse, l'implémentation physique et les vérifications finales avant fabrication. Les résultats en termes de surface, de fréquence maximale et de consommation seront présentés.

Enfin, nous comparerons les résultats obtenus aux spécifications initiales dans la section III.5 et discuterons des points forts et des points d'amélioration de la conception.

III.2. Rappel sur l'architecture de l'unité d'anticollision

- **Rappel sur l'architecture de l'unité d'anticollision SA**

L'implémentation d'un l'algorithme Slotted Aloha dans Verilog pour un tag RFID implique à créer un automate d'état qui gère les différentes étapes de l'algorithme : initialisation, sélection aléatoire de slot, transmission, détection de collision et retransmission.

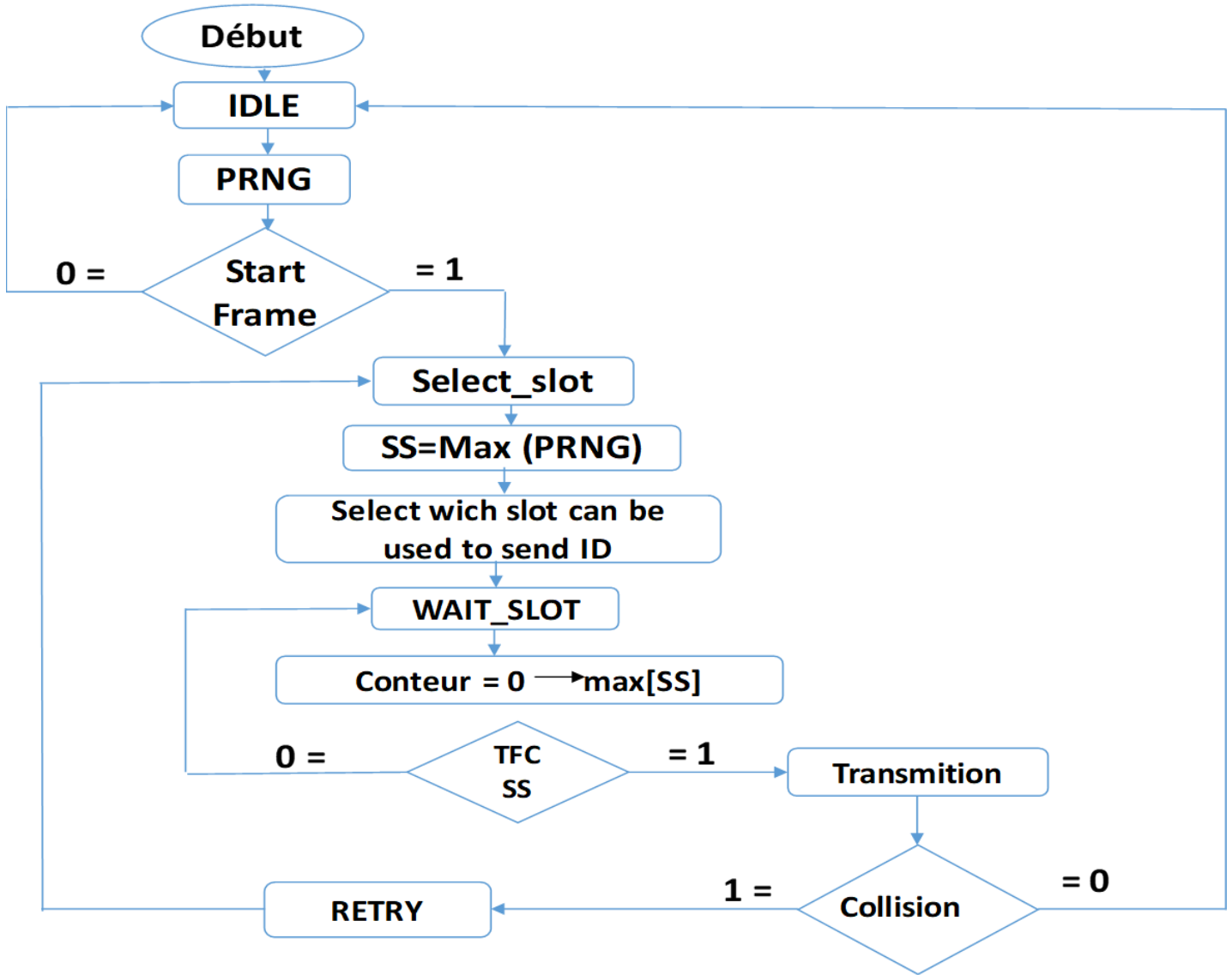


Figure III.1. Schémas du Slotted Aloha

- **Rappel sur l'architecture de l'unité d'anticollision DFSA**

L'implémentation d'un l'algorithme DFSA dans Verilog pour un tag RFID implique à créer un automate d'état qui gère les différentes étapes de l'algorithme : initialisation, sélection aléatoire de slot, transmission, détection de collision et retransmission, ajuster le frame et le diviser par la suite.

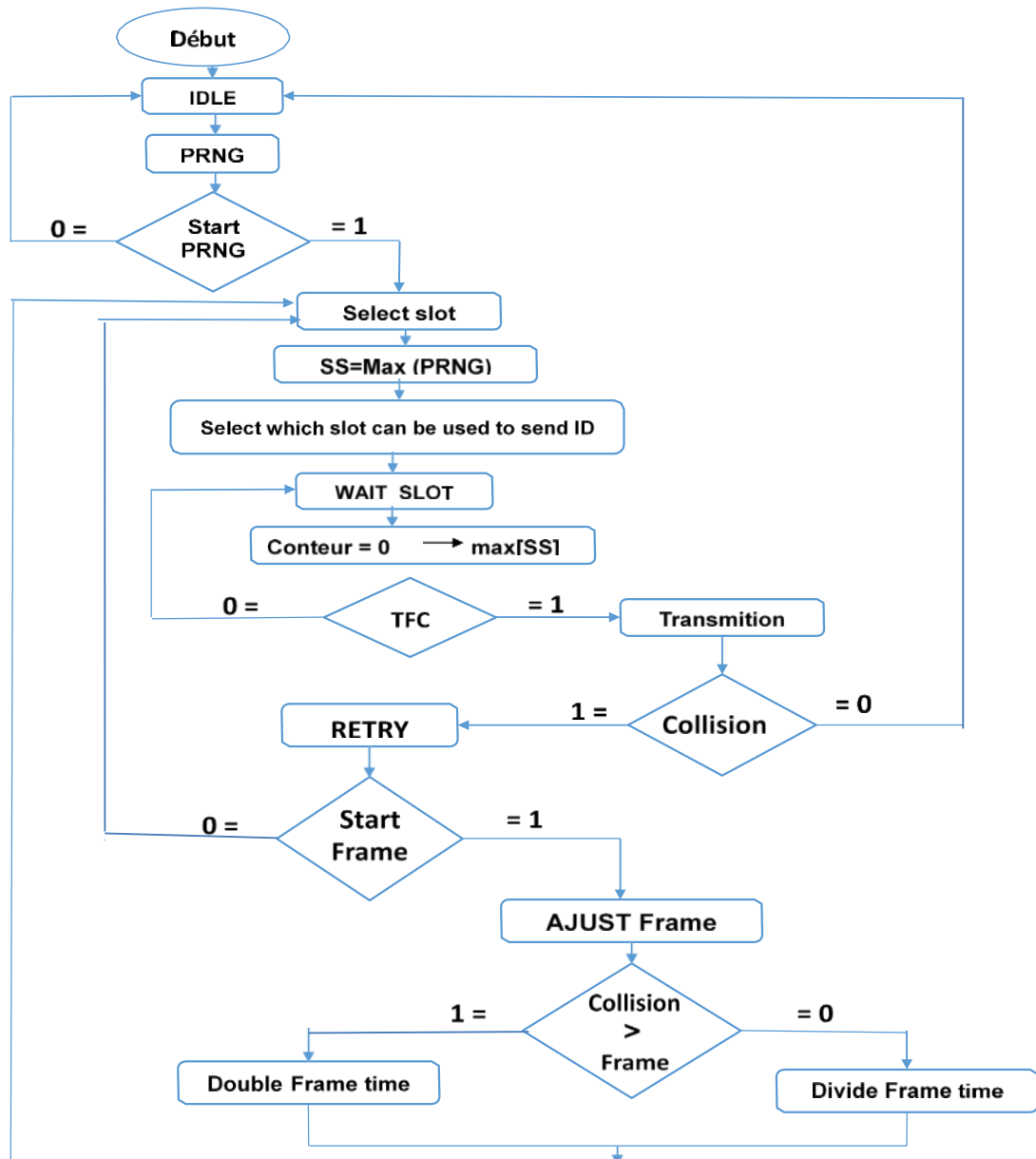


Figure III.2. Schémas DFSA

III.3. Environnement de travail

Dans le cadre de notre centre de recherche, nous privilégions l'utilisation d'outils open source pour la conception et la réalisation de notre projet. Cet environnement de travail nous permet de bénéficier de la flexibilité, de la transparence et de la communauté collaborative qui caractérisent les logiciels open source. Nous disposons de tous les outils nécessaires sur nos propres ordinateurs, ce qui renforce notre autonomie et notre capacité à innover. Tout d'abord nous avons commencée par :

1. Conception du Code Verilog avec IVerilog

L'une des étapes cruciales de notre processus de développement consiste en la conception et la simulation de circuits numériques en utilisant le langage de description matériel Verilog. Pour cela, nous employons **Icarus Verilog (iverilog)**, un compilateur Verilog open source puissant et largement utilisé, afin de réaliser notre code et pouvoir l'implémenter par la suite.

2. Vérification du code verilog :

Nous avons utilisé du **VTKWAVE** pour visualiser les formes d'onde open source et de pouvoir vérifier le fonctionnement de notre code verilog.

3. L'implémentation au niveau de l'OpenLane :

Après la conception et la simulation, nous passons à l'implémentation physique avec **OpenLane**, une plateforme de conception open source développée par **Efabless**.

OpenLane nous permet de transformer notre description Verilog en une conception physique prête pour la fabrication.



- **Étapes d'implémentation sur OpenLane :**
- **Installation d'OpenLane :** Suivre les instructions sur le site web [GitHub officiel](#) pour installer OpenLane.

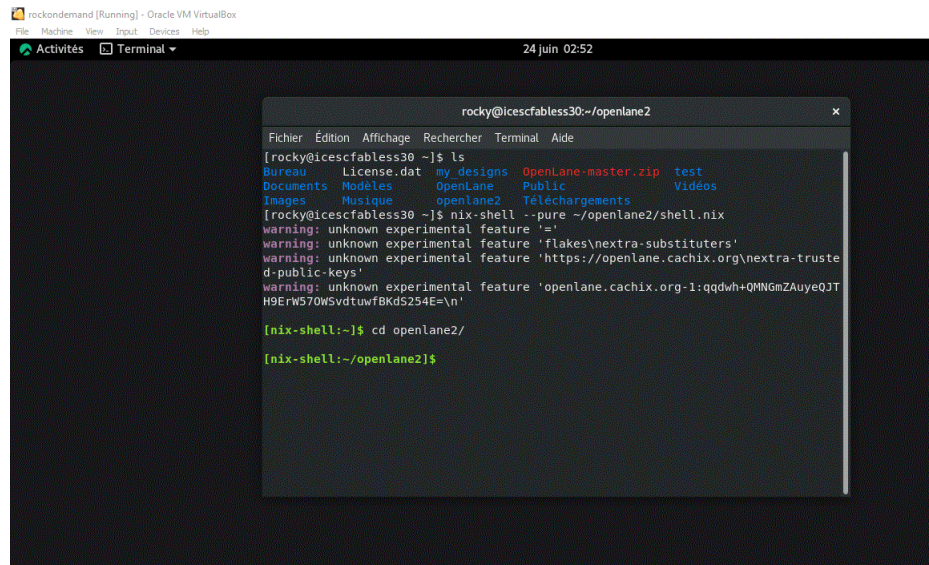


Figure III.3. Plan de Travail OpenLane

- **Configuration du projet :** Créer un fichier de configuration JSON pour le projet :
Exemple du config.json pour le slotted aloha SA :



Figure III.4. Config JSON de la simulation SA

4. **Exécution du flux OpenLane** : Lancer OpenLane avec la configuration créée :
`openlane ~/my_designs/imp24/config/config.json`

5. **Analyse des résultats** : Examiner les journaux et les résultats générés pour s'assurer que l'implémentation répond aux exigences de conception.

En utilisant ces outils open source tels que Icarus Verilog et GTKWave pour la conception et la simulation, ainsi qu'OpenLane pour l'implémentation physique, nous pouvons mener à bien des projets de conception numérique de manière efficace et collaborative. Travailler avec ces outils sur nos propres ordinateurs nous offre une grande flexibilité et nous permet de tirer parti des ressources et de la communauté open source, notamment sur des plateformes comme GitHub. Cette approche nous permet d'innover et d'optimiser nos processus de conception tout en maintenant des standards de qualité élevés.

III.4. Résultats de conception digitale

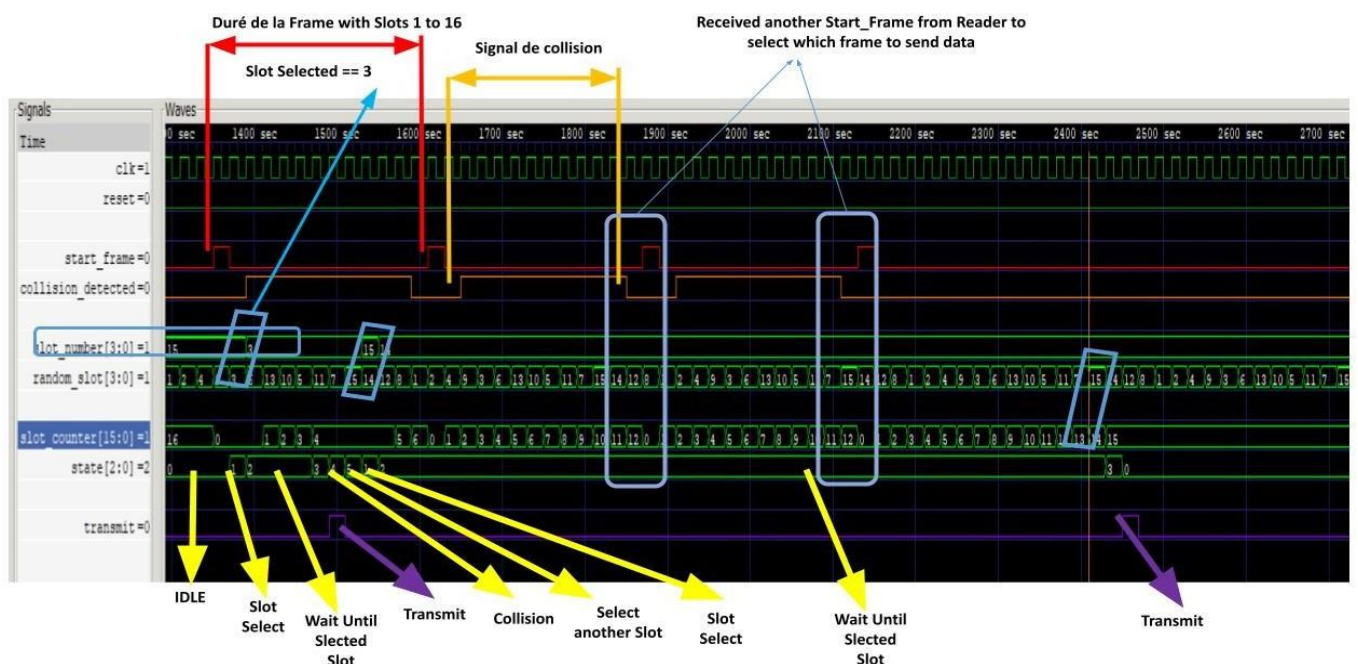


Figure III.5. Test bench de la simulation du code Verilog d'anticollision SA

- La figure III.5 montre le résultat du code verilog de la conception de l'unité d'anticollision SA (slotted aloha).

a. **Non-collision** : `signal de collision detected = 0`

Le lecteur commence à envoyer un signal de début (START frame) d'une durée de 0 à 15, le générateur PRNG choisi un slot aléatoire (random slot) à partir du frame sélectionné, indiqué en bleu dans la figure III.5, une fois que le random slot choisi un chiffre (dans la figure le random slot =3), le slot number donc prend la même valeur de ce dernier afin de déclencher un compteur (slot counter) et entamer la transmission du DATA en passant par les states (étapes) suivantes :

- **State 0 : IDLE**
- **State 1: wait until selected slot**
- **State 2: transmit DATA**

b. Collision : signal de collision detected = 1

Comme le montre la figure III.6 une fois le signal de collision = 1 le tag se met en position de collision repasse par les states suivantes (select another slot, slot select, wait slot, transmit) ces states sont appelées **RETRY** une fois que le lecteur renvoie un signal la data se transmet au prochain front montant du signal du lecteur.

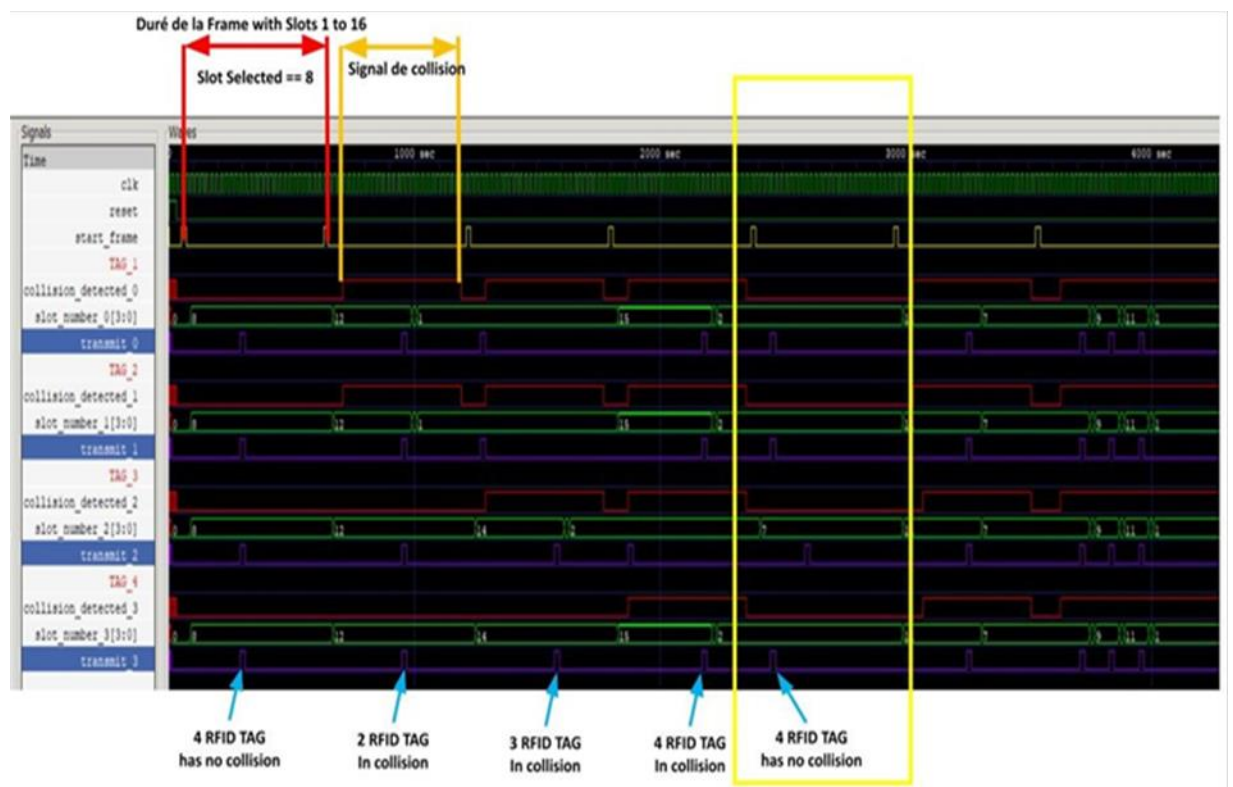


Figure III.6. Résultats de la simulation de plusieurs tags RFID en collision.

La figure III.6 représente les résultats de la simulation de plusieurs tags RFID en collision.

Le slot selected dans cette simulation == 8, dans le premier cas le signal de collision =0 ce qui indique aucune collision n'a été détecté par le lecteur la transmission ce fait normalement.

Dans le deuxième cas comme le montre la figure il y a une collision entre deux tags car leur ils ont eu le même slot number.

Les tags restent en collision jusqu'à la sélection d'un nouveau slot number et envoient leur DATA un par un par un.

III.5. Résultats de l'implémentation sur ASIC

III.5.1. Synthèse

```
01-verilator-lint/  
├── 02-checker-linttimingconstructs/  
├── 03-checker-linterrors/  
├── 04-yosys-jsonheader/  
├── 05-yosys-synthesis/  
├── 06-checker-yosysunmappedcells/  
├── 07-checker-yosyssynthchecks/  
├── 08-openroad-checksdcfiles/  
├── 09-openroad-stapreprenr/  
├── 10-openroad-floorplan/  
├── 11-odb-setpowerconnections/  
├── 12-odb-manualmacroplacement/  
├── 13-openroad-cutrows/  
├── 14-openroad-tapendcapinsertion/  
├── 15-openroad-globalplacementskipio/  
└── Final/GDSII
```

III.5.2. Implementation

a. Implémentation Slotted_Aloha_SA

Commande pour afficher le klayout de notre résultat ↓

```
openlane --last-run --flow openinklayout ~/my_designs/imp24/config/config.json
```

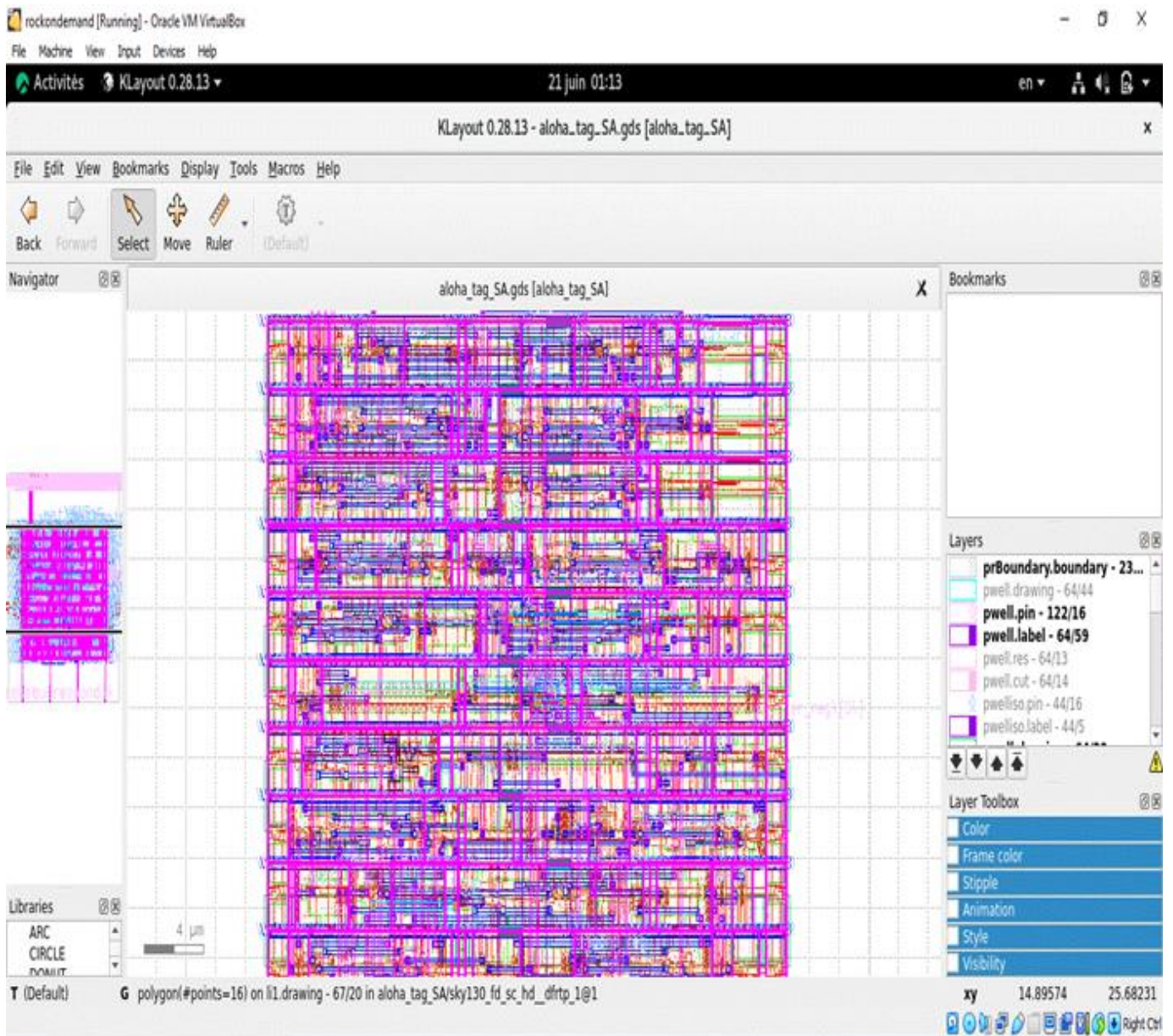


Figure III.7. Résultat KLAYOUT

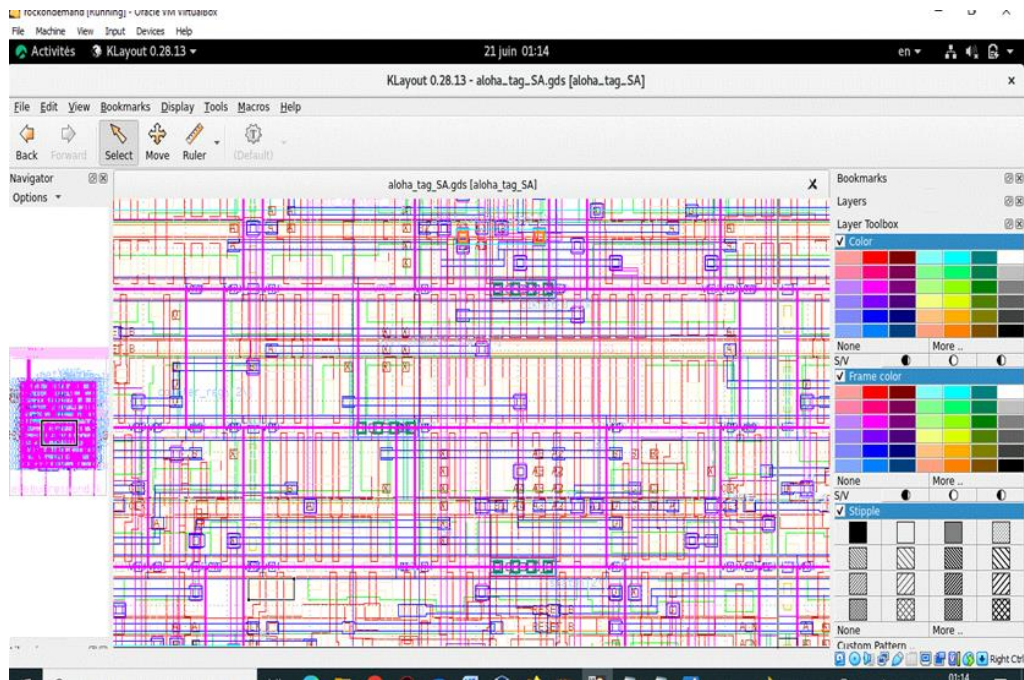


Figure III.8. Détails KLAYOUT ZOOMÉ

`openlane --last-run --flow openinopenroad ~/my_designs/imp24/config/config.json`

- Visualisation de l'implémentation en utilisant OpenRoad

Commande pour afficher le résultat en utilisant l'OpenRoad

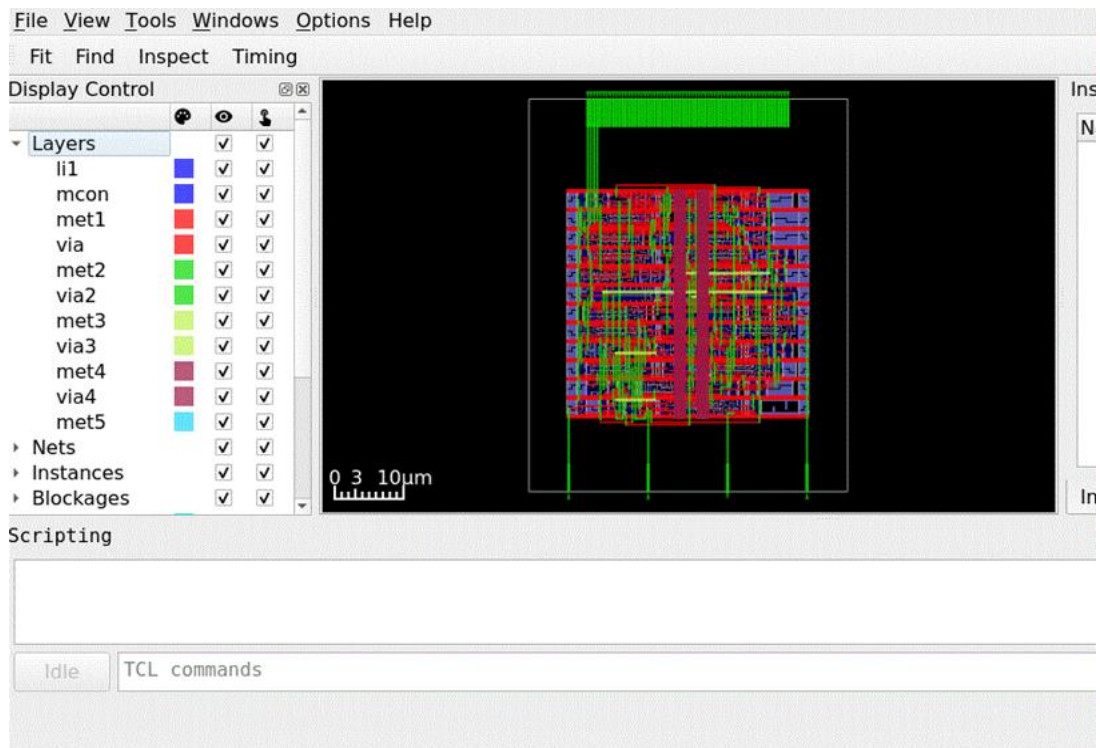


Figure III.9. Résultat OpenRoad du SA

b. Implémentation du code DFSA_RFID_tags

Commande pour afficher le Klayout du DFSA ↓

```
openlane --last-run --flow openinklayout ~/my_designs/DFSA/config/config.json
```



Figure III.10. Résultats Klayout

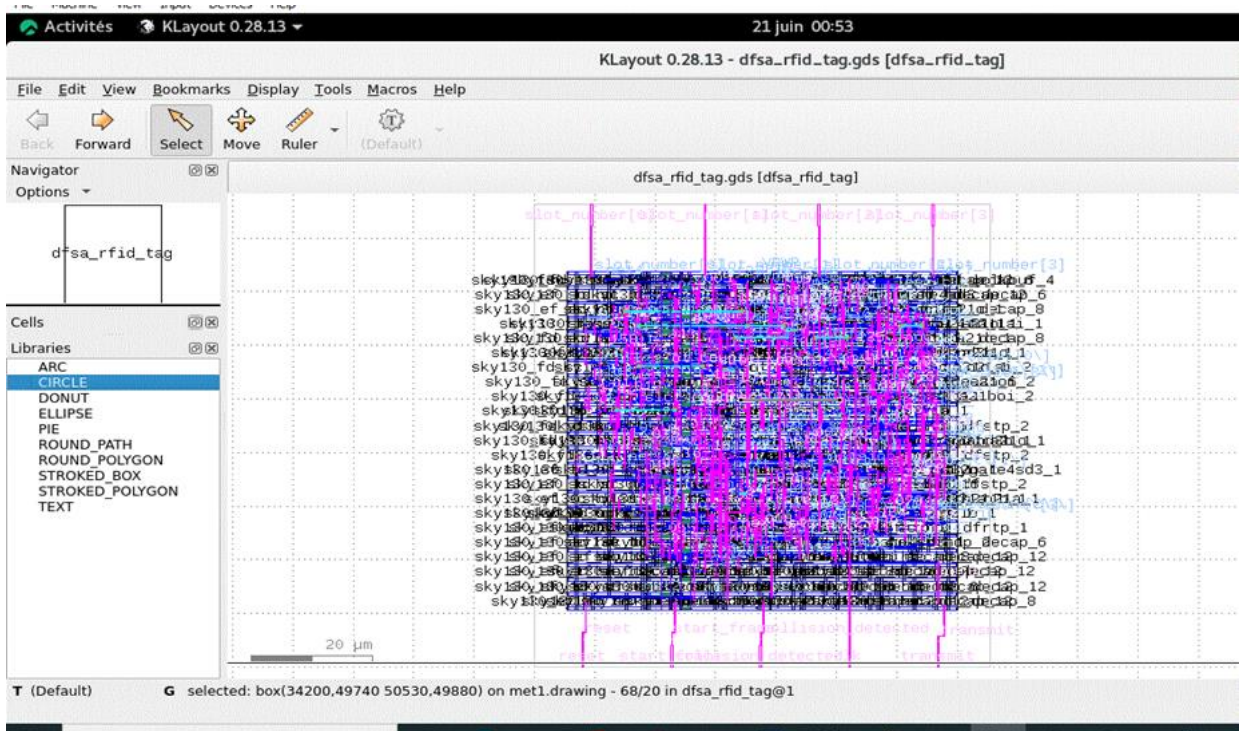
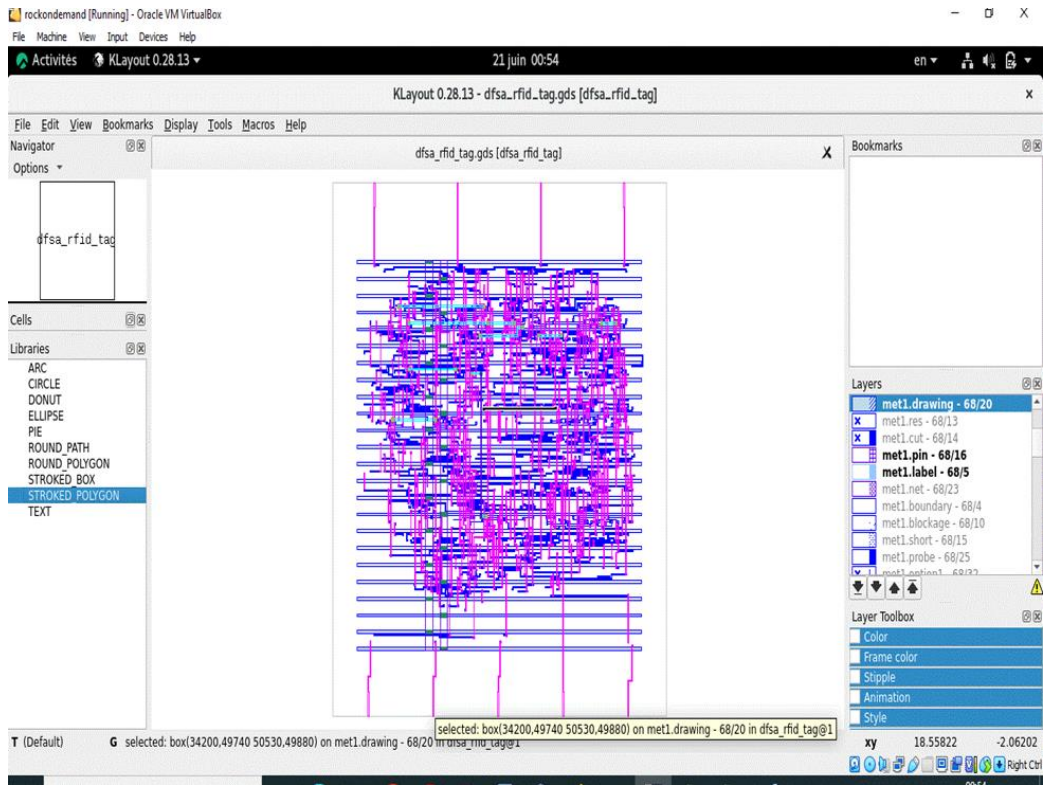



Figure III.11. Résultat du KLAYOUT DFSA

- **Visualisation de l'implémentation en utilisant OpenRoad**

Commande pour afficher le résultat en utilisant l'OpenRoad 

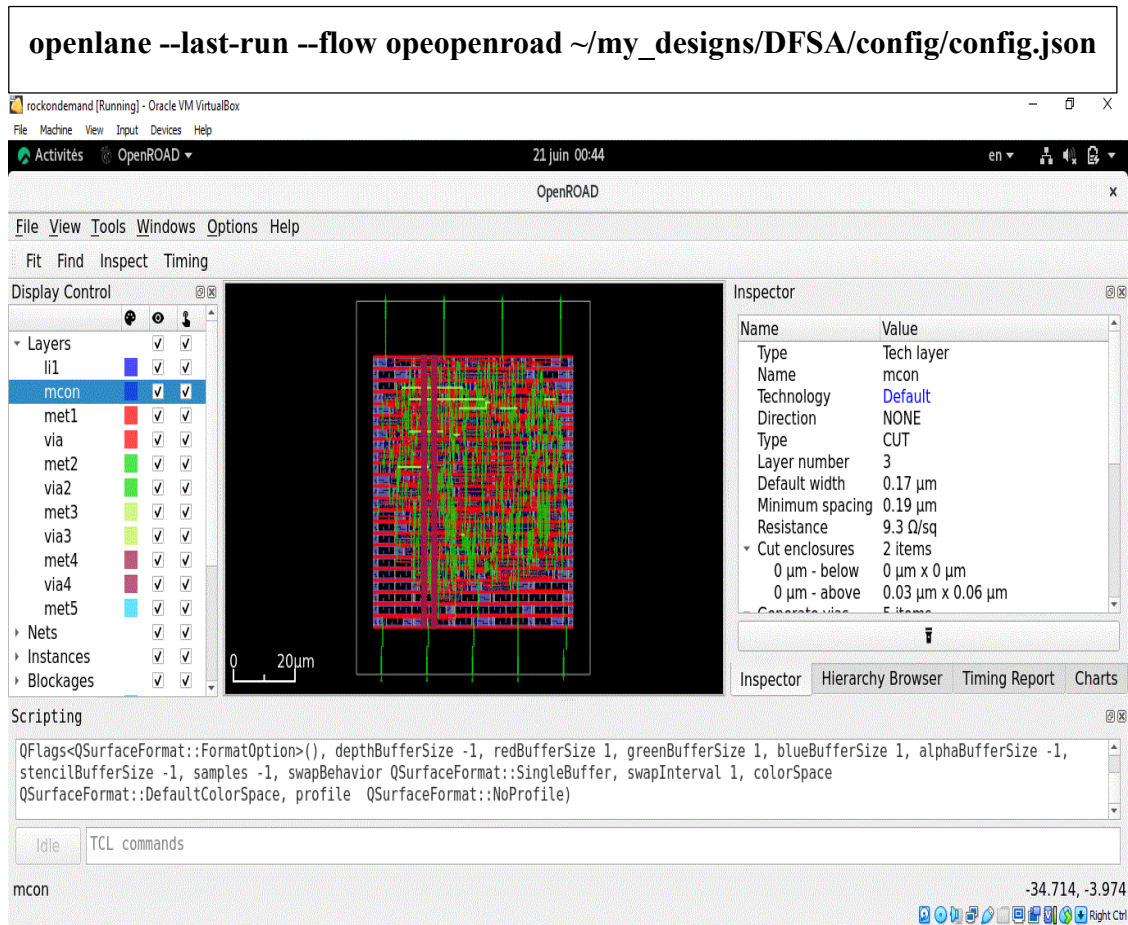


Figure III.12. Résultat Open Road DFSA

III.5.3. Comparaison et discussion

a. Comparaison des Résultats de la Simulation

Pour évaluer l'efficacité et la précision de notre conception d'une unité d'anticollision, nous avons comparé les résultats de la simulation obtenus à différentes étapes du processus. Les outils utilisés incluent Icarus Verilog pour la simulation fonctionnelle et OpenLane pour l'implémentation physique. Voici les principaux points de comparaison :

1. Simulation Fonctionnelle avec Icarus Verilog :

- **Comportement Logique** : La simulation fonctionnelle a permis de vérifier le comportement logique de notre unité d'anticollision. Les signaux de sortie étaient conformes aux attentes théoriques basées sur notre description Verilog.
- **Vérification de la Temporisation** : Les timings observés lors de la simulation fonctionnelle ont montré que les délais de propagation et les transitions des états étaient correctement gérés, assurant une performance optimale de notre conception.

2. Simulation Post-Synthèse avec OpenLane :

- **Correspondance avec la Simulation Fonctionnelle** : Les résultats post-synthèse ont été comparés aux résultats de la simulation fonctionnelle. Les formes d'onde et les séquences de transition étaient en accord, confirmant que la synthèse n'a pas introduit d'erreurs logiques.
- **Timing et Contraintes de Conception** : Les analyses de timing ont montré que notre conception respectait les contraintes de temporisation spécifiées. Les chemins critiques identifiés étaient dans les marges acceptables, garantissant ainsi une performance fiable de l'unité d'anticollision.

b. Discussion sur les Résultats de la Simulation

Les résultats obtenus à travers les différentes étapes de la simulation et de l'implémentation physique nous offrent plusieurs points de discussion :

1. Précision et Fiabilité :

- **Précision des Simulations** : Les simulations fonctionnelles et post-synthèse ont montré une correspondance élevée, indiquant que notre code Verilog a été synthétisé correctement sans altérer la logique originale.
- **Fiabilité des Outils** : L'utilisation d'outils open source tels qu'Icarus Verilog et OpenLane a démontré leur capacité à gérer des conceptions complexes avec précision, tout en offrant des résultats fiables et reproductibles.

2. Performance et Optimisation :

- **Optimisation des Timings** : Les analyses de timing ont révélé que notre conception était optimisée pour respecter les contraintes de temporisation. Cependant, il existe des marges pour améliorer davantage les chemins critiques identifiés, potentiellement en ajustant la synthèse ou en modifiant la conception logique.
- **Gestion des Ressources** : La gestion des ressources dans OpenLane, notamment l'utilisation efficace de la surface de la puce et la densité de placement, a été satisfaisante. Cela assure une bonne utilisation des ressources tout en maintenant les performances requises.

3. Défis et Améliorations Futures :

- **Avertissements et Défaillances** : Quelques avertissements relatifs aux fichiers SDC et aux diodes sur les ports ont été notés. Bien que ceux-ci n'aient pas empêché la réussite de l'implémentation, ils soulignent des aspects à améliorer pour des conceptions futures.
- **Évolutivité** : Le processus a mis en lumière l'importance de la modularité et de la réutilisabilité du code Verilog. En améliorant ces aspects, nous pourrions faciliter les modifications et les extensions futures de notre conception.

III.6. Conclusion

La simulation et l'implémentation de notre unité d'anticollision en utilisant OpenLane se sont révélées être un processus efficace et instructif. En intégrant des outils open source dans notre environnement de travail, nous avons pu non seulement concevoir et simuler notre circuit Verilog avec précision, mais également réaliser son implémentation physique de manière fluide et autonome. Cette expérience a démontré la puissance et l'efficacité des outils open source pour la conception, la simulation et l'implémentation de circuits numériques. Nous avons établi une base solide pour de futurs projets et avons acquis des compétences précieuses.

Conclusion générale

Cette étude met en évidence l'importance stratégique de la technologie RFID dans différents domaines tels que la gestion des stocks, la traçabilité des produits et la logistique, après avoir examiné en détail la technologie RFID et son application dans la conception d'unités d'anticollision basées sur des algorithmes d'arbre binaire. La RFID propose des solutions performantes pour gérer et suivre les actifs à travers diverses étapes de la chaîne d'approvisionnement en permettant la communication sans fil entre les étiquettes intelligentes et les lecteurs RFID.

Une avancée majeure est l'utilisation d'algorithmes d'arbre binaire pour résoudre les problèmes d'interférences entre les cartes RFID dans les zones de lecture des lecteurs. Grâce à ces algorithmes, la gestion des collisions est améliorée et la communication entre les étiquettes RFID et les lecteurs est améliorée, garantissant ainsi une précision accrue et une réduction des erreurs dans les applications en action.

Ce mémoire met en évidence la faisabilité et la pertinence croissante des outils de CAO opensource dans le domaine de la microélectronique en intégrant la technologie Verilog avec la plateforme ASIC Skywater 130nm et en utilisant l'environnement de conception OpenLane. Grâce à cette méthode, l'accès à des technologies de conception de circuits intégrés avancées devient plus accessible, offrant ainsi aux concepteurs la possibilité de réaliser des conceptions numériques complexes tout en optimisant les dépenses et en réduisant les développements.

Malgré les progrès accomplis, de nombreux défis demeurent, tels que l'amélioration continue des performances des systèmes RFID, la diminution des dépenses de production et l'amélioration de la fiabilité des circuits numériques. L'innovation continue et la collaboration au sein de la communauté des concepteurs et des chercheurs sont indispensables pour relever ces défis et saisir les opportunités offertes par les technologies émergentes dans le domaine de la microélectronique.

En conclusion, ce mémoire met en évidence l'importance stratégique des technologies RFID et des outils de CAO opensource dans la conception d'unités d'anticollision, tout en encourageant une exploration continue et des innovations futures afin de répondre aux besoins évolutifs des applications RFID et de la microélectronique dans un monde de plus en plus connecté et automatisé

