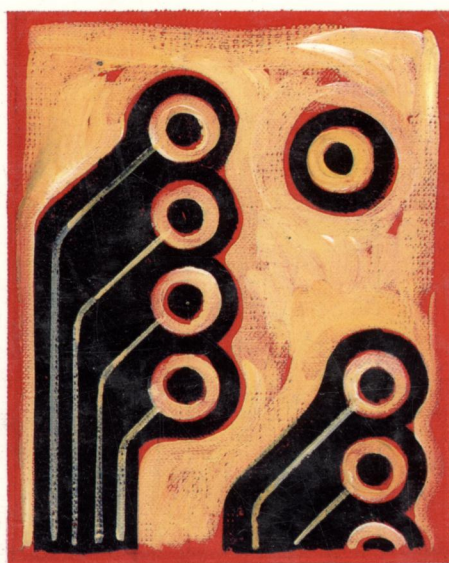


Architecture des ordinateurs

Une approche quantitative

3^e édition

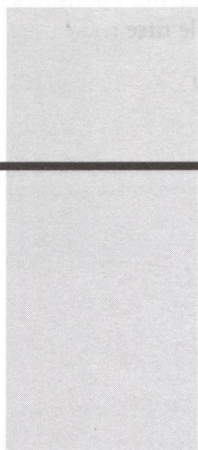


John L. Hennessy
David A. Patterson

Vuibert Informatique

2-004-260-1

2-004-260-1



Architecture des ordinateurs

Une approche quantitative

Troisième édition

John L. Hennessy

Université de Stanford

David A. Patterson

Université de Californie, Berkeley

Contributions de

David Goldberg

Centre de recherche Xerox Palo Alto

Krste Asanovic

Département d'ingénierie électrique et informatique,

Massachusetts Institute of Technology

Traduction de

Daniel Etiemble

Université Paris Sud (Orsay)



Vuibert

Table des matières

Avant-propos	XXI
Préface	XXVII
Remerciements	XXXV

Chapitre 1 **Principes fondamentaux de conception des ordinateurs**

1.1	Introduction	2
1.2	L'évolution de l'informatique et la tâche du concepteur	4
	L'ordinateur de bureau	5
	Les serveurs	5
	Les ordinateurs enfouis	7
	La tâche du concepteur	9
1.3	Évolution des technologies	12
	Extensibilité des performances du transistor, connexions et puissance dans les circuits intégrés	13
1.4	Coût, prix, et leurs tendances	15
	L'impact du temps, du volume et des fournitures	15
	Le coût d'un circuit intégré	18
	La distribution du coût dans un système : un exemple	22
	Coût et prix — Pourquoi ils diffèrent et de combien	22
1.5	Mesurer et publier les performances	26
	Mesurer la performance	27
	Choisir les programmes pour évaluer la performance	27
	Les ensembles de benchmarks	29
	Présenter les résultats de performance	34
	Comparer et présenter les performances	36
1.6	Les principes quantitatifs de la conception des ordinateurs	41
	Rendre rapide le cas courant	41
	La loi d'Amdahl	41
	L'équation de performance CPU	44
	Principe de localité	48
	Tirer parti du parallélisme	49
1.7	Bilan : performance et prix-performance	50
	Performance et prix-performance pour les systèmes de bureau	50
	Performance et prix-performance pour les benchmarks transactionnels	52
	Performance et prix-performance pour les processeurs enfouis	54

Table des matières

Avant-propos	XXI
Préface	XXVII
Remerciements	XXXV

Chapitre 1 **Principes fondamentaux de conception des ordinateurs**

1.1	Introduction	2
1.2	L'évolution de l'informatique et la tâche du concepteur	4
	L'ordinateur de bureau	5
	Les serveurs	5
	Les ordinateurs enfouis	7
	La tâche du concepteur	9
1.3	Évolution des technologies	12
	Extensibilité des performances du transistor, connexions et puissance dans les circuits intégrés	13
1.4	Coût, prix, et leurs tendances	15
	L'impact du temps, du volume et des fournitures	15
	Le coût d'un circuit intégré	18
	La distribution du coût dans un système : un exemple	22
	Coût et prix — Pourquoi ils diffèrent et de combien	22
1.5	Mesurer et publier les performances	26
	Mesurer la performance	27
	Choisir les programmes pour évaluer la performance	27
	Les ensembles de benchmarks	29
	Présenter les résultats de performance	34
	Comparer et présenter les performances	36
1.6	Les principes quantitatifs de la conception des ordinateurs	41
	Rendre rapide le cas courant	41
	La loi d'Amdahl	41
	L'équation de performance CPU	44
	Principe de localité	48
	Tirer parti du parallélisme	49
1.7	Bilan : performance et prix-performance	50
	Performance et prix-performance pour les systèmes de bureau	50
	Performance et prix-performance pour les benchmarks transactionnels	52
	Performance et prix-performance pour les processeurs enfouis	54

1.8	Perspectives : pertinence de la puissance dissipée comme métrique	57
1.9	Illusions et pièges	58
1.10	Conclusion	67
1.11	Historique et bibliographie	68
	Les premiers ordinateurs électroniques	69
	Importantes machines spécialisées	71
	Les développements commerciaux	72
	Développement des mesures quantitatives de performance : succès et échecs	73
	Bibliographie	74
	Exercices	76

Chapitre 2 **Jeu d'instructions : principes et exemples**

2.1	Introduction	92
2.2	La classification des jeux d'instructions	94
	Résumé : classification des architectures de jeux d'instructions	97
2.3	Adressage mémoire	98
	L'interprétation des adresses mémoire	98
	Les modes d'adressage	100
	Le mode d'adressage avec déplacement	101
	Le mode d'adressage immédiat ou littéral	102
2.4	Les modes d'adressage pour le traitement du signal	103
	Résumé : adressage mémoire	106
2.5	Type et taille des opérandes	107
2.6	Opérandes pour le multimédia et le traitement du signal	108
	Résumé : type et taille des opérandes	110
2.7	Opérations du jeu d'instructions	110
2.8	Opérations multimédias et traitement du signal	111
	Résumé : opérations du jeu d'instructions pour le multimédia et le traitement du signal	115
2.9	Les instructions de contrôle	115
	Les modes d'adressage des données pour les instructions de contrôle	116
	Options pour branchements conditionnels	118
	Options pour les appels de procédure	118
	Résumé : les instructions de contrôle	119
2.10	Codage d'un jeu d'instructions	120
	Taille de code réduite dans les RISC	123
	Résumé : le codage d'un jeu d'instructions	123
2.11	Questions transversales : le rôle des compilateurs	124
	La structure des compilateurs récents	124
	L'allocation de registres	126
	Impact des optimisations sur les performances	126
	L'impact de la technologie des compilateurs sur les décisions des architectes	128
	Comment l'architecte peut faciliter l'écriture des compilateurs	129
	Les possibilités du compilateur (ou impossibilités) pour les instructions multimédias	130
	Résumé : le rôle des compilateurs	132

2.12	Bilan : l'architecture MIPS	133
	Registres pour MIPS	134
	Les types de données MIPS	134
	Les modes d'adressage MIPS pour les transferts de données	134
	Le format d'instruction MIPS	135
	Les opérations MIPS	136
	Les instructions de contrôle MIPS	138
	Les opérations flottantes MIPS	139
	Utilisation du jeu d'instructions MIPS	141
2.13	Perspectives : le CPU TM32 de Trimedia	143
2.14	Illusions et pièges	146
2.15	Conclusion	151
2.16	Historique et bibliographie	153
	Les architectures à pile	153
	Définition de l'architecture des ordinateurs	154
	Les architectures d'ordinateurs pour langages de haut niveau	155
	Les ordinateurs à jeu d'instructions réduit	156
	Une brève histoire des processeurs traitement du signal	159
	Support multimédia dans les jeux d'instructions pour le bureau	162
	Résumé	162
	Bibliographie	163
	Exercices	165

Chapitre 3 **Parallélisme d'instructions et son exploitation dynamique**

3.1	Parallélisme d'instructions : concepts et problèmes	176
	Qu'est-ce que le parallélisme d'instructions ?	177
	Dépendances et aléas de données	178
	Les dépendances de contrôle	182
3.2	Surmonter les aléas de données avec l'ordonnancement dynamique	185
	L'ordonnancement dynamique : le principe	186
	L'ordonnancement dynamique utilisant la méthode de Tomasulo	188
3.3	L'ordonnancement dynamique : exemples et algorithme	194
	L'algorithme de Tomasulo en détail	196
	L'algorithme de Tomasulo : un exemple avec une boucle	196
3.4	Réduire le coût des branchements par la prédiction matérielle dynamique²⁰¹	
	La prédiction de branchement et les tampons de prédiction de branchement	202
	Les prédicteurs de branchement à corrélation	205
	Les métapredicteurs : combiner de manière adaptative les prédicteurs locaux et globaux	211
3.5	Fourniture d'instructions haute performance	214
	Les tampons d'adresses de branchement	214
	Unités intégrées de lecture d'instructions	218
	Les prédicteurs d'adresse de retour	219

3.6	Exploiter plus de parallélisme d'instructions en lançant plusieurs instructions par cycle	220
	Les processeurs superscalaires ordonnancés statiquement	221
	Un processeur MIPS superscalaire ordonnancé statiquement	223
	Lancement de plusieurs instructions avec ordonnancement dynamique	225
3.7	La spéculation fondée sur le matériel	230
	Plusieurs instructions par cycle avec spéculation	241
	Considérations de réalisation pour les machines spéculatives	244
3.8	Étude des limitations du parallélisme d'instructions	246
	Le modèle matériel	247
	Limitation de la taille de la fenêtre et nombre maximum de lancements	249
	Les effets d'une prédiction réaliste de branchement et de saut	253
	Les effets du nombre fini de registres	256
	Les effets de l'analyse imparfaite des synonymes	257
3.9	Limitations du parallélisme d'instructions pour des processeurs réalisables	260
	Au-delà des limites de cette étude	265
3.10	Bilan : la microarchitecture P6	267
	Performance de l'implémentation du Pentium Pro	268
	Le Pentium III par rapport au Pentium 4	274
3.11	Perspectives : le parallélisme de flots	279
3.12	Questions transversales : utiliser le parallélisme d'instructions pour exploiter le parallélisme de processus	280
3.13	Illusions et pièges	281
3.14	Conclusion	284
	Limitations pratiques à l'exploitation de davantage de parallélisme d'instructions	285
3.15	Historique et bibliographie	288
	L'IBM 360 modèle 91 : un ordinateur de référence	288
	Les schémas de prédiction de branchement	288
	Le développement des processeurs à plusieurs instructions par cycle	288
	Études des limites du parallélisme d'instructions et suggestions pour l'accroître	290
	Aller au-delà de la limitation du flot de données	290
	Microprocesseurs haute performance récents	291
	Bibliographie	291
	Exercices	296

Chapitre 4 **Exploiter le parallélisme d'instructions par des approches logicielles**

4.1	Les techniques de compilation de base pour exposer le parallélisme d'instructions	312
	Les bases de l'ordonnancement du pipeline et le déroulage de boucle	312
	Résumé sur l'exemple de déroulage de boucle et d'ordonnancement	316
	Utiliser le déroulage de boucle et l'ordonnancement du pipeline avec lancement statique de plusieurs instructions	320
4.2	La prédiction de branchement statique	321
4.3	Lancement statique de plusieurs instructions : l'approche VLIW	324
	L'approche VLIW de base	325

4.4	Support avancé de compilation pour exposer et exploiter le parallélisme d'instructions	329
	Détecter et augmenter le parallélisme de boucle	329
	Le pipeline logiciel : le déroulage symbolique de boucle	338
	Ordonnancement global de code	342
4.5	Matériel spécifique permettant de révéler plus de parallélisme à la compilation	348
	Les instructions conditionnelles ou prédiquées	350
	La spéculation par compilateur avec support matériel	354
4.6	Questions transversales : mécanismes de spéculation matériels ou logiciels	360
4.7	Bilan : l'architecture Intel IA-64 et le processeur Itanium	361
	Architecture du jeu d'instructions IA-64 d'Intel	361
	Le processeur Itanium	369
4.8	Perspectives : le parallélisme d'instructions dans les marchés enfouis et mobiles	373
	L'architecture du Trimedia TM32	373
	Le processeur Crusoe de Transmeta	377
4.9	Illusions et pièges	381
4.10	Conclusion	382
4.11	Historique et bibliographie	384
	Le développement des processeurs à lancement multiple	384
	La technologie du compilateur et le support matériel pour l'ordonnancement EPIC et le développement IA-64	386
	Bibliographie	387
	Exercices	389

Chapitre 5 **Conception de la hiérarchie mémoire**

5.1	Introduction	402
5.2	Le B.A.BA des caches	404
	Rappel des performances des caches	406
	Quatre questions sur la hiérarchie mémoire	409
	Un exemple : le cache données du 21264	415
5.3	Performance des caches	418
	Temps d'accès mémoire moyen et performance processeur	420
	Pénalité d'échec et processeurs à exécution non ordonnée	423
	Améliorer les performances des caches	424
5.4	Réduire la pénalité d'échec	426
	Première technique de réduction des pénalités d'échec : les caches multiniveaux	426
	Seconde technique de réduction des pénalités d'échec : le mot critique en premier et le redémarrage précoce	431
	Troisième technique de réduction des pénalités d'échec : donner la priorité aux échecs de lecture sur les écritures	432
	Quatrième technique de réduction des pénalités d'échec : le tampon de fusion des écritures	433
	Cinquième technique de réduction des pénalités d'échec : les caches des victimes	434
	Résumé des techniques de réduction des pénalités d'échec	435

5.5 Réduire le taux d'échecs	436
Première technique de réduction du taux d'échecs : une taille de bloc plus grande	440
Seconde technique de réduction du taux d'échecs : des caches plus gros	442
Troisième technique de réduction du taux d'échecs : une associativité plus élevée	442
Quatrième technique de réduction du taux d'échecs : la prédiction de voie et les caches pseudo-associatifs	444
Cinquième technique de réduction du taux d'échecs : les optimisations du compilateur	444
Résumé sur la réduction du taux d'échecs cache	448
5.6 Réduire la pénalité d'échec ou le taux d'échecs via le parallélisme	449
Première technique de réduction de la pénalité ou du taux d'échecs : des caches non bloquants pour réduire les suspensions sur les défauts de cache	449
Seconde technique de réduction de la pénalité ou du taux d'échecs : le préchargement matériel des instructions et des données	451
Troisième technique de réduction de la pénalité ou du taux d'échecs : le préchargement contrôlé par le compilateur	453
Résumé sur la réduction de la pénalité ou du taux d'échecs via le parallélisme	457
5.7 Réduire le temps de l'accès réussi	457
Première technique de réduction du temps de l'accès réussi : des caches petits et simples	457
Deuxième technique de réduction du temps de l'accès réussi : éviter la traduction d'adresse durant l'indexation du cache	459
Troisième technique de réduction du temps d'accès réussi : accès pipeliné au cache	461
Quatrième technique de réduction du temps de l'accès réussi : les caches de traces	462
Résumé des techniques d'optimisation de cache	462
5.8 La mémoire principale et les organisations pour améliorer la performance	464
Première technique pour un débit plus élevé : une mémoire principale élargie	464
Seconde technique pour un débit plus élevé : la mémoire entrelacée simple	466
Troisième technique pour un débit plus élevé : des bancs mémoire indépendants	468
5.9 La technologie mémoire	469
Technologie DRAM	469
Technologie SRAM	471
La technologie mémoire des processeurs enfouis : ROM et Flash	472
Améliorer les performances mémoire en améliorant un circuit DRAM standard	472
Améliorer les performances mémoire par une nouvelle interface DRAM : RAMBUS	474
Comparaison entre RAMBUS et SDRAM DDR	474
5.10 La mémoire virtuelle	475
Rappel sur quatre questions de la hiérarchie mémoire	479
Les techniques de traduction rapide d'adresse	480
La sélection d'une taille de page	482
Résumé sur la mémoire virtuelle et les caches	483
5.11 Protection et exemples de mémoire virtuelle	484
La protection des processus	485
Un exemple de mémoire virtuelle paginée : la gestion mémoire de l'Alpha et du TLB de l'Alpha 21264	487
Un exemple de mémoire virtuelle segmentée : la protection dans le Pentium d'Intel	490

Résumé: la protection de l'Alpha comparée à celle d'IA-32	494
5.12 Questions transversales : la conception de hiérarchies mémoire	495
CPU superscalaire et nombre de ports du cache	495
Exécution spéculative et système mémoire	495
Combiner le cache d'instructions avec les mécanismes de lecture et de décodage des instructions	496
Caches des ordinateurs enfouis et performance temps réel	496
Caches des ordinateurs enfouis et consommation	497
E/S et consistance des données dans les caches	497
5.13 Bilan : hiérarchie mémoire de l'Alpha 21264	499
Les performances de la hiérarchie mémoire du 21264	504
5.14 Perspectives : le moteur Emotion de la PlayStation 2 de Sony	505
5.15 Perspectives : le serveur Fire 6800 de Sun	511
5.16 Illusions et pièges	515
5.17 Conclusion	521
5.18 Historique et bibliographie	524
Bibliographie	527
Exercices	530

Chapitre 6 **Multiprocesseurs et parallélisme de flots**

6.1 Introduction	546
Une taxinomie des architectures parallèles	547
Modèles de communication et architecture mémoire	551
Les défis du traitement parallèle	556
6.2 Caractéristiques des domaines d'application	559
Charge de travail d'entreprise	559
Charge de travail multiprogrammation et système d'exploitation	560
Applications scientifique et technique	561
6.3 Architectures à mémoire partagée symétriques	567
La cohérence de cache dans les multiprocesseurs	568
Les schémas de base pour assurer la cohérence	570
Protocoles d'espionnage	571
Les techniques d'implémentation de base	573
Exemple de protocole	575
6.4 Performances des multiprocesseurs à mémoire partagée symétriques	580
Performances de la charge de travail d'entreprise	581
Performances de la charge de travail multiprogrammation et système d'exploitation	586
Performances de la charge de travail scientifique et technique	590
Résumé : performances des schémas de cache à espionnage	594
6.5 Architectures à mémoire partagée distribuée	595
Les protocoles de cohérence de cache à répertoire	598
Un exemple de protocole à répertoire	600
6.6 Performances des multiprocesseurs à mémoire partagée distribuée	604
6.7 Synchronisation	610
Les primitives matérielles de base	611

Implémenter des verrous en utilisant la cohérence	613
Les problèmes de performance de synchronisation	616
Les mécanismes de synchronisation dans les multiprocesseurs de grande taille	620
6.8 Modèles de consistance mémoire : introduction	625
Le point de vue du programmeur	627
Les modèles de consistance relâchés	628
Remarques finales sur les modèles de consistance	628
6.9 Multiflot : exploiter le parallélisme de flots dans un processeur	629
Le multiflot simultané : convertir le parallélisme de flots en parallélisme d'instructions	630
6.10 Questions transversales	636
Les problèmes du système mémoire	636
Utiliser la mémoire virtuelle pour construire une mémoire partagée	640
La mesure de performance des machines parallèles	641
6.11 Bilan : le prototype Wildfire de Sun	643
L'architecture Wildfire	644
Utiliser la duplication des pages et la migration pour réduire les effets NUMA	646
Performances de Wildfire	647
Performances d'application du Wildfire	650
Remarques pour conclure sur le Wildfire	656
6.12 Perspectives : un multiflot dans un serveur du commerce	657
6.13 Perspectives : les multiprocesseurs enfouis	658
6.14 Illusions et pièges	659
6.15 Conclusion	666
L'avenir des architectures massivement parallèles	667
L'avenir de l'architecture des microprocesseurs	669
Évolution contre révolution : les difficultés d'un changement de paradigme dans l'industrie des ordinateurs	670
6.16 Historique et bibliographie	672
Les ordinateurs SIMD : plusieurs tentatives, aucun succès durable	672
D'autres expériences anciennes	673
Les grands débats du traitement parallèle	674
Avancées et développements plus récents	675
Perspectives bibliographiques	680
Multiflot et multiflot simultané	681
Bibliographie	682
Exercices	687

Chapitre 7 **Les systèmes de stockage**

7.1 Introduction	702
Les performances d'E/S ont-elles une importance?	702
Les performances CPU sont-elles importantes?	703
La performance a-t-elle une importance?	703
7.2 Types de composants de stockage	703
Les disques magnétiques	704
L'avenir des disques magnétiques	709

Les disques optiques	710
Les bandes magnétiques	712
Les bibliothèques automatiques de bandes	714
Mémoire Flash	715
7.3 Bus — la connexion de composants d'E/S au CPU et à la mémoire	717
Les décisions pour concevoir un bus	718
Les normes de bus	720
Exemples de bus	722
L'interface des composants de stockage avec le CPU	722
Retirer au CPU la responsabilité des E/S	725
7.4 Fiabilité, disponibilité et sûreté de fonctionnement	726
Définir la défaillance	727
7.5 RAID: matrices redondantes de disques bon marché	730
Aucune redondance (RAID 0)	732
Les disques miroir (RAID 1)	733
La parité entrelacée au niveau du bit (RAID 3)	733
La parité entrelacée par bloc et la parité entrelacée par bloc distribuée (RAID 4 et RAID 5)	734
Redondance 6 P + Q (RAID 6)	735
Résumé sur les RAID	736
7.6 Erreurs et défaillances dans les systèmes réels	736
Le projet Tertiary Disk de Berkeley	736
Tandem	739
VAX	739
FCC	739
7.7 Mesure des performances d'E/S	742
Débit contre temps de réponse	743
Le temps de réponse par rapport au débit dans les benchmarks	745
7.8 La théorie des files d'attente	746
7.9 Benchmarks de performance de stockage et disponibilité	757
Les benchmarks de traitement de transactions	757
Les benchmarks du serveur de fichiers au niveau système (SFS) et Web de SPEC	759
Exemples de benchmarks de sûreté de fonctionnement et disponibilité	761
7.10 Questions transversales	764
DMA et mémoire virtuelle	764
E/S asynchrones et systèmes d'exploitation	765
Serveurs de blocs ou serveurs de fichiers	766
Problèmes de cache des systèmes d'exploitation — Les données périmées	767
Remplacement des bus par des commutateurs	768
Duplication de processeurs pour la sûreté de fonctionnement	768
7.11 Concevoir un système d'E/S en cinq parties faciles	768
Premier exemple: conception naïve et coût-performance	770
Deuxième exemple: calcul du MTTF du premier exemple	774
Troisième exemple: le calcul du temps de réponse du premier exemple	775
Quatrième exemple: conception plus réaliste et coût-performance	775
Cinquième exemple: concevoir pour la disponibilité	778
7.12 Bilan: la Symmetrix et le Celerra d'EMC	782
La Symmetrix 8000 d'EMC	782

Le Celerra 500 d'EMC	785
Performance et disponibilité de la Symmetrix et du Celerra d'EMC	786
7.13 Perspectives : l'appareil-photo numérique Sanyo VPC-SX500	788
7.14 Illusions et pièges	791
7.15 Conclusion	798
7.16 Historique et bibliographie	799
Stockage magnétique	799
RAID	802
Bus et contrôleurs d'E/S	803
Bibliographie	805
Exercices	807

Chapitre 8 Réseaux d'interconnexion et clusters

8.1 Introduction	818
8.2 Un réseau simple	824
8.3 Supports des réseaux d'interconnexion	833
8.4 Connecter plus de deux ordinateurs	836
Support partagé ou commuté	836
La communication «avec connexion» ou «sans connexion»	840
Routing : délivrer les messages	841
Le contrôle de congestion	843
8.5 Topologie de réseau	845
Le commutateur centralisé	846
Commutateur distribué	847
8.6 Questions pratiques concernant les réseaux d'interconnexion commerciaux	852
Connectivité	852
Connecter le réseau à l'ordinateur	853
La normalisation: l'interopérabilité entre sociétés	853
La tolérance aux défaillances d'un message	854
La tolérance aux défaillances d'un nœud	854
8.7 Exemples de réseaux d'interconnexion	857
Ethernet: le réseau local	857
Réseau de stockage: Infiniband	860
Réseau longue distance : ATM	861
Résumé	861
8.8 Interconnexion de réseaux	862
8.9 Questions transversales concernant les réseaux d'interconnexion	867
Processeurs optimisés densité et processeurs optimisés SPEC	867
Commutateurs intelligents et cartes d'interface intelligentes	867
Protection et accès utilisateur au réseau	869
Une interface efficace de la hiérarchie mémoire ou du réseau d'interconnexion	870
Processeurs optimisés pour le traitement et surcoût récepteur	871
8.10 Clusters	871
Les problèmes de performance des clusters	872
L'avantage en fiabilité et en extensibilité des clusters	872

Coût des clusters: avantages et inconvénients	872
Utiliser le meilleur des deux mondes	873
Popularité des clusters	873
8.11 Réaliser un cluster	876
Premier exemple: coût de réalisation matérielle d'un cluster avec disque local	878
Deuxième exemple : utiliser un réseau de stockage pour les disques	881
Troisième exemple: prendre en compte d'autres coûts	883
Quatrième exemple: coût et performance d'un cluster pour le traitement transactionnel	886
Résumé des exemples	888
8.12 Bilan : le cluster de PC de Google	889
Description de l'infrastructure Google	890
Performance	893
Coût	894
Fiabilité	894
8.13 Perspectives : l'intérieur d'un téléphone cellulaire	896
Origines des réseaux sans fil	896
Le téléphone cellulaire	898
Les normes des téléphones cellulaires et leur évolution	900
8.14 Illusions et pièges	902
8.15 Conclusion	905
8.16 Historique et bibliographie	906
Les réseaux longue distance	906
Les réseaux locaux	907
Les machines massivement parallèles	908
Clusters	908
Les réseaux système ou de stockage	909
Bibliographie	911
Exercices	912

Annexe A **Le pipeline : bases et concepts intermédiaires**

A.1 Introduction	922
Qu'est-ce que le pipeline?	922
Les bases d'un jeu d'instructions RISC	924
Une implémentation simple d'un jeu d'instructions RISC	925
Le pipeline classique à cinq étages d'un processeur RISC	927
Les performances de base du pipeline	930
A.2 Les obstacles majeurs du pipeline — les aléas	931
Performances des pipelines avec suspension	932
Les aléas structurels	933
Les aléas de données	936
Les aléas de contrôle	940
A.3 Comment est implémenté le pipeline?	947
Une implémentation simple de MIPS	947
Un pipeline de base pour MIPS	951
Implémenter le contrôle pour le pipeline MIPS	954
Traiter les branchements dans le pipeline	958

A.4	Ce qui rend le pipeline difficile à implémenter	959
	Gérer les exceptions	960
	Les complications liées au jeu d'instructions	966
A.5	Étendre le pipeline du MIPS pour gérer les opérations multicycles	969
	Aléas et envois dans les pipelines à latence plus longue	972
	Maintenir des exceptions précises	976
	Performances d'un pipeline MIPS flottant	978
A.6	Bilan: le pipeline du MIPS R4000	979
	Le pipeline flottant	984
	Performances du pipeline du R4000	985
A.7	Perspectives: le MIPS R4300	988
A.8	Questions transversales	989
	Jeux d'instructions RISC et efficacité du pipeline	989
	Pipelines ordonnancés dynamiquement	990
A.9	Illusions et pièges	1000
A.10	Conclusion	1001
A.11	Historique et bibliographie	1001
	Premiers processeurs pipelinés	1001
	L'introduction de l'ordonnancement dynamique	1002
	Bibliographie	1002
	Exercices	1004

Annexe B **Solutions d'exercices choisis**

	Introduction	1014
B.1	Solutions du chapitre 1	1014
B.2	Solutions du chapitre 2	1019
B.3	Solutions du chapitre 3	1022
B.4	Solutions du chapitre 4	1028
B.5	Solutions du chapitre 5	1033
B.6	Solutions du chapitre 6	1037
B.7	Solutions du chapitre 7	1041
B.8	Solutions du chapitre 8	1042
B.9	Solutions de l'annexe A	1048

Annexe C	Vue d'ensemble des architectures RISC pour les ordinateurs de bureau, les serveurs et les systèmes enfouis	1057
----------	---	------

Annexe D	Une alternative aux RISC : l'Intel 80x86	
D.1	Introduction	1060
D.2	Les registres et les modes d'adressage des données du 80x86	1061
D.3	Les opérations entières 80x86	1064

D.4	Les opérations flottantes 80x86	1068
D.5	Le codage des instructions 80x86	1070
D.6	Bilan : mesures sur l'utilisation du jeu d'instructions	1072
	Mesures sur l'adressage des opérandes 80x86	1072
	Mesures comparatives des opérations	1074
D.7	Conclusion	1075
D.8	Historique	1079
	Bibliographie	1082
Annexe E	Autre alternative aux RISC : l'architecture VAX	1085
Annexe F	L'architecture IBM 360/370 pour gros ordinateurs	1087
Annexe G	Processeurs vectoriels	1089
Annexe H	Arithmétique des ordinateurs	1091
Annexe I	Implémentation des protocoles de cohérence	1093
Annexe J	Aide-mémoire	
	Définitions	1095
	Formules	1096
	Règles empiriques	1097
	Sous-ensemble des instructions du MIPS64	1098
	Notation des descriptions du matériel (et certains opérateurs C standard)	1099
	Événements sur chaque étage du pipeline MIPS	1100
	Bibliographie	1101
	Index	1127