

**LAURENT DUTRIEUX • DIDIER DEMIGNY**

# **LOGIQUE PROGRAMMABLE**

**Architecture des FPGA et CPLD  
Méthodes de conception  
Le langage VHDL**

**E Eyrolles**

2-005-28-1

2-005-28-1

# LOGIQUE PROGRAMMABLE

TABLE DES MATIÈRES

Architecture des FPGA et CPLD  
Méthodes de conception  
Le langage VHDL

Laurent DUTRIEUX

Didier DEMIGNY

Préface de Laurent BATHÉLLIER

*Ouvrage coordonné par Carl CONRAD*

 **Eyrolles**

# TABLE DES MATIÈRES

---

Préface	1
Introduction	3
Acronymes	5
<b>I. NOTIONS DE LOGIQUE</b>	<b>7</b>
1.1 Algèbre de Boole	7
1.1.1 Blocs combinatoires et séquentiels	7
1.1.2 Rappels	10
1.1.2.1 Opérateurs et conventions	10
1.1.2.2 Propriétés	11
1.1.3 Finalité de l'algèbre de Boole	12
1.1.3.1 Description des circuits	12
1.1.3.2 Spécification des fonctions	12
1.1.3.3 Modèle de fonctionnement	14
1.2 Réduction des fonctions Booléennes	15
1.2.1 Formes canoniques	15
1.2.2 Polarité de la logique	17
1.2.3 Fonctions universelles	20
1.2.3.1 Exemple de fonction universelle	20
1.2.3.2 Modules type PLA	21

<b>2. LES TECHNOLOGIES D'INTERCONNEXION</b>	<b>75</b>
2.1 Introduction	75
2.2 Les cellules à fusible ou à antifusible	75
2.2.1. Les cellules à fusible	75
2.2.2. Les cellules antifusible à diélectrique	77
2.2.3. Les cellules antifusible en silicium amorphe	77
2.3 Les cellules plusieurs fois programmables à transistors MOS	78
2.3.1. Le transistor MOS à grille flottante	79
2.3.2. Les cellules de type UV-EPROM	80
2.3.3. Les cellules de type EEPROM	80
2.3.4. Les cellules de type Flash EPROM	82
2.3.5. Les composants ISP	84
2.3.6. Les cellules de type RAM statique	84
2.4 EPROM, antifusible ou SRAM ?	85
<b>3. LES ARCHITECTURES</b>	<b>87</b>
Modes de codage des fonctions	88
Modes d'interconnexion	88
3.1 L'architecture des PLDs	90
3.1.1. Codage des fonctions/matrice PLA	90
3.1.2. Technologie des PALs	92
3.1.3. Les PALs combinatoires	93
3.1.4. Les PALs à registres	93
3.1.5. Les PALs asynchrones à registres	94
3.1.6. Les PALs versatiles (VPAL)	94
3.1.7. Convention de dénomination	96
3.1.8. Programmation	96
3.1.9. Les PLDs compatibles	97
3.2 Les CPLDs	97
3.2.1. Architecture	97
3.2.2. Les ressources d'interconnexion	98

3.3	Les FPGAs	99
3.3.1.	<i>Généralités</i>	99
3.3.2.	<i>Les FPGAs du type SRAM</i>	102
3.3.3.	<i>Les FPGAs du type antifuse</i>	103
3.3.4.	<i>Comparaison entre les technologies Antifuse et SRAM</i>	104
3.4	Les ASICs	105
	<i>Les prédifusés</i>	105
	<i>Les précaractérisés</i>	105
	<i>Les « full customs »</i>	105
<b>4.</b>	<b>CONCEPTION</b>	<b>107</b>
4.1	Choix d'un type de composant	107
4.1.1.	<i>Caractérisation des fonctions</i>	108
4.1.2.	<i>Critères de choix du composant</i>	113
4.1.2.1.	Rapport Vitesse/Densité	113
4.1.2.2.	Rapport Vitesse/Consommation	114
4.1.2.3.	Logique asynchrone du type décodage	116
4.1.2.4.	Accès bidirectionnel	116
4.1.2.5.	Utilisation de bus internes unidirectionnels	118
4.1.2.6.	Mémoire	120
4.2	Méthodologie de conception	120
4.2.1.	<i>Les outils de conception</i>	121
4.2.1.1.	Principe – flot de données	121
4.2.1.2.	Choix du mode de description	123
<b>5.</b>	<b>OPTIMISATION DE LA CONCEPTION</b>	<b>125</b>
5.1	Optimisation des composants de type PLD et CPLD	125
5.1.1.	<i>Prise en compte des ressources</i>	125
5.1.1.1.	Choix des broches de sortie sur un PLD	125
5.1.1.2.	Signaux de Set/Reset communs	127
5.1.1.3.	Cellules enterrées	129
5.1.2.	<i>Optimisation de la vitesse</i>	129
5.1.2.1.	Compteurs pseudo aléatoires	129
5.1.2.2.	Boucles internes	130
5.1.2.3.	Utilisation d'une cellule d'entrée/sortie	132

## Table des matières

5.1.3.	<i>Optimisation de l'intégration</i> .....	133
5.1.3.1.	Directives de synthèse.....	133
5.1.3.2.	Codage des machines d'état.....	137
5.2	<b>Optimisation des composants FPGA du type « antifuse »</b> .....	137
5.2.1.	<i>Prise en compte des ressources</i> .....	137
5.2.1.1.	Signal de validation d'horloge des bascules.....	137
5.2.1.2.	Exploitation des cellules/Bibliothèque de symboles.....	138
5.2.1.3.	Exploitation des ressources de multiplexage.....	138
5.2.2.	<i>Optimisation de la vitesse</i> .....	139
5.2.2.1.	Taux de charge ou « fan out ».....	139
5.2.2.2.	Insertion d'amplificateurs supplémentaires.....	140
5.2.2.3.	Machines d'état.....	141
5.2.3.	<i>Optimisation de l'intégration</i> .....	141
5.2.3.1.	Réalisation d'une mémoire.....	141
5.2.3.2.	Logique redondante.....	141
5.3	<b>Optimisation des composants FPGA du type « SRAM »</b> .....	142
5.3.1.	<i>Utilisation des ressources</i> .....	142
5.3.1.1.	Modules mémoire (LUT).....	142
5.3.1.2.	Amplificateur haute impédance avec résistances de tirage.....	147
5.3.2.	<i>Optimisation de la vitesse</i> .....	148
5.3.2.1.	Directives de Placement \ Routage.....	148
5.3.2.2.	Hard macros.....	149
5.3.2.3.	Machines d'état.....	150
5.3.3.	<i>Optimisation de l'intégration</i> .....	155
5.3.3.1.	Concentration des fonctions dans les blocs logiques.....	155
<b>6</b>	<b>CONCEPTION EN VHDL</b> .....	<b>157</b>
6.1	Qu'est-ce que VHDL ?.....	157
6.2	Les niveaux de description.....	159
6.2.1.	<i>Liste de connexions ou « netlist »</i> .....	159
6.2.2.	<i>Équations Booléennes</i> .....	160
6.2.3.	<i>Description comportementale concurrente</i> .....	160
6.2.4.	<i>Description comportementale séquentielle</i> .....	160
6.3	La modélisation.....	162
6.4	Stratégie de développement en VHDL.....	162
6.5	Structure du langage.....	164
6.5.1.	<i>Déclaration d'un composant</i> .....	164

- 6.5.2. *Utilisation d'un composant*
- 6.5.3. *Direction des ports d'un composant*
- 6.5.4. *Exemple de hiérarchie*
- 6.6. *Librairie et « packages »*
- 6.7. *Les sous-programmes*
  - 6.7.1. *Les fonctions*
  - 6.7.2. *Surcharge d'opérateurs*
  - 6.7.3. *Surcharge de fonctions*
  - 6.7.4. *Les procédures*
- 6.8. *Banc de test/génération de stimuli*
- 6.9. *Éléments de référence*
  - 6.9.1. *Les objets*
    - 6.9.1.1. *Les constantes*
    - 6.9.1.2. *Les signaux*
    - 6.9.1.3. *Les variables*
  - 6.9.2. *Les types*
    - 6.9.2.1. *Type énumération*
    - 6.9.2.2. *Type entier*
    - 6.9.2.3. *Type physique*
    - 6.9.2.4. *Type tableau*
    - 6.9.2.5. *Type enregistrement*
    - 6.9.2.6. *Subtypes*
  - 6.9.3. *Attributs*
  - 6.9.4. *Les opérateurs*
- 6.10. *Synthèse*
  - 6.10.1. *Instructions concurrentes*
    - 6.10.1.1. *WHEN ELSE*
    - 6.10.1.2. *WITH SELECT WHEN*
    - 6.10.1.3. *FOR GENERATE*
  - 6.10.2. *Instructions séquentielles*
    - 6.10.2.1. *WAIT UNTIL*
    - 6.10.2.2. *IF THEN ELSIF ELSE*
    - 6.10.2.3. *CASE WHEN*
    - 6.10.2.4. *FOR LOOP*
  - 6.10.3. *PROCESS et logique synchrone*
    - 6.10.3.1. *Chargement synchrone des bascules et autorisation d'horloge*
    - 6.10.3.2. *Positionnement asynchrone des bascules*

6.10.4. <i>Machines d'état</i> .....	190
6.10.4.1. Codage des états/sorties décodées.....	191
6.10.4.2. États codés avec les sorties/Une bascule par état.....	192
6.10.4.3. Une bascule par état.....	193
<b>7. EXEMPLES DE COMPOSANTS</b> .....	<b>197</b>
7.1 PLD.....	199
7.1.1. <i>Le PAL 22V10</i> .....	199
7.2 CPLD.....	199
7.2.1. <i>La famille AMD MACH5</i> .....	199
7.2.1.1. Architecture.....	200
7.2.1.2. Le bloc PAL.....	200
7.2.1.3. La matrice de termes produit.....	200
7.2.1.4. La macrocellule.....	201
7.2.1.5. Le générateur de signaux de contrôle.....	201
7.2.1.6. Les modules de sortie.....	202
7.2.1.7. Modèle de temps.....	203
7.2.2. <i>La famille Xilinx XC9500</i> .....	204
7.2.2.1. Architecture.....	205
7.2.2.2. Les blocs fonctionnels.....	205
7.2.2.3. Les macrocellules.....	206
7.2.2.4. La matrice d'interconnexion.....	208
7.2.2.5. Le bloc d'entrée/sortie.....	208
7.2.2.6. Modèle de temps.....	209
7.2.3. <i>La famille Altera FLEX8000</i> .....	210
7.2.3.1. Modèle de temps.....	210
7.2.3.2. Topologie générale.....	211
7.2.3.3. Les blocs logiques LAB.....	212
7.2.3.4. Les éléments logiques.....	213
7.2.3.5. Les modules de sortie.....	214
7.2.3.6. Connexion des IOE aux canaux horizontaux.....	215
7.2.3.7. Connexion des IOE aux canaux verticaux.....	216
7.3 FPGA à antifusibles.....	217
7.3.1. <i>La famille Actel ACT3</i> .....	217
7.3.1.1. Topologie du composant.....	217
7.3.1.2. Les modules logiques.....	218
7.3.1.3. Les modules d'entrée/sortie.....	218
7.3.1.4. Les amplificateurs de broche.....	219
7.3.1.5. Le réseau de distribution d'horloges.....	219
7.3.1.6. Le réseau d'interconnexion.....	220

7.3.1.7.	Le circuit de test et de programmation	221
7.3.1.8.	Caractéristiques des séries ACT	221
<b>7.4</b>	<b>FPGA à cellules SRAM</b>	<b>222</b>
7.4.1.	<i>La famille Xilinx XC4000</i>	222
7.4.1.1.	Les éléments de base	223
7.4.1.2.	Le bloc logique (CLB)	223
7.4.1.3.	Utilisation des LUT en RAM opérationnelle	224
7.4.1.4.	Le bloc Entrée/Sortie	226
7.4.1.5.	Le système d'interconnexion	226
7.4.1.6.	Les buffers internes	228
7.4.1.7.	Le réseau d'horloges	229
7.4.1.8.	Les décodeurs étendus	230
7.4.1.9.	Les ressources de routage périphérique	231

## **RÉFÉRENCES BIBLIOGRAPHIQUES** **233**

Bibliographie	233
Ouvrages sur VHDL	233
Forum International VHDL	234
Documents IEEE	234

## **INDEX** **235**