

---

# SOMMAIRE

<b>INTRODUCTION GENERALE.....</b>	<b>1</b>
<b>I. GENERALITES SUR LES RESEAUX.....</b>	<b>5</b>
I.1 GENERALITES SUR LES RESEAUX .....	5
I.2 SUPPORTS DE TRANSMISSION DES DONNEES .....	5
I.2.1 Par voie métallique .....	5
I.2.2 Par fibre optique .....	8
I.2.3 Par Faisceau Hertzien.....	9
I.3 DISPOSITION DES RESEAUX.....	10
I.3.1 Réseau en étoile .....	10
I.3.2 Réseau en bus .....	10
I.3.3 Réseau en anneau .....	11
I.3.4 Réseau maillé .....	12
I.4 NOTION DE CGI.....	12
I.5 SWITCH RESEAU .....	13
I.6 CONCLUSION.....	13
<b>II. BUS ET PROTOCOLES DE COMMUNICATION.....</b>	<b>14</b>
II.1 NOTION DE PROTOCOLE .....	14
II.2 TYPE DE PROTOCOLES .....	15
II.2.1 Protocole I <sup>2</sup> C.....	15
II.2.1.1 Historique .....	15
II.2.1.2 Caractéristiques.....	15
II.2.1.3 Synoptique du principe .....	17
II.2.1.4 Choix de l'adresse d'un boîtier.....	18
II.2.1.5 Les trames I <sup>2</sup> C.....	18
II.2.1.6 Condition de démarrage « Start » et d'arrêt « Stop » .....	19
II.2.2 Protocole RS232 .....	19
II.2.2.1 Généralités .....	19
II.2.2.2 Caractéristiques électriques.....	20
II.2.2.3 Connectique .....	20
II.2.2.4 Principe du bus RS232.....	21
II.2.2.5 Procédure d'échange de données.....	21
II.2.2.6 La trame RS232.....	22
II.2.2.7 Intérêt de la communication série : .....	22
II.2.3 Protocole IDE.....	23
II.2.3.1 Présentation .....	23
II.3 QUELQUES PROTOCOLES UTILISES DANS LE RESEAU INTERNET .....	25
II.3.1 Les adresses IP : .....	26
II.3.2 Quelques exemples de protocoles.....	27
II.3.2.1 Le protocole HTTP .....	27
II.3.2.2 Le Protocole FTP : .....	27
II.4 CONCLUSION.....	27
<b>III. CONCEPTION MATERIELLE.....</b>	<b>28</b>
III.1 SCHEMA SYNOPTIQUE .....	28
III.2 DESCRIPTION DES COMPOSANTS UTILISES DANS LA REALISATION DU PROTOTYPE .....	29
III.2.1 Le microcontrôleur SC13 .....	29

III.2.1.1	Présentation .....	29
III.2.1.2	Concept : .....	29
III.2.1.3	Caractéristiques techniques:.....	30
III.2.1.4	Architecture interne :.....	31
III.2.1.5	Allocation des broches : .....	31
III.2.1.6	1.5.1 Description des broches : .....	32
III.2.1.7	Applications et logiciels Embarqués du SC13 :.....	34
III.2.1.8	Architecture de la mémoire et adresses des registres du SC13 :.....	34
III.2.2	Le Capteur de température.....	35
III.2.2.1	Acquisition des données (temps, température) : .....	35
III.2.2.2	La trames I <sup>2</sup> C.....	36
III.2.2.3	Caractéristiques.....	37
III.2.3	Le Max 202 .....	37
III.2.3.1	Caractéristiques.....	38
III.2.4	Le filtre FS23.....	38
III.2.4.1	Caractéristiques.....	39
III.2.5	Description du composant 74ABT 573 (Latch).....	39
III.2.5.1	Description du composant 74ABT573.....	40
III.2.5.2	Tableaux de vérité .....	40
III.2.6	Description du composant 74HC245 : .....	41
III.2.6.1	Tables de vérité .....	41
III.2.7	Description du composant 74HC138 .....	42
III.2.8	Utilisation du PCF8574 : .....	43
III.2.8.1	Branchement.....	43
III.2.9	Les afficheurs Alphanumériques.....	44
III.2.9.1	Généralités .....	44
III.2.9.2	Brochage des LCD .....	45
III.2.9.3	Caractéristiques des broches .....	46
III.2.9.4	Commandes de l’afficheur .....	47
III.2.9.5	Principe d’un afficheur à cristaux liquides .....	48
III.3	SCHEMA ELECTRIQUE DE LA CARTE PRINCIPALE ET PRINCIPE DE FONCTIONNEMENT .....	49
III.3.1	Phase de lecture de données .....	50
III.3.2	Phase d’écriture de données.....	50
III.4	MISE AU POINT DU PROTOTYPE REALISE .....	51
III.5	NOMENCLATURE.....	51
III.5.1	La carte principale .....	51
III.5.2	La carte activation des processus industriels.....	51
III.6	CONCLUSION.....	53
<b>IV.</b>	<b>CONCEPTION LOGICIELLE .....</b>	<b>54</b>
IV.1	PRESENTATION DU LANGAGE BORLAND C++ V5.02 .....	54
IV.2	OUTILS DE DEVELOPPEMENT .....	55
IV.3	LE TRANSFERT DES FICHIERS.....	56
IV.4	LES PRINCIPALES COMMANDES RTOS.....	57
IV.5	OUTIL DE CONCEPTION DES PAGES WEB.....	58
IV.6	MISE EN ROUTE DU DISPOSITIF .....	58
IV.7	NOTION DE SEMAPHORE .....	61
IV.8	. ORGANIGRAMMES : .....	63

---

IV.8.1 Description des différentes tâches .....	66
IV.8.1.1 Acquisition .....	66
IV.8.1.2 Stockage .....	67
IV.8.1.3 Pages WEB.....	69
IV.9 CONCLUSION .....	73
<b>CONCLUSION GENERALE.....</b>	<b>74</b>
<b>BIBLIOGRAPHIE.....</b>	<b>75</b>
<b>ANNEXES</b>	

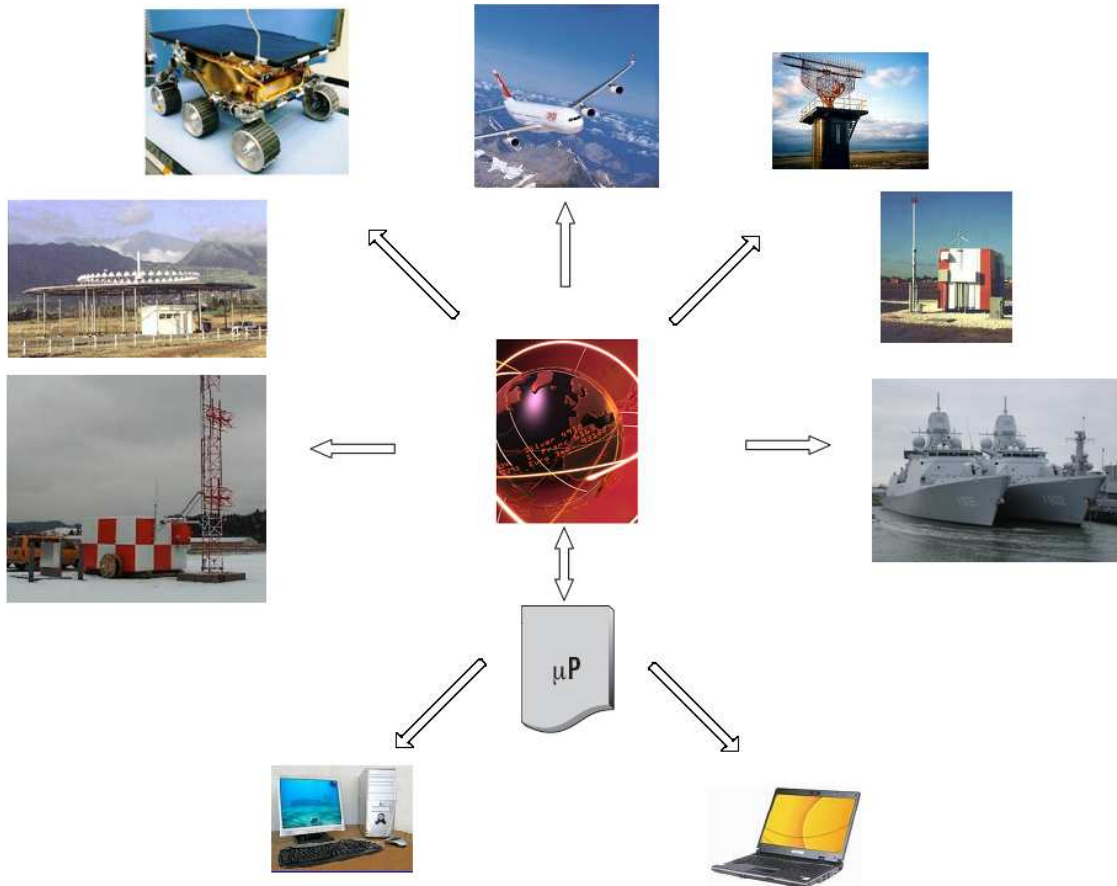
## **INTRODUCTION GENERALE**

Le développement fulgurant de l'électronique et de l'informatique a donné naissance, entre autres, aux Sciences du traitement de l'information et de la communication qui répondent à des besoins immédiats ou futurs, aussi bien aéronautiques et spatiaux ou maritimes qu'industriels fixes ou embarqués.

La mondialisation exigeant de plus en plus d'efficacité, raison pour laquelle les Ingénieurs ont été amenés, à superviser à des milliers de kilomètres, des machines nécessitant des cahiers des charges de plus en plus complexes, permettant ainsi des gains en temps et en argent.

Ceci n'a été rendu possible que grâce aux progrès des microprocesseurs de plus en plus puissants et aux logiciels d'exploitation.

Une nouvelle génération de microcontrôleurs, intégrant plusieurs microprocesseurs permet de contrôler et télé mesurer des systèmes fixes (tels des stations radioélectriques d'aide à la navigation aérienne, des avions cloués au sol par des pannes, des stations météorologiques, le comportement mécanique d'une tour à surveiller etc. ) ou embarqués (tels le suivi en temps réel des paramètres techniques de l'Airbus A380, navette spatiale, drones ou des essais sur route de véhicules automobiles et engins etc....)



### Importance de la télémesure

Problématique de l'étude :

Avec le développement de l'électronique, il est devenu plus aisé de connaître à distance et à tout moment les différents paramètres d'un processus de surveillance des systèmes et ce, au moyen de dispositifs de gestion technique centralisée avec interface WEB, permettant ainsi de consulter ces derniers via Internet, solution privilégiée comme vecteur de transmission par rapport à d'autres solutions : GSM, GPRS, Satellite.

L'objectif de ce projet est d'étudier et de réaliser un prototype d'acquisition, de stockage et de télémesures via Internet de données d'un équipement et d'activer ou désactiver un processus industriel consultable par Internet et ce, en utilisant un navigateur WEB standard.

Parmi les paramètres susceptibles d'être utilisés, la température a été choisie à titre d'exemple comme support pour les besoins de cette étude.

Ainsi donc, le prototype étudié et réalisé permet, à partir d'un site distant, d'interagir en temps réel avec un module pour l'acquisition, le traitement des données de la température, leur stockage et leurs télémesures.

Ce projet comporte quatre chapitres :

### Chapitre I :

- Généralités sur les réseaux : la transmission de données entre le prototype réalisé et les PC se fait via le réseau Internet, raison pour laquelle, un petit rappel sur les réseaux est nécessaire.

### Chapitre II :

- Bus et protocoles de communication qui traite les principaux protocoles utilisés lors de la conception du prototype.

### Chapitre III :

- Conception matérielle : dans un premier temps, on trouve une description des composants utilisés dans le montage, ensuite on détaille le principe de fonctionnement du montage réalisé

### Chapitre IV : Conception logicielle

- Outils de développement (C++ et CHIPTOOL).
- Organigrammes

Conclusion générale

Bibliographie

## Introduction générale

---

Glossaire

Annexes.

## I. GENERALITES SUR LES RESEAUX

### I.1 Généralités sur les réseaux

Un réseau est défini comme un ensemble de nœuds reliés par un ensemble de chemins[1], les nœuds sont constitués par des unités de traitement de l'information : elles échangent de l'information par l'intermédiaire des liens qui relient les nœuds et qui sont des canaux de transmission. Sur le plan pratique, les nœuds peuvent être des ordinateurs ou des équipements terminaux (écran, clavier, imprimantes...etc.) et les canaux de transmission sont bien souvent des lignes téléphoniques pour les grands réseaux, et les câbles coaxiaux pour les réseaux locaux.

On appelle nœud, l'extrémité d'une connexion qui peut être une intersection de plusieurs connexions (Routeur, Concentrateur.. etc.).

Donc un réseau est défini comme étant l'ensemble des moyens matériels et logiciels mis en œuvre pour assurer la communication entre ordinateurs, stations de travail et terminaux informatiques.

### I.2 Supports de transmission des données

Pour que la transmission des données puisse s'établir, il doit exister une ligne de transmission, appelée aussi « Canal de transmission » entre les deux machines. Sur ces voies de transmission circulent des données sous forme d'ondes électromagnétiques (ondes radio), électrique (câble), lumineuse (fibres optiques).

#### I.2.1 Par voie métallique

On distingue généralement deux types :

##### ■ Câble coaxial

Son utilisation fréquente est due à son coût abordable, et à sa maniabilité ; il est constitué d'une partie centrale, appelée « âme » en fil de cuivre, enveloppée dans un isolant, puis d'un blindage métallique tressé qui protège les données qui circulent contre les parasites externes, enfin d'une gaine extérieure en caoutchouc.

Grâce à son blindage (qui peut être parfois doublé ou quadruplé), le câble coaxial peut être utilisé sur de longues distances et permet des connexions à hauts débits



Les câbles coaxiaux disposent de deux câbles :

■ Câble coaxial fin

Câble Thinnet ou câble coaxial fin; son diamètre est de 6mm, réservé pour la spécification 10Base2, très flexible, il peut transporter un signal jusqu'à une distance de 185 m sans atténuation ; il appartient à la famille RG-58 son impédance est de  $50\Omega$ . Son inconvénient distance limitée



Fig.I.1 Les connecteurs BNC

■ Câble coaxial épais

Appelé aussi Thicknet, c'est un câble blindé de gros diamètre (12mm) avec une impédance de  $50\Omega$ . Ce câble est connu également sous le nom « Câble Ethernet Standard ». Ce nom est dû à son âme relativement épaisse par rapport à celle du Thinnet

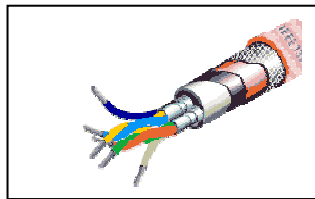


Fig.I.2 Le Thicknet

Le Thicknet peut relier deux équipements distants de 500 mètres sans affaiblissement et sans réamplification des signaux qui le parcourent, sa bande passante est de 10Mbps, il est souvent employé comme câble principal pour relier des petits réseaux.

Inconvénients

500 mètres restent une distance insuffisante

Moins flexible que le Thinnet.

Remarque

Les connecteurs utilisés pour les deux protocoles sont des BNC.

Les connexions entre les deux câbles se font à travers un transceiver.  
(Emetteur/récepteur)

#### ■ I.3.3.b Câblage à paire torsadée :

Appelé aussi « Twisted Pair Cable »(fig.I.3), il est constitué de deux brins de cuivre entrelacés en torsade et recouverts d'isolants.

On distingue généralement deux types de paires torsadées :

Les paires blindées (STP : Shielded Twisted Pair)

Les paires non blindées (UTP : Unshielded Twisted Pair)

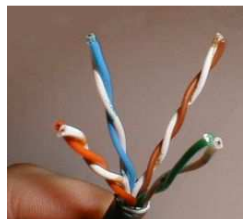


Fig.I.3 La paire torsadée

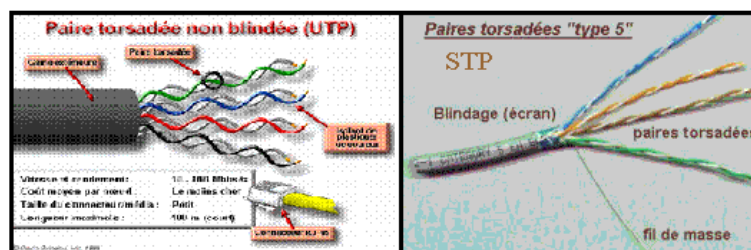


Fig.I.4 Présentation des deux paires.

La paire torsadée est adaptée à la mise en réseau local, avec un budget limité, mais son utilisation est déconseillée pour les connexions à grandes distances car elle n'assure pas l'intégrité des données.

Le câble UTP (Fig.I.4) obéit à la spécification 10BaseT, on cite quelques caractéristiques :

Longueur maximale d'un segment : 100 m.

Composition : 2 fils de cuivre recouverts d'isolants.

Débit : de 4Mbit/s à 100Mbits/s.

Utilisé souvent dans les installations téléphoniques.

Le principal inconvénient du câble UTP est du au fait qu'il est sensible aux parasites

Le câble STP utilise une gaine de cuivre de meilleure qualité et mieux protectrice que la gaine utilisée pour le câble UTP. Il contient une enveloppe de protection entre les paires et autour des paires.

Dans le câble STP, les fils eux mêmes sont torsadés

Remarque

La paire torsadée se branche à l'aide d'un connecteur RJ-45(fig.I.5).



Fig.I.5 Présentation du RJ-45

### **I.2.2 Par fibre optique**

Une fibre optique (fig.I.6) est un fil en verre ou en plastique très fin qui a la propriété d'acheminer la lumière et sert dans les transmissions terrestres et océaniques de données. Elle offre un débit d'informations nettement supérieur à celui des câbles coaxiaux et supporte un réseau « large bande » par lequel peuvent transiter aussi bien la télévision, le téléphone, la visioconférence ou les données informatiques.

Entourée d'une gaine protectrice, la fibre optique peut être utilisée pour acheminer la lumière entre deux lieux distants de plusieurs centaines, voire des milliers de kilomètres.



Fig.I.6 La fibre optique

La fibre optique possède de nombreux avantages :

Légèreté.

Immunité contre le bruit.

Faible atténuation.

Tolère des débits de l'ordre de 100Mbps.

Largeur de bande de quelques dizaines de Mégahertz à plusieurs Gigahertz

### **I.2.3 Par Faisceau Hertzien**

Ce support utilise les ondes radio-électriques pour transporter les informations. La propagation peut se faire en ligne droite c'est le cas pour des utilisations telles que la télévision et la radio.

Le faisceau Hertzien est utilisé également pour transmettre les données qui proviennent des satellites ; par conséquent le faisceau permet une couverture à grande distance. (communications intercontinentales)



Fig.I.7 Parabole de communication

D'autres applications sont basées sur les faisceaux Hertiens, tel que le « Bluetooth » ou le « Wifi »

Remarque :

La bande passante d'une voie de transmission est définie comme étant l'intervalle de fréquence sur lequel le signal ne subit pas des affaiblissements ; elle est donnée par la formule de Shannon :

$$C=W \text{ Log}_2(1+S/B)$$

C : Capacité en Bps

W : Largeur de bande en Hz

S/N : Rapport signal sur bruit de la voie.

### I.3 Disposition des réseaux

#### I.3.1 Réseau en étoile

La liaison la plus simple entre deux équipements terminaux de traitement de données ou « ETTD » est celle qui ne comporte que deux extrémités : on trouve dans ce genre de réseau un ETTD central (Hub) entouré d'un ensemble de points (fig.I.8)

Les réseaux en étoile sont des topologies souvent employées dans les réseaux locaux (LAN). L'ETTD central peut être aussi un commutateur (switch). [2]

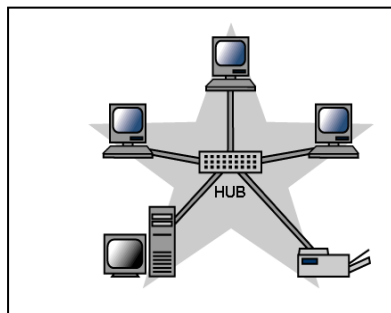


Fig.I.8 Topologie en étoile

La topologie en étoile a l'avantage de sa simplicité de réalisation, le réseau restant fonctionnel dans le cas où un ordinateur tombe en panne. Cette topologie est utilisée pour les réseaux étendus (MAN) et présente toutefois un inconvénient d'ordre économique, et un autre d'ordre technique, c'est-à-dire que si la machine(PC,HUB...) centrale tombe en panne, alors tout le réseau est hors service.

#### I.3.2 Réseau en bus

Dans la liaison en bus, les ETTD connectés se partagent une même voie de transmission. (fig.I.9). C'est une topologie courante de réseau d'ordinateurs, notamment avec du câble coaxial.

Toutefois, du fait des faibles débits supportés par ces câbles coaxiaux, cette topologie est en régression dans les réseaux locaux.

Les stations sont connectées à un bus unique, par le biais de connecteurs spécialisés (connecteur en T)

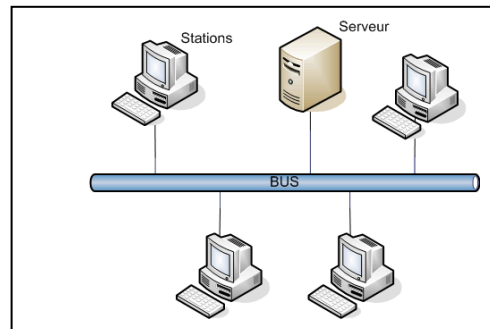


Fig.I.9 Topologie en bus

Dans la mesure où les données ne circulent que sur une voie commune, il ne peut y avoir qu'une seule station émettrice : l'échange de données se fait à travers des protocoles, en particulier le TCP/IP, entre la station émettrice et la station réceptrice qui est repérée par son adresse, celle-ci sera la seule qui va « entendre » le message, alors que les autres stations ne tiendront pas compte du message. [2]

L'installation de cette liaison ne coûte pas chère, ce qui est un avantage, par contre son inconvénient est la régression des performances des stations quand on augmente leur nombre dans le bus. De plus si un tronçon est défectueux, alors il n'y aura plus de communication avec les ETTD qui sont situés aux environs de ce tronçon.

### **I.3.3 Réseau en anneau**

Appelé aussi « Ring » l'accès des stations au réseau est généralement réglementé par le passage d'un relais appelé « jeton ». Dans cette configuration, la station n'est autorisée à émettre, que si elle dispose du jeton, et si elle n'a rien à émettre elle passe le jeton à la suivante. (fig.I.10).

Dans le cas où la station émettrice identifie la station réceptrice (concordance entre l'adresse de l'émetteur et l'adresse du destinataire), ce dernier copie le message, et le réinjecte dans la boucle, alors que les autres restent à l'écoute.

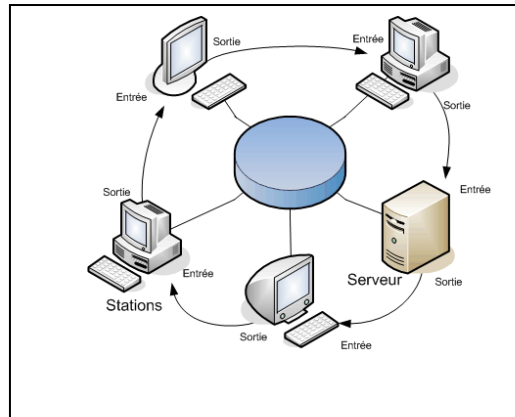


Fig.I.10 Topologie en anneau

Le principal inconvénient est le fait qu'un ordinateur de l'anneau tombe en panne interrompe l'anneau.

### **I.3.4 Réseau maillé**

Constitué d'une série de liaisons qui relie divers ETTD. Dans cette liaison, les informations parcourent plusieurs chemins, par conséquent le transfert de l'information est assuré (avantage) (fig.I.11)

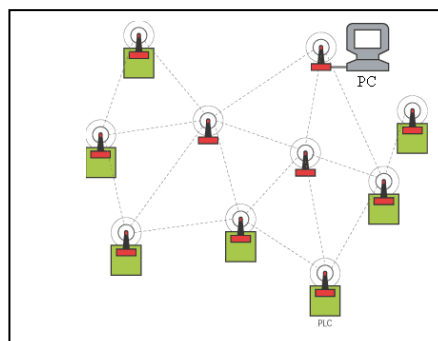


Fig.I.11 Topologie maillée

### **I.4 Notion de CGI**

Un CGI est un programme exécuté du côté serveur, permettant de cette façon l'affichage de données traitées par le serveur (provenant d'une autre application, comme par exemple un système de gestion de base de données).

Dans notre application, le CGI représente une interface entre le serveur web et le microcontrôleur SC13

Un des grands intérêts de l'utilisation de CGI est la possibilité de fournir des pages dynamiques, c'est-à-dire des pages pouvant être différentes selon un choix ou une saisie de l'utilisateur. L'application la plus fréquente de cette technique repose sur l'utilisation de formulaire HTML permettant à l'interface CGI de générer un exécutable pour le serveur (via un langage de programmation (C++, Java...))

Dans les réseaux, plusieurs ETTD sont utilisés : HUB (dépassé), Commutateurs ou switch Ethernet

### **I.5 Switch Réseau**

Un commutateur réseau (fig.I.12) est un équipement qui relie plusieurs segments (câble ou fibre) dans un réseau informatique ; il s'agit le plus souvent d'un boîtier disposant de plusieurs (entre 4 et 100) ports Ethernet ; ce commutateur a la même apparence qu'un concentrateur.



Fig.I.12 Un Commutateur à 5 ports

Contrairement à un concentrateur, un Switch ne se contente pas de reproduire la trame qu'il reçoit, il sait également déterminer sur quel port il doit envoyer une trame, en fonction de l'adresse à laquelle cette trame est destinée.

### **I.6 Conclusion**

Ainsi pour les besoins de cette étude, ce chapitre est dédié à des rappels du fonctionnement des dispositifs utilisés dont il convient d'évoquer, dans le chapitre II, les protocoles.



## II. BUS ET PROTOCOLES DE COMMUNICATION

### II.1 Notion de protocole

Un protocole de communication est l'ensemble des procédures (règles à respecter) et informations échangées pour établir et gérer une communication. Les formats des informations font partie intégrante du protocole.

Pour comprendre cette notion de protocole et le rôle des 3 blocs fonctionnels on examine la figure II.1

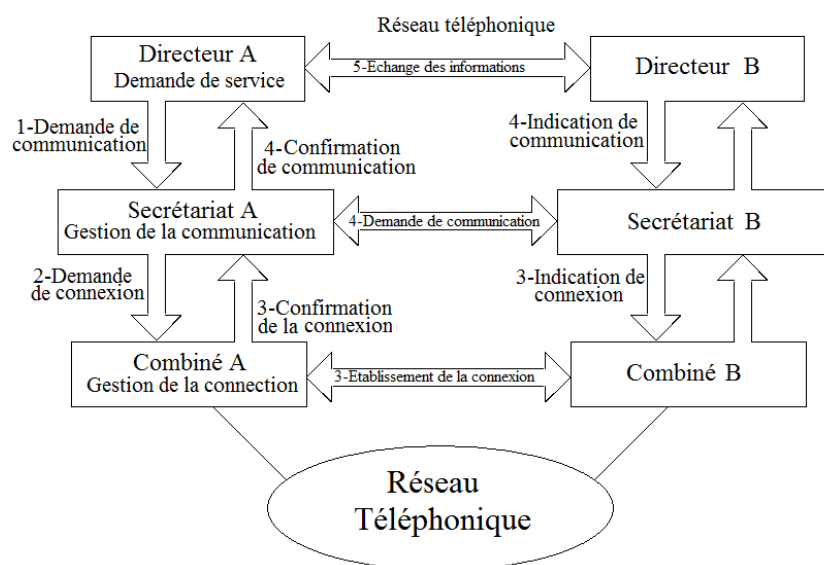


Fig.II.1 Exemple d'un protocole de communication

Les étapes successives de l'établissement d'une communication téléphonique entre 2 Directeurs sont décomposées comme suit :

Chaque Directeur dispose d'un secrétariat. Cinq phases successives d'établissement de la communication peuvent être distinguées :

- Phase 1 : le Directeur A demande à sa secrétaire d'appeler le directeur B.
- Phase 2 : la secrétaire A compose le numéro de téléphone du Directeur B sur son combiné téléphonique
- Phase 3 : le réseau téléphonique établit la liaison avec le combiné téléphonique de la secrétaire B (le combiné B sonne, la secrétaire B décroche).
- Phase 4 : la secrétaire A demande que son Directeur voudrait parler au Directeur B.
- La secrétaire B indique à son Directeur que le Directeur A veut lui parler. Si le Directeur B accepte la communication, la secrétaire B répond à la secrétaire A qu'elle lui passe le Directeur B au téléphone. La secrétaire A confirme au Directeur A qu'il est en communication avec le Directeur B.
- Phase 5 : les 2 Directeurs peuvent échanger leurs informations.

## II.2 Type de protocoles

### II.2.1 Protocole I<sup>2</sup>C

#### II.2.1.1 Historique

I<sup>2</sup>C= (inter integrated circuit) a été développé au début des années 80 par PHILIPS SEMI CONDUCTORS pour permettre de relier facilement à un microprocesseur les différents circuits d'un téléviseur moderne.[3]

#### II.2.1.2 Caractéristiques

Le bus I<sup>2</sup>C permet de faire communiquer entre eux des composants électroniques divers grâce à seulement deux fils

- Un signal de données appelé SDA (Serial Data)
- Un signal d'horloge appelé SCL (Serial Clock)
- Le 3<sup>ème</sup> fil représente la masse (GND)

C'est un bus série Half duplex.

Les données sont transmises en série à

- 100 Kbits/s en mode standard (Standard mode)
- 400 Kbits/s en mode rapide (Fast mode)
- 3.2 Mbits/s en mode très rapide (Hight speed mode)

#### ■ Définition de « Half duplex » :

Le terme duplex est utilisé pour désigner un canal de communication. On différencie différents canaux :

- simplex qui transporte l'information dans un seul sens
- full-duplex pour lesquels l'information est transportée simultanément dans chaque sens.

Un exemple de canal simplex est la radiophonie, telle la radio FM ; Les informations sont envoyées à partir d'une station émettrice et reçue sur un poste. Les auditeurs ne peuvent pas répondre.

Le half-duplex peut être illustré par une route à une seule voie à circulation alternée. Les véhicules circulent dans un sens pendant une période donnée puis le sens est alterné. La liaison half-duplex peut être également comparée à une communication avec des talkies-walkies. L'un parle (l'autre ne peut parler en même temps) et lorsqu'il lâche le bouton (signal de fin de conversation) l'autre peut parler à son tour.

Le full-duplex est très souvent l'association de deux canaux simplex, comme une autoroute est l'association de deux routes à un seul sens. La liaison full-duplex peut être comparée à une conversation téléphonique. Les deux interlocuteurs peuvent parler en même temps.

De nombreux fabricants ont adopté ce standard :

Xicor, ST Microelectronics, Infineon Technologie, Intel, Texas instrument, Maxim, Atmel, Analog device...etc.

Il existe un grand nombre de circuits utilisant le protocole I2C :

- ◇ Ports d'entrées/sorties bidirectionnels
- ◇ Mémoires (RAM, EPROM, EEPROM..etc)
- ◇ Convertisseurs A/N et N/A
- ◇ Horloge temps réel
- ◇ Circuits audio (égaliseurs, contrôle de volume..etc)
- ◇ Circuits vidéo (encodeur vidéo)
- ◇ Pilote d'affichage LCD

Le domaine d'application de ces bus est vaste :

- Téléphones portables (communication clavier/écran et le  $\mu$ C)
- Pc (réseau de gestion d'énergie)
- Les imprimantes

### II.2.1.3 Synoptique du principe

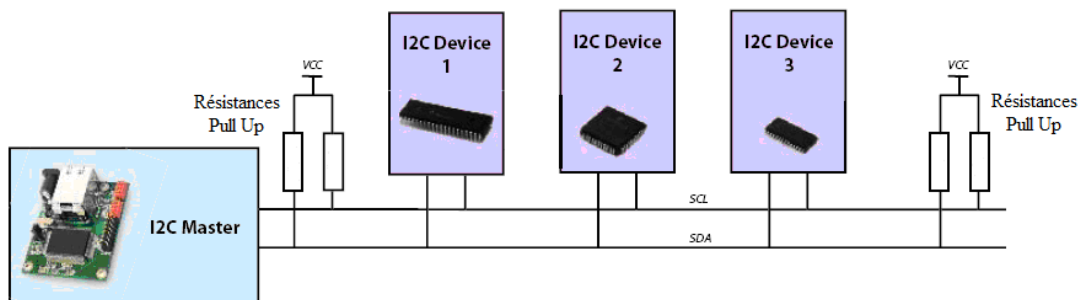


Fig.II.2 Principe du Bus I<sup>2</sup>C

Ce bus utilise le protocole Maître-esclave, (fig.II.2) on trouve deux configurations :  
 1 seul maître, multi-mâîtres, pour notre projet on utilisera seulement la 1<sup>ère</sup> configuration

Le maître génère un signal de Clock suivant une direction (signal unidirectionnel) qui est lu par tous les esclaves, par contre la SDA est une ligne bidirectionnelle car les données peuvent être lues ou écrites par chaque module

Le maître scrutera (sélectionnera) de façon cyclique chaque esclave qui répond après avoir reconnu son adresse

Grâce à ce protocole, il ne peut avoir qu'un seul émetteur, les résistances PULL-UP (fig.II.2) protègent la ligne contre les courts-circuits dus aux changements d'états.

Si l'adresse est codée sur 7 bits ce qui permet d'avoir théoriquement  $2^7$  ou 128 esclaves connectés sur le bus, mais en réalité seuls 112 esclaves peuvent être connectés (16 des 128 adresses sont réservées)

NB : Le nombre de circuits qui peuvent être reliés au bus est limité seulement par une capacité maximum 400 pf.

$$R_{pull\ up} = \frac{50}{Nb\ de\ esclaves} (K\Omega)$$

La communication se fait seulement entre le microcontrôleur et l'esclave choisi !!

**II.2.1.4 Choix de l'adresse d'un boîtier**

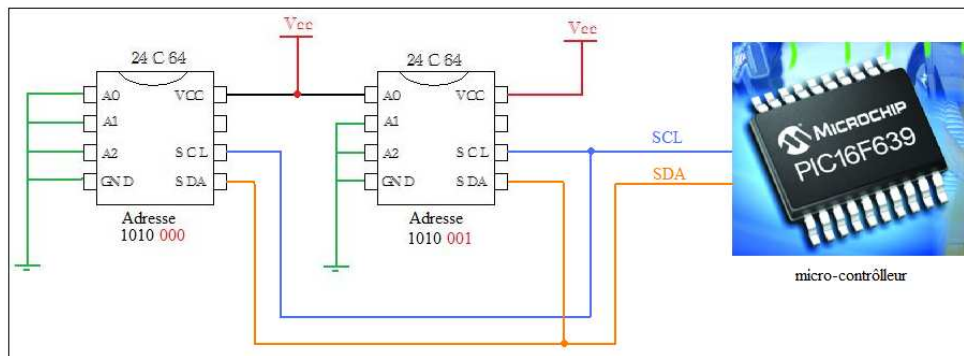


Fig.II.3 Configuration de l'adresse des boîtiers

En général, chaque boîtier possède 3 broches -A2A1A0- qui servent à la sélection de l'adresse de base (adresse physique) des mémoires ; dans l'exemple de la (fig.II.3) on a utilisé deux EEPROM type 24 C 64 qui possèdent les adresses : 1010XXX

**II.2.1.5 Les trames I<sup>2</sup>C**

Pour communiquer, le maître doit d'abord sélectionner un esclave en envoyant son adresse sur 7 bits suivie d'un bit R/W\*

8 <sup>ème</sup> bit : Read/Write*	
Si R/W* =1	Si R/W* =0
Les prochains accès du maître seront en mode lecture	Les prochains accès du maître seront en mode écriture (le capteur DS3231)

Tableau II.1 Rôle du 8<sup>ème</sup> bit de la trame I<sup>2</sup>C

Dès que la communication est terminée, le maître doit libérer la SDA pour laisser le soin à l'esclave de mettre le SDA à 0, de cette façon l'esclave indique au maître qu'il est présent et ce par un 9ème bit, c'est-à-dire que si le 9ème bit =0 alors l'esclave est présent sur la ligne : cet état est dit « bit d'acquiescement » ou « Acknowledge »

Dans le cas où le 9<sup>ème</sup> bit =1 (l'esclave ne répond plus), alors le maître stoppe la communication

Toute nouvelle trame commence par une condition de démarrage :START « S » et se termine par une condition d'arrêt : STOP « P » (fig.II.3 et II.4).

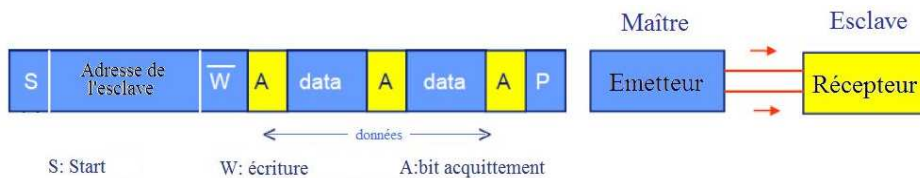


Fig.II.4 Ecriture des données

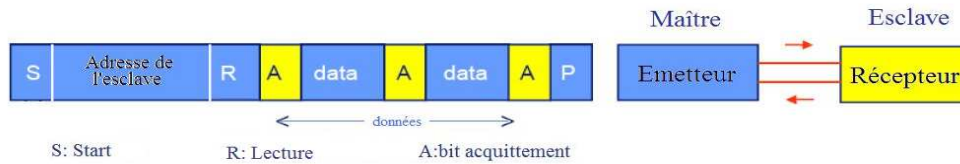


Fig.II.5 Lecture des données

### II.2.1.6 Condition de démarrage « Start » et d'arrêt « Stop »

SDA	SCL	ETAT
1	1	REPOS
0	1	START
1	1	ARRET

Tableau II.2 Les conditions de démarrage et d'arrêt du bus I<sup>2</sup>C

## II.2.2 Protocole RS232

### II.2.2.1 Généralités

RS signifie « Recommended standard » soit en français « standard recommandé ».

Dans les années 60, un Comité, actuellement nommé Electronic Industries Association a développé un standard d'interface de transmission de données en série entre un ensemble d'ordinateurs ou un ordinateur et ses périphériques (imprimante, modem...); ce protocole est également utilisé pour communiquer entre plusieurs systèmes équipés de processeurs telles que les commandes numériques d'une machine spécifiée.[4]

De plus, la liaison RS232 est l'interface la plus répandue sur les microcontrôleurs.

En effet, un grand nombre de microcontrôleurs possède une interface série asynchrone du type RS232, car elle correspond très bien aux besoins les plus courants (paramétrage, récupération des données, etc..).

- Ce standard définit :
  - les niveaux de tensions correspondant aux « 1 » et aux « 0 ».
  - Le brochage des connecteurs.
  - La fonction de chacun des signaux.
  - Un protocole d'échange des informations

Le RS232 permet des communications bidirectionnelles synchrones (les deux équipements émettent en même temps), ou asynchrone (les équipements émettent l'un après l'autre), généralement c'est la configuration la plus répandue.

### II.2.2.2 Caractéristiques électriques

-Vmax à -3v	1 Logique
-3v à +3v	Zone à éviter dans laquelle les problèmes dus aux bruits sur la ligne sont présents
3v à Vmax	0 Logique

Tableau II.3 tensions de fonctionnement

Version de la norme	Vmax
RS232	48V
RS232A	25V
RS232B	12V
RS232C	5V

Tableau II.4 Les différentes normes qui existent

### II.2.2.3 Connectique

Le protocole utilise 9 ou 25 broches ; les signaux RS232 sont rassemblés en deux groupes de fonctions:

- Premier groupe : Signaux de communication TX et RX ainsi que la masse.
- Deuxième groupe : (optionnel) Signaux Hand Shaking : (RTS, CTS, DSR, CD, TD)

Le connecteur Sub-D9 est souvent le plus utilisé

Ce connecteur (fig.II.6) est le plus répandu sur les PC; l'intérêt de passer de 25 à 9 broches se traduit essentiellement par un gain de place.

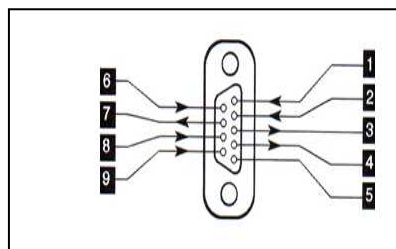


Fig.II.6.Brochage de la Sub-D9

Broche	Signal	Type	Utilisation
1			Blindage
2	Tx	S	Donnée émise, si Tx= « 1 » alors l'équipement est en attente
3	Rx	E	Donnée reçue, si Rx= « 1 »
4	RTS	S	Le passage à « 0 » demande à l'équipement opposé de se tenir prêt à recevoir
5	CTS	E	Le passage à « 0 » L'équipement opposé est prêt à recevoir.
6	DSR	E	à « 0 » Equipement opposé est prêt (connexion établie pour un modem)
7	Gnd		Masse
8	CD	E	à « 0 » l'autre équipement reçoit une réponse
9	-	-	-

Tableau II.5 Descriptions des broches du connecteur Sub-D9

E=entrée, S=sortie

#### II.2.2.4 Principe du bus RS232

La liaison série est basée sur des registres à décalage, la donnée à transmettre est présente en parallèle et transmise en série ; par contre dans le récepteur, c'est l'inverse qui se passe : la donnée est reçue en série et reconstituée en parallèle.(fig.II.7)

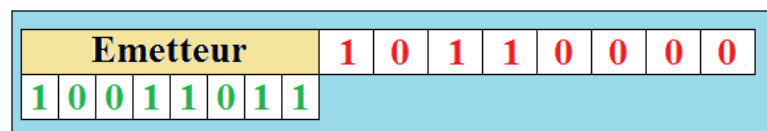


Fig.II.7 Principe de la liaison série

#### II.2.2.5 Procédure d'échange de données

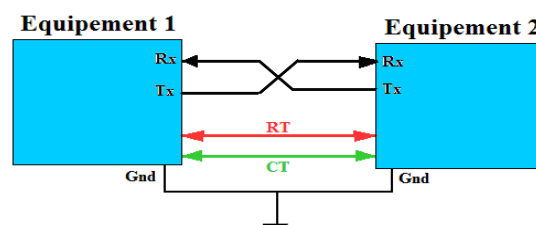


Fig.II.8 Synoptique de la transmission RS232

L'opération d'échange de données se fait comme suit : (fig.II.8)

- Avant l'émission, la ligne est au repos « état logique=1 ».
- L'émetteur demande au récepteur de se tenir prêt à recevoir les données (le passage de RT de l'état « 1 » à l'état « 0 »).



- Le récepteur répond qu'il est prêt à recevoir les données (passage de CT de l'état « 1 » à l'état « 0 »).
- L'émetteur commence le transfert des données par le bit « START », le bit du poids plus faible se transmet en premier.
- L'émetteur compte le nombre de « 1 » dans le mot (ou la donnée) :
  - Si le nombre trouvé est impair, alors l'émetteur met le bit de parité à « 1 ».
  - Si le nombre trouvé est pair, alors l'émetteur met le bit de parité à « 0 ».
- La transmission continue ou s'arrête selon le choix de parité opté dans le protocole
- Arrêt de la transmission 1,1.5 ou 2 bits de STOP.

### II.2.2.6 La trame RS232

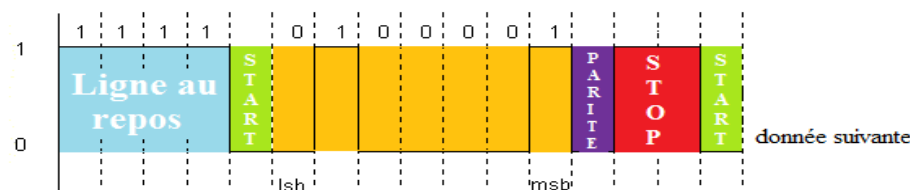


Fig.II.9 Présentation de la trame RS232

La transmission des caractères ne peut fonctionner correctement qu'à la condition que les différents paramètres soient connus :

- La vitesse de transmission.
- La parité
- Nombre de bits de stop
- Protocole suivi, exemple : Hand shaking (caractérisé par les broches RT et CT), ETX/ACK, Xon/Xoff....ect.

Les vitesses de transmission les plus fréquentes sont : 300, 1200, 2400, 4800, 9600, 19200 Bauds.

Le récepteur se synchronise avec l'émetteur dès qu'il reçoit le bit « START »

### II.2.2.7 Intérêt de la communication série :

- Nombre de fils réduit (elle peut se faire seulement en 3 fils :Tx, Rx et Gnd).
- Communication sur de grandes distances à travers le réseau téléphonique par l'utilisation d'un modem (contrairement à la liaison parallèle qui reste limitée en distance à 2m max)
- En terme de surface, les connecteurs série prennent moins de place par rapport aux connecteurs parallèles. [2]

NB : Le Bus I<sup>2</sup>C est dédié à la communication avec les 3 esclaves du prototype alors que le Bus RS 232 est destiné à la mise à jour du micromodule SC13

## II.2.3 Protocole IDE

### II.2.3.1 Présentation

L'IDE (Integrated Drive Electronics), est le plus répandu des standards commerciaux d'interface de connexion pour mémoires de masse (disque dur, Compact Flash, DVD. etc..) en micro-informatique.[2]

Les connecteurs sont reliés à la carte mère par une nappe souple de largeur 46 cm.(fig.II.10)



Fig.II.10 La nappe IDE

#### II.4.2 Description des principaux registres utilisés par le protocole IDE:

**DATA REGISTER** : C'est un registre 16 bits contenant les données

**ERROR REGISTER** : Ce registre contient un numéro d'erreur dans le cas où la dernière opération ne s'est pas effectuée correctement, il est aussi utilisé pour les phases de tests.

**START SECTOR REGISTER** : Contient l'adresse de poids faible du secteur à adresser

**HEAD DEVICE REG** : Contient l'adresse du poids fort du secteur à adresser

**STATUS REGISTER** : Registre d'état de la Compact Flash. (Tableau II.6)

**ALTERNATE STATUS** : interruption active « 1 », interruption désactivée « 0 »

7ème bit	6	5	4	3	2	1	0
BSY	DRDY			DRQ			ERR

Tableau II.6 Structure du registre d'état

**BSY** : l'état de ce bit renseigne sur la disponibilité de la Compact Flash : « 1 » pour Occupé et « 0 » pour disponible, il est impératif d'attendre que ce bit soit à « 0 » avant toute demande de procédure.

DRDU : Ce bit donne une indication sur le démarrage de la Compact Flash : « 0 » cette dernière est en cours de démarrage, alors que pour « 1 », le démarrage est effectué.

DRQ : Quand la Compact Flash est prête à fournir des données lors d'une opération de lecture « 0 », ou prête à recevoir en mode écriture, alors ce bit passe à « 1 ».

ERR : Ce bit passe à « 1 » si l'opération précédente a échoué, donc il indique une erreur.

COMMAND REGISTER : Registre de commandes qui contient des ordres possédant un numéro propre pour chacun d'eux (Tableau II.7)

Commande (Hexadécimal)	Nom de l'instruction	Description
20	Read Sector	Lecture de secteur
30	Write Sector	Ecriture d'un secteur
EC	Identify Device	Identification de la Compact Flash

Tableau II.7 Les principales commandes utilisées

L'adresse est formée par les registres (START SECTOR REG, HEAD DEVICE REG).

#### II.4.3 Procédure de lecture dans une adresse donnée

- Lire le registre d'état STATUS REG, et vérifier que BSY=0 et DRDY=1.
- Formulation de l'adresse contenant l'information qu'on souhaite lire par les registres HEAD DEVICE et START SECTOR.
- Mettre dans le registre des commandes l'instruction de lecture (20h).
- Relire le registre STATUS et vérifier que la Compact Flash est prête à transmettre (BSY=0, DRQ=0, ERR=0).
- Pour valider la lecture de l'information désirée, on lève l'interruption une deuxième fois.
- Lire le registre STATUS et vérifier que ERR=0 ; pour s'assurer que l'opération s'est déroulée correctement.

La même procédure est répétée pour écrire une donnée dans une adresse, seulement à la troisième étape sus citée : la commande d'écriture est (30h).

### II.3 Quelques protocoles utilisés dans le réseau Internet

Sur Internet, les protocoles utilisés font partie d'une suite de protocoles, c'est-à-dire un ensemble de protocoles reliés entre eux. Cette suite de protocoles s'appelle TCP/IP. [2]

Une session TCP fonctionne en trois phases :

- Etablissement de la connexion.
- Les transferts de données.
- La fin de connexion.

Le modèle TCP/IP comporte 4 couches :

Modèle TCP/IP
Couche Application
Couche transport
Couche Internet
Couche accès réseau

Tableau II.8 Les différentes couches du modèle TCP/IP

Le but d'un système en couches est de séparer les problèmes en différentes parties ou plusieurs couches, chaque couche du modèle communique avec une autre adjacente (celle du dessus ou du dessous). Chaque couche utilise ainsi les services des couches inférieures et en fournit à celle de niveau supérieur.

- Couche accès réseau : Permet de gérer les adresses et le routage des données.
- Couche Internet : Elle est chargée de fournir le paquet de données.
- Couche transport : Elle assure l'acheminement des données, ainsi que les mécanismes permettant de connaître l'état de la transmission.
- Couche application : Elle englobe les applications standard du réseau (FTP, HTTP...).

Lors d'une transmission, les données traversent chacune des couches au niveau de la machine émettrice. A chaque couche, une information est ajoutée au paquet de données, il s'agit d'un en-tête, ensemble d'informations qui garantit la transmission.

Au niveau de la machine réceptrice, lors du passage dans chaque couche, l'En-tête est lu, puis supprimé. Ainsi à la réception, le message est dans son état originel.

- Le paquet des données est appelé message au niveau de la couche application.
- Le message est ensuite encapsulé sous forme de segment dans la couche de transport
- Le segment une fois encapsulé dans la couche Internet prend le nom de Datagramme.
- Enfin, on parle de Trame au niveau de la couche accès réseau.

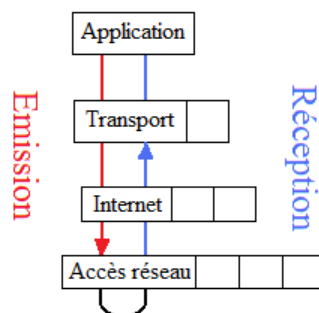


Fig.II.11 Les différentes couches TCP.

### II.3.1 Les adresses IP :

Sur Internet, les ordinateurs communiquent entre eux grâce au protocole TCP/IP qui utilise des numéros de 32 bits, que l'on écrit sous forme de 4 numéros allant de 0 à 255 (4 fois 8 bits)

Les adresses IP sont notées sous la forme : xxx.xxx.xxx.xxx

Exemple : 192.168.0.51, c'est IANA qui est chargée d'attribuer ces numéros.

Comment déchiffrer une adresse IP ?

- L'adresse IP est séparée par des points, on distingue deux parties dans l'adresse :
  - Une partie à gauche qui désigne le réseau (Net Id)
  - Une autre à droite qui désigne la machine (Host Id)

Les deux parties sont attribuées selon les classes

Classe A : XXX.XXX.XXX.XXX

Classe B : XXX.XXX.XXX.XXX

Classe C : XXX.XXX.XXX.XXX

XXX : Adresse du réseau

XXX : Adresse de la machine

## **II.3.2 Quelques exemples de protocoles**

### **II.3.2.1 Le protocole HTTP**

Le protocole HTTP est une implémentation simple de type client serveur. Le client envoie une requête à un serveur qui lui répond. C'est un protocole en mode texte, généralement utilisé sur une connexion TCP, dédié au transfert de ressource d'origine « Texte».

### **II.3.2.2 Le Protocole FTP :**

Le protocole FTP (File Transfer Protocol) est, comme son nom l'indique, un protocole de transfert de fichiers ou applications. C'est-à-dire un langage standard de communication entre deux machines, permettant à des machines de types différents (ou dont le système d'exploitation est différent) de transférer des fichiers, applications, vidéo, musique... sur un réseau fonctionnant sous TCP/IP.

Le protocole FTP permet d'échanger un fichier à la fois, dans les deux sens entre la machine cliente et la machine serveur. Le protocole FTP permet aussi d'autres actions telles que la création et la suppression de répertoires, la liste des fichiers, le changement de nom des fichiers, etc...

## **II.4 Conclusion**

Ce chapitre a permis de passer brièvement en revue les différents aspects liés aux notions de Bus I2C, RS232 et IDE, ainsi qu'à quelques protocoles utilisés dans les réseaux et l'Internet. Cette partie est très importante pour la suite de l'étude

### III. CONCEPTION MATERIELLE

#### III.1 Schéma synoptique

Le dispositif étudié permet l'acquisition de la température, et son stockage dans une mémoire ; on peut accéder aux informations via Internet, et on a même la possibilité d'activer/désactiver par exemple un processus industriel (moteur, LED, machine, climatiseur. etc....) à distance.

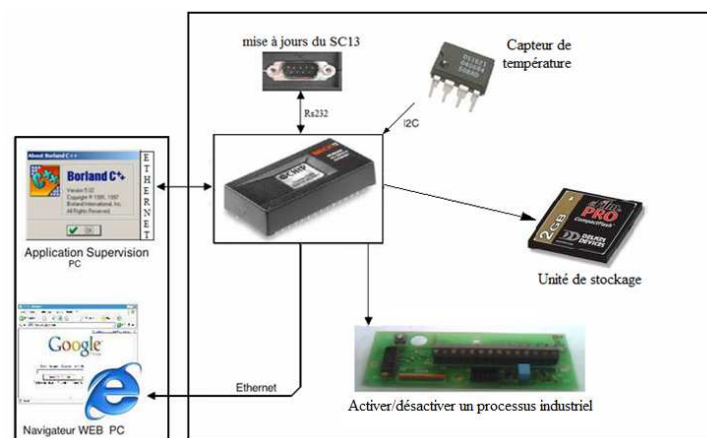


Fig.III.1 Synoptique du principe.

Pour tester le montage réalisé, on a utilisé une carte de développement ou carte d'essai qui s'appelle la DK50.

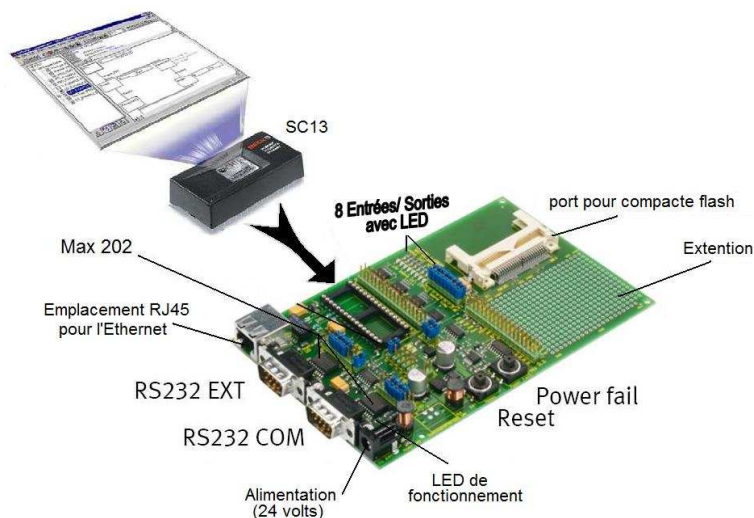


Fig.III.2 Description de la carte de développement

## **III.2 Description des composants utilisés dans la réalisation du prototype**

### **III.2.1 Le microcontrôleur SC13**

#### **III.2.1.1 Présentation**

Le SC 13 fait partie de la famille des microcontrôleurs de communication, c'est un composant polyvalent comprenant un environnement complet incluant le hardware et le software. C'est un composant DIL32 et contient un système d'exploitation pré-installé et prêt à l'emploi.

Ce microcontrôleur offre la possibilité d'une connexion Ethernet via le protocole Telnet, ainsi qu'une communication via son port série. Une fois connecté à un serveur, il peut envoyer plusieurs informations via le net.

L'IPC@Chip SC13 n'est pas uniquement un processeur de communication équipé de deux ports séries et d'un port Ethernet, il dispose également d'interface d'Entrées/Sorties communes aux microcontrôleurs et par lesquelles il peut être raccordé à un autre système dit « intelligent ». Avec ses 14 broches d'entrée/sortie bidirectionnelles, sa fonctionnalité s'étend jusqu'au bus d'adresses- données. Un maître I<sup>2</sup>C inclus dans le composant complète ses possibilités.

#### **III.2.1.2 Concept :**

Le chip SC13 est basé sur un CPU de PC 80186 ; contrairement à un PC il ne possède pas de disque dur (seulement une mémoire flash)

Le chip SC13 est équipé aussi de tous les éléments nécessaires pour communiquer sur un réseau, il est géré par un système d'exploitation appelé le RTOS.



### III.2.1.3 Caractéristiques techniques:

<b>SC13</b>	
<b>Processeur</b>	80186 (16 Bit CPU)
<b>Mémoire</b>	512 Ko de RAM 512 Ko (mémoire Flash)
<b>Système d'exploitation</b>	RTOS
<b>Mise à jours</b>	Port série, Réseau Ethernet
<b>Protocoles supportés</b>	TCP/IP, http, ftp, Telnet, DHCP
<b>Ports :</b>	2×Ports série TTL RS232 1×Ethernet 10 Base T
	Bus I <sup>2</sup> C
	14 bornes E/S programmables
	Boîtier DIL 32
	AD-Bus multiplexé compatible Intel
	Applications créés avec le Borland C/C++
<b>Bus I<sup>2</sup>C :</b>	(Configuration Maître)
<b>Timer :</b>	deux entrées et deux sorties
<b>Détection coupure d'alimentation</b>	(NMI) avec sauvegarde des données.



Fig.III.1 Le microcontrôleur SC13

On peut citer d'autres fonctions du CPU

- Six signaux de sélection (Chip Select) Programmables
- Six entrées interruptibles.
- Possibilité de connexion d'un contrôleur d'interruptions externes.
- Chien de garde hard à double niveau.
- Trois temporisateurs
- Contrôleur DMA
- Interface 10Base-T

- Deux interfaces Sérielles asynchrones.
- Une interface série synchrone (SSI).
- Capacité de travailler en maître de bus I<sup>2</sup>C
- Générateur de remise à zéro.

#### III.2.1.4 Architecture interne :

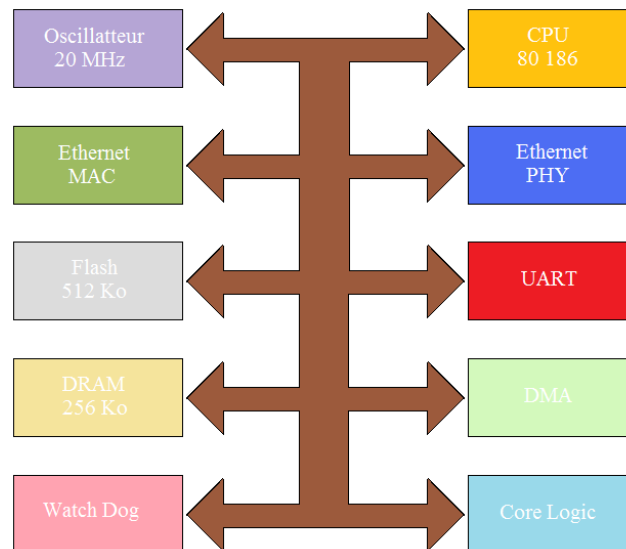


Fig.III.2 Structure interne du SC13

#### III.2.1.5 Allocation des broches :

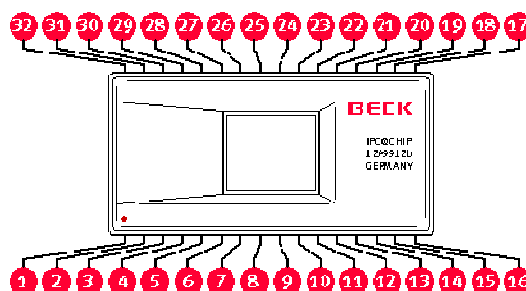


Fig.III.3 Description Du SC13

Pin	Description	Pin	Description
1	PIO7/RXD0	32	VCC
2	PIO8/TXD0	31	I <sup>2</sup> c CLK/DRQ1/INT/PIO0
3	PIO9/ENRX0#/CTS0	30	I <sup>2</sup> c DAT/DRQ0/INT5/PIO1
4	PIO10/RTR0/RTS0	29	A2/PCS6#/PIO2
5	PIO11/TXD1	28	A1/PCS5#/TMR in1/TMR out1/PIO3
6	PIO12/INT3/RXD1	27	A0/PCS1#/TMR in0/PIO4
7	PIO13/INT0/TMR out0	26	RTS1#/PCS3#/INT4/PIO5
8	AD0	25	CTS1#/PCS2#//INT2/PIO6
9	AD1	24	ALE/PCS0#
10	AD2	23	WR#
11	AD3	22	RD#
12	AD4	21	TPRX-
13	AD5	20	TPRX+
14	AD6	19	TPTX-
15	AD7	18	TPTX+
16	Gnd	17	RESET#/NMI/LINK LED

Tableau III.1 allocation des broches.

### III.2.1.6 1.5.1 Description des broches :

Le bus d'adresses et de données multiplexées (AD0 à AD7) fonctionne d'une façon synchrone. Lors de la première période d'un cycle de bus, le SC 13 fournit les 8 bits de poids faible d'une adresse suivie de 3 périodes de données.

Le bus d'adresses est complété par les broches A0, A1 et A2

La broche ALE présente une sortie qui valide ou verrouille, les adresses sur un front descendant.

Les lignes RD et WRT autorisent respectivement les processus de lecture (Read) et d'écriture (Write).

Lignes d'entrées/Sorties programmables :

Les 14 lignes Pio0 à Pio13 sont au niveau des attributions de fonction, et travaillent de façon synchrone.

PCS0 à PCS6 permettent un accès d'entrée/sortie sur une mémoire périphérique.

Les sorties PCS travaillent en association avec le bus d'adresses AD multiplexé.

Les broches INT0, INT2, INT4 ont chacune une entrée d'interruption asynchrone.

Le microcontrôleur dispose de deux temporisateurs (Timer) internes accessibles de l'extérieur par le biais des entrées TMRIN0 et TMRIN1. Après la synchronisation interne, chaque front montant appliqué à l'entrée TMRIN incrémente le compteur correspondant.

Les sorties de temporisateur TMROUT0 et TMROUT1 mettent à disposition soit une impulsion unique soit un signal dont le rapport cyclique est programmable

#### Interface Ethernet 10 Base-T

Le SC12 est doté d'un transceiver/contrôleur Ethernet complet accessible au travers des entrées TPRX+ et TPRX- et les sorties TPRX+ et TPTX-.

L'émetteur/récepteur (transceiver) émet et reçoit des signaux par le biais d'un transmetteur de sortie et d'une liaison par pair torsadée.

Le SC13 permet la transmission full-duplex de deux interfaces sérielles asynchrones disposant de 7 à 9 bits à des taux de transmission pouvant aller jusqu'à 115200 bauds par l'intermédiaire des lignes TxD0, TxD1 et RxD0, RxD1, CTS1, RTS0, RTS1, ENRX0 et RTR0.

#### Accès direct à la mémoire (DMA)

Un composant externe signale, par le biais de l'entrée de demande d'accès DMA, DRQ0 ou DRQ1, une transmission au travers de l'un des 2 canaux DMA.

#### Bus inter-I<sup>2</sup>C

Le SC13 dispose d'une interface I<sup>2</sup>C par le biais des lignes d'horloge I<sup>2</sup>CCLK, I<sup>2</sup>CDAT et qui seront branchées sur PIO 0 et PIO 1, le microcontrôleur est en mesure de piloter un maximum de 127 esclaves externes étant qu'il est configuré en maître.

RAZ

Si on applique un niveau bas sur la broche RESET, toutes les exécutions seront immédiatement stoppées.

L'entrée NMI ou interruption non masquée, synchrone est déclenchée par un front montant, ce genre d'interruption est commandé par le WatchDog en cas de détection d'une erreur.

**III.2.1.7 Applications et logiciels Embarqués du SC13 :**

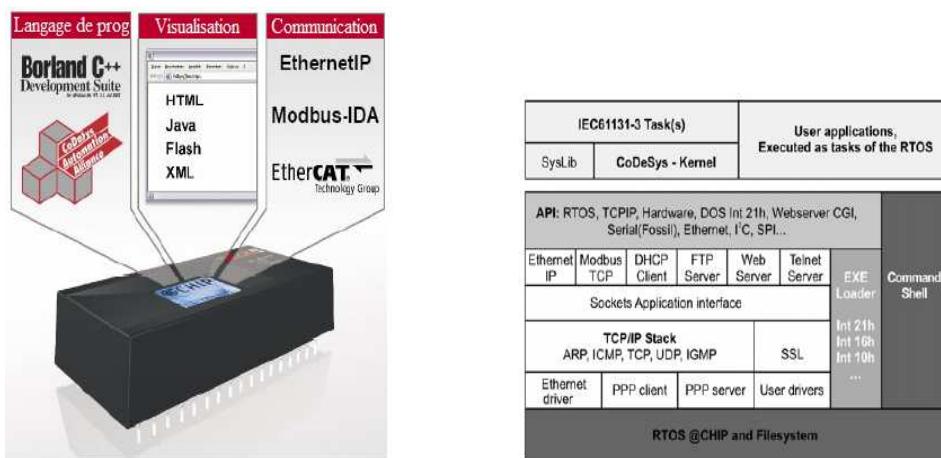


Fig.III.4 Les différents protocoles utilisés par SC13

**III.2.1.8 Architecture de la mémoire et adresses des registres du SC13 :**

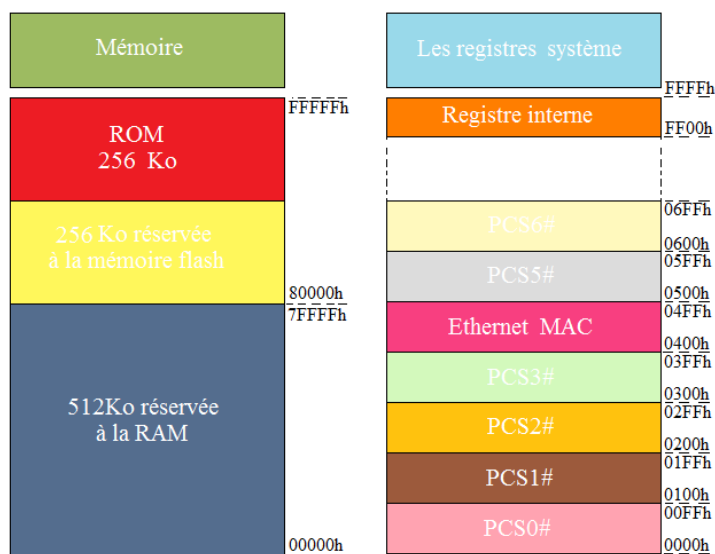


Fig.III.5 les différentes mémoires et registres avec leurs adresses

### III.2.2 Le Capteur de température

Le DS3231 (Fig.III.6) est un capteur numérique de la température ; il se base sur un « oscillateur piézoélectrique » qui génère des fréquences internes selon la température du milieu dans lequel il se trouve (précision  $\pm 0.25^{\circ}\text{C}$ )

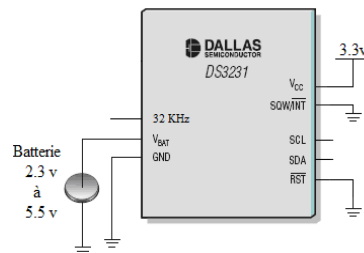


Fig.III.6 Branchement du DS3231

Ce composant est doté d'une horloge RTC ou Horloge en temps réel, qui une fois initialisée calcule le temps, même en absence d'alimentation, grâce à une petite pile de tension qui varie de 2.3v à 5.5v

Comme tout composant I<sup>2</sup>C, le DS3231 se caractérise par les deux broches SDA et SCL ; on doit réinitialiser l'horloge chaque année (erreur de 2 min chaque année)

Le composant est configuré à l'adresse « D0 » par le constructeur.

#### III.2.2.1 Acquisition des données (temps, température) :

Le DS3231 contient plusieurs registres de contrôle ainsi que des adresses dans lesquelles on trouve des informations. (Tableau III.2)

Si on veut récupérer une information, on a qu'à demander au microcontrôleur de lire l'adresse qui correspond à cette information ou ce registre.

On s'intéresse en particulier aux adresses suivantes

Adresse	MSB	6ème Bit	5ème Bit	4ème Bit	3ème Bit	2ème Bit	1er Bit	LSB	Fonction
00h	0	Dizaines			Unités				Sec
01h	0	Dizaines			Unités				Min
02h	0	12/24	AM/PM		Unités				H
			Dizaines						
03h	0	0	0	0	0	1er caractère	2ème caractère	3ème caractère	Jours
04h	0	0	Dizaines		Unités				Date

05h	0	0	0	Dizaines	Unités	Mois
06h	Dizaines			Unités		Année

**Tableau III.2 Les principaux registres du DS3231**

On s’intéressera aussi au 2ème et au 8ème bit du registre de contrôle ainsi qu’au 1er et le 8ème bit du registre d’état :

- **ENABLE OSCILLATOR**
  - Si EOSC = 0 : L’oscillateur démarre.
  - Si EOSC = 1 : L’oscillateur s’arrête.
- **INTERRUPT CONTROL**
  - Si INTCN = 0 : Pas de conflit
  - Si INTCN = 1 : Signaler un conflit.
- **OSCILLATOR STOP FLAG**
  - Si OSF =1 ce qui signifie que l’oscillateur s’est arrêté.(à cause de l’alimentation insuffisante de la batterie).
  - Si OSF =0, l’oscillateur fonctionne normalement.
- **BUSY**
  - Si BSY = 1, le composant est occupé.
  - Si BSY = 0, le composant est libre.

La température est lue à partir des adresses (11h) et (12h)

MSB	6ème Bit	5ème Bit	4ème Bit	3ème Bit	2ème Bit	1er Bit	LSB
Signe	X	X	X	X	X	X	X

**Tableau III.3 Les octets supérieurs contenus dans l’adresse (11h)**

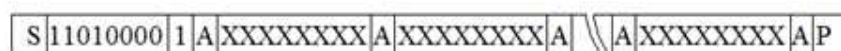
MSB	6ème Bit	5ème Bit	4ème Bit	3ème Bit	2ème Bit	1er Bit	LSB
X	X	0	0	0	0	0	0

**Tableau III.4 Les octets inférieurs contenus dans l’adresse (12h)**

X peut prendre les valeurs « 0 » ou « 1 »

- Si Signe =0, la température est positive.
- Si Signe =1, la température est négative.

**III.2.2.2 La trame I<sup>2</sup>C**



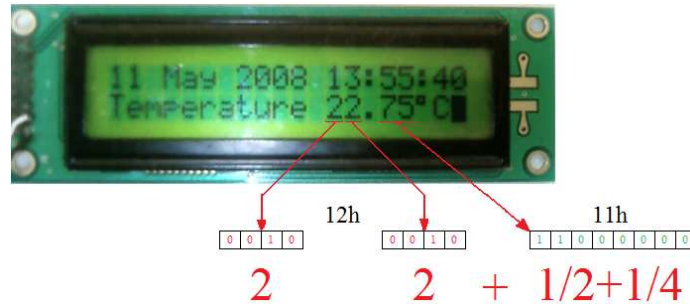
**Fig.III.7 La trame I<sup>2</sup>C en mode lecture**

S : Bit de démarrage

A : Bit Aknowledge

P : Bit d'arrêt.

Exemple :



FigIII.8 Exemple d'affichage

### III.2.2.3 Caractéristiques

- Plage de température mesurée : -40°C à + 85°C.
- Horloge en temps réel Sec, Min, H, Jour, Date, Année.
- Tension d'alimentation : 5 Volts.
- Conservation de la date même en absence de tension d'alimentation.
- Tension de batterie : 3Volts

### III.2.3 Le Max 202

Lorsqu'il s'agit de connecter les ports RS232 de deux ordinateurs, il suffit d'un simple câble pour qu'ils puissent communiquer, par contre si l'on désire relier un Pc avec un microcontrôleur via le port RS232, une interface est absolument nécessaire car les niveaux de tension sont incompatibles sinon on risque d'endommager le microcontrôleur.



Fig.III.9 Le Max202

En effet les tensions présentes au niveau du port sont +12V et -12V, alors que le SC13 est un composant TTL.

- Sur un port RS232 :
  - Le niveau logique « 1 » correspond à la tension -12V
  - Le niveau logique « 0 » correspond à la tension +12V



- Le SC 13 :
  - Le niveau logique « 1 » correspond à la tension +5V
  - Le niveau logique « 0 » correspond à la tension 0V

On constate que les tensions sont différentes pour le même niveau logique : le Max202 (Fig.III.8) permet d'inverser la tension -12V, puis la réduire à 5V pour le niveau logique « 1 », et réduire également la tension +12V à 0V pour le niveau logique « 0 », avec des inverseurs et des régulateurs, et ce durant la phase de réception des signaux, alors que dans la phase d'émission, les opérations inverses se produisent.

### III.2.3.1 Caractéristiques

- Tension d'alimentation +3.3V
- Vitesse de transmission des données 120 Kbit/s.
- Plage de température de fonctionnement : -20°C à +50°C.

### III.2.4 Le filtre FS23

Le filtre FS23 (Fig.III.10) est un filtre Ethernet ; il existe sous forme de composant CMS ou (Composant Monté en surface), et il est constitué d'un ensemble de transformateurs (Fig.III.11). Son rôle est de protéger le microcontrôleur contre les surtensions dues aux foudres, d'une part et de protéger le réseau en cas où le prototype réalisé tombe en panne, d'autre part.



Fig.III.10 Le FS23

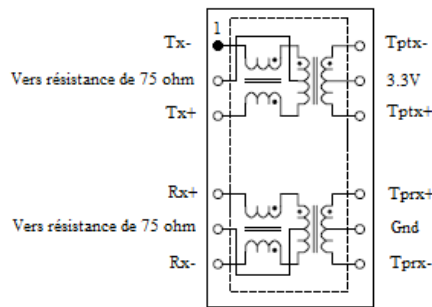


Fig.III.11 Schéma interne du FS23.

### III.2.4.1 Caractéristiques

- Alimentation 3.3V
- Plage de température de fonctionnement : -25°C à +85°C
- Boîtier SOIC.

### III.2.5 Description du composant 74ABT 573 (Latch)

A la sortie du SC13, les données sont multiplexées avec les adresses (Fig.III.12), d'où la nécessité de faire appel à une technique de démultiplexage particulière en utilisant le 74 ABT573 et le 74HC 245).

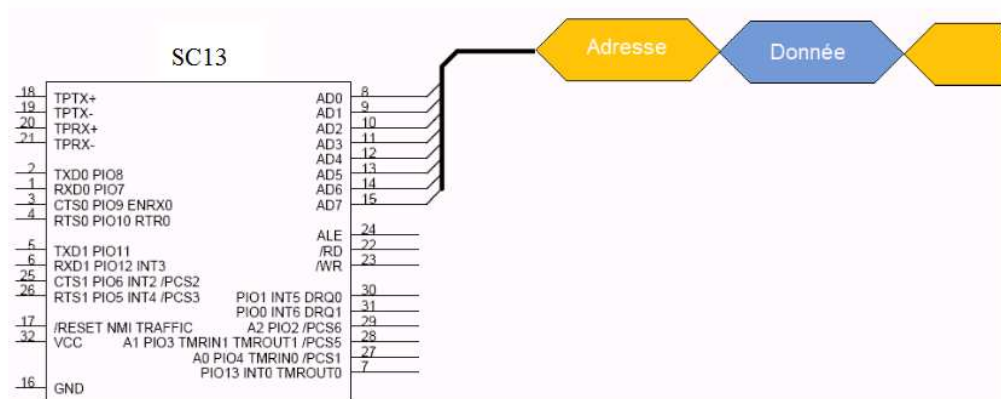


Fig.III.12 Les adresses sont multiplexées avec les données.

### III.2.5.1 Description du composant 74ABT573

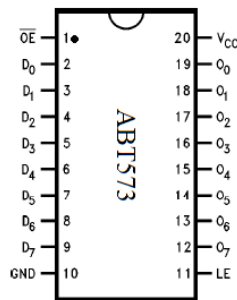


Fig.III.13 Brochage du composant ABT 573.

Le composant 74ABT573 est un Latch (Fig.III.13), la transmission des données est configurée par la broche  $\overline{OE}$  (Output Enable).

La broche LE (Latch Enable) valide le transfert des données via des bascules type D.

### III.2.5.2 Tableaux de vérité

- Pour la broche  $\overline{OE}$  :

0	1
Le composant est déverrouillé	Le composant se verrouille

Tableau III.5 Configuration des sens de transmission des informations.

- Pour la broche LE :

0	1
Valider le transfert de l'information vers les sorties	Le transfert de l'information n'est pas validé vers les sorties

Tableau III.6 Configuration de la validation des informations.

Quand  $\overline{OE}=0$ , alors le composant est déverrouillé (Tableau III.4), ce qui veut dire que le composant est apte à transmettre l'information. Dans le cas contraire ( $\overline{OE}=1$ ), les informations restent bloquées au niveau de l'entrée du composant ; aussi, celles qui se trouvent à sa sortie demeurent inchangées.

### III.2.6 Description du composant 74HC245 :



Fig.III.14 Brochage du composant 74HC 245.

Le composant 74HC245 (Fig.III.14) est un port Entrée/Sortie 8bits, la broche  $\overline{OE}$  est équivalente à la broche LE du composant précédant (validation des transferts de l'information)

Ce composant est important car, il joue le rôle d'un Buffer bidirectionnel (amplification des signaux) ; le sens de transmission des données est commandé par la ligne Read du SC13 (Tableau III.8)

La ligne A2 permet la validation des données présentes sur le bus (Tableau III.7)

#### III.2.6.1 Tables de vérité

- Pour la broche DIR :

0	1
Les informations rentrent de A et sortent de B (Fig.7.15)	Les informations rentrent de B et sortent de A (Fig.7.15)

Tableau III.7 Configuration des sens de transmission des informations.

- Pour la broche  $\overline{OE}$  :

0	1
Valider le transfert de l'information vers les sorties	Les informations restent bloquées aux niveaux des entrées

Tableau III.8 Configuration de la validation des informations.

Attention !! Ne pas confondre entre le 74ABT573 et le 74ABT245

Le 74HC245 est un composant bidirectionnel, alors que ABT 573 est un composant unidirectionnel.

Le 74ABT 573 est un Latch, alors que le ABT245 est un port E/S 8 bits

### III.2.7 Description du composant 74HC138

Le 74HC138 est un Décodeur 3 vers 8, et il est souvent utilisé pour le décodage d'adresses .

En effet, on fait appel à ce composant pour diviser la moitié de l'espace mémoire validé par la ligne A2 (PC6) en huit parties (voir tableau III.10)

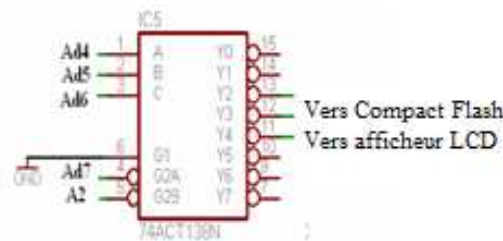


Fig.III.15 Brochage du décodeur

SC13	PCS6	Ad7	Ad6	Ad5	AD4
74HC138	G2B	G2A	C	B	A

Tableau III.9 Les broches utilisées pour l'attribution des adresses

PCS6	Ad7	Ad6	Ad5	Ad4	Sortie du décodeur
256 Octets	128 Octets	64 Octets	32 Octets	16 Octets	Y0
				16 Octets	Y1
			32 Octets	16 Octets	Y2
				16 Octets	Y3
		64 Octets	32 Octets	16 Octets	Y4
				16 Octets	Y5
			32 Octets	16 Octets	Y6
				16 Octets	Y7
128 Octets non utilisée					

Tableau III.10 Attribution des mémoires

Chaque sortie Yx valide un champ d'espace mémoire de 16 octets, cette configuration s'adapte bien lorsqu'il s'agit de sélectionner des périphériques d'entrées sorties.

En effet, la sélection de l'afficheur LCD qui ne nécessite que quatre adresses, est assurée par la sortie Y4 du décodeur. L'accès aux différents registres de l'afficheur est assuré par la combinaison des lignes RD et WR du SC13.

Les périphériques utilisant le protocole IDE et qui nécessitent 32 adresses, sont sélectionnés par les sorties Y2 et Y3 du décodeur d'adresse.

### III.2.8 Utilisation du PCF8574 :

Le PCF8574 (Fig.III.16) est un bus I<sup>2</sup>C, qui peut activer 8 sorties, (LED, moteur, résistance chauffante..etc.), ou prélever les tensions qui existent aux niveaux de ses pattes.



Fig.III.16 Le PCF8574

#### III.2.8.1 Branchement

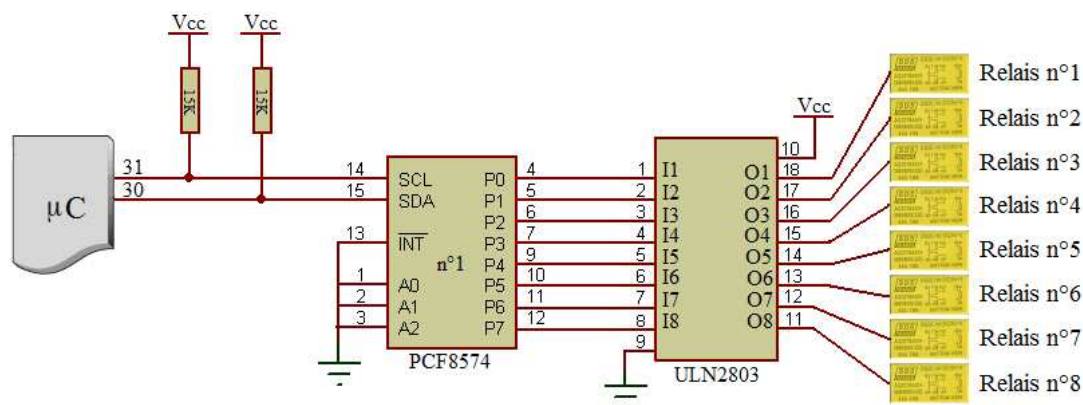


Fig.III.17 Configuration des sorties.

Pour éviter le retour des courants dus aux bobines des relais, qui risquent d'endommager le microcontrôleur, on place ULN2803 constitué d'un ensemble de diodes.

Dans la figure III.17, le PCF8574 n°1 est configuré à l'adresse (40h), et peut activer ou désactiver 8 relais, chaque relais étant monté comme suit :

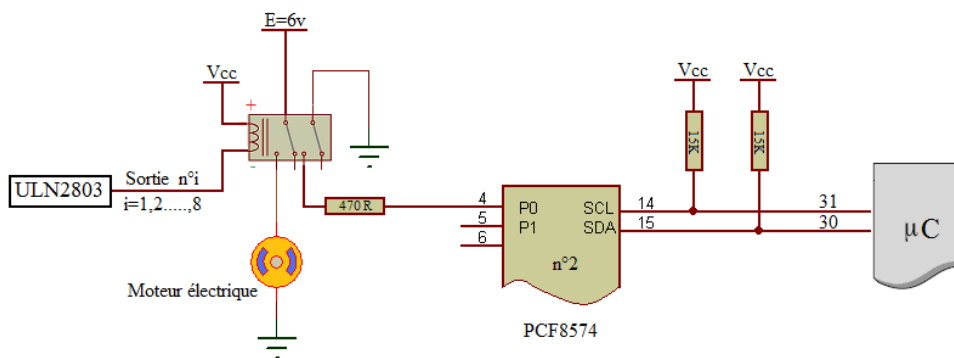


Fig.III.18 Branchement des relais

Pour vérifier l'état de chaque processus, on a placé un 2ème PCF8574, ayant pour adresse (70h). (figure III.18)

Lorsque le relais est activé, les deux interrupteurs se ferment ; le premier reliera le moteur à une tension  $E=6$ volts, alors que l'autre reliera le PCF8574 n°2 à la masse.

### **III.2.9 : Les afficheurs Alphanumériques**

#### **III.2.9.1 Généralités**

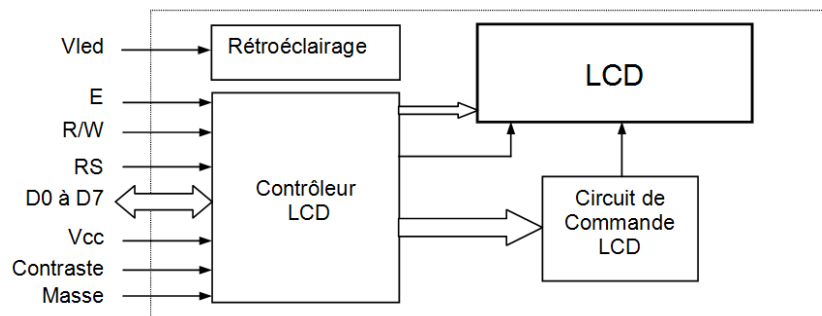
Les afficheurs à cristaux liquides ou des LCD (FigIII.16) sont des modules compacts intelligents et nécessitent peu de composants externes pour un bon fonctionnement. Ils sont relativement bon marché et s'utilisent avec beaucoup de facilité.



Fig.III.19 Présentation de l'afficheur

Plusieurs afficheurs sont disponibles sur le marché et ne diffèrent les uns des autres, non seulement par leurs dimensions (de 1 à 4 lignes de 6 à 80 caractères), mais aussi par leurs caractéristiques techniques et leurs tensions de service. Certains sont dotés d'un rétro éclairage de l'affichage. Cette fonction fait appel à des LED montées derrière l'écran du module, cependant, cet éclairage est gourmand en intensité. [7]

### III.3.2 Schéma fonctionnel



FigIII.20 Schéma fonctionnel du LCD

- L'afficheur comporte d'autres composants pour son fonctionnement (Fig.III.20):
  - Un circuit intégré de commandes spécialisé
  - Un contrôleur LCD qui se charge de la gestion du module en commandant l'affichage d'une part, et de la communication avec l'extérieur d'un autre part.
- L'afficheur possède trois mémoires :
  - Une DDRAM qui contient les codes ASCII des caractères affichés
  - Une CGROM qui contient la table ASCII des caractères
  - Une CGRAM pour définir de nouveaux symboles

#### III.2.9.2 Brochage des LCD

Les afficheurs alphanumériques obéissent à certaines règles communes au niveau de leurs signaux et même de leurs brochages.

Les plus courants sont les afficheurs à deux lignes à seize caractères : 2×16, mais il en existe 1, 2 ou 4 lignes de 8, 16, 20 ou 40 caractères, le principe de fonctionnement de tous ces composants est identique, généralement on trouve deux configurations :

- Configuration ligne simple SIL
- Configuration double ligne DIL



### III.2.9.3 Caractéristiques des broches

Le Tableau III.11 donne la signification et le rôle de chacune des broches, quel que soit le type de brochage, un niveau logique « 0 » correspond à la masse ou « 0 » volt, alors que le « 1 » correspond à +5 Volts

N°	Rôle de la broche
1	Masse (0v)
2	+5V
3	Réglage du contraste de l'afficheur
4	Commutation du registre entre les instructions « 0 » et les données « 1 »
5	Commutation entre lecture « 1 » et écriture « 0 »
6	Entrée de validation (activation sur front descendant de l'impulsion positive)
7	D0
8	D1
9	D2
10	D3
11	D4
12	D5
13	D6
14	D7

Tableau III.11 Nom et rôle de chaque broche(suite)

On détaille le rôle de chaque broche :

La première et la deuxième broche sont réservées pour l'alimentation de l'afficheur

On associe généralement à la 3ème pin une résistance variable, par laquelle on ajuste le contraste de telle façon que les messages affichés seront visibles.

La broche RS : Un afficheur LCD a besoin d'ordre ou d'instructions de commande (voir tableau III.12) afin de déterminer la manière d'afficher les données ; en forçant cette broche au niveau logique « 0 », le registre de l'afficheur interprétera la valeur présente sur D0 à D7 comme une commande.

En présence d'un « 1 » la même valeur sera considérée comme une donnée à afficher

La broche R/W : elle permet de configurer l'afficheur en lecture pour le niveau logique « 1 », pour lire par exemple la position du « drapeau » chargé de confirmer si l'afficheur est prêt à recevoir une instruction ou une donnée. On n'utilisera pas cette fonction, il suffit de laisser suffisamment de temps entre deux accès.

En reliant cette broche à la masse à travers une résistance, l'afficheur est en mode écriture : on peut alors envoyer les données et les instructions.

La broche E : lorsqu'un signal appliqué sur cette broche valide les données ou les instructions, au repos, elle se trouve au niveau logique « 0 ». La prise en compte s'effectue sur le front descendant d'une impulsion positive supérieure à 450 ns.

En pratique on maintiendra, par sécurité, le niveau « 1 » durant plus d'une microseconde

Le reste des broches (D0 à D7) : ces sept lignes se nomment « bus de données » : elles peuvent prendre individuellement trois niveaux logiques « 0 », « 1 » ou Haute impédance.

#### III.2.9.4 Commandes de l'afficheur

D7	D6	D5	D4	D3	D2	D1	D0	Rôle de l'instruction	Durée
0	0	0	0	0	0	0	1	Effacement total de l'écran	1.64 ms
0	0	0	0	0	0	1	X	Curseur au début de l'afficheur	1.64 ms
0	0	0	0	0	1	I/D	SH	SH=1 L'affichage suit le déplacement du curseur I/D=1 Déplacement du curseur vers la droite I/D=0 Déplacement du curseur vers la gauche	40 µs
0	0	0	0	1	D	C	B	D=1 Afficheur en service D=0 Afficheur hors service C=1 Curseur visible C=0 Curseur invisible B=1 Curseur clignotant B=0 Curseur fixe	40 µs

0	0	0	1	S/C	R/L	X	X	S/C=1 Déplacement caractère S/C=0 Déplacement curseur R/L=1 Vers la droite R/L=0 Vers la gauche	40 $\mu$ s
0	0	1	DL	N	F	X	X	DL=1 Mode 8 bits DL=0 Mode 4 bits N=1 2 ou 4 lignes N=0 1 ligne F=1 Format 5x10 F=0 Format 5x7	40 $\mu$ s

Tableau III.12 Les commandes de l’afficheur

### III.2.9.5 Principe d’un afficheur à cristaux liquides

Un afficheur à cristaux liquides n’émet aucune lumière en l’absence de source lumineuse extérieure.

Le principe physique est de soumettre à un corps pur dont l’état est plus proche de l’état liquide que de l’état cristallin sous l’effet d’un champ électrique. Cet état intermédiaire entre les deux états est désigné par l’état nématique caractérisé par une orientation différente des molécules du cristal liquide, qui laissent passer la lumière en l’absence de tension et qui s’opposent au passage de la lumière en présence de tension (fig.III.21).

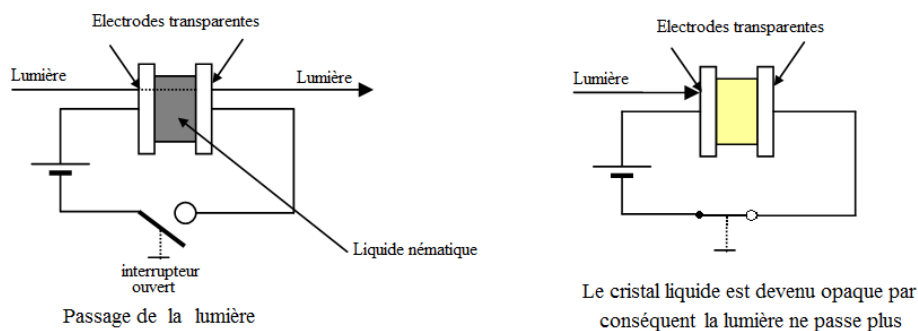


Fig.III.21 Comportement du cristal en absence et présence de la tension

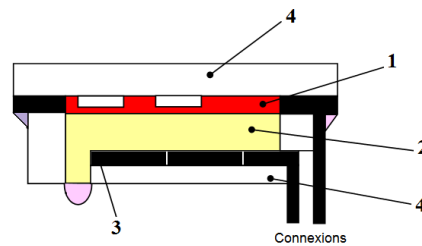


Fig.III.22 Coupe d'un afficheur à cristaux liquide

- 1- Electrode Transparente en Oxyde d'indium
- 2- Liquide pneumatique
- 3- Electrode arrière en Aluminium
- 4- Plaques de verre

Pour afficher un caractère, il suffit de :

- Définir le mode de dialogue avec l'afficheur (DL=1 : mode 8 bit, DL=0 : 4 bits)
- Définir le nombre de lignes sélectionnées N=0 (une ligne par exemple)
- Le positionner sur le bus de données (codé en ASCII)
- Mettre RS en 5V (la valeur présente dans le bus est une donnée et non une commande)
- Mettre R/W en 0V (écriture de la donnée)
- Après un front descendant sur l'entrée E, le caractère sera affiché à l'écran.

▪ Remarque :

Après chaque action sur l'afficheur, il faut vérifier que celui-ci est en mesure de traiter l'information suivante, aussi il est impératif de tester l'indicateur du drapeau « BUSY » :

- Si BF= « 1 », l'afficheur est occupé.
- Si BF= « 0 », l'afficheur est libre.

### III.3 Schéma électrique de la carte principale et principe de fonctionnement

Le microcontrôleur SC13 va communiquer au début avec le capteur de température DS3231, alors que les deux composants PCF restent inactifs (les deux composants sont placés en série à J1, J2 et J3). L'échange de données se fait via les pins PIO0 et PIO1, et micromodule lit le contenu du registre d'état ainsi que le contenu des adresses (00h) (01h) (02h) (11h) et (12h)

A la sortie du SC13, les adresses sont multiplexées avec les données (Fig.III.12)

### III.3.1 Phase de lecture de données

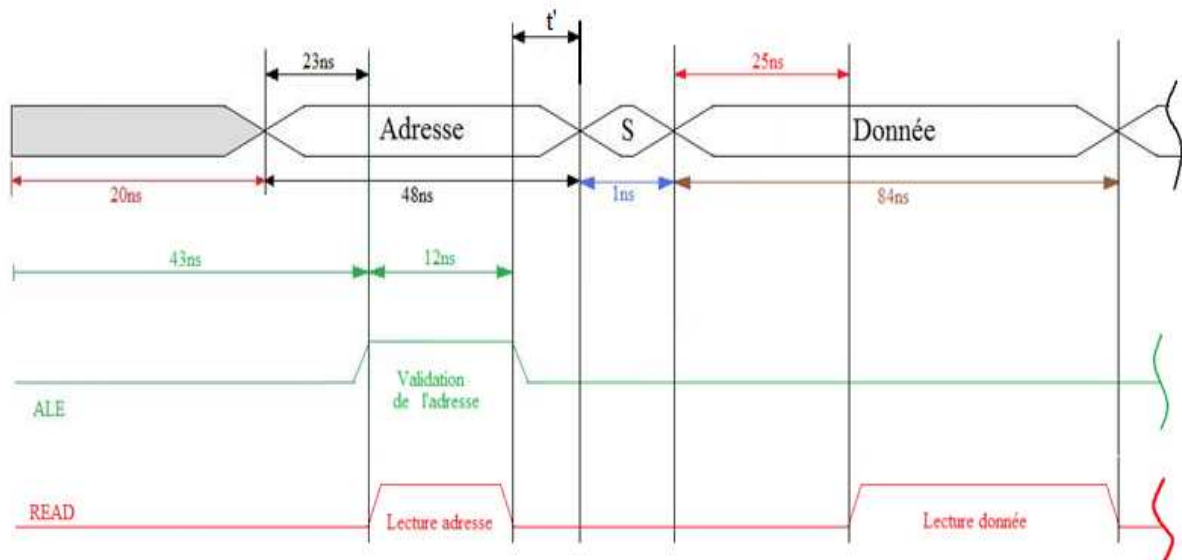


Fig.III.23 Chronogramme du multiplexage

Le SC13 attend une durée de 20ns, mais il ne va pas activer son ALE à cet instant ; pour garantir l'intégrité de l'information, le constructeur recommande l'activation de ALE (ALE=0) à  $t=20\text{ns}+23\text{ns}$ , ce qui fait 43ns. Donc durant 12ns, le microprocesseur lit l'adresse et la valide au niveau du 74ABT573. Après un temps  $t=t'+1\text{ns}+25\text{ns}$ , ce qui fait 39ns, le SC13 fait la lecture des données (durée de lecture =  $84\text{ns}-25\text{ns}=59\text{ns}$ ).

$$\text{NB : } t' = 48 - (23 + 12)$$

### III.3.2 Phase d'écriture de données

Le chronogramme (Fig.III.23) reste inchangeable, sauf que la lecture de la donnée se fait à  $t=20\text{ns}+25\text{ns}+13\text{ns}$ , ce qui fait  $t=58\text{ns}$ , et dure 32ns.

Par conséquent, la manipulation des informations est facile, puisqu'on dispose des adresses et des données (en respectant les différents protocoles).

L'afficheur est placé au SL5, sa broche « Enable » est commandée par le composant 74LS00

Le schéma électrique de la carte principale est donné dans la figure III.24

### III.4 Mise au point du prototype réalisé

Avant la première utilisation du prototype, on charge une application appelée « dsi2c » (disponible au niveau du site du constructeur) ; cette application permet le réglage de la date et l'heure du capteur DS3231 par la commande `dsi2c i`, puis on fait entrer l'année, le mois, jour, heure, min, sec.

### III.5 Nomenclature

#### III.5.1 La carte principale

- Résistances :
  - 25  $\Omega$   $\times$ 4
  - 50  $\Omega$   $\times$ 2
  - 75  $\Omega$   $\times$ 4
  - 220  $\Omega$   $\times$ 3
  - 470  $\Omega$   $\times$ 2
- Condensateurs non polarisés :
  - 1nf $\times$ 1
  - 10nf $\times$ 1
  - 100nf $\times$ 6
- Résistance variable :
  - 47K $\Omega$  $\times$ 1
- Circuits intégrés :
  - SC13 $\times$ 1
  - Max 202  $\times$ 1
  - ABT138  $\times$ 1
  - 74LS00  $\times$ 1
  - 74ABT573  $\times$ 1
  - 74ABT245  $\times$ 1
- Divers :
  - Filtre FS23  $\times$ 1
  - Slot 4 broches  $\times$ 4
  - Connecteur RJ45  $\times$ 1
  - Connecteur DB9  $\times$ 1
  - Slot 32 broches  $\times$ 1
  - Slot 34 Broches  $\times$ 1
  - Connecteur pour carte Compact Flash  $\times$ 1

#### III.5.2 La carte activation des processus industriels

- Réseaux de résistance :
  - 470  $\Omega$   $\times$ 2
- Résistances :
  - 15 K  $\Omega$   $\times$ 4
- Divers :
  - Relais  $\times$ 8
  - Borniers  $\times$ 8
- Circuits intégrés :
  - PCF8574 $\times$ 2
  - ULN2803



### **III.6 Conclusion**

Ce chapitre est d'une grande utilité pour la mise en œuvre pratique des connaissances déjà examinées dans les autres chapitres pour la réalisation du prototype étudié.

Ce chapitre nous a aussi appris comment manipuler et connecter les différents composants utilisés dans le prototype.



## IV.CONCEPTION LOGICIELLE

### IV.1 Présentation du langage Borland C++ V5.02

Le C++ (fig.IV.1) est un des langages de programmation les plus utilisés actuellement. Il est à la fois facile à utiliser, très efficace et très puissant dans la réalisation des grands projets.



Fig.IV.1 Présentation de l'icône Borland C++

La figure IV.2 montre comment on configure les paramètres du langage ; le débogage permet la recherche et l'élimination des erreurs

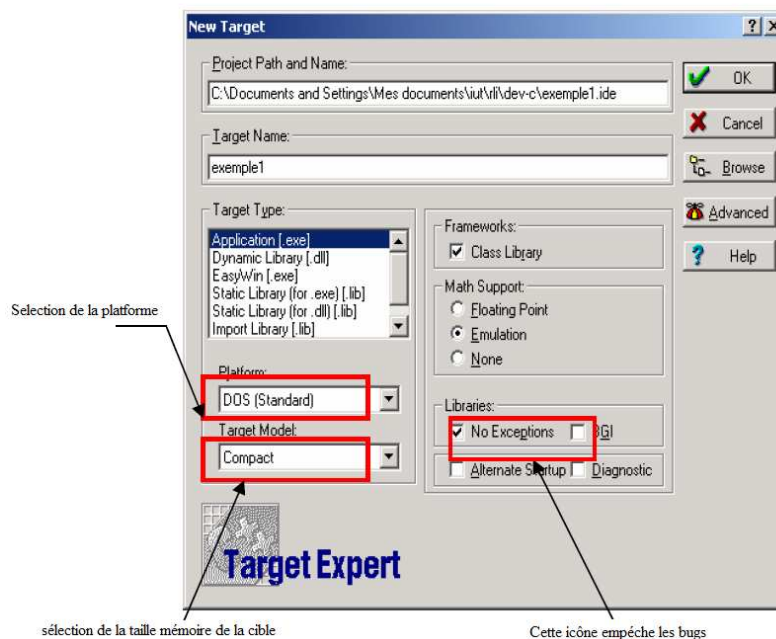


Fig.IV.2 Paramétrage du Borland C++

La fenêtre suivante (fig.IV.3) permet la sélection du processeur

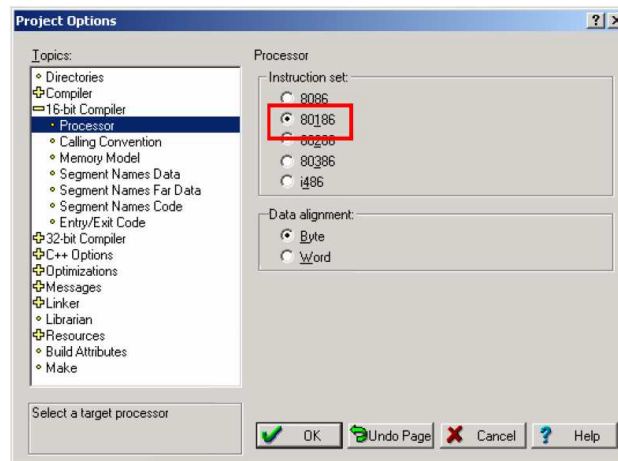


Fig.IV.3 Configuration du type de processeur

## IV.2 Outils de développement

On a vu précédemment que le SC13 est géré par un système d'exploitation appelé RTOS, pour accéder aux différentes fonctions et commandes. On utilise un logiciel nommé IPC@CHIPTOOL (fig.IV.4) qui permet le transfert des fichiers entre le microprocesseur et le PC

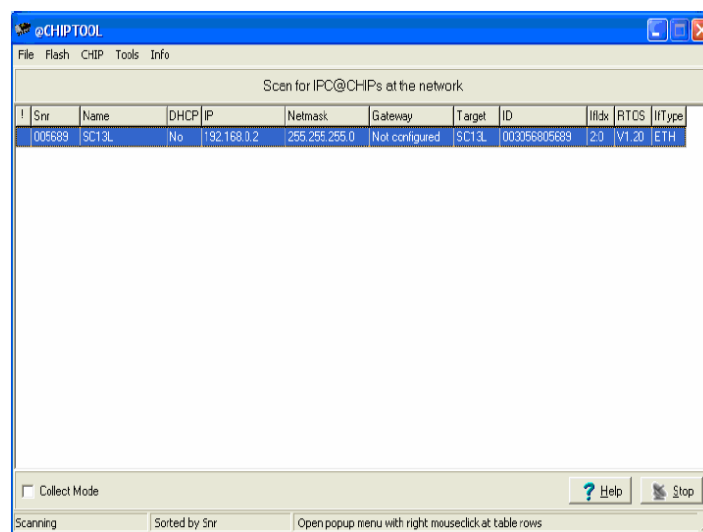


Fig.IV.4 Première étape : Fenêtre d'accueil du logiciel IPC@CHIPTOOL

On clique sur TOOLS, puis sur TERMINAL on aura la fenêtre présentée dans la (Fig.IV.5) ; le micromodule est configuré à l'adresse IP : 192.168.0.2

L'accès à RTOS est protégé par un nom d'utilisateur et un mot de passe



Fig.IV.5 Configuration des paramètres pour le protocole FTP.

Si le nom d'utilisateur et le mot de passe sont corrects, on accède à la fenêtre RTOS (fig.IV.6)

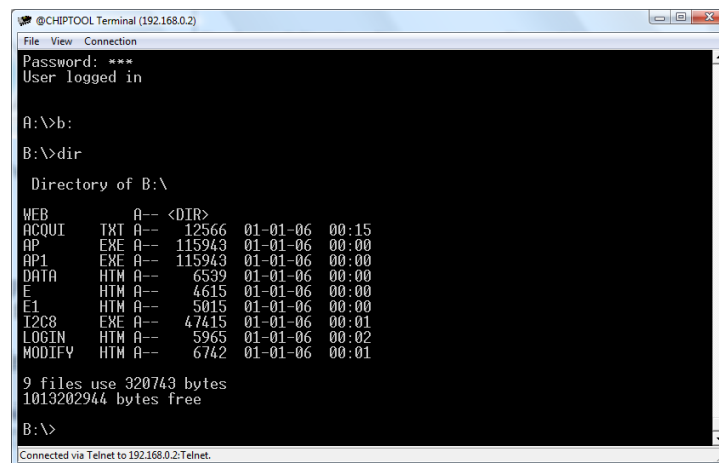
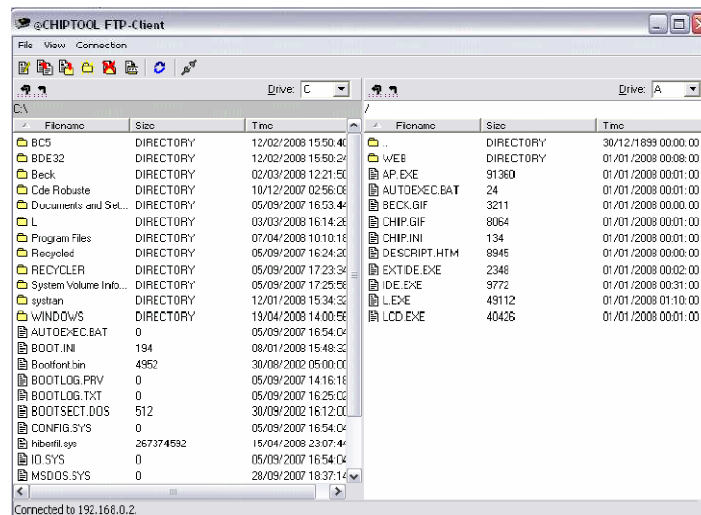


Fig.IV.6 Présentation du RTOS

Le A:\ Représente la Ram du micromodule; si on veut accéder aux informations stockées dans la Compact Flash, on tape B:\

### **IV.3 Le Transfert des fichiers**

Après avoir compilé le programme, le Borland C++ va générer des exécutables : on clique sur la fenêtre FTP-CLIENT et on obtient la fenêtre (Fig. IV.7)



**Fig. IV.7 Interface PC-SC13.**

Tous les fichiers qui se trouvent à gauche de la fenêtre appartiennent à la partition C du PC, alors que ceux qui se trouvent à droite sont contenus dans la Ram du micromodule.

Le transfert des informations se fait en sélectionnant le fichier concerné et en le ramenant vers l'autre partie de la fenêtre via la souris.

Dans la figure IV.7 il existe un fichier appelé AUTOEXEC.BAT, qui se charge de l'auto-exécution du programmes EXTIDE.EXE, ce qui va installer automatiquement le Pilote de la carte Compact Flash

#### IV.4 Les principales commandes RTOS

Commande	Fonction
DEL [nom fichier]	Effacer un fichier
DIR [nom dossier]	Affiche le contenu du dossier désigné
TYPE [fichier]	Afficher un fichier système contenu dans le micromodule
COPY[fichier] [Destination]	Copier le fichier concerné vers une destination
MD [nom répertoire]	Créer un répertoire
CD[..]	Sortir d'un répertoire
RD [nom dossier]	Effacer un dossier
PCS [N°]	Activer une ligne du SC13, N°=0,1,2,3,4,5,6
ALE[N°]	Activer la broche Latch Enable, N°=0,1
IP[Adresse]	Définir l'adresse IP du chip
FORMAT[nom du volume]	Formater une partition

GATEWAY[adresse]	Définir une adresse IP et la stockée dans le fichier CHIP.INI
IPCFG	Afficher la configuration IP
REBOOT	Redémarrer le système
MEM	Afficher l'état de la mémoire
CGISTAT	Donne la liste de tous les CGI qui sont exécutées
HELP	Afficher toute les commandes de la console

Tableau IV.1 Les commandes RTOS

## IV.5 Outil de conception des pages WEB

Pour créer les pages Internet, on a utilisé un logiciel appelé « Macromedia Dreamweaver MX » (fig. IV.8)

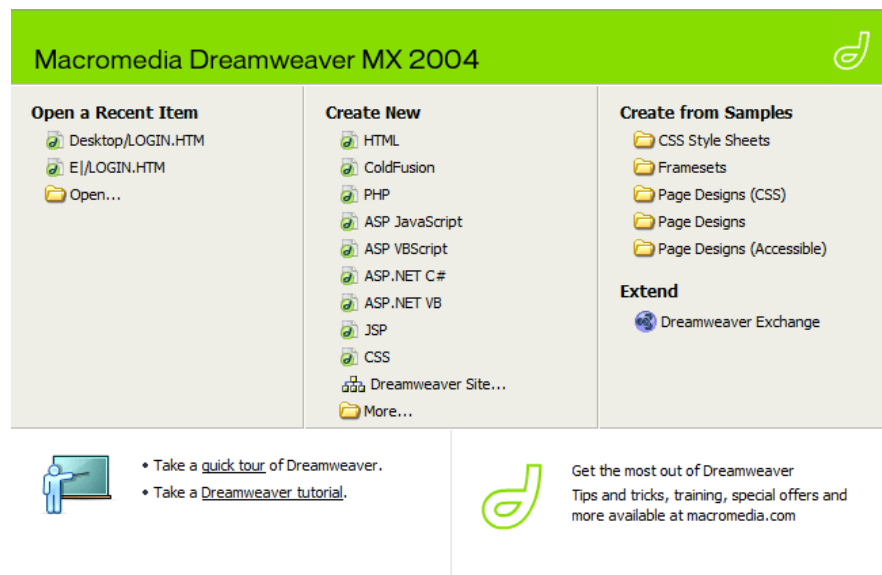


Fig. IV.8 Fenêtre de présentation du logiciel

## IV.6 Mise en route du dispositif

Après avoir alimenté le prototype, il va immédiatement appeler le fichier « Autoexec.bat », ce dernier va sélectionner l'application « AP » (fig. IV.6)

L'utilisateur lance un navigateur Internet (Internet Explorer ou Mozilla Firefox) et va faire entrer l'adresse IP du micromodule (fig. IV.9)

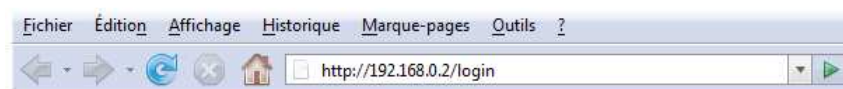


Fig. IV.9 Première étape : Adresse IP

Une fenêtre de sécurité va apparaître, car l'accès est protégé par un nom d'utilisateur et un mot de passe (fig. IV.10) ; le système peut accepter trois utilisateurs et plus.

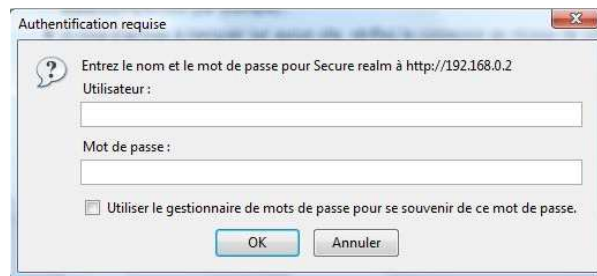


Fig. IV.10 Deuxième étape : Authentification

Si le nom d'utilisateur et le mot de passe sont corrects, alors on accède à la page d'accueil (fig. IV.11)

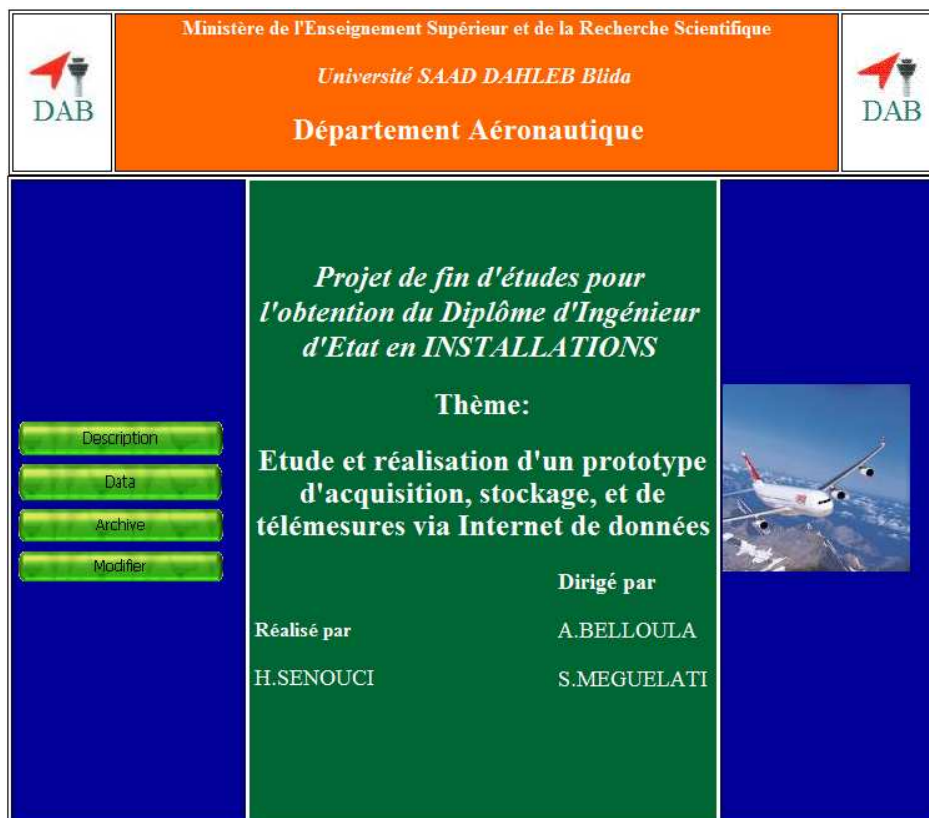


Fig. IV.11 Troisième étape : Page d'accueil du site

Le site est composé de quatre pages web

- Page de description du prototype (fig. IV.12)
- Page de visualisation des données (Date, Heure, T° ainsi que le numéro du processus industriel activé ou en service) (fig. IV.13)
- Page de stockage où sont affichées les cinq dernières mesures. (Fig. IV.14)
- Page d'activation des processus industriels (fig. IV.15)



Fig. IV.12 Page de description

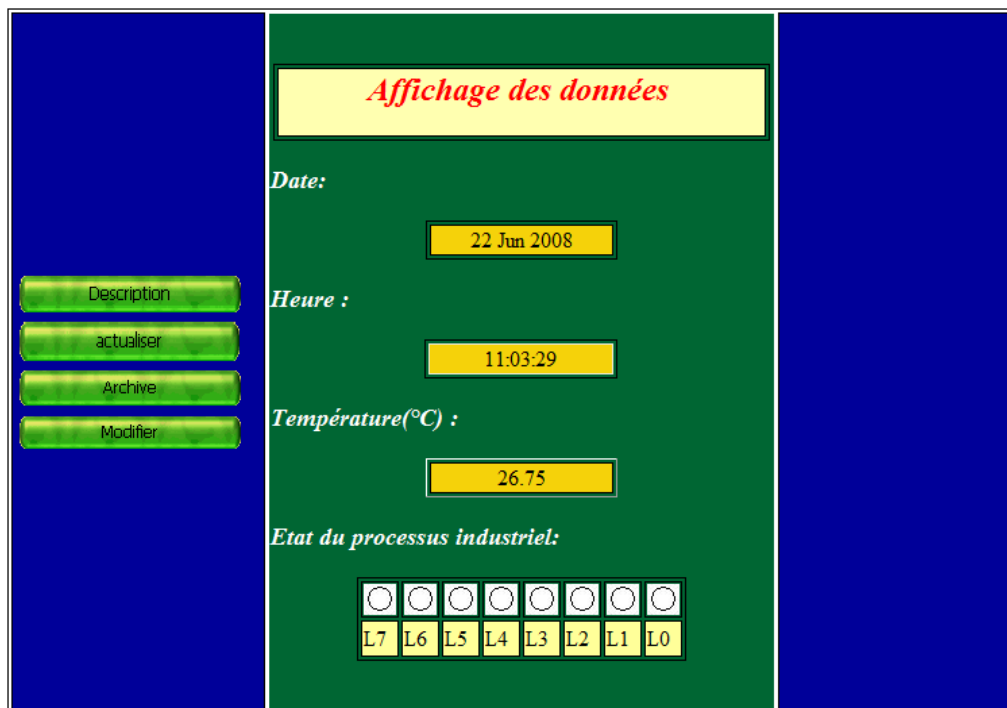


Fig. IV.13 Page Data

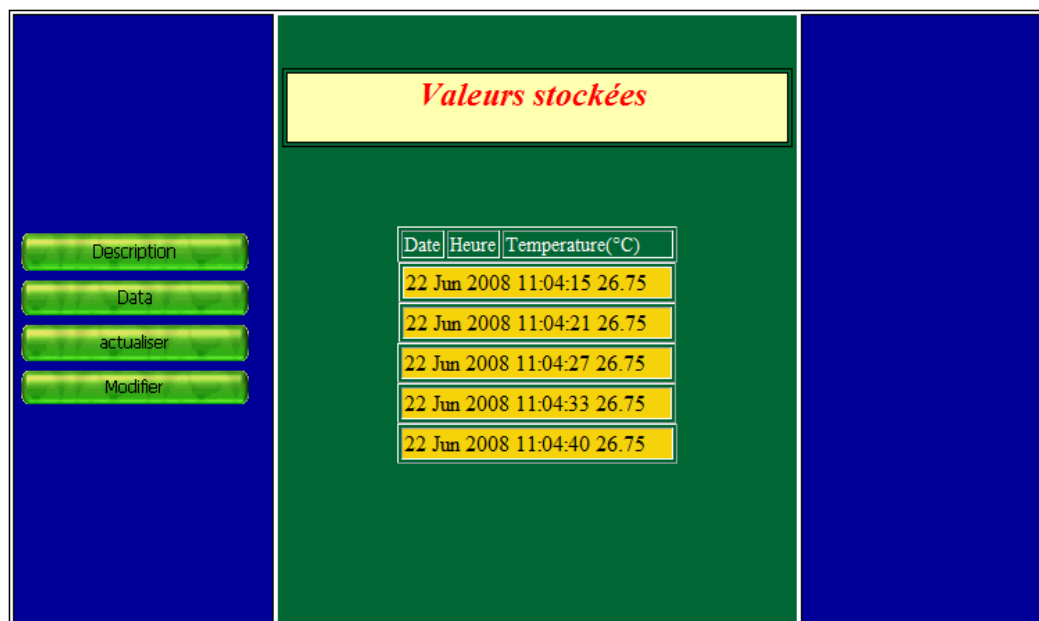


Fig. IV.14 Page de stockage

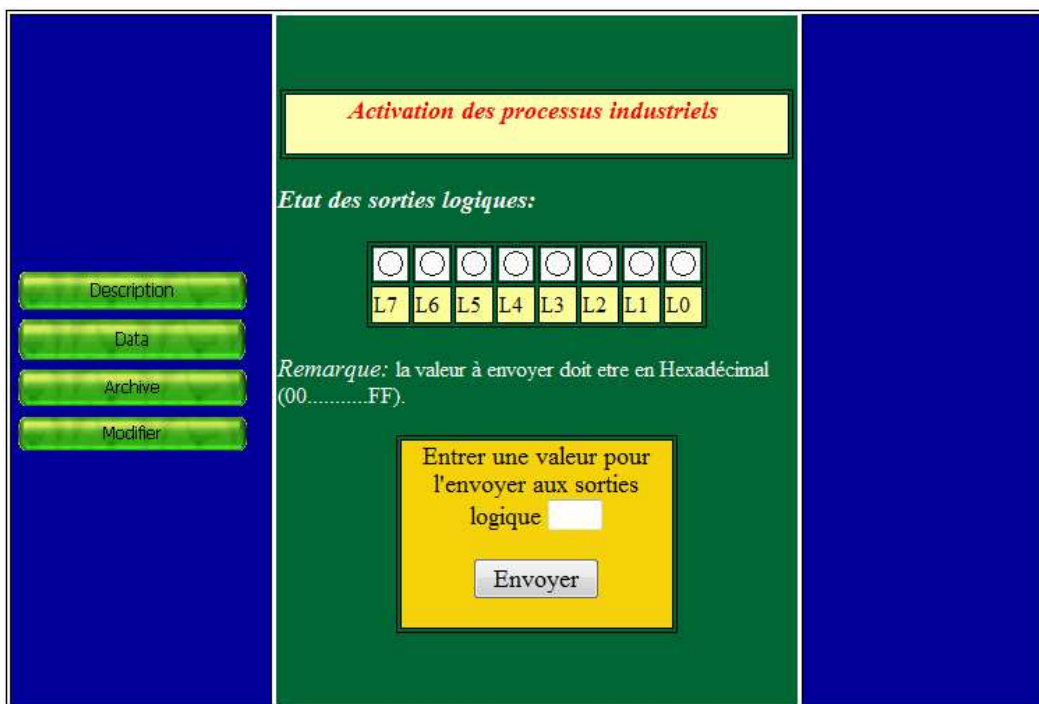


Fig. IV.15 Page de commandes des processus industriels

## IV.7 Notion de sémaphore

Le programme doit gérer plusieurs tâches :

- Acquisition
- Stockage
- Affichage
- Initialisation de la page web



Le micromodule ne pouvant pas exécuter toutes ces tâches simultanément, on utilise la notion « SEMAPHORE », qui permet au microcontrôleur d'exécuter une seule tâche à la fois, selon sa priorité.

Pour illustrer cette notion, on donne l'exemple suivant :

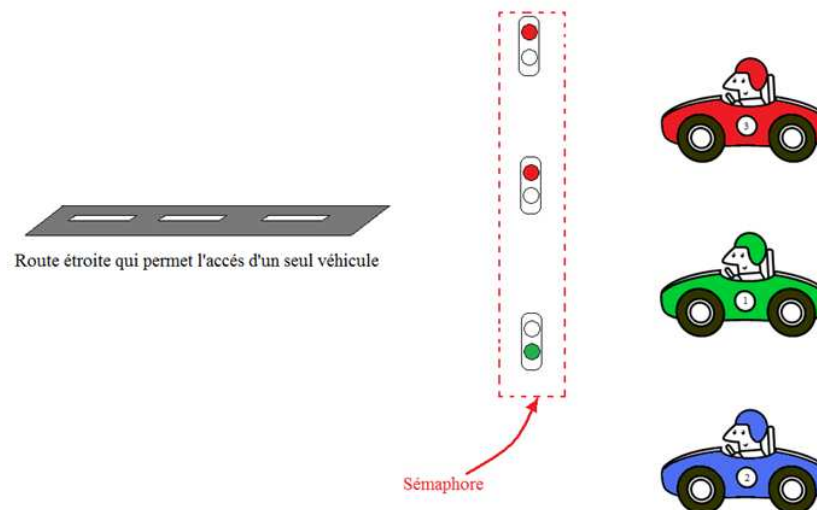


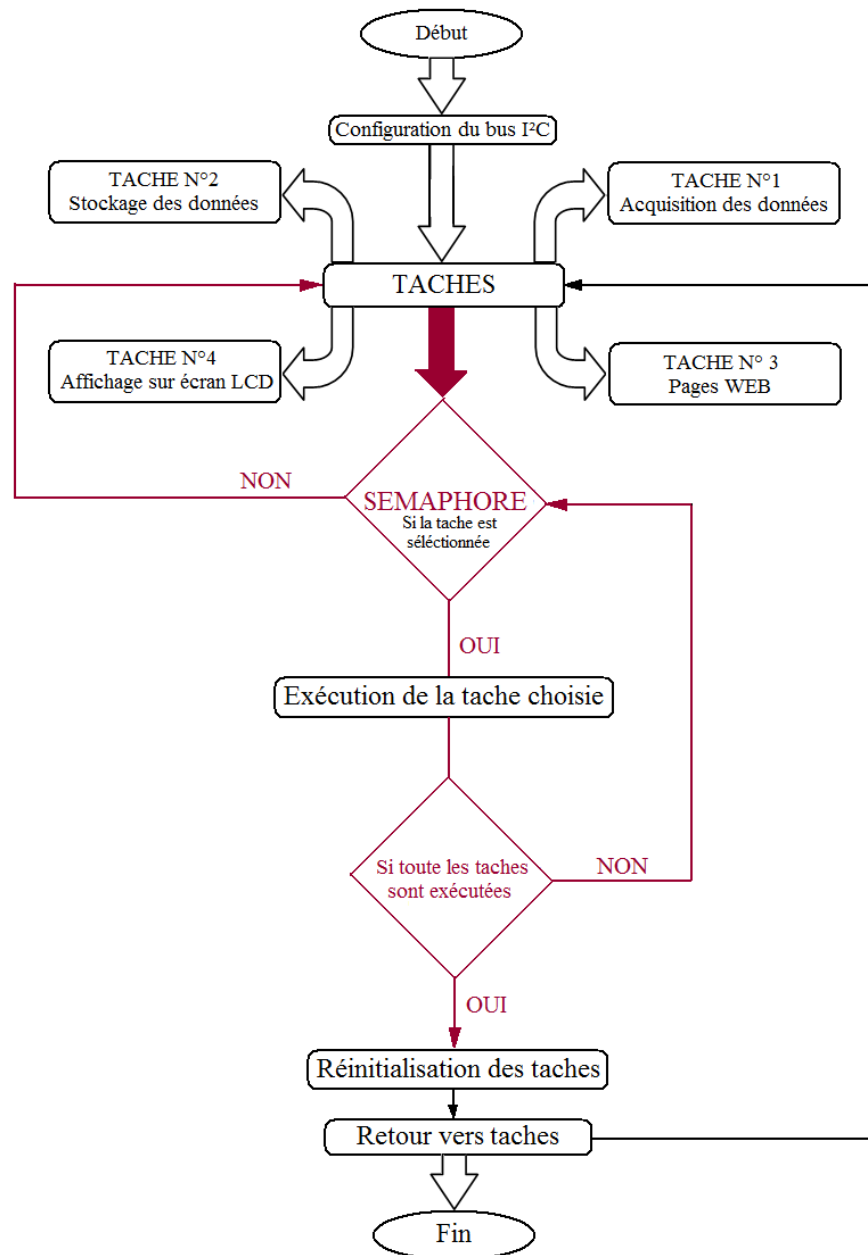
Fig. IV.16 Schéma synoptique de la notion de sémaphore

Dans la figure IV.16 on a trois voitures qui doivent utiliser la route, mais celle-ci est étroite et ne permet qu'à un seul véhicule de circuler ; on a représenté le sémaphore par les feux bicolores qui vont gérer la circulation en commençant par exemple par le véhicule n°2 ensuite le n°1 et enfin le n°3.

Au niveau du programme on crée quatre tâches, le sémaphore va les exécuter l'une après l'autre en respectant l'ordre suivant (voir organigramme IV.1):

- 1- La tâche d'acquisition
- 2- La tâche de stockage
- 3- La tâche pages WEB
- 4- La tâche d'affichage sur LCD

### IV.8 . Organigrammes :



Organigramme IV.1 : Structure générale du programme

Dans la partie début, plusieurs bibliothèques ont été appelées.

On cite quelque unes :

- <stdio.h> Bibliothèque standard entrée/sortie
- <string.h> Bibliothèque de caractères
- <clib.h> Librairie C
- <dos.h> Bibliothèque de commandes RTOS
- <ds3231> Bibliothèque spécifique concernant le capteur de température

Dans la partie « Configuration du bus I<sup>2</sup>C », on désigne les broches « SCL » et « SDA » (les broches n°31 et n°30). Pour cela, on a utilisé les instructions citées dans le tableau IV.2

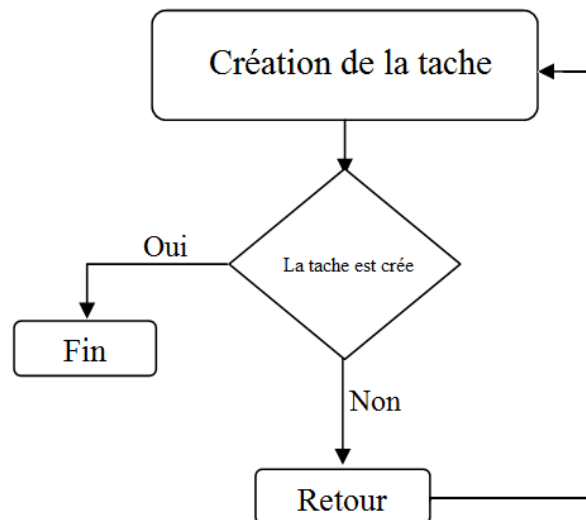
Fonction	description
Void I2C_select_clock _pin ( <b>unsigned char pio_no</b> ) <b>pio_no</b> : indique le numéro du pin [0...13].	Sélection de la broche SCL
<b>Void I2C_select_data _pin (unsigned char pio_no)</b>	Sélection de la broche SDA
<b>Void I2C_init (void)</b>	cette fonction permet la configuration de deux pins sélectionnés précédemment afin de les utiliser comme <b>bus de données</b> et <b>signaux d'horloge I2C</b> .
<b>Void I2C_release (void)</b>	cette fonction permet de libérer le bus I2C.

Tableau IV.2 Les instructions permettant la configuration du bus I<sup>2</sup>C

Les Taches :

Les quatre taches (Acquisition, stockage, pages WEB, afficheur LCD) ont été créés comme suit :

- void huge task1 (void) : Création de la première tache (Acquisition)
- void huge task2 (void) : Création de la deuxième tache (Stockage)
- void huge task3 (void) : Création de la troisième tache (Pages WEB)
- void huge task4 (void) : Création de la quatrième tache (Affichage sur LCD)



Organigramme IV.2 : Structure de création de chaque tache

Maintenant les quatre taches sont disponibles, on attribue pour chacune d'elle un numéro (1 pour l'acquisition, 2 pour le stockage, 3 pour les pages WEB, 4 pour l'afficheur LCD)

On crée un sémaphore par l'instruction suivante :

`RTX_Create_sem .`

Cette commande est suivie d'une autre instruction : `T=RTX_Reserve_sem`, qui permet de stocker le nombre de la tache retenue parmi les autres.

Le sémaphore va faire une comparaison et donne la priorité à la tache qui a le numéro le plus petit(1), puis à celle qui vient après (2), ensuite (3) et finalement la (4).

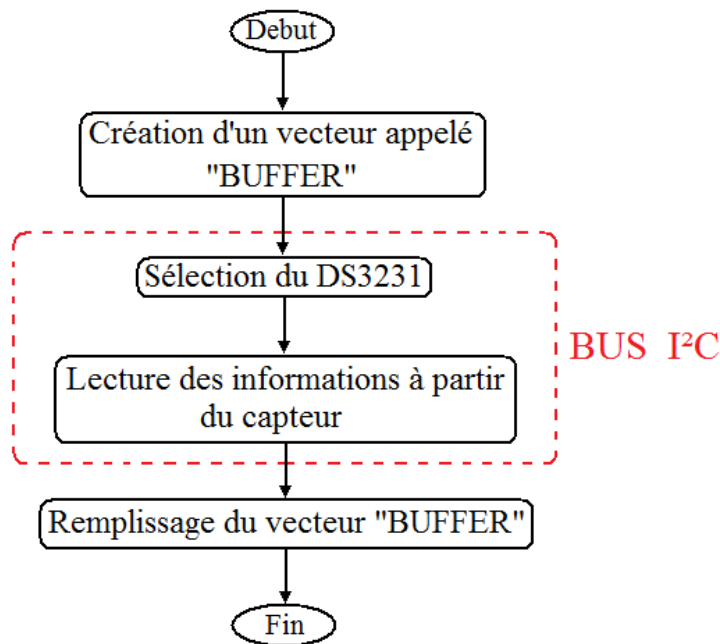
Le programme s'assure que toutes les taches ont été exécutées, si c'est le cas, il passe à la réinitialisation les taches par la commande `RTX_Release_sem`.

Finalement le programme va répéter les procédures précédentes.

## IV.8.1 Description des différentes tâches

### IV.8.1.1 Acquisition

Une fois que cette tâche est sélectionnée, le programme va procéder comme suit (organigramme 3)



Organigramme IV.3 : Structure de la tâche d'acquisition

Dans cette tâche, on commence par la création d'un vecteur appelé « BUFFER » de 28 cases.

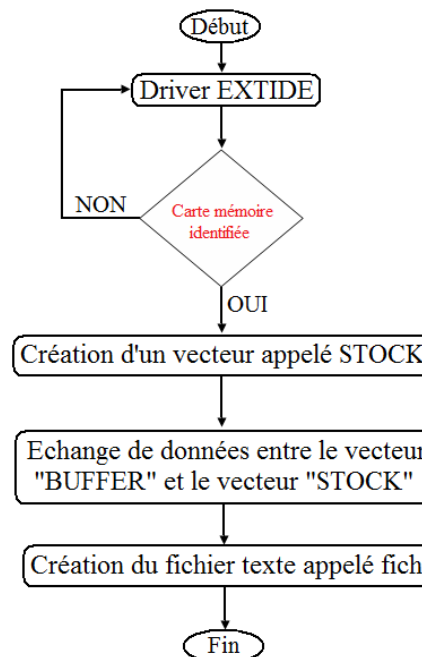
L'instruction : `I2C_receive_block(adresse,nom vecteur)`, permet de définir les blocs qui vont échanger les informations, dans notre cas : l'instruction s'écrit comme suit :

`I2C_receive_block(0xd0,Buffer)`, la première adresse `0xd0` est la représentation hexadécimale de l'adresse du capteur, alors que « Buffer » représente le vecteur créé précédemment

Il suffit d'ajouter la commande suivante : `read_ds3231(&adresse)` pour récupérer l'information désirée sachant que (`&adresse`) représente l'adresse du registre ou case mémoire ciblée.

### IV.8.1.2 Stockage

Cette partie du programme est structurée comme suit (Organigramme IV.4) :



Organigramme IV.4 Structure de la tâche de stockage.

Le driver EXTIDE est un programme qui permet au micromodule de reconnaître la carte mémoire ; il contient des fichiers système ainsi que le protocole IDE.

Une fois que la carte mémoire est reconnue, on crée un vecteur appelé « STOCK » de 28 cases.

L'étape qui vient après concerne l'échange de données entre le vecteur « BUFFER » et le vecteur « STOCK » comme suit :

$$\text{STOCK}(i) = \text{BUFFER}(i) \quad (i \text{ est un entier qui varie de } 1 \text{ à } 28)$$

#### IV.8.1.2.1 Calcul du temps de stockage

Afin d'éviter la saturation de la carte Compact Flash, on calcule la durée de stockage, autrement dit quelle est la durée que peut supporter la carte Compact Flash, avant qu'elle ne se sature ?

La tâche de stockage (dans le programme) se fait chaque 6s

$$1\text{jour} = 86400\text{s}, \text{ ce qui fait on a } \frac{86400}{6} = 14400 \text{ opérations de stockage par jour}$$

La taille du vecteur STOCK est 28 octets, auquel on ajoute deux octets (le 1<sup>er</sup> concerne l'espace après chaque écriture et le 2<sup>ème</sup> concerne le retour chariot)

Exemple :

02 Jun 2008 10:05:12 22.25  
 Vide Vide Vide Vide

Donc, on a en tout 30 octets pour chaque opération, soit 30×14400 octets par jour.

On ajoute la taille des applications et des pages WEB stockées dans la Compacte Flash (492 Ko), ce qui donne  $\frac{30 \times 14400}{1024} = 421,875 \text{ Ko} + 492 \text{ Ko} = 913,875 \text{ Ko}$

D'autre part, la taille de la carte Compact Flash est 1Go

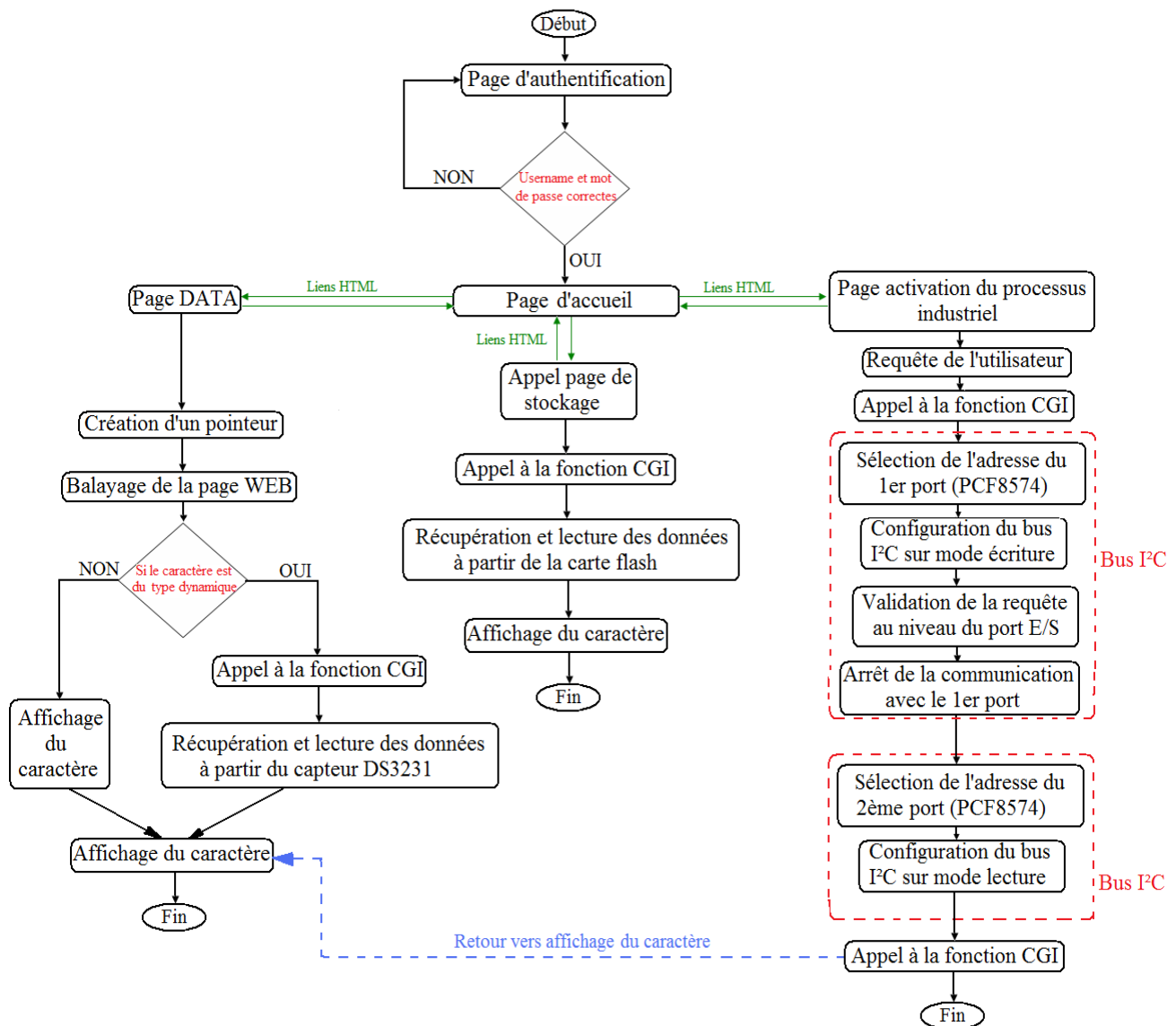
Par conséquent le temps de stockage =  $\frac{1 \times 1024 \times 1024}{913,875} = 1147,3954 \text{ jours}$

Autrement dit, on peut stocker dans la carte Compact Flash pendant une durée de 3 ans 1 mois et 3 semaines avant qu'elle n'atteigne sa capacité maximale.

NB : on a pris pour le calcul 1 année=365 jours, et un mois=30 jours

Pour visualiser les données stockées sous forme d'un fichier texte, on a utilisé la commande suivante : `fopen("destination")` ; la destination représente le chemin par où les informations ont été stockées, autrement dit `fich=fopen("B:\acqui.txt")`, par conséquent si on accède à la carte mémoire, on trouve le fichier texte « `acqui.txt` ».

## IV.8.1.3 Pages WEB



Organigramme IV.5 : Structure de la tâche pages WEB.

Dès que cette tâche est sélectionnée, le programme va demander un nom d'utilisateur et un mot de passe, cette opération est effectuée par une comparaison entre deux chaînes de caractères : la première est entrée par l'utilisateur (username et le mot de passe), et la deuxième concerne la chaîne de caractère définie par le programmeur. La commande réalisant cette opération s'écrit comme suit : `choix=strcmp(Chaîne1,Chaîne 2)`

Si les deux chaînes de caractères sont identiques, la commande va retourner un « 1 »

Le programme va appeler les pages WEB par la commande :

`Nom_page=Gen_HTML code_from("chemin suivi pour atteindre la page WEB désirée")`



Exemple : pour la page d'accueil, la commande correspondante s'écrit comme suit :

```
Index_page=Gen_HTML_code_from("\\bin\\web\\cgi\\index.htm")
```

Le passage d'une page WEB à l'autre se fait à travers des liens définis par le logiciel « Macromedia Dreamweaver »

Lorsque l'utilisateur accède à la page DATA, le programme doit l'appeler par la commande : DATA\_page=Gen\_HTML\_code\_from("\\bin\\web\\cgi\\data.htm"), puis il va créer un pointeur appelé Vardef.

La page WEB est divisée en deux parties :

- Partie statique : contient les parties qui ne changent pas dans la page exemple : le titre « Affichage des données »
- Partie dynamique concerne les cases contenant des éléments variables : température, date, heure..etc.

Le programme procède à une lecture de la page WEB, en reproduisant exactement le même caractère si ce dernier appartient à la partie statique, mais lorsqu'il arrive au pointeur  $^{\wedge}\text{Var}[n^{\circ}]$  (fig. IV.17), alors le caractère appartient à la partie dynamique ; dans ce cas, il va faire appel à la fonction CGI qui constitue une interface entre la page WEB et le capteur DS3231.

Finalement, le programme va afficher le caractère lu à partir des registres du capteur



Fig. IV.17 Structure de la page DATA.htm

La même procédure est appliquée pour toutes les autres pages WEB, sauf que pour la page « Activation des processus industriels », le programme fait appel aux fonctions du bus I<sup>2</sup>C pour répondre à la requête de l'utilisateur, et doit l'envoyer celle-ci au premier port PCF8574 par la commande :

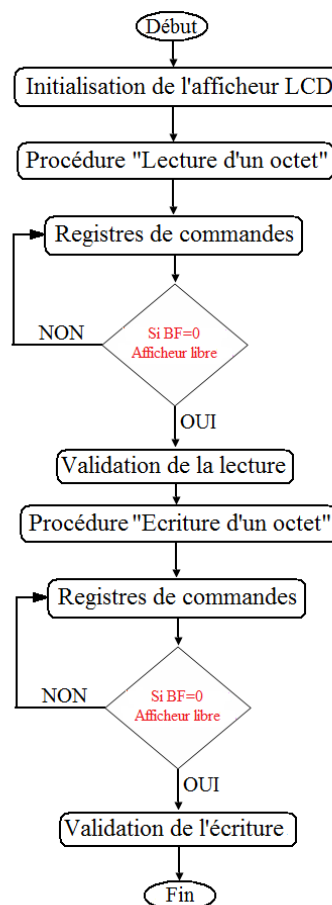
I2C\_transmit\_char(adresse source « modify.htm »,adresse de destination « 0x40 »)

Afin de s'assurer que le bon processus est activé, le programme prélève les tensions disponibles au niveau du deuxième port E/S par la commande :

I2C\_receive\_char(adresse source « 0x70 »,adresse de destination « modify.htm »),

l'état des LED disponibles aux niveaux des pages « Affichage des données » et « Activation des processus industriels » apparaît en appelant deux images, la première présente une LED allumée, elle est nommée « on.jpg » et l'autre éteinte, nommée « off.jpg » ; toute cette opération se fait via la fonction CGI.

Enfin, le programme suit la structure (organigramme IV.6) pour afficher un caractère



Organigramme IV.6 : Structure d'affichage sur écran LCD.

L'initialisation de l'afficheur LCD définit le mode de dialogue avec le SC13 (4 ou 8 bits), ainsi que le nombre de lignes au niveau de l'afficheur : pour cela on envoie à la sortie A1 (qui représente RS) une tension de 0 volts, et en même temps on envoie la valeur (38h) (consulter le tableau III.12). L'instruction qui permet de réaliser cette opération s'écrit comme suit :

```
Out(Register « RS=0 ou RW=1 »,commande)
```

Pour notre cas on tape l'instruction suivante :

```
Out(0,0x38).
```

La validation au niveau de la patte « Enable » se fait à partir de la Pin PSC(6) par la commande :

```
Pfe_enable_pcs(6)
```

Si l'afficheur a exécuté une instruction, cela veut dire qu'il est libre, par conséquent le bit « BUSY FLAG » est à 0, et dans ce cas, le programme valide cette lecture ; la même procédure est suivie pour l'affichage du caractère lu précédemment, mais RS est configuré à 1

Afin de lire, écrire ou afficher un caractère, on utilise les commandes suivantes :

Fonction	Description
<b>void</b> LCD_ReadByte(1,caractère)	Cette fonction permet de lire un caractère, sachant que le 1 représente RS, le caractère est codé en hexadécimale
<b>void</b> LCD_WriteByte(0,caractère)	Même fonction que la précédente, mais en mode écriture
<b>Void</b> LCD_WriteStr( <b>char*</b> str)	Fonction permettant l'écriture d'une chaîne de caractères

Tableau 8.3 Les instructions utilisées pour lire, écrire un caractère ou une chaîne de caractères

## IV.9 Conclusion

Ainsi donc, ce chapitre comporte les différentes étapes devant aboutir à l'affichage d'une page WEB de télémesure à distance d'un capteur de température.

Pour cela, la description logicielle est basée sur deux types de logiciels :

Le premier est utilisé comme interface entre le développeur et le microcontrôleur : c'est le CHIPTOOL.

L'autre est le Borland C++, qui est un langage de développement évolué et qui donne la possibilité de générer des exécutables pour le SC13.

Enfin, ce chapitre intégrant l'ensemble des données évoquées dans les chapitres précédents, montre qu'on peut acquérir, stocker, télémesurer via Internet des données de la température qui a été choisie comme échantillon support.

Ce prototype étudié permet bien sûr d'intégrer d'autres paramètres.

## CONCLUSION GENERALE

A partir de composants mis à la disposition des chercheurs et des étudiants, l'agencement et l'adaptation de ces composants a permis d'élaborer ce projet d'études et de réaliser un prototype flexible, peu couteux et pratique.

Ainsi, la maquette réalisée a été l'aboutissement de toutes les données techniques évoquées dans les 4 chapitres, les Annexes ayant été réservées aux détails techniques des différents composants.

Ce projet m'a permis d'acquérir, en outre, de nouvelles connaissances et d'avoir des reflexes quant à la manière d'adopter une démarche logique, scientifique pour solutionner des problèmes techniques très complexes dans le domaine des Techniques de l'Information et de la Communication.

Cette technologie de télémétrie via Internet de données est mondialement utilisée dans les systèmes embarqués entièrement autonomes, ce qui ouvre de nouvelles perspectives.

Le dispositif ainsi réalisé est une première plate forme que d'autres étudiants qui veulent continuer dans ce contexte peuvent l'utiliser pour d'autres applications , dans le cadre des travaux de conception et de recherche.

## BIBLIOGRAPHIE

SOURCE OU OUVRAGE	NOM DES AUTEURS	EDITION	ANNEE
Technologie des ordinateurs [2]	Paolo Zanella/Yves Ligier	DUNOD	2005
Technologie des interconnexions réseaux[1]	David de Lonzien	CISCO	2001
Le bus I <sup>2</sup> C par la pratique[4]	Pascal Morin	ETSF	1996
La liaison RS232[5]	Philippe André	ETSF	2000
Transmission et réseaux	David de Lonzien	DUNOD	2003
TCP/IP Administration de Réseaux[2]	Craig Hunt	O'REILLY	1998
Elektor	Personal mini web server	ELEKTOR	2001
Initiation aux interfaces série [6]	Electronique pratique N°289	TRANSOCEANIC SAS	2004
Les afficheurs LCD [7]	Electronique pratique N°306	TRANSOCEANIC SAS	2006
<a href="http://www.beck-ipc.com/en/download/index.asp">http://www.beck-ipc.com/en/download/index.asp</a>	BECK Gmbh	-	-
<a href="http://www.wikipedia.org">www.wikipedia.org</a>	Définitions	-	-

## GLOSSAIRE

MOS : Metal Oxyde Semi conductor

### Mémoires interne afficheurs:

DDRAM: Display Data RAM.

CGROM: Character generator ROM.

CGRAM: Character generator RAM.

LCD: liquid crystal display.

### Port:

Un port est le terme permettant de spécifier une connexion normalisée. Ce terme désigne implicitement le type de liaison ou de bus et la connectique qui y est rattachée. En micro informatique, on parle souvent du port RS232 ou le port parallèle.

Le terme Duplex est utilisé pour désigné un canal de communication

RS232 (Recommanded standard) : protocole de communication

Bauds : c'est le nombre de changement d'état de la ligne pendant une seconde. Cela correspond au nombre de bits par seconde transmis. Le nombre de bauds étant dépendant de la ligne téléphonique utilisée.

Parité : il s'agit d'un bit qui peut être rajouté à la suite des bits de données pour détecter les erreurs pendant la communication. Autrement dit, c'est une technique qui permet de vérifier que le contenu d'un mot n'a pas été changé accidentellement lors de sa transmission.

### Câble UTP/STP

- UTP : Paire torsadée non blindée (Unshield Twisted Pair)
- STP : paire torsadée blindée (Shield Twisted Pair).

RTS : (Request To Send) : sortie de demande d'émission.

CTS : (Clear To Send) : entrée d'inhibition de l'émetteur.

DCD: (Data Carrier Detect)

DTE : (Data Terminal Equipment) : Equipement terminal de donnée (un pc par exemple)

DCE : (Data Communication Equipment) : Equipement de communication de données, (modem par exemple)

Modem : Modulateur/Démodulateur

ATA : Advanced Technology Attachment : standard d'interface des périphériques de stockage

ATAPI : ATA Packet Interface.

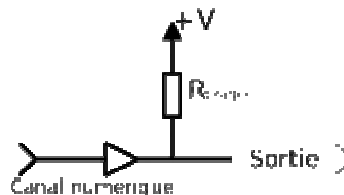
NMI : Non Maskable Interrupt.

Systeme embarqué :

C'est un ordinateur intégré à un appareil (électroménager, équipement numérique, robot, etc.)

ALE : Adress Latch Enable (fonction qui verrouille ou débloque une mémoire)

Résistance Pull-Up:



C'est une résistance placée souvent dans les circuits numériques entre la source d'alimentation et une ligne qui amène délibérément à l'état positif (état haut), la valeur usuelle utilisée pour la résistance est de l'ordre de quelques kilo-ohms (4.7K $\Omega$ , 10K $\Omega$ ), elles sont appliquées à un collecteur ouvert ou une ligne laissée en l'air, car cette dernière peut être considérée comme étant une antenne qui va capter des parasites et qui seront par la suite amplifiés par conséquent les informations deviendront erronées. Ces résistances jouent un autre rôle : elles permettent d'une part la limitation des courant aux niveaux des broches SDA et SDL, et d'une autre part puisque les deux lignes précédentes changent d'état (« 0 » ou « 1 ») les résistances Pull-Up permettent d'éviter les courts circuits.



BNC : British Naval Connector, c'est un connecteur réservé pour le protocole 10Base2.

MBps : Méga Bits Par Seconde.

ETTD : Equipement Terminal de Traitement de Données (Pc, Hub, Imprimante, etc.)

MAN : Metropolitan Area Network (Réseau métropolitain)

TCP/IP : Transmission Control Protocol / Internet Protocol (protocole utilisé souvent pour l'Internet)

IANA : Internet Assigned Numbers Agency : Organisme chargé d'attribuer les adresses IP

HTTP : HyperText Transfer Protocol

CGI : (Common Gateway Interface : interface de passerelle commune).

RTC : Real Time Clock (horloge en temps reel).

TTL: Transistor Transistor Logic : famille de circuits logiques utilisés souvent en électronique

RTOS: Real Time Operating System.

DHCP : **Dynamic Host Configuration Protocol** est un terme anglais désignant un protocole réseau dont le rôle est d'assurer la configuration automatique des paramètres IP.

WATCH DOG : ou « **chien de garde** », est un circuit électronique ou un logiciel utilisé en électronique numérique pour s'assurer qu'un automate ou un ordinateur ne restent pas bloqués à une étape particulière du traitement qu'ils effectuent.

RAZ : remise à zéro

DMA : Direct Memory Access : technique utilisée pour accéder directement à la mémoire

Transceiver : Emetteur Récepteur.

SDA : Serial Data (Pin réservée pour la transmission des données dans le bus I<sup>2</sup>C)

SCL :Serial Clock(Pin réservée pour la synchronisation des opérations dans le bus I<sup>2</sup>C)

IDE : Integrated Drive Electronics (protocole utilisé pour la gestion des mémoires de masse)

CD : Compact Disc :Disque optique utilisé pour le stockage des données

DVD : Digital Video Disc : Idem que le CD, mais avec une capacité plus importante.

**Telnet** (**TE**rminal **NE**Twork ou **TE**Lecommunication **NE**Twork, ou encore **TE**Letype **NE**Twork) est un protocole réseau utilisé sur tout réseau supportant le protocole TCP/IP. Le but du protocole Telnet est de fournir un moyen de communication très généraliste, bi-directionnel et orienté octet.

**telnet** est aussi une commande permettant de créer une session Telnet sur une machine distante. Cette commande a d'abord été disponible sur les systèmes Unix, puis elle est apparue sur la plupart des systèmes d'exploitation

UART : (Universal Asynchronous Receiver/Transmitter) ou l'interface sérielle interne qui permet d'établir une liaison rudimentaire pour la transmission de données avec un PC.

## 74ABT573

### Octal D-Type Latch with TRI-STATE® Outputs

#### General Description

The 'ABT573 is an octal latch with buffered common Latch Enable (LE) and buffered common Output Enable ( $\overline{OE}$ ) inputs.

This device is functionally identical to the 'ABT373 but has different pinouts.

#### Features

- Inputs and outputs on opposite sides of package allow easy interface with microprocessors
- Useful as input or output port for microprocessors
- Functionally identical to 'ABT373
- TRI-STATE outputs for bus interfacing

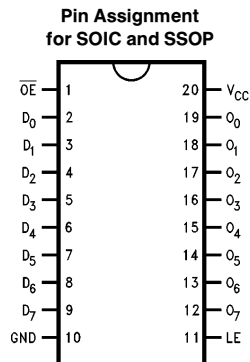
- Output sink capability of 64 mA, source capability of 32 mA
- Guaranteed output skew
- Guaranteed multiple output switching specifications
- Output switching specified for both 50 pF and 250 pF loads
- Guaranteed simultaneous switching, noise level and dynamic threshold performance
- Guaranteed latchup protection
- High impedance glitch-free bus loading during entire power up and power down
- Nondestructive hot insertion capability

Commercial	Package Number	Package Description
74ABT573CSC (Note 1)	M20B	20-Lead (0.300" Wide) Molded Small Outline, JEDEC
74ABT573CSJ (Note 1)	M20D	20-Lead (0.300" Wide) Molded Small Outline, EIAJ
74ABT573CMSA (Note 1)	MSA20	20-Lead Molded Shrink Small Outline, EIAJ Type II
74ABT573CMTC (Notes 1, 2)	MTC20	20-Lead Molded Thin Shrink Small Outline, JEDEC

**Note 1:** Devices also available in 13" reel. Use suffix = SCX, SJX, MSAX, and MTCX.

**Note 2:** Contact factory for package availability.

#### Connection Diagram



Pin Names	Description
D <sub>0</sub> –D <sub>7</sub>	Data Inputs
LE	Latch Enable Input (Active HIGH)
$\overline{OE}$	TRI-STATE Output Enable Input (Active LOW)
O <sub>0</sub> –O <sub>7</sub>	TRI-STATE Latch Outputs

TL/F/11548-1

TRI-STATE® is a registered trademark of National Semiconductor Corporation.

## Functional Description

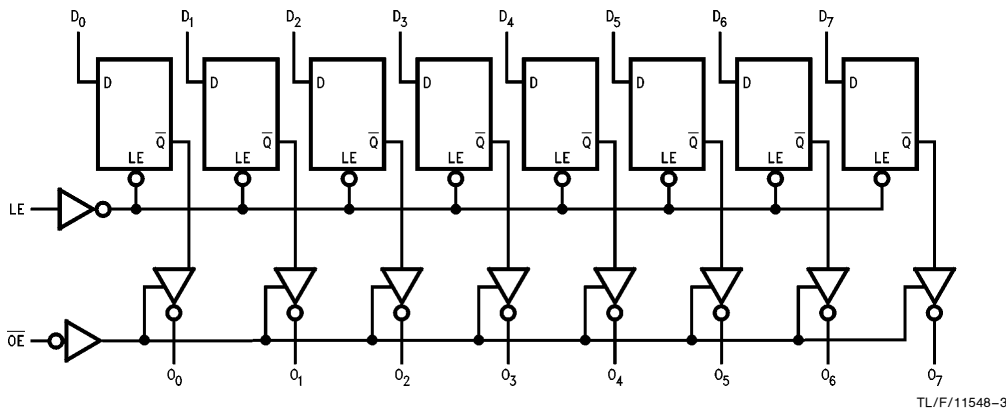
The 'ABT573 contains eight D-type latches with TRI-STATE output buffers. When the Latch Enable (LE) input is HIGH, data on the  $D_n$  inputs enters the latches. In this condition the latches are transparent, i.e., a latch output will change state each time its D input changes. When LE is LOW the latches store the information that was present on the D inputs a setup time preceding the HIGH-to-LOW transition of LE. The TRI-STATE buffers are controlled by the Output Enable ( $\overline{OE}$ ) input. When  $\overline{OE}$  is LOW, the buffers are in the bi-state mode. When  $\overline{OE}$  is HIGH the buffers are in the high impedance mode but this does not interfere with entering new data into the latches.

Function Table

Inputs			Outputs
$\overline{OE}$	LE	D	O
L	H	H	H
L	H	L	L
L	L	X	$O_0$
H	X	X	Z

H = HIGH Voltage Level  
 L = LOW Voltage Level  
 X = Immaterial  
 $O_0$  = Value stored from previous clock cycle

## Logic Diagram



Please note that this diagram is provided only for the understanding of logic operations and should not be used to estimate propagation delays.

## Absolute Maximum Ratings (Note 1)

Storage Temperature	-65°C to +150°C
Ambient Temperature under Bias	-55°C to +125°C
Junction Temperature under Bias	
Plastic	-55°C to +150°C
V <sub>CC</sub> Pin Potential to Ground Pin	-0.5V to +7.0V
Input Voltage (Note 2)	-0.5V to +7.0V
Input Current (Note 2)	-30 mA to +5.0 mA
Voltage Applied to Any Output in the Disabled or Power-Off State in the HIGH State	-0.5V to +5.5V -0.5V to V <sub>CC</sub>
Current Applied to Output in LOW State (Max)	Twice the rated I <sub>OL</sub> (mA)

DC Latchup Source Current	-500 mA
Over Voltage Latchup (I/O)	10V

**Note 1:** Absolute maximum ratings are values beyond which the device may be damaged or have its useful life impaired. Functional operation under these conditions is not implied.

**Note 2:** Either voltage limit or current limit is sufficient to protect inputs.

## Recommended Operating Conditions

Free Air Ambient Temperature	
Commercial	-40°C to +85°C
Supply Voltage	
Commercial	+4.5V to +5.5V
Minimum Input Edge Rate	( $\Delta V/\Delta t$ )
Data Input	50 mV/ns
Enable Input	20 mV/ns

## DC Electrical Characteristics

Symbol	Parameter	ABT573			Units	V <sub>CC</sub>	Conditions
		Min	Typ	Max			
V <sub>IH</sub>	Input HIGH Voltage	2.0			V		Recognized HIGH Signal
V <sub>IL</sub>	Input LOW Voltage			0.8	V		Recognized LOW Signal
V <sub>CD</sub>	Input Clamp Diode Voltage			-1.2	V	Min	I <sub>IN</sub> = -18 mA
V <sub>OH</sub>	Output HIGH Voltage	74ABT 74ABT	2.5 2.0		V	Min	I <sub>OH</sub> = -3 mA I <sub>OH</sub> = -32 mA
V <sub>OL</sub>	Output LOW Voltage	74ABT		0.55	V	Min	I <sub>OL</sub> = 64 mA
I <sub>IH</sub>	Input HIGH Current			5 5	μA	Max	V <sub>IN</sub> = 2.7V (Note 2) V <sub>IN</sub> = V <sub>CC</sub>
I <sub>BVI</sub>	Input HIGH Current Breakdown Test			7	μA	Max	V <sub>IN</sub> = 7.0V
I <sub>IL</sub>	Input LOW Current			-5 -5	μA	Max	V <sub>IN</sub> = 0.5V (Note 2) V <sub>IN</sub> = 0.0V
V <sub>ID</sub>	Input Leakage Test	4.75			V	0.0	I <sub>ID</sub> = 1.9 μA All Other Pins Grounded
I <sub>OZH</sub>	Output Leakage Current			50	μA	0 - 5.5V	V <sub>OUT</sub> = 2.7V; $\overline{OE}$ = 2.0V
I <sub>OZL</sub>	Output Leakage Current			-50	μA	0 - 5.5V	V <sub>OUT</sub> = 0.5V; $\overline{OE}$ = 2.0V
I <sub>OS</sub>	Output Short-Circuit Current	-100		-275	mA	Max	V <sub>OUT</sub> = 0.0V
I <sub>CEX</sub>	Output High Leakage Current			50	μA	Max	V <sub>OUT</sub> = V <sub>CC</sub>
I <sub>ZZ</sub>	Bus Drainage Test			100	μA	0.0	V <sub>OUT</sub> = 5.5V; All Others GND
I <sub>CCH</sub>	Power Supply Current			50	μA	Max	All Outputs HIGH
I <sub>CCL</sub>	Power Supply Current			30	mA	Max	All Outputs LOW
I <sub>CCZ</sub>	Power Supply Current			50	μA	Max	$\overline{OE}$ = V <sub>CC</sub> All Others at V <sub>CC</sub> or GND
I <sub>CCT</sub>	Additional I <sub>CC</sub> /Input	Outputs Enabled Outputs TRI-STATE Outputs TRI-STATE		2.5 2.5 2.5	mA mA mA	Max	V <sub>I</sub> = V <sub>CC</sub> - 2.1V Enable Input V <sub>I</sub> = V <sub>CC</sub> - 2.1V Data Input V <sub>I</sub> = V <sub>CC</sub> - 2.1V All Others at V <sub>CC</sub> or GND
I <sub>CCD</sub>	Dynamic I <sub>CC</sub> (Note 2)	No Load		0.12	mA/ MHz	Max	Outputs Open $\overline{OE}$ = GND, LE = V <sub>CC</sub> (Note 1) One Bit Toggling, 50% Duty Cycle

**Note 1:** For 8 bits toggling, I<sub>CCD</sub> < 0.8 mA/MHz.

**Note 2:** Guaranteed but not tested.

## DC Electrical Characteristics (SOIC package) (Continued)

Symbol	Parameter	Min	Typ	Max	Units	V <sub>CC</sub>	Conditions C <sub>L</sub> = 50 pF, R <sub>L</sub> = 500Ω
V <sub>OLP</sub>	Quiet Output Maximum Dynamic V <sub>OL</sub>		0.7	1.0	V	5.0	T <sub>A</sub> = 25°C (Note 1)
V <sub>OLV</sub>	Quiet Output Minimum Dynamic V <sub>OL</sub>	-1.5	-1.2		V	5.0	T <sub>A</sub> = 25°C (Note 1)
V <sub>OHV</sub>	Minimum High Level Dynamic Output Voltage	2.5	3.0		V	5.0	T <sub>A</sub> = 25°C (Note 3)
V <sub>IHD</sub>	Minimum High Level Dynamic Input Voltage	2.2	1.8		V	5.0	T <sub>A</sub> = 25°C (Note 2)
V <sub>ILD</sub>	Maximum Low Level Dynamic Input Voltage		1.0	0.7	V	5.0	T <sub>A</sub> = 25°C (Note 2)

**Note 1:** Max number of outputs defined as (n). n - 1 data inputs are driven 0V to 3V. One output at LOW. Guaranteed, but not tested.

**Note 2:** Max number of data inputs (n) switching. n - 1 inputs switching 0V to 3V. Input-under-test switching: 3V to threshold (V<sub>ILD</sub>), 0V to threshold (V<sub>IHD</sub>). Guaranteed, but not tested.

**Note 3:** Max number of outputs defined as (n). n - 1 data inputs are driven 0V to 3V. One output HIGH. Guaranteed, but not tested.

## AC Electrical Characteristics

Symbol	Parameter	74ABT			74ABT		Units
		T <sub>A</sub> = +25°C V <sub>CC</sub> = +5.0V C <sub>L</sub> = 50 pF			T <sub>A</sub> = -40°C to +85°C V <sub>CC</sub> = 4.5V to 5.5V C <sub>L</sub> = 50 pF		
		Min	Typ	Max	Min	Max	
†t <sub>PLH</sub>	Propagation Delay D <sub>n</sub> to O <sub>n</sub>	1.9	2.7	4.5	1.9	4.5	ns
†t <sub>PHL</sub>		1.9	2.8	4.5	1.9	4.5	
†t <sub>PLH</sub>	Propagation Delay LE to O <sub>n</sub>	2.0	3.1	5.0	2.0	5.0	ns
†t <sub>PHL</sub>		2.0	3.0	5.0	2.0	5.0	
†t <sub>PZH</sub>	Output Enable Time	1.5	3.1	5.3	1.5	5.3	ns
†t <sub>PZL</sub>		1.5	3.1	5.3	1.5	5.3	
†t <sub>PHZ</sub>	Output Disable Time	2.0	3.6	5.4	2.0	5.4	ns
†t <sub>PLZ</sub>	Time	2.0	3.4	5.4	2.0	5.4	

## AC Operating Requirements

Symbol	Parameter	74ABT			74ABT		Units
		T <sub>A</sub> = +25°C V <sub>CC</sub> = +5.0V C <sub>L</sub> = 50 pF			T <sub>A</sub> = -40°C to +85°C V <sub>CC</sub> = 4.5V to 5.5V C <sub>L</sub> = 50 pF		
		Min	Typ	Max	Min	Max	
f <sub>toggle</sub>	Max Toggle Frequency	100					MHz
t <sub>s</sub> (H)	Set Time, HIGH	1.5			1.5		
t <sub>s</sub> (L)	or LOW D <sub>n</sub> to LE	1.5			1.5		
t <sub>h</sub> (H)	Hold Time, HIGH	1.0			1.0		
t <sub>h</sub> (L)	or LOW D <sub>n</sub> to LE	1.0			1.0		
t <sub>w</sub> (H)	Pulse Width, LE HIGH	3.0			3.0		

## Extended AC Electrical Characteristics

Symbol	Parameter	74ABT		74ABT		74ABT		Units
		T <sub>A</sub> = -40°C to +85°C V <sub>CC</sub> = 4.5V to 5.5V C <sub>L</sub> = 50 pF 8 Outputs Switching (Note 4)		T <sub>A</sub> = -40°C to +85°C V <sub>CC</sub> = 4.5V to 5.5V C <sub>L</sub> = 250 pF (Note 5)		T <sub>A</sub> = -40°C to +85°C V <sub>CC</sub> = 4.5V to 5.5V C <sub>L</sub> = 250 pF 8 Outputs Switching (Note 6)		
		Min	Max	Min	Max	Min	Max	
t <sub>PLH</sub> t <sub>PHL</sub>	Propagation Delay D <sub>n</sub> to O <sub>n</sub>	1.5	5.2	2.0	6.8	2.0	9.0	ns
t <sub>PLH</sub> t <sub>PHL</sub>	Propagation Delay LE to O <sub>n</sub>	1.5	5.5	2.0	7.5	2.0	9.5	ns
t <sub>pZH</sub> t <sub>pZL</sub>	Output Enable Time	1.5	6.2	2.0	8.0	2.0	10.5	ns
t <sub>PHZ</sub> t <sub>PLZ</sub>	Output Disable Time	1.0	5.5	(Note 7)		(Note 7)		ns

**Note 4:** This specification is guaranteed but not tested. The limits apply to propagation delays for all paths described switching in phase (i.e., all LOW-to-HIGH, HIGH-to-LOW, etc.).

**Note 5:** This specification is guaranteed but not tested. The limits represent propagation delay with 250 pF load capacitors in place of the 50 pF load capacitors in the standard AC load. This specification pertains to single output switching only.

**Note 6:** This specification is guaranteed but not tested. The limits represent propagation delays for all paths described switching in phase (i.e., all LOW-to-HIGH, HIGH-to-LOW, etc.) with 250 pF load capacitors in place of the 50 pF load capacitors in the standard AC load.

**Note 7:** The TRI-STATE delay times are dominated by the RC network (500Ω, 250 pF) on the output and has been excluded from the datasheet.

## Skew

Symbol	Parameter	74ABT		74ABT		Units
		T <sub>A</sub> = -40°C to +85°C V <sub>CC</sub> = 4.5V to 5.5V C <sub>L</sub> = 50 pF 8 Outputs Switching (Note 3)		T <sub>A</sub> = -40°C to +85°C V <sub>CC</sub> = 4.5V to 5.5V C <sub>L</sub> = 250 pF 8 Outputs Switching (Note 4)		
		Max		Max		
t <sub>OSHL</sub> (Note 1)	Pin to Pin Skew HL Transitions	1.0		1.5		ns
t <sub>OSLH</sub> (Note 1)	Pin to Pin Skew LH Transitions	1.0		1.5		ns
t <sub>PS</sub> (Note 5)	Duty Cycle LH-HL Skew	1.4		3.5		ns
t <sub>OST</sub> (Note 1)	Pin to Pin Skew LH/HL Transitions	1.5		3.9		ns
t <sub>PV</sub> (Note 2)	Device to Device Skew LH/HL Transitions	2.0		4.0		ns

**Note 1:** Skew is defined as the absolute value of the difference between the actual propagation delays for any two separate outputs of the same device. The specification applies to any outputs switching HIGH to LOW (t<sub>OSHL</sub>), LOW to HIGH (t<sub>OSLH</sub>), or any combination switching LOW to HIGH and/or HIGH to LOW (t<sub>OST</sub>). This specification is guaranteed but not tested.

**Note 2:** Propagation delay variation for a given set of conditions (i.e., temperature and V<sub>CC</sub>) from device to device. This specification is guaranteed but not tested.

**Note 3:** This specification is guaranteed but not tested. The limits apply to propagation delays for all paths described switching in phase (i.e., all LOW-to-HIGH, HIGH-to-LOW, etc.).

**Note 4:** This specification is guaranteed but not tested. The limits represent propagation delays with 250 pF load capacitors in place of the 50 pF load capacitors in the standard AC load.

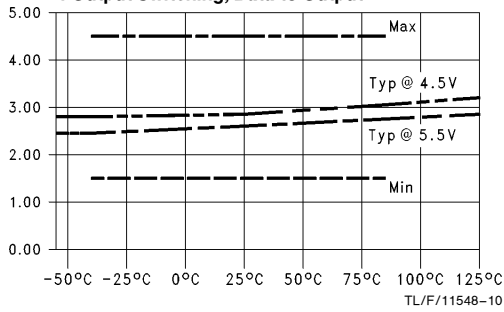
**Note 5:** This describes the difference between the delay of the LOW-to-HIGH and the HIGH-to-LOW transition on the same pin. It is measured across all the outputs (drivers) on the same chip, the worst (largest delta) number is the guaranteed specification. This specification is guaranteed but not tested.

# Capacitance

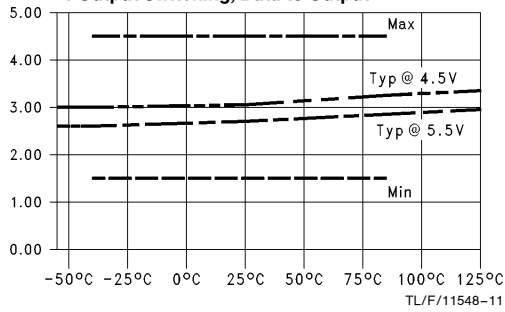
Symbol	Parameter	Typ	Units	Conditions ( $T_A = 25^\circ\text{C}$ )
$C_{IN}$	Input Capacitance	5	pF	$V_{CC} = 0V$
$C_{OUT}$ (Note 1)	Output Capacitance	9	pF	$V_{CC} = 5.0V$

Note 1:  $C_{OUT}$  is measured at frequency  $f = 1$  MHz per MIL-STD-883B, Method 3012.

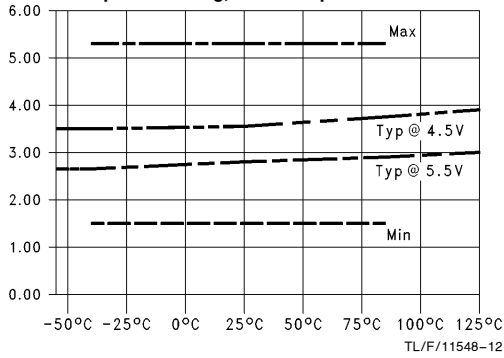
**$T_{PLH}$  vs Temperature ( $T_A$ ),  $C_L = 50$  pF,  
1 Output Switching, Data to Output**



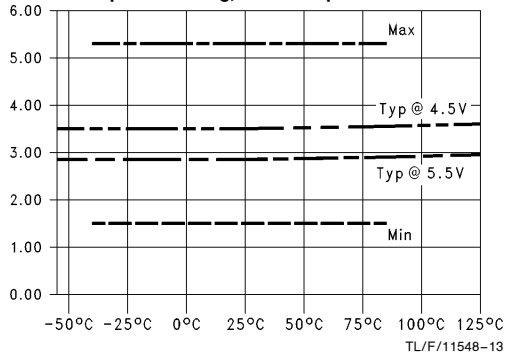
**$T_{PHL}$  vs Temperature ( $T_A$ ),  $C_L = 50$  pF,  
1 Output Switching, Data to Output**



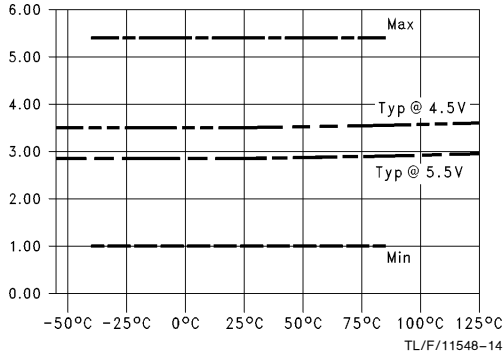
**$T_{PZH}$  vs Temperature ( $T_A$ ),  $C_L = 50$  pF,  
1 Output Switching,  $\overline{OE}$  to Output**



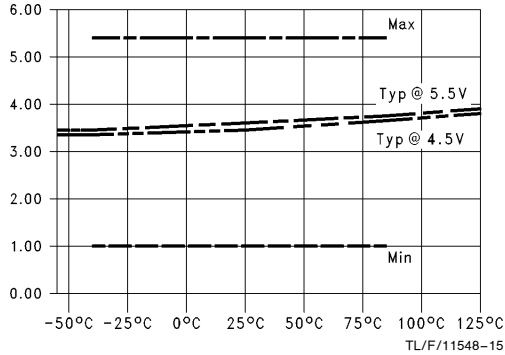
**$T_{pZL}$  vs Temperature ( $T_A$ ),  $C_L = 50$  pF,  
1 Output Switching,  $\overline{OE}$  to Output**



**$T_{PHZ}$  vs Temperature ( $T_A$ ),  $C_L = 50$  pF,  
1 Output Switching,  $\overline{OE}$  to Output**

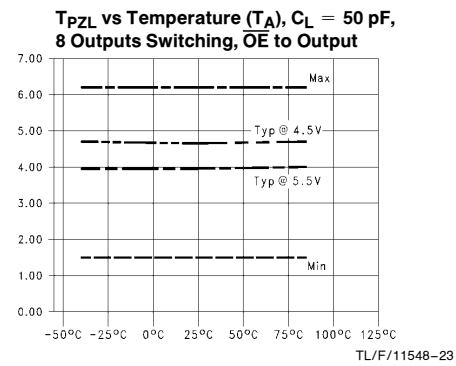
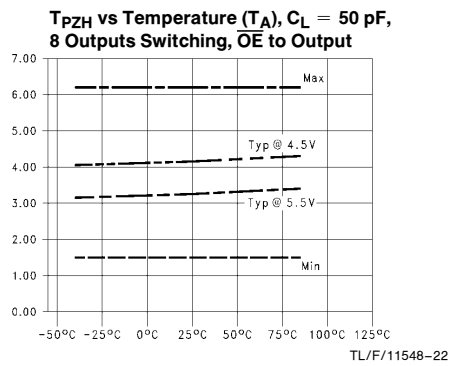
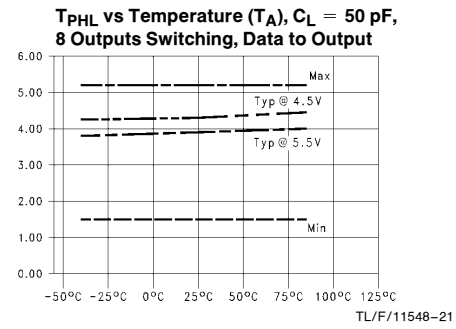
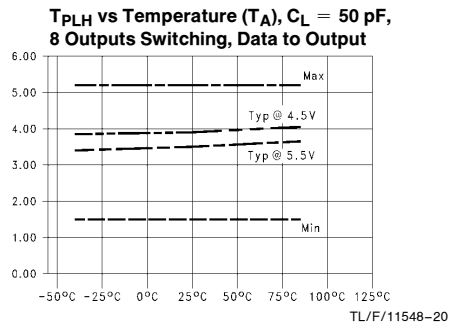
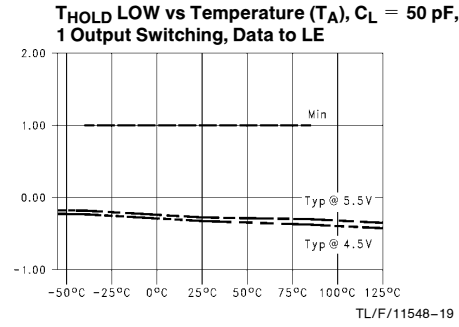
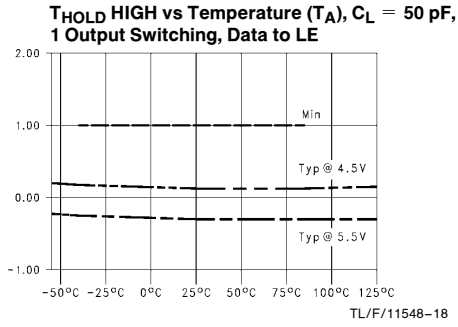
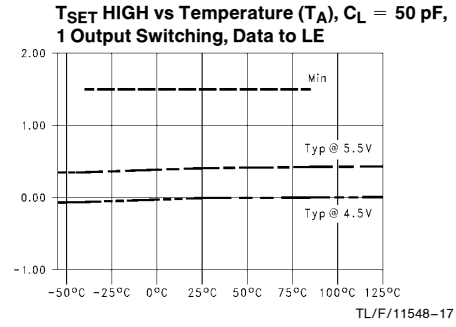
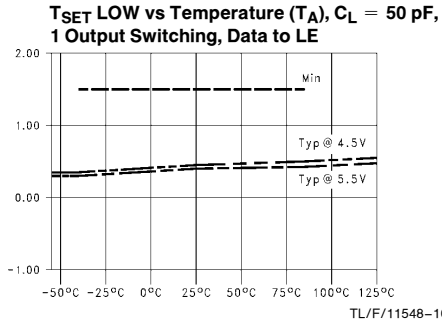


**$T_{PLZ}$  vs Temperature ( $T_A$ ),  $C_L = 50$  pF,  
1 Output Switching,  $\overline{OE}$  to Output**



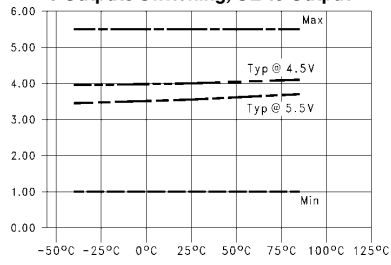
Dashed lines represent design characteristics; for specified guarantees, refer to AC Characteristics Tables.





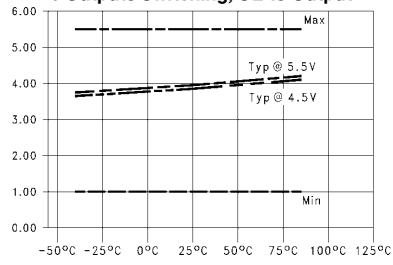
Dashed lines represent design characteristics; for specified guarantees, refer to AC Characteristics Tables.

**$T_{PHZ}$  vs Temperature ( $T_A$ ),  $C_L = 50$  pF,  
8 Outputs Switching,  $\overline{OE}$  to Output**



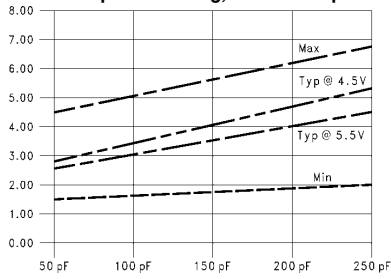
TL/F/11548-24

**$T_{PLZ}$  vs Temperature ( $T_A$ ),  $C_L = 50$  pF,  
8 Outputs Switching,  $\overline{OE}$  to Output**



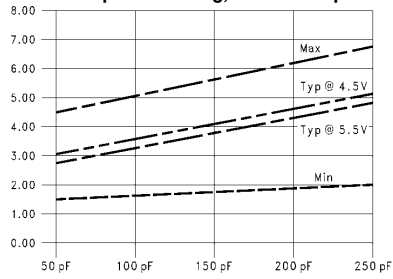
TL/F/11548-25

**$T_{PLH}$  vs Load Capacitance  $T_A = 25^\circ\text{C}$ ,  
1 Output Switching, Data to Output**



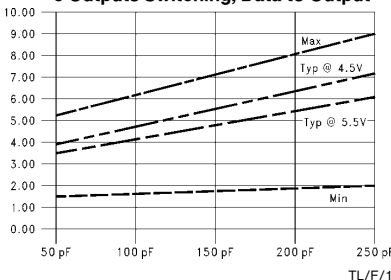
TL/F/11548-26

**$T_{PHL}$  vs Load Capacitance  $T_A = 25^\circ\text{C}$ ,  
1 Output Switching, Data to Output**



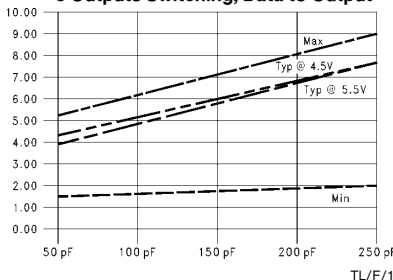
TL/F/11548-27

**$T_{PLH}$  vs Load Capacitance  $T_A = 25^\circ\text{C}$ ,  
8 Outputs Switching, Data to Output**



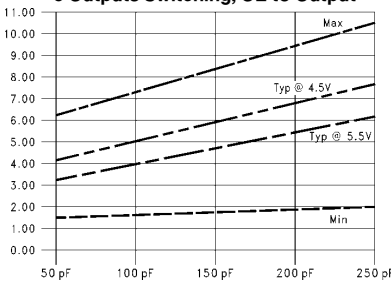
TL/F/11548-28

**$T_{PHL}$  vs Load Capacitance  $T_A = 25^\circ\text{C}$ ,  
8 Outputs Switching, Data to Output**



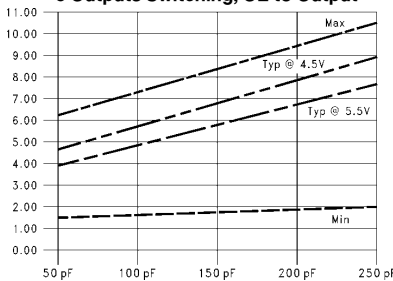
TL/F/11548-29

**$T_{PZH}$  vs Load Capacitance  $T_A = 25^\circ\text{C}$ ,  
8 Outputs Switching,  $\overline{OE}$  to Output**



TL/F/11548-30

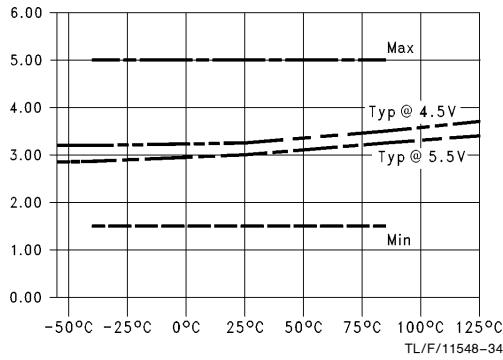
**$T_{PZL}$  vs Load Capacitance  $T_A = 25^\circ\text{C}$ ,  
8 Outputs Switching,  $\overline{OE}$  to Output**



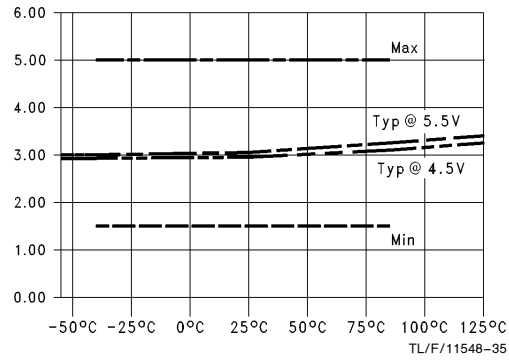
TL/F/11548-31

Dashed lines represent design characteristics; for specified guarantees, refer to AC Characteristics Tables.

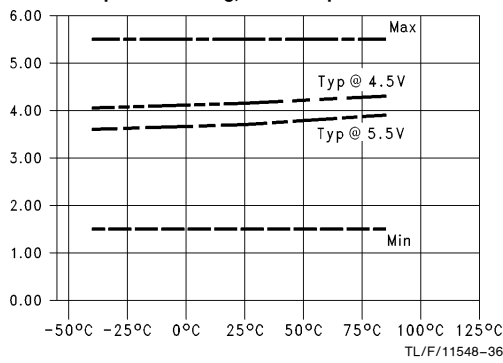
**$T_{PLH}$  vs Temperature ( $T_A$ ),  $C_L = 50$  pF,  
1 Output Switching, LE to Output**



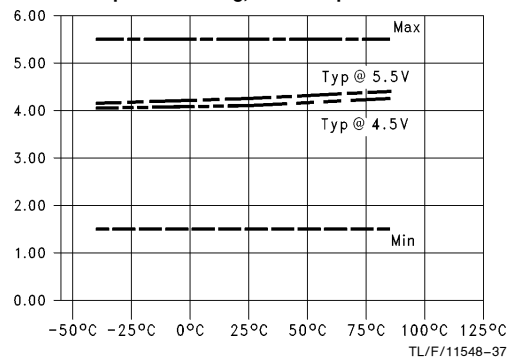
**$T_{PHL}$  vs Temperature ( $T_A$ ),  $C_L = 50$  pF,  
1 Output Switching, LE to Output**



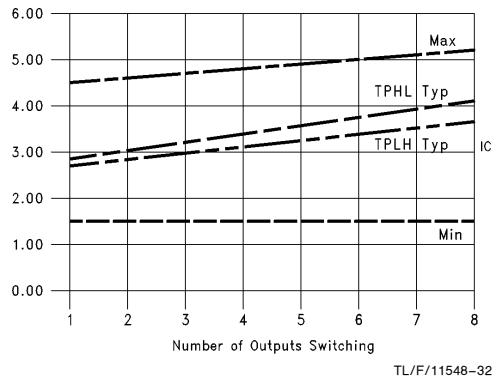
**$T_{PLH}$  vs Temperature ( $T_A$ ),  $C_L = 50$  pF,  
8 Outputs Switching, LE to Output**



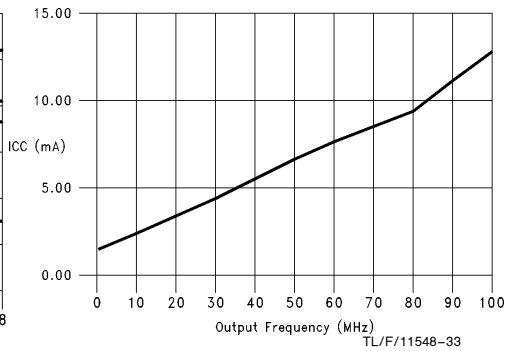
**$T_{PHL}$  vs Temperature ( $T_A$ ),  $C_L = 50$  pF,  
8 Outputs Switching, LE to Output**



**$T_{PLH}$  and  $T_{PHL}$  vs Number Outputs Switching,  
 $C_L = 50$  pF,  $T_A = 25^\circ\text{C}$ ,  $V_{CC} = 5.0\text{V}$ ,  
Outputs In Phase Data to Output**

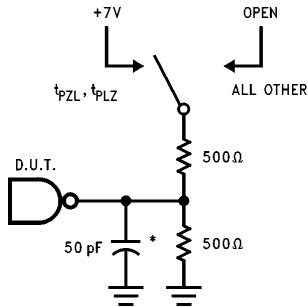


**Typical  $I_{CC}$  vs Output Switching Frequency,  
 $C_L = 0$  pF,  $V_{CC} = V_{IH} = 5.5\text{V}$ , LE = GND,  
1 Output Switching at 50% Duty Cycle, Data to Output,  
Transparent Mode with Unused Data Inputs =  $V_{IH}$**



Dashed lines represent design characteristics; for specified guarantees, refer to AC Characteristics Tables.

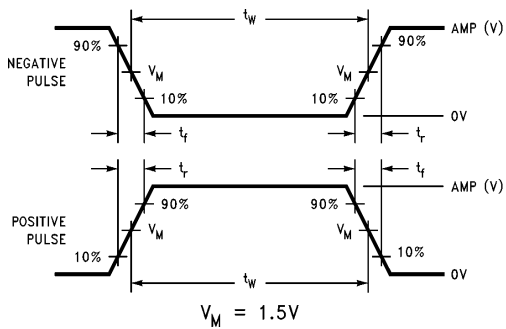
# AC Loading



\*Includes jig and probe capacitance

TL/F/11548-4

**FIGURE 1. Test Load**

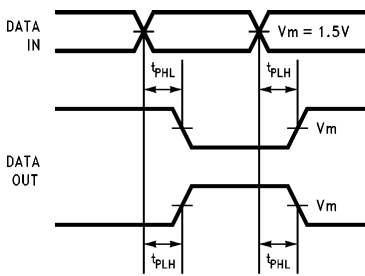


TL/F/11548-6

**FIGURE 2a. Test Input Signal Levels**

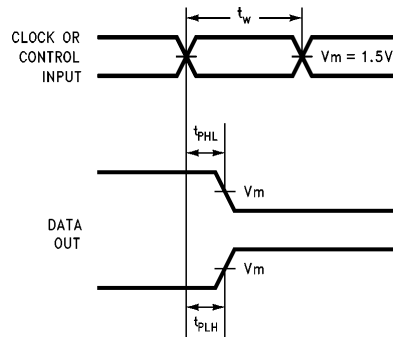
Amplitude	Rep. Rate	$t_w$	$t_r$	$t_f$
3.0V	1 MHz	500 ns	2.5 ns	2.5 ns

**FIGURE 2b. Test Input Signal Requirements**



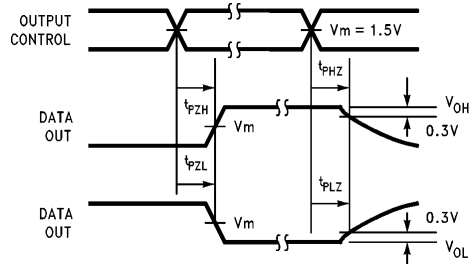
TL/F/11548-8

**FIGURE 3. Propagation Delay Waveforms for Inverting and Non-Inverting Functions**



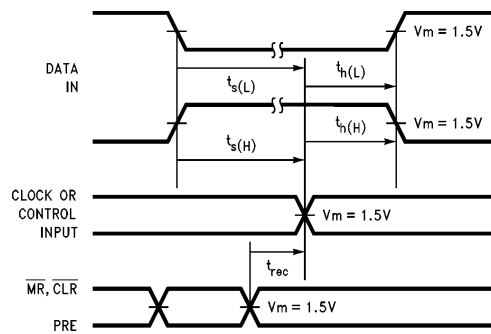
TL/F/11548-5

**FIGURE 4. Propagation Delay, Pulse Width Waveforms**



TL/F/11548-7

**FIGURE 5. TRI-STATE Output HIGH and LOW Enable and Disable Times**

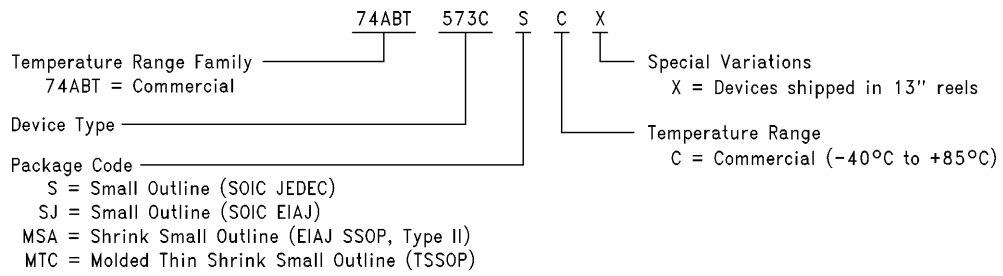


TL/F/11548-9

**FIGURE 6. Setup Time, Hold Time and Recovery Time Waveforms**

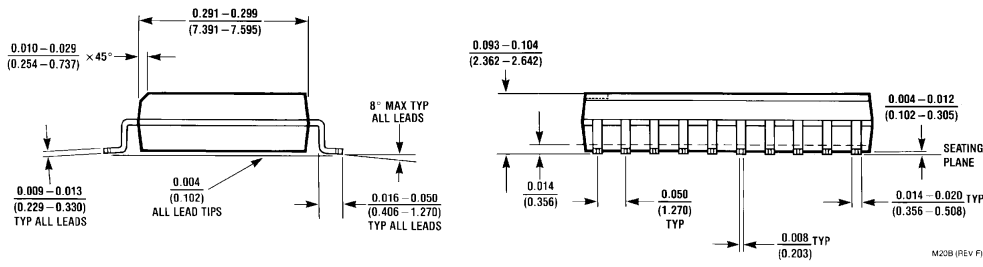
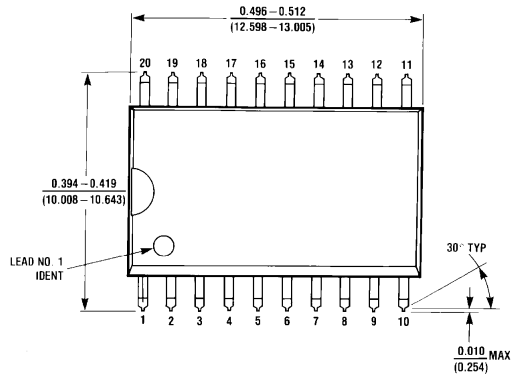
## Ordering Information

The device number is used to form part of a simplified purchasing code where the package type and temperature range are defined as follows:

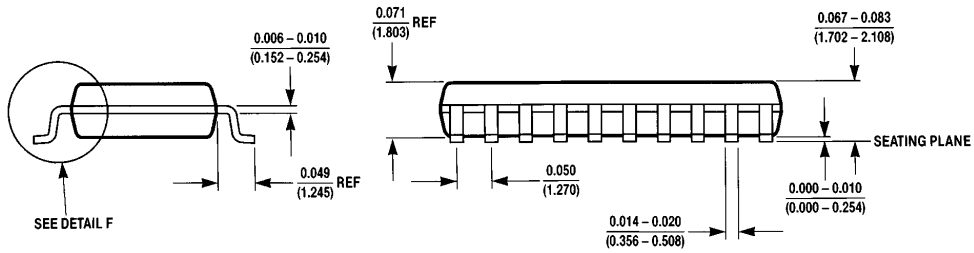
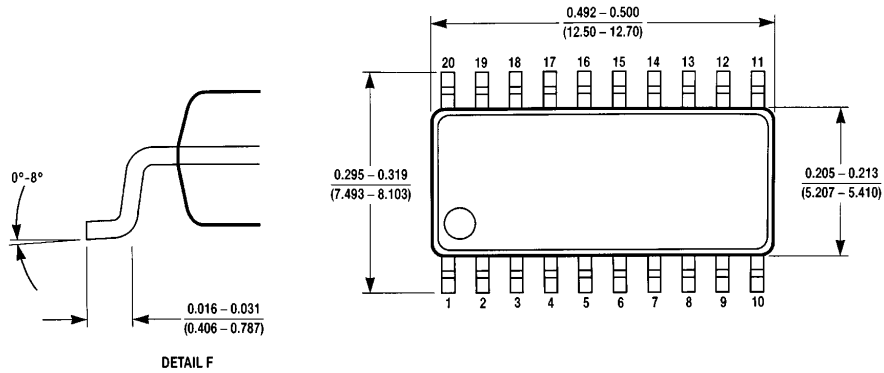


TL/F/11548-38

**Physical Dimensions** inches (millimeters)

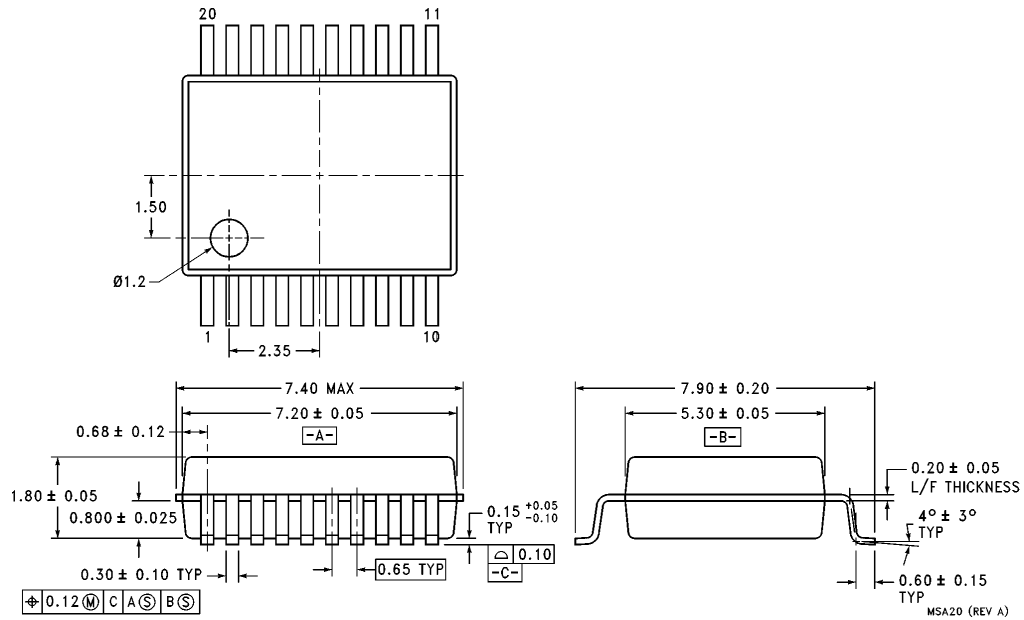


**20-Lead Small Outline Integrated Circuit JEDEC (S)  
NS Package Number M20B**



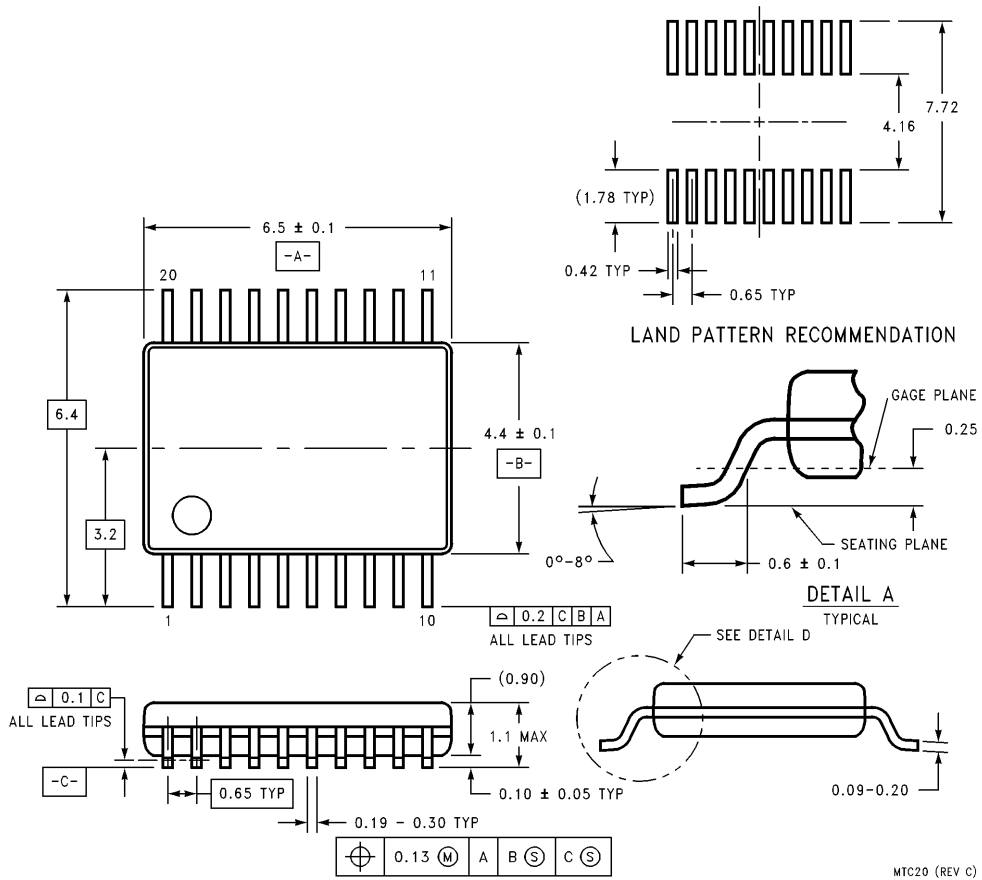
**20-Lead Small Outline Integrated Circuit EIAJ (SJ)  
NS Package Number M20D**

**Physical Dimensions** millimeters (Continued)



**20-Lead Plastic EIAJ SSOP Type II (MSA)**  
**NS Package Number MSA20**

**Physical Dimensions** millimeters (Continued)



**LIFE SUPPORT POLICY**

NATIONAL'S PRODUCTS ARE NOT AUTHORIZED FOR USE AS CRITICAL COMPONENTS IN LIFE SUPPORT DEVICES OR SYSTEMS WITHOUT THE EXPRESS WRITTEN APPROVAL OF THE PRESIDENT OF NATIONAL SEMICONDUCTOR CORPORATION. As used herein:

1. Life support devices or systems are devices or systems which, (a) are intended for surgical implant into the body, or (b) support or sustain life, and whose failure to perform, when properly used in accordance with instructions for use provided in the labeling, can be reasonably expected to result in a significant injury to the user.
2. A critical component is any component of a life support device or system whose failure to perform can be reasonably expected to cause the failure of the life support device or system, or to affect its safety or effectiveness.



**National Semiconductor Corporation**  
1111 West Bardin Road  
Arlington, TX 76017  
Tel: 1(800) 272-9959  
Fax: 1(800) 737-7018

**National Semiconductor Europe**  
Fax: (+49) 0-180-530 85 86  
Email: onjwge@tevm2.nsc.com  
Deutsch Tel: (+49) 0-180-530 85 85  
English Tel: (+49) 0-180-532 78 32  
Français Tel: (+49) 0-180-532 93 58  
Italiano Tel: (+49) 0-180-534 16 80

**National Semiconductor Hong Kong Ltd.**  
19th Floor, Straight Block,  
Ocean Centre, 5 Canton Rd.  
Tsimshatsui, Kowloon  
Hong Kong  
Tel: (852) 2737-1600  
Fax: (852) 2736-9960

**National Semiconductor Japan Ltd.**  
Tel: 81-043-299-2309  
Fax: 81-043-299-2408

National does not assume any responsibility for use of any circuitry described, no circuit patent licenses are implied and National reserves the right at any time without notice to change said circuitry and specifications.



## 74AC138 • 74ACT138

### 1-of-8 Decoder/Demultiplexer

#### General Description

The AC/ACT138 is a high-speed 1-of-8 decoder/demultiplexer. This device is ideally suited for high-speed bipolar memory chip select address decoding. The multiple input enables allow parallel expansion to a 1-of-24 decoder using just three AC/ACT138 devices or a 1-of-32 decoder using four AC/ACT138 devices and one inverter.

#### Features

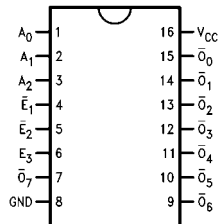
- $I_{CC}$  reduced by 50%
- Demultiplexing capability
- Multiple input enable for easy expansion
- Active LOW mutually exclusive outputs
- Outputs source/sink 24 mA
- ACT138 has TTL-compatible inputs

#### Ordering Code:

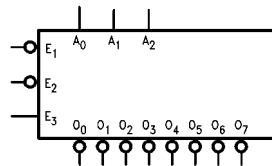
Order Number	Package Number	Package Description
74AC138SC	M16A	16-Lead Small Outline Integrated Circuit (SOIC), JEDEC MS-012, 0.150 Narrow
74AC138SJ	M16D	16-Lead Small Outline Package (SOP), EIAJ TYPE II, 5.3mm Wide
74AC138MTC	MTC16	16-Lead Thin Shrink Small Outline Package (TSSOP), JEDEC MO-153, 4.4mm Wide
74AC138PC	N16E	16-Lead Plastic Dual-In-Line Package (PDIP), JEDEC MS-001, 0.300 Wide
74ACT138SC	M16A	16-Lead Small Outline Integrated Circuit (SOIC), JEDEC MS-012, 0.150 Narrow
74ACT138SJ	M16D	16-Lead Small Outline Package (SOP), EIAJ TYPE II, 5.3mm Wide
74ACT138PC	N16E	16-Lead Plastic Dual-In-Line Package (PDIP), JEDEC MS-001, 0.300 Wide

Device also available in Tape and Reel. Specify by appending suffix letter "X" to the ordering code.

#### Connection Diagram

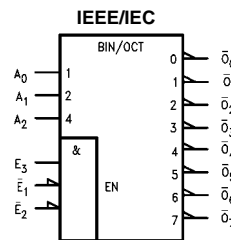


#### Logic Symbols



#### Pin Descriptions

Pin Names	Description
$A_0$ - $A_2$	Address Inputs
$\bar{E}_1$ - $\bar{E}_2$	Enable Inputs
$E_3$	Enable Input
$\bar{O}_0$ - $\bar{O}_7$	Outputs



FACT™ is a trademark of Fairchild Semiconductor Corporation.

**Truth Table**

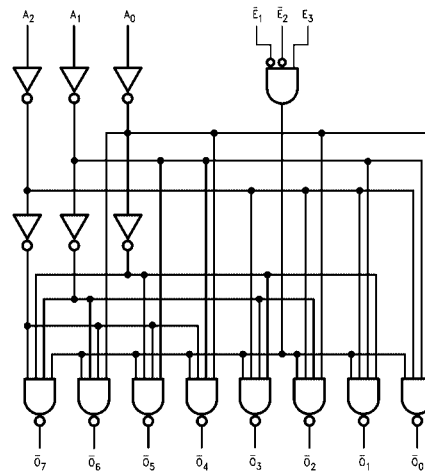
Inputs						Outputs							
$\overline{E}_1$	$\overline{E}_2$	$E_3$	$A_0$	$A_1$	$A_2$	$\overline{O}_0$	$\overline{O}_1$	$\overline{O}_2$	$\overline{O}_3$	$\overline{O}_4$	$\overline{O}_5$	$\overline{O}_6$	$\overline{O}_7$
H	X	X	X	X	X	H	H	H	H	H	H	H	H
X	H	X	X	X	X	H	H	H	H	H	H	H	H
X	X	L	X	X	X	H	H	H	H	H	H	H	H
L	L	H	L	L	L	L	H	H	H	H	H	H	H
L	L	H	H	L	L	H	L	H	H	H	H	H	H
L	L	H	L	H	L	H	H	L	H	H	H	H	H
L	L	H	H	H	L	H	H	H	L	H	H	H	H
L	L	H	L	L	H	H	H	H	H	L	H	H	H
L	L	H	H	L	H	H	H	H	H	L	H	H	H
L	L	H	L	H	H	H	H	H	H	H	L	H	H
L	L	H	H	H	H	H	H	H	H	H	H	L	H
L	L	H	H	H	H	H	H	H	H	H	H	H	L

H = HIGH Voltage Level    L = LOW Voltage Level    X = Immaterial

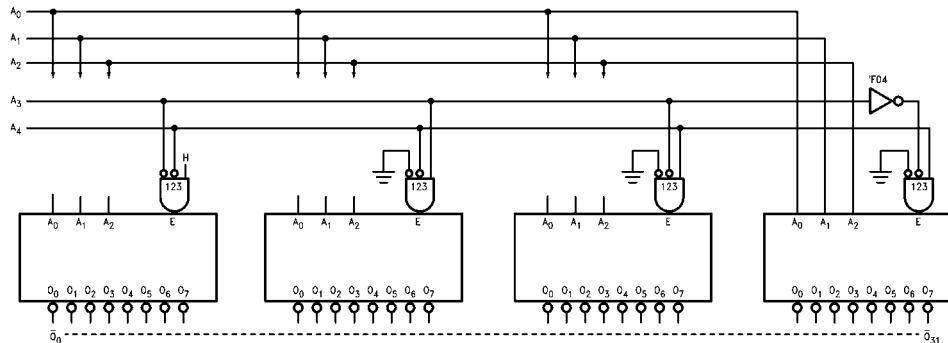
**Functional Description**

The AC/ACT138 high-speed 1-of-8 decoder/demultiplexer accepts three binary weighted inputs ( $A_0, A_1, A_2$ ) and, when enabled, provides eight mutually exclusive active-LOW outputs ( $\overline{O}_0-\overline{O}_7$ ). The AC/ACT138 features three Enable inputs, two active-LOW ( $\overline{E}_1, \overline{E}_2$ ) and one active-HIGH ( $E_3$ ). All outputs will be HIGH unless  $\overline{E}_1$  and  $\overline{E}_2$  are LOW and  $E_3$  is HIGH. This multiple enable function allows easy parallel expansion of the device to a 1-of-32 (5 lines to 32 lines) decoder with just four AC/ACT138 devices and one inverter (see Figure 1). The AC/ACT138 can be used as an 8-output demultiplexer by using one of the active LOW Enable inputs as the data input and the other Enable inputs as strobes. The Enable inputs which are not used must be permanently tied to their appropriate active-HIGH or active-LOW state.

**Logic Diagram**



Please note that this diagram is provided only for the understanding of logic operations and should not be used to estimate propagation delays.



**FIGURE 1. Expansion to 1-of-32 Decoding**

**Absolute Maximum Ratings**(Note 1)

Supply Voltage ( $V_{CC}$ )	-0.5V to +7.0V
DC Input Diode Current ( $I_{IK}$ )	
$V_I = -0.5V$	-20 mA
$V_I = V_{CC} + 0.5V$	+20 mA
DC Input Voltage ( $V_I$ )	-0.5V to $V_{CC} + 0.5V$
DC Output Diode Current ( $I_{OK}$ )	
$V_O = -0.5V$	-20 mA
$V_O = V_{CC} + 0.5V$	+20 mA
DC Output Voltage ( $V_O$ )	-0.5V to $V_{CC} + 0.5V$
DC Output Source or Sink Current ( $I_O$ )	$\pm 50$ mA
DC $V_{CC}$ or Ground Current per Output Pin ( $I_{CC}$ or $I_{GND}$ )	$\pm 50$ mA
Storage Temperature ( $T_{STG}$ )	-65°C to +150°C
Junction Temperature ( $T_J$ )	
PDIP	140°C

**Recommended Operating Conditions**

Supply Voltage ( $V_{CC}$ )	
AC	2.0V to 6.0V
ACT	4.5V to 5.5V
Input Voltage ( $V_I$ )	0V to $V_{CC}$
Output Voltage ( $V_O$ )	0V to $V_{CC}$
Operating Temperature ( $T_A$ )	-40°C to +85°C
Minimum Input Edge Rate ( $\Delta V/\Delta t$ )	
AC Devices	
$V_{IN}$ from 30% to 70% of $V_{CC}$	
$V_{CC}$ @ 3.3V, 4.5V, 5.5V	125 mV/ns
Minimum Input Edge Rate ( $\Delta V/\Delta t$ )	
ACT Devices	
$V_{IN}$ from 0.8V to 2.0V	
$V_{CC}$ @ 4.5V, 5.5V	125 mV/ns

**Note 1:** Absolute maximum ratings are those values beyond which damage to the device may occur. The databook specifications should be met, with-out exception, to ensure that the system design is reliable over its power supply, temperature, and output/input loading variables. Fairchild does not recommend operation of FACT™ circuits outside databook specifications.

**DC Electrical Characteristics for AC**

Symbol	Parameter	$V_{CC}$ (V)	$T_A = +25^\circ\text{C}$		$T_A = -40^\circ\text{C to } +85^\circ\text{C}$	Units	Conditions	
			Typ	Guaranteed Limits				
$V_{IH}$	Minimum HIGH Level Input Voltage	3.0	1.5	2.1	2.1	V	$V_{OUT} = 0.1V$ or $V_{CC} - 0.1V$	
		4.5	2.25	3.15	3.15			
		5.5	2.75	3.85	3.85			
$V_{IL}$	Maximum LOW Level Input Voltage	3.0	1.5	0.9	0.9	V	$V_{OUT} = 0.1V$ or $V_{CC} - 0.1V$	
		4.5	2.25	1.35	1.35			
		5.5	2.75	1.65	1.65			
$V_{OH}$	Minimum HIGH Level Output Voltage	3.0	2.99	2.9	2.9	V	$I_{OUT} = -50 \mu A$	
		4.5	4.49	4.4	4.4			
		5.5	5.49	5.4	5.4			
			3.0		2.56	2.46	V	$V_{IN} = V_{IL}$ or $V_{IH}$ $I_{OH} = -12$ mA $I_{OH} = -24$ mA $I_{OH} = -24$ mA (Note 2)
			4.5		3.86	3.76		
			5.5		4.86	4.76		
$V_{OL}$	Maximum LOW Level Output Voltage	3.0	0.002	0.1	0.1	V	$I_{OUT} = 50 \mu A$	
		4.5	0.001	0.1	0.1			
		5.5	0.001	0.1	0.1			
			3.0		0.36	0.44	V	$V_{IN} = V_{IL}$ or $V_{IH}$ $I_{OL} = 24$ mA $I_{OL} = 24$ mA 0 $I_{OL} = 24$ mA (Note 2)
			4.5		0.36	0.44		
			5.5		0.36	0.44		
$I_{IN}$ (Note 4)	Maximum Input Leakage Current	5.5		$\pm 0.1$	$\pm 1.0$	$\mu A$	$V_I = V_{CC}, GND$	
$I_{OLD}$	Minimum Dynamic	5.5			75	mA	$V_{OLD} = 1.65V$ Max	
$I_{OHD}$	Output Current (Note 3)	5.5			-75	mA	$V_{OHD} = 3.85V$ Min	
$I_{CC}$ (Note 4)	Maximum Quiescent Supply Current	5.5		4.0	40.0	$\mu A$	$V_{IN} = V_{CC}$ or GND	

**Note 2:** All outputs loaded; thresholds on input associated with output under test.

**Note 3:** Maximum test duration 2.0 ms, one output loaded at a time.

**Note 4:**  $I_{IN}$  and  $I_{CC}$  @ 3.0V are guaranteed to be less than or equal to the respective limit @ 5.5V  $V_{CC}$ .

## DC Electrical Characteristics for ACT

Symbol	Parameter	V <sub>CC</sub> (V)	T <sub>A</sub> = +25°C		T <sub>A</sub> = -40°C to +85°C		Units	Conditions
			Typ	Guaranteed Limits				
V <sub>IH</sub>	Minimum HIGH Level Input Voltage	4.5	1.5	2.0	2.0		V	V <sub>OUT</sub> = 0.1V or V <sub>CC</sub> - 0.1V
		5.5	1.5	2.0	2.0			
V <sub>IL</sub>	Maximum LOW Level Input Voltage	4.5	1.5	0.8	0.8		V	V <sub>OUT</sub> = 0.1V or V <sub>CC</sub> - 0.1V
		5.5	1.5	0.8	0.8			
V <sub>OH</sub>	Minimum HIGH Level Output Voltage	4.5	4.49	4.4	4.4		V	I <sub>OUT</sub> = -50 μA
		5.5	5.49	5.4	5.4			
		4.5		3.86	3.76		V	V <sub>IN</sub> = V <sub>IL</sub> or V <sub>IH</sub> I <sub>OH</sub> = -24 mA I <sub>OH</sub> = -24 mA (Note 5)
		5.5		4.86	4.76			
V <sub>OL</sub>	Maximum LOW Level Output Voltage	4.5	0.001	0.1	0.1		V	I <sub>OUT</sub> = 50 μA
		5.5	0.001	0.1	0.1			
		4.5		0.36	0.44		V	V <sub>IN</sub> = V <sub>IL</sub> or V <sub>IH</sub> I <sub>OL</sub> 24 mA I <sub>OL</sub> = 24 mA (Note 5)
		5.5		0.36	0.44			
I <sub>IN</sub>	Maximum Input Leakage Current	5.5		±0.1	±1.0		μA	V <sub>I</sub> = V <sub>CC</sub> , GND
I <sub>CCT</sub>	Maximum I <sub>CC</sub> /Input	5.5	0.6		1.5		mA	V <sub>I</sub> = V <sub>CC</sub> - 2.1V
I <sub>OLD</sub>	Minimum Dynamic	5.5			75		mA	V <sub>OLD</sub> = 1.65V Max
I <sub>OHD</sub>	Output Current (Note 6)	5.5			-75		mA	V <sub>OHD</sub> = 3.85V Min
I <sub>CC</sub>	Maximum Quiescent Supply Current	5.5		4.0	40.0		μA	V <sub>IN</sub> = V <sub>CC</sub> or GND

**Note 5:** All outputs loaded; thresholds on input associated with output under test.

**Note 6:** Maximum test duration 2.0 ms, one output loaded at a time.

## AC Electrical Characteristics for AC

Symbol	Parameter	V <sub>CC</sub> (V) (Note 7)	T <sub>A</sub> = +25°C C <sub>L</sub> = 50 pF			T <sub>A</sub> = -40°C to +85°C C <sub>L</sub> = 50 pF		Units
			Min	Typ	Max	Min	Max	
t <sub>PLH</sub>	Propagation Delay A <sub>n</sub> to $\overline{O}_n$	3.3	1.5	8.5	13.0	1.5	15.0	ns
		5.0	1.5	6.5	9.5	1.5	10.5	
t <sub>PHL</sub>	Propagation Delay A <sub>n</sub> to $\overline{O}_n$	3.3	1.5	8.0	12.5	1.5	14.0	ns
		5.0	1.5	6.0	9.0	1.5	10.5	
t <sub>PLH</sub>	Propagation Delay $\overline{E}_1$ or $\overline{E}_2$ to $\overline{O}_n$	3.3	1.5	11.0	15.0	1.5	16.0	ns
		5.0	1.5	8.0	11.0	1.5	12.0	
t <sub>PHL</sub>	Propagation Delay $\overline{E}_1$ or $\overline{E}_2$ to $\overline{O}_n$	3.3	1.5	9.5	13.5	1.5	15.0	ns
		5.0	1.5	7.0	9.5	1.5	10.5	
t <sub>PLH</sub>	Propagation Delay E <sub>3</sub> to $\overline{O}_n$	3.3	1.5	11.0	15.5	1.5	16.5	ns
		5.0	1.5	8.0	11.0	1.5	12.5	
t <sub>PHL</sub>	Propagation Delay E <sub>3</sub> to $\overline{O}_n$	3.3	1.5	8.5	13.0	1.5	14.0	ns
		5.0	1.5	6.0	8.0	1.0	9.5	

**Note 7:** Voltage Range 3.3 is 3.3V ± 0.3V

Voltage Range 5.0 is 5.0V ± 0.5V

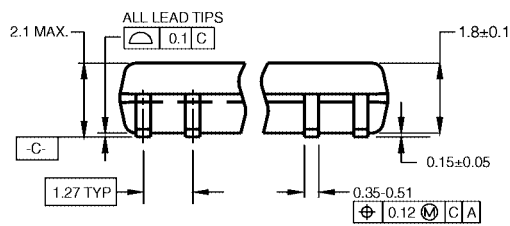
AC Electrical Characteristics for ACT								
Symbol	Parameter	V <sub>CC</sub> (V) (Note 8)	T <sub>A</sub> = +25°C C <sub>L</sub> = 50 pF			T <sub>A</sub> = -40°C to +85°C C <sub>L</sub> = 50 pF		Units
			Min	Typ	Max	Min	Max	
t <sub>PLH</sub>	Propagation Delay A <sub>n</sub> to $\overline{O}_n$	5.0	1.5	7.0	10.5	1.5	11.5	ns
t <sub>PHL</sub>	Propagation Delay A <sub>n</sub> to $\overline{O}_n$	5.0	1.5	6.5	10.5	1.5	11.5	ns
t <sub>PLH</sub>	Propagation Delay $\overline{E}_1$ or $\overline{E}_2$ to $\overline{O}_n$	5.0	2.5	8.0	11.5	2.0	12.5	ns
t <sub>PHL</sub>	Propagation Delay $\overline{E}_1$ or $\overline{E}_2$ to $\overline{O}_n$	5.0	2.0	7.5	11.5	2.0	12.5	ns
t <sub>PLH</sub>	Propagation Delay E <sub>3</sub> to $\overline{O}_n$	5.0	2.5	8.0	12.0	2.0	13.0	ns
t <sub>PHL</sub>	Propagation Delay E <sub>3</sub> to $\overline{O}_n$	5.0	2.0	6.5	10.5	1.5	11.5	ns
<b>Note 8:</b> Voltage Range 5.0 is 5.0V ± 0.5V								
Capacitance								
Symbol	Parameter	Typ	Units	Conditions				
C <sub>IN</sub>	Input Capacitance	4.5	pF	V <sub>CC</sub> = OPEN				
C <sub>PD</sub>	Power Dissipation Capacitance	60.0	pF	V <sub>CC</sub> = 5.0V				

**Physical Dimensions** inches (millimeters) unless otherwise noted



**16-Lead Small Outline Integrated Circuit (SOIC), JEDEC MS-012, 0.150 Narrow  
Package Number M16A**

**Physical Dimensions** inches (millimeters) unless otherwise noted (Continued)



DIMENSIONS ARE IN MILLIMETERS

NOTES:

- A. CONFORMS TO EIAJ EDR-7320 REGISTRATION, ESTABLISHED IN DECEMBER, 1998.
- B. DIMENSIONS ARE IN MILLIMETERS.
- C. DIMENSIONS ARE EXCLUSIVE OF BURRS, MOLD FLASH, AND TIE BAR EXTRUSIONS.

M16DRevB1



**16-Lead Small Outline Package (SOP), EIAJ TYPE II, 5.3mm Wide  
Package Number M16D**

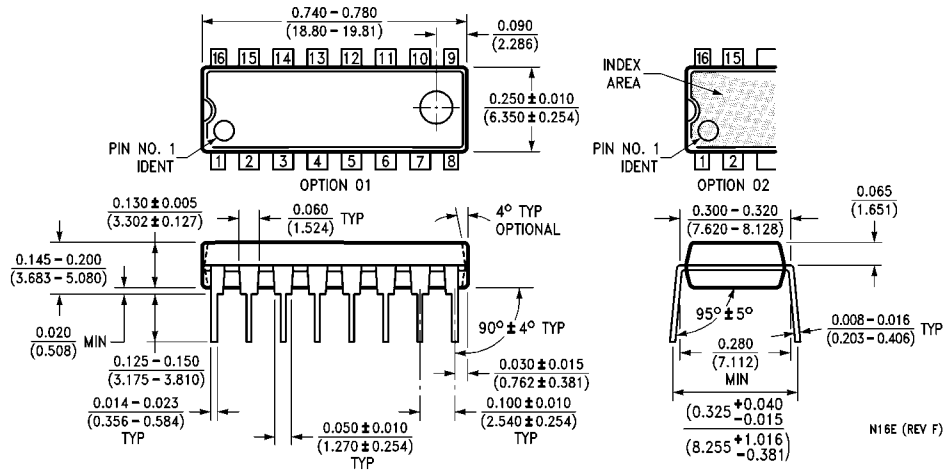
**Physical Dimensions** inches (millimeters) unless otherwise noted (Continued)



**16-Lead Thin Shrink Small Outline Package (TSSOP), JEDEC MO-153, 4.4mm Wide  
Package Number MTC16**



**Physical Dimensions** inches (millimeters) unless otherwise noted (Continued)



**16-Lead Plastic Dual-In-Line Package (PDIP), JEDEC MS-001, 0.300 Wide Package Number N16E**

Fairchild does not assume any responsibility for use of any circuitry described, no circuit patent licenses are implied and Fairchild reserves the right at any time without notice to change said circuitry and specifications.

**LIFE SUPPORT POLICY**

FAIRCHILD'S PRODUCTS ARE NOT AUTHORIZED FOR USE AS CRITICAL COMPONENTS IN LIFE SUPPORT DEVICES OR SYSTEMS WITHOUT THE EXPRESS WRITTEN APPROVAL OF THE PRESIDENT OF FAIRCHILD SEMICONDUCTOR CORPORATION. As used herein:

1. Life support devices or systems are devices or systems which, (a) are intended for surgical implant into the body, or (b) support or sustain life, and (c) whose failure to perform when properly used in accordance with instructions for use provided in the labeling, can be reasonably expected to result in a significant injury to the user.
2. A critical component in any component of a life support device or system whose failure to perform can be reasonably expected to cause the failure of the life support device or system, or to affect its safety or effectiveness.

[www.fairchildsemi.com](http://www.fairchildsemi.com)

This datasheet has been download from:

[www.datasheetcatalog.com](http://www.datasheetcatalog.com)

Datasheets for electronics components.

## 54ABT245

### Octal Bidirectional Transceiver with TRI-STATE® Outputs

#### General Description

The 'ABT245 contains eight non-inverting bidirectional buffers with TRI-STATE outputs and is intended for bus-oriented applications. Current sinking capability is 48 mA on both the A and B ports. The Transmit/Receive (T/R) input determines the direction of data flow through the bidirectional transceiver. Transmit (active HIGH) enables data from A ports to B ports; Receive (active LOW) enables data from B ports to A ports. The Output Enable input, when HIGH, disables both A and B ports by placing them in a High Z condition.

#### Features

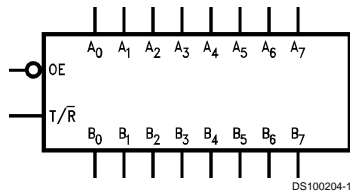
- Bidirectional non-inverting buffers
- A and B output sink capability of 48 mA, source capability of 24 mA

- Guaranteed output skew
- Guaranteed multiple output switching specifications
- Output switching specified for both 50 pF and 250 pF loads
- Guaranteed simultaneous switching, noise level and dynamic threshold performance
- Guaranteed latchup protection
- High impedance glitch-free bus loading during entire power up and power down cycle
- Non-destructive hot insertion capability
- Disable time is less than enable time to avoid bus contention
- Standard Microcircuit Drawing (SMD) 5962-9214801

#### Ordering Code:

Military	Package Number	Package Description
54ABT245J-QML	J20A	20-Lead Ceramic Dual-In-Line
54ABT245W-QML	W20A	20-Lead Cerpak
54ABT245E-QML	E20A	20-Lead Ceramic Leadless Chip Carrier, Type C

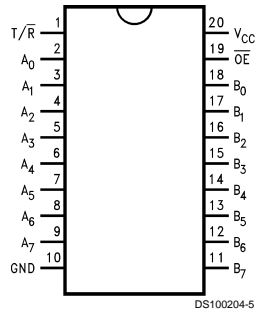
#### Logic Symbol



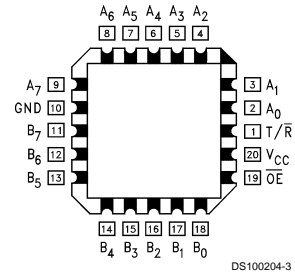
TRI-STATE® is a registered trademark of National Semiconductor Corporation.

## Connection Diagrams

Pin Assignment for DIP and Flatpak.



Pin Assignment for LCC



## Pin Descriptions

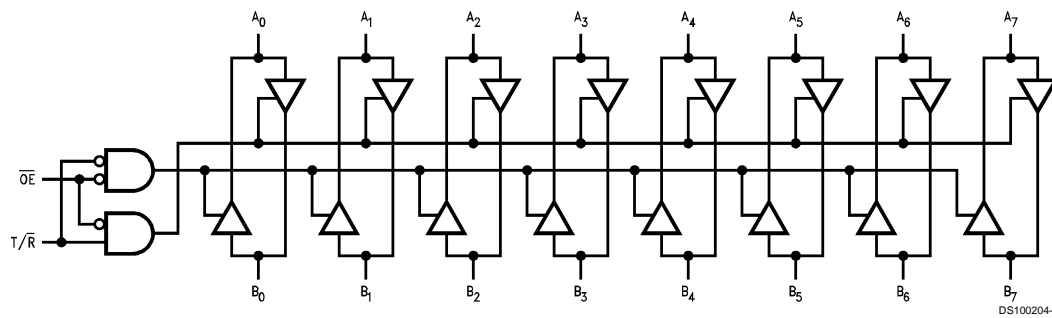
Pin Names	Description
$\overline{OE}$	Output Enable Input (Active LOW)
$T/\overline{R}$	Transmit/Receive Input
$A_0$ – $A_7$	Side A Inputs or TRI-STATE Outputs
$B_0$ – $B_7$	Side B Inputs or TRI-STATE Outputs

## Truth Table

Inputs		Output
$\overline{OE}$	$T/\overline{R}$	
L	L	Bus B Data to Bus A
L	H	Bus A Data to Bus B
H	X	High Z State

H = HIGH Voltage Level  
L = LOW Voltage Level  
X = Immaterial

## Logic Diagram



## Absolute Maximum Ratings (Note 1)

If Military/Aerospace specified devices are required, please contact the National Semiconductor Sales Office/Distributors for availability and specifications.

Storage Temperature	-65°C to +150°C
Ambient Temperature under Bias	-55°C to +125°C
Junction Temperature under Bias	
Ceramic	-55°C to +175°C
V <sub>CC</sub> Pin Potential to Ground Pin	-0.5V to +7.0V
Input Voltage (Note 2)	-0.5V to +7.0V
Input Current (Note 2)	-30 mA to +5.0 mA
Voltage Applied to Any Output in the Disabled or Power-off State	-0.5V to 5.5V
in the HIGH State	-0.5V to V <sub>CC</sub>
Current Applied to Output	

in LOW State (Max)	twice the rated I <sub>OL</sub> (mA)
DC Latchup Source Current	-500 mA
Over Voltage Latchup (I/O)	10V

## Recommended Operating Conditions

Free Air Ambient Temperature	
Military	-55°C to +125°C
Supply Voltage	
Military	+4.5V to +5.5V
Minimum Input Edge Rate	(ΔV/Δt)
Data Input	50 mV/ns
Enable Input	20 mV/ns

Note 1: Absolute maximum ratings are values beyond which the device may be damaged or have its useful life impaired. Functional operation under these conditions is not implied.

Note 2: Either voltage limit or current limit is sufficient to protect inputs.

## DC Electrical Characteristics

Symbol	Parameter		ABT245			Units	V <sub>CC</sub>	Conditions
			Min	Typ	Max			
V <sub>IH</sub>	Input HIGH Voltage		2.0			V		Recognized HIGH Signal
V <sub>IL</sub>	Input LOW Voltage		0.8			V		Recognized LOW Signal
V <sub>CD</sub>	Input Clamp Diode Voltage		-1.2			V	Min	I <sub>IN</sub> = -18 mA ( $\overline{OE}$ , T/ $\overline{R}$ )
V <sub>OH</sub>	Output HIGH Voltage	54ABT	2.5			V	Min	I <sub>OH</sub> = -3 mA (A <sub>n</sub> , B <sub>n</sub> )
		54ABT	2.0			V	Min	I <sub>OH</sub> = -24 mA (A <sub>n</sub> , B <sub>n</sub> )
V <sub>OL</sub>	Output LOW Voltage	54ABT	0.55			V	Min	I <sub>OL</sub> = 48 mA (A <sub>n</sub> , B <sub>n</sub> )
I <sub>IH</sub>	Input HIGH Current		5			μA	Max	V <sub>IN</sub> = 2.7V ( $\overline{OE}$ , T/ $\overline{R}$ ) (Note 3) V <sub>IN</sub> = V <sub>CC</sub> ( $\overline{OE}$ , T/ $\overline{R}$ )
			5					
I <sub>BVI</sub>	Input HIGH Current Breakdown Test		7			μA	Max	V <sub>IN</sub> = 7.0V ( $\overline{OE}$ , T/ $\overline{R}$ )
I <sub>BVIT</sub>	Input HIGH Current Breakdown Test (I/O)		100			μA	Max	V <sub>IN</sub> = 5.5V (A <sub>n</sub> , B <sub>n</sub> )
I <sub>IL</sub>	Input LOW Current		-5			μA	Max	V <sub>IN</sub> = 0.5V ( $\overline{OE}$ , T/ $\overline{R}$ ) (Note 3) V <sub>IN</sub> = 0.0V ( $\overline{OE}$ , T/ $\overline{R}$ )
			-5					
V <sub>ID</sub>	Input Leakage Test		4.75			V	0.0	I <sub>ID</sub> = 1.9 μA ( $\overline{OE}$ , T/ $\overline{R}$ ) All Other Pins Grounded
I <sub>IH</sub> + I <sub>OZH</sub>	Output Leakage Current		50			μA	0 - 5.5V	V <sub>OUT</sub> = 2.7V (A <sub>n</sub> , B <sub>n</sub> ); $\overline{OE}$ = 2.0V
I <sub>IL</sub> + I <sub>OZL</sub>	Output Leakage Current		-50			μA	0 - 5.5V	V <sub>OUT</sub> = 0.5V (A <sub>n</sub> , B <sub>n</sub> ); $\overline{OE}$ = 2.0V
I <sub>OS</sub>	Output Short-Circuit Current		-100	-275		mA	Max	V <sub>OUT</sub> = 0.0V (A <sub>n</sub> , B <sub>n</sub> )
I <sub>CEX</sub>	Output High Leakage Current		50			μA	Max	V <sub>OUT</sub> = V <sub>CC</sub> (A <sub>n</sub> , B <sub>n</sub> )
I <sub>ZZ</sub>	Bus Drainage Test		100			μA	0.0	V <sub>OUT</sub> = 5.5V (A <sub>n</sub> , B <sub>n</sub> ); All Others GND
I <sub>CCH</sub>	Power Supply Current		50			μA	Max	All Outputs HIGH
I <sub>CCL</sub>	Power Supply Current		30			mA	Max	All Outputs LOW
I <sub>CCZ</sub>	Power Supply Current		50			μA	Max	$\overline{OE}$ = V <sub>CC</sub> , T/ $\overline{R}$ = GND or V <sub>CC</sub> ; All Other GND or V <sub>CC</sub>
I <sub>CCT</sub>	Additional I <sub>CC</sub> /Input	Outputs Enabled	2.5			mA	Max	V <sub>I</sub> = V <sub>CC</sub> - 2.1V $\overline{OE}$ , T/ $\overline{R}$ V <sub>I</sub> = V <sub>CC</sub> - 2.1V Data Input V <sub>I</sub> = V <sub>CC</sub> - 2.1V All Others at V <sub>CC</sub> or GND.
		Outputs TRI-STATE	2.5			mA		
		Outputs TRI-STATE	50			μA		

## DC Electrical Characteristics (Continued)

Symbol	Parameter	ABT245			Units	V <sub>CC</sub>	Conditions
		Min	Typ	Max			
I <sub>CCD</sub>	Dynamic I <sub>CC</sub> No Load  (Note 3)			0.1	mA/ MHz	Max	Outputs Open  $\overline{OE} = \text{GND}$ , $T/\overline{R} = \text{GND}$ or V <sub>CC</sub> One Bit Toggling, 50% Duty Cycle (Note 4)

**Note 3:** Guaranteed but not tested.

**Note 4:** For 8 bits toggling, I<sub>CCD</sub> < 0.8 mA/MHz.

## DC Electrical Characteristics

Symbol	Parameter	Min	Max	Units	V <sub>CC</sub>	Conditions C <sub>L</sub> = 50 pF, R <sub>L</sub> = 500Ω
V <sub>OLP</sub>	Quiet Output Maximum Dynamic V <sub>OL</sub>		1.1	V	5.0	T <sub>A</sub> = 25°C (Note 5)
V <sub>OLV</sub>	Quiet Output Minimum Dynamic V <sub>OL</sub>		-0.45	V	5.0	T <sub>A</sub> = 25°C (Note 5)

**Note 5:** Max number of outputs defined as (n). n – 1 data inputs are driven 0V to 3V. One output at LOW.

## AC Electrical Characteristics

Symbol	Parameter	54ABT		Units
		T <sub>A</sub> = -55°C to +125°C V <sub>CC</sub> = 4.5V–5.5V C <sub>L</sub> = 50 pF		
		Min	Max	
t <sub>PLH</sub>	Propagation Delay	1.0	4.8	ns
t <sub>PHL</sub>	Data to Outputs	1.0	4.8	
t <sub>PZH</sub>	Output Enable	1.0	6.7	ns
t <sub>PZL</sub>	Time	2.0	7.5	
t <sub>PHZ</sub>	Output Disable	1.7	7.4	ns
t <sub>PLZ</sub>	Time	1.7	6.5	

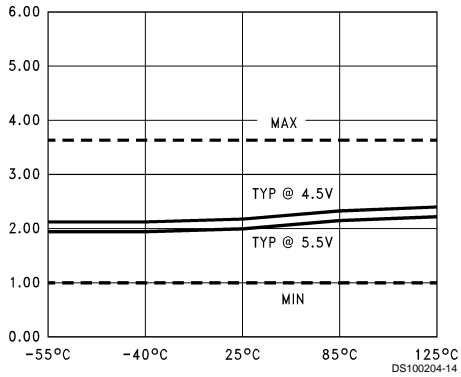
## Capacitance

Symbol	Parameter	Typ	Units	Conditions T <sub>A</sub> = 25°C
C <sub>IN</sub>	Input Capacitance	5.0	pF	V <sub>CC</sub> = 0V ( $\overline{OE}$ , T/ $\overline{R}$ )
C <sub>I/O</sub> (Note 6)	I/O Capacitance	11.0	pF	V <sub>CC</sub> = 5.0V (A <sub>n</sub> , B <sub>n</sub> )

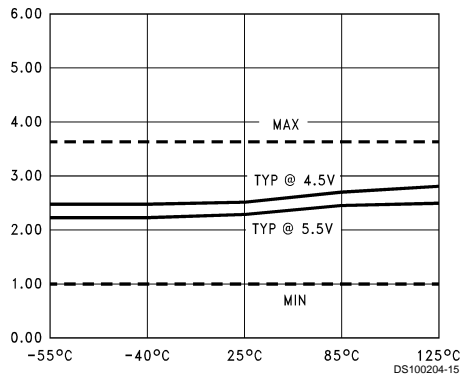
**Note 6:** C<sub>I/O</sub> is measured at frequency f = 1 MHz, per MIL-STD-883B, Method 3012.

## Capacitance (Continued)

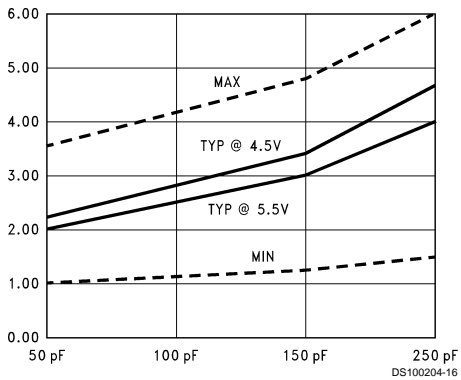
**$t_{PLH}$  vs Temperature ( $T_A$ )**  
 $C_L = 50$  pF, 1 Output Switching



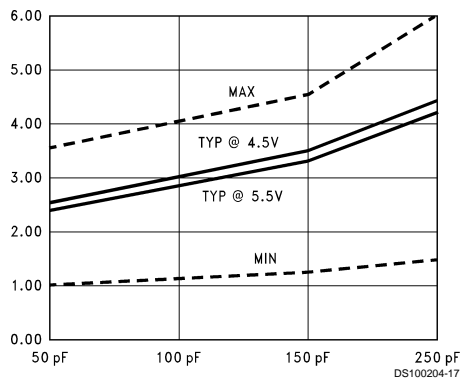
**$t_{PHL}$  vs Temperature ( $T_A$ )**  
 $C_L = 50$  pF, 1 Output Switching



**$t_{PLH}$  vs Load Capacitance**  
 1 Output Switching,  $T_A = 25^\circ\text{C}$

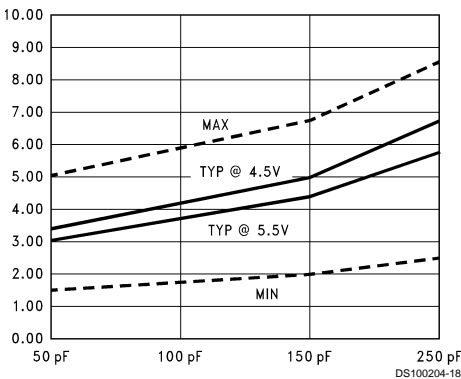


**$t_{PHL}$  vs Load Capacitance**  
 1 Output Switching,  $T_A = 25^\circ\text{C}$

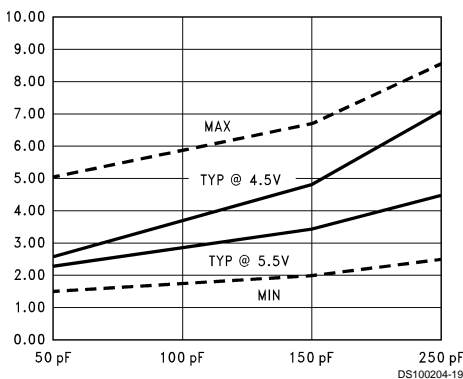


Dashed lines represent design characteristics; for specified guarantees, refer to AC Characteristics Table.

**$t_{PLH}$  vs Load Capacitance**  
 8 Outputs Switching,  $T_A = -40^\circ\text{C}$  to  $+85^\circ\text{C}$

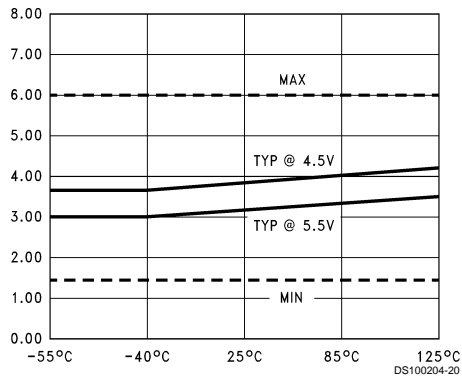


**$t_{PHL}$  vs Load Capacitance**  
 8 Outputs Switching,  $T_A = 25^\circ\text{C}$

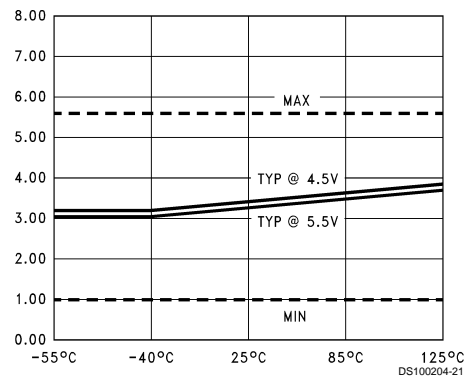


## Capacitance (Continued)

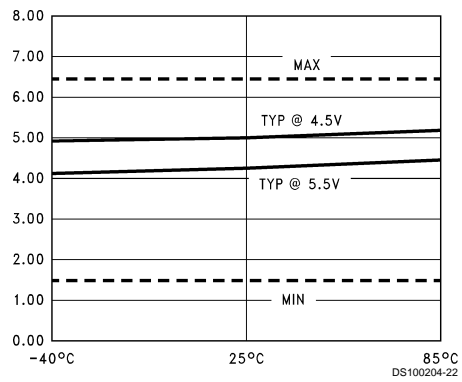
**$t_{PZL}$  vs Temperature ( $T_A$ )**  
 $C_L = 50$  pF, 1 Output Switching



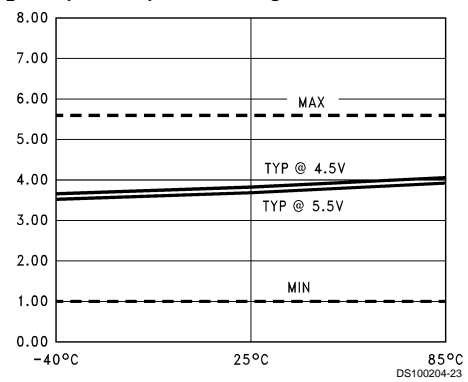
**$t_{PLZ}$  vs Temperature ( $T_A$ )**  
 $C_L = 50$  pF, 1 Output Switching



**$t_{PZL}$  vs Temperature ( $T_A$ )**  
 $C_L = 50$  pF, 8 Outputs Switching

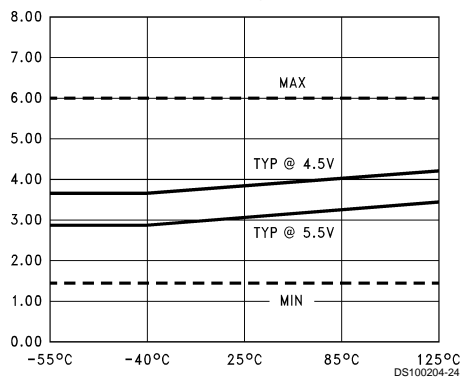


**$t_{PLZ}$  vs Temperature ( $T_A$ )**  
 $C_L = 50$  pF, 8 Outputs Switching

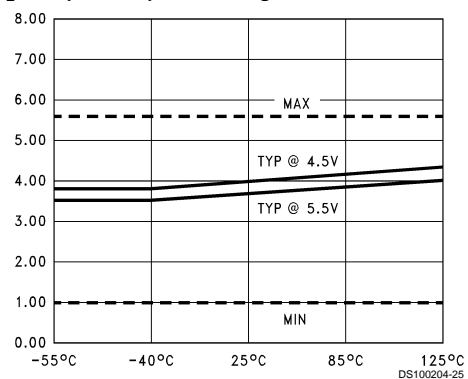


Dashed lines represent design characteristics; for specified guarantees, refer to AC Characteristics Table.

**$t_{PZH}$  vs Temperature ( $T_A$ )**  
 $C_L = 50$  pF, 1 Output Switching



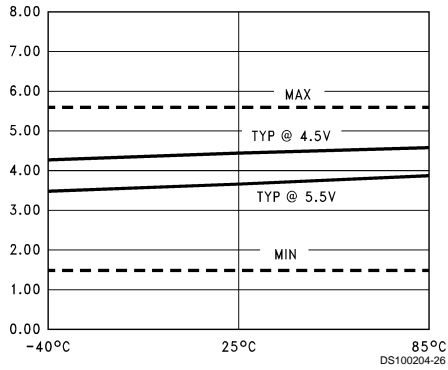
**$t_{PHZ}$  vs Temperature ( $T_A$ )**  
 $C_L = 50$  pF, 1 Output Switching



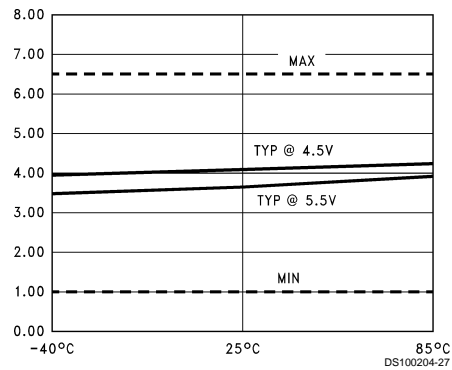


## Capacitance (Continued)

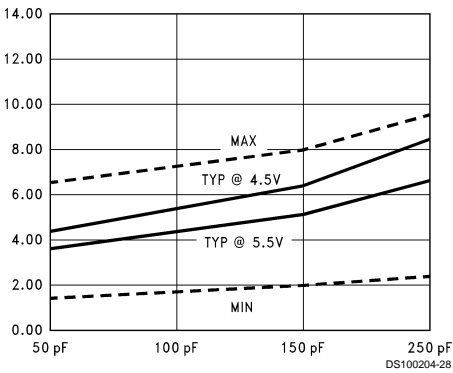
**$t_{PZH}$  vs Temperature ( $T_A$ )**  
 $C_L = 50$  pF, 8 Outputs Switching



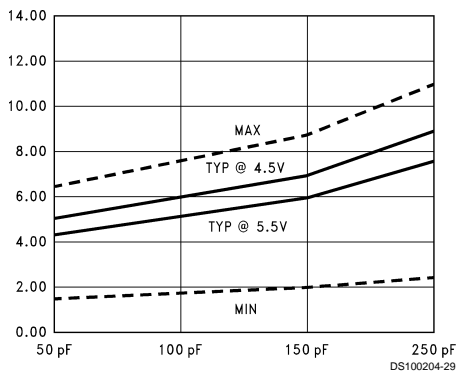
**$t_{PHZ}$  vs Temperature ( $T_A$ )**  
 $C_L = 50$  pF, 8 Outputs Switching



**$t_{PZH}$  vs Load Capacitance**  
 8 Outputs Switching,  $T_A = 25^\circ\text{C}$

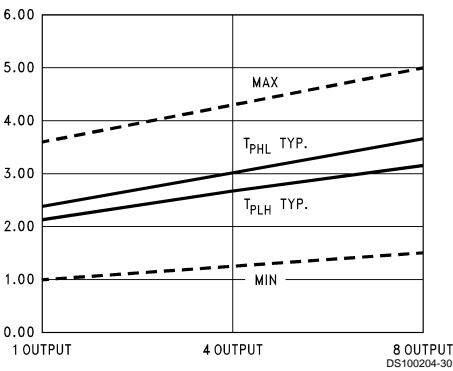


**$t_{PZL}$  vs Load Capacitance**  
 8 Outputs Switching,  $T_A = 25^\circ\text{C}$

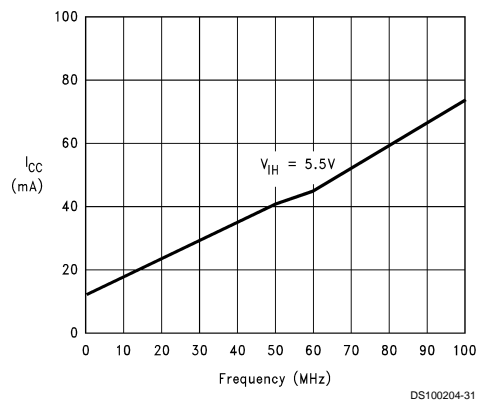


Dashed lines represent design characteristics; for specified guarantees, refer to AC Characteristics Table.

**$t_{PLH}$  and  $t_{PHL}$  vs Number Outputs Switching**  
 $V_{CC} = 5.0\text{V}$ ,  $T_A = 25^\circ\text{C}$ ,  $C_L = 50$  pF

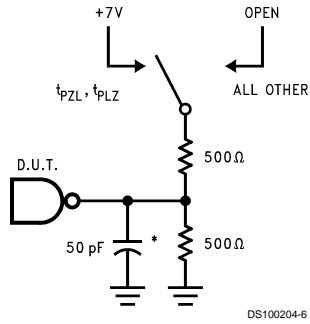


**$I_{CC}$  vs Frequency, Average,  $T_A = 25^\circ\text{C}$ ,**  
 All Outputs Unloaded/Unterminated



Dashed lines represent design characteristics; for specified guarantees, refer to AC Characteristics Table.

## AC Loading



\*Includes jig and probe capacitance

FIGURE 1. Standard AC Test Load

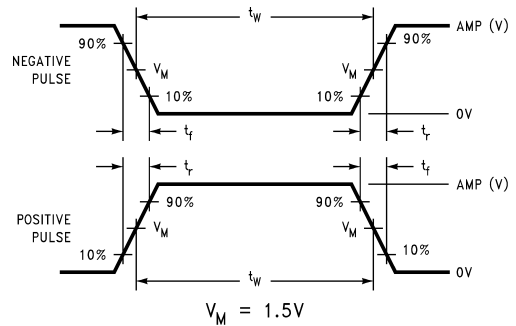


FIGURE 2. Test Input Signal Levels

Amplitude	Rep. Rate	$t_w$	$t_r$	$t_f$
3.0V	1 MHz	500 ns	2.5 ns	2.5 ns

FIGURE 3. Test Input Signal Requirements

## AC Waveforms

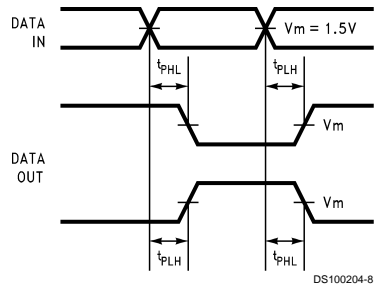


FIGURE 4. Propagation Delay Waveforms for Inverting and Non-Inverting Functions

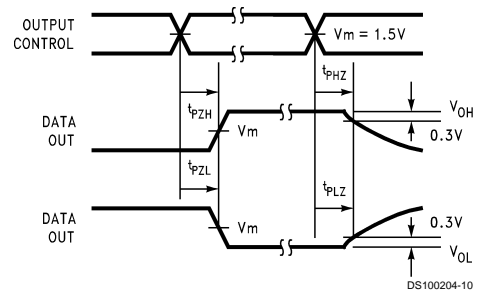
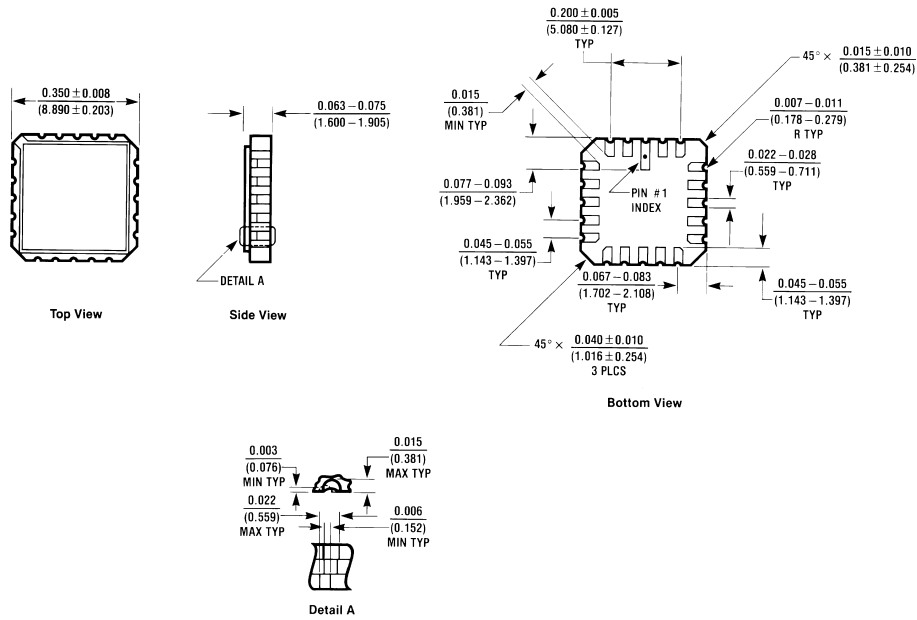


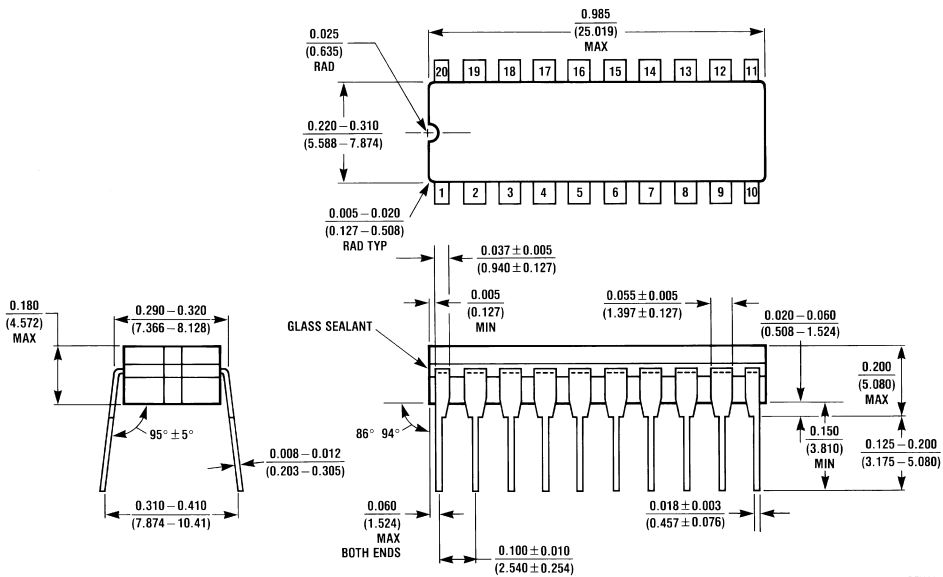
FIGURE 5. TRI-STATE Output HIGH and LOW Enable and Disable Times

**Physical Dimensions** inches (millimeters) unless otherwise noted



E20A (REV D)

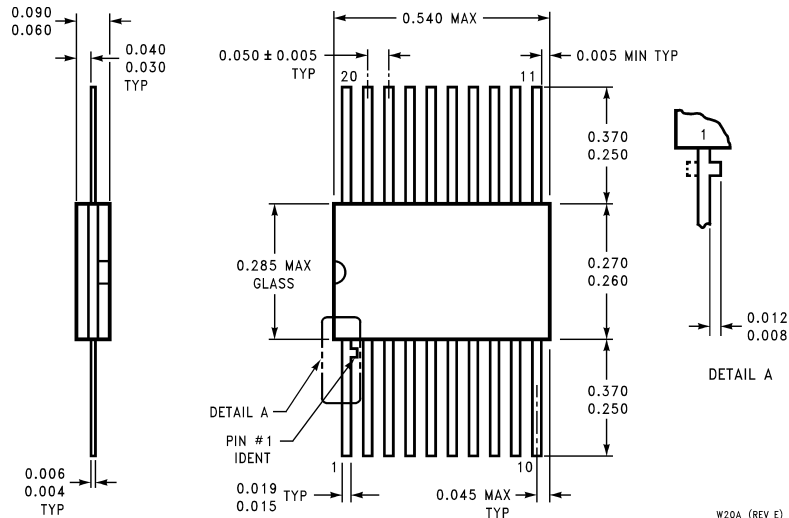
**20-Terminal Ceramic Chip Carrier (L)**  
**NS Package Number E20A**



J20A (REV M)

**20-Lead Ceramic Dual-In-Line Package (D)**  
**NS Package Number J20A**

**Physical Dimensions** inches (millimeters) unless otherwise noted (Continued)



**20-Lead Ceramic Flatpak (F)  
NS Package Number W20A**

W20A (REV E)

**LIFE SUPPORT POLICY**

NATIONAL'S PRODUCTS ARE NOT AUTHORIZED FOR USE AS CRITICAL COMPONENTS IN LIFE SUPPORT DEVICES OR SYSTEMS WITHOUT THE EXPRESS WRITTEN APPROVAL OF THE PRESIDENT OF NATIONAL SEMICONDUCTOR CORPORATION. As used herein:

1. Life support devices or systems are devices or systems which, (a) are intended for surgical implant into the body, or (b) support or sustain life, and whose failure to perform when properly used in accordance with instructions for use provided in the labeling, can be reasonably expected to result in a significant injury to the user.
2. A critical component in any component of a life support device or system whose failure to perform can be reasonably expected to cause the failure of the life support device or system, or to affect its safety or effectiveness.



**National Semiconductor Corporation**  
Americas  
Tel: 1-800-272-9959  
Fax: 1-800-737-7018  
Email: support@nsc.com

**National Semiconductor Europe**  
Fax: +49 (0) 1 80-530 85 86  
Email: europe.support@nsc.com  
Deutsch Tel: +49 (0) 1 80-530 85 85  
English Tel: +49 (0) 1 80-532 78 32  
Français Tel: +49 (0) 1 80-532 93 58  
Italiano Tel: +49 (0) 1 80-534 16 80

**National Semiconductor Asia Pacific Customer Response Group**  
Tel: 65-2544466  
Fax: 65-2504466  
Email: sea.support@nsc.com

**National Semiconductor Japan Ltd.**  
Tel: 81-3-5620-6175  
Fax: 81-3-5620-6179

www.national.com

# Hardware Manual

**IPC@CHIP Embedded Controller Family  
SC11/SC12/SC13**

High Performance, 80186- and 80188-Compatible,  
16-Bit Embedded Microcontroller  
Single Chip PC with Flash, RAM, Watchdog

Ordering No. IPC @CHIP  
Embedded Controller SC11: 538428  
Embedded Controller SC12: 20040112  
Embedded Controller SC13: 536079



## Table of Contents

1.	BASIC SPECIFICATIONS .....	3
2.	PHYSICAL DIMENSIONS.....	5
3.	PIN CONFIGURATION .....	7
4.	PIN FUNCTIONS .....	8
4.1	Address / Data bus.....	8
4.2	Programmable I/O Pins.....	9
4.3	Programmable Chip Selects .....	10
4.4	Interrupts .....	10
4.5	Timer .....	11
4.6	10/100Base-T Interface.....	11
4.7	Asynchronous Serial Ports.....	12
4.8	DMA.....	12
4.9	Reset, Power Fail Generator.....	13
4.10	NMI-reset-traffic LED sequence SC12.....	14
4.11	NMI-reset-traffic LED sequence SC13.....	15
4.12	Startup Pin configuration.....	16
5.	MUTUAL EXCLUSIVE FUNCTIONS .....	17
6.	ETHERNET 10/100BASE-T.....	18
6.1	10Base-T Media Filter Placement and Termination for SC12 .....	18
6.2	Magnetics approved for use for 10Base-T application.....	18
6.3	Routing and placement rules for SC13 and Ethernet components.....	19
6.4	Suggested Magnetics.....	19
7.	SYSTEM OVERVIEW .....	20
7.1	Memory map .....	20
7.2	System interrupts .....	21
7.3	Watchdog .....	21
8.	CHARACTERISTICS .....	22
8.1	ABSOLUTE MAXIMUM RATINGS.....	22
8.2	OPERATING RANGES .....	22
8.3	DC-CHARACTERISTICS.....	23
8.3.1	SC12 DC-Characteristics .....	23
8.3.2	SC13/SC11 DC-Characteristics .....	23
8.4	AC-CHARACTERISTICS .....	24
8.4.1	SC12-Read Cycle.....	24
8.4.2	SC12-Write Cycle.....	25
8.4.3	SC13/SC11 Read Cycle.....	26
8.4.4	SC13/SC11 Write Cycle.....	27
9.	APPLICATION EXAMPLES .....	28
9.1	NMI / Reset-in / Link-LED .....	28
9.2	Link-LED / Reset .....	29
9.3	256x 8bit I/O-Extension using 74HCT573/245.....	29
9.4	Connect 10Base-T Ethernet to the SC12.....	30
9.5	Connect 10/100Base-T Ethernet to the SC13 .....	31
9.6	I <sup>2</sup> C-Bus Example .....	32
9.7	SPI-Bus Example .....	32
9.8	Other Examples.....	32
10.	CHANGE LIST .....	33
11.	CONTACT .....	34

## 1. BASIC SPECIFICATIONS

@CHIP	CPU	RAM	FLASH	Ethernet
SC11	BECK 186 40MHz	512 Kbytes	512 Kbytes	-
SC12	AMD 186ED 20MHz	512 Kbytes	512 Kbytes	10Base-T
SC13	BECK 186 40MHz	512 Kbytes	512 Kbytes	10/100Base-T

### IPC@CHIP® family 80186- and 80188-compatible microcontroller with up to 512KB RAM, 512KB Flash and Ethernet on Chip

- Lower system cost with higher performance

#### High performance

- up to 40MHz operating frequency
- 1 Mbyte internal memory space
- 6 x 256-byte I/O space
- Low-power CMOS process with single 5V power supply

#### Enhanced integrated peripherals

- Up to 14 programmable I/O (PIO) pins
- Two full-featured asynchronous serial ports allow full-duplex, 7-bit or 8-bit data transfers, Serial port hardware handshaking with CTS and RTS selectable for each port  
Independent serial port baud rate generators  
DMA to and from the serial ports
- Ethernet controller IEEE 802.3 10Base-T/100Base-TX<sup>1</sup>  
Autonegotiation : 10/100, Full/Half Duplex<sup>2</sup>
- Watchdog timer
- Pulse-width demodulation option

#### Familiar 80C186 peripherals

- Two independent DMA channels
- Programmable interrupt controller with up to six external interrupts
- Two programmable 16-bit timers, interrupt capable
- Programmable memory and peripheral chip-select logic

### Software-compatible with the 80C186 and 80C188 microcontrollers with widely available native development tools, applications, and system software

#### Pre-installed Real Time Operating System (@CHIP RTOS)

#### Available in the following packages:

- 32-pin, plastic pack (DIL32)

The Beck IPC@CHIP® family of System on Chip microcontrollers and microprocessors is based on the x86 architecture. The IPC@CHIP® family microcontroller is the ideal solution for new designs requiring Ethernet TCP/IP communication over twisted pair and/or through the serial port. The compatibility with the 80C186/188 family makes it also an ideal upgrade for systems based upon this processor range but requiring increased performance, serial communications, Ethernet communications, a direct bus interface, or more than 64K of memory.

The IPC@CHIP® family microcontrollers integrate up to 512Kbyte RAM with increased performance and up to 512Kbyte FLASH, reducing memory subsystem costs.

The minimum endurance of the Flash memory is 10,000 cycles (depending on environmental stress e.g. temperature).

<sup>1</sup> 10/100BASE-T only for SC13

<sup>2</sup> Autonegotiation only for SC13

The IPC@CHIP® family microcontrollers also integrate the functions of the CPU, multiplexed address bus, three timers, watchdog timer, chip selects, interrupt controller, two DMA controllers, two asynchronous serial ports, and programmable I/O (PIO) pins on one chip.

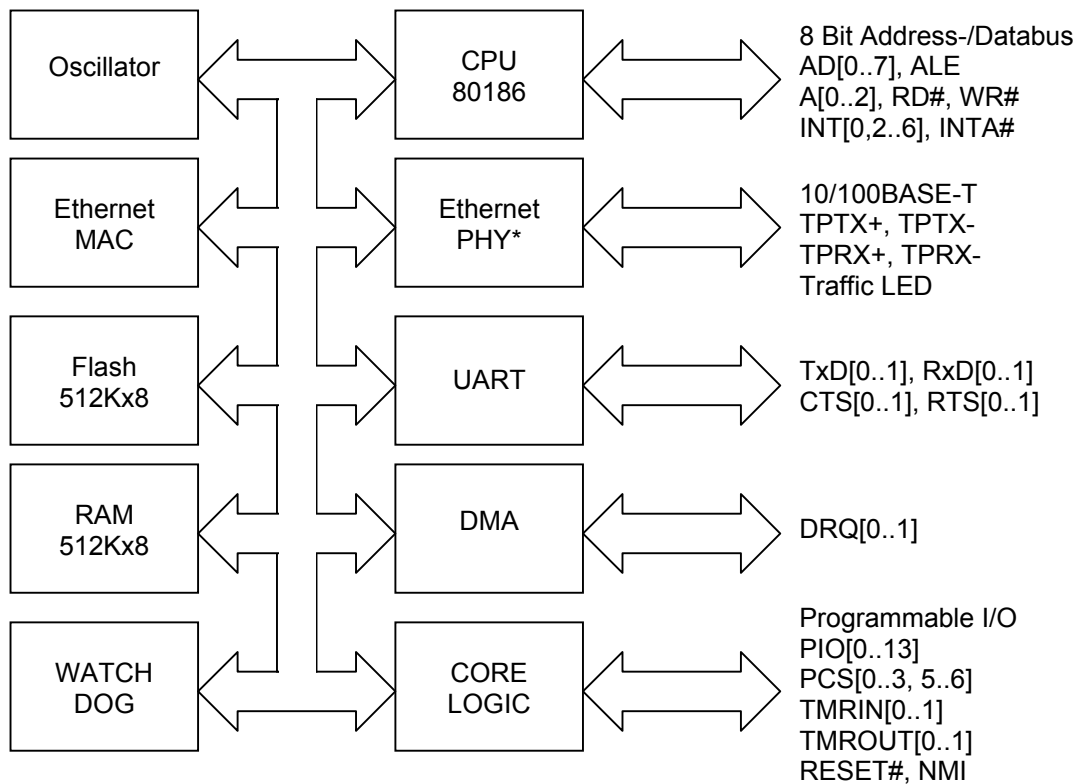
It also supports I<sup>2</sup>C-Bus and SPI (Serial Peripheral Interface) at any PIO pins via software emulation.

The IPC@CHIP® microcontroller is a highly integrated design that provides all Media Access Control (MAC) and Encode-Decode (ENDEC) functions in accordance with the IEEE 802.3 standard. Network interfaces including 10/100Base-T via the Twisted-pair. The integrated 10/100Base-T transceiver makes IPC@CHIP® more cost-effective.

Compared to the 80C186/188 microcontrollers, the IPC@CHIP® family microcontrollers enable designers to reduce the size, power consumption, and cost of embedded systems, while increasing reliability, functionality and performance.

The IPC@CHIP® family microcontrollers have been designed to meet the most common requirements of embedded products developed for the communications, office automation, mass storage, and general embedded markets. Specific applications including industrial controls, data collection, protocol conversion, process monitoring and internet connectivity.

**IPC@CHIP® family microcontroller block diagram**

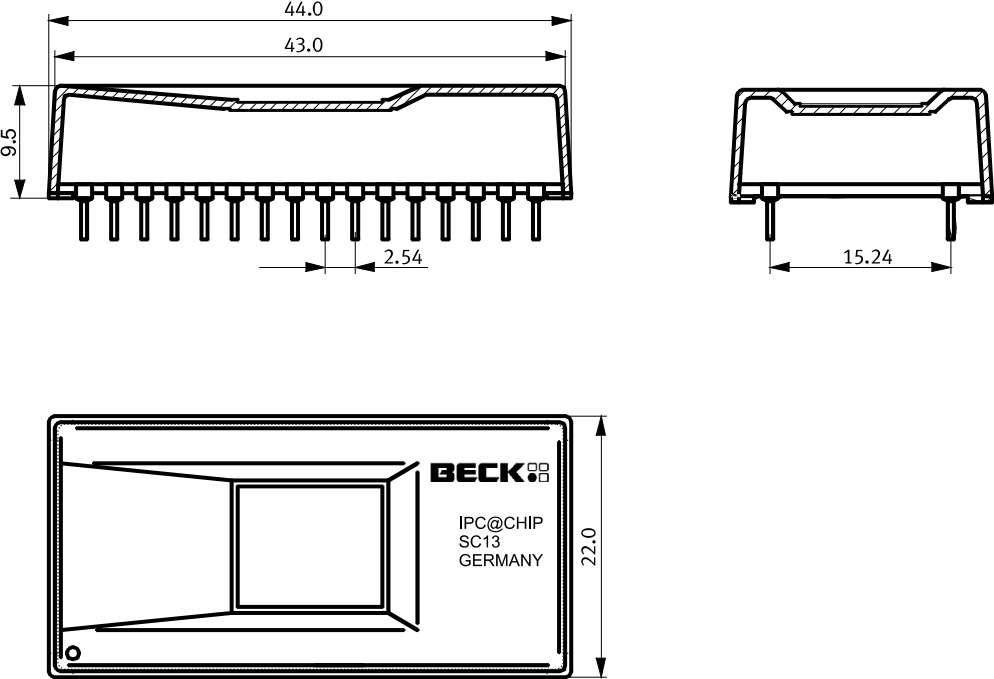


Picture 1.1: Access to hardware components via API functions.  
 \* SC12 and SC13 only



## 2. PHYSICAL DIMENSIONS

The package is physically identical for SC11, SC12 and SC13.



Picture 2.1: IPC@CHIP physical dimensions

### 3. Design and handling guidelines

The IPC@CHIP should be used together with a DIL32 socket.



Electrostatic Sensitive Device

## 4. PIN CONFIGURATION

PIO7 / RXD0	1	<b>IPC@CHIP</b>	32	VCC
PIO8 / TXD0	2		31	DRQ1 / INT6 / PIO0
PIO9 / CTS0	3		30	DRQ0 / INT5 / PIO1
PIO10 / RTS0	4		29	A2 / PCS6# / PIO2
PIO11 / TXD1	5		28	A1 / PCS5# / TMRIN1 / TMROUT1 / PIO3
PIO12 / INT3 / RXD1	6		27	A0 / PCS1# / TMRIN0 / PIO4
PIO13 / INT0 / TMROUT0	7		26	RTS1 / PCS3# / INT4 / PIO5
AD0	8		25	CTS1 / PCS2# / INT2 / PWD / INTA# / PIO6
AD1	9		24	ALE / PCS0#
AD2	10		23	WR#
AD3	11		22	RD#
AD4	12		21	TPRX-
AD5	13		20	TPRX+
AD6	14		19	TPTX-
AD7	15		18	TPTX+
GND	16		17	RESET# / NMI / (TRAFFIC_LED) <sup>3</sup> / (LINK) <sup>4</sup>

Picture 4.1: IPC@CHIP pin configuration

Note: Locate decoupling capacitors as close to VCC Pin as physically possible.

<sup>3</sup> Traffic only SC12 and SC13

<sup>4</sup> Link status only SC12

## 5. PIN FUNCTIONS

### Pin Terminology

The following terms are used to describe the pins:

**Input (I)** - An input-only pin.

**Input (IS)** - An input-only pin with Schmitt Trigger.

**Output (O)** - An output-only pin.

**Input/Output (I/O)** - A pin that can be either input or output.

### 5.1 Address / Data bus

Pin Name	Type	Function
A[0..2]	O	<b>Address Bus (output, three-state)</b> These pins supply nonmultiplexed memory or I/O addresses to the system. During a bus hold or reset condition, the address bus is in a high-impedance state. A0–A2 will serve as the nonmultiplexed address bus for external peripherals. A0-A2 covers an address range of 8 Bytes max.
AD[0..7]	I/O	<b>Multiplexed Address and Data Bus (input/output, three-state, level-sensitive)</b> These time-multiplexed pins supply partial memory or I/O addresses, as well as data, to the system. This bus supplies the low-order 8 bits of an address to the system during the first period of a bus cycle (t1), and it supplies data to the system during the remaining periods of that cycle (t2 , t3 , and t4). In 8-bit mode, AD7–AD0 supplies the data for both high and low bytes. During a bus hold or reset condition, the address and data bus is in a high-impedance state.
ALE	O	<b>Address Latch Enable (output)</b> This pin indicates to the system that an address appears on the address and data bus (AD7–AD0). The address is guaranteed to be valid on the trailing edge of ALE. ALE is three-stated and held resistively Low during a bus hold condition. In addition, ALE has a weak internal pulldown resistor that is active during reset, when it is enabled by software.
RD#	O	<b>Read Strobe (output, three-state)</b> This pin indicates to the system that the microcontroller is performing a memory or I/O read cycle. RD is guaranteed to not be asserted before the address and data bus is floated during the address-to-data transition. RD floats during a bus hold condition.
WR#	O	<b>Write Strobe (output)</b> This pin indicates to the system that the data on the bus is to be written to a memory or I/O device. WR floats during a bus hold or reset condition.

## 5.2 Programmable I/O Pins

Pin Name	Type	Function																																													
PIO[0..13]	I/O	<p><b>Programmable I/O Pins (input/output, open-drain)</b>                      The IPC@CHIP® family microcontroller provides 14 individually programmable I/O pins. Each PIO can be programmed with the following attributes: PIO function (enabled/disabled), direction (input/output), and weak pullup or pulldown.</p> <table border="1"> <thead> <tr> <th>PIO#</th> <th>After power-on reset, the PIO pin defaults to</th> <th>Programmable as Input with</th> </tr> </thead> <tbody> <tr><td>0</td><td>Input without</td><td>pullup</td></tr> <tr><td>1</td><td>Input without</td><td>pullup</td></tr> <tr><td>2</td><td>Input with pullup</td><td>pullup</td></tr> <tr><td>3</td><td>Input with pullup</td><td>pullup / pulldown</td></tr> <tr><td>4</td><td>Input with pullup</td><td>pullup</td></tr> <tr><td>5</td><td>Input with pullup</td><td>pullup</td></tr> <tr><td>6</td><td>Input with pullup</td><td>pullup</td></tr> <tr><td>7</td><td>RxD0</td><td>pullup</td></tr> <tr><td>8</td><td>TxD0</td><td>pullup</td></tr> <tr><td>9</td><td>Input with pullup</td><td>pullup</td></tr> <tr><td>10</td><td>Input with pullup</td><td>pullup</td></tr> <tr><td>11</td><td>TxD1</td><td>pullup</td></tr> <tr><td>12</td><td>RxD1</td><td>pullup</td></tr> <tr><td>13</td><td>Input with pulldown</td><td>pulldown</td></tr> </tbody> </table>	PIO#	After power-on reset, the PIO pin defaults to	Programmable as Input with	0	Input without	pullup	1	Input without	pullup	2	Input with pullup	pullup	3	Input with pullup	pullup / pulldown	4	Input with pullup	pullup	5	Input with pullup	pullup	6	Input with pullup	pullup	7	RxD0	pullup	8	TxD0	pullup	9	Input with pullup	pullup	10	Input with pullup	pullup	11	TxD1	pullup	12	RxD1	pullup	13	Input with pulldown	pulldown
PIO#	After power-on reset, the PIO pin defaults to	Programmable as Input with																																													
0	Input without	pullup																																													
1	Input without	pullup																																													
2	Input with pullup	pullup																																													
3	Input with pullup	pullup / pulldown																																													
4	Input with pullup	pullup																																													
5	Input with pullup	pullup																																													
6	Input with pullup	pullup																																													
7	RxD0	pullup																																													
8	TxD0	pullup																																													
9	Input with pullup	pullup																																													
10	Input with pullup	pullup																																													
11	TxD1	pullup																																													
12	RxD1	pullup																																													
13	Input with pulldown	pulldown																																													

Internal Pullup and Pulldown is approximately 7-10kOhm.

### 5.3 Programmable Chip Selects

Pin Name	Type	Function
PCS[0..3]	O	<b>Peripheral Chip Selects (output)</b> These pins indicate to the system that an I/O memory access is in progress to the corresponding region of the peripheral memory. PCS0–PCS3 are three-stated and held resistively High during a bus hold condition. In addition, PCS0–PCS3 each have a weak internal pullup resistor that is active during reset. The PCS outputs assert with the multiplexed AD address bus. Note also that each peripheral chip select asserts over a 256-byte address range.
PCS[5..6]	O	<b>Peripheral Chip Selects (output)</b> These pins indicate to the system that an I/O memory access is in progress to the corresponding region of the peripheral memory. PCS5–PCS6 are three-stated and held resistively High during a bus hold condition. In addition, PCS5–PCS6 each have a weak internal pullup resistor that is active during reset. The PCS outputs assert with the multiplexed AD address bus. Note also that each peripheral chip select asserts over a 256-byte address range.

### 5.4 Interrupts

Pin Name	Type	Function
INT[0,2-6]	I	<b>Maskable Interrupt Request (input)</b> These pins indicate to the microcontroller that an interrupt request has occurred. If the INT pin is not masked, the microcontroller transfers program execution to the location specified by the corresponding INT vector in the microcontroller interrupt vector table. Interrupt requests are synchronised internally and can be edge-triggered or level-triggered. To guarantee interrupt recognition, the requesting device must continue asserting INT until the request is acknowledged. INT2 becomes INTA# when INT0 is configured in cascade mode.
INTA#	O	<b>Interrupt Acknowledge (output)</b> When the microcontroller interrupt control unit is operating in cascade mode, this pin indicates to the system that the microcontroller needs an interrupt type to process the interrupt request on INT0. The peripheral issuing the interrupt request must provide the microcontroller with the corresponding interrupt type.
PWD	IS	<b>Pulse Width Demodulator (input, Schmitt trigger)</b> If pulse width demodulation is enabled, PWD processes the signal through a Schmitt trigger. PWD is used internally to drive TMRIN0 and INT2, and PWD is inverted internally to drive TMRIN1 and INT4. If INT2 and INT4 are enabled and timer 0 and timer 1 are properly configured, the pulse width of the alternating PWD signal can be calculated by comparing the values in timer 0 and timer 1. In PWD mode, the signals TMRIN0, TMRIN1 and INT4 can be used as PIOs. If they are not used as PIOs, they are ignored internally.

## 5.5 Timer

Timer can be clocked internally or externally. Maximum frequency is ¼ CPU clock. If the timer will be clocked internally the timer out pin (TMROUT) may be used. External clock at Input and output at the same time with same timer is not possible.

Pin Name	Type	Function
TMRIN[0..1]	I	<b>Timer Input (input, edge-sensitive)</b> These pins supply a clock or control signal to the internal microcontroller timer 0 and 1. After internally synchronising a Low-to-High transition on TMRIN, the microcontroller increments the corresponding timer. TMRIN must be tied High if not being used. When PIO is enabled, TMRIN is pulled High internally. TMRIN0 is driven internally by INT2/PWD when pulse width demodulation mode is enabled. The TMRIN0 pin can be used as a PIO when pulse width demodulation mode is enabled.
TMROUT[0..1]	O	<b>Timer Output (output)</b> These pins supply the system with either a single pulse or a continuous waveform with a programmable duty cycle.

## 5.6 10/100Base-T Interface

Pin Name	Type	Function
TPTX[+,-]	O	<b>Twisted Pair Driver (outputs)</b>
TPRX[+,-]	I	<b>Twisted Pair Receive (inputs).</b>
TRAFFIC LED (LINK LED) <sup>5</sup>	O	<b>Traffic LED Driver (output)</b> This pin indicates network traffic by sinking voltage to 3V. It is generated through an open-collector low mode for a short impulse to indicate the presence of traffic on the network. Note that this pin is not able to source any current!

<sup>5</sup> Link status only SC12

## 5.7 Asynchronous Serial Ports

All asynchronous port pins are TTL level. To provide RS232 or RS485 level external drivers must be connected (like MAX232). The following modes can be provided:

Full-Duplex Operation with 7-bit or 8-bit, odd, even or no parity. Error detection is possible with parity errors, framing errors, overrun errors and break character recognition. Hardware handshaking (Clear-to-send CTS and Request-to-send RTS) is possible.

To get a definite baud rate, a baud rate divider must be provided. A general formula for the baud rate divisor is:  $BAUDDIV = (\text{CPU clock} / (16 \times \text{Baud Rate}))$ . We recommend to using the RTOS function "Get Frequencies".

The maximum baud rate is achieved by setting BAUDDIV=0001h. This results in a baud rate of 1250Kbit for SC12 and 2500 Kbit for SC11/SC13. A BAUDDIV setting of zero results in no transmission or reception of data.

The serial port receiver tolerance depends on the used settings:

SC11/SC13	SC12
9 Bits ± 3.47%	+ 3.0%
10 Bits ± 3.125%	- 2.5%
11 Bits ± 2.84%	

The two ports can operate at different rates.

Pin Name	Type	Function
TxD[0..1]	O	<b>Transmit Data (output)</b> These pins supply asynchronous serial transmit data to the system from serial port 0 and 1.
RxD[0..1]	I	<b>Receive Data (input)</b> These pins supply asynchronous serial receive data from the system to asynchronous serial ports 0 and 1.
CTS[0..1]	I	<b>Clear-to-Send (input)</b> These pins provide the Clear-to-Send signal for asynchronous serial port 0 and 1 when hardware flow control is enabled for the port. The CTS signals gate the transmission of data from the associated serial port transmit register. When CTS is asserted, the transmitter begins transmission of a frame of data, if any is available. If CTS is deasserted, the transmitter holds the data in the serial port transmit register. The value of CTS is checked only at the beginning of the transmission of the frame.
RTS[0..1]	O	<b>Request-to-Send 0 (output)</b> These pins provide the Request-to-Send signal for asynchronous serial ports 0 and 1 when hardware flow control is enabled for the port. The RTS signals are asserted when the associated serial port transmit register contains data that has not been transmitted.

## 5.8 DMA

Pin Name	Type	Function
DRQ[0..1]	I	<b>DMA Request (input, level-sensitive)</b> These pins indicate to the microcontroller that an external device is ready for DMA channel 0 or 1 to perform a transfer. DRQ is level-triggered and internally synchronised. DRQ is not latched and must remain active until serviced.



## 5.9 Reset, Power Fail Generator

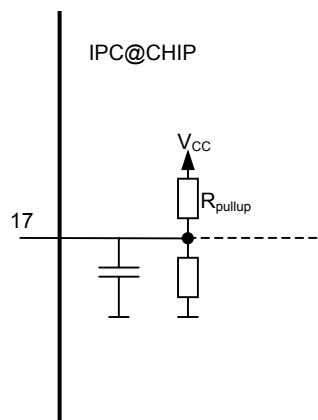
Note that RESET# pin shares 3(4) functions: RESET and NMI as described here, as well as network traffic (and link status for SC12) as described in the corresponding chapters.

This is a voltage-multiplexed pin that internally sinks current in the case of a ethernet packet send/receive. All peripheral logic asserted to this pin must be open-collector to prevent the internal logic from sinking too high current. The pin is already provided with an internal pullup resistor.

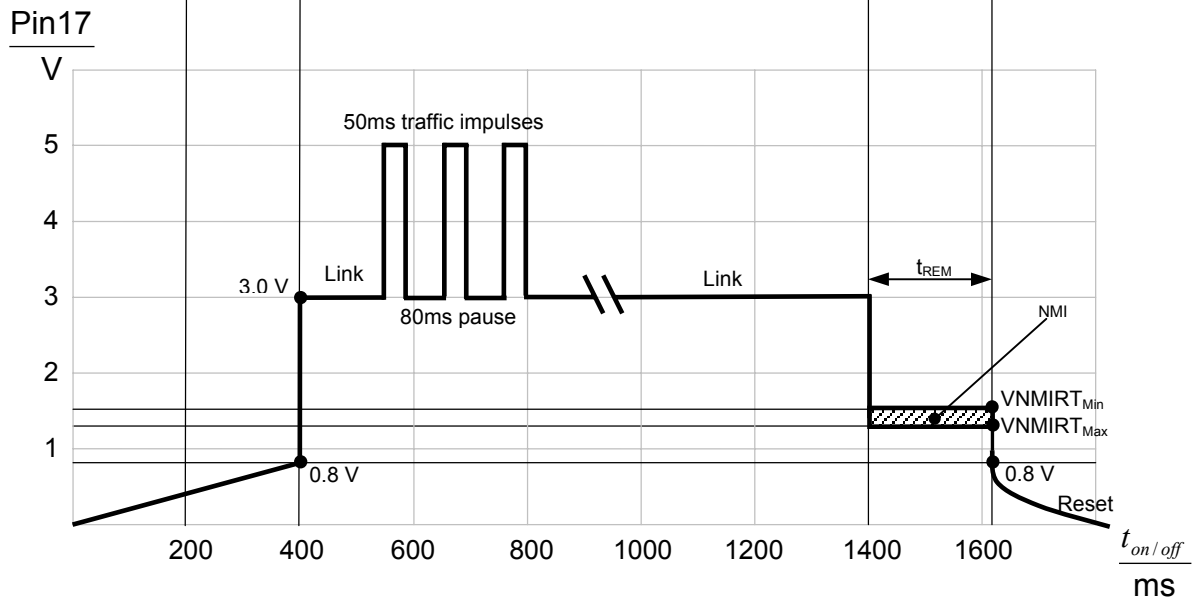
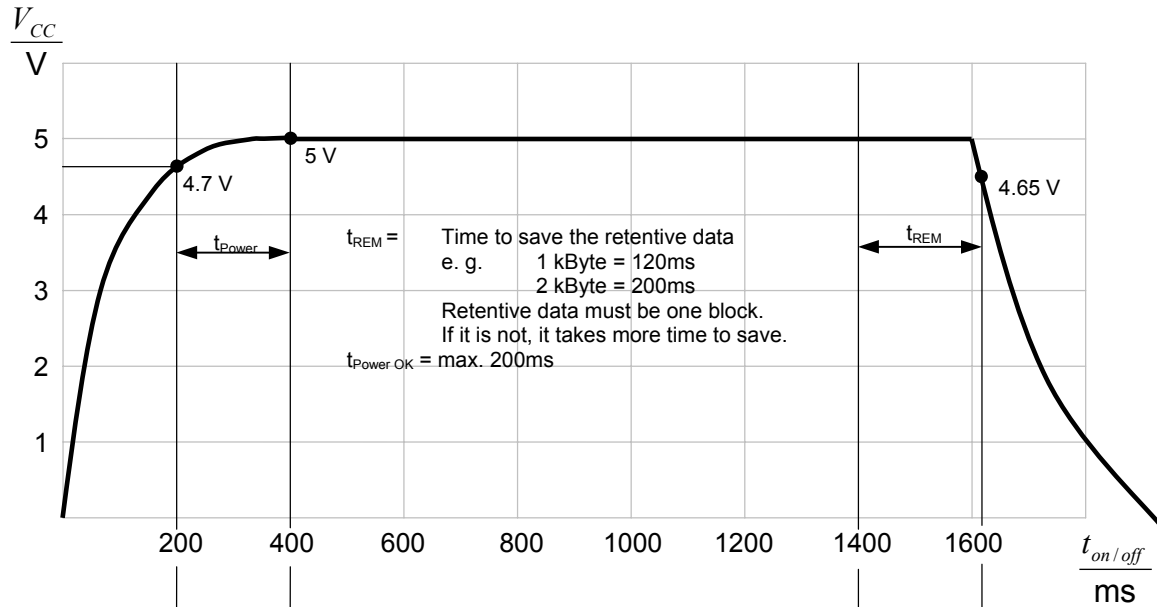
	$R_{pullup}$
SC11	4.7 kOhm
SC12	1 kOhm
SC13	4.7 kOhm

Pin Name	Type	Function
RESET#	I	<b>Reset (input/level-sensitive)</b> If voltage on this pin goes below 0.8V the microcontroller will perform a reset. In that case the microcontroller immediately terminates its present activity, clears its internal logic, and transfers CPU control to the reset address.
NMI	I	<b>Nonmaskable Interrupt (input, level-sensitive)</b> If voltage on this pin goes down below VNMIRT (see DC CHARACTERISTICS) it indicates to the microcontroller that an interrupt request has occurred. The NMI signal is the highest priority hardware interrupt and, unlike the INT6–INT0 pins, cannot be masked. The microcontroller always transfers program execution to the location specified by the nonmaskable interrupt vector in the microcontroller interrupt vector table when NMI is asserted. The NMI is for detecting low supply power and the following data backup only. A reset has to follow after the NMI. To guarantee that the interrupt is recognised, the NMI condition must be asserted to the pin until reset.

The following schematic delivers a principle insight of pin 17.



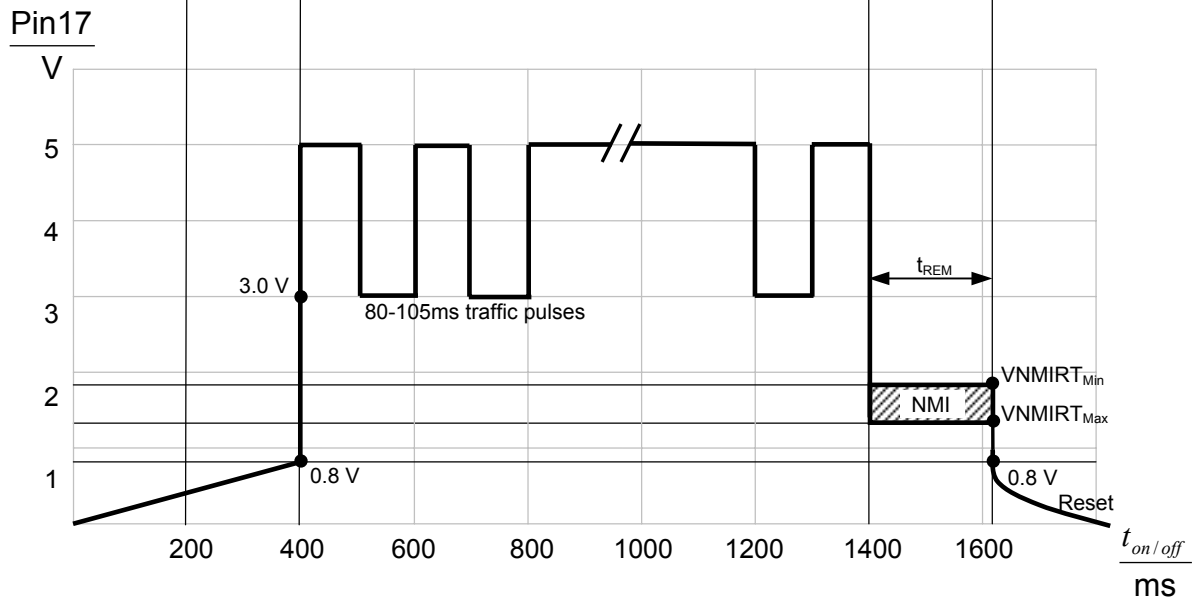
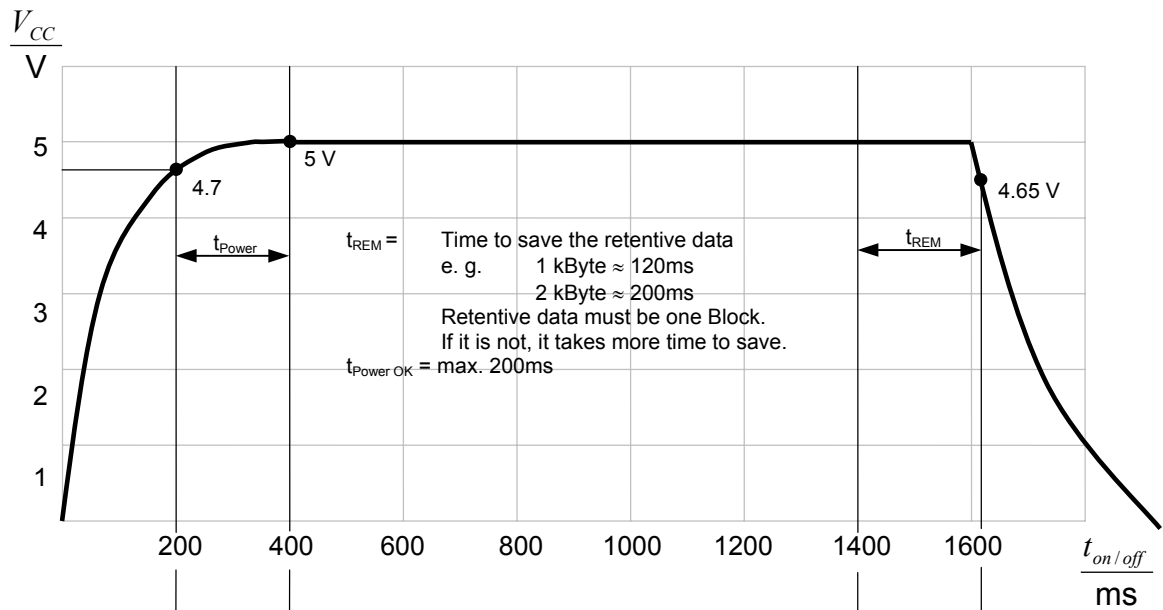
### 5.10 NMI reset traffic LED sequence SC12



To implement time to save the retentive data keep Pin 17 at VNMIRTT<sup>6</sup> and VCC at 5V for  $t_{REM}$  with external capacitors. If Pin 17 goes below 0.8V IPC@CHIP will be in reset state.

<sup>6</sup> see DC-Characteristics

### 5.11 NMI reset traffic LED sequence SC13



To implement time to save the retentive data keep Pin 17 at  $V_{NMI RT}^7$  and VCC at 5V for  $t_{REM}$  with external capacitors. If Pin 17 goes below 0.8V IPC@CHIP will be in reset state.

<sup>7</sup> see DC Characteristics

## 5.12 Startup Pin configuration

At turn-on the IPC@Chip I/O pins are configured as follows:

- Pin1: RXD0/PIO7 = RXD0
- Pin2: TXD0/PIO8 = TXD0
- Pin3: CTS0/PIO9 = Input pullup
- Pin4: RTS0/PIO10 = Input pullup
- Pin5: TXD1/PIO11 = TXD1
- Pin6: RXD1/PIO12 = RXD1
- Pin7: TMR0UT0/INT0/PIO13 = Input pulldown
- Pin17: RESET/NMI/TRAFFIC = Input
- Pin24: ALE/PCS0 = Output, value 1
- Pin25: CTS1/PCS2/PIO6/INT2 = Input pullup
- Pin26: RTS1/PCS3/PIO5/INT4 = Input pullup
- Pin27: PCS1/PIO4/TMRIN0/A0 = Input pullup
- Pin28: PCS5/PIO3/TMR0UT1/TMRIN1/A1 = Input pullup
- Pin29: PCS6/PIO2/A2 = Input pullup
- Pin30: INT5/PIO1 = Input
- Pin31: INT6/PIO0 = Input

## 6. MUTUALLY EXCLUSIVE FUNCTIONS

The IPC@CHIP® family microcontroller provides a lot of different functions by several multi-function pins. Choosing one function will result in disabling other functions. The following table shows, which functions are mutually exclusive.

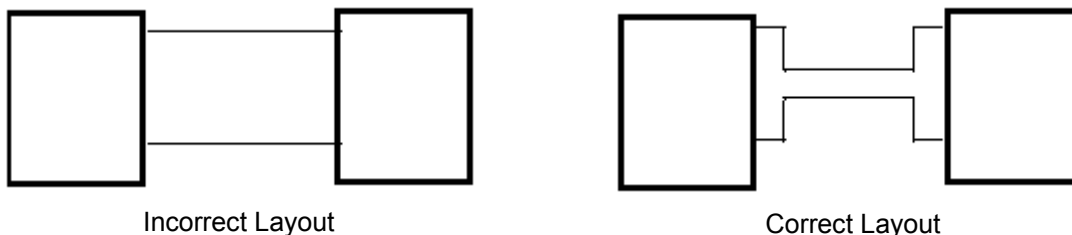
Pin Name	Function	Exclusion
A0	nonmultiplexed address A0	PIO4, PCS1#, TMRIN0
A[1..2]	nonmultiplexed address A[1..2]	PIO[2..3], PCS[5..6], Timer 1
ALE	Address / Data bus	PCS0#
CTS0	hardware flow control Serial Port 0	PIO9
CTS1	hardware flow control Serial Port 1	PIO6, PCS2#, INT2, INTA#, PWD
DRQ0	DMA Request 0	PIO1, INT5
DRQ1	DMA Request 1	PIO0, INT6
INT0	Interrupt Request 0	PIO13, TMROUT0, cascaded Interrupt Controller
INT2	Interrupt Request 2	PIO6, PCS2#, INTA#, PWD, hardware flow control Serial Port 1
INT3	Interrupt Request 3	PIO12, Serial Port 1
INT4	Interrupt Request 4	PIO5, PCS3#, SPI, hardware flow control Serial Port 1
INT5	Interrupt Request 5	PIO1, DRQ0
INT6	Interrupt Request 6	PIO0, DRQ1
INTA#	cascaded Interrupt Controller	PIO6, PIO13, INT0, INT2, PCS2#, PWD, TMROUT0, HW flow control Serial Port 1
PWD	Pulse Width Demodulator	PIO6, PCS2, INT2, INT4, TMROUT[0..1], TMRIN[0..1], INTA#, cascaded Interrupt Controller, HW flow control Serial Port 1
PCS0#	programmable chip select 0	Address/Data bus
PCS1#	programmable chip select 1	A0, PIO4, TMRIN0
PCS2#	programmable chip select 2	PIO6, INT2, INTA#, PWD, HW flow control Serial Port 1, cascaded Interrupt Controller
PCS3#	programmable chip select 3	PIO5, INT4, hardware flow control Serial Port 1
PCS5#	programmable chip select 5	A[1..2], PIO3, Timer 1
PCS6#	programmable chip select 6	A[1..2], PIO2
PIO0	Programmable I/O	DRQ1, INT6
PIO1	Programmable I/O	DRQ0, INT5
PIO2	Programmable I/O	A2, PCS6#
PIO3	Programmable I/O	A1, PCS5#, Timer 1
PIO4	Programmable I/O	A0, PCS1#, TMRIN0
PIO5	Programmable I/O	PCS3#, INT4, hardware flow control Serial Port 1
PIO6	Programmable I/O	PCS2#, INT2, cascaded Interrupt Controller, PWD, HW flow control Serial Port 1
PIO7	Programmable I/O	Serial Port 0
PIO8	Programmable I/O	Serial Port 0
PIO9	Programmable I/O	Hardware flow control Serial Port 0
PIO10	Programmable I/O	Hardware flow control Serial Port 0
PIO11	Programmable I/O	Serial Port 1
PIO12	Programmable I/O	Serial Port 1, INT3
PIO13	Programmable I/O	INT0, cascaded Interrupt Controller, TMROUT0
RxD0, TxD0	Serial Port 0 w/o HW flow control	PIO[7..8]
RxD0, TxD0 CTS0, RTS0	Serial Port 0 with HW flow control	PIO[7..10]
RxD1, TxD1	Serial Port 1 w/o HW flow control	PIO[11..12], INT3
RxD1, TxD1 CTS1, RTS1	Serial Port 1 with HW flow control	PIO[5..6,11..12], INT3, PCS[2..3]#, INT2, INT4, PWD, cascaded Interrupt Controller

## 7. ETHERNET 10/100BASE-T

### 7.1 10Base-T Media Filter Placement and Termination for SC12

Placement of the termination components TPTX+ and TPTX- should be located as physically close to the media filter as possible.

The media filter should also be placed as physically close to the RJ-45 connector as possible to minimise stray EMI transfer to the media. The trace routing is to keep the area enclosed by a circuit loop as small as possible to minimise the incidence of magnetic coupling. However this can conflict with the general rule of keeping trace lengths to a minimum. For example, if circuit components are positioned along the same sides of a square, the best return is back along the same three sides of the square, NOT directly back along the fourth side. This rule must be strictly adhered to. Furthermore, there should never be an unnecessary feed-through inside the circuit loop. This also implies that the circuit loop should never encircle the power/ground planes (i.e. part of the circuit loop above and part of circuit loop below these planes).



The two traces of the pair should always be routed in adjacent channels and should be of same length. To reduce capacitive coupling, each circuit loop should be separated from the others. Circuit loops can be separated either by physical space (if located on the same layer) or by placement of signal layers on the opposite side of the power/ground planes. The following signal groups should be isolated from each other. Width of receiver trace should be 25 mil minimum to achieve 50Ohm impedance characteristic at 10MHz. Width of transmitter trace should be 10 mil minimum to achieve 25Ohm impedance characteristic at 10MHz

To achieve optimum performance the designer must protect the magnetics from the environment. It should be isolated from the power and ground planes.

### 7.2 Magnetics approved for use for 10Base-T application

#### Through-Hole PCB:

BEL FUSE, Inc. part no. 0556-5999-19 (<http://www.belfuse.com>)  
Halo Electronics, Inc. Part no. FS22-101Y4 (<http://www.haloelectronics.com>)  
BECK-IPC GmbH Part no. FS22-101Y4 (online shop ordering number 20003276)  
Valor, Inc. part no. FL1012/1066 (<http://www.valorinc.com/>)

#### Surface-Mount PCB:

Valor, Inc. part no. SF1012 (<http://www.valorinc.com/>)

### 7.3 Routing and placement rules for SC13 and Ethernet components

1. Place the RJ45 connector, the magnetics and the SC13 as close together as possible.
2. If No. 1 is not possible, keep the RJ45 and the magnetics as close as possible. This will allow remote placement of the SC13.
3. Select and place the magnetics as the best routing scheme from the SC13 to the magnetics to the RJ45 connector.
4. Place the  $49.9\Omega$  TX termination pull-ups (TPTX+/TPTX-, pin 18/19) as close to the magnetics as possible.
5. Place the two  $24.9\Omega$  RX series resistors as close to the magnetics as possible.
6. Place the two  $24.9\Omega$  RX termination resistors and the 10 nF capacitor ( TPRX+, pin 20 & TPRX-, pin 21) as close to the SC13 as possible.
7. Place the  $75\Omega$  cable side center tap termination resistors and the 1nF capacitor as close to the magnetics as possible.
8. Place the Unused Wire Pair termination resistors and the 1nF capacitor as close to the RJ45 connector as possible.
9. The traces connecting the transmit outputs (TPTX+, pin 18) & (TPTX-, pin 19) to the magnetics must be run as differential pairs. The differential impedance should be 100 ohms.
10. The traces connecting the transmit outputs from the magnetics to pins 1 & 2 on the RJ45 connector must be run as differential pairs. The differential impedance should be 100 ohms.
11. The traces connecting the receive inputs (TPRX+, pin 20) & (TPRX-, pin 21) from the magnetics must be run as differential pairs. The differential impedance should be 100 ohms.
12. The traces connecting the receive inputs on the magnetics from pins 3 & 6 on the RJ45 connector must be run as differential pairs. The differential impedance should be 100 ohms.
13. Typically, all planes are cleared out from under the differential pairs connecting the RJ45 and the magnetics. The plane clear out boundary is usually halfway through the magnetics.
14. Trace impedance depends upon many variables (PCB construction, trace width, trace spacing, etc.). The electrical engineer needs to work with the PCB designer to determine all these variables.
15. Try to keep all other signals out of the Ethernet front end (RJ45 through the magnetics to the IPC@CHIP). Any noise from other traces may couple into the Ethernet section and cause problems.

### 7.4 Suggested Magnetics

#### Surface-Mount PCB:

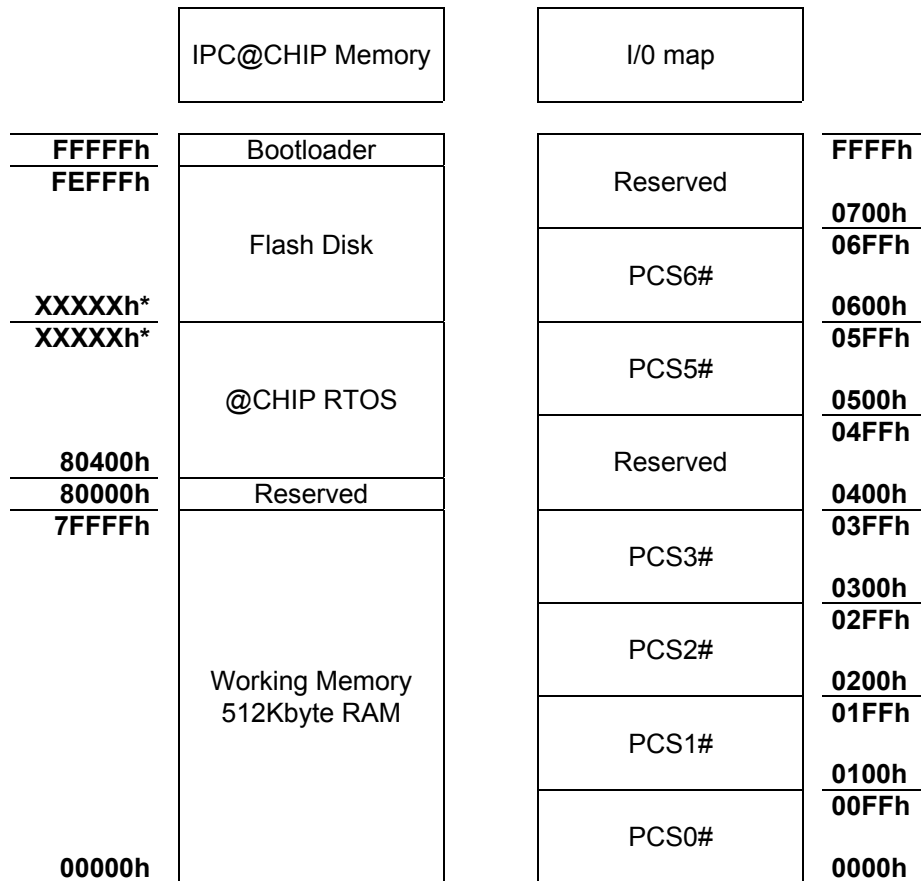
BECK-IPC GmbH	Part no. Magnetic FS23	(online shop ordering number: 538431)
Halo Electronics, Inc.	Part no. TG110-S050N2	( <a href="http://www.haloelectronics.com">http://www.haloelectronics.com</a> )

#### Through-Hole PCB:

BECK-IPC GmbH	Part no. Magnetic Module FM23	(online shop ordering number: 538430)
---------------	-------------------------------	---------------------------------------

## 8. SYSTEM OVERVIEW

### 8.1 Memory map



picture 8.1: IPC@CHIP memory map

\* depends on the CHIP-RTOS version, see "Scaled @Chip-RTOS versions" in @CHIP-RTOS API Documentation



## 8.2 System interrupts

Source	Sensitivity
INT0 (external)	Edge / Level
Network controller (internal)	
INT2 (external)	Edge / Level
INT3 (external)	Edge / Level
INT4 (external)	Edge / Level
INT5 (external) / DMA Interrupt Channel 0 (if DMA is used)	Edge
INT6 (external) / DMA Interrupt Channel 1 (if DMA is used)	Edge
Reserved	
Timer0 (internal)	
Timer1 (internal)	
Timer 1ms (internal) (*)	
Serial port 0 (internal) (*)	
Serial port 1 (internal) (*)	
NMI (internal/external)	

(\*) Internal used by @CHIP-RTOS, not available for user interrupt service functions

When an interrupt occurs all interrupts are disabled until the interrupts are released by setting IF Flag in the interrupt service routine. Interrupts of the same source are masked until the corresponding Bit in interrupt service register is cleared.

Level sensitive interrupts are triggered by a high level, edge sensitive interrupts by the rising edge.

## 8.3 Watchdog

The IPC@CHIP provides a true watchdog timer function. The watchdog can be used to regain control of the system when software fails to respond as expected. The watchdog is active after reset. The watchdog timeout period is about 838 ms. The mode can set to trigger the watchdog by the user program or by the CHIP-RTOS (default). In CHIP-RTOS mode, the CHIP-RTOS performs the watchdog strobing provided that the system's timer interrupt is allowed to execute. Beware that excessive interrupt masking periods can lead to system resets.

## 9. CHARACTERISTICS

### 9.1 ABSOLUTE MAXIMUM RATINGS

	<b>SC11</b>	<b>SC12</b>	<b>SC13</b>
Storage temperature	-25°C to +100°C	-25°C to +100°C	-25°C to +100°C
Supply voltage ( $V_{CC}$ )	-0.3V to +6.0V	-0.3V to +6.0V	-0.3V to +6.0V
Supply current ( $V_{CC} = 5.25V$ )	240mA	220 mA	400 mA
Voltage on any pin with respect to ground	-0.3V to $V_{CC} + 0.3V$	-0.3V to $V_{CC} + 0.3V$	-0.3V to $V_{CC} + 0.3V$

### 9.2 OPERATING RANGES

	<b>SC11</b>	<b>SC12</b>	<b>SC13</b>
Operating temperature (Ambient $T_A$ )	0°C to +70°C	0°C to +70°C	0°C to +70°C
Supply voltage ( $V_{CC}$ )	5.0V +/- 5%	5.0V +/- 5%	5.0V +/- 5%
Typical power supply current (at $V_{CC}$ )	180mA	180mA	300mA

Note: Exposure to conditions beyond those listed here may adversely affect the lifetime and reliability of the device.

### 9.3 DC CHARACTERISTICS

(Under operating ranges unless otherwise noted)

#### 9.3.1 SC12 DC Characteristics

Symbol	Parameter Description	Test Condition	MIN.	TYP.	MAX.	Unit
I <sub>CC</sub>	Current into V <sub>CC</sub>			180	220	mA
VOL	Voltage Output Low	IOL = 2.0mA	-		0.45	V
VOH	Voltage Output High	IOH = -0.4mA	2.4		-	V
VILO	Voltage Input Low	-	-		0.8	V
VIHI	Voltage Input High	-	2.0		-	V
VRT	Reset Threshold		4.5	4.65	4.75	V
	Reset Threshold Hysteresis			0.04		V
VRESLO	IN Voltage Reset active		0		0.8	V
VRESOL	OUT Voltage Reset Low	IOL = -9mA			0.8	V
VNMIRT	NMI Threshold	VCC = 5V	1.3		1.5	V
Clout	External Load on AD[0..7], RD#, WR#				20	PF
	External Load on the other pins				30	PF
Clin	Input Capacitance				30	PF
RPIO	Internal Pullup/-down Resistor			10K		Ω

#### 9.3.2 SC13/SC11 DC Characteristics

Symbol	Parameter Description	Test Condition	MIN.	TYP.	MAX.	Unit
I <sub>CC</sub>	Current into V <sub>CC</sub>	SC11		180	220	mA
I <sub>CC</sub>	Current into V <sub>CC</sub>	SC13		300	400	mA
VOL	Voltage Output Low	IOL = 4.0mA	-		1.5	V
VOH	Voltage Output High	IOH = -4.0mA	3.5		-	V
VILO	Voltage Input Low	-	-		1.5	V
VIHI	Voltage Input High	-	3.5		-	V
VRT	Reset Threshold		4.5	4.65	4.75	V
	Reset Threshold Hysteresis			0.04		V
VRESLO	IN Voltage Reset active		0		0.8	V
VRESOL	OUT Voltage Reset Low	IOL = -4mA			0.8	V
VNMIRT	NMI Threshold	VCC = 5V	1.3		1.8	V
Clout	External Load on AD[0..7], RD#, WR#				20	PF
	External Load on the other pins				30	PF
Clin	Input Capacitance				30	PF
RPIO	Internal Pullup/-down Resistor		7K		10K	Ω

## 9.4 AC CHARACTERISTICS

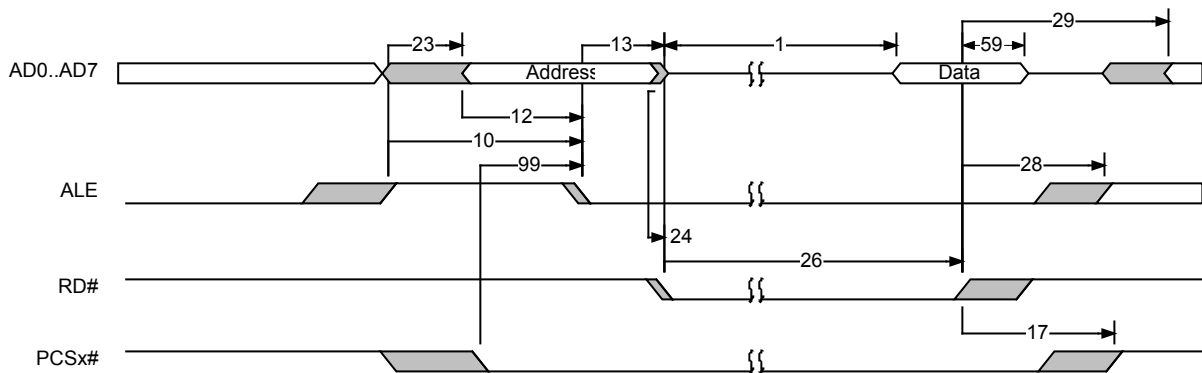
(Under operating ranges unless otherwise noted)

### 9.4.1 SC12-Read Cycle

T<sub>A</sub> = 25°C

No.	Symbol	Description	Min	Max	Unit
<b>General Timing Requirements</b>					
1 <sub>a</sub>	t <sub>RLDV</sub>	Read Valid to Data Valid (PCS0#..PCS3#)	65	65 + X <sup>(1)</sup>	ns
1 <sub>b</sub>	t <sub>RLDV</sub>	Read Valid to Data Valid (PCS5#, PCS6#)	215		ns
59	t <sub>RHDX</sub>	Read Inactive to Data Hold on AD Bus	0		ns
<b>General Timing Responses</b>					
10	t <sub>LHLL</sub>	ALE Width	40		ns
12	t <sub>AVLL</sub>	AD Address Valid to ALE Low	23		ns
13	t <sub>LLAX</sub>	AD Address Hold from ALE Inactive	23		ns
17	t <sub>CXCSX</sub>	PCSx# Hold from Read Inactive	23		ns
23	t <sub>LHAV</sub>	ALE High to Address Valid	20		ns
99	t <sub>PLAL</sub>	PCSx# Active to ALE Inactive	15	28	ns
<b>Read Cycle Timing Responses</b>					
24	t <sub>AZRL</sub>	AD Address Float to Read Active	0		ns
26 <sub>a</sub>	t <sub>RLRH</sub>	Read Pulse Width (PCS0#..PCS3#)	85 + X <sup>(1)</sup>		ns
26 <sub>b</sub>	t <sub>RLRH</sub>	Read Pulse Width (PCS5#, PCS6#)	235		ns
28	t <sub>RHLH</sub>	Read Inactive to ALE High	22		ns
29	t <sub>RHAV</sub>	Read Inactive to AD Address Active	40		ns

<sup>(1)</sup>X depends on wait states of PCS0#..PCS3# and can be 0..750ns (see @CHIP-RTOS Doc.)



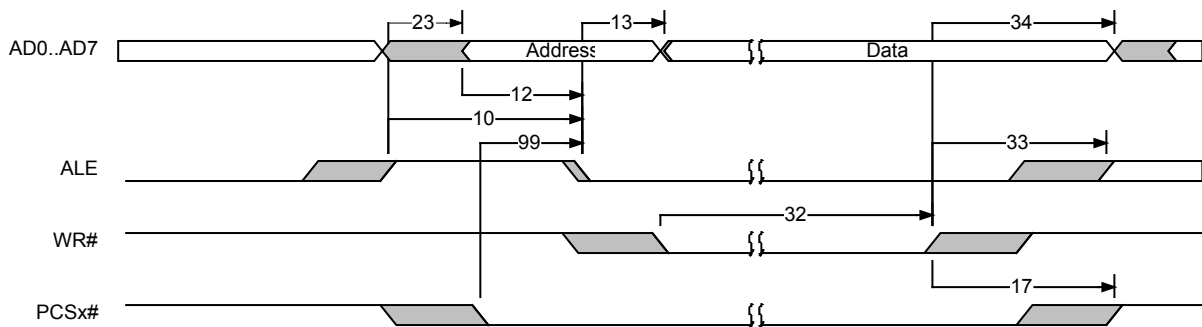
\*) the falling edge of PCS0# is 50ns delayed internally

**9.4.2 SC12 Write Cycle**

T<sub>A</sub> = 25°C

No.	Symbol	Description	Min	Max	Unit
<b>General Timing Responses</b>					
10	t <sub>LHLL</sub>	ALE Width	40		ns
12	t <sub>AVLL</sub>	AD Address Valid to ALE Low	23		ns
17	T <sub>CXCSX</sub>	PCSx# Hold from Read Inactive	23		ns
23	T <sub>LHAV</sub>	ALE High to Address Valid	20		ns
99	T <sub>PLAL</sub>	PCSx# Active to ALE Inactive	15	28	ns
<b>Write Cycle Timing Responses</b>					
32 <sub>a</sub>	T <sub>WLWH</sub>	Write Pulse Width (PCS0#..PCS3#)	90 + X <sup>(1)</sup>		ns
32 <sub>b</sub>	T <sub>WLWH</sub>	Write Pulse Width (PCS5#, PCS6#)	240		ns
33	T <sub>WHLH</sub>	Write Inactive to ALE High	23		ns
34	T <sub>WHDX</sub>	Data Hold after Write Inactive	40		ns

<sup>(1)</sup>X depends on wait states of PCS0#..PCS3# and can be 0..750ns (see @CHIP-RTOS Doc.)



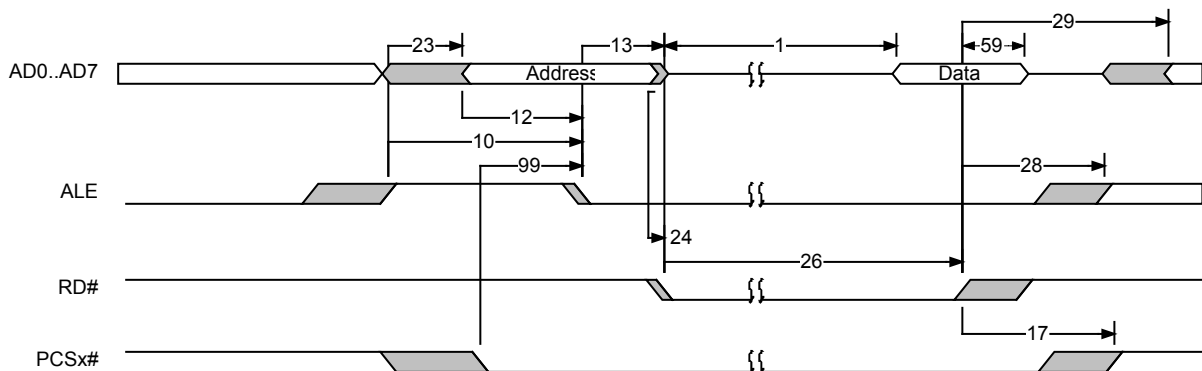
\*) the falling edge of PCS0# is 50ns delayed internally

**9.4.3 SC13/SC11 Read Cycle**

T<sub>A</sub> = 25°C

No.	Symbol	Description	Min	Max	Unit
<b>General Timing Requirements</b>					
1 <sub>a</sub>	t <sub>RLDV</sub>	Read Valid to Data Valid (PCS0#..PCS3#)	12	12 + X <sup>(1)</sup>	ns
1 <sub>b</sub>	t <sub>RLDV</sub>	Read Valid to Data Valid (PCS5#, PCS6#)	12	12 + X <sup>(1)</sup>	ns
59	t <sub>RHDX</sub>	Read Inactive to Data Hold on AD Bus	0		ns
<b>General Timing Responses</b>					
10	t <sub>LHLL</sub>	ALE Width	20		ns
12	t <sub>AVLL</sub>	AD Address Valid to ALE Low	10		ns
13	t <sub>LLAX</sub>	AD Address Hold from ALE Inactive	10		ns
17	t <sub>CXCSX</sub>	PCSx# Hold from Command Inactive	20		ns
23	t <sub>LHAV</sub>	ALE High to Address Valid	10		ns
99	t <sub>PLAL</sub>	PCSx# Active to ALE Inactive	23	30	ns
<b>Read Cycle Timing Responses</b>					
24	t <sub>AZRL</sub>	AD Address Float to Read Active	0		ns
26 <sub>a</sub>	t <sub>RLRH</sub>	Read Pulse Width (PCS0#..PCS3#)	20 + X <sup>(1)</sup>		ns
26 <sub>b</sub>	t <sub>RLRH</sub>	Read Pulse Width (PCS5#, PCS6#)	20 + X <sup>(1)</sup>		ns
28	t <sub>RHLH</sub>	Read Inactive to ALE High	10		ns
29	t <sub>RHAV</sub>	Read Inactive to AD Address Active	20		ns

<sup>(1)</sup>X depends on wait states and can be 0.. 6375ns. (see @CHIP-RTOS Doc)



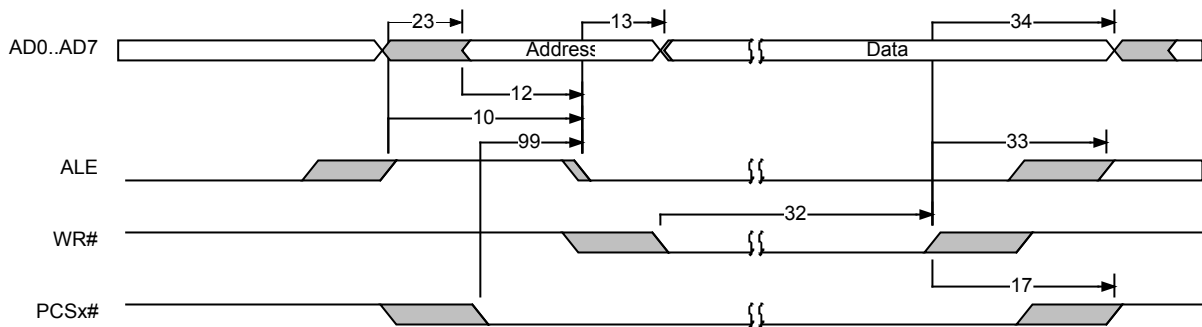
\*) the falling edge of PCS0# is 25ns delayed internally

**9.4.4 SC13/SC11 Write Cycle**

T<sub>A</sub> = 25°C

No.	Symbol	Description	Min	Max	Unit
<b>General Timing Responses</b>					
10	t <sub>LHLL</sub>	ALE Width	20		ns
12	t <sub>AVLL</sub>	AD Address Valid to ALE Low	10		ns
13	t <sub>LLAX</sub>	AD Address Hold from ALE Inactive	10		ns
17	t <sub>CXCSX</sub>	PCSx# Hold from Command Inactive	20		ns
23	t <sub>LHAV</sub>	ALE High to Address Valid	10		ns
99	t <sub>PLAL</sub>	PCSx# Active to ALE Inactive	23	30	ns
<b>Write Cycle Timing Responses</b>					
32 <sub>a</sub>	T <sub>WLWH</sub>	Write Pulse Width (PCS0#..PCS3#)	20 + X <sup>(1)</sup>		ns
32 <sub>b</sub>	T <sub>WLWH</sub>	Write Pulse Width (PCS5#, PCS6#)	20 + X <sup>(1)</sup>		ns
33	T <sub>WHLH</sub>	Write Inactive to ALE High	10		ns
34	T <sub>WHDX</sub>	Data Hold after Write Inactive	15		ns

<sup>(1)</sup>X depends on waitstates and can be 0.. 6375ns. (see @CHIP-RTOS Doc)



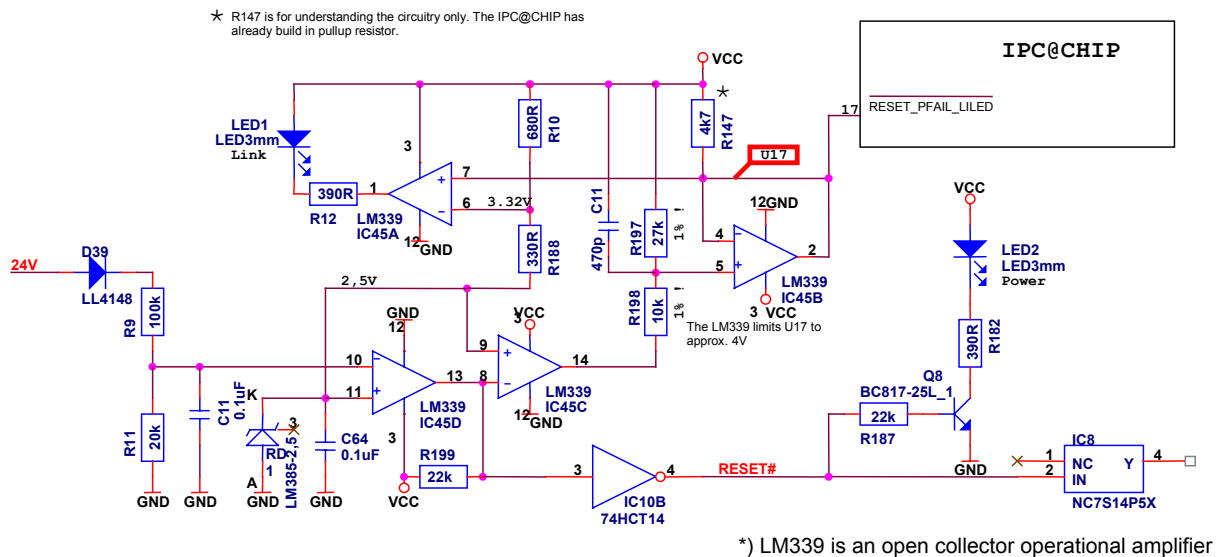
\*) the falling edge of PCS0# is 25ns delayed internally

## 10. APPLICATION EXAMPLES

The following pages contain schematics showing the IPC@CHIP® family microcontroller. It gives you suggestions, how to handle the multi-function pin 17 RESET# / NMI / LINK-LED and how to expand the IPC@CHIP.

### 10.1 NMI / Reset-in / Link-LED

#### External sample circuitry /Reset + NMI + Link LED



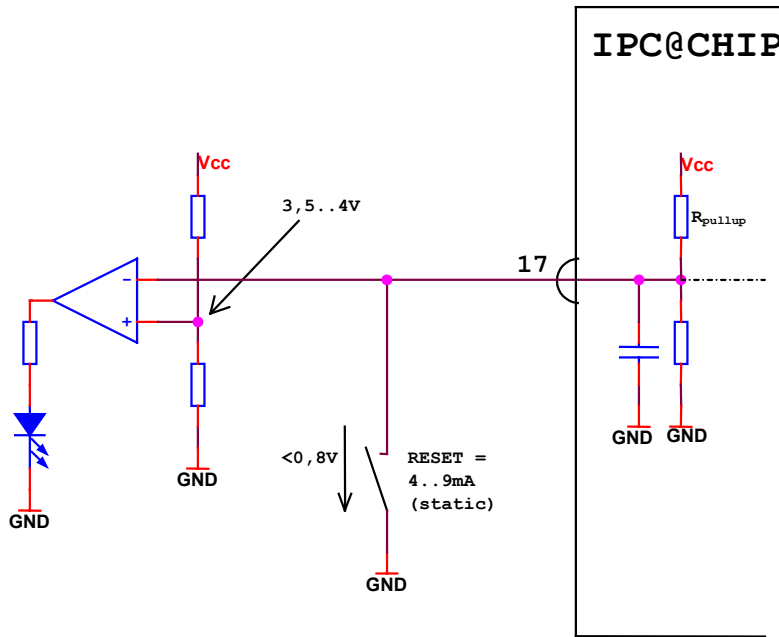
Picture 10.1: Example of using NMI, reset, traffic, (link<sup>8</sup>) at pin 17

See also DK50 schematic.

<sup>8</sup> only SC12

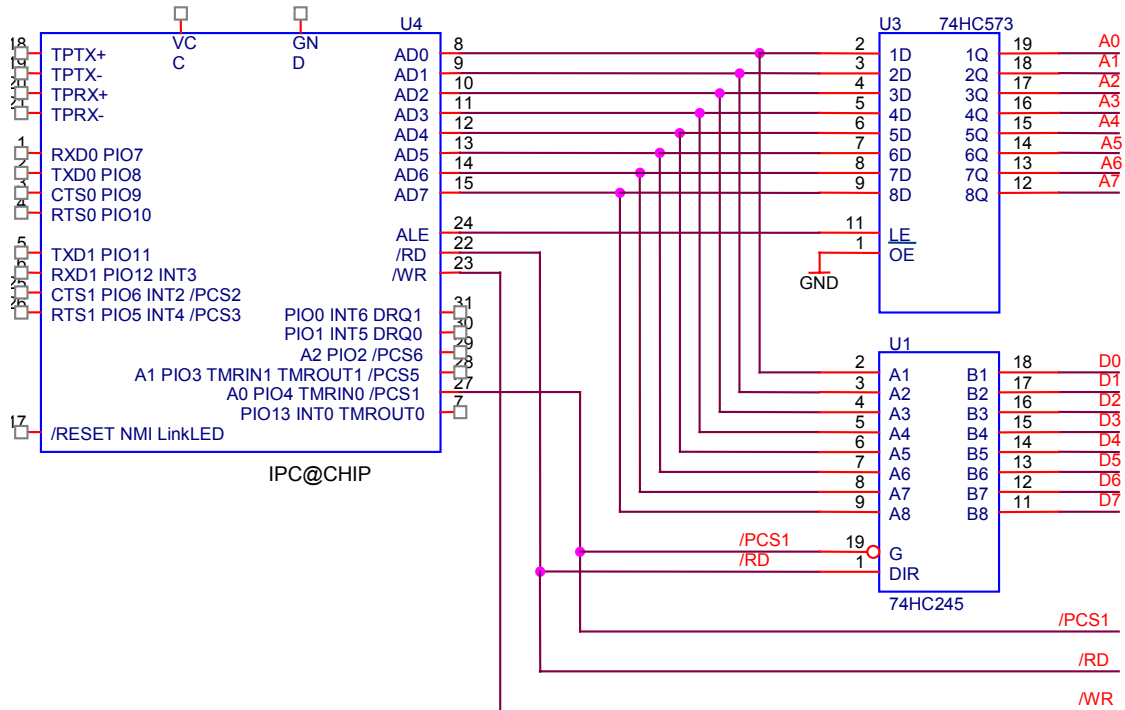


**10.2 Link-LED / Reset**



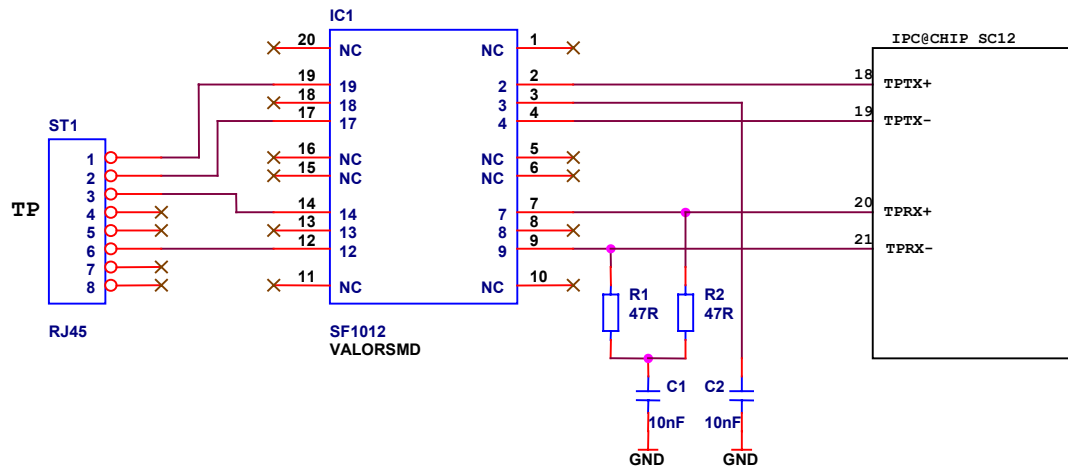
Picture 10.2: Link/traffic-LED / reset example

**10.3 256x 8bit I/O Extension using 74HCT573/245**

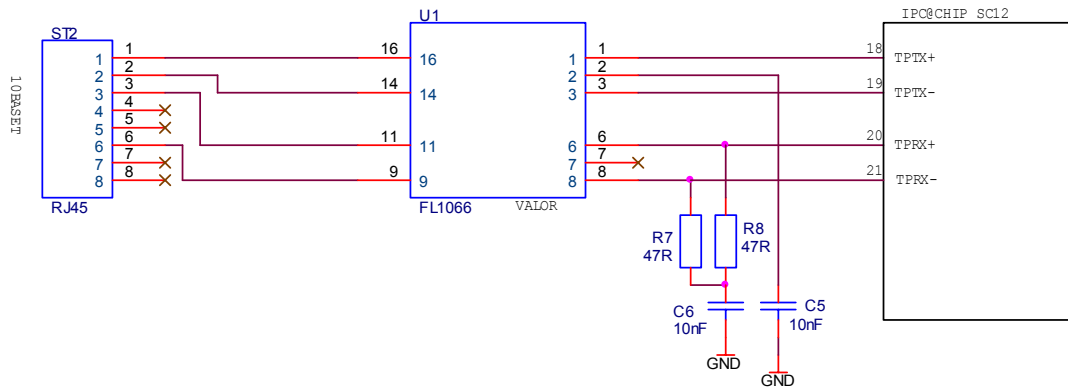


Picture 10.3: Example of a demultiplexed 8 bit A/D-Bus.

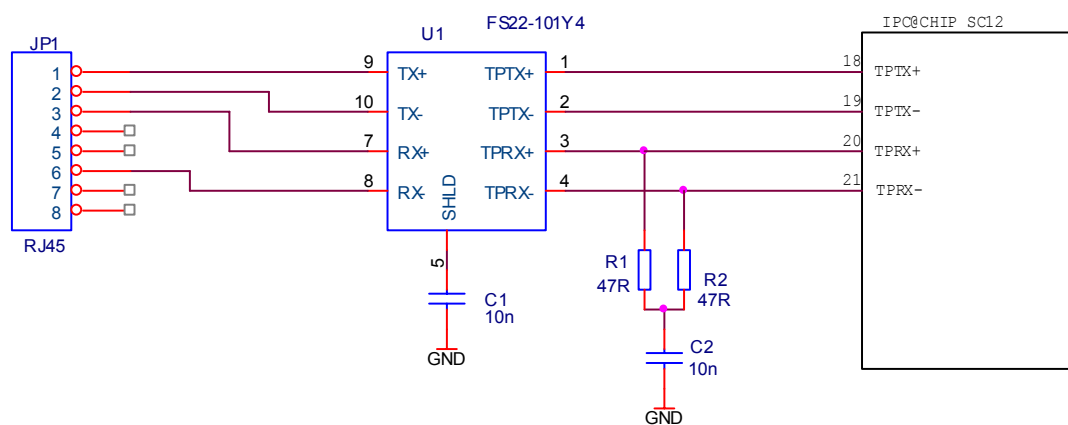
### 10.4 Connect 10Base-T Ethernet to the SC12



picture 10.4: Example of connecting 10Base-T to SC12 with SF1012

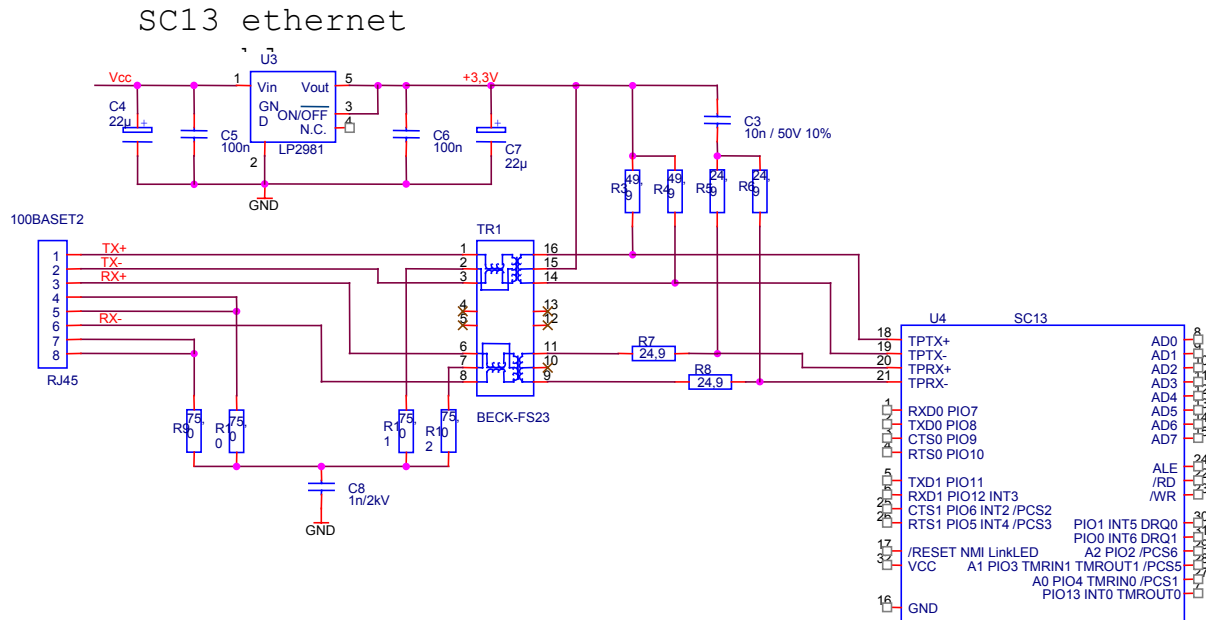


picture 10.5: Example of connecting 10Base-T to SC12 with FL1066

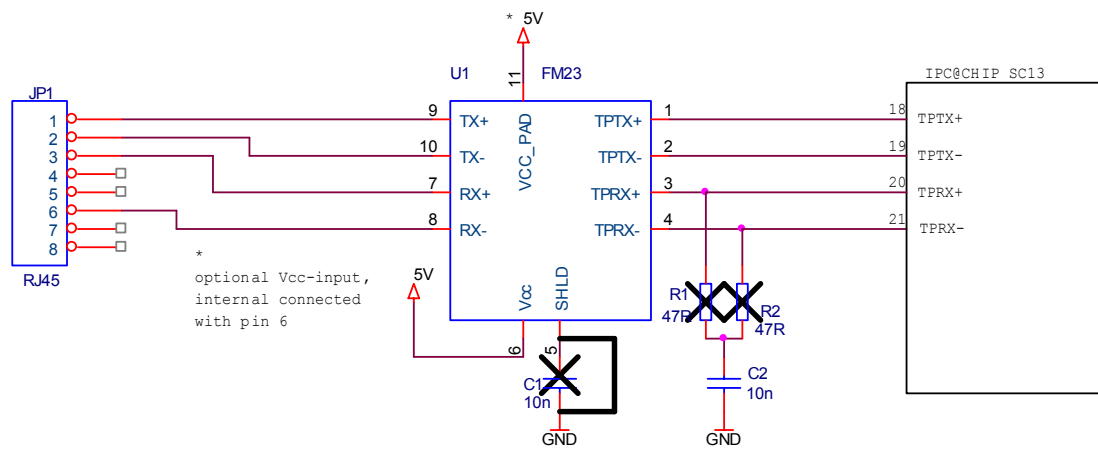


picture 10.6: Example of connecting 10Base-T to SC12 with FS22

## 10.5 Connect 10/100Base-T Ethernet to the SC13



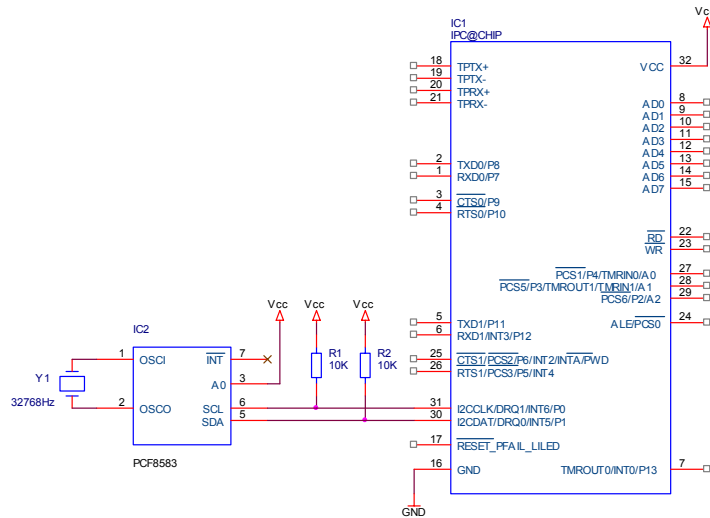
picture 10.7: Example of connecting 10/100Base-T to SC13 with FS23



picture 10.8: Example of connecting 10/100Base-T to SC13 with FM23 (convert SC12 schematic to fit SC13, see also picture 10.6)

## 10.6 I<sup>2</sup>C-Bus Example

To use PIO pins for I<sup>2</sup>C-Bus, connect a 10kΩ resistor to each PIO pin that is defined for I<sup>2</sup>C-Bus. The definition of initializing I<sup>2</sup>C-Bus is described in the @CHIP RTOS documentation.



picture 10.9: Example of connecting a PCF8583 over I<sup>2</sup>C-Bus to the IPC@CHIP

## 10.7 SPI-Bus Example

To use PIO pins for SPI-Bus, see SPI serial data flash example at Beck IPC Website and @CHIP RTOS documentation.

## 10.8 Other Examples

More examples are available at the download section of the Beck-IPC Website.

## 11. CHANGE LIST

### **Whole document**

Added documentation for SC11/SC13. Some scribal errors corrected.

## 12. CONTACT

### **BECK IPC GmbH**

Garbenheimer Strasse 36 – 38  
D-35578 Wetzlar  
Germany  
Phone: +49 (0)6441-905-0  
Fax: +49 (0)6441-905-245  
Internet: [www.beck-ipc.com](http://www.beck-ipc.com)  
E-Mail: [info@beck-ipc.com](mailto:info@beck-ipc.com)

©BECK IPC GmbH All rights reserved. No part of this document may be copied or reproduced in any form or by any means without the prior written consent of BECK IPC GmbH. The information in this document is subject to change without notice. Devices sold by BECK IPC GmbH. Are covered by warranty and patent indemnification provisions appearing in BECK IPC GmbH. Terms and Conditions of Sale only. BECK IPC GmbH MAKES NO WARRANTY, EXPRESS, STATUTORY, IMPLIED OR BY DESCRIPTION, REGARDING THE INFORMATION SET FORTH HEREIN OR REGARDING THE FREEDOM OF THE DESCRIBED DEVICES FROM INTELLECTUAL PROPERTY INFRINGEMENT. BECK IPC GmbH MAKES NO WARRANTY OF MERCHANTABILITY OR FITNESS FOR ANY PURPOSE. BECK IPC GmbH Shall not be responsible for any errors that may appear in this document. BECK IPC GmbH makes no commitment to update or keep current the information contained in this document.

**Life critical applications** — These products are not designed for use in life support appliances, aeronautical applications or devices or systems where malfunction of these products can reasonably be expected to result in personal injury.

**Right to make changes** — BECK IPC GmbH reserves the right to make changes, without notice, in the products, including software, described or contained herein in order to improve design and/or performance. Beck IPC GmbH assumes no responsibility or liability for the use of any of these products.

# Extremely Accurate I<sup>2</sup>C-Integrated RTC/TCXO/Crystal

DS3231

## General Description

The DS3231 is a low-cost, extremely accurate I<sup>2</sup>C real-time clock (RTC) with an integrated temperature-compensated crystal oscillator (TCXO) and crystal. The device incorporates a battery input, and maintains accurate timekeeping when main power to the device is interrupted. The integration of the crystal resonator enhances the long-term accuracy of the device as well as reduces the piece-part count in a manufacturing line. The DS3231 is available in commercial and industrial temperature ranges, and is offered in a 16-pin, 300-mil SO package.

The RTC maintains seconds, minutes, hours, day, date, month, and year information. The date at the end of the month is automatically adjusted for months with fewer than 31 days, including corrections for leap year. The clock operates in either the 24-hour or 12-hour format with an AM/PM indicator. Two programmable time-of-day alarms and a programmable square-wave output are provided. Address and data are transferred serially through an I<sup>2</sup>C bidirectional bus.

A precision temperature-compensated voltage reference and comparator circuit monitors the status of V<sub>CC</sub> to detect power failures, to provide a reset output, and to automatically switch to the backup supply when necessary. Additionally, the RST pin is monitored as a pushbutton input for generating a reset externally.

## Applications

Servers                      Utility Power Meters  
Telematics                  GPS

**Pin Configuration appears at end of data sheet.**

## Features

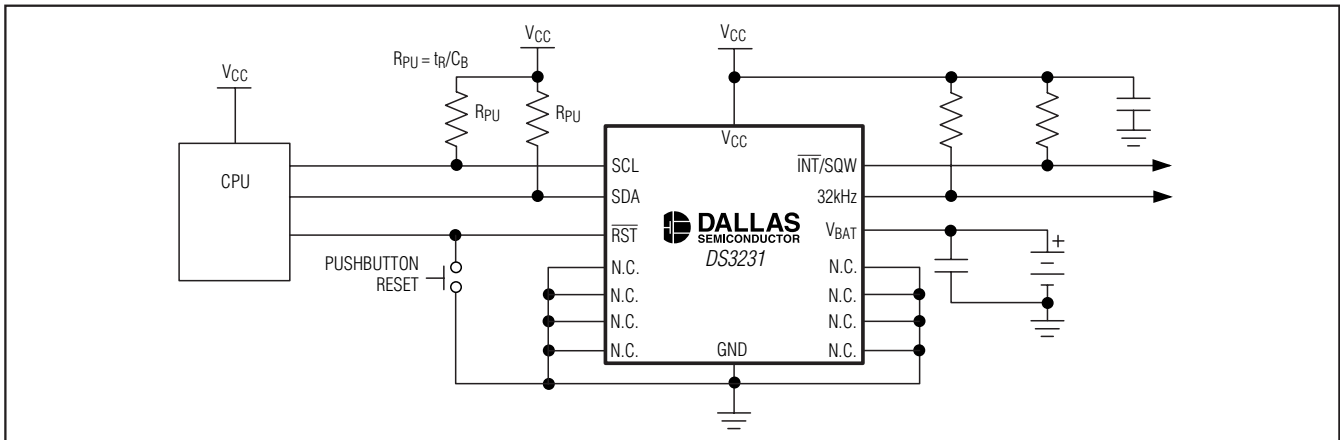
- ◆ Accuracy ±2ppm from 0°C to +40°C
- ◆ Accuracy ±3.5ppm from -40°C to +85°C
- ◆ Battery Backup Input for Continuous Timekeeping
- ◆ Operating Temperature Ranges  
Commercial: 0°C to +70°C  
Industrial: -40°C to +85°C
- ◆ Low-Power Consumption
- ◆ Real-Time Clock Counts Seconds, Minutes, Hours, Day, Date, Month, and Year with Leap Year Compensation Valid Up to 2100
- ◆ Two Time-of-Day Alarms
- ◆ Programmable Square-Wave Output
- ◆ Fast (400kHz) I<sup>2</sup>C Interface
- ◆ 3.3V Operation
- ◆ Digital Temp Sensor Output: ±3°C Accuracy
- ◆ Register for Aging Trim
- ◆ RST Output/Pushbutton Reset Debounce Input
- ◆ Underwriters Laboratory (UL) Recognized

## Ordering Information

PART	TEMP RANGE	PIN-PACKAGE	TOP MARK
DS3231S	0°C to +70°C	16 SO	DS3231
DS3231SN	-40°C to +85°C	16 SO	DS3231N
DS3231S#	0°C to +70°C	16 SO	DS3231S
DS3231SN#	-40°C to +85°C	16 SO	DS3231SN

# Denotes a RoHS-compliant device that may include lead that is exempt under RoHS requirements. The lead finish is JESD97 category e3, and is compatible with both lead-based and lead-free soldering processes. A "#" anywhere on the top mark denotes a RoHS-compliant device.

## Typical Operating Circuit



# Extremely Accurate I<sup>2</sup>C-Integrated RTC/TCXO/Crystal

## ABSOLUTE MAXIMUM RATINGS

Voltage Range on V<sub>CC</sub>, V<sub>BAT</sub>, 32kHz, SCL, SDA,  $\overline{\text{RST}}$ ,  
 $\overline{\text{INT}}/\text{SQW}$  Relative to Ground .....-0.3V to +6.0V  
 Operating Temperature Range  
 (noncondensing) .....-40°C to +85°C  
 Junction Temperature .....+125°C

Storage Temperature Range .....-40°C to +85°C  
 Lead Temperature  
 (Soldering, 10s).....+260°C/10s  
 Soldering Temperature.....See the *Handling,  
 PC Board Layout, and Assembly* section.

*Stresses beyond those listed under "Absolute Maximum Ratings" may cause permanent damage to the device. These are stress ratings only, and functional operation of the device at these or any other conditions beyond those indicated in the operational sections of the specifications is not implied. Exposure to absolute maximum rating conditions for extended periods may affect device reliability.*

## RECOMMENDED DC OPERATING CONDITIONS

(T<sub>A</sub> = T<sub>MIN</sub> to T<sub>MAX</sub>, unless otherwise noted.) (Notes 1, 2)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
Supply Voltage	V <sub>CC</sub>		2.3	3.3	5.5	V
	V <sub>BAT</sub>		2.3	3.0	5.5	V
Logic 1 Input SDA, SCL	V <sub>IH</sub>		0.7 x V <sub>CC</sub>		V <sub>CC</sub> + 0.3	V
Logic 0 Input SDA, SCL	V <sub>IL</sub>		-0.3		+0.3 x V <sub>CC</sub>	V
Pullup Voltage (SDA, SCL, 32kHz, $\overline{\text{INT}}/\text{SQW}$ )	V <sub>PU</sub>	V <sub>CC</sub> = 0V			5.5V	V

## ELECTRICAL CHARACTERISTICS

(V<sub>CC</sub> = 2.3V to 5.5V, V<sub>CC</sub> = Active Supply (see Table 1), T<sub>A</sub> = T<sub>MIN</sub> to T<sub>MAX</sub>, unless otherwise noted.) (Typical values are at V<sub>CC</sub> = 3.3V, V<sub>BAT</sub> = 3.0V, and T<sub>A</sub> = +25°C, unless otherwise noted.) (Notes 1, 2)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
Active Supply Current	I <sub>CCA</sub>	(Notes 3, 4)	V <sub>CC</sub> = 3.63V		200	μA
			V <sub>CC</sub> = 5.5V		300	
Standby Supply Current	I <sub>CCS</sub>	I <sup>2</sup> C bus inactive, 32kHz output on, SQW output off (Note 4)	V <sub>CC</sub> = 3.63V		110	μA
			V <sub>CC</sub> = 5.5V		170	
Temperature Conversion Current	I <sub>CCSCONV</sub>	I <sup>2</sup> C bus inactive, 32kHz output on, SQW output off	V <sub>CC</sub> = 3.63V		575	μA
			V <sub>CC</sub> = 5.5V		650	
Power-Fail Voltage	V <sub>PF</sub>		2.45	2.575	2.70	V
Logic 0 Output, 32kHz, $\overline{\text{INT}}/\text{SQW}$ , SDA	V <sub>OL</sub>	I <sub>OL</sub> = 3mA			0.4	V
Logic 0 Output, $\overline{\text{RST}}$	V <sub>OL</sub>	I <sub>OL</sub> = 1mA			0.4	V
Output Leakage Current 32kHz, $\overline{\text{INT}}/\text{SQW}$ , SDA	I <sub>LO</sub>	Output high impedance	-1	0	+1	μA
Input Leakage SCL	I <sub>LI</sub>		-1		+1	μA
$\overline{\text{RST}}$ Pin I/O Leakage	I <sub>OL</sub>	$\overline{\text{RST}}$ high impedance (Note 5)	-200		+10	μA
V <sub>BAT</sub> Leakage Current (V <sub>CC</sub> Active)	I <sub>BATLKG</sub>			25	100	nA



# Extremely Accurate I<sup>2</sup>C-Integrated RTC/TCXO/Crystal

DS3231

## ELECTRICAL CHARACTERISTICS (continued)

(V<sub>CC</sub> = 2.3V to 5.5V, V<sub>CC</sub> = Active Supply (see Table 1), T<sub>A</sub> = T<sub>MIN</sub> to T<sub>MAX</sub>, unless otherwise noted.) (Typical values are at V<sub>CC</sub> = 3.3V, V<sub>BAT</sub> = 3.0V, and T<sub>A</sub> = +25°C, unless otherwise noted.) (Notes 1, 2)

PARAMETER	SYMBOL	CONDITIONS		MIN	TYP	MAX	UNITS
Output Frequency	f <sub>OUT</sub>	V <sub>CC</sub> = 3.3V or V <sub>BAT</sub> = 3.3V		32.768			kHz
Frequency Stability vs. Temperature (Commercial)	Δf/f <sub>OUT</sub>	V <sub>CC</sub> = 3.3V or V <sub>BAT</sub> = 3.3V, aging offset = 00h	0°C to +40°C	±2			ppm
			>40°C to +70°C	±3.5			
Frequency Stability vs. Temperature (Industrial)	Δf/f <sub>OUT</sub>	V <sub>CC</sub> = 3.3V or V <sub>BAT</sub> = 3.3V, aging offset = 00h	-40°C to <0°C	±3.5			ppm
			0°C to +40°C	±2			
			>40°C to +85°C	±3.5			
Frequency Stability vs. Voltage	Δf/V			1			ppm/V
Trim Register Frequency Sensitivity per LSB	Δf/LSB	Specified at:	-40°C	0.7			ppm
			+25°C	0.1			
			+70°C	0.4			
			+85°C	0.8			
Temperature Accuracy	Temp	V <sub>CC</sub> = 3.3V or V <sub>BAT</sub> = 3.3V		-3		+3	°C
Crystal Aging	Δf/f <sub>0</sub>	After reflow, not production tested	First year	±1.0			ppm
			0–10 years	±5.0			

## ELECTRICAL CHARACTERISTICS

(V<sub>CC</sub> = 0V, V<sub>BAT</sub> = 2.3V to 5.5V, T<sub>A</sub> = T<sub>MIN</sub> to T<sub>MAX</sub>, unless otherwise noted.) (Note 1)

PARAMETER	SYMBOL	CONDITIONS		MIN	TYP	MAX	UNITS
Active Battery Current	I <sub>BATA</sub>	E <sub>OSC</sub> = 0, BBSQW = 0, SCL = 400kHz (Note 4)	V <sub>BAT</sub> = 3.63V	70			μA
			V <sub>BAT</sub> = 5.5V	150			
Timekeeping Battery Current	I <sub>BATT</sub>	E <sub>OSC</sub> = 0, BBSQW = 0, EN32kHz = 1, SCL = SDA = 0V or SCL = SDA = V <sub>BAT</sub> (Note 4)	V <sub>BAT</sub> = 3.63V	0.84	3.0		μA
			V <sub>BAT</sub> = 5.5V	1.0	3.5		
Temperature Conversion Current	I <sub>BATTC</sub>	E <sub>OSC</sub> = 0, BBSQW = 0, SCL = SDA = 0V or SCL = SDA = V <sub>BAT</sub>	V <sub>BAT</sub> = 3.63V	575			μA
			V <sub>BAT</sub> = 5.5V	650			
Data-Retention Current	I <sub>BATDR</sub>	E <sub>OSC</sub> = 1, SCL = SDA = 0V, +25°C		100			nA

# Extremely Accurate I<sup>2</sup>C-Integrated RTC/TCXO/Crystal

## AC ELECTRICAL CHARACTERISTICS

(VCC = VCC(MIN) to VCC(MAX) or VBAT = VBAT(MIN) to VBAT(MAX), VBAT > VCC, TA = TMIN to TMAX, unless otherwise noted.) (Note 1)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
SCL Clock Frequency	fSCL	Fast mode	100		400	kHz
		Standard mode	0		100	
Bus Free Time Between STOP and START Conditions	tBUF	Fast mode	1.3			μs
		Standard mode	4.7			
Hold Time (Repeated) START Condition (Note 6)	tHD:STA	Fast mode	0.6			μs
		Standard mode	4.0			
Low Period of SCL Clock	tLOW	Fast mode	1.3			μs
		Standard mode	4.7			
High Period of SCL Clock	tHIGH	Fast mode	0.6			μs
		Standard mode	4.0			
Data Hold Time (Notes 7, 8)	tHD:DAT	Fast mode	0		0.9	μs
		Standard mode	0		0.9	
Data Setup Time (Note 9)	tSU:DAT	Fast mode	100			ns
		Standard mode	250			
Start Setup Time	tSU:STA	Fast mode	0.6			μs
		Standard mode	4.7			
Rise Time of Both SDA and SCL Signals (Note 10)	tR	Fast mode	20 +		300	ns
		Standard mode	0.1CB		1000	
Fall Time of Both SDA and SCL Signals (Note 10)	tF	Fast mode	20 +		300	ns
		Standard mode	0.1CB		300	
Setup Time for STOP Condition	tSU:STO	Fast mode	0.6			μs
		Standard mode	4.7			
Capacitive Load for Each Bus Line (Note 10)	CB				400	pF
Capacitance for SDA, SCL	C <sub>I/O</sub>			10		pF
Pulse Width of Spikes That Must Be Suppressed by the Input Filter	tSP			30		ns
Pushbutton Debounce	PB <sub>DB</sub>			250		ms
Reset Active Time	tRST			250		ms
Oscillator Stop Flag (OSF) Delay	tOSF	(Note 11)		100		ms
Temperature Conversion Time	tCONV			125	200	ms

## POWER-SWITCH CHARACTERISTICS

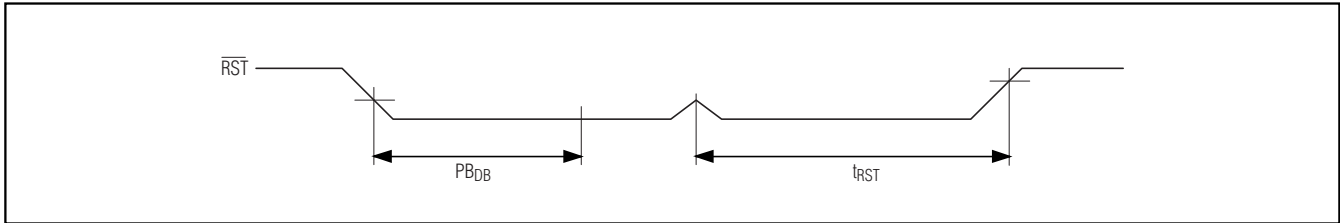
(TA = TMIN to TMAX)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
VCC Fall Time; VPF(MAX) to VPF(MIN)	tVCCF		300			μs
VCC Rise Time; VPF(MIN) to VPF(MAX)	tVCCR		0			μs
Recovery at Power-Up	tREC	(Note 12)		250	300	ms

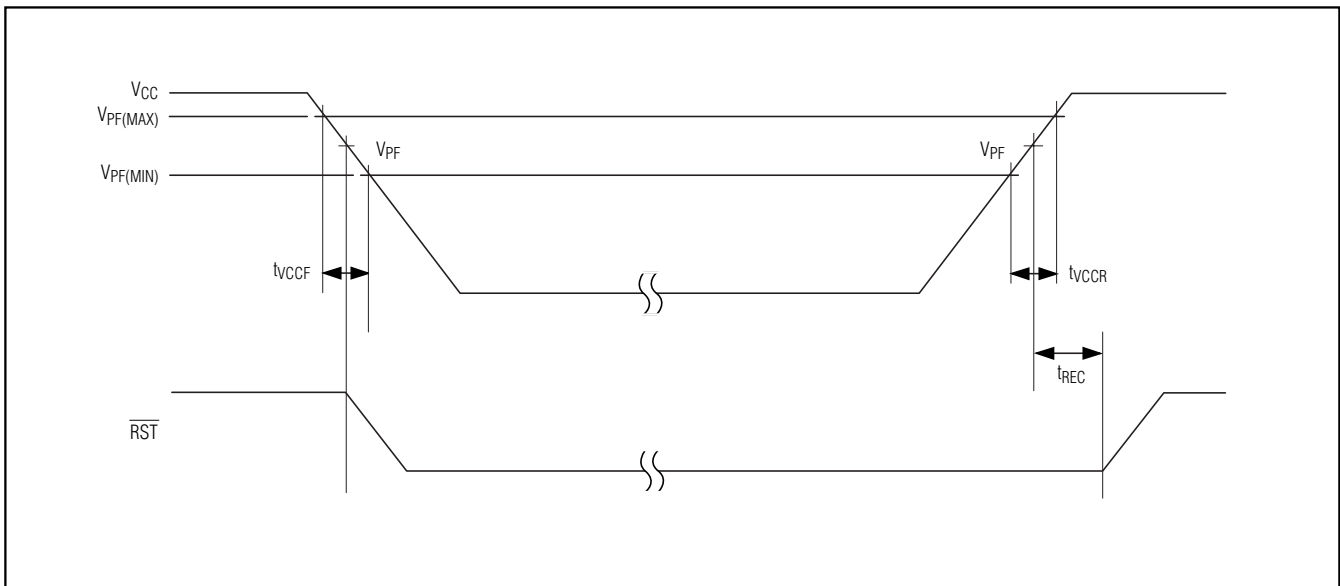
# Extremely Accurate I<sup>2</sup>C-Integrated RTC/TCXO/Crystal

DS3231

## Pushbutton Reset Timing

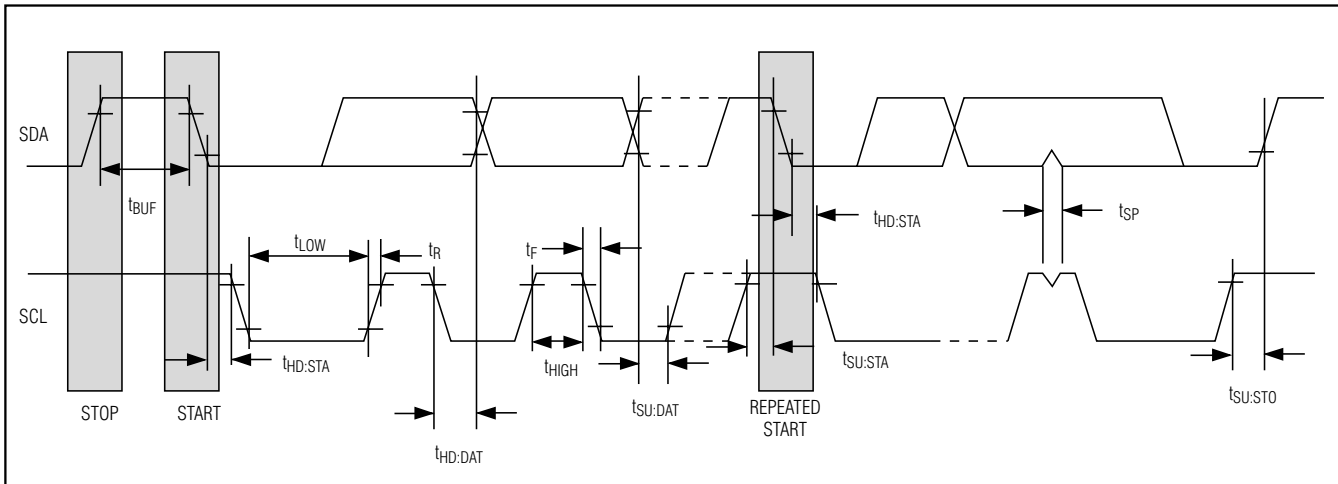


## Power-Switch Timing



# Extremely Accurate I<sup>2</sup>C-Integrated RTC/TCXO/Crystal

## Data Transfer on I<sup>2</sup>C Serial Bus



**Note 1:** Limits at -40°C are guaranteed by design and not production tested.

**Note 2:** All voltages are referenced to ground.

**Note 3:** I<sub>CCA</sub>—SCL clocking at max frequency = 400kHz.

**Note 4:** Current is the averaged input current, which includes the temperature conversion current.

**Note 5:** The  $\overline{\text{RST}}$  pin has an internal 50k $\Omega$  (nominal) pullup resistor to V<sub>CC</sub>.

**Note 6:** After this period, the first clock pulse is generated.

**Note 7:** A device must internally provide a hold time of at least 300ns for the SDA signal (referred to the V<sub>IH(MIN)</sub> of the SCL signal) to bridge the undefined region of the falling edge of SCL.

**Note 8:** The maximum t<sub>HD:DAT</sub> needs only to be met if the device does not stretch the low period (t<sub>LOW</sub>) of the SCL signal.

**Note 9:** A fast-mode device can be used in a standard-mode system, but the requirement t<sub>SU:DAT</sub>  $\geq$  250ns must then be met. This is automatically the case if the device does not stretch the low period of the SCL signal. If such a device does stretch the low period of the SCL signal, it must output the next data bit to the SDA line t<sub>R(MAX)</sub> + t<sub>SU:DAT</sub> = 1000 + 250 = 1250ns before the SCL line is released.

**Note 10:** C<sub>B</sub>—total capacitance of one bus line in pF.

**Note 11:** The parameter t<sub>OSF</sub> is the period of time the oscillator must be stopped for the OSF flag to be set over the voltage range of 0.0V  $\leq$  V<sub>CC</sub>  $\leq$  V<sub>CC(MAX)</sub> and 2.3V  $\leq$  V<sub>BAT</sub>  $\leq$  3.4V.

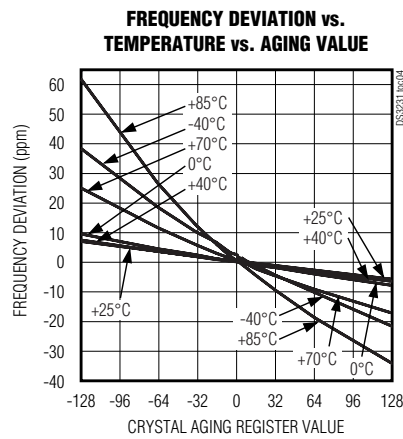
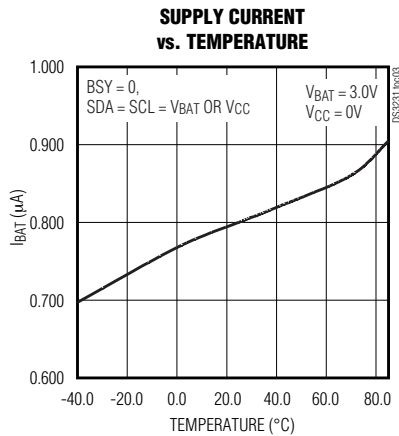
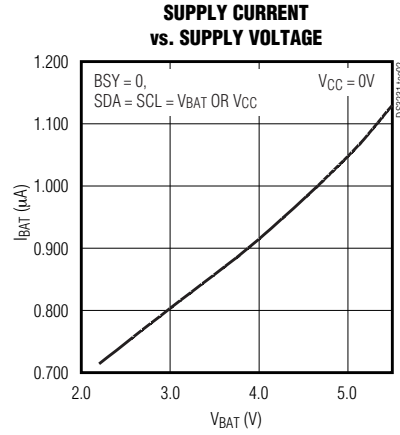
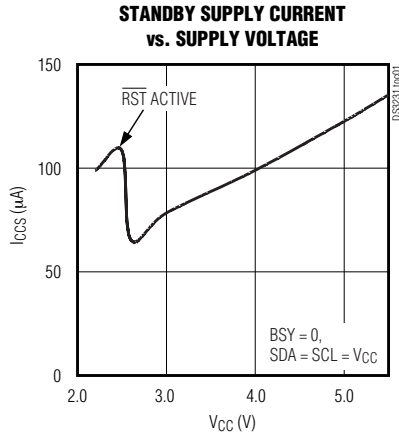
**Note 12:** This delay applies only if the oscillator is enabled and running. If the  $\overline{\text{EOSC}}$  bit is a 1, t<sub>REC</sub> is bypassed and  $\overline{\text{RST}}$  immediately goes high.

# Extremely Accurate I<sup>2</sup>C-Integrated RTC/TCXO/Crystal

## Typical Operating Characteristics

(V<sub>CC</sub> = +3.3V, T<sub>A</sub> = +25°C, unless otherwise noted.)

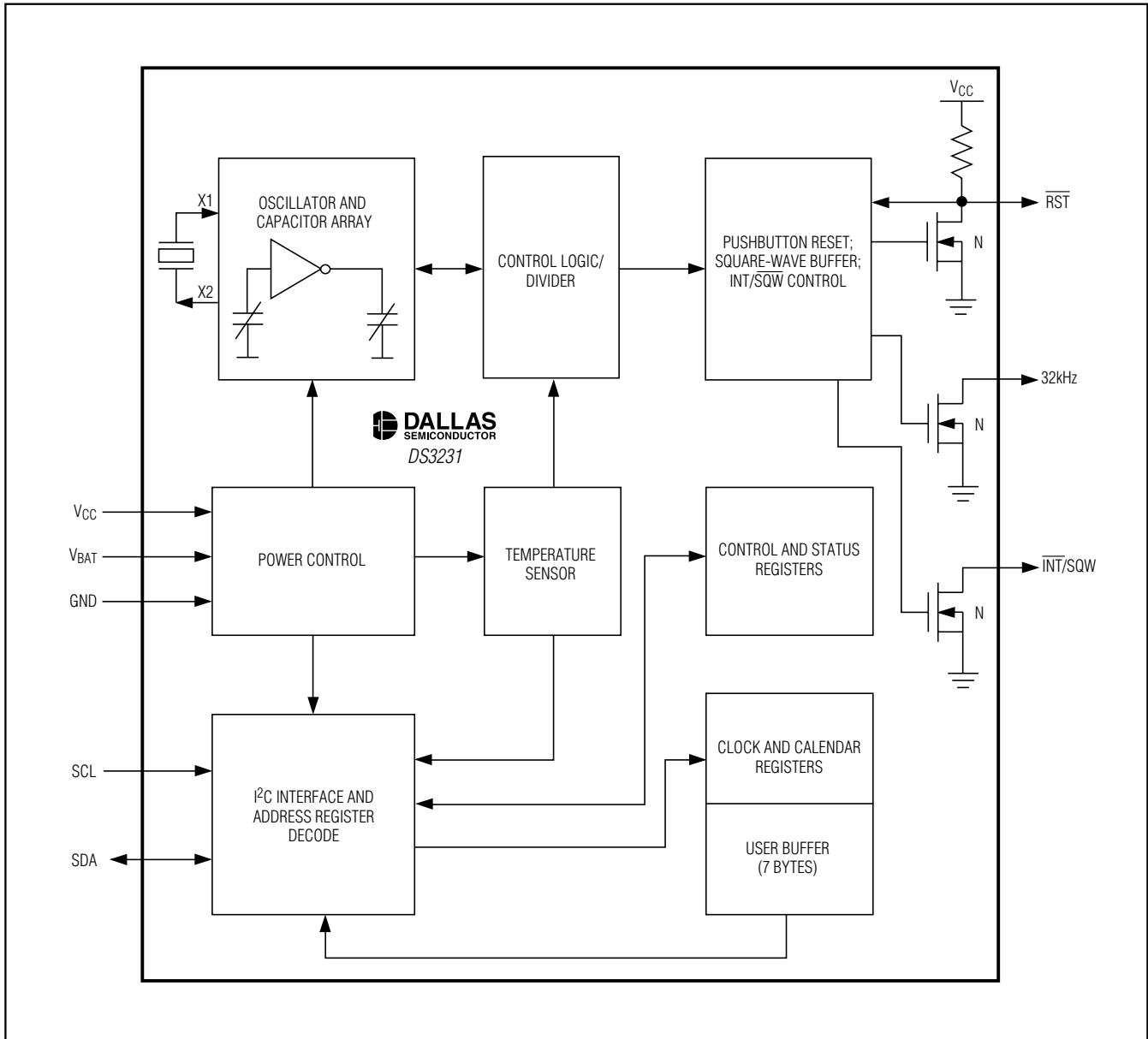
DS3231



# Extremely Accurate I<sup>2</sup>C-Integrated RTC/TCXO/Crystal

DS3231

## Block Diagram



# Extremely Accurate I<sup>2</sup>C-Integrated RTC/TCXO/Crystal

DS3231

## Pin Description

PIN	NAME	FUNCTION
1	32kHz	32kHz Output. This open-drain pin requires an external pullup resistor. When enabled, the output operates on either power supply. It may be left open if not used.
2	V <sub>CC</sub>	DC Power Pin for Primary Power Supply. This pin should be decoupled using a 0.1μF to 1.0μF capacitor. If not used, connect to ground.
3	$\overline{\text{INT}}/\text{SQW}$	Active-Low Interrupt or Square-Wave Output. This open-drain pin requires an external pullup resistor connected to a supply at 5.5V or less. It may be left open if not used. This multifunction pin is determined by the state of the INTCN bit in the Control Register (0Eh). When INTCN is set to logic 0, this pin outputs a square wave and its frequency is determined by RS2 and RS1 bits. When INTCN is set to logic 1, then a match between the timekeeping registers and either of the alarm registers activates the $\overline{\text{INT}}/\text{SQW}$ pin (if the alarm is enabled). Because the INTCN bit is set to logic 1 when power is first applied, the pin defaults to an interrupt output with alarms disabled.
4	$\overline{\text{RST}}$	Active-Low Reset. This pin is an open-drain input/output. It indicates the status of V <sub>CC</sub> relative to the V <sub>PF</sub> specification. As V <sub>CC</sub> falls below V <sub>PF</sub> , the $\overline{\text{RST}}$ pin is driven low. When V <sub>CC</sub> exceeds V <sub>PF</sub> , for t <sub>RST</sub> , the $\overline{\text{RST}}$ pin is pulled high by the internal pullup resistor. The active-low, open-drain output is combined with a debounced pushbutton input function. This pin can be activated by a pushbutton reset request. It has an internal 50kΩ nominal value pullup resistor to V <sub>CC</sub> . No external pullup resistors should be connected. If the oscillator is disabled, t <sub>REC</sub> is bypassed and $\overline{\text{RST}}$ immediately goes high.
5–12	N.C.	No Connection. Must be connected to ground.
13	GND	Ground
14	V <sub>BAT</sub>	Backup Power-Supply Input. This pin should be decoupled using a 0.1μF to 1.0μF low-leakage capacitor. If the I <sup>2</sup> C interface is inactive whenever the device is powered by the V <sub>BAT</sub> input, the decoupling capacitor is not required. If V <sub>BAT</sub> is not used, connect to ground. UL recognized to ensure against reverse charging when used with a lithium battery. Go to <a href="http://www.maxim-ic.com/qa/info/ul">www.maxim-ic.com/qa/info/ul</a> .
15	SDA	Serial Data Input/Output. This pin is the data input/output for the I <sup>2</sup> C serial interface. This open-drain pin requires an external pullup resistor.
16	SCL	Serial Clock Input. This pin is the clock input for the I <sup>2</sup> C serial interface and is used to synchronize data movement on the serial interface.

## Detailed Description

The DS3231 is a serial RTC driven by a temperature-compensated 32kHz crystal oscillator. The TCXO provides a stable and accurate reference clock, and maintains the RTC to within ±2 minutes per year accuracy from -40°C to +85°C. The TCXO frequency output is available at the 32kHz pin. The RTC is a low-power clock/calendar with two programmable time-of-day alarms and a programmable square-wave output. The  $\overline{\text{INT}}/\text{SQW}$  provides either an interrupt signal due to alarm conditions or a square-wave output. The clock/calendar provides seconds, minutes, hours, day, date,

month, and year information. The date at the end of the month is automatically adjusted for months with fewer than 31 days, including corrections for leap year. The clock operates in either the 24-hour or 12-hour format with an  $\overline{\text{AM}}/\text{PM}$  indicator. The internal registers are accessible through an I<sup>2</sup>C bus interface.

A temperature-compensated voltage reference and comparator circuit monitors the level of V<sub>CC</sub> to detect power failures and to automatically switch to the backup supply when necessary. The  $\overline{\text{RST}}$  pin provides an external pushbutton function and acts as an indicator of a power-fail event.

# Extremely Accurate I<sup>2</sup>C-Integrated RTC/TCXO/Crystal

## Operation

The block diagram shows the main elements of the DS3231. The eight blocks can be grouped into four functional groups: TCXO, power control, pushbutton function, and RTC. Their operations are described separately in the following sections.

### 32kHz TCXO

The temperature sensor, oscillator, and control logic form the TCXO. The controller reads the output of the on-chip temperature sensor and uses a lookup table to determine the capacitance required, adds the aging correction in AGE register, and then sets the capacitance selection registers. New values, including changes to the AGE register, are loaded only when a change in the temperature value occurs, or when a user-initiated temperature conversion is completed. The temperature is read on initial application of V<sub>CC</sub> and once every 64 seconds afterwards.

### Power Control

This function is provided by a temperature-compensated voltage reference and a comparator circuit that monitors the V<sub>CC</sub> level. When V<sub>CC</sub> is greater than V<sub>PF</sub>, the part is powered by V<sub>CC</sub>. When V<sub>CC</sub> is less than V<sub>PF</sub> but greater than V<sub>BAT</sub>, the DS3231 is powered by V<sub>CC</sub>. If V<sub>CC</sub> is less than V<sub>PF</sub> and is less than V<sub>BAT</sub>, the device is powered by V<sub>BAT</sub>. See Table 1.

**Table 1. Power Control**

SUPPLY CONDITION	ACTIVE SUPPLY
V <sub>CC</sub> < V <sub>PF</sub> , V <sub>CC</sub> < V <sub>BAT</sub>	V <sub>BAT</sub>
V <sub>CC</sub> < V <sub>PF</sub> , V <sub>CC</sub> > V <sub>BAT</sub>	V <sub>CC</sub>
V <sub>CC</sub> > V <sub>PF</sub> , V <sub>CC</sub> < V <sub>BAT</sub>	V <sub>CC</sub>
V <sub>CC</sub> > V <sub>PF</sub> , V <sub>CC</sub> > V <sub>BAT</sub>	V <sub>CC</sub>

To preserve the battery, the first time V<sub>BAT</sub> is applied to the device, the oscillator will not start up until V<sub>CC</sub> exceeds V<sub>PF</sub>, or until a valid I<sup>2</sup>C address is written to the part. Typical oscillator startup time is less than one second. Approximately 2 seconds after V<sub>CC</sub> is applied, or a valid I<sup>2</sup>C address is written, the device makes a temperature measurement and applies the calculated correction to the oscillator. Once the oscillator is running, it continues to run as long as a valid power source is available (V<sub>CC</sub> or V<sub>BAT</sub>), and the device continues to measure the temperature and correct the oscillator frequency every 64 seconds.

## Pushbutton Reset Function

The DS3231 provides for a pushbutton switch to be connected to the  $\overline{\text{RST}}$  output pin. When the DS3231 is not in a reset cycle, it continuously monitors the  $\overline{\text{RST}}$  signal for a low going edge. If an edge transition is detected, the DS3231 debounces the switch by pulling the  $\overline{\text{RST}}$  low. After the internal timer has expired (P<sub>DB</sub>), the DS3231 continues to monitor the  $\overline{\text{RST}}$  line. If the line is still low, the DS3231 continuously monitors the line looking for a rising edge. Upon detecting release, the DS3231 forces the  $\overline{\text{RST}}$  pin low and holds it low for t<sub>RST</sub>.

The same pin,  $\overline{\text{RST}}$ , is used to indicate a power-fail condition. When V<sub>CC</sub> is lower than V<sub>PF</sub>, an internal power-fail signal is generated, which forces the  $\overline{\text{RST}}$  pin low. When V<sub>CC</sub> returns to a level above V<sub>PF</sub>, the  $\overline{\text{RST}}$  pin is held low for approximately 250ms (t<sub>REC</sub>) to allow the power supply to stabilize. If the oscillator is not running (see the *Power Control* section) when V<sub>CC</sub> is applied, t<sub>REC</sub> is bypassed and  $\overline{\text{RST}}$  immediately goes high.

## Real-Time Clock

With the clock source from the TCXO, the RTC provides seconds, minutes, hours, day, date, month, and year information. The date at the end of the month is automatically adjusted for months with fewer than 31 days, including corrections for leap year. The clock operates in either the 24-hour or 12-hour format with an AM/PM indicator.

The clock provides two programmable time-of-day alarms and a programmable square-wave output. The INT/SQW pin either generates an interrupt due to alarm condition or outputs a square-wave signal and the selection is controlled by the bit INTCN.

## Address Map

Figure 1 shows the address map for the DS3231 time-keeping registers. During a multibyte access, when the address pointer reaches the end of the register space (12h), it wraps around to location 00h. On an I<sup>2</sup>C START or address pointer incrementing to location 00h, the current time is transferred to a second set of registers. The time information is read from these secondary registers, while the clock may continue to run. This eliminates the need to reread the registers in case the main registers update during a read.

## I<sup>2</sup>C Interface

The I<sup>2</sup>C interface is accessible whenever either V<sub>CC</sub> or V<sub>BAT</sub> is at a valid level. If a microcontroller connected to the DS3231 resets because of a loss of V<sub>CC</sub> or other event, it is possible that the microcontroller and DS3231 I<sup>2</sup>C communications could become unsynchronized, e.g., the microcontroller resets while reading data from the DS3231. When the microcontroller resets, the



# Extremely Accurate I<sup>2</sup>C-Integrated RTC/TCXO/Crystal

DS3231

**Figure 1. Timekeeping Registers**

ADDRESS	BIT 7 MSB	BIT 6	BIT 5	BIT 4	BIT 3	BIT 2	BIT 1	BIT 0 LSB	FUNCTION	RANGE
00H	0	10 Seconds			Seconds				Seconds	00–59
01H	0	10 Minutes			Minutes				Minutes	00–59
02H	0	12/24	AM/PM 10 Hour	10 Hour	Hour				Hours	1–12 + AM/PM 00–23
03H	0	0	0	0	0	Day			Day	1–7
04H	0	0	10 Date		Date				Date	00–31
05H	Century	0	0	10 Month	Month				Month/ Century	01–12 + Century
06H	10 Year			Year				Year	Year	00–99
07H	A1M1	10 Seconds			Seconds				Alarm 1 Seconds	00–59
08H	A1M2	10 Minutes			Minutes				Alarm 1 Minutes	00–59
09H	A1M3	12/24	AM/PM 10 Hour	10 Hour	Hour				Alarm 1 Hours	1–12 + AM/PM 00–23
0AH	A1M4	DY/DT	10 Date		Day				Alarm 1 Day	1–7
					Date				Alarm 1 Date	1–31
0BH	A2M2	10 Minutes			Minutes				Alarm 2 Minutes	00–59
0CH	A2M3	12/24	AM/PM 10 Hour	10 Hour	Hour				Alarm 2 Hours	1–12 + AM/PM 00–23
0DH	A2M4	DY/DT	10 Date		Day				Alarm 2 Day	1–7
					Date				Alarm 2 Date	1–31
0EH	EOSC	BBSQW	CONV	RS2	RS1	INTCN	A2IE	A1IE	Control	—
0FH	OSF	0	0	0	EN32kHz	BSY	A2F	A1F	Control/Status	—
10H	SIGN	DATA	DATA	DATA	DATA	DATA	DATA	DATA	Aging Offset	—
11H	SIGN	DATA	DATA	DATA	DATA	DATA	DATA	DATA	MSB of Temp	—
12H	DATA	DATA	0	0	0	0	0	0	LSB of Temp	—

**Note:** Unless otherwise specified, the registers' state is not defined when power is first applied.

DS3231 I<sup>2</sup>C interface may be placed into a known state by toggling SCL until SDA is observed to be at a high level. At that point the microcontroller should pull SDA low while SCL is high, generating a START condition.

## Clock and Calendar

The time and calendar information is obtained by reading the appropriate register bytes. Figure 1 illustrates the RTC registers. The time and calendar data are set or initialized by writing the appropriate register bytes. The contents of the time and calendar registers are in the binary-coded decimal (BCD) format. The DS3231 can be run in either 12-hour or 24-hour mode. Bit 6 of the hours register is defined as the 12- or 24-hour mode select bit. When high, the 12-hour mode is selected. In the 12-hour mode, bit 5 is the AM/PM bit with logic-high being PM. In the 24-hour mode, bit 5 is the second 10-hour bit (20–23

hours). The century bit (bit 7 of the month register) is toggled when the years register overflows from 99 to 00.

The day-of-week register increments at midnight. Values that correspond to the day of week are user-defined but must be sequential (i.e., if 1 equals Sunday, then 2 equals Monday, and so on). Illogical time and date entries result in undefined operation.

When reading or writing the time and date registers, secondary (user) buffers are used to prevent errors when the internal registers update. When reading the time and date registers, the user buffers are synchronized to the internal registers on any START and when the register pointer rolls over to zero. The time information is read from these secondary registers, while the clock continues to run. This eliminates the need to reread the registers in case the main registers update during a read.

# Extremely Accurate I<sup>2</sup>C-Integrated RTC/TCXO/Crystal

The countdown chain is reset whenever the seconds register is written. Write transfers occur on the acknowledge from the DS3231. Once the countdown chain is reset, to avoid rollover issues the remaining time and date registers must be written within 1 second. The 1Hz square-wave output, if enabled, transitions high 500ms after the seconds data transfer, provided the oscillator is already running.

## Alarms

The DS3231 contains two time-of-day/date alarms. Alarm 1 can be set by writing to registers 07h to 0Ah. Alarm 2 can be set by writing to registers 0Bh to 0Dh. The alarms can be programmed (by the alarm enable and INTCN bits of the control register) to activate the INT/SQW output on an alarm match condition. Bit 7 of each of the time-of-day/date alarm registers are mask bits (Table 2). When all the mask bits for each alarm are logic 0, an alarm only occurs when the values in the timekeeping registers match the corresponding values

stored in the time-of-day/date alarm registers. The alarms can also be programmed to repeat every second, minute, hour, day, or date. Table 2 shows the possible settings. Configurations not listed in the table will result in illogical operation.

The DY/DT̄ bits (bit 6 of the alarm day/date registers) control whether the alarm value stored in bits 0 to 5 of that register reflects the day of the week or the date of the month. If DY/DT̄ is written to logic 0, the alarm will be the result of a match with date of the month. If DY/DT̄ is written to logic 1, the alarm will be the result of a match with day of the week.

When the RTC register values match alarm register settings, the corresponding Alarm Flag 'A1F' or 'A2F' bit is set to logic 1. If the corresponding Alarm Interrupt Enable 'A1IE' or 'A2IE' is also set to logic 1 and the INTCN bit is set to logic 1, the alarm condition will activate the INT/SQW signal. The match is tested on the once-per-second update of the time and date registers.

**Table 2. Alarm Mask Bits**

DY/DT̄	ALARM 1 REGISTER MASK BITS (BIT 7)				ALARM RATE
	A1M4	A1M3	A1M2	A1M1	
X	1	1	1	1	Alarm once per second
X	1	1	1	0	Alarm when seconds match
X	1	1	0	0	Alarm when minutes and seconds match
X	1	0	0	0	Alarm when hours, minutes, and seconds match
0	0	0	0	0	Alarm when date, hours, minutes, and seconds match
1	0	0	0	0	Alarm when day, hours, minutes, and seconds match
DY/DT̄	ALARM 2 REGISTER MASK BITS (BIT 7)			ALARM RATE	
	A2M4	A2M3	A2M2		
X	1	1	1	Alarm once per minute (00 seconds of every minute)	
X	1	1	0	Alarm when minutes match	
X	1	0	0	Alarm when hours and minutes match	
0	0	0	0	Alarm when date, hours, and minutes match	
1	0	0	0	Alarm when day, hours, and minutes match	

# Extremely Accurate I<sup>2</sup>C-Integrated RTC/TCXO/Crystal

DS3231

## Control Register (0Eh)

BIT 7	BIT 6	BIT 5	BIT 4	BIT 3	BIT 2	BIT 1	BIT 0
$\overline{\text{EOSC}}$	BBSQW	CONV	RS2	RS1	INTCN	A2IE	A1IE

## Special-Purpose Registers

The DS3231 has two additional registers (control and status) that control the real-time clock, alarms, and square-wave output.

### Control Register (0Eh)

**Bit 7: Enable Oscillator ( $\overline{\text{EOSC}}$ ).** When set to logic 0, the oscillator is started. When set to logic 1, the oscillator is stopped when the DS3231 switches to V<sub>BAT</sub>. This bit is clear (logic 0) when power is first applied. When the DS3231 is powered by V<sub>CC</sub>, the oscillator is always on regardless of the status of the  $\overline{\text{EOSC}}$  bit.

**Bit 6: Battery-Backed Square-Wave Enable (BBSQW).** When set to logic 1 and the DS3231 is being powered by the V<sub>BAT</sub> pin, this bit enables the square-wave or interrupt output when V<sub>CC</sub> is absent. When BBSQW is logic 0, the INT/SQW pin goes high impedance when V<sub>CC</sub> falls below the power-fail trip point. This bit is disabled (logic 0) when power is first applied.

**Bit 5: Convert Temperature (CONV).** Setting this bit to 1 forces the temperature sensor to convert the temperature into digital code and execute the TCXO algorithm to update the capacitance array to the oscillator. This can only happen when a conversion is not already in progress. The user should check the status bit BSY before forcing the controller to start a new TCXO execution. A user-initiated temperature conversion does not affect the internal 64-second update cycle.

A user-initiated temperature conversion does not affect the BSY bit for approximately 2ms. The CONV bit remains at a 1 from the time it is written until the conversion is finished, at which time both CONV and BSY go to 0. The CONV bit should be used when monitoring the status of a user-initiated conversion.

**Bits 4 and 3: Rate Select (RS2 and RS1).** These bits control the frequency of the square-wave output when the square wave has been enabled. The following table shows the square-wave frequencies that can be selected with the RS bits. These bits are both set to logic 1 (8.192kHz) when power is first applied.

### SQUARE-WAVE OUTPUT FREQUENCY

RS2	RS1	SQUARE-WAVE OUTPUT FREQUENCY
0	0	1Hz
0	1	1.024kHz
1	0	4.096kHz
1	1	8.192kHz

**Bit 2: Interrupt Control (INTCN).** This bit controls the  $\overline{\text{INT/SQW}}$  signal. When the INTCN bit is set to logic 0, a square wave is output on the  $\overline{\text{INT/SQW}}$  pin. When the INTCN bit is set to logic 1, then a match between the timekeeping registers and either of the alarm registers activates the  $\overline{\text{INT/SQW}}$  output (if the alarm is also enabled). The corresponding alarm flag is always set regardless of the state of the INTCN bit. The INTCN bit is set to logic 1 when power is first applied.

**Bit 1: Alarm 2 Interrupt Enable (A2IE).** When set to logic 1, this bit permits the alarm 2 flag (A2F) bit in the status register to assert  $\overline{\text{INT/SQW}}$  (when INTCN = 1). When the A2IE bit is set to logic 0 or INTCN is set to logic 0, the A2F bit does not initiate an interrupt signal. The A2IE bit is disabled (logic 0) when power is first applied.

**Bit 0: Alarm 1 Interrupt Enable (A1IE).** When set to logic 1, this bit permits the alarm 1 flag (A1F) bit in the status register to assert  $\overline{\text{INT/SQW}}$  (when INTCN = 1). When the A1IE bit is set to logic 0 or INTCN is set to logic 0, the A1F bit does not initiate the  $\overline{\text{INT/SQW}}$  signal. The A1IE bit is disabled (logic 0) when power is first applied.

# Extremely Accurate I<sup>2</sup>C-Integrated RTC/TCXO/Crystal

## Status Register (0Fh)

BIT 7	BIT 6	BIT 5	BIT 4	BIT 3	BIT 2	BIT 1	BIT 0
OSF	0	0	0	EN32kHz	BSY	A2F	A1F

### Status Register (0Fh)

**Bit 7: Oscillator Stop Flag (OSF).** A logic 1 in this bit indicates that the oscillator either is stopped or was stopped for some period and may be used to judge the validity of the timekeeping data. This bit is set to logic 1 any time that the oscillator stops. The following are examples of conditions that can cause the OSF bit to be set:

- 1) The first time power is applied.
- 2) The voltages present on both V<sub>CC</sub> and V<sub>BAT</sub> are insufficient to support oscillation.
- 3) The  $\overline{EOSC}$  bit is turned off in battery-backed mode.
- 4) External influences on the crystal (i.e., noise, leakage, etc.).

This bit remains at logic 1 until written to logic 0.

**Bit 3: Enable 32kHz Output (EN32kHz).** This bit controls the status of the 32kHz pin. When set to logic 1, the 32kHz pin is enabled and outputs a 32.768kHz square-wave signal. When set to logic 0, the 32kHz pin goes to a high-impedance state. The initial power-up state of this bit is logic 1, and a 32.768kHz square-wave signal appears at the 32kHz pin after a power source is applied to the DS3231 (if the oscillator is running).

**Bit 2: Busy (BSY).** This bit indicates the device is busy executing TCXO functions. It goes to logic 1 when the conversion signal to the temperature sensor is asserted and then is cleared when the device is in the 1-minute idle state.

**Bit 1: Alarm 2 Flag (A2F).** A logic 1 in the alarm 2 flag bit indicates that the time matched the alarm 2 registers. If the A2IE bit is logic 1 and the INTCN bit is set to logic 1, the INT/SQW pin is also asserted. A2F is

cleared when written to logic 0. This bit can only be written to logic 0. Attempting to write to logic 1 leaves the value unchanged.

**Bit 0: Alarm 1 Flag (A1F).** A logic 1 in the alarm 1 flag bit indicates that the time matched the alarm 1 registers. If the A1IE bit is logic 1 and the INTCN bit is set to logic 1, the INT/SQW pin is also asserted. A1F is cleared when written to logic 0. This bit can only be written to logic 0. Attempting to write to logic 1 leaves the value unchanged.

## Aging Offset

The crystal aging offset register provides an 8-bit code to add to the codes in the capacitance array registers. The code is encoded in two's complement. One LSB represents one small capacitor to be switched in or out of the capacitance array at the crystal pins. The offset register is added to the capacitance array register under the following conditions: during a normal temperature conversion, if the temperature changes from the previous conversion, or during a manual user conversion (setting the CONV bit). To see the effects of the aging register on the 32kHz output frequency immediately, a manual conversion should be started after each aging register change.

Positive aging values add capacitance to the array, slowing the oscillator frequency. Negative values remove capacitance from the array, increasing the oscillator frequency.

The change in ppm per LSB is different at different temperatures. The frequency vs. temperature curve is shifted by the values used in this register. At +25°C, one LSB typically provides about 0.1ppm change in frequency.

## Aging Offset (10h)

BIT 7	BIT 6	BIT 5	BIT 4	BIT 3	BIT 2	BIT 1	BIT 0
Sign	Data	Data	Data	Data	Data	Data	Data

# Extremely Accurate I<sup>2</sup>C-Integrated RTC/TCXO/Crystal

DS3231

## Temperature Register (Upper Byte) (11h)

BIT 7	BIT 6	BIT 5	BIT 4	BIT 3	BIT 2	BIT 1	BIT 0
Sign	Data	Data	Data	Data	Data	Data	Data

## Temperature Register (Lower Byte) (12h)

BIT 7	BIT 6	BIT 5	BIT 4	BIT 3	BIT 2	BIT 1	BIT 0
Data	Data	0	0	0	0	0	0

### Temperature Registers (11h–12h)

Temperature is represented as a 10-bit code with a resolution of +0.25°C and is accessible at location 11h and 12h. The temperature is encoded in two's complement format. The upper 8 bits are at location 11h and the lower 2 bits are in the upper nibble at location 12h. Upon power reset, the registers are set to a default temperature of 0°C and the controller starts a temperature conversion. New temperature readings are stored in this register.

### I<sup>2</sup>C Serial Data Bus

The DS3231 supports a bidirectional I<sup>2</sup>C bus and data transmission protocol. A device that sends data onto the bus is defined as a transmitter and a device receiving data is defined as a receiver. The device that controls the message is called a master. The devices that are controlled by the master are slaves. The bus must be controlled by a master device that generates the serial clock (SCL), controls the bus access, and generates the START and STOP conditions. The DS3231 operates as a slave on the I<sup>2</sup>C bus. Connections to the bus are made through the SCL input and open-drain SDA I/O lines. Within the bus specifications, a standard mode (100kHz maximum clock rate) and a fast mode (400kHz maximum clock rate) are defined. The DS3231 works in both modes.

The following bus protocol has been defined (Figure 2):

- Data transfer may be initiated only when the bus is not busy.
- During data transfer, the data line must remain stable whenever the clock line is high. Changes in the data line while the clock line is high are interpreted as control signals.

Accordingly, the following bus conditions have been defined:

**Bus not busy:** Both data and clock lines remain high.

**Start data transfer:** A change in the state of the data line from high to low, while the clock line is high, defines a START condition.

**Stop data transfer:** A change in the state of the data line from low to high, while the clock line is high, defines a STOP condition.

**Data valid:** The state of the data line represents valid data when, after a START condition, the data line is stable for the duration of the high period of the clock signal. The data on the line must be changed during the low period of the clock signal. There is one clock pulse per bit of data.

Each data transfer is initiated with a START condition and terminated with a STOP condition. The number of data bytes transferred between the START and the STOP conditions is not limited, and is determined by the master device. The information is transferred byte-wise and each receiver acknowledges with a ninth bit.

**Acknowledge:** Each receiving device, when addressed, is obliged to generate an acknowledge after the reception of each byte. The master device must generate an extra clock pulse, which is associated with this acknowledge bit.

A device that acknowledges must pull down the SDA line during the acknowledge clock pulse in such a way that the SDA line is stable low during the high period of the acknowledge-related clock pulse. Of course, setup and hold times must be taken into account. A master must signal an end of data to the slave by not generating an acknowledge bit on the last byte that has been clocked out of the slave. In this case, the slave must leave the data line high to enable the master to generate the STOP condition.

# Extremely Accurate I<sup>2</sup>C-Integrated RTC/TCXO/Crystal

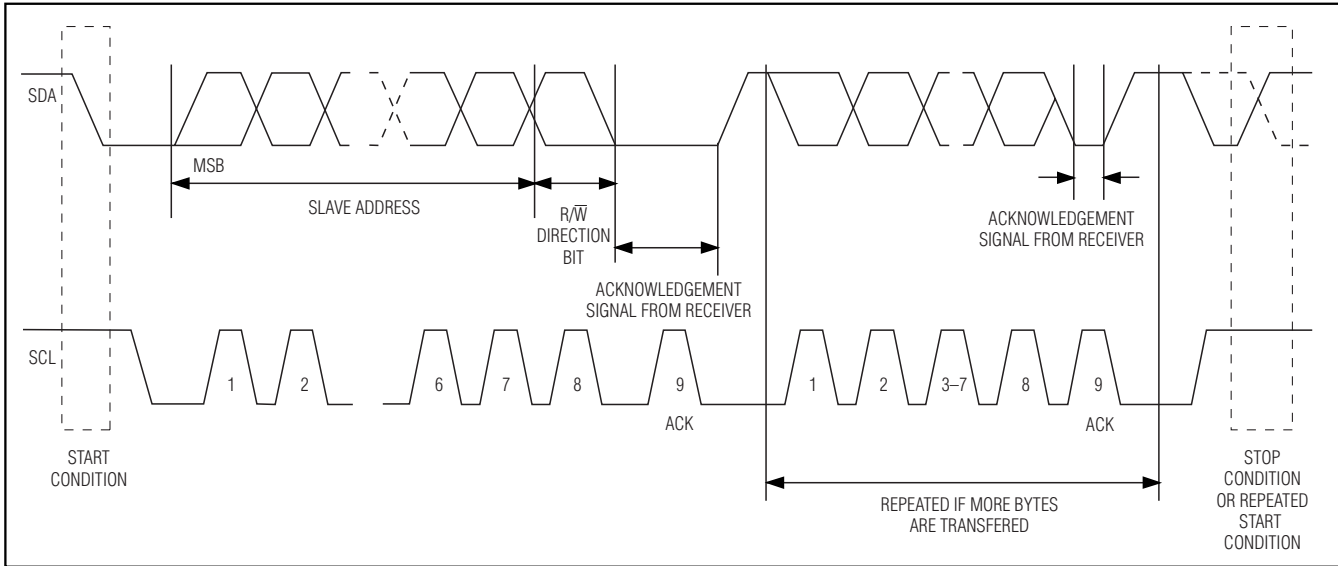


Figure 2. I<sup>2</sup>C Data Transfer Overview

Figures 3 and 4 detail how data transfer is accomplished on the I<sup>2</sup>C bus. Depending upon the state of the R/W bit, two types of data transfer are possible:

**Data transfer from a master transmitter to a slave receiver.** The first byte transmitted by the master is the slave address. Next follows a number of data bytes. The slave returns an acknowledge bit after each received byte. Data is transferred with the most significant bit (MSB) first.

**Data transfer from a slave transmitter to a master receiver.** The first byte (the slave address) is transmitted by the master. The slave then returns an acknowledge bit. Next follows a number of data bytes transmitted by the slave to the master. The master returns an acknowledge bit after all received bytes other than the last byte. At the end of the last received byte, a not acknowledge is returned.

The master device generates all the serial clock pulses and the START and STOP conditions. A transfer is ended with a STOP condition or with a repeated START condition. Since a repeated START condition is also the beginning of the next serial transfer, the bus will not be released. Data is transferred with the most significant bit (MSB) first.

The DS3231 can operate in the following two modes:

**Slave receiver mode (DS3231 write mode):** Serial data and clock are received through SDA and SCL. After each byte is received, an acknowledge bit is transmitted. START and STOP conditions are recognized as the beginning and end of a serial transfer.

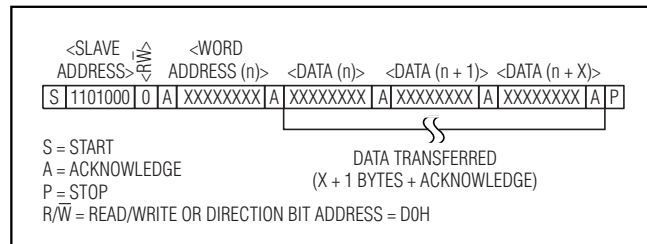


Figure 3. Slave Receiver Mode (Write Mode)

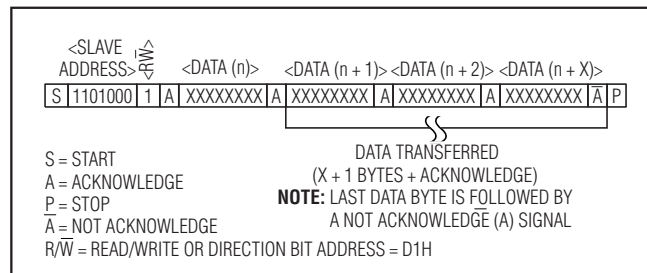


Figure 4. Slave Transmitter Mode (Read Mode)

Address recognition is performed by hardware after reception of the slave address and direction bit. The slave address byte is the first byte received after the master generates the START condition. The slave address byte contains the 7-bit DS3231 address, which is 1101000, followed by the direction bit (R/W), which is 0 for a write. After receiving and decoding the slave address byte, the DS3231 outputs an

# Extremely Accurate I<sup>2</sup>C-Integrated RTC/TCXO/Crystal

DS3231

acknowledge on SDA. After the DS3231 acknowledges the slave address + write bit, the master transmits a word address to the DS3231. This sets the register pointer on the DS3231, with the DS3231 acknowledging the transfer. The master may then transmit zero or more bytes of data, with the DS3231 acknowledging each byte received. The register pointer increments after each data byte is transferred. The master generates a STOP condition to terminate the data write.

**Slave transmitter mode (DS3231 read mode):** The first byte is received and handled as in the slave receiver mode. However, in this mode, the direction bit indicates that the transfer direction is reversed. Serial data is transmitted on SDA by the DS3231 while the serial clock is input on SCL. START and STOP conditions are recognized as the beginning and end of a serial transfer. Address recognition is performed by hardware after reception of the slave address and direction bit. The slave address byte is the first byte received after the master generates a START condition. The slave address byte contains the 7-bit DS3231 address, which is 1101000, followed by the direction bit ( $R/\bar{W}$ ), which is 1 for a read. After receiving and decoding the slave address byte, the DS3231 outputs an acknowledge on SDA. The DS3231 then begins to transmit data starting with the register address pointed to by the register pointer. If the register pointer is not written to before the initiation of a read mode, the first address that is read is the last one stored in the register pointer. The DS3231 must receive a not acknowledge to end a read.

## Handling, PC Board Layout, and Assembly

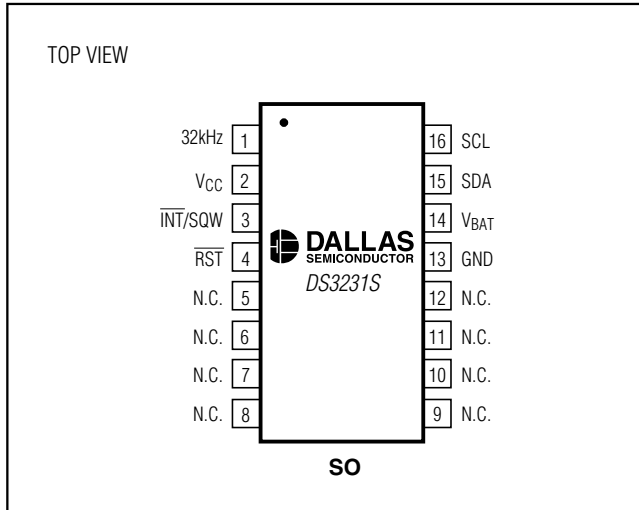
The DS3231 package contains a quartz tuning-fork crystal. Pick-and-place equipment can be used, but precautions should be taken to ensure that excessive shocks are avoided. Ultrasonic cleaning should be avoided to prevent damage to the crystal.

Avoid running signal traces under the package, unless a ground plane is placed between the package and the signal line. All N.C. (no connect) pins must be connected to ground.

Moisture-sensitive packages are shipped from the factory dry packed. Handling instructions listed on the package label must be followed to prevent damage during reflow. See IPC/JEDEC J-STD-020 standard for moisture-sensitive device (MSD) classifications and reflow profiles. Exposure to reflow is limited to 2 times maximum.

# Extremely Accurate I<sup>2</sup>C-Integrated RTC/TCXO/Crystal

## Pin Configuration



## Chip Information

TRANSISTOR COUNT: 33,000  
SUBSTRATE CONNECTED TO GROUND  
PROCESS: CMOS

## Thermal Information

Theta-JA: +73°C/W  
Theta-JC: +23°C/W



# Extremely Accurate I<sup>2</sup>C-Integrated RTC/TCXO/Crystal

## Package Information

(The package drawing(s) in this data sheet may not reflect the most current specifications. For the latest package outline information, go to [www.maxim-ic.com/DallasPackInfo](http://www.maxim-ic.com/DallasPackInfo).)

DS3231

LTR		MIN	MAX										
A	IN. MM	0.094 2.39	0.105 2.67										
A1	IN. MM	0.004 0.102	0.012 0.30										
A2	IN. MM	0.089 2.26	0.095 2.41										
b	IN. MM	0.013 0.33	0.020 0.51										
C	IN.	0.009	0.013	16 PIN		18 PIN		20 PIN		24 PIN		28 PIN	
	MM	0.229	0.33	MIN	MAX	MIN	MAX	MIN	MAX	MIN	MAX	MIN	MAX
D	IN. MM	→		0.398 10.11	0.412 10.46	0.448 11.38	0.462 11.73	0.498 12.65	0.511 12.99	0.598 15.19	0.612 15.54	0.698 17.73	0.712 18.08
e	IN. MM	.050 1.27	BSC BSC										
E1	IN. MM	0.290 7.37	0.300 7.62										
H	IN. MM	0.398 10.11	0.416 10.57										
L	IN. MM	0.016 0.40	0.040 1.02										
θ		0°	8°										

REVISIONS			
LTR	DESCRIPTION	DATE	APPROVED
A	NEW DRAWING	5/18	J.W.
B	INC. ECN NO. 8680		

THE CHAMFER ON THE BODY IS OPTIONAL.  
IF IT IS NOT PRESENT, A TERMINAL 1 IDENTIFIER  
MUST BE POSITIONED SO THAT 1/2 OR MORE OF  
IT'S AREA IS CONTAINED IN THE HATCHED ZONE.

SIGNATURE	DATE	
DOC. CONTROL: J.WILKINS	5/94	
ENGR. MGR: B.W.MCARTY	5/94	TITLE
MFG. ENGR: C.M.SELLS	5/94	PACKAGE OUTLINE .300" SOIC 16,18,20,24&28 LD.
CHECKED BY: C.M.SELLS	5/94	SIZE
DRAWN BY: M.W.C.	5/94	FSCM NO
DO NOT SCALE DWG.		PART NO. 56-G4009-001
SCALE N/A		REV B
		SHEET 1 OF 1

# Extremely Accurate I<sup>2</sup>C-Integrated RTC/TCXO/Crystal

## Revision History

- Rev 0; 1/05: Initial data sheet release.
- Rev 1; 2/05: (pages 1, 3) Changed Digital Temp Sensor Output from  $\pm 2^{\circ}\text{C}$  to  $\pm 3^{\circ}\text{C}$   
(page 1) Updated *Typical Operating Circuit*  
(pages 2, 3, 4) Changed  $T_A = -40^{\circ}\text{C}$  to  $+85^{\circ}\text{C}$  to  $T_A = T_{\text{MIN}}$  to  $T_{\text{MAX}}$ .  
(page 8) Updated *Block Diagram*.
- Rev 2; 6/05: (page 1) Added "UL Recognized" to *Features*; added lead-free packages and removed S from top mark info in *Ordering Information* table; added ground connections to the N.C. pin in the *Typical Operating Circuit*.  
(page 2) Added "noncondensing" to operating temperature range; changed  $V_{\text{PF}}$  MIN from 2.35V to 2.45V.  
(page 3) Added aging offset specification.  
(page 7) Relabeled TOC4.  
(page 8) Added arrow showing input on X1 in the *Block Diagram*.  
(page 9) Updated pin descriptions for VCC and VBAT.  
(page 10) Added the *I<sup>2</sup>C Interface* section.  
(page 11) *Figure 1*: Added sign bit to aging and temperature registers; added MSB and LSB.  
(page 13) Corrected title for rate select bits frequency table.  
(page 14) Added note that frequency stability over temperature spec is with aging offset register = 00h; changed bit 7 from Data to Sign (Crystal Aging Offset Register).  
(page 15) Changed bit 7 from Data to Sign (Temperature Register); correct pin definitions in *I<sup>2</sup>C Serial Data Bus* section.  
(page 17) Modified the *Handling, PC Board Layout, and Assembly* section to refer to J-STD-020 for reflow profiles for lead-free and leaded packages.
- Rev 3; 11/05: (page 1) Changed lead-free packages to RoHS-compliant packages.
- Rev 4; 10/06: (page 1) Changed  $\overline{\text{RST}}$  and UL bullets in *Features*.  
(pages 2, 3) Changed EC condition " $V_{\text{CC}} > V_{\text{BAT}}$ " to " $V_{\text{CC}} = \text{Active Supply}$  (see Table 1)."  
(page 6) Modified Note 12 to correct  $t_{\text{REC}}$  operation.  
(page 7) Added various conditions text to TOCs 1, 2, and 3.  
(page 9) Added text to pin descriptions for 32kHz, VCC, and  $\overline{\text{RST}}$ .  
(page 10) Table 1: Changed column heading "Powered By" to "Active Supply"; changed "applied" to "exceeds  $V_{\text{PF}}$ " in the *Power Control* section.  
(page 13) Indicated BBSQW applies to both SQW and interrupts; simplified temp convert description (bit 5); added "output" to  $\overline{\text{INT}}/\text{SQW}$  (bit 2).  
(page 14) Changed the *Crystal Aging* section to the *Aging Offset* section; changed "this bit indicates" to "this bit controls" for the enable 32kHz output bit.

Maxim cannot assume responsibility for use of any circuitry other than circuitry entirely embodied in a Maxim product. No circuit patent licenses are implied. Maxim reserves the right to change the circuitry and specifications without notice at any time.

20 **Maxim Integrated Products, 120 San Gabriel Drive, Sunnyvale, CA 94086 408-737-7600**

© 2006 Maxim Integrated Products

**MAXIM** is a registered trademark of Maxim Integrated Products, Inc.

**DALLAS SEMICONDUCTOR** is a registered trademark of Dallas Semiconductor Corporation.

## FS23

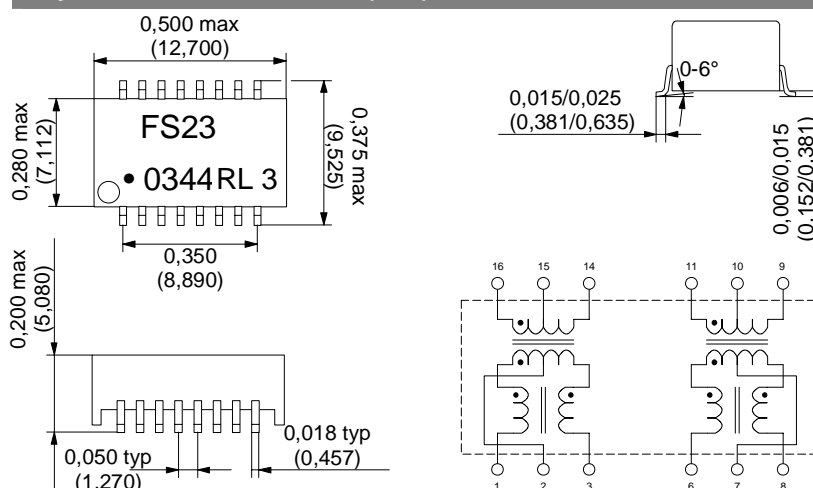
Ethernet Transformer 10/100Base-TX Magnetic Module Meets requirements of IEEE 802.3 IPC@CHIP SC13 compatible

### Technical data

Isolation	1,500 Vrms
OCL @ 100 KHz, 8 mA	350 $\mu$ H min
CMR (0.1-100 MHz)	-40 dB typ
Cross Talk (0.1-100 MHz)	-40dB min
Insertion Loss (0.1-100 MHz)	-1.1 dB max
Return Loss	
0.5-30 MHz	-18 dB min
40MHz	-15.d dB min
50MHz	-13.6 dB min
60-80 MHz	-12 dB min
Turn Ratio +/-3%	
(1-3:16-14) / (6-8:11-9)	(1CT:1CT) / (1CT:1CT)
PRI/SEC Cw/w	15 pF typ
PRI LL	0.4 $\mu$ H max
PRI DDCR	1.5 Ohm max
Operating temperature (T <sub>A</sub> )	-25°C to +85°C
Package	SOIC 16 (lead free; RoHS compliant marked with RL)
Soldering	IEC J-STD-020C. Reflow soldering only.



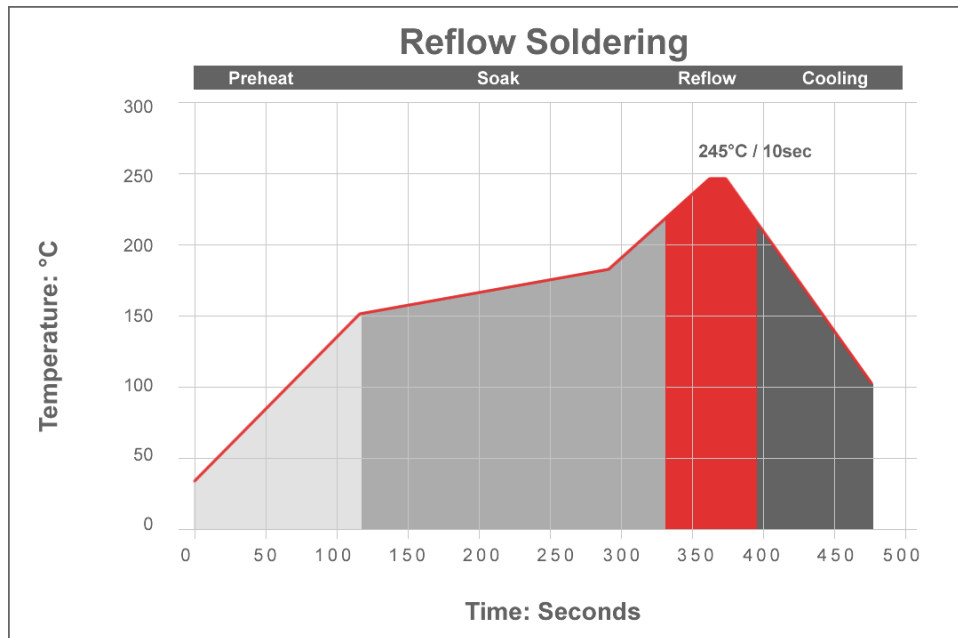
### Physical dimensions: Inch (mm)



### Ordering information

Order-No.: 538431

The following IPC/JEDEC J-STD-020C compatible reflow and wave soldering profiles are recommended for processing Pb-Free surface mount and through-hole products. SMT products are tested to withstand maximum peak temperature up to 260°C.



Maximum duration of peak temperature shall not exceed 10 seconds.  
 Maximum duration of temperatur above 217°C shall not exceed 90 second.  
 Maximum ramp rate up 3°C/down 6°C per second.

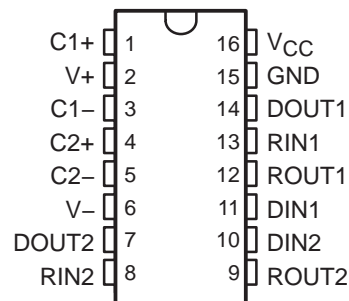
# MAX202

## 5-V DUAL RS-232 LINE DRIVER/RECEIVER WITH $\pm 15$ -kV ESD PROTECTION

SLLS576D – JULY 2003 – REVISED JANUARY 2004

- **ESD Protection for RS-232 Bus Pins**
  - $\pm 15$ -kV – Human-Body Model
- **Meets or Exceeds the Requirements of TIA/EIA-232-F and ITU v.28 Standards**
- **Operates at 5-V  $V_{CC}$  Supply**
- **Operates Up To 120 kbit/s**
- **External Capacitors . . .  $4 \times 0.1 \mu\text{F}$**
- **Latch-Up Performance Exceeds 100 mA Per JESD 78, Class II**
- **Applications**
  - Battery-Powered Systems, PDAs, Notebooks, Laptops, Palmtop PCs, and Hand-Held Equipment

D, DW, N, OR PW PACKAGE  
(TOP VIEW)



### description/ordering information

The MAX202 device consists of two line drivers, two line receivers, and a dual charge-pump circuit with  $\pm 15$ -kV ESD protection pin to pin (serial-port connection pins, including GND). The device meets the requirements of TIA/EIA-232-F and provides the electrical interface between an asynchronous communication controller and the serial-port connector. The charge pump and four small external capacitors allow operation from a single 5-V supply. The device operates at data signaling rates up to 120 kbit/s and a maximum of 30-V/ $\mu\text{s}$  driver output slew rate.

### ORDERING INFORMATION

T <sub>A</sub>	PACKAGE†		ORDERABLE PART NUMBER	TOP-SIDE MARKING
0°C to 70°C	PDIP (N)	Tube of 25	MAX202CN	MAX202C
	SOIC (D)	Tube of 40	MAX202CD	MAX202C
		Reel of 2500	MAX202CDR	
	SOIC (DW)	Tube of 40	MAX202CDW	MAX202C
		Reel of 2000	MAX202CDWR	
	TSSOP (PW)	Tube of 90	MAX202CPW	MAX202C
Reel of 2000		MAX202CPWR		
-40°C to 85°C	PDIP (N)	Tube of 25	MAX202IN	MAX202I
	SOIC (D)	Tube of 40	MAX202ID	MAX202I
		Reel of 2500	MAX202IDR	
	SOIC (DW)	Tube of 40	MAX202IDW	MAX202I
		Reel of 2000	MAX202IDWR	
	TSSOP (PW)	Tube of 90	MAX202IPW	MAX202I
Reel of 2000		MAX202IPWR		

† Package drawings, standard packing quantities, thermal data, symbolization, and PCB design guidelines are available at [www.ti.com/sc/package](http://www.ti.com/sc/package).



Please be aware that an important notice concerning availability, standard warranty, and use in critical applications of Texas Instruments semiconductor products and disclaimers thereto appears at the end of this data sheet.

**PRODUCTION DATA** information is current as of publication date. Products conform to specifications per the terms of Texas Instruments standard warranty. Production processing does not necessarily include testing of all parameters.

**TEXAS  
INSTRUMENTS**

POST OFFICE BOX 655303 • DALLAS, TEXAS 75265

Copyright © 2004, Texas Instruments Incorporated

**MAX202**  
**5-V DUAL RS-232 LINE DRIVER/RECEIVER**  
**WITH  $\pm 15$ -kV ESD PROTECTION**

SLLS576D – JULY 2003 – REVISED JANUARY 2004

**Function Tables**

**EACH DRIVER**

INPUT D <sub>IN</sub>	OUTPUT D <sub>OUT</sub>
L	H
H	L

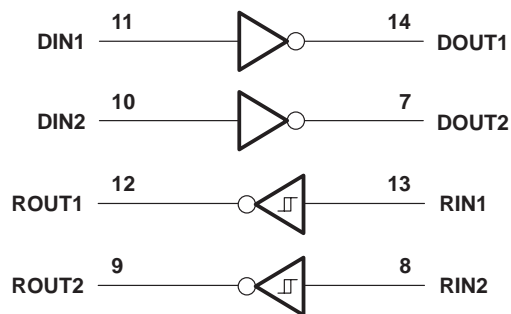
H = high level, L = low level

**EACH RECEIVER**

INPUT R <sub>IN</sub>	OUTPUT R <sub>OUT</sub>
L	H
H	L
Open	H

H = high level, L = low level, Open = input disconnected or connected driver off

**logic diagram (positive logic)**



# MAX202

## 5-V DUAL RS-232 LINE DRIVER/RECEIVER WITH $\pm 15$ -kV ESD PROTECTION

SLLS576D – JULY 2003 – REVISED JANUARY 2004

### absolute maximum ratings over operating free-air temperature range (unless otherwise noted)<sup>†</sup>

Supply voltage range, $V_{CC}$ (see Note 1)	–0.3 V to 6 V
Positive charge pump voltage range, $V_+$ (see Note 1)	$V_{CC} - 0.3$ V to 14 V
Negative charge pump voltage range, $V_-$ (see Note 1)	–14 V to 0.3 V
Input voltage range, $V_I$ : Drivers	–0.3 V to $V_+ + 0.3$ V
Receivers	$\pm 30$ V
Output voltage range, $V_O$ : Drivers	$V_- - 0.3$ V to $V_+ + 0.3$ V
Receivers	–0.3 V to $V_{CC} + 0.3$ V
Short-circuit duration: $D_{OUT}$	Continuous
Package thermal impedance, $\theta_{JA}$ (see Notes 2 and 3): D package	73°C/W
DW package	57°C/W
N package	67°C/W
PW package	108°C/W
Operating virtual junction temperature, $T_J$	150°C
Storage temperature range, $T_{stg}$	–65°C to 150°C

<sup>†</sup> Stresses beyond those listed under “absolute maximum ratings” may cause permanent damage to the device. These are stress ratings only, and functional operation of the device at these or any other conditions beyond those indicated under “recommended operating conditions” is not implied. Exposure to absolute-maximum-rated conditions for extended periods may affect device reliability.

NOTES: 1. All voltages are with respect to network GND.

2. Maximum power dissipation is a function of  $T_{J(max)}$ ,  $\theta_{JA}$ , and  $T_A$ . The maximum allowable power dissipation at any allowable ambient temperature is  $P_D = (T_{J(max)} - T_A)/\theta_{JA}$ . Operating at the absolute maximum  $T_J$  of 150°C can affect reliability.

3. The package thermal impedance is calculated in accordance with JESD 51-7.

### recommended operating conditions (see Note 4 and Figure 4)

		MIN	NOM	MAX	UNIT
Supply voltage		4.5	5	5.5	V
$V_{IH}$	Driver high-level input voltage	D <sub>IN</sub>		2	V
$V_{IL}$	Driver low-level input voltage	D <sub>IN</sub>		0.8	V
$V_I$	Driver input voltage	D <sub>IN</sub>		0	V
	Receiver input voltage	–30		30	
$T_A$	Operating free-air temperature	MAX202C		0	°C
		MAX202I		–40	

NOTE 4: Test conditions are C1–C4 = 0.1  $\mu$ F at  $V_{CC} = 5$  V  $\pm$  0.5 V.

### electrical characteristics over recommended ranges of supply voltage and operating free-air temperature (unless otherwise noted) (see Note 4 and Figure 4)

PARAMETER		TEST CONDITIONS		MIN	TYP <sup>‡</sup>	MAX	UNIT
$I_{CC}$	Supply current	No load, $V_{CC} = 5$ V			8	15	mA

<sup>‡</sup> All typical values are at  $V_{CC} = 5$  V, and  $T_A = 25^\circ\text{C}$ .

NOTE 4: Test conditions are C1–C4 = 0.1  $\mu$ F at  $V_{CC} = 5$  V  $\pm$  0.5 V.



**MAX202**  
**5-V DUAL RS-232 LINE DRIVER/RECEIVER**  
**WITH ±15-kV ESD PROTECTION**

SLLS576D – JULY 2003 – REVISED JANUARY 2004

**DRIVER SECTION**

**electrical characteristics over recommended ranges of supply voltage and operating free-air temperature (unless otherwise noted) (see Note 4 and Figure 4)**

PARAMETER		TEST CONDITIONS	MIN	TYP†	MAX	UNIT
V <sub>OH</sub>	High-level output voltage	D <sub>OUT</sub> at R <sub>L</sub> = 3 kΩ to GND, D <sub>IN</sub> = GND	5	9		V
V <sub>OL</sub>	Low-level output voltage	D <sub>OUT</sub> at R <sub>L</sub> = 3 kΩ to GND, D <sub>IN</sub> = V <sub>CC</sub>	-5	-9		V
I <sub>IH</sub>	High-level input current	V <sub>I</sub> = V <sub>CC</sub>		15	200	μA
I <sub>IL</sub>	Low-level input current	V <sub>I</sub> at 0 V		-15	-200	μA
I <sub>OS</sub> ‡	Short-circuit output current	V <sub>CC</sub> = 5.5 V, V <sub>O</sub> = 0 V		±10	±60	mA
r <sub>o</sub>	Output resistance	V <sub>CC</sub> , V+, and V- = 0 V, V <sub>O</sub> = ±2 V	300			Ω

† All typical values are at V<sub>CC</sub> = 5 V, and T<sub>A</sub> = 25°C.

‡ Short-circuit durations should be controlled to prevent exceeding the device absolute power-dissipation ratings, and not more than one output should be shorted at a time.

NOTE 4: Test conditions are C1–C4 = 0.1 μF at V<sub>CC</sub> = 5 V ± 0.5 V.

**switching characteristics over recommended ranges of supply voltage and operating free-air temperature (unless otherwise noted) (see Note 4 and Figure 4)**

PARAMETER		TEST CONDITIONS	MIN	TYP†	MAX	UNIT
	Maximum data rate	C <sub>L</sub> = 50 to 1000 pF, R <sub>L</sub> = 3 kΩ to 7 kΩ, One D <sub>OUT</sub> switching, See Figure 1	120			kbit/s
t <sub>PLH</sub> (D)	Propagation delay time, low- to high-level output	C <sub>L</sub> = 2500 pF, R <sub>L</sub> = 3 kΩ, All drivers loaded, See Figure 1		2		μs
t <sub>PHL</sub> (D)	Propagation delay time, high- to low-level output	C <sub>L</sub> = 2500 pF, R <sub>L</sub> = 3 kΩ, All drivers loaded, See Figure 1		2		μs
t <sub>sk(p)</sub>	Pulse skew§	C <sub>L</sub> = 150 pF to 2500 pF, R <sub>L</sub> = 3 kΩ to 7 kΩ, See Figure 2		300		ns
SR(tr)	Slew rate, transition region (see Figure 1)	C <sub>L</sub> = 50 pF to 1000 pF, R <sub>L</sub> = 3 kΩ to 7 kΩ, V <sub>CC</sub> = 5 V	3	6	30	V/μs

† All typical values are at V<sub>CC</sub> = 5 V, and T<sub>A</sub> = 25°C.

§ Pulse skew is defined as |t<sub>PLH</sub> - t<sub>PHL</sub>| of each channel of the same device.

NOTE 4: Test conditions are C1–C4 = 0.1 μF at V<sub>CC</sub> = 5 V ± 0.5 V.

**ESD protection**

PIN	TEST CONDITIONS	TYP	UNIT
D <sub>OUT</sub> , R <sub>IN</sub>	Human-Body Model	±15	kV





## RECEIVER SECTION

electrical characteristics over recommended ranges of supply voltage and operating free-air temperature (unless otherwise noted) (see Note 4 and Figure 4)

PARAMETER	TEST CONDITIONS	MIN	TYP†	MAX	UNIT
V <sub>OH</sub> High-level output voltage	I <sub>OH</sub> = -1 mA	3.5V	V <sub>CC</sub> -0.4 V		V
V <sub>OL</sub> Low-level output voltage	I <sub>OL</sub> = 1.6 mA			0.4	V
V <sub>IT+</sub> Positive-going input threshold voltage	V <sub>CC</sub> = 5 V, T <sub>A</sub> = 25°C		1.7	2.4	V
V <sub>IT-</sub> Negative-going input threshold voltage	V <sub>CC</sub> = 5 V, T <sub>A</sub> = 25°C	0.8	1.2		V
V <sub>hys</sub> Input hysteresis (V <sub>IT+</sub> - V <sub>IT-</sub> )		0.2	0.5	1	V
r <sub>i</sub> Input resistance	V <sub>I</sub> = ±3 V to ±25 V	3	5	7	kΩ

† All typical values are at V<sub>CC</sub> = 5 V, and T<sub>A</sub> = 25°C.

NOTE 4: Test conditions are C1–C4 = 0.1 μF at V<sub>CC</sub> = 5 V ± 0.5 V.

switching characteristics over recommended ranges of supply voltage and operating free-air temperature (unless otherwise noted) (see Note 4 and Figure 3)

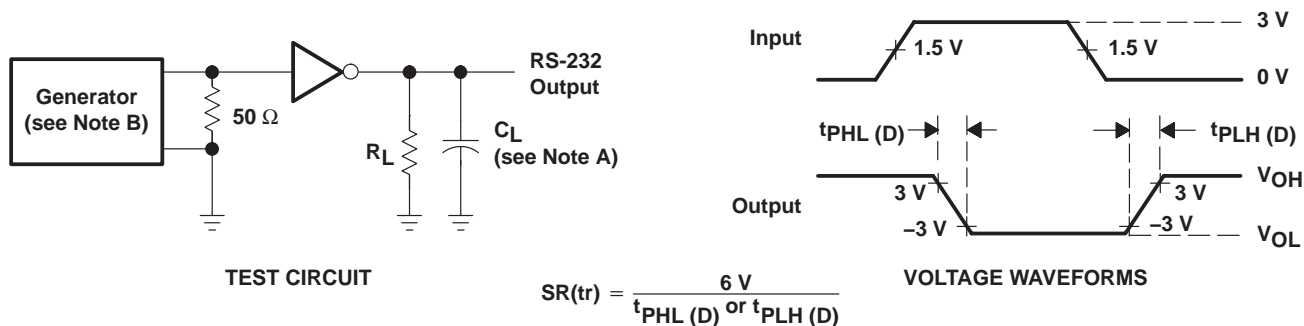
PARAMETER	TEST CONDITIONS	MIN	TYP†	MAX	UNIT
t <sub>PLH</sub> (R) Propagation delay time, low- to high-level output	C <sub>L</sub> = 150 pF		0.5	10	μs
t <sub>PHL</sub> (R) Propagation delay time, high- to low-level output	C <sub>L</sub> = 150 pF		0.5	10	μs
t <sub>sk(p)</sub> Pulse skew‡			300		ns

† All typical values are at V<sub>CC</sub> = 5 V, and T<sub>A</sub> = 25°C.

‡ Pulse skew is defined as |t<sub>PLH</sub> - t<sub>PHL</sub>| of each channel of the same device.

NOTE 4: Test conditions are C1–C4 = 0.1 μF, at V<sub>CC</sub> = 5 V ± 0.5 V.

## PARAMETER MEASUREMENT INFORMATION



NOTES: A. C<sub>L</sub> includes probe and jig capacitance.

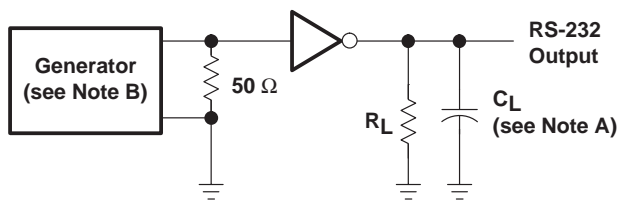
B. The pulse generator has the following characteristics: PRR = 120 kbit/s, Z<sub>O</sub> = 50 Ω, 50% duty cycle, t<sub>r</sub> ≤ 10 ns, t<sub>f</sub> ≤ 10 ns.

**Figure 1. Driver Slew Rate**

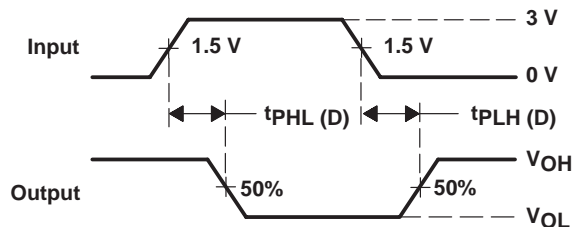
**MAX202**  
**5-V DUAL RS-232 LINE DRIVER/RECEIVER**  
**WITH  $\pm 15$ -kV ESD PROTECTION**

SLLS576D – JULY 2003 – REVISED JANUARY 2004

**PARAMETER MEASUREMENT INFORMATION**



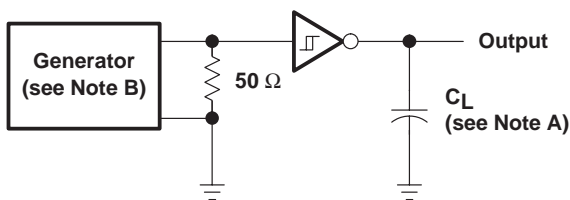
**TEST CIRCUIT**



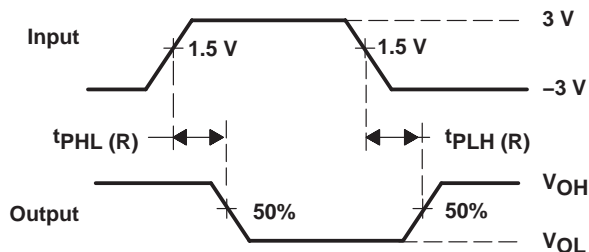
**VOLTAGE WAVEFORMS**

- NOTES: A.  $C_L$  includes probe and jig capacitance.  
 B. The pulse generator has the following characteristics: PRR = 120 kbit/s,  $Z_O = 50 \Omega$ , 50% duty cycle,  $t_r \leq 10$  ns,  $t_f \leq 10$  ns.

**Figure 2. Driver Pulse Skew**



**TEST CIRCUIT**

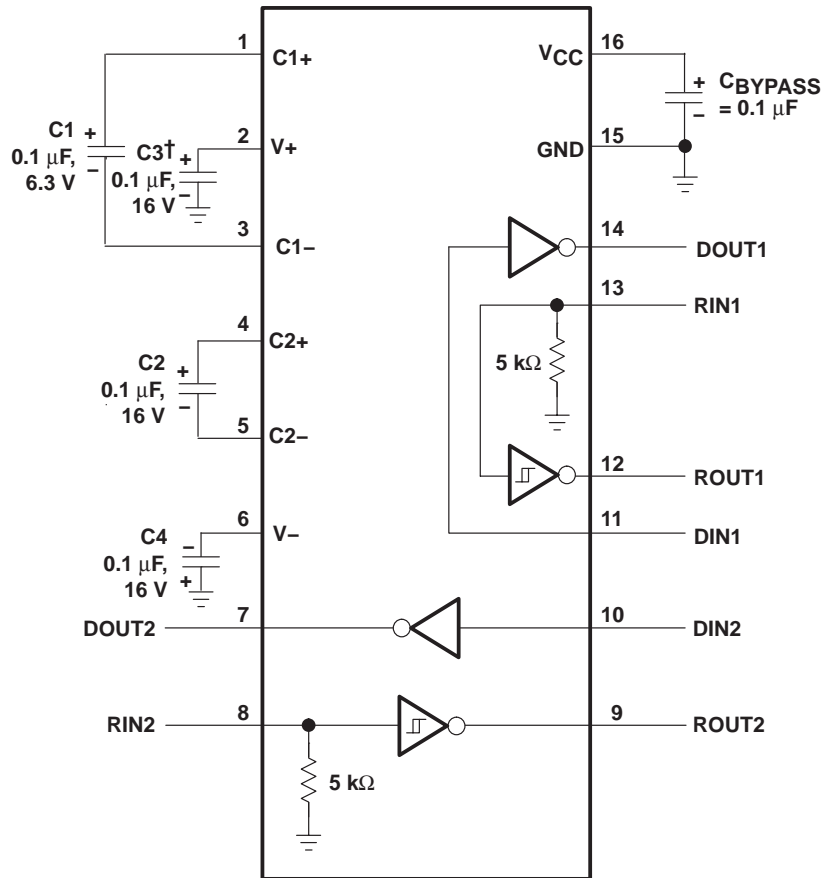


**VOLTAGE WAVEFORMS**

- NOTES: A.  $C_L$  includes probe and jig capacitance.  
 B. The pulse generator has the following characteristics:  $Z_O = 50 \Omega$ , 50% duty cycle,  $t_r \leq 10$  ns,  $t_f \leq 10$  ns.

**Figure 3. Receiver Propagation Delay Times**

**APPLICATION INFORMATION**



† C3 can be connected to  $V_{CC}$  or GND.

NOTES: A. Resistor values shown are nominal.

B. Nonpolarized ceramic capacitors are acceptable. If polarized tantalum or electrolytic capacitors are used, they should be connected as shown.

**Figure 4. Typical Operating Circuit and Capacitor Values**

# MAX202

## 5-V DUAL RS-232 LINE DRIVER/RECEIVER

### WITH $\pm 15$ -kV ESD PROTECTION

SLLS576D – JULY 2003 – REVISED JANUARY 2004

## APPLICATION INFORMATION

### capacitor selection

The capacitor type used for C1–C4 is not critical for proper operation. The MAX202 requires 0.1- $\mu$ F capacitors, although capacitors up to 10  $\mu$ F can be used without harm. Ceramic dielectrics are suggested for the 0.1- $\mu$ F capacitors. When using the minimum recommended capacitor values, make sure the capacitance value does not degrade excessively as the operating temperature varies. If in doubt, use capacitors with a larger (e.g., 2 $\times$ ) nominal value. The capacitors' effective series resistance (ESR), which usually rises at low temperatures, influences the amount of ripple on V+ and V–.

Use larger capacitors (up to 10  $\mu$ F) to reduce the output impedance at V+ and V–.

Bypass  $V_{CC}$  to ground with at least 0.1  $\mu$ F. In applications sensitive to power-supply noise generated by the charge pumps, decouple  $V_{CC}$  to ground with a capacitor the same size as (or larger than) the charge-pump capacitors (C1–C4).

### ESD protection

TI MAX202 devices have standard ESD protection structures incorporated on the pins to protect against electrostatic discharges encountered during assembly and handling. In addition, the RS232 bus pins (driver outputs and receiver inputs) of these devices have an extra level of ESD protection. Advanced ESD structures were designed to successfully protect these bus pins against ESD discharge of  $\pm 15$ -kV when powered down.

### ESD test conditions

Stringent ESD testing is performed by TI, based on various conditions and procedures. Please contact TI for a reliability report that documents test setup, methodology, and results.

### Human-Body Model (HBM)

The HBM of ESD testing is shown in Figure 5. Figure 6 shows the current waveform that is generated during a discharge into a low impedance. The model consists of a 100-pF capacitor, charged to the ESD voltage of concern, and subsequently discharged into the device under test (DUT) through a 1.5-k $\Omega$  resistor.

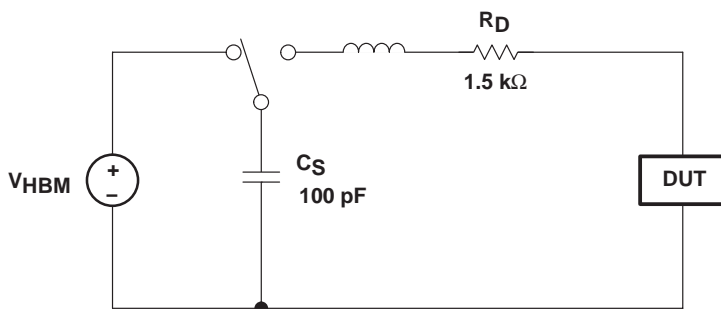


Figure 5. HBM ESD Test Circuit

APPLICATION INFORMATION

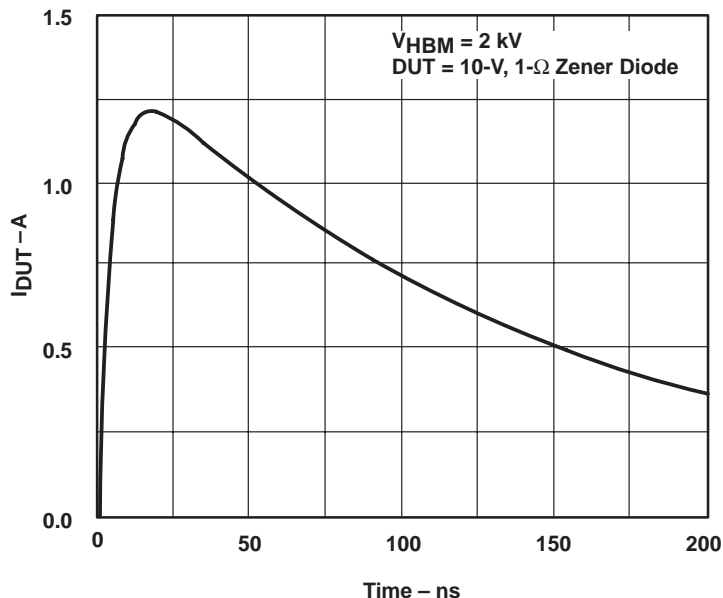


Figure 6. Typical HBM Current Waveform

Machine Model (MM)

The MM ESD test applies to all pins using a 200-pF capacitor with no discharge resistance. The purpose of the MM test is to simulate possible ESD conditions that can occur during the handling and assembly processes of manufacturing. In this case, ESD protection is required for all pins, not just RS-232 pins. However, after PC board assembly, the MM test no longer is as pertinent to the RS-232 pins.

**PACKAGING INFORMATION**

Orderable Device	Status <sup>(1)</sup>	Package Type	Package Drawing	Pins	Package Qty	Eco Plan <sup>(2)</sup>	Lead/Ball Finish	MSL Peak Temp <sup>(3)</sup>
MAX202CD	ACTIVE	SOIC	D	16	40	Pb-Free (RoHS)	CU NIPDAU	Level-2-260C-1 YEAR/ Level-1-235C-UNLIM
MAX202CDR	ACTIVE	SOIC	D	16	2500	Pb-Free (RoHS)	CU NIPDAU	Level-2-260C-1 YEAR/ Level-1-235C-UNLIM
MAX202CDW	ACTIVE	SOIC	DW	16	40	Pb-Free (RoHS)	CU NIPDAU	Level-2-250C-1 YEAR/ Level-1-235C-UNLIM
MAX202CDWR	ACTIVE	SOIC	DW	16	2000	Pb-Free (RoHS)	CU NIPDAU	Level-2-250C-1 YEAR/ Level-1-235C-UNLIM
MAX202CPW	ACTIVE	TSSOP	PW	16	90	Pb-Free (RoHS)	CU NIPDAU	Level-1-250C-UNLIM
MAX202CPWR	ACTIVE	TSSOP	PW	16	2000	Pb-Free (RoHS)	CU NIPDAU	Level-1-250C-UNLIM
MAX202ID	ACTIVE	SOIC	D	16	40	Pb-Free (RoHS)	CU NIPDAU	Level-2-260C-1 YEAR/ Level-1-235C-UNLIM
MAX202IDR	ACTIVE	SOIC	D	16	2500	Pb-Free (RoHS)	CU NIPDAU	Level-2-260C-1 YEAR/ Level-1-235C-UNLIM
MAX202IDW	ACTIVE	SOIC	DW	16	40	Pb-Free (RoHS)	CU NIPDAU	Level-2-250C-1 YEAR/ Level-1-235C-UNLIM
MAX202IDWR	ACTIVE	SOIC	DW	16	2000	Pb-Free (RoHS)	CU NIPDAU	Level-2-250C-1 YEAR/ Level-1-235C-UNLIM
MAX202IPW	ACTIVE	TSSOP	PW	16	90	Pb-Free (RoHS)	CU NIPDAU	Level-1-250C-UNLIM
MAX202IPWR	ACTIVE	TSSOP	PW	16	2000	Pb-Free (RoHS)	CU NIPDAU	Level-1-250C-UNLIM

<sup>(1)</sup> The marketing status values are defined as follows:

**ACTIVE:** Product device recommended for new designs.

**LIFEBUY:** TI has announced that the device will be discontinued, and a lifetime-buy period is in effect.

**NRND:** Not recommended for new designs. Device is in production to support existing customers, but TI does not recommend using this part in a new design.

**PREVIEW:** Device has been announced but is not in production. Samples may or may not be available.

**OBSOLETE:** TI has discontinued the production of the device.

<sup>(2)</sup> Eco Plan - May not be currently available - please check <http://www.ti.com/productcontent> for the latest availability information and additional product content details.

**None:** Not yet available Lead (Pb-Free).

**Pb-Free (RoHS):** TI's terms "Lead-Free" or "Pb-Free" mean semiconductor products that are compatible with the current RoHS requirements for all 6 substances, including the requirement that lead not exceed 0.1% by weight in homogeneous materials. Where designed to be soldered at high temperatures, TI Pb-Free products are suitable for use in specified lead-free processes.

**Green (RoHS & no Sb/Br):** TI defines "Green" to mean "Pb-Free" and in addition, uses package materials that do not contain halogens, including bromine (Br) or antimony (Sb) above 0.1% of total product weight.

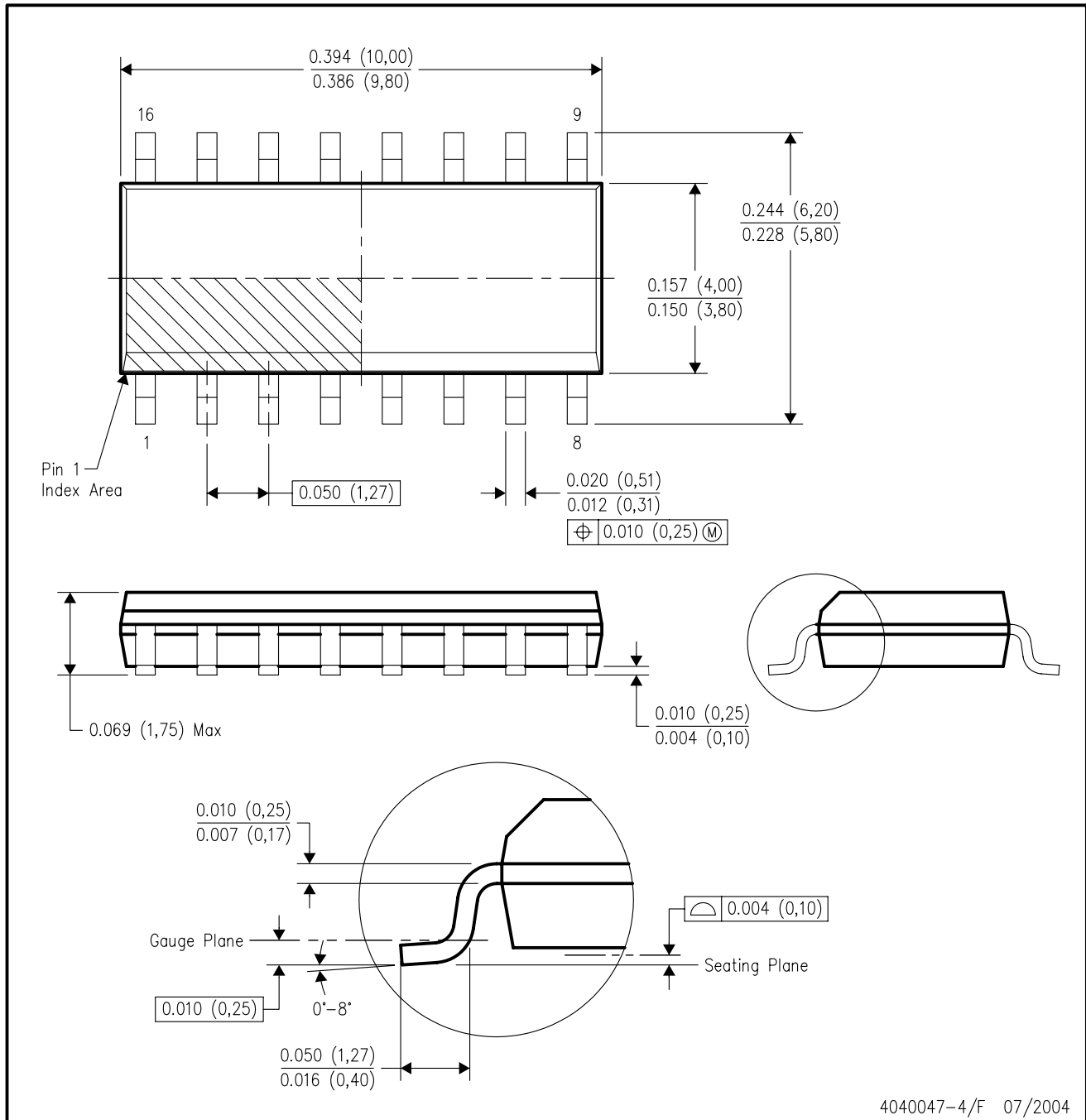
<sup>(3)</sup> MSL, Peak Temp. -- The Moisture Sensitivity Level rating according to the JEDEC industry standard classifications, and peak solder temperature.

**Important Information and Disclaimer:** The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

D (R-PDSO-G16)

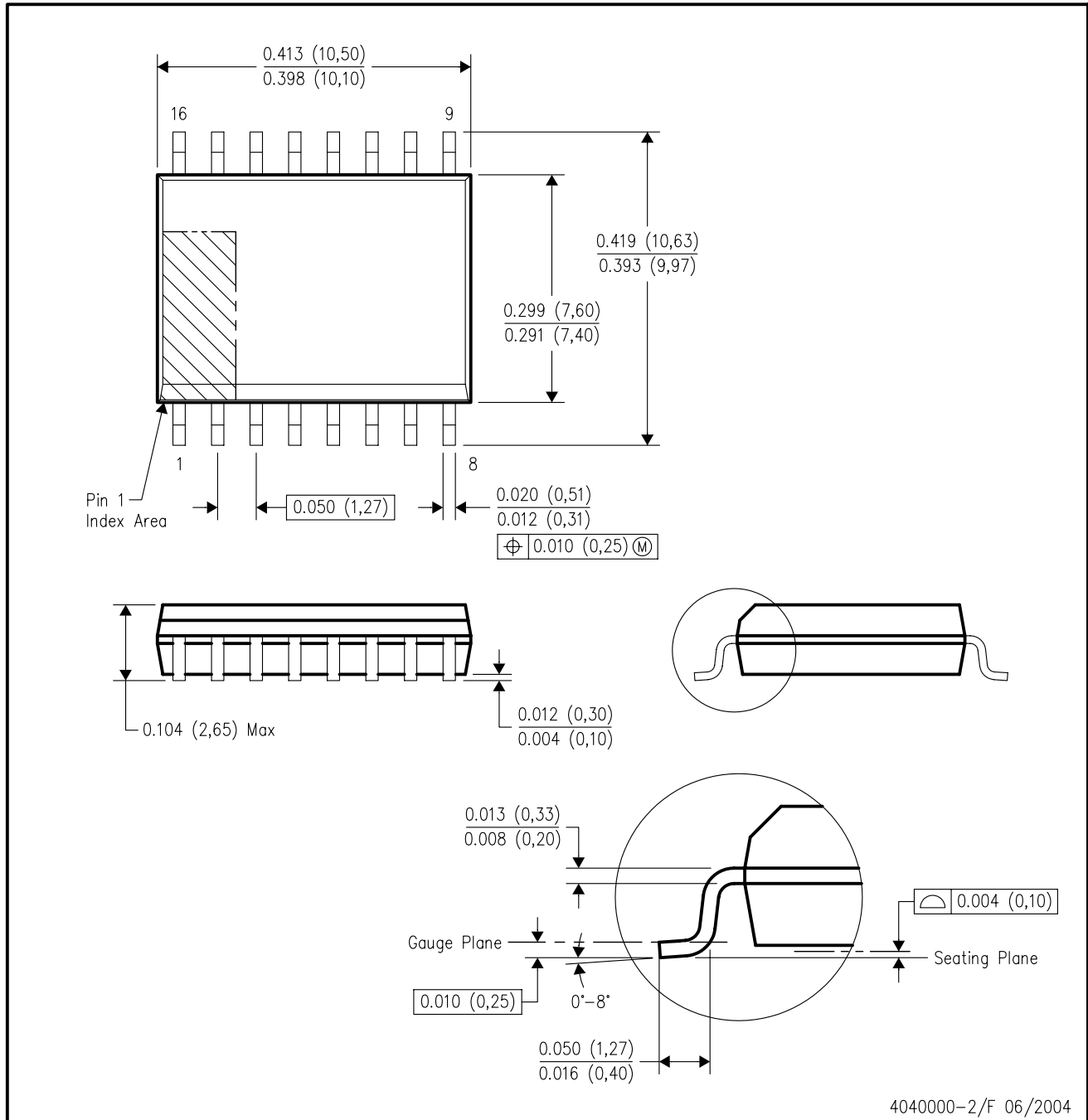
PLASTIC SMALL-OUTLINE PACKAGE



- NOTES:
- A. All linear dimensions are in inches (millimeters).
  - B. This drawing is subject to change without notice.
  - C. Body dimensions do not include mold flash or protrusion not to exceed 0.006 (0,15).
  - D. Falls within JEDEC MS-012 variation AC.

DW (R-PDSO-G16)

PLASTIC SMALL-OUTLINE PACKAGE



- NOTES:
- A. All linear dimensions are in inches (millimeters).
  - B. This drawing is subject to change without notice.
  - C. Body dimensions do not include mold flash or protrusion not to exceed 0.006 (0,15).
  - D. Falls within JEDEC MS-013 variation AA.



PW (R-PDSO-G\*\*)

PLASTIC SMALL-OUTLINE PACKAGE

14 PINS SHOWN



4040064/F 01/97

- NOTES: A. All linear dimensions are in millimeters.  
 B. This drawing is subject to change without notice.  
 C. Body dimensions do not include mold flash or protrusion not to exceed 0,15.  
 D. Falls within JEDEC MO-153

## IMPORTANT NOTICE

Texas Instruments Incorporated and its subsidiaries (TI) reserve the right to make corrections, modifications, enhancements, improvements, and other changes to its products and services at any time and to discontinue any product or service without notice. Customers should obtain the latest relevant information before placing orders and should verify that such information is current and complete. All products are sold subject to TI's terms and conditions of sale supplied at the time of order acknowledgment.

TI warrants performance of its hardware products to the specifications applicable at the time of sale in accordance with TI's standard warranty. Testing and other quality control techniques are used to the extent TI deems necessary to support this warranty. Except where mandated by government requirements, testing of all parameters of each product is not necessarily performed.

TI assumes no liability for applications assistance or customer product design. Customers are responsible for their products and applications using TI components. To minimize the risks associated with customer products and applications, customers should provide adequate design and operating safeguards.

TI does not warrant or represent that any license, either express or implied, is granted under any TI patent right, copyright, mask work right, or other TI intellectual property right relating to any combination, machine, or process in which TI products or services are used. Information published by TI regarding third-party products or services does not constitute a license from TI to use such products or services or a warranty or endorsement thereof. Use of such information may require a license from a third party under the patents or other intellectual property of the third party, or a license from TI under the patents or other intellectual property of TI.

Reproduction of information in TI data books or data sheets is permissible only if reproduction is without alteration and is accompanied by all associated warranties, conditions, limitations, and notices. Reproduction of this information with alteration is an unfair and deceptive business practice. TI is not responsible or liable for such altered documentation.

Resale of TI products or services with statements different from or beyond the parameters stated by TI for that product or service voids all express and any implied warranties for the associated TI product or service and is an unfair and deceptive business practice. TI is not responsible or liable for any such statements.

Following are URLs where you can obtain information on other Texas Instruments products and application solutions:

<b>Products</b>		<b>Applications</b>	
Amplifiers	<a href="http://amplifier.ti.com">amplifier.ti.com</a>	Audio	<a href="http://www.ti.com/audio">www.ti.com/audio</a>
Data Converters	<a href="http://dataconverter.ti.com">dataconverter.ti.com</a>	Automotive	<a href="http://www.ti.com/automotive">www.ti.com/automotive</a>
DSP	<a href="http://dsp.ti.com">dsp.ti.com</a>	Broadband	<a href="http://www.ti.com/broadband">www.ti.com/broadband</a>
Interface	<a href="http://interface.ti.com">interface.ti.com</a>	Digital Control	<a href="http://www.ti.com/digitalcontrol">www.ti.com/digitalcontrol</a>
Logic	<a href="http://logic.ti.com">logic.ti.com</a>	Military	<a href="http://www.ti.com/military">www.ti.com/military</a>
Power Mgmt	<a href="http://power.ti.com">power.ti.com</a>	Optical Networking	<a href="http://www.ti.com/opticalnetwork">www.ti.com/opticalnetwork</a>
Microcontrollers	<a href="http://microcontroller.ti.com">microcontroller.ti.com</a>	Security	<a href="http://www.ti.com/security">www.ti.com/security</a>
		Telephony	<a href="http://www.ti.com/telephony">www.ti.com/telephony</a>
		Video & Imaging	<a href="http://www.ti.com/video">www.ti.com/video</a>
		Wireless	<a href="http://www.ti.com/wireless">www.ti.com/wireless</a>

Mailing Address: Texas Instruments  
Post Office Box 655303 Dallas, Texas 75265

This datasheet has been download from:

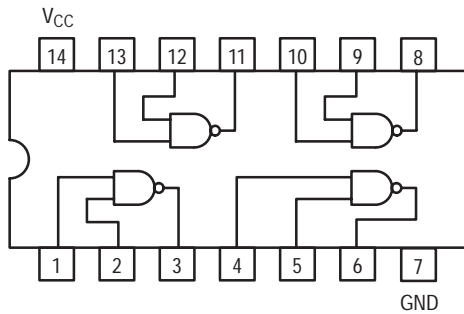
[www.datasheetcatalog.com](http://www.datasheetcatalog.com)

Datasheets for electronics components.

# SN74LS00

## Quad 2-Input NAND Gate

- ESD > 3500 Volts



### GUARANTEED OPERATING RANGES

Symbol	Parameter	Min	Typ	Max	Unit
$V_{CC}$	Supply Voltage	4.75	5.0	5.25	V
$T_A$	Operating Ambient Temperature Range	0	25	70	°C
$I_{OH}$	Output Current – High			-0.4	mA
$I_{OL}$	Output Current – Low			8.0	mA

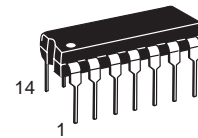


**ON Semiconductor**

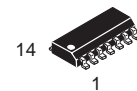
Formerly a Division of Motorola

<http://onsemi.com>

**LOW  
POWER  
SCHOTTKY**



**PLASTIC  
N SUFFIX  
CASE 646**



**SOIC  
D SUFFIX  
CASE 751A**

### ORDERING INFORMATION

Device	Package	Shipping
SN74LS00N	14 Pin DIP	2000 Units/Box
SN74LS00D	14 Pin	2500/Tape & Reel

# SN74LS00

## DC CHARACTERISTICS OVER OPERATING TEMPERATURE RANGE (unless otherwise specified)

Symbol	Parameter	Limits			Unit	Test Conditions
		Min	Typ	Max		
$V_{IH}$	Input HIGH Voltage	2.0			V	Guaranteed Input HIGH Voltage for All Inputs
$V_{IL}$	Input LOW Voltage			0.8	V	Guaranteed Input LOW Voltage for All Inputs
$V_{IK}$	Input Clamp Diode Voltage		-0.65	-1.5	V	$V_{CC} = \text{MIN}$ , $I_{IN} = -18 \text{ mA}$
$V_{OH}$	Output HIGH Voltage	2.7	3.5		V	$V_{CC} = \text{MIN}$ , $I_{OH} = \text{MAX}$ , $V_{IN} = V_{IH}$ or $V_{IL}$ per Truth Table
$V_{OL}$	Output LOW Voltage		0.25	0.4	V	$I_{OL} = 4.0 \text{ mA}$
			0.35	0.5	V	$I_{OL} = 8.0 \text{ mA}$
$I_{IH}$	Input HIGH Current			20	$\mu\text{A}$	$V_{CC} = \text{MAX}$ , $V_{IN} = 2.7 \text{ V}$
				0.1	mA	$V_{CC} = \text{MAX}$ , $V_{IN} = 7.0 \text{ V}$
$I_{IL}$	Input LOW Current			-0.4	mA	$V_{CC} = \text{MAX}$ , $V_{IN} = 0.4 \text{ V}$
$I_{OS}$	Short Circuit Current (Note 1)	-20		-100	mA	$V_{CC} = \text{MAX}$
$I_{CC}$	Power Supply Current Total, Output HIGH			1.6	mA	$V_{CC} = \text{MAX}$
	Total, Output LOW			4.4		

Note 1: Not more than one output should be shorted at a time, nor for more than 1 second.

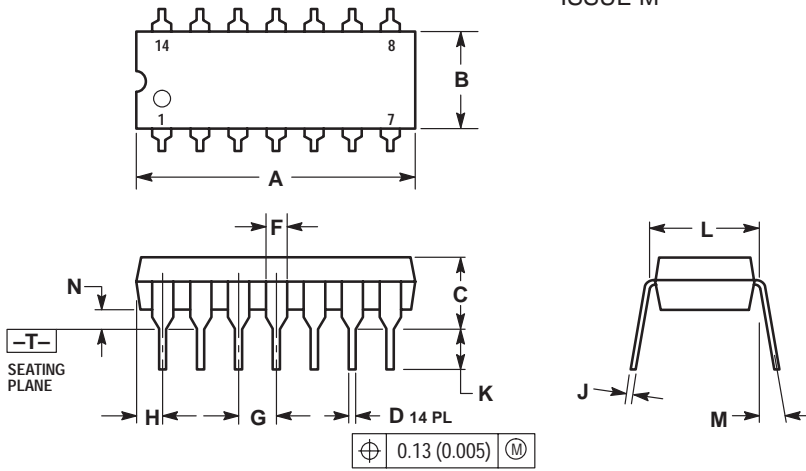
## AC CHARACTERISTICS ( $T_A = 25^\circ\text{C}$ )

Symbol	Parameter	Limits			Unit	Test Conditions
		Min	Typ	Max		
$t_{PLH}$	Turn-Off Delay, Input to Output		9.0	15	ns	$V_{CC} = 5.0 \text{ V}$ $C_L = 15 \text{ pF}$
$t_{PHL}$	Turn-On Delay, Input to Output		10	15	ns	

# SN74LS00

## PACKAGE DIMENSIONS

### N SUFFIX PLASTIC PACKAGE CASE 646-06 ISSUE M

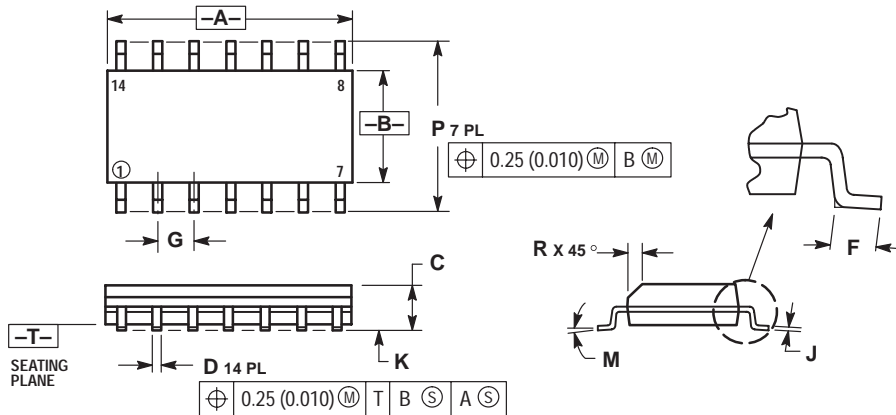


NOTES:

1. DIMENSIONING AND TOLERANCING PER ANSI Y14.5M, 1982.
2. CONTROLLING DIMENSION: INCH.
3. DIMENSION L TO CENTER OF LEADS WHEN FORMED PARALLEL.
4. DIMENSION B DOES NOT INCLUDE MOLD FLASH.
5. ROUNDED CORNERS OPTIONAL.

DIM	INCHES		MILLIMETERS	
	MIN	MAX	MIN	MAX
A	0.715	0.770	18.16	18.80
B	0.240	0.260	6.10	6.60
C	0.145	0.185	3.69	4.69
D	0.015	0.021	0.38	0.53
F	0.040	0.070	1.02	1.78
G	0.100 BSC 2.54 BSC			
H	0.052	0.095	1.32	2.41
J	0.008	0.015	0.20	0.38
K	0.115	0.135	2.92	3.43
L	0.290	0.310	7.37	7.87
M	--- 10° --- 10°			
N	0.015	0.039	0.38	1.01


### D SUFFIX PLASTIC SOIC PACKAGE CASE 751A-03 ISSUE F



NOTES:

1. DIMENSIONING AND TOLERANCING PER ANSI Y14.5M, 1982.
2. CONTROLLING DIMENSION: MILLIMETER.
3. DIMENSIONS A AND B DO NOT INCLUDE MOLD PROTRUSION.
4. MAXIMUM MOLD PROTRUSION 0.15 (0.006) PER SIDE.
5. DIMENSION D DOES NOT INCLUDE DAMBAR PROTRUSION. ALLOWABLE DAMBAR PROTRUSION SHALL BE 0.127 (0.005) TOTAL IN EXCESS OF THE D DIMENSION AT MAXIMUM MATERIAL CONDITION.

DIM	MILLIMETERS		INCHES	
	MIN	MAX	MIN	MAX
A	8.55	8.75	0.337	0.344
B	3.80	4.00	0.150	0.157
C	1.35	1.75	0.054	0.068
D	0.35	0.49	0.014	0.019
F	0.40	1.25	0.016	0.049
G	1.27 BSC		0.050 BSC	
J	0.19	0.25	0.008	0.009
K	0.10	0.25	0.004	0.009
M	0° 7° 0° 7°			
P	5.80	6.20	0.228	0.244
R	0.25	0.50	0.010	0.019

**ON Semiconductor** and  are trademarks of Semiconductor Components Industries, LLC (SCILLC). SCILLC reserves the right to make changes without further notice to any products herein. SCILLC makes no warranty, representation or guarantee regarding the suitability of its products for any particular purpose, nor does SCILLC assume any liability arising out of the application or use of any product or circuit, and specifically disclaims any and all liability, including without limitation special, consequential or incidental damages. "Typical" parameters which may be provided in SCILLC data sheets and/or specifications can and do vary in different applications and actual performance may vary over time. All operating parameters, including "Typicals" must be validated for each customer application by customer's technical experts. SCILLC does not convey any license under its patent rights nor the rights of others. SCILLC products are not designed, intended, or authorized for use as components in systems intended for surgical implant into the body, or other applications intended to support or sustain life, or for any other application in which the failure of the SCILLC product could create a situation where personal injury or death may occur. Should Buyer purchase or use SCILLC products for any such unintended or unauthorized application, Buyer shall indemnify and hold SCILLC and its officers, employees, subsidiaries, affiliates, and distributors harmless against all claims, costs, damages, and expenses, and reasonable attorney fees arising out of, directly or indirectly, any claim of personal injury or death associated with such unintended or unauthorized use, even if such claim alleges that SCILLC was negligent regarding the design or manufacture of the part. SCILLC is an Equal Opportunity/Affirmative Action Employer.

## PUBLICATION ORDERING INFORMATION

### North America Literature Fulfillment:

Literature Distribution Center for ON Semiconductor  
P.O. Box 5163, Denver, Colorado 80217 USA  
**Phone:** 303-675-2175 or 800-344-3860 Toll Free USA/Canada  
**Fax:** 303-675-2176 or 800-344-3867 Toll Free USA/Canada  
**Email:** ONlit@hibbertco.com

**N. American Technical Support:** 800-282-9855 Toll Free USA/Canada

**EUROPE:** LDC for ON Semiconductor – European Support

**German Phone:** (+1) 303-308-7140 (M-F 2:30pm to 5:00pm Munich Time)

**Email:** ONlit-german@hibbertco.com

**French Phone:** (+1) 303-308-7141 (M-F 2:30pm to 5:00pm Toulouse Time)

**Email:** ONlit-french@hibbertco.com

**English Phone:** (+1) 303-308-7142 (M-F 1:30pm to 5:00pm UK Time)

**Email:** ONlit@hibbertco.com

**ASIA/PACIFIC:** LDC for ON Semiconductor – Asia Support

**Phone:** 303-675-2121 (Tue-Fri 9:00am to 1:00pm, Hong Kong Time)  
Toll Free from Hong Kong 800-4422-3781

**Email:** ONlit-asia@hibbertco.com

**JAPAN:** ON Semiconductor, Japan Customer Focus Center

4-32-1 Nishi-Gotanda, Shinagawa-ku, Tokyo, Japan 141-8549

**Phone:** 81-3-5487-8345

**Email:** r14153@onsemi.com

**Fax Response Line:** 303-675-2167

800-344-3810 Toll Free USA/Canada

**ON Semiconductor Website:** <http://onsemi.com>

For additional information, please contact your local  
Sales Representative.

This datasheet has been downloaded from:

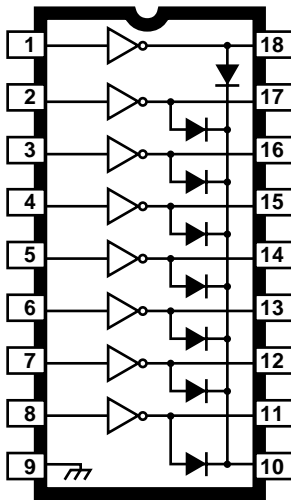
[www.DatasheetCatalog.com](http://www.DatasheetCatalog.com)

Datasheets for electronic components.



# 2803 THRU 2824

## HIGH-VOLTAGE, HIGH-CURRENT DARLINGTON ARRAYS



Dwg. No. A-10,322A

Note that the ULx28xxA series (dual in-line package) and ULx28xxLW series (small-outline IC package) are electrically identical and share a common terminal number assignment.

### ABSOLUTE MAXIMUM RATINGS

Output Voltage, $V_{CE}$	
(x2803x and x2804x) .....	50 V
(x2823x and x2824x) .....	95 V
Input Voltage, $V_{IN}$ .....	30 V
Continuous Output Current, $I_C$ ....	500 mA
Continuous Input Current, $I_{IN}$ .....	25 mA
Power Dissipation, $P_D$	
(one Darlington pair) .....	1.0 W
(total package) .....	See Graph
Operating Temperature Range, $T_A$	
Prefix 'ULN' .....	-20°C to +85°C
Prefix 'ULQ' .....	-40°C to +85°C
Storage Temperature Range,	
$T_S$ .....	-55°C to +150°C

Featuring continuous load current ratings to 500 mA for each of the drivers, the Series ULN28xxA/LW and ULQ28xxA/LW high-voltage, high-current Darlington arrays are ideally suited for interfacing between low-level logic circuitry and multiple peripheral power loads. Typical power loads totaling over 260 W (350 mA x 8, 95 V) can be controlled at an appropriate duty cycle depending on ambient temperature and number of drivers turned on simultaneously. Typical loads include relays, solenoids, stepping motors, magnetic print hammers, multiplexed LED and incandescent displays, and heaters. All devices feature open-collector outputs with integral clamp diodes.

The ULx2803A, ULx2803LW, ULx2823A, and ULN2823LW have series input resistors selected for operation directly with 5 V TTL or CMOS. These devices will handle numerous interface needs — particularly those beyond the capabilities of standard logic buffers.

The ULx2804A, ULx2804LW, ULx2824A, and ULN2824LW have series input resistors for operation directly from 6 V to 15 V CMOS or PMOS logic outputs.

The ULx2803A/LW and ULx2804A/LW are the standard Darlington arrays. The outputs are capable of sinking 500 mA and will withstand at least 50 V in the off state. Outputs may be paralleled for higher load current capability. The ULx2823A/LW and ULx2824A/LW will withstand 95 V in the off state.

These Darlington arrays are furnished in 18-pin dual in-line plastic packages (suffix 'A') or 18-lead small-outline plastic packages (suffix 'LW'). All devices are pinned with outputs opposite inputs to facilitate ease of circuit board layout. Prefix 'ULN' devices are rated for operation over the temperature range of -20°C to +85°C; prefix 'ULQ' devices are rated for operation to -40°C.

### FEATURES

- TTL, DTL, PMOS, or CMOS Compatible Inputs
- Output Current to 500 mA
- Output Voltage to 95 V
- Transient-Protected Outputs
- Dual In-Line Package or Wide-Body Small-Outline Package

**The ULx2804, ULx2823, & ULx2824 are discontinued.  
Shown for reference only.**

x = Character to identify specific device. Characteristic shown applies to family of devices with remaining digits as shown. See matrix on next page.

# 2803 THRU 2824 HIGH-VOLTAGE, HIGH-CURRENT DARLINGTON ARRAYS

## DEVICE PART NUMBER DESIGNATION

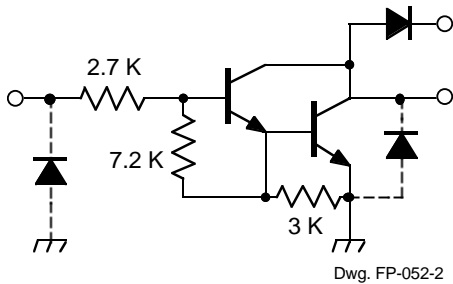
$V_{CE(MAX)}$	50 V	95 V
$I_{C(MAX)}$	500 mA	500 mA
<b>Logic</b>	<b>Part Number</b>	
5V TTL, CMOS	ULN2803A* ULN2803LW*	ULN2823A* ULN2823LW
6-15 V CMOS, PMOS	ULN2804A* ULN2804LW*	ULN2824A* ULN2824LW

\*Also available for operation between -40°C and +85°C. To order, change prefix from 'ULN' to 'ULQ'.

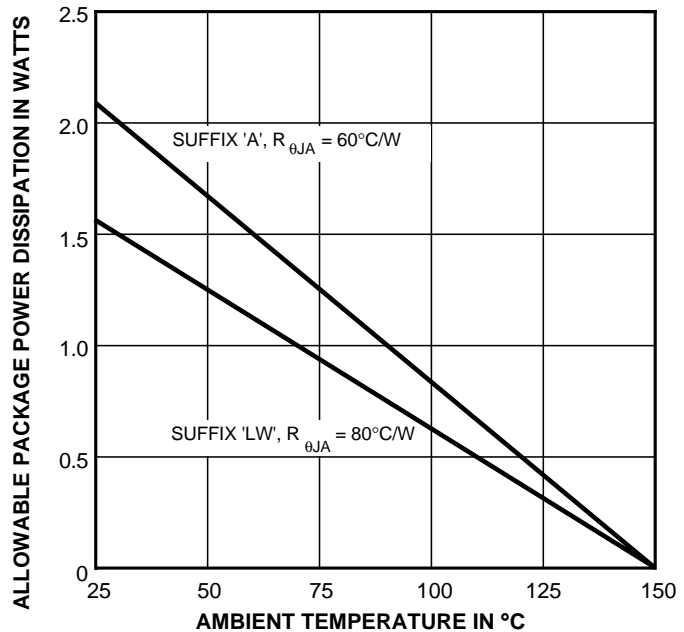
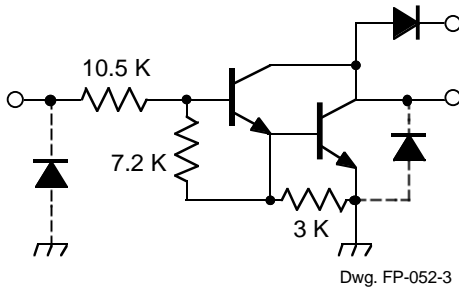
**The ULx2804, ULx2823, & ULx2824 are discontinued.  
Shown for reference only.**

### PARTIAL SCHEMATICS

ULx28x3A/LW (Each Driver)



ULx28x4A/LW (Each Driver)



Dwg. GP-018B

x = Character to identify specific device. Specification shown applies to family of devices with remaining digits as shown. See matrix above.

# 2803 THRU 2824 HIGH-VOLTAGE, HIGH-CURRENT DARLINGTON ARRAYS

## Types ULx2803A, ULx2803LW, ULx2804A, and ULx2804LW ELECTRICAL CHARACTERISTICS at +25°C (unless otherwise noted).

Characteristic	Symbol	Test Fig.	Applicable Devices	Test Conditions	Limits			
					Min.	Typ.	Max.	Units
Output Leakage Current	$I_{CEX}$	1A	All	$V_{CE} = 50\text{ V}, T_A = 25^\circ\text{C}$	—	< 1	50	$\mu\text{A}$
				$V_{CE} = 50\text{ V}, T_A = 70^\circ\text{C}$	—	< 1	100	$\mu\text{A}$
		1B	ULx2804x	$V_{CE} = 50\text{ V}, T_A = 70^\circ\text{C}, V_{IN} = 1.0\text{ V}$	—	< 5	500	$\mu\text{A}$
Collector-Emitter Saturation Voltage	$V_{CE(SAT)}$	2	All	$I_C = 100\text{ mA}, I_B = 250\text{ }\mu\text{A}$	—	0.9	1.1	V
				$I_C = 200\text{ mA}, I_B = 350\text{ }\mu\text{A}$	—	1.1	1.3	V
				$I_C = 350\text{ mA}, I_B = 500\text{ }\mu\text{A}$	—	1.3	1.6	V
Input Current	$I_{IN(ON)}$	3	ULx2803x	$V_{IN} = 3.85\text{ V}$	—	0.93	1.35	mA
			ULx2804x	$V_{IN} = 5.0\text{ V}$	—	0.35	0.5	mA
				$V_{IN} = 12\text{ V}$	—	1.0	1.45	mA
	$I_{IN(OFF)}$	4	All	$I_C = 500\text{ }\mu\text{A}, T_A = 70^\circ\text{C}$	50	65	—	$\mu\text{A}$
Input Voltage	$V_{IN(ON)}$	5	ULx2803x	$V_{CE} = 2.0\text{ V}, I_C = 200\text{ mA}$	—	—	2.4	V
				$V_{CE} = 2.0\text{ V}, I_C = 250\text{ mA}$	—	—	2.7	V
				$V_{CE} = 2.0\text{ V}, I_C = 300\text{ mA}$	—	—	3.0	V
			ULx2804x	$V_{CE} = 2.0\text{ V}, I_C = 125\text{ mA}$	—	—	5.0	V
				$V_{CE} = 2.0\text{ V}, I_C = 200\text{ mA}$	—	—	6.0	V
				$V_{CE} = 2.0\text{ V}, I_C = 275\text{ mA}$	—	—	7.0	V
				$V_{CE} = 2.0\text{ V}, I_C = 350\text{ mA}$	—	—	8.0	V
Input Capacitance	$C_{IN}$	—	All		—	15	25	pF
Turn-On Delay	$t_{PLH}$	8	All	$0.5 E_{IN}$ to $0.5 E_{OUT}$	—	0.25	1.0	$\mu\text{s}$
Turn-Off Delay	$t_{PHL}$	8	All	$0.5 E_{IN}$ to $0.5 E_{OUT}$	—	0.25	1.0	$\mu\text{s}$
Clamp Diode Leakage Current	$I_R$	6	All	$V_R = 50\text{ V}, T_A = 25^\circ\text{C}$	—	—	50	$\mu\text{A}$
				$V_R = 50\text{ V}, T_A = 70^\circ\text{C}$	—	—	100	$\mu\text{A}$
Clamp Diode Forward Voltage	$V_F$	7	All	$I_F = 350\text{ mA}$	—	1.7	2.0	V

Complete part number includes prefix to operating temperature range: ULN = -20°C to +85°C, ULQ = -40°C to +85°C and a suffix to identify package style: A = DIP, LW = SOIC.

**The ULx2804 is discontinued.  
Shown for reference only.**

**2803 THRU 2824  
HIGH-VOLTAGE,  
HIGH-CURRENT  
DARLINGTON ARRAYS**

**Types ULx2823A, ULN2823LW, ULx2824A, and ULN2824LW  
ELECTRICAL CHARACTERISTICS at +25°C (unless otherwise noted).**

Characteristic	Symbol	Test Fig.	Applicable Devices	Test Conditions	Limits			
					Min.	Typ.	Max.	Units
Output Leakage Current	$I_{CEX}$	1A	All	$V_{CE} = 95\text{ V}, T_A = 25^\circ\text{C}$	—	< 1	50	$\mu\text{A}$
				$V_{CE} = 95\text{ V}, T_A = 70^\circ\text{C}$	—	< 1	100	$\mu\text{A}$
		1B	ULx2824x	$V_{CE} = 95\text{ V}, T_A = 70^\circ\text{C}, V_{IN} = 1.0\text{ V}$	—	< 5	500	$\mu\text{A}$
Collector-Emitter Saturation Voltage	$V_{CE(SAT)}$	2	All	$I_C = 100\text{ mA}, I_B = 250\text{ }\mu\text{A}$	—	0.9	1.1	V
				$I_C = 200\text{ mA}, I_B = 350\text{ }\mu\text{A}$	—	1.1	1.3	V
				$I_C = 350\text{ mA}, I_B = 500\text{ }\mu\text{A}$	—	1.3	1.6	V
Input Current	$I_{IN(ON)}$	3	ULx2823x	$V_{IN} = 3.85\text{ V}$	—	0.93	1.35	mA
			ULx2824x	$V_{IN} = 5.0\text{ V}$	—	0.35	0.5	mA
				$V_{IN} = 12\text{ V}$	—	1.0	1.45	mA
	$I_{IN(OFF)}$	4	All	$I_C = 500\text{ }\mu\text{A}, T_A = 70^\circ\text{C}$	50	65	—	$\mu\text{A}$
Input Voltage	$V_{IN(ON)}$	5	ULx2823x	$V_{CE} = 2.0\text{ V}, I_C = 200\text{ mA}$	—	—	2.4	V
				$V_{CE} = 2.0\text{ V}, I_C = 250\text{ mA}$	—	—	2.7	V
				$V_{CE} = 2.0\text{ V}, I_C = 300\text{ mA}$	—	—	3.0	V
		ULx2824x	$V_{CE} = 2.0\text{ V}, I_C = 125\text{ mA}$	—	—	5.0	V	
			$V_{CE} = 2.0\text{ V}, I_C = 200\text{ mA}$	—	—	6.0	V	
			$V_{CE} = 2.0\text{ V}, I_C = 275\text{ mA}$	—	—	7.0	V	
			$V_{CE} = 2.0\text{ V}, I_C = 350\text{ mA}$	—	—	8.0	V	
Input Capacitance	$C_{IN}$	—	All		—	15	25	pF
Turn-On Delay	$t_{PLH}$	8	All	$0.5 E_{IN}$ to $0.5 E_{OUT}$	—	0.25	1.0	$\mu\text{s}$
Turn-Off Delay	$t_{PHL}$	8	All	$0.5 E_{IN}$ to $0.5 E_{OUT}$	—	0.25	1.0	$\mu\text{s}$
Clamp Diode Leakage Current	$I_R$	6	All	$V_R = 95\text{ V}, T_A = 25^\circ\text{C}$	—	—	50	$\mu\text{A}$
				$V_R = 95\text{ V}, T_A = 70^\circ\text{C}$	—	—	100	$\mu\text{A}$
Clamp Diode Forward Voltage	$V_F$	7	All	$I_F = 350\text{ mA}$	—	1.7	2.0	V

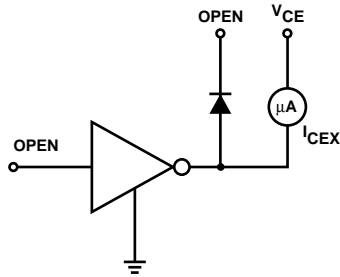
Complete part number includes prefix to operating temperature range: ULN = -20°C to +85°C, ULQ = -40°C to +85°C and a suffix to identify package style: A = DIP, LW = SOIC. Note that the ULQ2823LW and ULQ2824LW are not presently available.

**The ULx2823 & ULx2824 are discontinued.  
Shown for reference only.**

# 2803 THRU 2824 HIGH-VOLTAGE, HIGH-CURRENT DARLINGTON ARRAYS

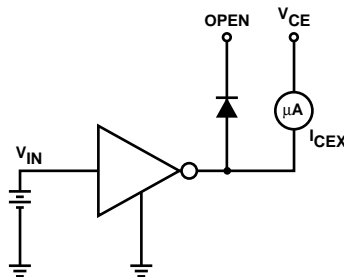
## TEST FIGURES

FIGURE 1A



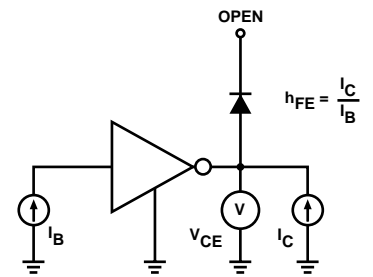
Dwg. No. A-9729A

FIGURE 1B



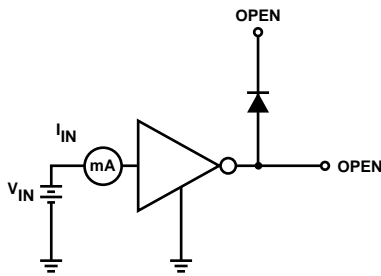
Dwg. No. A-9730A

FIGURE 2



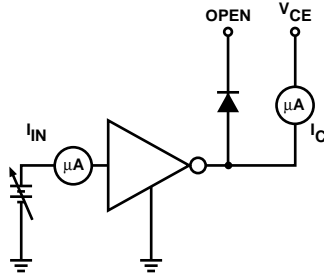
Dwg. No. A-9731A

FIGURE 3



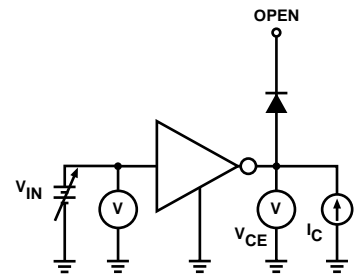
Dwg. No. A-9732A

FIGURE 4



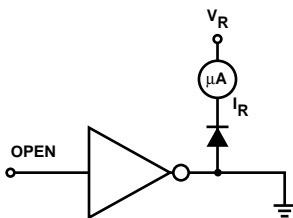
Dwg. No. A-9733A

FIGURE 5



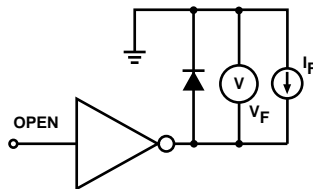
Dwg. No. A-9734A

FIGURE 6



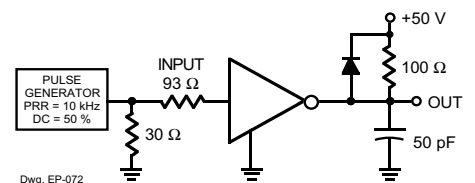
Dwg. No. A-9735A

FIGURE 7



Dwg. No. A-9736A

FIGURE 8

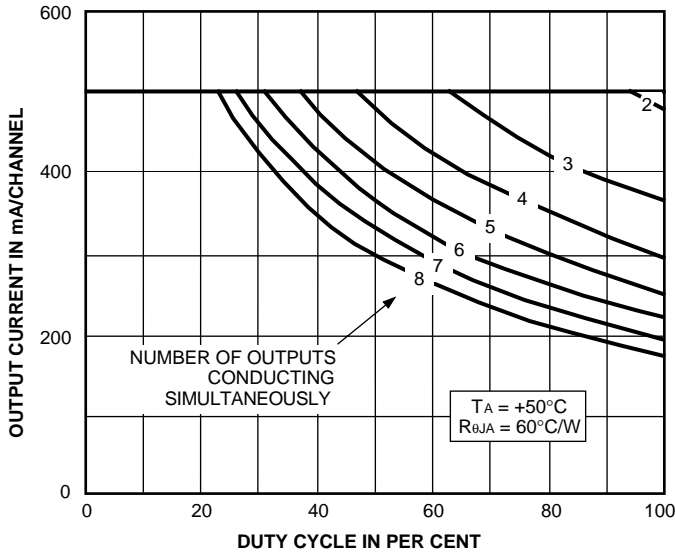


Dwg. EP-072

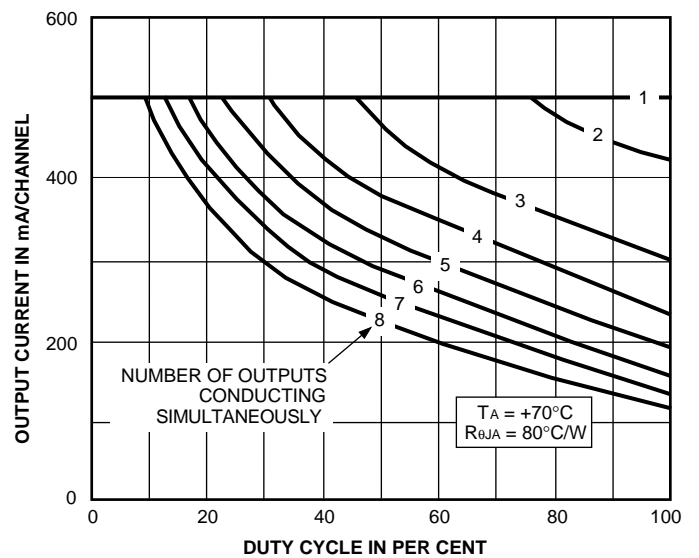
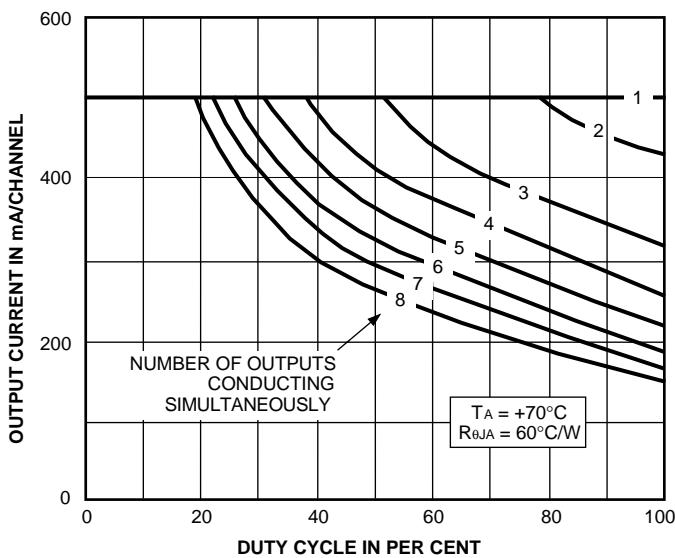
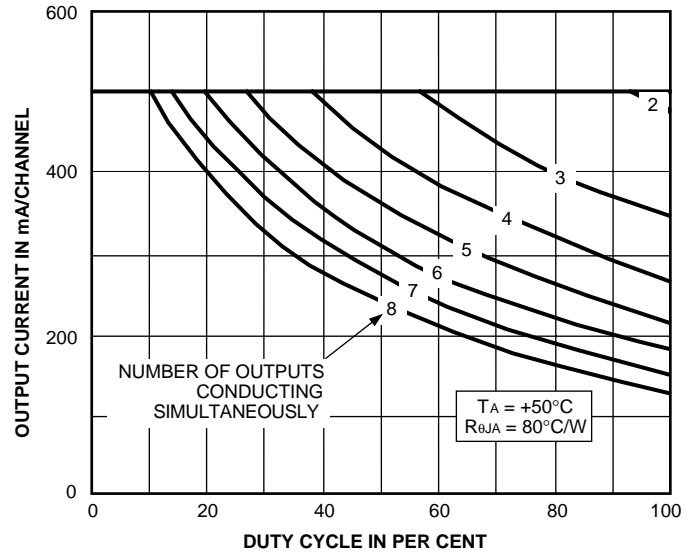
	$V_{in}$
ULx28x3x	3.5 V
ULx28x4x	12 V

# 2803 THRU 2824 HIGH-VOLTAGE, HIGH-CURRENT DARLINGTON ARRAYS

**ALLOWABLE COLLECTOR CURRENT  
AS A FUNCTION OF DUTY CYCLE**  
ULx28xxA



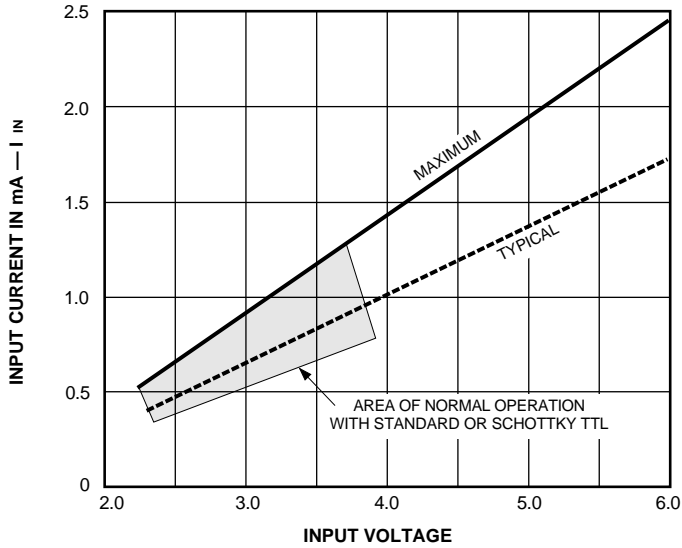
**ALLOWABLE COLLECTOR CURRENT  
AS A FUNCTION OF DUTY CYCLE**  
ULx28xxLW



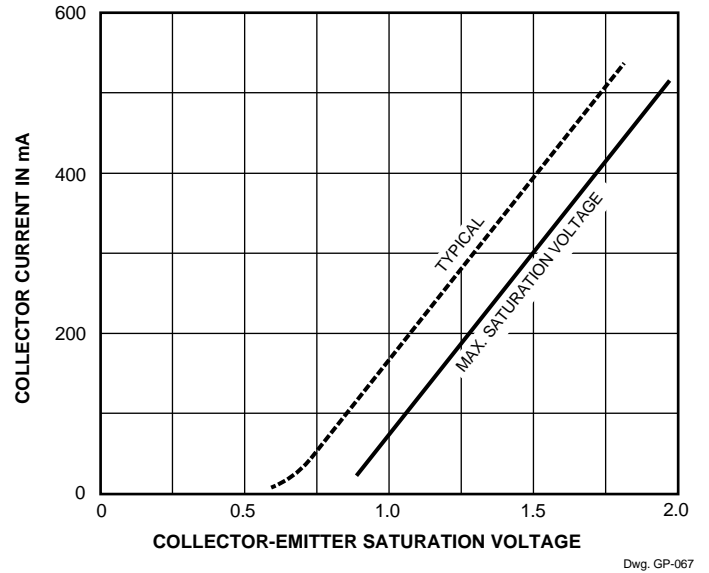
x = Characters to identify specific device. Specification shown applies to family of devices with remaining digits as shown.

# 2803 THRU 2824 HIGH-VOLTAGE, HIGH-CURRENT DARLINGTON ARRAYS

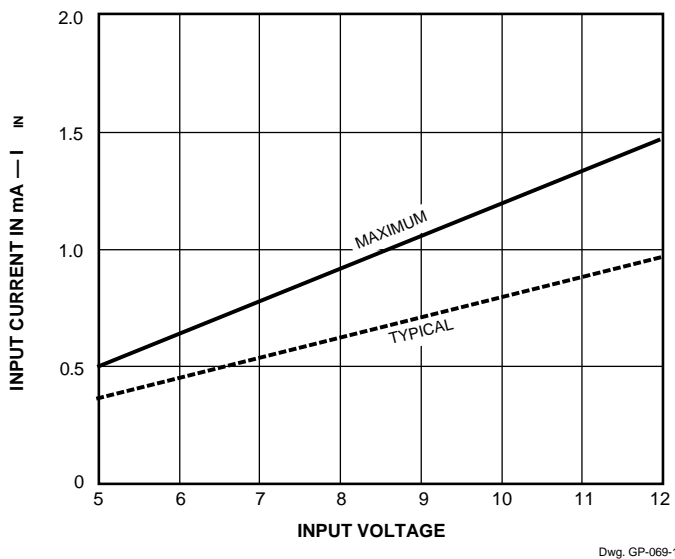
**INPUT CURRENT AS A  
FUNCTION OF INPUT VOLTAGE**  
ULx28x3x



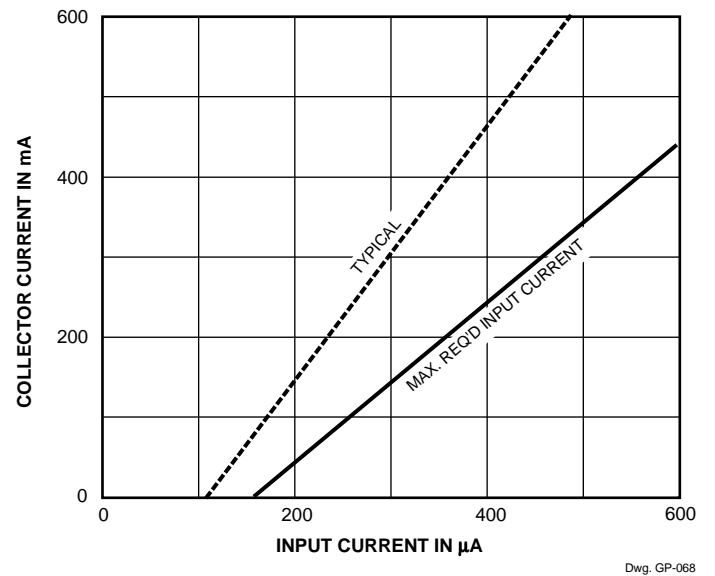
**SATURATION VOLTAGE AS A FUNCTION OF  
COLLECTOR CURRENT**



ULx28x4x



**COLLECTOR CURRENT AS A  
FUNCTION OF INPUT CURRENT**

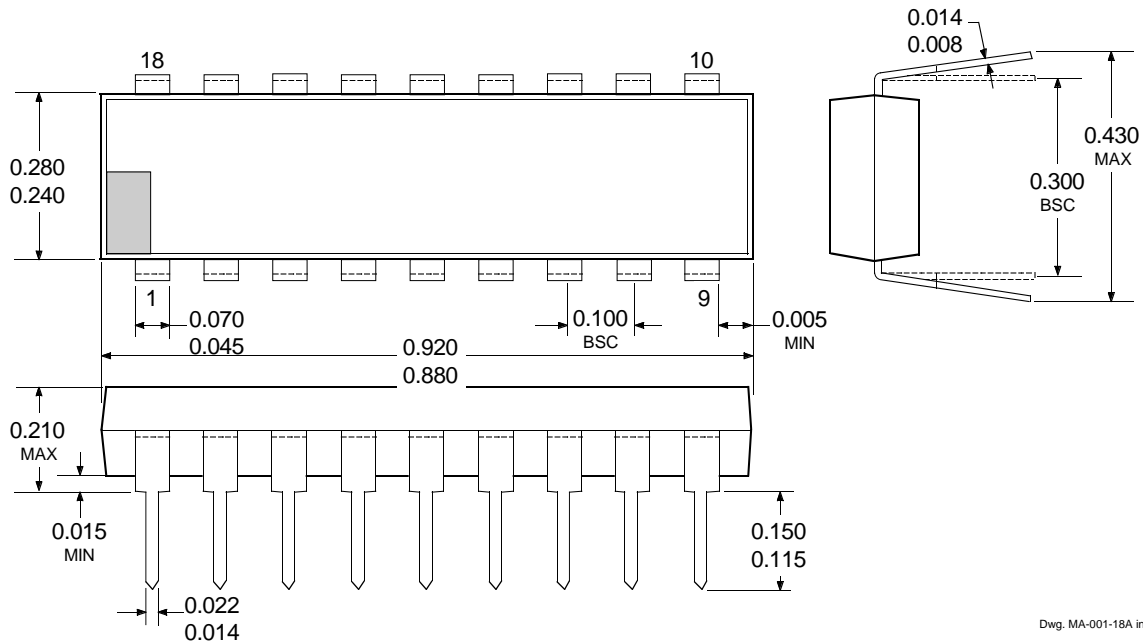


x = Characters to identify specific device. Characteristic shown applies to family of devices with remaining digits as shown.

**2803 THRU 2824  
HIGH-VOLTAGE,  
HIGH-CURRENT  
DARLINGTON ARRAYS**

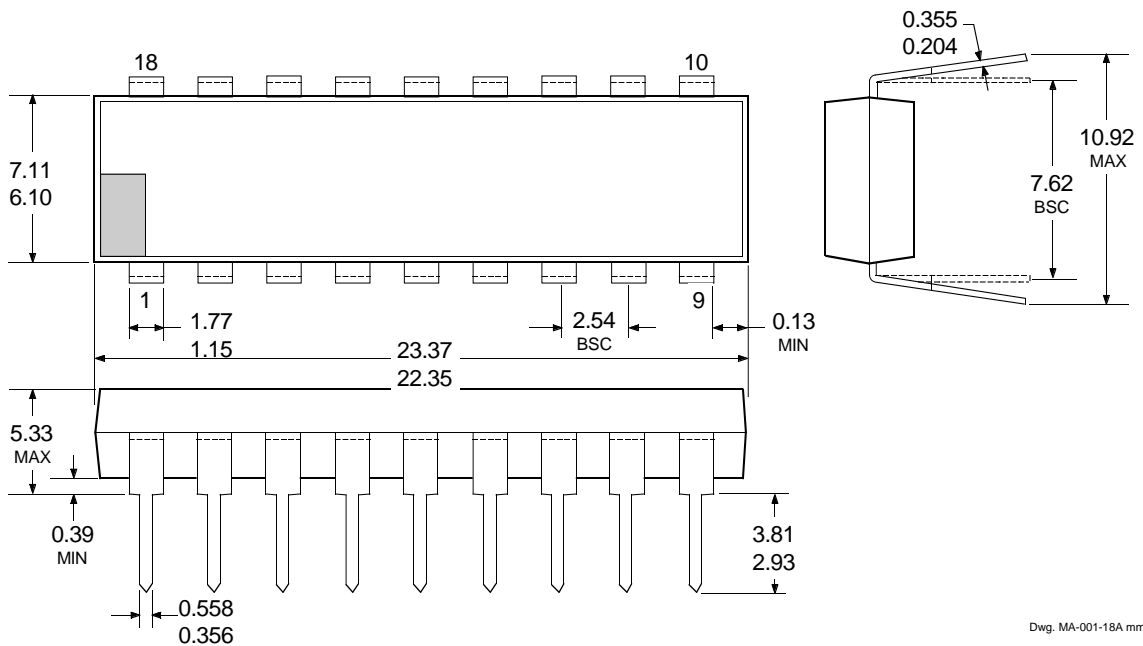
**PACKAGE DESIGNATOR "A" DIMENSIONS**

Dimensions in Inches  
(controlling dimensions)



Dwg. MA-001-18A in

Dimensions in Millimeters  
(for reference only)



Dwg. MA-001-18A mm

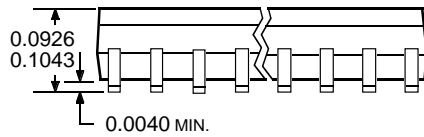
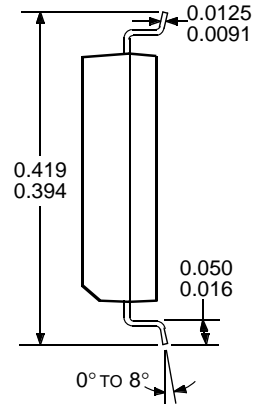
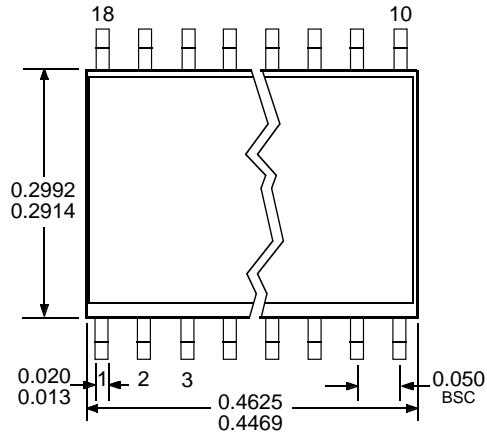
- NOTES: 1. Exact body and lead configuration at vendor's option within limits shown.  
2. Lead spacing tolerance is non-cumulative.  
3. Lead thickness is measured at seating plane or below.



# 2803 THRU 2824 HIGH-VOLTAGE, HIGH-CURRENT DARLINGTON ARRAYS

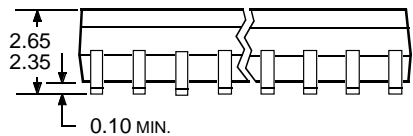
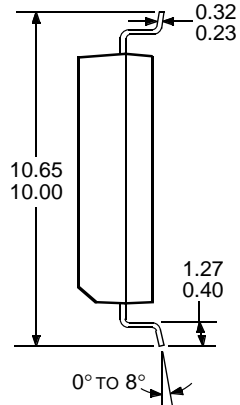
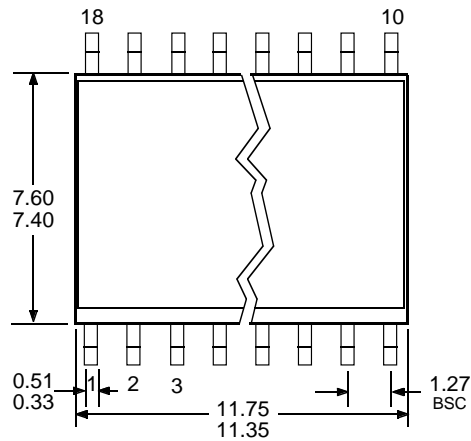
## PACKAGE DESIGNATOR "LW" DIMENSIONS

Dimensions in Inches  
(for reference only)



wg. MA-008-18A.in

Dimensions in Millimeters  
(controlling dimensions)



Dwg. MA-008-18A.mm

- NOTES: 1. Exact body and lead configuration at vendor's option within limits shown.  
2. Lead spacing tolerance is non-cumulative.

**2803 THRU 2824  
HIGH-VOLTAGE,  
HIGH-CURRENT  
DARLINGTON ARRAYS**

*The products described here are manufactured under one or more U.S. patents or U.S. patents pending.*

*Allegro MicroSystems, Inc. reserves the right to make, from time to time, such departures from the detail specifications as may be required to permit improvements in the performance, reliability, or manufacturability of its products. Before placing an order, the user is cautioned to verify that the information being relied upon is current.*

*Allegro products are not authorized for use as critical components in life-support devices or systems without express written approval.*

*The information included herein is believed to be accurate and reliable. However, Allegro MicroSystems, Inc. assumes no responsibility for its use; nor for any infringement of patents or other rights of third parties which may result from its use.*