

**UNIVERSITE SAAD DAHLEB DE BLIDA**

**Faculté des Sciences**

Département d'Electronique

**MEMOIRE DE MAGISTER**

En Electronique

Spécialité : Microélectronique

ETUDE DU BRUIT DANS LES TRANSISTORS MOS/SI MASSIF

ET

CARACTERISATION DU BRUIT DANS LES TRANSISTORS

MOS/SOI SUBMICRONIQUES PROFONDS

Par

**Abdelhalim SLIMANE**

Devant le jury composé de :

K. FERDJANI	Maître de Conférence	USDB	Président de jury
M. ATTARI	Professeur	USTHB	Examineur
M. DJEBARI	Maître de Conférence	USDB	Examineur
S. OUSSALAH	Chargé de Recherche	CDTA	Examineur
M.T. BELAROUSSI	Maître de Recherche	CDTA	Rapporteur

Blida, Mars 2005

## **RESUME**

Ce mémoire porte sur la simulation du bruit des transistors MOS/SI-Massif submicroniques en radiofréquences et la caractérisation du bruit électrique basse fréquence des transistors MOS/SOI submicroniques profonds. Le premier chapitre est une introduction sur les différentes structures du transistor MOS, où sont détaillées les principales propriétés des deux filières de la technologie CMOS. Dans la deuxième partie, un aperçu général sur le bruit électrique est présenté avec notamment les différentes sources qui peuvent manifester en radiofréquences et basses fréquences. Le troisième chapitre porte sur les sources de bruit qui apparaissent dans les transistors MOS/Si-Massif en radiofréquences. Dans un premier temps, une synthèse a été faite sur les différents modèles du bruit associé à la résistance grille. Ensuite, une implémentation de ces sources au modèle petit signal du transistor MOS/SI massif afin de simuler correctement le bruit des transistors MOS submicroniques en radiofréquences. Ceci revient en particulier à l'absence de ces modèles au niveau du modèle du transistor MOS dans sa version BSIM3v3 qui pouvait engendrer des erreurs de simulation en RF. Dans le quatrième chapitre, une étude expérimentale a été faite sur les transistors MOS/SOI afin de les qualifier pour les applications radiofréquences. Pour cela, une caractérisation du bruit basse fréquence a été effectuée sur les différentes topologies du transistor MOS/SOI (Substrat Flottant, Contact du Substrat) afin de caractériser leurs interfaces Si-SiO<sub>2</sub> et de voir l'excès du bruit basse fréquence qui a un impact direct sur le bruit de phase en radiofréquences.

## **ABSTRACT**

Short channel CMOS technologies have shown growing prominence for a number of RF applications, such as wide band wireless communication systems. However, the issue of excessive noise in submicron devices remains a major impediment to CMOS based low noise RF design. In the first part of this paper, we have studied and simulated RF noise of CMOS submicron transistors, where gate noise effect has been added to BSIM3v3 model in order to predict an accurate noise. This effect, which can be modelled by three methods, has been implemented into existing circuit simulators such as HSPICE.

In the second part, experimental studied of low noise frequency for CMOS/SOI deep submicron transistors has been realised in order to qualify this technology for radiofrequency applications. In both linear and saturation regimes, we have characterized several transistors dimensions. As result, excess noise behaviour, which is caused by floating body effects and neutralized by body contact transistors, has been observed in partially depleted SOI Transistors. On the other hand, low noise frequency allows somebody a characterisation of Si-SiO<sub>2</sub> interface.

## REMERCIEMENTS

Tout d'abord, je tiens à adresser ma profonde gratitude à Monsieur **Kais FERDJANI**, Maître de Conférence à l'USDB, pour avoir présidé le jury de ce mémoire ainsi que son soutien scientifique et morale pendant l'année théorique de Magister au Département d'Electronique.

J'adresse également ma profonde gratitude aux membres de jury; Monsieur **M. ATTARI** Professeur USTHB, Monsieur **M. DJEBARI** Maître de Conférence USDB, Monsieur **S. OUSSALAH** Chargé de Recherche CDTA, qui m'ont fait l'honneur d'accepter l'évaluation de ce travail.

Je tiens à remercier **M. Mohand Tahar BELAROUSSI**, Directeur de ce mémoire et Chef de la Division de Microélectronique et Nanotechnologie au CDTA, pour m'avoir accueilli au sein de la Division de Microélectronique et Nanotechnologie dans le cadre de mon mémoire de Magister en Microélectronique.

Mes remerciements s'adressent aussi aux enseignants de la post-graduation de l'Institut d'Electronique à l'Université de Saad Dahleb BLIDA, à Yazid Harabi, Lyes Bouzerara, Mohamed Guermaz et tous les membres de CDTA, à Jalal Jomaah et Francois Dieudonné et les membres de l' IMEP pour le stage effectué à l'ENSERGrenoble.

J'exprime également ma sympathie aux personnes dont la grande patience et la disponibilité à mon égard, pour le bon déroulement de mes stages et notamment lors de la réalisation des travaux qui m'ont été confiés.

## TABLE DES MATIERES

Résumé.....	2
Remerciements.....	3
Table des matières .....	4
Liste des illustrations, graphiques et tableaux .....	6
Nomenclature.....	9
Introduction.....	10
Chapitre 1 Généralités sur les technologies MOS .....	13
1.1 Capacité Métal-Oxyde-Semiconducteur.....	13
1.2 Structure des transistors MOS "Bulk" et SOI.....	15
1.2.1 Transistors MOS Bulk (en Si massif).....	15
1.2.2 Transistors MOS/SOI .....	15
1.3 Avantages et Inconvénients de la technologie CMOS.....	18
1.3.1 Isolation totale entre dispositifs voisins.....	18
1.3.2 Disparition du phénomène de verrouillage (« latch-up »).....	18
1.3.3 Immunité aux irradiations.....	19
1.3.4 Simplification du procédé de fabrication et meilleure densité d'intégration.....	19
1.3.5 Diminution des courants de fuite et des capacités parasites .....	19
1.3.6 Diminution des effets de canaux courts.....	19
1.4 Mécanismes spécifiques aux dispositifs SOI.....	20
1.4.1 Effets de substrat flottant .....	20
1.4.2 Effets d'auto-échauffement.....	22
1.4.3 Couplage des interfaces .....	22
1.5 Composants Innovants.....	22
1.6 Conclusion .....	22
Chapitre 2 Aspects theoriques du bruit électrique.....	24
2.1 Bruit électrique .....	24
2.2 Base de l'analyse du bruit électrique.....	25
2.2.1 Densité spectrale de puissance.....	26
2.3 Sources de bruit dans les Transistors MOS .....	27
2.3.1 Bruits en hautes fréquences .....	27
2.3.2 Bruits aux basses fréquences .....	29
2.4 Conclusion .....	35

Chapitre 3 Bruit électrique des transistors MOS/SI massif submicroniques en radiofréquences .....	37
3.1 Le bruit thermique du drain .....	37
3.1.1 Modèle de la transconductance $g_m$ .....	38
3.1.2 Modèle de la conductance $g_{do}$ .....	38
3.1.3 Modèle de la charge QN .....	39
3.1.4 Modèle de Triantis et al. utilisée en submicronique .....	39
3.2 Le bruit associé à la grille .....	41
3.2.1 Le modèle de la résistance grille effective.....	42
3.2.2 Le modèle classique de Van der Ziel.....	45
3.2.3 Le modèle du bruit de la grille développé par TRIANTIS et al. ....	45
3.2.4 Le bruit de la grille induit .....	46
3.2.5 Le bruit associé à la résistance de l'électrode grille .....	47
3.2.6 Le coefficient de corrélation .....	47
3.2.7 La minimisation du bruit associé à la grille par la structure interdigitée.....	47
3.3 Calcul théorique et Simulation par Hspice .....	50
3.3.1 Le modèle BSIM3v3.....	51
3.3.2 Etude statique.....	53
3.3.3 Calcul théorique de différents modèles du bruit associé à la grille .....	53
3.3.4 L'adaptation des modèles du bruit au modèle du transistor .....	56
3.3.5 Performance en bruit des transistors submicroniques.....	58
3.3.6 Performance en bruit des transistors submicroniques larges.....	62
3.3.7 Minimisation du bruit par la structure interdigitée .....	67
3.4 Conclusion .....	68
Chapitre 4 Bruit basse fréquence des transistors MOS/SOI.....	69
4.1 Caractérisation statique.....	69
4.1.1 Paramètres électriques extraits.....	70
4.1.2 Phénomènes observés en régime statique.....	72
4.2 Bruit électrique .....	76
4.2.1 Description du banc de mesure.....	76
4.2.2 Résultats expérimentaux .....	79
4.3 Conclusion .....	92
Conclusion .....	93
References .....	94
Annexe A .....	98

## LISTE DES ILLUSTRATIONS, GRAPHIQUES ET TABLEAUX

Figure 1 : Récepteur à Large-bande et double-conversion .....	10
Figure 2 : Diagrammes de bandes d'énergie du système Métal-Oxyde-Semiconducteur....	14
Figure 3 : Diagramme schématique des transistors MOS .....	15
Figure 4 : Exemple de diagramme des courbures de bande. ....	16
Figure 5 : Transistors MOS/SOI Partiellement déplétés .....	17
Figure 6 : Transistor MOS/SOI complètement déplété .....	18
Figure 7 : Présentation schématique de l'effet de partage de charges .....	20
Figure 8 : Présentation schématique du transistor bipolaire parasite.....	21
Figure 9 : Le bruit thermique d'une résistance.....	29
Figure 10 : Exemple du spectre Lorentzien.....	34
Figure 11 : Evolution de la dispersion de la densité spectrale de puissance en courant de drain normalisé en fonction de la longueur du canal.....	35
Figure 12 : Modèle intrinsèque petit signal du transistor MOS .....	37
Figure 13 : Les deux régions du canal d'un transistor MOSFET submicronique .....	40
Figure 14 : Modèle de la résistance effective .....	42
Figure 15 : L'électrode grille représentée par la couche de polysilicium .....	44
Figure 16 : Application de l'équation de Langevin pour le transistor MOS .....	46
Figure 17 : Transistor MOS en une seule unité et Structure interdigitée .....	48
Figure 18 : Modèle distribué d'un Transistor MOSFET .....	49
Figure 19 : Transistor MOSFET équivalent de la structure distribuée .....	50
Figure 20 : Organigramme de simulation.....	51
Figure 21 : Modèles du bruit induit .....	53
Figure 22 : Modèles du bruit induit en fonction de la fréquence.....	54
Figure 23 : Modèle de la résistance effective .....	55
Figure 24 : Modèle de la résistance effective .....	55
Figure 25 : L'effet de la tension grille sur le Modèle de la résistance grille .....	56
Figure 26 : La source du bruit de la grille induit adaptée au modèle du MOSFET.....	57
Figure 27 : La source du bruit de la résistance effective de la grille adaptée au MOSFET	57
Figure 28 : La DSP en tension du bruit de sortie en utilisant les modèles de Triantis et Van der Ziel .....	60

Figure 29 : La DSP en tension du bruit de sortie en utilisant le modèle de la résistance effective .....	61
Figure 30 : DSP en tension du bruit à la sortie du transistor MOS 1.8 GHz .....	62
Figure 31 : DSP en tension du bruit à la sortie du transistor MOS à 1.8 GHz .....	63
Figure 32 : DSP en tension du bruit du transistor MOS ayant $W=200\mu\text{m}$ et $L=0.5\mu\text{m}$ .....	63
Figure 33 : DSP en tension du bruit du transistor MOS ayant $W=200\mu\text{m}$ et $L=0.35\mu\text{m}$ .....	64
Figure 34 : DSP en tension du bruit du transistor MOS ayant $W=200\mu\text{m}$ et $L=0.8\mu\text{m}$ .....	64
Figure 35 : DSP en tension du bruit du transistor MOS ayant $W=200\mu\text{m}$ et $L=0.5\mu\text{m}$ .....	65
Figure 36 : DSP en tension du bruit du transistor MOS ayant $W=200\mu\text{m}$ et $L=0.35\mu\text{m}$ .....	65
Figure 37 : DSP en tension du bruit en utilisant le modèle de la résistance effective .....	66
Figure 38 : DSP en tension du bruit en utilisant le modèle de la résistance effective .....	67
Figure 39 : DSP en tension du bruit du transistor MOS avec la structure interdigitée .....	68
Figure 40 : Banc de mesure pour la caractérisation statique .....	69
Figure 41 : Caractéristique statique courant-tension $I_d(V_g)$ .....	70
Figure 42 : a) Bandes d'énergie Si-SiO <sub>2</sub> -Si b) Effet de substrat flottant .....	72
Figure 43 : (a) $I_d(V_g)$ en régime linéaire, (b) la transconductance $G_m(v_g)$ .....	73
Figure 44 : (a) $I_d(V_g)$ en régime linéaire, (b) la transconductance $G_m(v_g)$ .....	74
Figure 45 : Accumulation des trous dans le film provoqué par l'ionisation par impact .....	74
Figure 46 : Effet Kink sur la caractéristique $I_d(V_d)$ d'un MOS/SOI PD à substrat flottant .....	75
Figure 47 : Suppression de l'effet Kink d'un NMOS/SOI PD avec prise de substrat .....	75
Figure 48 : Banc de mesure de bruit .....	77
Figure 49 : Schéma de variation du rapport $S_{Id}/I_d^2$ pour les modèles de bruit en $1/f$ .....	79
Figure 50 : DSP en courant du bruit de drain d'un transistor MOS/SOI PD à substrat flottant .....	80
Figure 51 : DSP en courant de drain normalisée d'un transistor substrat flottant .....	81
Figure 52 : DSP en courant de drain d'un transistor à substrat flottant .....	81
Figure 53 : DSP normalisée en courant de drain d'un transistor à substrat flottant .....	82
Figure 54 : l'excès du bruit de GIFBE d'un transistor MOS/SOI PD à substrat flottant .....	82
Figure 55 : Effet de la largeur de canal sur la DSP en courant de drain .....	83
Figure 56 : DSP en courant de drain d'un transistor à prise substrat en architecture H .....	84
Figure 57 : DSP en courant de drain d'un transistor à prise substrat en architecture T .....	84
Figure 58 : DSP en courant de drain d'un transistor MOS/SOI PD à prise substrat .....	85
Figure 59 : DSP en courant de drain d'un transistor MOS/SOI PD à prise substrat .....	85
Figure 60 : DSP en courant de drain d'un transistor MOS/SOI PD à substrat flottant .....	86

Figure 61 : caractéristique statique en régime de saturation en présence de l'effet Kink ...	87
Figure 62 : DSP en régime de saturation avant l'effet Kink.....	87
Figure 63 : DSP en régime de saturation avec l'apparition de l'effet Kink.....	88
Figure 64 : SId (Vd) pour un NMOS SOI-PD d'architecture $L = 0.12 \mu\text{m}$ et $W = 10\mu\text{m}$ ...	89
Figure 65 : Caractéristiques statiques des structures H et T et suppression du kink .....	90
Figure 66 : Spectre en fréquence en régime de saturation avant suppression du Kink .....	90
Figure 67 : DSP en fonction de la tension drain et suppression du Kink .....	91
Figure 68 : Bruit à spectre Lorentzien .....	91
Figure 69 : schéma équivalent petit signal (a) d'un transistor MOS SOI-PD avec détail des capacités (b) prises en compte .....	98
Tableau 1 : Récapitulatif des performances des technologies courantes en vue d'une intégration mixte .....	12
Tableau 2 : Récapitulatif de différentes structures caractérisées.....	71

## NOMENCLATURE

CMOS	Complementary Metal-Oxide-Semiconductor
MOS	Metal-Oxide-Semiconductor
SOI	Silicon On Insulator (Silicium sur Isolant)
PD	Partiellement Déplété
CD	Complètement Déplété
Bulk	Substrat en Si-Massif
BOX	Buried OXide ( Oxyde Enterré)
BSIM	Berkeley Short_channel IGFET Model
DSP	Densité Spectrale de Puissance
RF	Radiofréquence
BF	Basse fréquence
Body	Film active de silicium
Body Contact	Prise substrat ( Contact au niveau du Film active de Silicum)
Floating Body	Substrat Flottant

## INTRODUCTION

Depuis le fort développement des systèmes de télécommunications portables au début des années 80, le nombre de téléphones cellulaires n'a cessé d'augmenter entraînant ainsi une très forte croissance du marché des composants radiofréquences. Jusqu'à présent, la technologie phare dans ce domaine était la technologie GaAs. Récemment, l'énorme effort produit par les industries de la microélectronique, afin d'atteindre un fort degré de maturité, a poussé les technologies silicium à se développer pour ce type d'applications. Les nouveaux produits tels que les téléphones cellulaires de la 3<sup>ème</sup> génération et les réseaux locaux (Bluetooth, HomeRF) ont été prévus pour transmettre des données numériques et vocales à partir de fréquences porteuses allant jusqu'à 2,5 GHz. La difficulté est, dans le cas des téléphones cellulaires par exemple, de les rendre compatibles à la fois avec les standards actuels à 900 et 1800 MHz, et avec les nouvelles normes de transmission à 2,2 GHz. Ceci nécessite donc des circuits capables de gérer plusieurs modes de codage et plusieurs fréquences porteuses. De plus, des exigences au niveau de l'encombrement, de la consommation, du poids et du prix sont de plus en plus conséquentes rendant les « Systems-on-Chip » incontournables (figure 1). Le but est alors d'intégrer les étages radiofréquence et analogique avec les diverses parties numériques nécessaires au traitement des informations.

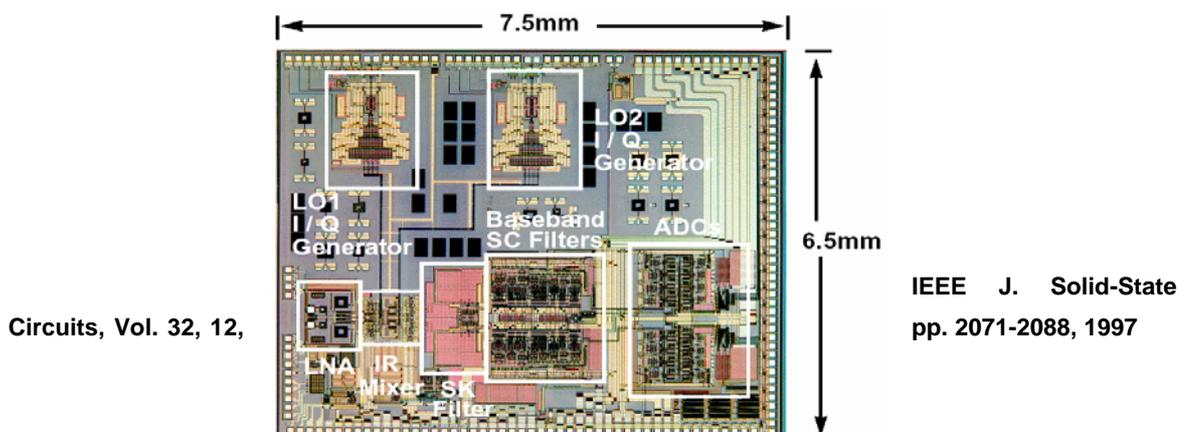


Figure 1 : Récepteur à Large-bande et double-conversion 1.9GHz, 198mW, 0.6u CMOS

Les nouvelles technologies devront donc avoir :

- De bonnes performances de leurs éléments actifs pour les parties analogiques et radiofréquences du système (fréquence de coupure élevée, bonne linéarité, **faible bruit**).
- Une forte densité d'intégration de manière à pouvoir intégrer des processeurs de signaux numériques.
- Des interconnexions de bonne qualité (faible résistivité des matériaux conducteurs et faibles capacités parasites) de manière à réduire les pertes.
- Une bonne isolation entre les différents blocs analogiques, radiofréquences, et numériques de manière à réduire tous les effets de bruit de substrat.
- Une consommation totale des systèmes réduite au maximum.

Le tableau suivant résume les principales caractéristiques des technologies courantes que sont les filières GaAs, CMOS, BiCMOS. Le choix de l'une ou de l'autre de ces technologies est guidé par des impératifs de coûts et de performance.

	CMOS-Si	BiCMOS-SiGe	GaAs
Coût	Faible	Elevé	Très élevé
Fonction RF	Moyenne	Bonne	Très bonne
Intégration (VLSI)	Bonne	Bonne	Mauvaise
Consommation	Faible	Faible	Elevé
Intégration des passifs	Mauvaise	Mauvaise	Bonne
Maturité	Très bonne	Bonne	Moyenne

Tableau 1 : Récapitulatif des performances des technologies courantes en vue d'une intégration mixte [1]

Les circuits de technologies GaAs sont très appréciés pour leur grande rapidité, leur faible niveau de bruit et leur forte puissance. On les retrouve notamment dans les amplificateurs de puissance et les amplificateurs à faible bruit des téléphones cellulaires. Par contre, ces technologies ne permettent pas, d'une part, d'intégrer la partie numérique sur le même circuit, et d'autre part, de disposer de circuits de faible coût. Les technologies BiCMOS- SiGe fournissent maintenant des transistors bipolaires très performants. Les seuls aspects encore problématiques concernent les éléments passifs comme les

inductances intégrées et les MOSFETs qui ont souvent une génération de retard par rapport à ceux des filières CMOS.

Dans la Division de Microélectronique et de Nanotechnologie au CDTA, la technologie CMOS représente le choix adéquat pour la réalisation d'un récepteur. Ce choix revient aux performances de cette technologie qui a atteint des fréquences de coupures dépassant les 100 GHz en particulier par des transistors Sub-0,1 $\mu$ m. Aussi, les technologies CMOS sont incontestablement les mieux adaptées au traitement numérique DSP,  $\mu$ P, etc.

Le projet de réalisation d'un récepteur au niveau de la Division demande un travail colossal sur les étages composant ce circuit prometteur. Dans ce cadre, les amplificateurs à faible bruit représentent une partie analogique et radiofréquence importante pour la récupération du signal RF sans trop l'affecter. Ainsi, le bruit devient un sujet important qui nécessite une étude approfondie afin de l'évaluer et de l'optimiser. L'un des éléments sources de cet effet est le transistor MOSFET qui constitue le 1<sup>er</sup> étage d'un amplificateur à faible bruit. A ce propos, notre étude consiste à traiter le thème du bruit au niveau du MOSFET en RF, d'autre part, à réaliser un banc de mesure pour la mesure de bruit. Aussi, ce mémoire a été renforcé par un stage au niveau d'un laboratoire Français (Institut de Microélectronique d'Electromagnétisme et de Photonique à Grenoble) où un travail sur le bruit aux basses fréquences des transistors MOS sur SOI (silicium sur isolant) a été effectué afin d'apporter une expérience pour l'installation d'un banc de mesure et les méthodes de mesure utilisés.

Au début de ce mémoire, on présentera les deux filières de la technologie CMOS traitées dans cette étude afin de donner une idée générale sur sa diversité. Dans le deuxième chapitre, on regroupera les différents types du bruit électrique et les sources qui peuvent être à l'origine de ce phénomène dans les composants semi-conducteurs. Ensuite, on traitera en deux parties le thème du bruit électrique dans le cas du transistor MOSFET, où la première partie sera consacrée à la simulation et l'analyse du bruit en radiofréquence. Cette simulation s'effectuera sur les transistors MOS/SI massif de technologie 0,35 $\mu$ m, où on implémentera les modèles du bruit associé à la résistance grille au modèle de transistor MOS/SI massif dans sa version BSIM3v3 pour tenir compte de l'effet de la résistance grille sur le bruit de sortie total. La deuxième partie sera basée sur l'expérimental, où des transistors MOS/SOI submicroniques profonds seront caractérisés par le bruit électrique basse fréquence.

# CHAPITRE 1

## GENERALITES SUR LES TECHNOLOGIES MOS

Le but de ce chapitre est de présenter les deux filières de la technologie MOS qui sont en concurrence permanente depuis l'avènement des applications de communication sans fils. Il s'agit des technologies MOS silicium massif et silicium sur isolant. Pour cela, nous donnerons un aperçu détaillé de chaque technologie afin de permettre au lecteur de décerner l'aspect physique de chaque structure.

### 1.1 Capacité Métal-Oxyde-Semiconducteur

Le transistor MOS est le composant électronique à effet de champ le plus utilisé dans les diverses applications. Sa structure composée de trois couches Métal Oxyde Semi-conducteur a donné à ce composant un avenir inattendu vu son évolution accélérée en microélectronique et actuellement en nanotechnologie. Le diagramme de bande d'énergie de sa structure de base est illustré sur la figure 2 en subissant des transformations de surface suivant la polarisation.

La structure idéale est obtenue avant que le dispositif soit polarisé, les bandes d'énergie du système MOS doivent être en situation de bandes plates (Figure 2a). Mais l'application d'une tension positive ou négative sur l'électrode de grille ( $V_g$ ) implique un changement. Les bandes près de l'interface Si/SiO<sub>2</sub> se courbent par effet de champ (figure 2b-d). Ainsi, le potentiel de surface  $\Psi_s$  qui mesure la courbure des bandes entre la surface et le volume change. A titre d'exemple et pour un substrat en silicium de type P, nous pouvons distinguer quatre régimes de fonctionnement du système MOS et cela suivant la valeur de  $\Psi_s$ :

1.  $V_g < 0$  et  $\Psi_s < 0$  : cas de l'accumulation des trous à la surface (figure 2b).
2.  $V_g > 0$  et  $0 < \Psi_s < \Phi_f$  : régime de déplétion (figure 2c).
3.  $V_g > 0$  et  $\Phi_f < \Psi_s < 2\Phi_f$  : régime de faible inversion, des porteurs minoritaires commencent à apparaître à la surface (figure 2c).
4.  $V_g \gg 0$  et  $\Psi_s > 2\Phi_f$  : régime de forte inversion. Un canal de porteurs minoritaires en forte concentration est formé (figure 2d).

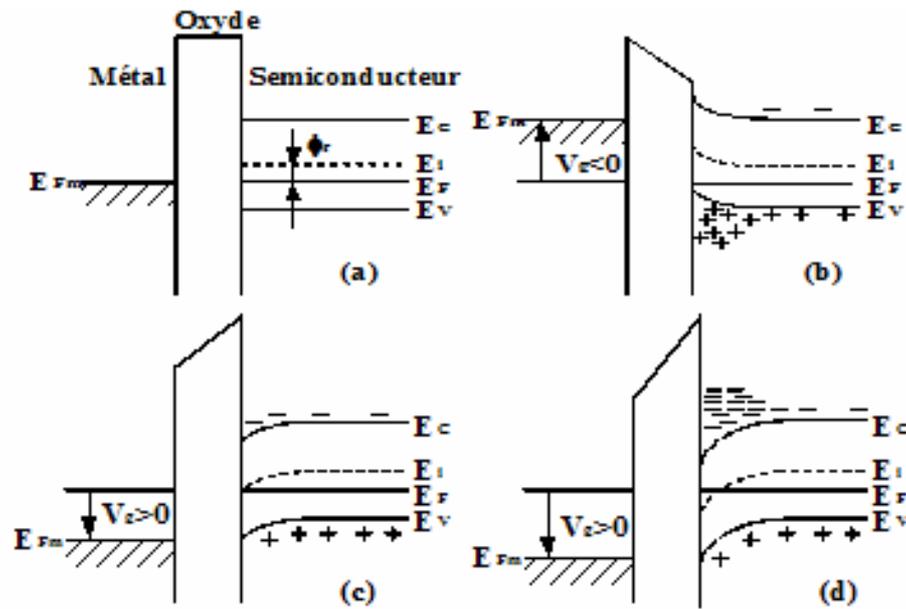


Figure 2 : Diagrammes de bandes d'énergie du système Métal-Oxyde-Semiconducteur à canal N (a) bandes plates, (b) accumulation, (c) déplétion ou faible inversion et (d) forte inversion [2].

Où  $\Phi_f = (E_i - E_F)/q$  est le potentiel de Fermi voir figure 2a:

$$\Phi_f = \left( \frac{kT}{q} \right) \ln \frac{N_a}{n_i} \quad (1.1)$$

Où  $N_a$ ,  $n_i$ ,  $k$ ,  $T$ ,  $q$ , sont respectivement la concentration des dopants accepteurs, la concentration des porteurs dans un semiconducteur intrinsèque, la constante de Boltzmann, la température absolue et la charge absolue de l'électron.

Au début de la forte inversion ( $\Psi_s \approx 2\Phi_f$ ), un canal de porteurs minoritaires est formé. La tension appliquée sur la grille induisant un tel potentiel de surface est appelée la tension de seuil ( $V_t$ ) [2]:

$$V_t = V_{FB} + 2\Phi_f + \frac{\sqrt{2\varepsilon_{si}qN_a(2\Phi_f)}}{C_{ox}} \quad (1.2)$$

Où  $V_{FB}$  est le potentiel de bande plate pour une capacité non idéale,  $\varepsilon_{si}$  la permittivité du silicium et  $C_{ox}$  la capacité de l'oxyde.

## 1.2 Structure des transistors MOS "Bulk" et SOI

### 1.2.1 Transistors MOS Bulk (en Si massif)

Sur un substrat semiconducteur de forte résistivité de type N ou P, nous fabriquons localement, par diffusion ou implantation ionique, deux zones fortement dopées de type opposé à celui du substrat (pour les TMOS à enrichissement). L'espace entre ces deux zones "Drain" et "Source", est recouvert par une couche d'oxyde et une couche conductrice de métal ou de polysilicium, appelée "Grille", pour réaliser une capacité MOS. Le drain et la source doivent être recouverts par un contact ohmique pour les connexions extérieures. Le schéma d'un tel transistor MOS en Si massif est représenté dans la figure 3a.

### 1.2.2 Transistors MOS/SOI

Les transistors MOS/SOI ont le même principe de fonctionnement. La seule différence réside dans leur structure. Le substrat possède en l'occurrence une couche d'oxyde enterrée ("BOX" de l'anglais: Buried OXide) dans le silicium (figure 3b). On obtient ainsi un film de silicium confiné entre l'oxyde enterré et celui de grille. Actuellement, la structure SOI peut être réalisée par diverses méthodes pour différentes applications.

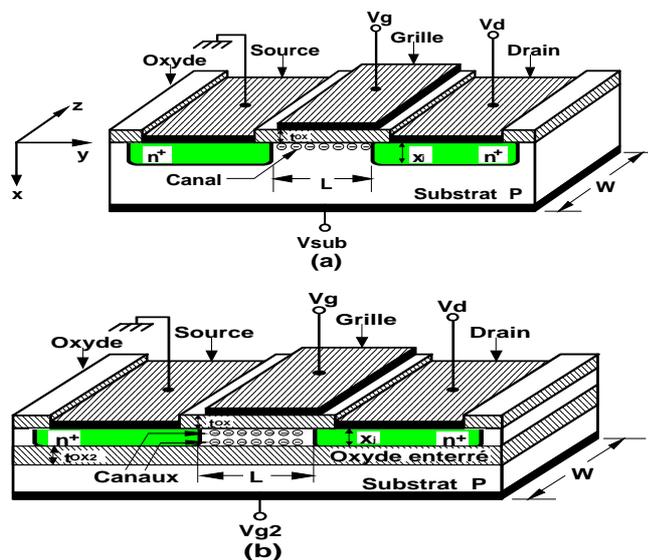


Figure 3 : Diagramme schématique des transistors MOS (a) en Si massif (Bulk) et (b) SOI.

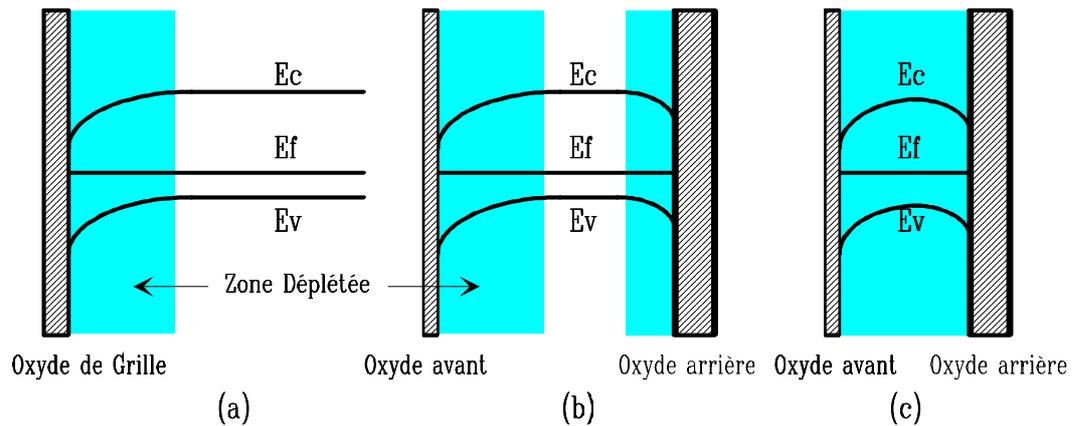


Figure 4 : Exemple de diagramme des courbures de bande en (a) Si massif, (b) SOI à film épais et (c) SOI à film mince. L'aire de couleur grise représente la zone déplétée (ou désertée).

Selon l'épaisseur du film silicium, trois types de transistors MOS/SOI (en mode d'enrichissement) se distinguent: les dispositifs à film épais, les dispositifs à film mince et les dispositifs à film d'épaisseur moyenne. En modulant, la polarisation sur la grille arrière, ces derniers peuvent exhiber un comportement soit de dispositifs à film épais, soit de dispositifs à film mince [3]. La figure 4 représente le diagramme des courbures de bande d'un transistor MOS en Si massif (figure 4a), d'un transistor MOS/SOI à film épais (figure 4b) et d'un transistor MOS/SOI à film mince (figure 4c). Tous les trois sont à canal N et sont présentés au seuil de forte inversion.

En fonction de l'épaisseur du film de silicium, on peut distinguer deux familles distinctes de MOS/SOI : partiellement déplété ou complètement déplété.

#### 1.2.2.1 Tansistors MOS/SOI PD ( Partiellement Déplété)

L'épaisseur du film de Si est supérieure à l'extension maximale de la zone de charge d'espace. Alors il n'existe pas d'interactions entre les zones de déplétions étendues depuis les interfaces avant et arrière, donc il apparaît une zone neutre de silicium. Si cette partie non déplétée, appelée 'Body', est connecté à la masse (figure 5b), les caractéristiques des dispositifs seront les mêmes que celles de dispositifs à Si massif. On appelle ces dispositifs 'Body Contact' où la structure T a une seule prise, et la structure H a deux prises.

Par contre, si on laisse le film mince électriquement flottant (figure 5a) sans prise de substrat (Floating body), certains effets spécifiques apparaissent liés à cette zone neutre, on peut citer l'effet Kink et le transistor bipolaire parasite.

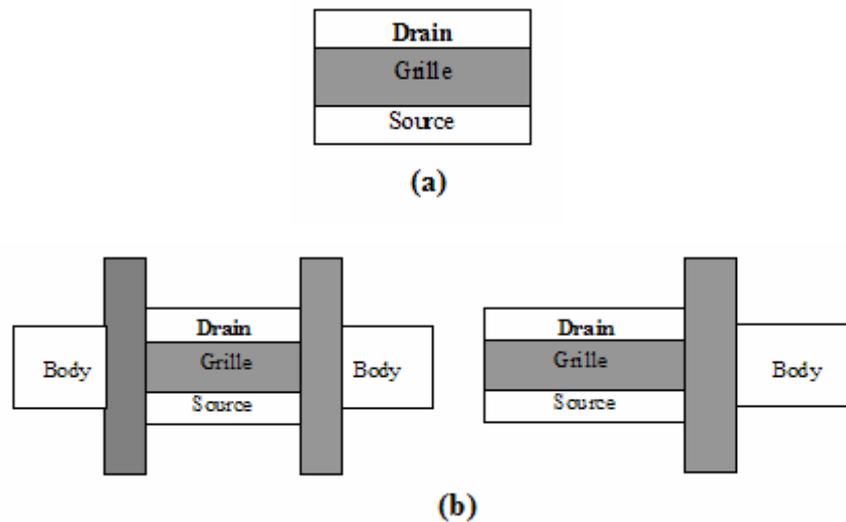


Figure 5 : Transistors MOS/SOI Partiellement déplétés (a) sans prise de substrat, (b) avec prise de substrat (structures H et T)

#### 1.2.2.2 Tansistors MOS/SOI CD (Complètement Deplété)

Si le film de Si a une épaisseur inférieure à  $x_{dmax}$  et il sera complètement déplété au seuil (figure 6). Dans cette situation, le SOI ne manifeste pas l'effet de substrat flottant vu la désertion totale induite et un couplage capacitif entre les interfaces avant et arrière. L'effet de couplage se ressent particulièrement au niveau de la tension de seuil qui n'est plus uniquement fonction du potentiel de grille avant, mais aussi de la face arrière. Ces dispositifs présentent des caractéristiques électriques intéressantes pour la réalisation de circuits intégrés fonctionnant à basse tension d'alimentation. Il faut noter que la tension de seuil du dispositif est très sensible aux fluctuations de l'épaisseur de silicium dont le contrôle peut être un problème.

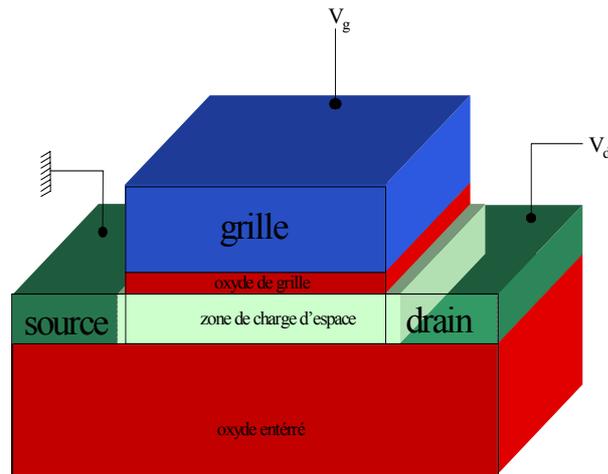


Figure 6 : Transistor MOS/SOI complètement déplété

### 1.3 Avantages et Inconvénients de la technologie CMOS

Les deux filières de la technologie CMOS présentent des avantages et des inconvénients, et cela, malgré l'avancement technologique des transistors MOS/Si-Massif par rapport aux transistors MOS/SOI. Ces derniers se considèrent comme des composants très prometteurs pour les applications submicroniques des circuits CMOS. Ils offrent de nouvelles possibilités par rapport aux transistors des technologies Silicium massif. Néanmoins, la structure SOI induit certains effets spécifiques pendant le fonctionnement des transistors. Les principaux avantages et mécanismes spécifiques du SOI seront brièvement énumérés dans cette partie.

#### 1.3.1 Isolation totale entre dispositifs voisins

Dans les dispositifs SOI, la zone active est séparée des autres dispositifs (isolation latérale) et du substrat par l'oxyde enterré (isolation verticale). Cette isolation totale est à l'origine des effets de la technologie SOI discutés ci-après.

#### 1.3.2 Disparition du phénomène de verrouillage (« latch-up »)

Grâce à l'isolation totale, le phénomène de verrouillage induit par le déclenchement du thyristor parasite qui existe dans les CMOS en Si massif n'est plus présent dans les dispositifs SOI.

### 1.3.3 Immunité aux irradiations

La motivation initiale pour les composants SOI est leur excellente immunité aux irradiations. Plusieurs sources d'irradiations (particules, rayons x et  $\gamma$ , ions lourds...) peuvent générer des paires électron-trou et par suite des photo-courants qui provoquent des pertes d'information et parfois la destruction des circuits. Dans un dispositif SOI, la zone active exposée aux irradiations et générant des porteurs, est de l'ordre de cent à mille fois plus faible que pour un transistor en Si massif.

### 1.3.4 Simplification du procédé de fabrication et meilleure densité d'intégration

La fabrication des circuits CMOS/SOI est plus simple. Le nombre d'étapes de fabrication peut être réduit, en particulier celles d'isolation et d'implantation à haute énergie. De plus, des règles de dessin plus agressives (distance N+ P+ ou distance de l'isolation latérale) permettent d'augmenter la densité des dispositifs SOI.

### 1.3.5 Diminution des courants de fuite et des capacités parasites

Dans un transistor MOS sur SOI, les zones du drain et de la source s'étendent généralement jusqu'à l'oxyde enterré et seuls leurs côtés latéraux servent de jonctions. En conséquence, une réduction des capacités parasites et des courants de fuite est obtenue. De plus, pour une couche SOI mince (complètement déplétée), la capacité associée à la charge de la déplétion est supprimée.

### 1.3.6 Diminution des effets de canaux courts

La structure SOI présente des options uniques pour la réduction des effets de canaux courts, qui résultent du partage des charges de déplétion entre la grille et les jonctions, ainsi que pour la réduction de l'effet DIBL (Drain-Induced Barrier Lowering) dans les transistors. Dans le cas du MOS sur SOI, l'extension de la zone déplétée du drain et de la source se limite à la petite zone de jonction.(figure 7)

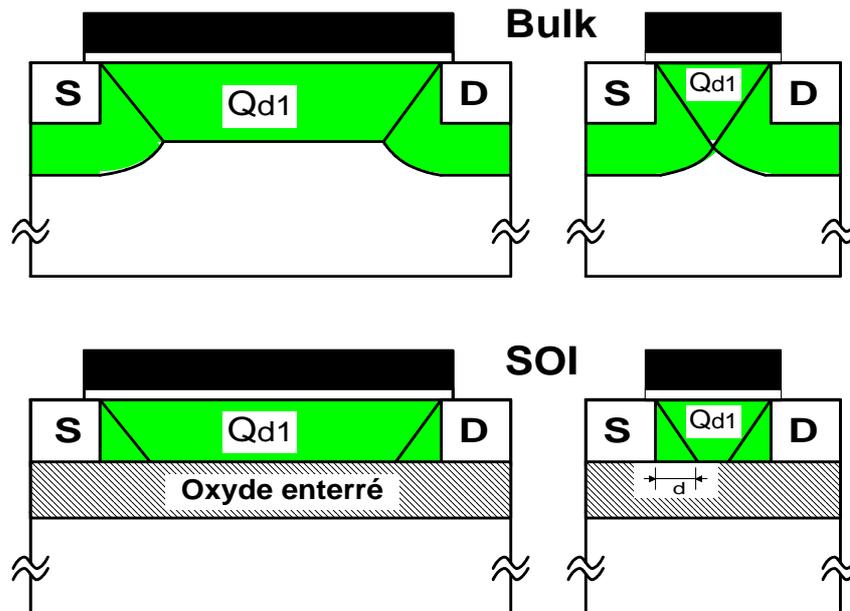


Figure 7 : Présentation schématique de l'effet de partage de charges dans les dispositifs en Si massif et SOI [3].

#### 1.4 Mécanismes spécifiques aux dispositifs SOI

Les comportements statique et dynamique des MOSFETS SOI diffèrent beaucoup des MOSFETS sur silicium massif et ceci à cause de multiples phénomènes inhérents à la présence de l'oxyde enterré. Ces effets peuvent être bénéfiques ou parasites.

##### 1.4.1 Effets de substrat flottant

Des porteurs majoritaires, créés par ionisation par impact à fort  $V_d$ , produisent un courant de substrat collecté par un contact substrat dans le cas d'un transistor MOS en Si massif. Par contre, dans un transistor MOS/SOI, le contact de substrat n'est pas toujours disponible. Lorsque ce contact n'est pas présent, les porteurs majoritaires s'accumulent dans le substrat et induisent un excès de potentiel, provoquant ainsi une diminution de la tension de seuil et l'apparition de l'effet Kink (excès de courant) dans les caractéristiques  $I_d(V_d)$ .

De plus, d'autres effets indésirables, comme le transistor bipolaire parasite et les effets transitoires, sont aussi induits par la présence du substrat flottant.

##### 1.4.1.1 Effet Kink

Ce phénomène est seulement observé dans les transistors MOS sur SOI partiellement déplétés. En présence du phénomène d'ionisation par impact, le potentiel du

substrat est accru à cause de l'accumulation des porteurs majoritaires, la jonction source/substrat est donc polarisée en direct, et la tension de seuil diminue. Par conséquent, l'effet Kink se produit avec une brusque augmentation du courant en saturation. Cet effet peut être éliminé dans les films fortement déplétés et peut être réduit dans les films faiblement déplétés.

#### 1.4.1.2 Effets du transistor bipolaire parasite

Le transistor bipolaire parasite (figure 8) exerce une influence importante sur les propriétés électriques des transistors MOS/SOI en régime de faible inversion et à fortes tensions de drain. Il induit une baisse de la tension d'avalanche de drain et un phénomène de verrouillage (perte de contrôle de la grille). Il est dû à la polarisation de la jonction source/film de Si (émetteur/base) par le courant d'ionisation par impact, conduisant à un fort courant collecteur venant se rajouter au courant de drain. Ce phénomène est accentué en réduisant la longueur du canal (augmentation du gain du bipolaire et du champ électrique latéral).

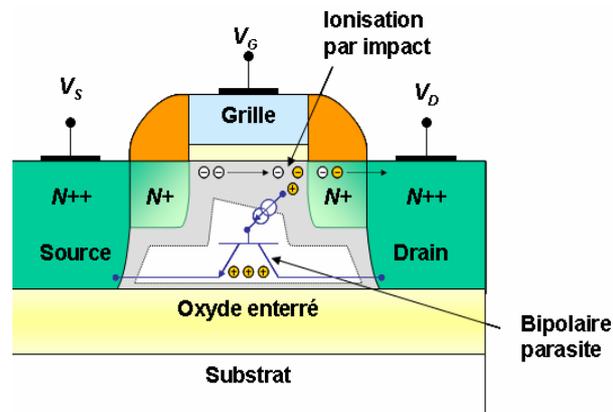


Figure 8 : Présentation schématique du transistor bipolaire parasite

#### 1.4.1.3 Effets transitoires

L'isolation verticale, induisant le substrat flottant, est aussi responsable de l'apparition des effets transitoires. Après la commutation ON ou OFF de la grille avant et/ou de la grille arrière, le courant de substrat est absent (s'il n'y a pas de prise substrat) et ne peut ajuster rapidement la densité des porteurs majoritaires. Ainsi, l'équilibre est uniquement atteint par processus de génération-recombinaison. Dans un matériau SOI de qualité dont la durée de vie des porteurs est plus longue, cet ajustement a besoin d'une

période transitoire importante avant qu'un régime d'état stable soit atteint, ce qui peut affecter la performance de commutation des circuits intégrés.

#### 1.4.2 Effets d'auto-échauffement

A cause de la faible conductivité thermique de l'oxyde enterré dans les transistors MOS/SOI, la chaleur produite dans le film de SOI est relativement difficile à évacuer. En conséquence, la température augmente fortement dans le canal en fonction de la puissance. Lorsque la couche du film de silicium est plus mince, la température du canal s'accroît davantage. Une épaisseur réduite de l'oxyde enterré peut contribuer à diminuer cet effet.

#### 1.4.3 Couplage des interfaces

Dans les transistors MOS sur SOI complètement déplétés, la charge de déplétion ne peut pas s'étendre avec la polarisation de grille. L'application d'une tension de grille contrôle non seulement le potentiel de surface sous la grille considérée, mais aussi le potentiel de surface à l'interface opposée.

Par conséquent, les propriétés électriques d'un transistor MOS, telles la tension de seuil, le courant de drain et la transconductance, varient avec la polarisation de la grille opposée [4]. Ainsi, la qualité de la face arrière et de l'oxyde enterré peut influencer directement la mesure des caractéristiques électriques de la face avant à cause du couplage des interfaces.

L'influence de la dégradation de l'oxyde enterré peut être étendue au fonctionnement du dispositif entier, autrement dit, la dégradation apparente de la face avant est renforcée à cause du couplage des interfaces.

### **1.5 Composants Innovants**

La plupart des dispositifs innovants mettent à profit les opportunités uniques du SOI comme :

L'ajustement des épaisseurs du film de silicium et de l'oxyde enterré.

Le couplage de composants SOI et silicium massif sur une même plaquette.

L'implantation d'une seconde grille (transistor à double grille)

### **1.6 Conclusion**

Les structures MOS présentent donc une grande diversité, tant au niveau réalisation du substrat qu'au niveau des transistors. Parmi ces différentes architectures, les

transistors MOS sur silicium massif (Bulk) et la variété des transistors MOS/SOI où chaque structure a présenté ses propres avantages et son degré de maturité. On note aussi le champs d'applications offert par les technologies submicronique et submicronique profonde et leur évolution aux nanotechnologies.

## **CHAPITRE 2**

### **ASPECTS THEORIQUES DU BRUIT ELECTRIQUE**

Ce chapitre sera consacré aux sources de bruit électrique dans le cas des dispositifs électroniques et en particulier les transistors MOS. Notant que les définitions données restent valable pour les deux technologies (substrat classique et SOI). Ainsi, on aura les outils de base afin de pouvoir traiter le phénomène du bruit quelque soit la structure du transistor.

#### **2.1 Bruit électrique**

Le bruit électrique dans les dispositifs électroniques a son origine dans le comportement aléatoire des porteurs libres (électrons, trous) en fonction du temps. Aussi, les grandeurs usuelles qui en dépendent (courant, tension...) présentent des fluctuations autour de leurs valeurs moyennes. Ces fluctuations peuvent avoir des causes (sources) externes ou internes aux dispositifs électroniques. S'il est souvent possible d'éliminer les fluctuations d'origine externe liées à des interférences (par un blindage, mise à la masse...etc), ce n'est pas le cas des sources de bruit internes, lesquelles sont liées à des mécanismes physiques fondamentaux. Par la suite, nous ne nous intéresserons qu'aux sources de bruit internes aux composants. Celles-ci dépendent de l'architecture du composant électronique (transistor, diode...), des types de matériaux (nature, qualité...), de paramètres physiques (température, volume) et du point de polarisation. Par ailleurs, ces fluctuations sont une limite à la détection et à l'utilisation de signaux (seuil minimum). Ainsi, l'étude du bruit électrique se justifie pour plusieurs raisons :

Il doit être pris en compte dans la conception de circuits (analogiques notamment) comme les LNA (amplificateur faible bruit) ou en radiofréquence par le bruit de phase.

C'est un indicateur de la qualité et de la fiabilité des composants (oxyde de grille d'un transistor MOS).

Il détermine le signal minimal détectable.

L'objectif de ce chapitre sera donc dans un premier temps de définir le bruit électrique ainsi que les méthodes de calcul. Par la suite, concernant les dispositifs

électroniques et le transistor MOS en particulier, on présentera les différentes sources de bruit possibles.

## 2.2 Base de l'analyse du bruit électrique

Les différentes sources de bruit correspondent toutes à des fluctuations de la conductance des composants électriques et sont donc accessibles par l'étude du courant ou de la tension. Lesquelles peuvent être vues comme une variable aléatoire fonction du temps  $X(t)$ . L'étude d'une telle grandeur repose sur la théorie des probabilités et fait intervenir le traitement du signal [5].

D'une façon générale, une variable  $X(t)$  est aléatoire si ses valeurs sont aléatoires à tout instant  $t$ . Cet indéterminisme requiert ainsi une approche probabiliste. La probabilité que cette variable prenne alors une valeur comprise entre  $x$  et  $x+dx$  à l'instant  $t_1$  est donnée par :

$$dP(x, t_1) = f(x, t_1)dx \quad (2.1)$$

Où  $f(x, t_1)$  est la densité de probabilité. Et à partir de  $f$ , on peut déterminer les différents moments  $m$  du signal  $X(t)$  :

$$\bar{X}^m = E(X^m) = \int x^m f(x)dx \quad (2.2)$$

Les deux moments les plus intéressants étant la moyenne ( $m=1$ ) et la variance ( $m=2$ ) du signal  $X(t)$ . Il est à remarquer que si le signal est centré la moyenne est nulle, et dans le cas contraire on peut définir une nouvelle variable centré  $Y(t) = X(t) - E(X)$ . Par ailleurs, la moyenne  $E(X)$  du signal est la valeur statique obtenue soit par un voltmètre ou par un ampèremètre suivant ce que l'on mesure. Aussi, c'est la variance du signal qui nous intéressera pour le bruit électrique. De plus, en pratique, on considérera que les signaux aléatoires rencontrés sont stationnaires et ergodique. C'est à dire d'une part que les propriétés du signal sont invariantes dans le temps et donc la densité de probabilité  $f$  ne dépend pas du temps (stationnarité); et d'autre part que toute moyenne d'ensemble est égale à la moyenne temporelle (ergodicité).

La détermination de la densité de probabilité nécessite la connaissance du processus aléatoire mis en jeu. Les lois de probabilités les plus connues étant :

\* La loi binomiale

\* La loi de poisson

\* La loi normale (dite gaussienne lorsque  $E(X^2)=E(X)$ ).

Cette dernière est la plus rencontrée, notamment du fait du théorème central limite, les signaux aléatoires rencontrés correspondant à la somme d'un grand nombre de variables aléatoires et indépendantes (nombres de porteurs libre par exemple). On a alors :

$$dP(X) = \frac{1}{\sqrt{2\pi\sigma^2}} \exp\left(-\frac{X^2}{2\sigma^2}\right) dX \quad (2.3)$$

Où  $\sigma^2$  est la variance du signal  $X(t)$ .

On ne peut donc pas en général séparer les sources de bruit suivant leurs lois de probabilité car elles se réduisent pratiquement toutes à une loi gaussienne.

Une seconde approche possible consiste à déterminer la densité spectrale de puissance.

### 2.2.1 Densité spectrale de puissance

Pour une fonction aléatoire  $X(t)$  stationnaire, on peut développer  $X(t)$  en série de Fourier pour l'intervalle  $0 \leq t \leq T$  [6]:

$$X(t) = \sum_{-\infty}^{+\infty} a_n \exp(j\omega_n t) \quad (2.4)$$

Où  $\omega_n = 2\pi n/T$  et  $n=0, \pm 1, \pm 2 \dots$  et  $a_n$  (complexe) les coefficients de la série de Fourier.

$$a_n = \frac{1}{T} \int_0^T X(t) \exp(-j\omega_n t) dt \quad (2.5)$$

La densité spectrale de puissance  $S_X(f)$  d'une fonction aléatoire  $X(t)$  est alors définie par :

$$S_X(f) = \lim_{T \rightarrow \infty} 2T \overline{a_n a_n^*} \quad (2.6)$$

Où  $a_n^*$  est le coefficient complexe conjugué de  $a_n$ .

On peut alors montrer, par le théorème de Wiener-Khintchine, la relation suivante

:

$$S_X(f) = 4 \int_0^{\infty} \overline{X(t)X(t+s)} \cos(\omega s) ds \quad (2.7)$$

Où  $\overline{X(t)X(t+s)}$  est la fonction d'autocorrélation.

En conséquence, la densité spectrale de puissance correspond à la densité de répartition de la puissance  $\sigma_X^2$  du processus aléatoire sur l'axe des fréquences :

$$\sigma_X^2 = \int_{-\infty}^{+\infty} S_X(f) df \quad (2.8)$$

En pratique, c'est la densité spectrale de puissance qui est accessible, suite à un calcul numérique de transformée de Fourier rapide à partir de la relation 2.7.

## 2.3 Sources de bruit dans les Transistors MOS

D'une manière générale, il existe plusieurs sources de bruit électrique possibles. On distingue les sources de bruit blanc dont le spectre est indépendant de la fréquence dans la gamme mesurée, et les sources de bruit dit en excès qui dépendent de la fréquence. Dans la suite de cette partie, on présentera les sources de bruit usuellement rencontrées dans les composants électroniques et en particulier dans les transistors MOS. En effet, comme on le verra par la suite, les structures SOI n'introduisent pas de nouvelles sources fondamentales. L'impact de ces sources de bruit dans le cas des structures SOI sera par contre étudiée au chapitre suivant.

### 2.3.1 Bruits en hautes fréquences

En hautes fréquences, le bruit généré par les transistors MOS est considéré de type blanc. Et les principales sources de bruit blanc rencontrées sont donc le bruit thermique (ou bruit Nyquist) et le bruit de grenaille (appelé "shot noise") qui seront définis dans les paragraphes suivants :

### 2.3.1.1 Le bruit thermique

Le bruit thermique est un bruit fondamental présent dans tous les dispositifs. Il est lié à la diffusion thermique des porteurs par les atomes, les impuretés et les défauts du réseau cristallin. Le temps de relaxation est de l'ordre de la picoseconde, ce qui fait que le bruit thermique présente un spectre blanc sur une très large gamme de fréquence. La densité spectrale de puissance de bruit en tension d'une résistance R est donnée par [5] :

$$S_v(f) = \frac{4hfR}{\exp\left(\frac{hf}{kT}\right) - 1} \quad (2.9)$$

Où h est la constante de Planck, f la fréquence, k la constante de Boltzmann et T la température. Pour  $f \ll kT/h$ , on retrouve l'expression classique du bruit thermique :

$$S_v(f) = 4kTR \quad (2.10)$$

Pour un transistor MOS ayant pour résistance  $1/g_d$ , le bruit thermique est donné par la relation [7]:

$$S_{id}(f) = 4kT \frac{\int_0^{V_d} g_d(\phi_c)^2 d\phi_c}{\int_0^{V_d} g_d(\phi_c) d\phi_c} \quad (2.11)$$

Où  $\phi_c$  est la différence des quasi-niveaux de Fermi entre la source et le drain. Cette relation se réduit à l'équation 2.10 en régime ohmique.

Dans un circuit quelconque, le bruit thermique se représente par une source de tension en série avec chaque résistance R du circuit. Mais cette représentation n'est pas unique, le figure 9 illustre les représentations possibles :

- Soit par une source de tension en série avec une résistance.
- Soit par une source de courant en parallèle avec la résistance.

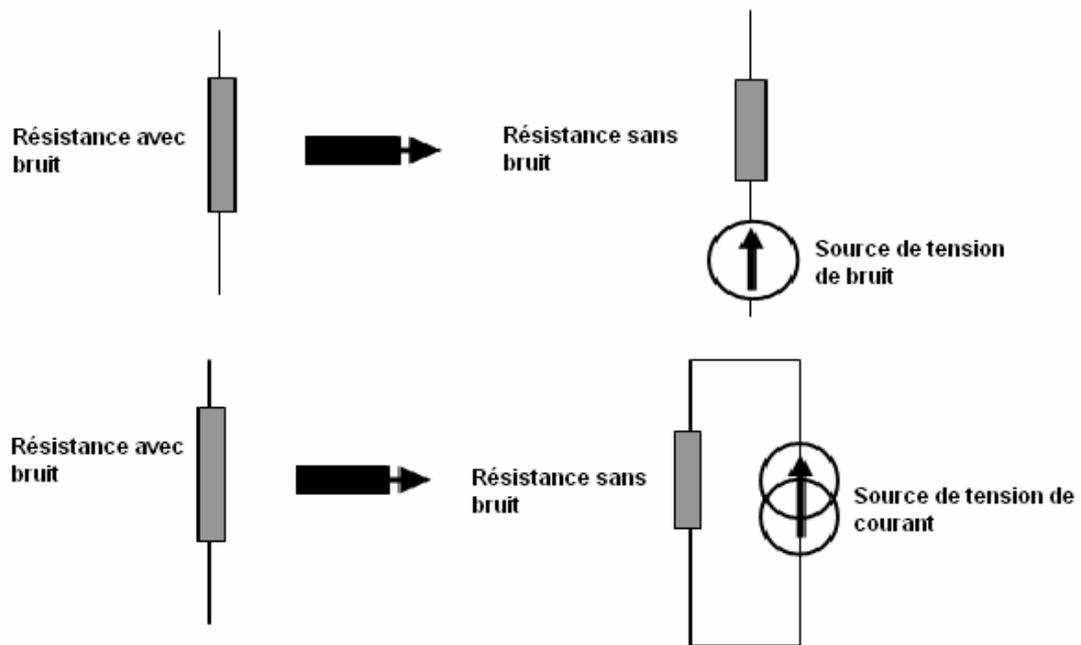


Figure 9 : Le bruit thermique d'une résistance

### 2.3.1.2 Le bruit de grenaille

Le bruit de grenaille vient du caractère discret de la charge des porteurs qui traversent une barrière de potentiel dans une jonction. Sa densité spectrale de puissance de bruit en courant est :

$$S_{I_d}(f) = 2qI_d \quad (2.12)$$

Où  $I_d$  est ici le courant de jonction.

Il est à noter que pour une jonction non polarisée ( $I_d = 0$  A), ce bruit n'est pas nul mais se confond avec le bruit thermique [5].

### 2.3.2 Bruits aux basses fréquences

#### 2.3.2.1 Bruit en 1/f

Parmi les sources de bruit en excès, le bruit en  $1/f$ , ou bruit de scintillement ("flicker noise"), occupe une place importante. Présent à basse fréquence, il est souvent dominant. C'est un bruit dit en excès car il ne se voit que lorsque le composant est traversé

par un courant. Dans les transistors MOS, deux sources de bruit ont été proposées pour expliquer l'origine du bruit en  $1/f$  [8]. Elles proviennent de la définition de la conductance électrique  $G$  d'un matériau :

$$G = \frac{q\mu nS}{L} \quad (2.13)$$

Où  $\mu$  est la mobilité,  $n$  la densité de porteurs,  $S$  et  $L$  sont la surface et la longueur du matériau. Ainsi, les variations de conductance sont soit dues à des variations de la mobilité (modèle de Hooge) ou bien à des fluctuations du nombre de porteurs (modèle de Mc Whorter). Ces deux sources peuvent être présentes en même temps dans un dispositif, même si une seule sera mesurable car elle masquera la seconde. Nous allons donc présenter ces deux modèles ainsi qu'une méthode permettant de les distinguer.

#### 2.3.2.1.1 Fluctuation de mobilité

Le modèle de Hooge [9][10] est basé sur des fluctuations de la mobilité des porteurs. Hooge a alors proposé la relation empirique suivante :

$$\frac{S_R}{R^2} = \frac{\alpha_h}{fN} \quad (2.14)$$

Où  $R$  est la résistance du dispositif,  $f$  la fréquence,  $N$  le nombre total de porteurs libres et  $\alpha_h$  le paramètre de Hooge. Ce dernier peut varier de plusieurs ordres de grandeurs ( $10^{-3}$  à  $10^{-7}$ ) suivant les dispositifs et notamment leurs qualités [11]. Son origine et sa dépendance avec certains paramètres du transistor (dopage, impuretés, température...) ont été largement discutés sans conclusion définitive. Par ailleurs, Jindal a montré que les fluctuations de la mobilité peuvent être dues à des fluctuations des sections efficaces de captures par les phonons [12]. Enfin, notons que le paramètre de Hooge peut être pris comme figure de mérite afin de comparer différentes technologies.

Pour le cas d'un transistor MOS de surface  $WL$  (largeur  $W$ , et longueur  $L$ ) fonctionnant en régime ohmique (canal uniforme), la densité spectrale de puissance de bruit en courant de drain normalisé est donnée par [13] :

$$\frac{S_{Id}}{I_d^2} = \frac{S_R}{R^2} = \frac{q\alpha_h}{fWLQ_i} \quad (2.15)$$

Où  $Q_i$  est la charge d'inversion.

Le courant de drain étant alors donné en régime ohmique par l'équation  $I_d = \frac{W}{L}\mu_{\text{eff}}Q_i(V_g)V_d$ , on peut donc réécrire la densité spectrale relative au courant de drain en fonction du courant de drain :

$$\frac{S_{Id}}{I_d^2} = \frac{\alpha_h\mu_{\text{eff}}V_d}{fL^2I_d} \quad (2.16)$$

Par contre en inversion forte, la densité spectrale de puissance en tension de grille équivalente en entrée s'écrit :

$$S_{V_g}(f) = \frac{q\alpha_h}{fWLC_{\text{ox}}}(V_g - V_t)[1 + \theta(V_g - V_t)]^2 \quad (2.17)$$

Où  $\theta$  est le coefficient de réduction de champ vertical

### 2.3.2.1.2 Fluctuation du nombre de porteurs

Dans ce cas, l'origine du bruit électrique est attribuée à des fluctuations du nombre de porteurs [14]. Dans un transistor MOS, les porteurs libres du canal peuvent en effet être piégés par les pièges présents dans l'oxyde de grille. Chaque piège pouvant être caractérisé par une constante de temps dépendant de son énergie et de sa position dans l'oxyde. Le piégeage/ dé-piégeage peut être un processus lié à l'effet tunnel [15][16] ou bien activé en température [17]. Ainsi, à une fluctuation du nombre de porteurs correspond une fluctuation de la charge d'oxyde  $Q_{\text{ox}}$ , elle-même pouvant être liée à la tension de bandes plates  $V_{\text{fb}}$  de la structure MOS. Nous allons donc dans un premier temps calculer la densité spectrale de puissance liée à la charge d'oxyde [15]; puis celui de la densité spectrale de puissance en courant de drain  $S_{Id}$  ou en tension de grille équivalente en entrée  $S_{V_{\text{gs}}}$  [18][19].

L'oxyde de grille présente des états d'interface dont certains sont soit à l'interface  $S_i/S_iO_2$  (états rapides) ou très proches de celle-ci (états lents). Ce sont ces états, ayant un niveau d'énergie situé dans la bande interdite, qui peuvent piéger un électron. Deux

processus de piégeage/dé-piégeage ont été proposés dans la littérature. Le premier est basé sur l'effet tunnel [15] et le second est un processus activé en température [17].

On obtient ainsi pour une distribution homogène de pièges lorsque le processus est basé sur l'effet tunnel [15]:

$$S_{Q_{ox}} = \frac{\lambda k T q^2 N_t}{W L f^\gamma} \quad (2.18)$$

Où  $N_t$  ( $/m^3/eV$ ) est la densité volumique de pièges dans l'oxyde et  $\gamma$  un coefficient proche de 1.

Si l'on considère que le piégeage/dé-piégeage des porteurs se fait par un processus activé en température, La densité spectrale de puissance de la charge piégée devient [17] :

$$S_{Q_{ox}} = \frac{(kT)^2 q^2 N_t}{W L f^\gamma \Delta E_a} \quad (2.19)$$

Où  $E_a$  est l'énergie d'activation thermique du piège variant dans un intervalle  $\Delta E_a$ .

A partir de la densité spectrale de la charge piégée, on peut exprimer la densité spectrale de puissance en courant par la relation suivante :

$$S_{Id} = g_m^2 S_{V_{fb}} = g_m^2 \frac{S_{Q_{ox}}}{C_{ox}^2} \quad (2.20)$$

Finalement, on peut relier les densités spectrales de puissance et noter dans ce cas que la densité spectrale de puissance équivalente en tension de grille est alors égale à celle en tension de bandes plates.

$$S_{Id} = g_m^2 S_{V_{fb}} = g_m^2 S_{V_{gs}} \quad (2.21)$$

### 2.3.2.1.3 Corrélation entre la fluctuation de mobilité et la fluctuation du nombre de porteurs

Le modèle de Mc Whorter présenté ci-dessus conduit à une densité spectrale de puissance en tension de grille équivalente en entrée  $S_{V_g}$  qui ne dépend pas des polarisations. Or, notamment en inversion forte, on observe plutôt une augmentation de  $S_{V_g}$ . Certains auteurs ont donc proposé de tenir compte des fluctuations de mobilité

engendrées par le piégeage/ dé-piégeage des porteurs [20][21]. On a donc dans ce cas une fluctuation de la mobilité corrélée à une fluctuation du nombre de porteurs.

Cette corrélation est basé sur le fait que la mobilité effective  $\mu_{\text{eff}}$  des porteurs dépend des pièges présents dans l'oxyde. Par exemple, en prenant un modèle pour la mobilité basé sur la loi de Matthiessen [22] :

$$\frac{1}{\mu_{\text{eff}}} = \frac{1}{\mu_{\text{eff0}}} \pm \alpha Q_{\text{ox}} \quad (2.22)$$

Où  $\mu_{\text{eff0}}$  est la mobilité effective qui ne dépend pas de la charge d'oxyde, et  $\alpha Q_{\text{ox}}$  le terme limitant la mobilité due à la charge d'oxyde avec  $\alpha$  en Vs/C.

Une fluctuation de la charge d'oxyde  $Q_{\text{ox}}$  due à un piégeage/ dé-piégeage avec un porteur libre entraîne donc une fluctuation de la mobilité et donc du courant de drain. Ainsi, on peut écrire en tenant compte des deux fluctuations possibles :

$$S_{\text{Id}} = g_m^2 S_{\text{Vtb}} \left( 1 \pm \alpha \mu_{\text{eff}} C_{\text{ox}} \frac{I_d}{g_m} \right)^2 \quad (2.23)$$

Où le premier terme de droite correspond au modèle de Mc Whorter et le second à l'impact d'une fluctuation de la mobilité sur le courant de drain. Le signe plus ou moins dans l'équation 2.23 correspond respectivement soit à des pièges de type accepteur ou donneur [23].

### 2.3.2.2 Bruit à spectre Lorentzien

Parmi les sources de bruit électrique ayant un spectre en fréquence de type Lorentzien (figure 10), on a le bruit de génération-recombinaison (GR) et les bruits en créneaux (Burst noise, RTS). Ces sources de bruit électrique peuvent être caractérisées, à partir de la densité spectrale de puissance d'une variable X, par un plateau  $S_X(0)$  et une fréquence de coupure  $f_c$ . On a ainsi la relation générale suivante :

$$S_X(f) = \frac{S_X(0)}{1 + \left( \frac{f}{f_c} \right)^2} \quad (2.24)$$

Il faut toutefois noter qu'un spectre de type Lorentzien peut aussi provenir d'une source de bruit blanc filtrée par un réseau RC de type passe bas.

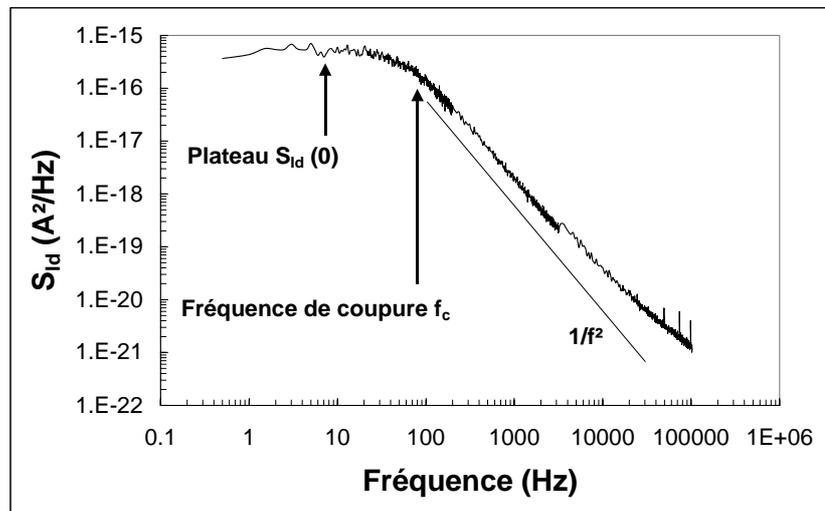


Figure 10 : Exemple du spectre Lorentzien.

#### 2.3.2.2.1 Bruit de Génération-Recombinaison (G.R)

Ce bruit électrique a pour origine les fluctuations du nombre de porteurs libres par des de génération-recombinaison [24]. Il est donc présent essentiellement dans les composants à semi-conducteurs (diodes, transistors...). La G-R a lieu dans la zone désertée, et elle est en général assistée par des pièges situés dans le gap du semi-conducteur. Toutefois, elle peut aussi dépendre de l'interface Si/SiO<sub>2</sub>, notamment dans les dispositifs SOI lesquels ont deux interfaces. Les pièges ayant une énergie proche du milieu de gap sont les plus actifs. Chaque piège pouvant être caractérisé par un temps de piégeage/dépiégeage  $\tau$ . A noter que ce temps doit être inférieur au temps de transit des porteurs dans le canal pour être détecté. De plus, dans un transistor MOS à enrichissement, ce type de bruit est en général masqué par le bruit en  $1/f$  et s'observe donc rarement.

#### 2.3.2.2.2 Bruits en créneaux

Le bruit électrique en créneaux regroupe différents types de sources ("burst noise", RTS pour Random Telegraph Signal). Ils indiquent en général la présence d'un défaut particulier présent soit dans l'oxyde (RTS), soit au niveau du canal ou dans les jonctions. On a alors, pour le signal temporel, des sauts abrupts du niveau de bruit. L'histogramme n'est plus gaussien et le spectre en fréquence est Lorentzien. Le bruit RTS a été observé pour la première fois en 1984 [21] dans des transistors de petites dimensions.

En effet, dans des transistors où la surface de grille est inférieure au  $\mu\text{m}^2$ , ayant ainsi un nombre de pièges dans l'oxyde très restreint, il est possible d'observer le piégeage dynamique d'un seul porteur, ce qui conduit en temporel à des créneaux de tension [25]. Par ailleurs, l'étude de ce bruit passe par la détermination de trois paramètres le caractérisant. On a ainsi l'amplitude du créneau et les temps  $\tau_e$  et  $\tau_c$  correspondant respectivement au temps d'émission et de capture du piège.

A noter aussi que la somme de plusieurs RTS ayant des constantes de temps distribuées redonne un spectre en  $1/f$ .

Le bruit RTS pourrait devenir un problème au fur et à mesure que la taille des dispositifs diminue, d'autant plus qu'il présente un caractère aléatoire d'un transistor à l'autre, ce qui rend difficile sa prise en compte dans un modèle. Cependant, comme l'a montré Roux Dit Buisson [26], le bruit moyen sur un ensemble de transistors de même géométrie correspond au bruit en  $1/f$ . La figure 11 donne un exemple obtenu sur une technologie  $0.35 \mu\text{m}$ .

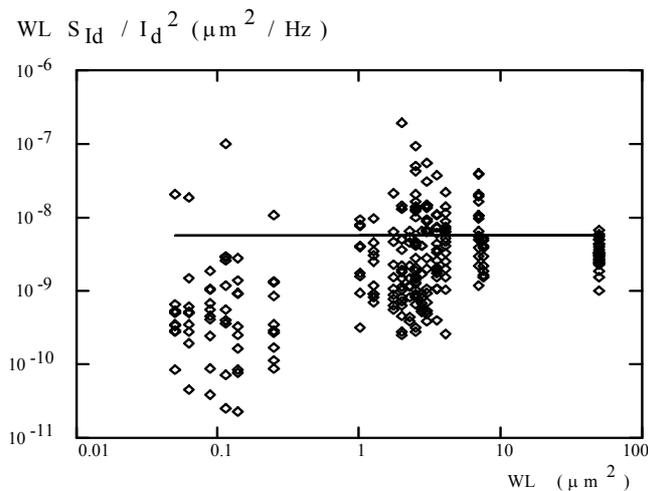


Figure 11 : Evolution de la dispersion de la densité spectrale de puissance en courant de drain normalisé en fonction de la longueur du canal pour une technologie MOS [25].

## 2.4 Conclusion

Ce chapitre d'étude théorique du bruit électrique nous a permis de fixer les différentes sources de bruit rencontrées dans les dispositifs électroniques à semi-conducteurs. Par ailleurs, l'analyse et la séparation de ces différentes sources de bruit

seront appliquées au cas des deux types de transistors MOS dans les deux chapitres suivants.

## CHAPITRE 3

### BRUIT ELECTRIQUE DES TRANSISTORS MOS/SI MASSIF SUBMICRONIQUES EN RADIOFREQUENCES

Dans ce chapitre, le bruit thermique du drain et le bruit associé à la résistance de la grille sont les principaux types de bruit traités, en particulier, les modèles développés dans le cas des transistors MOSFET submicroniques. Après une illustration théorique des modèles trouvés dans la littérature, nous procéderons au calcul théorique et à la simulation pour pouvoir évaluer le bruit sortant du MOSFET. Et nous terminerons cette partie par la solution de la topologie interdigitée des transistors en vue de minimiser le bruit.

#### 3.1 Le bruit thermique du drain

Le transistor MOSFET fonctionne principalement par la conduction du canal, où sa résistivité représente la source de toute fluctuation thermique produite. En d'autres termes, l'agitation thermique des électrons, en mouvement désordonné dans le canal, génère précisément cet effet qui s'exprime en fluctuations de tension ou de courant à la sortie de drain. Le modèle du transistor MOSFET tient compte aussi de ce phénomène où une source de bruit s'illustre sous forme d'un générateur (figure 12).

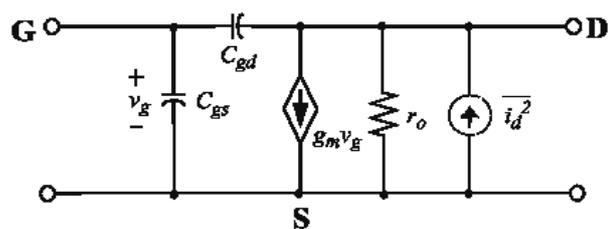


Figure 12 : Modèle intrinsèque petit signal du transistor MOS avec le bruit thermique de canal [36]

D'après la littérature [27], le bruit thermique du drain a fait l'objet de plusieurs recherches où les travaux réalisés ont été axés sur les approches analytique et expérimentale tout en respectant l'évolution technologique du composant. En effet, le besoin des modèles, qui sont capables de prédire le bruit thermique du transistor avec plus de précision, a augmenté avec la forte implication de ce composant dans les applications

destinées aux communications sans fils. Notons que certains modèles sont déjà implémentés dans les simulateurs électriques et ce, afin de simuler correctement les circuits à base de transistors MOS. Ainsi, un aperçu sera donné sur les différents modèles de bruit thermique trouvés dans la littérature et les différents manuels de simulateurs.

### 3.1.1 Modèle de la transconductance $g_m$

Le modèle du bruit thermique de drain, le plus répandu et utilisé dans les simulateurs de circuits tels que HSPICE, est le modèle de la transconductance donné par l'équation suivante [27]:

$$S_{id} = 4 kT \varepsilon g_m \quad (3.1)$$

Où  $g_m$  représente la transconductance déterminée au point de fonctionnement de transistor et  $\varepsilon$  définit le régime de fonctionnement du transistor.

$$\varepsilon = \begin{cases} 1 & \text{en faible inversion} \\ \frac{2}{3} & \text{en forte inversion} \end{cases}$$

En dépit de sa popularité, l'inconvénient principal de ce modèle est exprimé dans sa difficulté de prédire le bruit effectif en fonctionnant dans la région linéaire. En revanche, ce modèle reste toujours valide dans la région de saturation avec moins de précision.

### 3.1.2 Modèle de la conductance $g_{d0}$

Le bruit thermique du drain a été analysé la première fois par Van Der Ziel avec des JFETs où la conductance symbolisait son modèle. Et puisque, le MOSFET se comporte d'une façon similaire que le JFET en terme de bruit. Sa conductance a également symbolisé l'expression analytique du bruit thermique du drain. Le modèle est donc exprimé par [27]:

$$S_{id} = 4 kT \gamma g_{d0} \quad (3.2)$$

Où  $g_{d0}$  représente la conductance de canal à une tension drain-source nulle, et  $\gamma$  est le facteur du bruit thermique de drain qui désigne la région dans laquelle le transistor est

opérationnel, avec  $\frac{2}{3} < \gamma < 1$  dans la région linéaire et  $\gamma = \frac{2}{3}$  dans la région de saturation. Par ailleurs, ce modèle reste toujours loin de la réalité dans le cas des transistors MOS à canal court (submicronique) malgré son avantage et sa validité dans les deux régions.

### 3.1.3 Modèle de la charge QN

Un autre modèle du bruit thermique de drain permet aussi d'exprimer les fluctuations du canal en fonction de la charge totale de la couche d'inversion. Si  $Q_N$  représente la valeur absolue de la charge totale de la couche d'inversion, le bruit thermique s'écrira sous la forme suivante [27]:

$$S_{Id} = 4kT \frac{\mu_{eff}}{L^2} Q_N \quad (3.3)$$

Ce modèle est utilisé lorsque le composant est opérationnel en dessous de sa fréquence de coupure de façon que le comportement non quasi statique soit maintenu et la température des porteurs soit égale à la température de réseau cristallin. Mais l'exactitude et la complexité de ce modèle dépendent toujours de l'expression de  $Q_N$ .

### 3.1.4 Modèle de Triantis et al. utilisée en submicronique

Le modèle du bruit thermique de drain reste valable pour les MOSFETs à canaux longs. Cependant, Triantis et al. ont développé un modèle du bruit thermique pour des transistors à canaux courts [29]. Evidemment, les améliorations apportées sont relatives au régime de fonctionnement dans chacune des deux régions qui caractérisent le canal de conduction.

Bien que le MOSFET submicronique puisse satisfaire les exigences des applications analogiques RF au niveau du gain et la réponse en fréquence. D'autres spécifications dynamiques restent constamment à l'étude. Dans une application RF, les MOSFETs sont polarisés afin de fonctionner en saturation où la présence d'un champ électrique latéral intense et non uniforme le long du canal est sollicitée. Cependant, le comportement en bruit du transistor à canal court diffère de celui à canal long. Le bruit thermique calculé devrait tenir compte de l'effet du champ électrique sur la température, le courant drain et la charge.

C'est pourquoi Triantis et al. ont suivi une nouvelle approche dans la modélisation analytique du bruit thermique en submicronique. Le principe de cette approche était basé

sur la compréhension du comportement des électrons qui passent de la source vers le drain sous un champ électrique non uniforme. Autrement dit, cette approche permet la division du canal en deux régions représentées sur la figure 13:

- Région I : Cette région est la plus proche de la région ohmique où la vitesse des porteurs augmente progressivement jusqu'à la limite du champ critique, elle est donnée par la longueur  $L_c$ .
- Région II : Cette région est la zone de saturation où les porteurs atteignent la vitesse de saturation et elle est donnée par longueur  $L_{sat}$ .

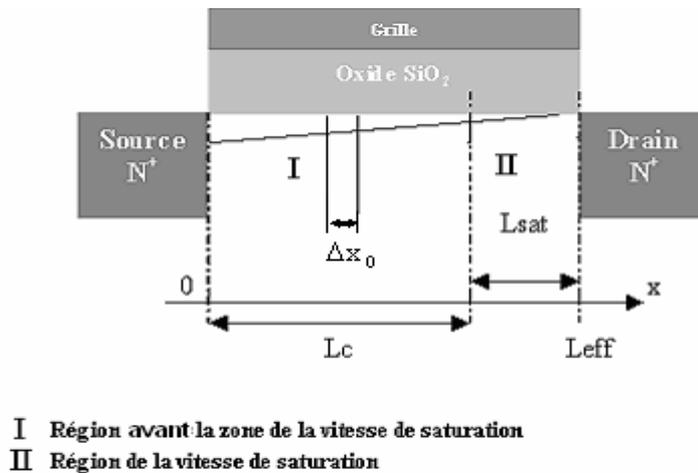


Figure 13 : Les deux régions du canal d'un transistor MOSFET submicronique [29]

L'expression de la vitesse de drainage des porteurs dans les deux régions est donnée par [27][28] :

$$v(x) = \begin{cases} \frac{\mu_{eff} E(x)}{1 + \frac{E(x)}{E_c}} & E \leq E_c \\ v_{sat} & E > E_c \end{cases} \quad (3.4)$$

Où  $\mu_{eff}$  est la mobilité effective des porteurs,  $E(x) = \frac{dV(x)}{dx}$  est le champ électrique latéral (longitudinal) quasi-Fermi,  $v_{SAT}$  est la vitesse de saturation et  $E_c = \frac{2 v_{SAT}}{\mu_{eff}}$  est le champ critique à partir duquel les porteurs atteignent la vitesse de saturation.

La densité spectrale de puissance en tension du bruit total en circuit ouvert est transférée au drain comme une densité spectrale de puissance en courant de bruit total par la transformation suivante [29] :

$$S_{Id} = \left( S_{VLI} [1 + \cosh(AL_{SAT})]^2 + S_{VLI} \right) g_{DS}^2 \quad (3.5)$$

Où  $A^2 = \frac{3 C_{OX}}{2 x_j \epsilon_{Si}}$  et  $x_j$  est la profondeur effective de la jonction lorsque  $x = L_c$ .

Pour la conductance du canal  $g_{DS}$ , elle est donnée par l'équation suivante :

$$g_{DS} = \frac{I_D}{\left( L_{eff} E_C \sqrt{\left[ \frac{A}{E_C} (V_D - V_C) \right]^2 + 1} \right)} + n g_m \quad (3.6)$$

Où  $g_m$  est la transconductance,  $E_C$  est le champ critique à la saturation et  $n = 0,01$ .

L'expression finale de la DSP en courant du bruit de drain est donnée par la relation suivante [29] [30]:

$$S_{Id} = \frac{4kT}{\alpha I_d} \left( \frac{2}{3} P_{D1} [\cosh(AL_{sat})]^2 + \frac{\alpha E_C}{A} P_{D2} \right) g_{DS}^2 \quad (3.7)$$

Où les coefficients  $P_{D1}$  et  $P_{D2}$  représentent les quantités qui décrivent le comportement du bruit de transistor dans les régions I et II [29][30][31].

### 3.2 Le bruit associé à la grille

Le progrès effectué sur la réduction des dimensions caractéristiques du MOSFET, a donné naissance à de nouveaux phénomènes. L'absence ou l'apparition de ces effets physiques subissent des changements nécessaires au niveau de la modélisation. Dans le cas des transistors submicroniques, les effets non encore modélisés engendrent des problèmes de simulation sur le rendement global des circuits. En d'autres termes, les résultats de la simulation s'avèrent erronés notamment pour les applications qui utilisent des transistors MOS de tailles très réduites.

Le bruit associé à la grille est donc l'un des phénomènes qui apparaissent en submicronique. L'étude et la modélisation de tels effets demandent une connaissance

parfaite du comportement de MOSFET en régimes statique et dynamique ainsi que sa structure physique. Pour cela, nous allons traiter ce problème afin de trouver des solutions pour minimiser ce type de bruit dans une application RF.

Si on définit l'origine du bruit associé à la grille, on peut dire qu'il se décompose de deux sources. La première source est le bruit thermique généré par la résistance de l'électrode grille et la deuxième source est le bruit de la grille induit dû au couplage capacitif avec le canal. La prise en compte de ces deux sources contribue efficacement à l'amélioration de l'ancien modèle du MOSFET utilisé dans les applications sensibles aux faibles signaux.

Pour cela, nous allons détailler ce problème avec trois méthodes différentes. Chaque méthode est définie par des équations analytiques qui peuvent être implémentées par la suite.

### 3.2.1 Le modèle de la résistance grille effective

Dans le canal d'un MOSFET, la distribution de la charge est supposée en état d'équilibre aux basses fréquences. Mais cette supposition n'est pas toujours valide sur un domaine fréquentiel étendue. Aux hautes fréquences, les fluctuations de la charge du canal impliquent un changement du comportement de la nature de l'électrode grille vis-à-vis au canal et un autre changement dans sa résistance distribué suivant  $L$  (longueur du canal) et  $W$  (largeur canal).

La figure 14 illustre la nature distribuée de la résistance grille et son couplage capacitif à la résistance du canal par le biais de la capacité de l'oxyde de grille.

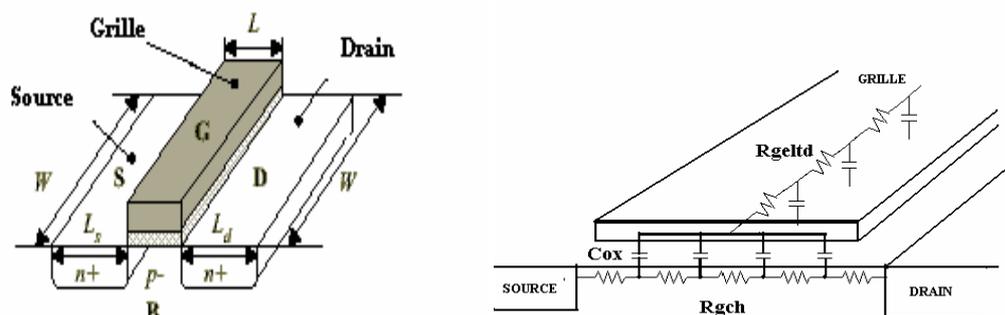


Figure 14 : Modèle de la résistance effective [33]

Aux hautes fréquences, certains concepteurs préfèrent l'utilisation de la technique proposé par ENZ [32] qui consiste à rajouter un bruit additionnel au transistor MOSFET pour tenir compte du bruit associé à sa grille. Cette technique consiste à l'introduction des éléments externes au schéma équivalent du MOSFET. Ces éléments ajoutés sont généralement des résistances additionnelles pour la simulation correcte d'un circuit RF. Si le transistor est utilisé comme amplificateur à source commune, le bruit de la résistance grille est directement ajouté au signal d'entrée.

La modélisation de la résistance de la grille est définie par une résistance grille  $R_g$  en série avec les capacités grille  $C_{gs}$  et  $C_{gd}$ , sans oublier la résistance du substrat modélisée par les résistances  $R_{sb}$  et  $R_{db}$ .

Pour calculer la résistance  $R_g$  en série avec la grille du MOSFET, on peut dire qu'elle englobe le comportement de deux résistances : la résistance électrode grille donnée par  $R_{g_{elec}}$  et la résistance distribuée du canal vue de la grille donnée par  $R_{g_{ch}}$ . La somme des deux résistances représente la résistance effective de la grille d'un MOSFET en application RF [33].

$$R_g = R_{g_{elec}} + R_{g_{ch}} \quad (3.8)$$

Cette résistance définit la résistance de la couche du polysilicium le long de l'électrode grille donnée par la figure 15 :

$$R_{g_{elec}} = R_{poly} \left( \alpha \frac{W}{L} + \beta \right) \quad (3.9)$$

Où  $R_{poly}$  est la résistance carrée du Polysilicium,  $\alpha = \frac{1}{3}$  lorsque la grille est reliée à une seul contact, (voir figure 15a) et  $\alpha = \frac{1}{12}$  lorsqu'elle est reliée à deux contacts, (voir figure 15b),  $\beta$  représente la résistance grille externe minimale qui se trouve à l'extérieur de la zone de diffusion.

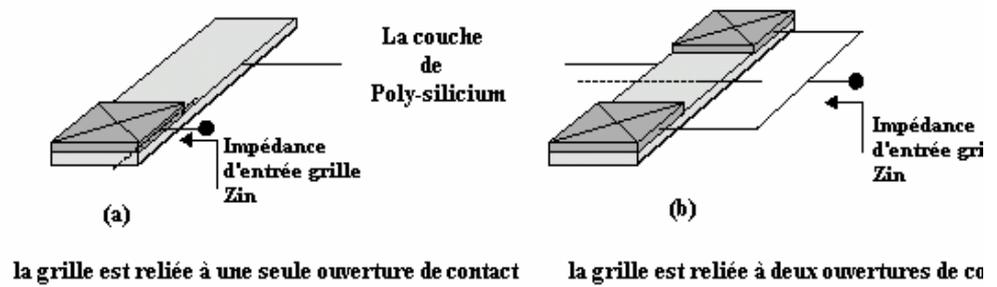


Figure 15 : L'électrode grille représentée par la couche de polysilicium et les ouvertures de contact

La couche de charges du canal qui s'étale le long de l'électrode grille a une résistance  $R_{g_{ch}}$  vue du canal, elle dépend du régime de fonctionnement du transistor MOS et de paramètres  $W$  et  $L$ , cette résistance est décomposée en deux parties :

Une résistance  $R_{st}$  qui représente la résistance statique du canal au point de fonctionnement (régime statique DC). Elle est calculée par l'équation suivante [33]:

$$R_{st} = \int dR = \int \frac{dV}{I_d} \quad (3.10)$$

Où la résistance  $R_{st} = \frac{V_{ds}}{I_d}$  en régime linéaire et  $R_{st} = \frac{V_{dsat}}{I_d}$  en régime de saturation.

Une résistance  $R_{ed}$  qui dépend du régime du fonctionnement dynamique AC, et représente la distribution de la charge dans le canal après une tension d'excitation AC à la grille. Elle est donnée par l'équation suivante [33]:

$$R_{ed} = \frac{1}{\eta} \frac{1}{\frac{kT}{q} \mu C_{ox} \frac{W}{L}} \quad (3.11)$$

Où  $\eta$  est une constante qui dépend de la technologie et elle vaut 1 si elle n'est pas donnée.

La résistance du canal totale vue par la grille est donnée par [33]:

$$R_{g_{ch}} = \frac{1}{\zeta} (R_{ed} // R_{st}) \quad (3.12)$$

Où  $\zeta$  représente la nature distribuée de la résistance du canal et de l'oxyde grille,  $\zeta = 12$  si la résistance est distribuée uniformément le long du canal.

### 3.2.2 Le modèle classique de Van der Ziel

Le modèle de Van Der Ziel [31] [34] est le premier modèle qui caractérise le bruit de la grille induit. Ce modèle se base sur le couplage capacitif entre la grille et le canal par le biais de l'impédance  $C_{gs}$ , qui est responsable du transfert des perturbations de charges de part et d'autre. Il est évident que ce modèle fonctionne en régime dynamique, vu sa dépendance avec la fréquence, mais il dépend aussi de sa conductance. De plus, ce modèle a été appliqué aux transistors à canaux longs, il peut également être utilisé pour les transistors à canaux courts en tenant compte de nouveaux paramètres technologiques. L'équation qui correspond à ce modèle s'écrit:

$$S_{I_{gVDZ}} = 4kT\delta \frac{\omega^2 C_{gs}^2}{5g_{d0}} \quad (3.13)$$

Où  $\delta = \frac{4}{3}$  et  $C_{gs}$  est la capacitance grille.

### 3.2.3 Le modèle du bruit de la grille développé par TRIANTIS et al.

D'après l'étude faite sur le bruit thermique du drain d'un MOSFET à canal submicronique, nous constatons l'importance du bruit généré par le canal en hautes fréquences, qui engendre un autre type de bruit associé à la grille par effet capacitif (couplage entre le canal et l'électrode grille par l'oxyde). Les fluctuations de la charge dans les deux régions du canal (I et II) donnent naissance à des fluctuations de charge surfacique au niveau de l'électrode grille et l'oxyde. Ces fluctuations se traduisent par un courant de bruit grille appelé "le bruit de la grille induit". La théorie de ce bruit a été établie par Triantis [31], elle repose sur le même principe que celui du bruit thermique de canal. Mais le bruit total associé à la grille reste toujours la contribution de deux sources de bruit : le bruit de la grille induit et le bruit généré de la résistivité du matériau utilisé comme électrode grille.

### 3.2.4 Le bruit de la grille induit

Selon l'étude du bruit thermique du drain, à chaque section du canal  $\Delta x_0$  au point  $x_0$  dans chacune des deux régions (figure13), on lui a associé une source de bruit  $h(x_0, t)$ . Chaque source produit une tension de bruit  $\Delta v(x)$  le long du canal qui donne naissance à une quantité de charge  $\Delta q_{ox} = C_{ox} \Delta v(x)$  par couplage capacitif (Canal Oxyde Grille) à l'électrode grille. La quantité de charge induite constitue un courant AC :  $\Delta i_G = j\omega \Delta q_{ox}$  qui circule à la sortie de la grille. Le courant total du bruit est la somme des contributions de toutes les sources de bruit  $h(x_0, t)$  à chaque point tout au long du canal. En fait, le bruit de la grille induit est associé à chaque région, est défini séparément pour indiquer l'influence du bruit sur l'application par la région correspondante.

Lorsque les électrodes drain et source sont reliées à la masse (illustré sur la figure 16), le courant drain et le bruit associé sont représentés par  $I_D$  et  $\Delta i_D(t)$ , exprimés par l'équation de Langevin appliqué dans le cas du transistor [31]:

$$I_D + \Delta i_D(t) = g(V) \frac{dV}{dx} + h(x_0, t) \quad (3.14)$$

Où  $g(V)$  est la conductance par unité de longueur à une distance  $x$  de l'électrode source, et  $V = V_x + \Delta v(x, t)$  est la tension le long du canal par rapport à l'électrode source.

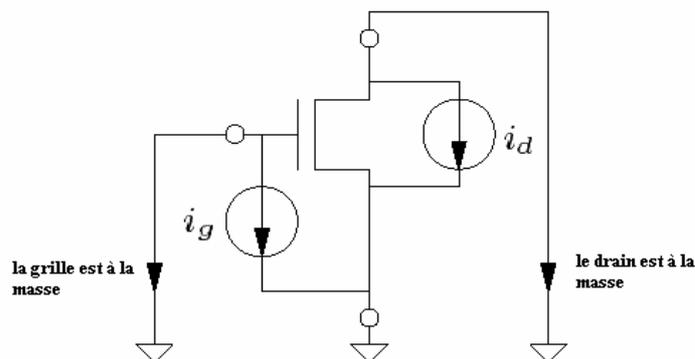


Figure 16 : Application de l'équation de Langevin pour le transistor MOS

La DSP en courant du bruit de la grille induit total est la somme des contributions des bruits non-corrélés des deux régions I et II donné par l'équation suivante [31]:

$$S_{I_g} = \frac{\omega^2 W^2 C_{ox}^2 kT}{3\alpha^3 I_d^3} \left( \frac{P_{G1} \cosh^2(AL_{sat})}{2} + \frac{P_{G2} E_C}{A} \right) g_{DS}^2 \quad (3.15)$$

Où  $P_{G1}, P_{G2}$  sont les coefficients qui caractérisent les deux régions I et II et leurs interactions avec la grille[31].

### 3.2.5 Le bruit associé à la résistance de l'électrode grille

Pour les deux modèles proposés par Van der Ziel et Triantis, le bruit de la grille induit est accompagné du bruit généré par la résistance de l'électrode grille. Cette résistance est très importante pour les transistors qui ont une large électrode grille, elle dépend aussi du rapport W/L et la formule correspondante a été citée précédemment.

### 3.2.6 Le coefficient de corrélation

Généralement, les sources de bruit sont supposées indépendantes (non corrélées). Par contre le couplage entre le canal et la grille est l'origine de toute dépendance entre le bruit de la grille et le bruit thermique du canal. Cette dépendance est aussi traduite par une corrélation partielle entre le courant grille et le courant drain donnée par le coefficient de corrélation suivant [31] [35]:

$$C = \frac{\overline{i_g i_d^*}}{(S_{I_g} S_{I_d})^{\frac{1}{2}}} \quad (3.16)$$

### 3.2.7 La minimisation du bruit associé à la grille par la structure interdigidée

Dans les applications analogiques, les caractéristiques de sortie d'un MOSFET qui définissent son gain et sa fonction dans une application, sont déterminées par ses dimensions géométriques. En submicronique, les transistors qui possèdent une largeur de grille importante et une longueur de canal assez courte sont favorisés à amplifier les signaux analogiques. En revanche, ces transistors se caractérisent par une résistance grille très importante, celle-ci engendre un bruit additionnel à la sortie.

Entre le maintien impératif de la caractéristique de sortie et la diminution du bruit, la solution géométrique constitue une possibilité. Cela ne peut être possible que par la structure inter digitée [36]. Cette dernière est une topologie qui intervient non comme remède final au problème du bruit mais plutôt comme une possibilité de le minimiser. L'idée de cette topologie est la concaténation parallèle de plusieurs transistors à largeur de grille relativement petite pour avoir un transistor équivalent ayant les mêmes caractéristiques électriques qu'un seul transistor.

Cette idée est donc illustrée sur la figure 17. Sur la figure 17.(a), le transistor est représenté en une seule grille avec une largeur  $W$  et une longueur  $L$ . Celui-ci peut être représenté autrement sur la figure 17.(b) par  $n$  transistors adjacents de même largeur et de même longueur. Chaque transistor a une largeur  $W/n$  et une longueur  $L$ .

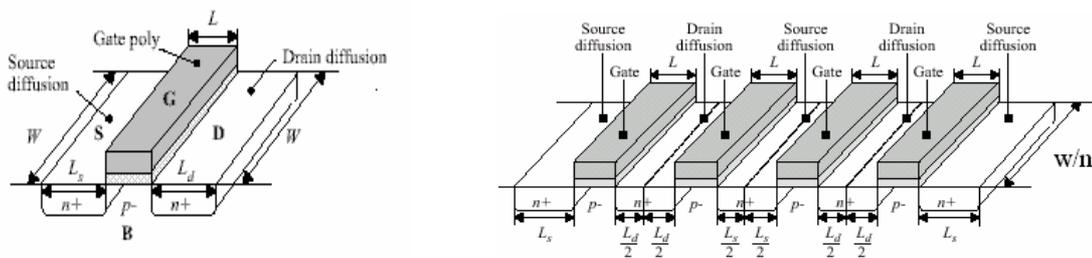


Figure 17 : (a) Transistor MOS en une seule unité et (b) Structure interdigitée du Transistor MOS

A propos des propriétés électriques de la structure proposée, on note que le transistor décomposé en  $N$  transistor (structure multidoigts) a une résistance grille  $R_g$  et une transconductance  $g_m$ , par contre les  $N$  transistors ont la même  $g_m/n$  et une résistance  $R_g/n$  pour chaque doigt. Cette décomposition en  $N$  doigts n'affecte pas le courant de sortie et l'ensemble des transistors génère le même courant.

En ce qui concerne le bruit thermique, la résistance grille contribue directement au bruit thermique d'entrée. Pour une structure MOS uniformément distribuée, il est possible de trouver une résistance équivalente appelé résistance globale (lumped résistance) [36]. Celle-ci peut être placée en série avec l'électrode de la grille, elle est calculée dans la section suivante.

On considère le modèle distribué montré sur la figure 18, où le bruit thermique de chaque résistance est modélisé comme une source de tension en série avec la résistance

correspondante. Pour simplifier le calcul, on néglige le bruit du canal, on considère que le bruit au niveau de drain est dû à la résistance grille.

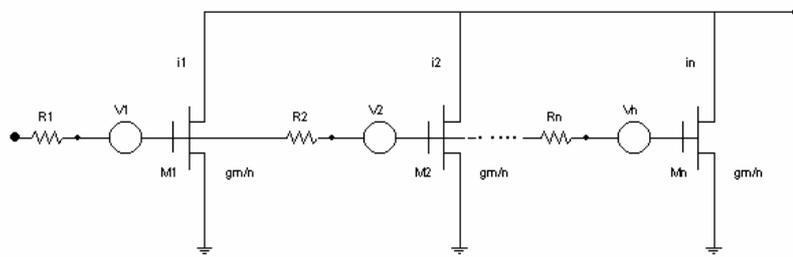


Figure 18 : Modèle distribué d'un Transistor MOSFET [36]

$$\begin{aligned}
 i_1 &= g_{m1} v_1 \\
 i_2 &= g_{m2} (v_1 + v_2) \\
 i_i &= g_{mi} (v_1 + v_2 + \dots + v_i) \\
 i_{\text{tot}} &= i_1 + i_2 + \dots + i_i = g_{m1} v_1 + g_{m2} (v_1 + v_2) + g_{mn} (v_1 + v_2 + \dots + v_n)
 \end{aligned} \tag{3.17}$$

Etant donné que la transconductance est théoriquement la même pour chaque transistor (doigt) [36]  $g_{m1} = g_{m2} = \dots = g_{mn} = g_m / n$ , on aura :

$$i_{\text{tot}} = \frac{g_m}{n} (n v_1 + (n-1) v_2 + \dots + v_n) \tag{3.18}$$

Supposons que les sources  $v_1 \dots v_2$  soient non corrélées, la densité spectrale de bruit thermique à la sortie du drain est donnée :

$$S_{\text{tot}} = \frac{g_m^2}{n^2} [n^2 S_{v1} + (n-1)^2 S_{v2} + \dots + S_{vN}] \tag{3.19}$$

Puisque  $R_1 = R_2 = \dots = \frac{R_g}{n}$

$$\text{Alors, } S_{V_1} = S_{V_2} = \dots = S_{V_N} = 4kT \frac{Rg}{n}$$

$$S_{I_{tot}} = \frac{g_m^2}{n^2} 4kT \frac{Rg}{n} [n^2 + (n-1)^2 + \dots + 1]$$

$$S_{I_{tot}} = g_m^2 4kTRg \frac{n(n+1)(2n+1)}{6n^3} \quad (3.20)$$

Si le nombre de doigts est important, le bruit à la sortie est donc donnée par :

$$S_{I_{tot}} = g_m^2 4kT \frac{Rg}{3} \quad (3.21)$$

Par opération inverse, le bruit référé à l'entrée sera donné par l'équation suivante :

$$S_{V_{tot}} = 4kT \frac{Rg}{3} \quad (3.22)$$

Où  $\frac{Rg}{3}$  représente la résistance globale de la structure interdigitée qui sera en série avec le transistor équivalent représenté sur la figure 19. Le résultat est donc un bruit assez faible avec cette structure.

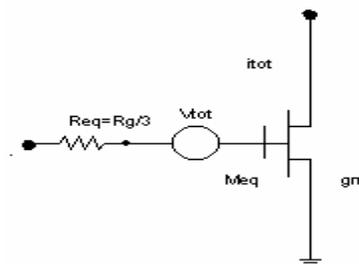


Figure 19 : Transistor MOSFET équivalent de la structure distribuée [36]

### 3.3 Calcul théorique et Simulation par Hspice

Après avoir illustrer les différents modèles du bruit associé à la résistance de la grille, nous entamons la phase d'adaptation des sources manquantes du bruit au modèle du transistor aux petits signaux. Cette phase est divisée en plusieurs étapes. En premier lieu, nous commençons par la simulation de la caractéristique de sortie en régime statique

(simulation par HSPICE) qui nous permettra de procéder au calcul théorique du bruit en se référant aux modèles cités auparavant. Et nous terminerons par l'analyse du comportement en bruit qui n'aura lieu que par une étude comparative entre les différents résultats obtenus.

La méthodologie présentée dans la figure ci-dessus illustre les paramètres auxquels nous nous référons dans cette phase. Par ailleurs, le transistor submicronique présente une géométrie basée sur la réduction de sa taille et sur sa consommation en puissance. C'est pourquoi, en variant ses paramètres (les dimensions W/L ou les tensions de polarisation), le comportement en bruit change.

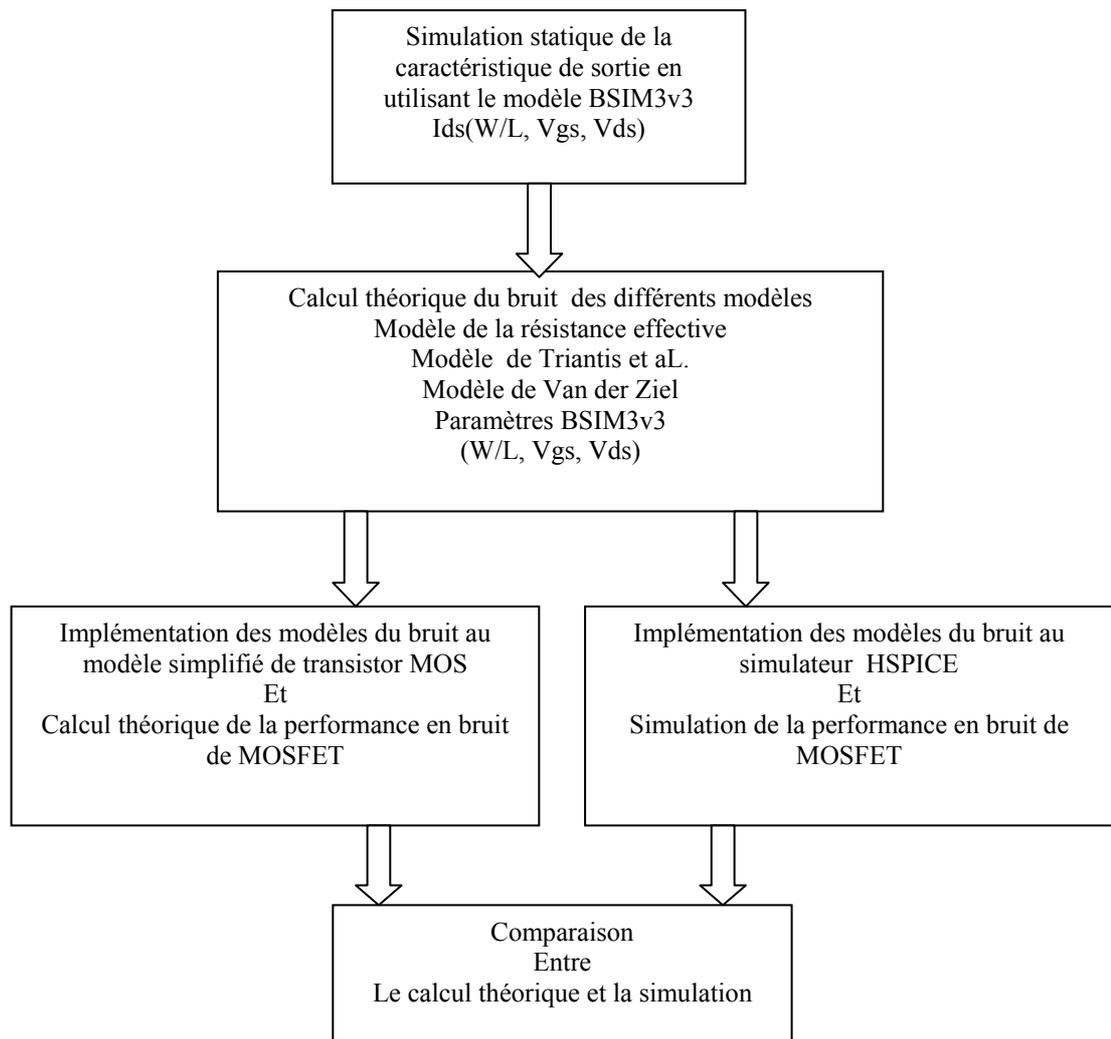


Figure 20 : Organigramme de simulation

### 3.3.1 Le modèle BSIM3v3

Actuellement, les concepteurs de circuits analogiques se servent de plus en plus de simulateurs avant d'entamer la réalisation par un procédé de fabrication pour des raisons de coût, de temps et de complexité des circuits. La performance de ces simulateurs

est absolument liée aux développements apportés dans le domaine de la modélisation. C'est pourquoi nous nous intéressons aux modèles du transistor MOS qui ont été classés en trois générations dont un aperçu général est donné dans la section suivante:

La première génération des modèles MOS décrit le comportement physique du composant MOSFET par de simples équations qui permettent aussi le traitement analytique de sa fonction dans un circuit quelconque.

La seconde génération des modèles MOS met au point les expressions mathématiques optimisées par le biais de l'extraction des paramètres géométriques du composant. Le BSIM (Berkeley Short\_Channel IGFET Model) représente l'un des modèles actuels des semi-conducteurs où les modèles BSIM2 (2ème génération) sont destinés aux applications à base de transistors aux canaux courts.

En dépit de l'évolution technologique de différents composants micro-ondes, l'utilisation du transistor MOS est actuellement privilégié pour le traitement du signal dans les domaines allant de l'audiofréquence jusqu'aux radiofréquences. Pour répondre à cette évolution, il y a eu le développement d'une troisième génération de modèle appelé BSIM3, qui comporte un grand nombre de paramètres afin de prendre en compte les différents régimes de fonctionnement et les phénomènes physiques intervenant lors des réductions des dimensions.

La dernière version BSIM3v3 [37] de ce modèle est directement orientée vers la conception des circuits analogiques en hautes fréquences. Concernant notre travail, cette version a été essentiellement choisie pour les raisons suivantes :

Le développement de BSIM3v3 est fondé sur une approche semi-empirique et donne aussi la possibilité d'implantation de nouveaux phénomènes physiques modélisés lors de la réduction des dimensions.

Dans BSIM3v3, la caractéristique de sortie (le courant total de drain) est représentée par la somme linéaire de la composante en forte inversion et la composante en faible inversion. De plus, les dimensions géométriques ont aussi un effet direct sur les différents paramètres du composant MOS.

Pour les applications analogiques, l'effet du bruit associé à la résistance de la grille ne figure pas encore dans ce modèle. Par contre, le bruit thermique de canal et le bruit des résistances additionnelles sont pris en compte.

### 3.3.2 Etude statique

Dans les applications à base de transistors, le MOSFET est l'élément susceptible d'être utilisé dans un circuit en plusieurs fonctions : amplification, modulation... C'est pourquoi son étude statique a une importance primordiale avant de procéder à l'analyse dynamique de sa fonction dans le circuit. Par ailleurs, l'étude statique du MOSFET nous permet d'obtenir son point de fonctionnement et d'autres paramètres qui seront utilisés dans le calcul théorique de bruit. Pour cela, nous procédons à la simulation numérique en utilisant le logiciel HSPICE et le modèle BSIM3v3 (Annexe A).

### 3.3.3 Calcul théorique de différents modèles du bruit associé à la grille

En vue de décrire le comportement du bruit associé à la grille, nous faisons un calcul théorique du bruit modélisé par le biais d'un programme écrit en langage C (Annexe). Dans ce calcul, nous utilisons les équations du modèle BSIM3v3 et nous tenons compte des paramètres du constructeur TSMC et des données simulées en régime statique. L'objectif de ce calcul ne se limitera pas à une description de ce phénomène en régime fréquentiel, mais il nous facilitera aussi l'implémentation des modèles dans le simulateur. Dans les sections suivantes, nous allons illustrer les graphiques correspondants aux résultats du calcul de différents modèles.

#### 3.3.3.1 Densité spectrale correspondante aux Modèles du bruit induit

Sur la figure 21, les densités spectrales des deux modèles du bruit induit sont calculées pour un MOSFET de dimensions  $L=0.35\mu\text{m}$  et  $W=200\mu\text{m}$  fonctionnant en saturation à  $V_{ds} = 3\text{V}$  et alimenté par une tension grille  $V_{gs}$  variable et à une fréquence de 1,8 GHz. Ce calcul théorique nous a démontré que les modèles de Triantis et Van Der Ziel se rapprochent relativement en forte inversion pour  $V_{gs} = 2\text{V}, 3\text{V}$ .

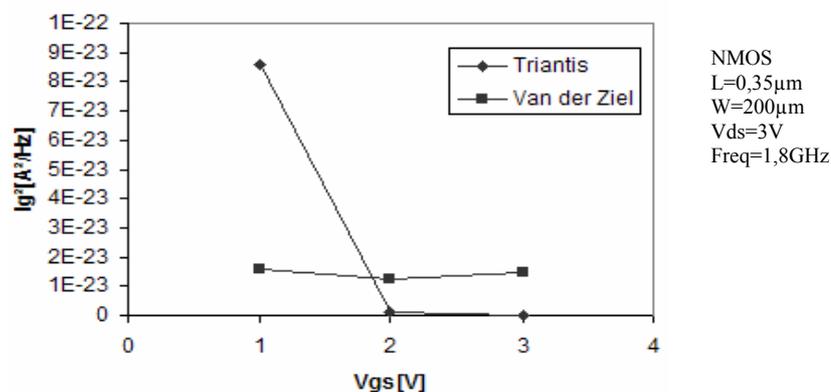


Figure 21 : Modèles du bruit induit

Mais si l'on refait le calcul de la DSP des deux modèles sur une gamme de fréquences allant de 0.5 GHz jusqu'à 2 GHz, nous remarquons que le bruit du modèle de Van der Ziel progresse plus rapidement en même temps que la fréquence, contrairement au modèle de Triantis. Cette divergence revient donc à la précision des deux modèles. Nous pouvons aussi illustrer la progression des deux modèles sur la figure 22.

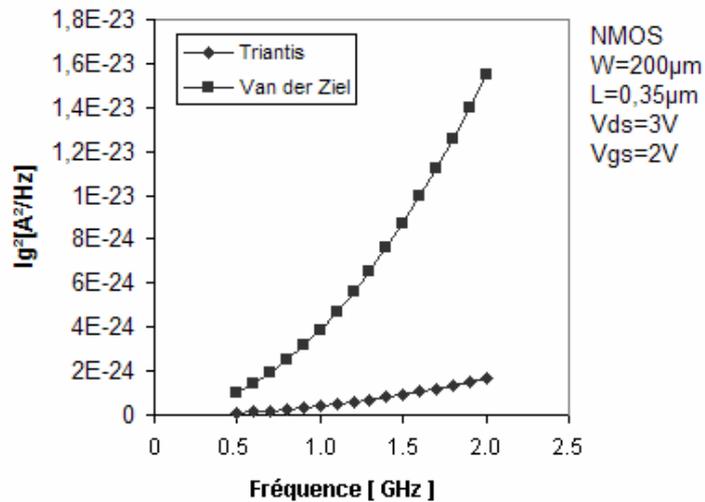


Figure 22 : Modèles du bruit induit en fonction de la fréquence

### 3.3.3.2 Bruit induit correspondant à la résistance $R_{gch}$ vu de la grille

Le modèle de la résistance effective de la grille présente un avantage par rapport aux autres modèles en raison de la possibilité de son utilisation dans les deux régions du fonctionnement du MOSFET. En dépit de cette possibilité, nous nous intéressons plutôt à la région de saturation. Ainsi, nous figurons le calcul qui correspond au modèle de la résistance sur les graphiques ci-dessous où nous représentons la variation de la résistance effective en fonction des dimensions géométriques et de la tension appliquée au niveau de la grille. Ces illustrations nous permettent également d'analyser la sensibilité de cette résistance en saturation. Pour cela, nous nous référons une fois de plus aux résultats simulés en régime statique.

En premier lieu, ce que nous allons voir c'est l'effet de la géométrie sur la résistance de la grille sur les figures 23 et 24. Les courbes de la figure 23 expriment l'effet de la technologie sur des transistors ayant une largeur de grille assez petite ( $W = 10\mu\text{m}$ ), ils montrent aussi que la résistance du canal vue de la grille a une valeur beaucoup plus importante que celle de la résistance de l'électrode grille. Ainsi, la résistance  $R_{gch}$

constitue la partie entière de la résistance effective totale. Dans les graphes de la figure 24 où les transistors ont une largeur de grille importante ( $W=200\mu\text{m}$ ), la résistance de l'électrode représente totalement la résistance effective. Dans ce cas, la résistance du canal vue de la grille est négligeable. Par ailleurs, la valeur de la résistance effective de la grille d'un transistor à largeur de grille importante augmente proportionnellement avec le rapport  $W/L$ , contrairement à celle d'un transistor qui a une largeur de grille assez petite.

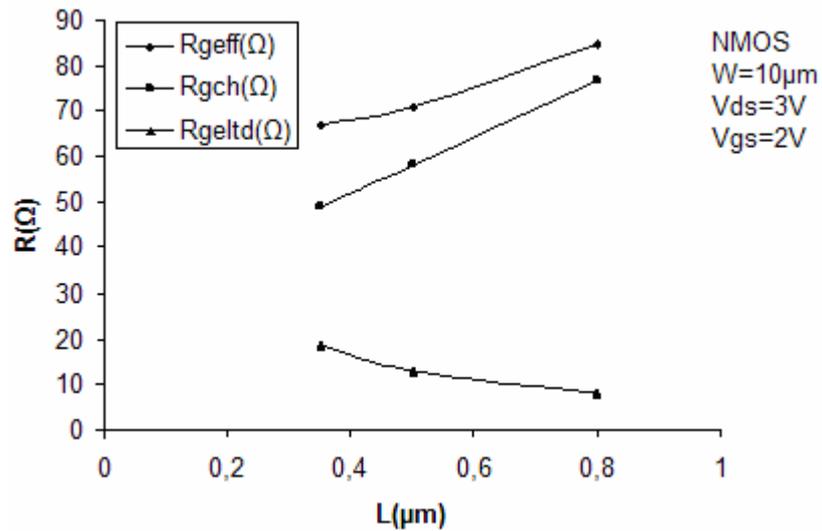


Figure 23 : Modèle de la résistance effective

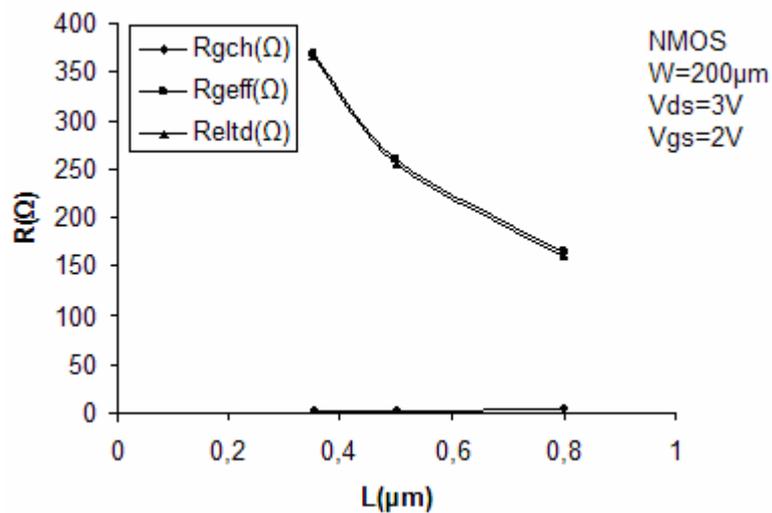


Figure 24 : Modèle de la résistance effective

La résistance effective calculée, qui est présentée sur la figure 25, correspond au transistor ayant des dimensions caractéristiques  $W=200\mu\text{m}$   $L=0.35\mu\text{m}$ , et alimenté respectivement par des tensions  $V_{gs}$  1V, 2V, 3V dans la région de saturation. Dans l'ensemble, les courbes de la résistance effective montrent l'influence de cette tension. Sa valeur diminue et tend vers la résistance de l'électrode grille à l'inverse de la tension  $V_{gs}$  qui croît. Ceci est observé aussi sur la valeur de la résistance du canal vue de la grille qui est de sa part sensible à  $V_{gs}$ .

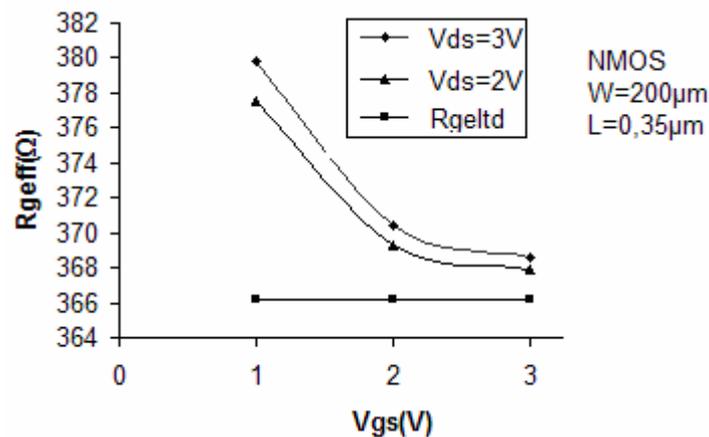


Figure 25 : L'effet de la tension grille sur le Modèle de la résistance grille

### 3.3.4 L'adaptation des modèles du bruit au modèle du transistor

Puisque l'ancien modèle du transistor MOSFET aux petits signaux est considéré comme un modèle incomplet, nous nous permettons de donner les représentations possibles en lui adaptant la source du bruit associé à la résistance de la grille. Deux modèles peuvent représenter le nouveau transistor MOSFET aux petits signaux. Sur la figure 26 et 27 montrées ci-dessous, on trouve la première représentation qui intègre la résistance de l'électrode grille ainsi qu'une source du courant bruit modélisée soit par Van der Ziel, soit par Triantis. Dans la deuxième représentation, on ajoute uniquement la résistance effective de la grille qui englobe les deux résistances.

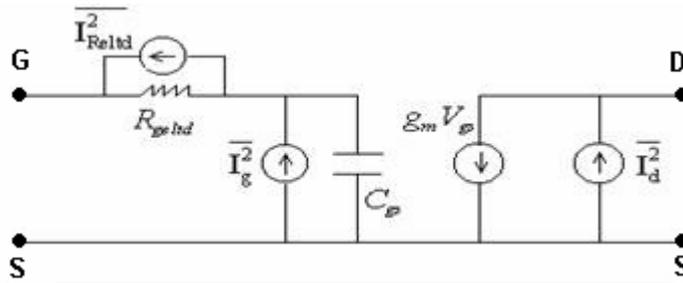


Figure 26 : La source du bruit de la grille induit adaptée au modèle du MOSFET

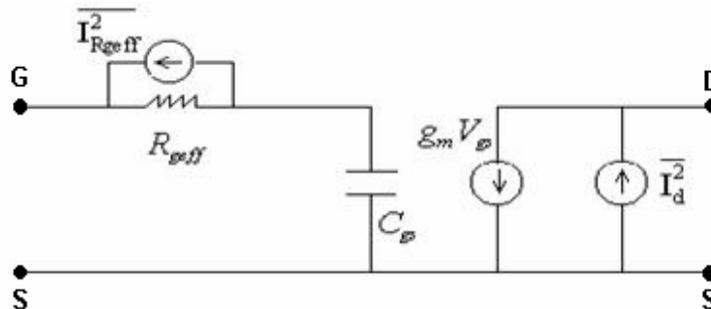


Figure 27 : La source du bruit de la résistance effective de la grille adaptée au modèle du MOSFET

C'est d'après les deux schémas dynamiques que nous avons pu donner les équations théoriques qui déterminent la performance en bruit du transistor MOSFET, représentée par la DSP en tension du bruit total au niveau de la sortie. A partir de cette performance, nous pouvons extraire deux informations possibles qui sont la contribution de différentes sources de bruit existantes et les paramètres qui montrent une influence sur le bruit total de sortie. La performance en bruit du MOSFET est décrite soit par :

L'équation relative à la première représentation figurée dans 26 :

$$S_{\text{vot}} = \left( \frac{4kT}{R_L} + \frac{8}{3} kT g_m + g_m^2 \left( \frac{4kT}{R_{\text{geltd}}} + S_{\text{ig}} \right) \left( \frac{R_{\text{geltd}}^2}{(1 + \omega^2 R_{\text{geltd}}^2 C_{\text{gs}}^2)} \right) \right) R_L^2 \quad (3.23)$$

$S_{\text{ig}}$  est la densité spectrale de la source de bruit induit : Van der Ziel ou bien Triatis.

L'équation relative à la première représentation figurée dans 27 :

$$S_{\text{vot}} = \left( \frac{4kT}{R_L} + \frac{8}{3}kTg_m + g_m^2 \left( \frac{4kTR_{\text{geff}}}{(1 + \omega^2 R_{\text{geff}}^2 C_{\text{gs}}^2)} \right) \right) R_L^2 \quad (3.24)$$

Dans les paragraphes suivants, nous allons observer la performance en bruit en changeant alternativement les dimensions géométriques et les conditions de polarisation. Nous allons donc jouer sur le rapport W/L afin de rétrécir ou d'élargir la surface de l'électrode de la grille, tout en faisant varier respectivement la technologie donnée par la longueur L et la largeur de la grille W. Evidemment, nous polarisons les transistors en saturation dans l'objectif de voir leurs comportements dans la région usuelle. De plus, la tension qui sera appliquée au niveau de la grille représente, entre autres, un élément qui peut en le variant, causer un bruit de plus ou de moins à la sortie de transistor. A la fin, nous vérifierons la précision des modèles implémentés par une comparaison entre la simulation et le calcul théorique.

### 3.3.5 Performance en bruit des transistors submicroniques

Sur la figure 28, les courbes tracées représentent la DSP en tension du bruit des transistors ayant respectivement le rapport W/L=10/0.5 ; 10/0.35, où les modèles de Triantis et de Van der Ziel ont été implémentés. Ces transistors sont aussi polarisés à une tension Vds=3V et à des tensions grilles respectivement 1V, 2V, 3V.

Si nous analysons les résultats obtenus, nous pouvons dire que les résultats simulés (a), (b) et calculés (c), (d) sont presque identiques et nos observations peuvent se résumer dans les points suivants :

D'une part, la DSP en tension du bruit à la sortie des deux modèles implémentés est identique pour chaque technologie (chaque longueur L). Ceci revient à la contribution insignifiante du bruit de la grille induit par rapport au bruit thermique du drain sur toute la gamme de fréquence choisie. D'autre part, cette DSP change suivant la technologie 0.5, 0.35 et selon le rapport W/L. Ceci revient à un élargissement des électrodes c'est-à-dire que la résistance de la grille s'agrandit naturellement tant que le rapport W/L s'agrandit, d'où, nous pouvons dire que la résistance correspondante génère une tension de bruit plus importante.

Si nous parlons maintenant de l'effet de la tension d'entrée Vgs, nous pouvons dire que cette tension contribue à amplifier le bruit total à la sortie : plus la tension d'entrée est élevée, plus le bruit s'accroît. Ceci peut s'expliquer par la couche d'inversion qui subit une influence directe de la tension Vgs. A des tensions Vgs assez faibles, on parle de la

forte inversion à courant faible. Dans ce cas, le bruit généré dans le canal est faible et la transconductance qui transfère le bruit de la résistance de l'électrode grille à la sortie est aussi faible. Par contre, à des tensions  $V_{gs}$  assez importantes, on parle de la forte inversion à courant fort, dans ce cas, le bruit dans le canal est important et la transconductance est aussi importante.

Sur la figure 29, les graphes tracés représentent la DSP en tension du bruit des transistors ayant respectivement  $W/L=10/0.5$ ;  $10/0.35$ , polarisés en saturation à une tension  $V_{ds}=3V$  et alimentés à des tensions grilles qui sont respectivement 1V, 2V, 3V. Dans ce cas, nous prenons le schéma du transistor où le modèle de la résistance effective a été implémenté. Les mêmes observations peuvent être retenues à partir des résultats obtenus, notamment pour les tensions  $V_{gs} = 1V, 2V$  et  $3V$ . Le bruit total à la sortie est donc légèrement important, ceci revient aussi au modèle de la résistance vu du canal qui engendre un bruit plus important que celui généré par les sources du bruit de la grille proposées par Triantis et Van der Ziel.

En outre, le bruit calculé et simulé de différentes représentations montrent que le type de bruit généré est blanc, étant donné que la densité spectrale est constante sur toute la gamme de fréquence.

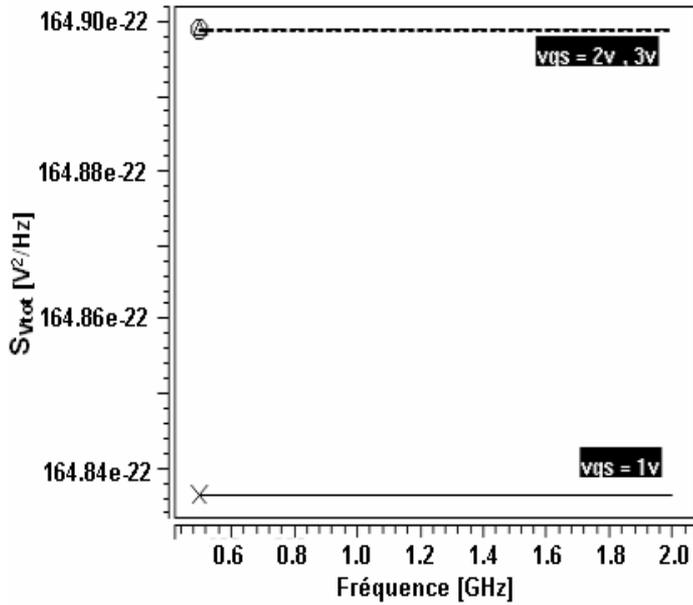
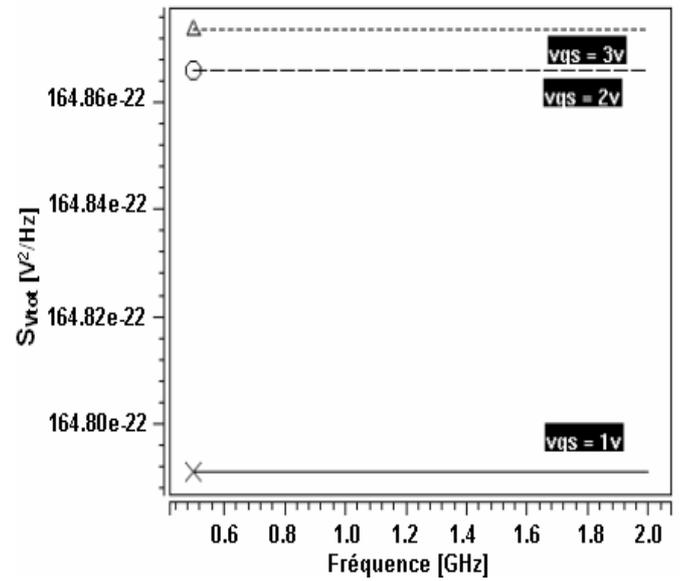
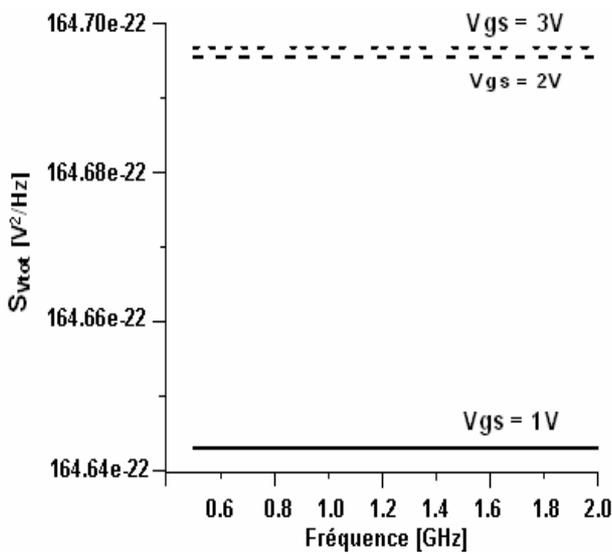
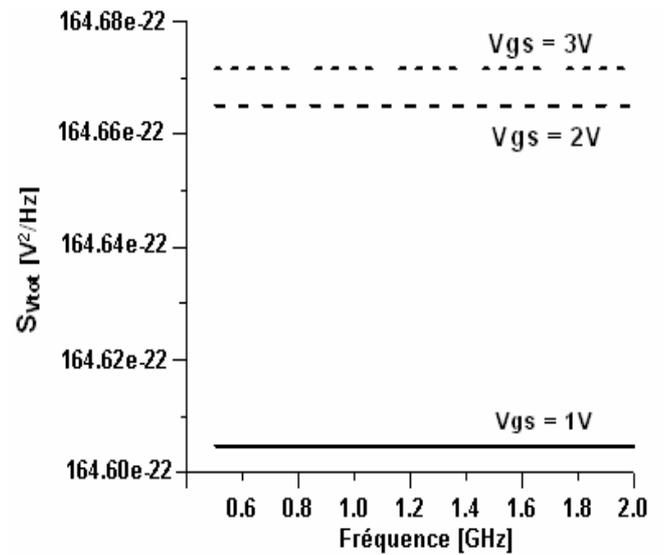
(a)  $L=0,35\mu\text{m}$   $W=10\mu\text{m}$ (b)  $L=0,5\mu\text{m}$   $W=10\mu\text{m}$ (c)  $L=0,35\mu\text{m}$   $W=10\mu\text{m}$ (d)  $L=0,5\mu\text{m}$   $W=10\mu\text{m}$ 

Figure 28 : La DSP en tension du bruit de sortie en utilisant les modèles de Triantis et Van der Ziel (a), (b) simulation par HSPICE et (c), (d) calcul théorique

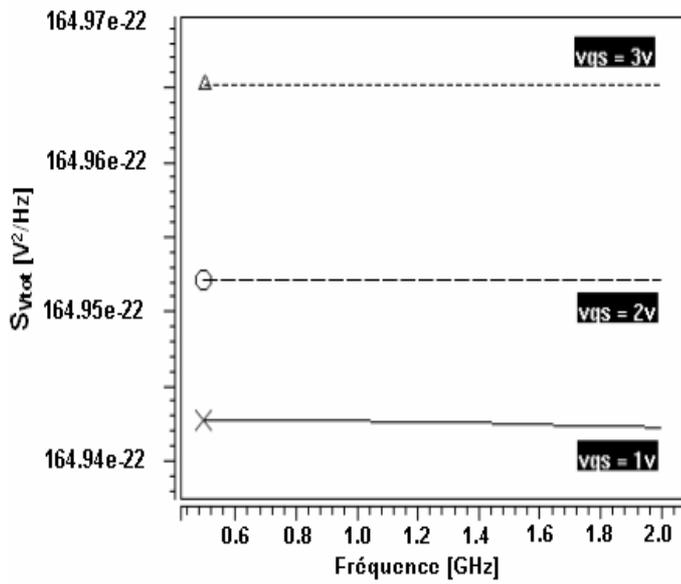
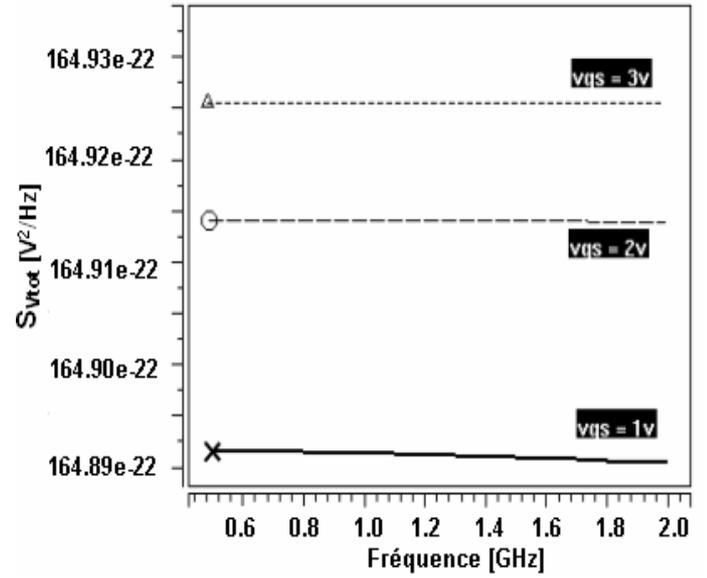
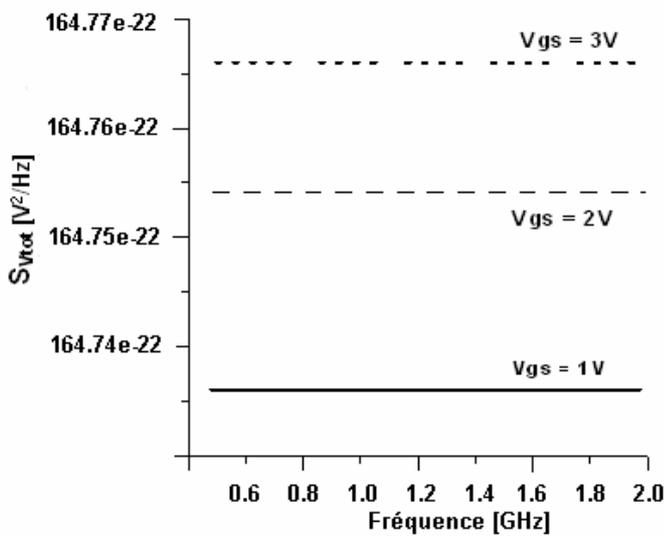
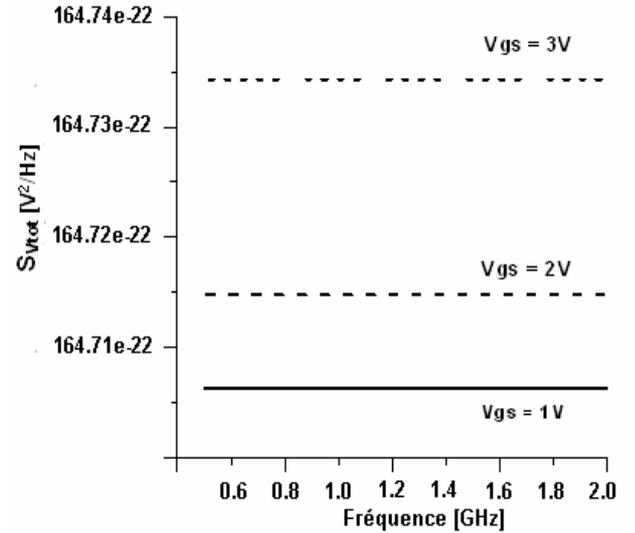
(a)  $L=0,35\mu\text{m}$   $W=10\mu\text{m}$ (b)  $L=0,5\mu\text{m}$   $W=10\mu\text{m}$ (c)  $L=0,35\mu\text{m}$   $W=10\mu\text{m}$ (d)  $L=0,5\mu\text{m}$   $W=10\mu\text{m}$ 

Figure 29 : La DSP en tension du bruit de sortie en utilisant le modèle de la résistance effective (a), (b) simulation par HSPICE et (c), (d) calcul théorique

### 3.3.6 Performance en bruit des transistors submicroniques larges

La DSP en tension du bruit total présentée précédemment est caractérisée par une largeur de grille de  $10\mu\text{m}$ . Cependant une largeur plus importante est indispensable aux applications analogiques qui nécessitent un courant très élevé à la sortie du transistor. A ce propos, nous allons donner l'interprétation de la performance en bruit à partir des résultats obtenus lors du calcul théorique effectué ainsi que la simulation effectuée par Hspice.

Pour un transistor submicronique de largeur  $W=200\mu\text{m}$ , polarisé en saturation et alimenté à sa grille par des tensions respectivement 1V, 2V, 3V sur une gamme de fréquence allant de 500MHz jusqu'à 2GHz, le calcul théorique effectué de la DSP en tension en utilisant les trois modèles développés a donné les résultats montrés sur les figures des sections suivantes.

Sur les figures 30 et 31, nous observons théoriquement que la DSP en tension subit une légère influence de la tension d'entrée  $V_{gs}$  en RF à une fréquence de 1.8 GHz. En forte inversion, à des tensions  $V_{gs} = 2\text{V}$  et  $3\text{V}$ , la DSP en tension du bruit calculée à partir du modèle submicronique développé par Triantis coïncide avec celle du modèle de la résistance effective, ceci est aussi observé pour les deux technologies submicroniques  $0.35\mu\text{m}$  et  $0.5\mu\text{m}$ . D'autre part, la densité spectrale issue du modèle de Van der Ziel commence à se rapprocher des autres modèles, et ce, en passant d'une longueur du canal de  $0.5\mu\text{m}$  à une longueur de  $0.35\mu\text{m}$ . Par ailleurs, la DSP en tension atteint sa valeur de saturation à des tensions  $V_{gs}$  plus importantes, notamment pour les modèles de Triantis et la résistance effective.

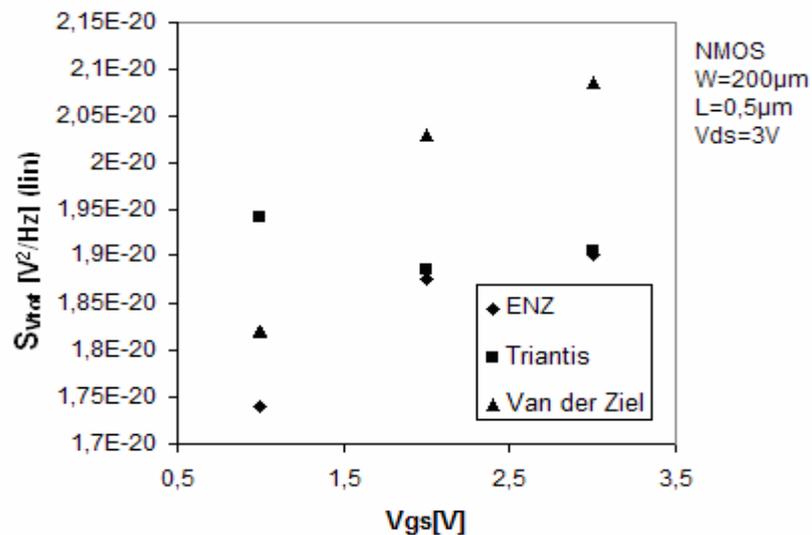


Figure 30 : DSP en tension du bruit à la sortie du transistor MOS 1.8 GHz

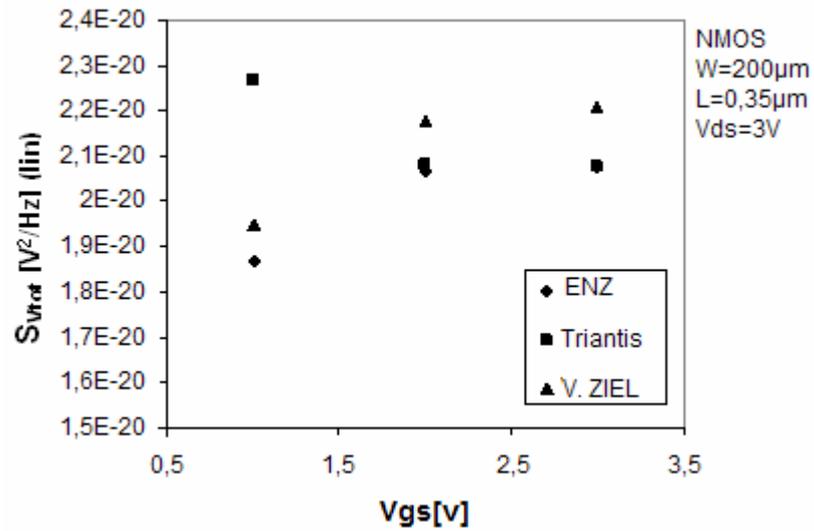


Figure 31 : DSP en tension du bruit à la sortie du transistor MOS à 1.8 GHz

Si nous observons maintenant les résultats théoriques illustrés sur la figure 32 et 33, en essayant d'interpréter la DSP en tension sur le plan fréquentiel, nous remarquons que les modèles de la résistance effective et de Triantis contribuent de la même façon au bruit de sortie sur toute la gamme de fréquence. Par contre, le modèle de Van der Ziel donne un bruit un peu plus que les autres. D'un autre côté, les modèles se rapprochent, si la longueur du canal est assez courte.

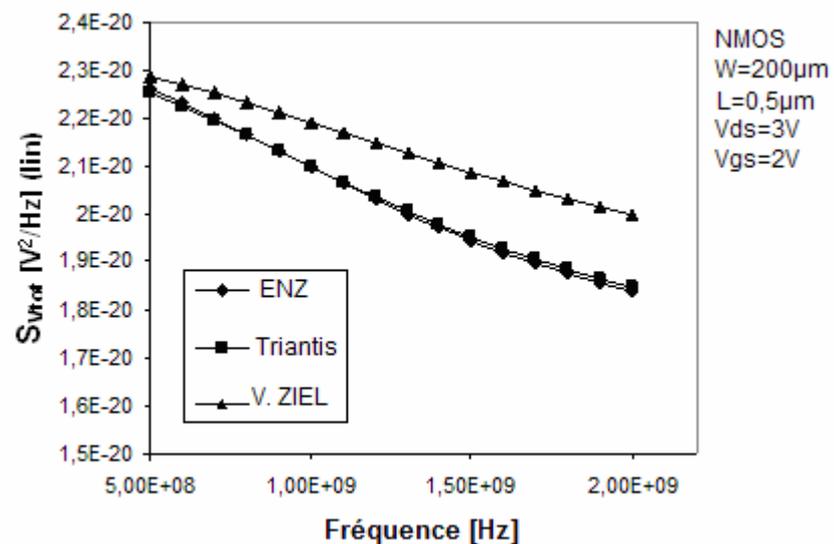


Figure 32 : DSP en tension du bruit à la sortie du transistor MOS ayant  $W=200\mu m$  et  $L=0.5\mu m$

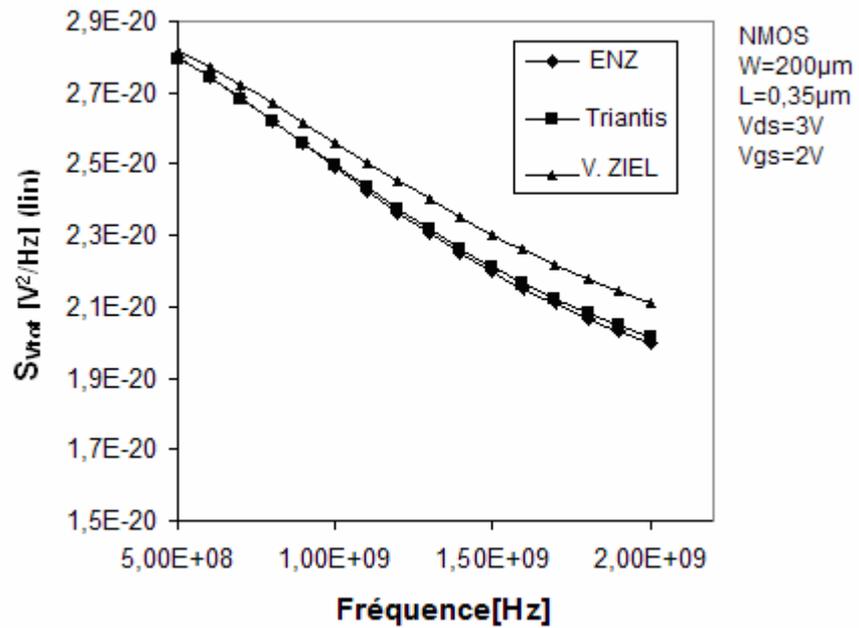


Figure 33 : DSP en tension du bruit à la sortie du transistor MOS ayant  $W=200\mu\text{m}$  et  $L=0.35\mu\text{m}$

D'après ces résultats théoriques, l'élargissement de l'électrode de la grille présente un bruit plus important par rapport aux transistors ayant une largeur assez petite. Nous pouvons revenir à cette remarque dans la partie suivante où nous allons illustrer les différents résultats simulés par le logiciel Hspice sur les figures suivantes.

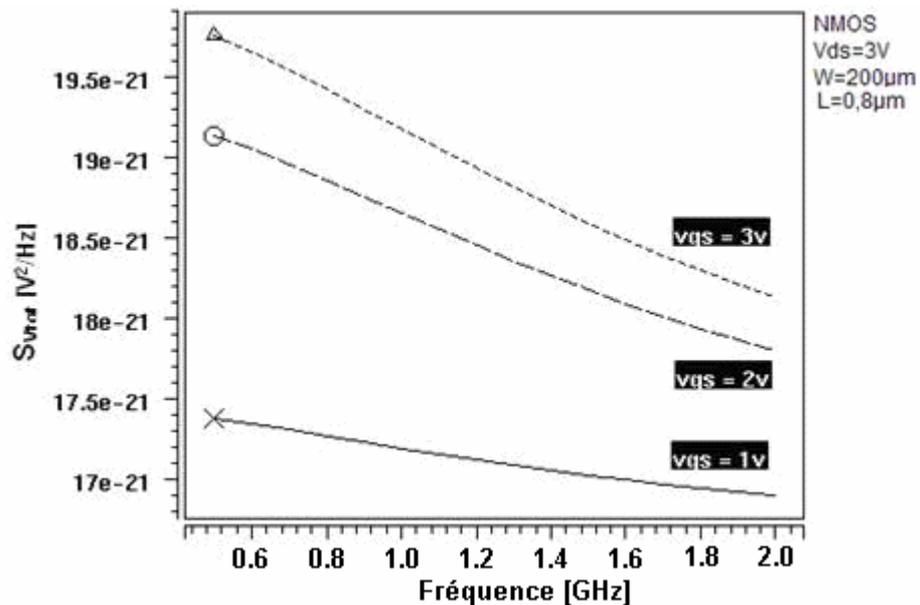


Figure 34 : DSP en tension du bruit à la sortie du transistor MOS ayant  $W=200\mu\text{m}$  et  $L=0.8\mu\text{m}$

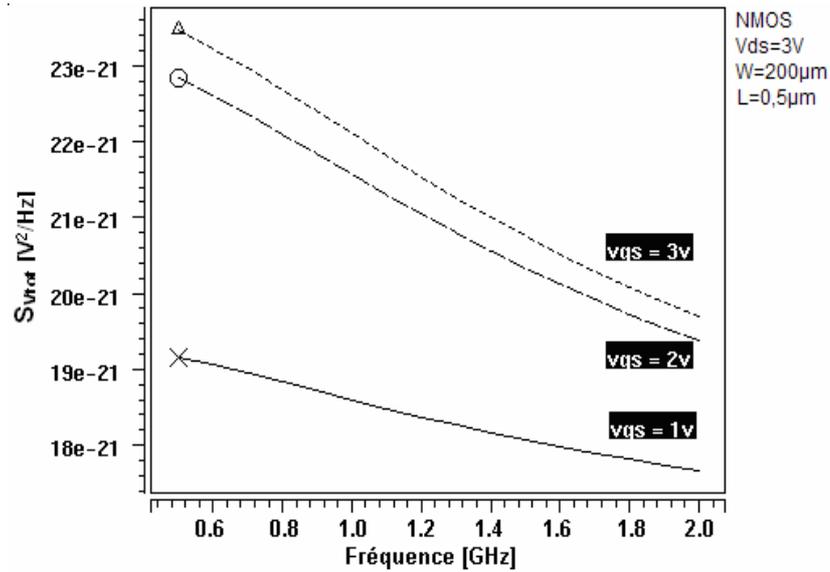


Figure 35 : DSP en tension du bruit à la sortie du transistor MOS ayant  $W=200\mu\text{m}$  et  $L=0.5\mu\text{m}$

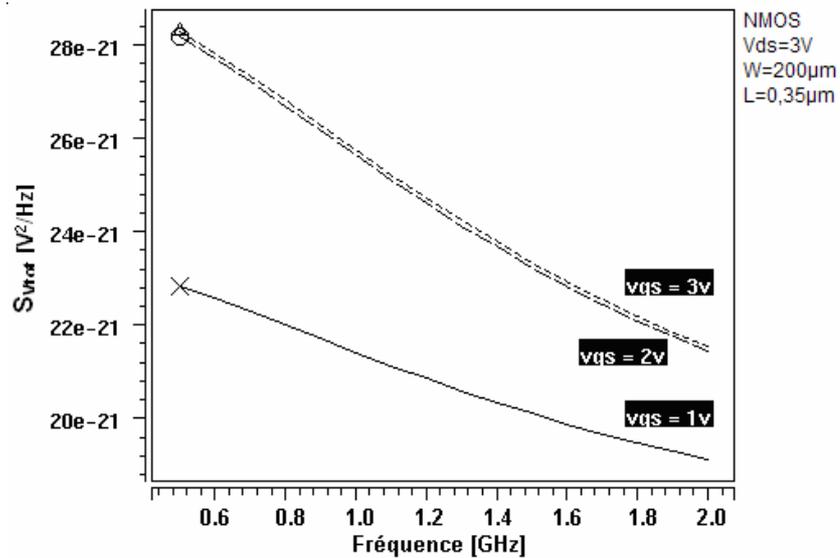


Figure 36 : DSP en tension du bruit à la sortie du transistor MOS ayant  $W=200\mu\text{m}$  et  $L=0.35\mu\text{m}$

On constate donc que la contribution des trois modèles implémentés aux transistors de mêmes dimensions géométriques et alimentés par la même tension  $V_{gs}$  est identique car les densités spectrales correspondantes au bruit total sont également identiques. Aussi, les trois graphes montrent que : plus la tension  $V_{gs}$  est importante, plus la DSP en tension du bruit total est élevée. Mais en forte inversion, on peut dire que plus la longueur du canal est courte, plus la DSP en tension du bruit total est proche de sa valeur

limite même si la tension  $V_{gs}$  est élevée. Prenons à titre d'exemple le transistor ayant un rapport  $W/L=200/0.35$  et alimenté par une tension  $V_{gs}$  de 2V ou 3V, nous trouvons que la DSP en tension est presque la même, ce qui confirme les résultats théoriques obtenus. Sur le plan fréquentiel, le bruit généré du transistor est fonction de la fréquence. D'après les résultats théoriques et simulés, nous pouvons dire que la tension bruit observée diminue légèrement en augmentant la fréquence, en raison de l'effet capacitif (oxyde) donné par la constante du temps  $T = R_{e}l_{d}C_{gs}$ .

En se référant aux dimensions géométriques, nous exposons le rôle important du rapport  $W/L$  montré plus explicitement sur les deux figures 37 et 38. En élargissant la grille, ou en diminuant la longueur du canal, la densité spectrale de bruit est toujours proportionnelle au rapport  $W/L$  qui devient de plus en plus important. Par ailleurs, la surface de l'électrode grille est responsable sur une partie importante du bruit généré.

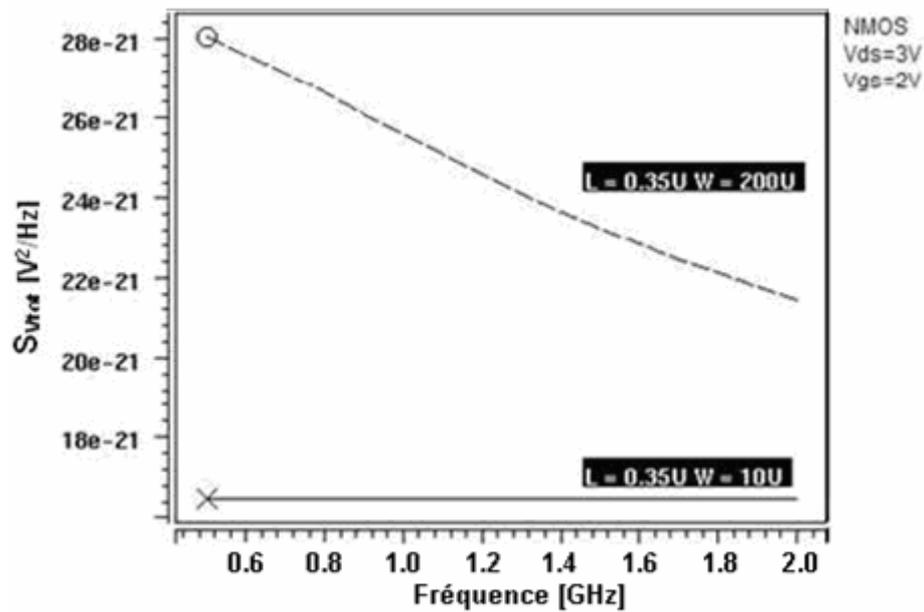


Figure 37 : DSP en tension du bruit à la sortie du transistor MOS en utilisant le modèle de la résistance effective à  $V_{ds} = 3V$  et  $V_{gs} = 2V$

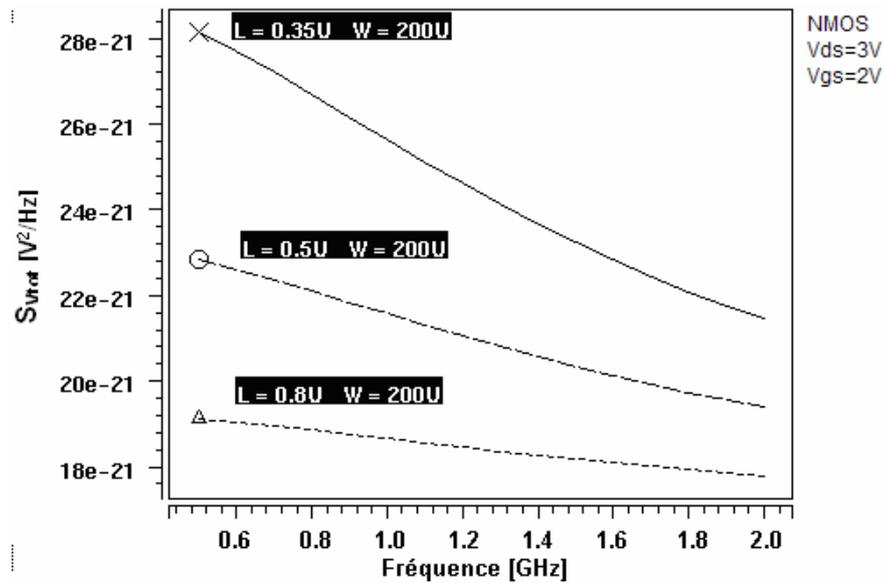


Figure 38 : DSP en tension du bruit à la sortie du transistor MOS en utilisant le modèle de la résistance effective à  $V_{ds} = 3V$  et  $V_{gs} = 2V$

### 3.3.7 Minimisation du bruit par la structure interdigitée

Il est clair maintenant que le bruit de la résistance de la grille a une influence directe sur la performance en bruit du transistor MOS. Puisque nous avons vu le rôle des dimensions géométriques, notre objectif consiste aussi à améliorer et optimiser les performances en bruit en utilisant au mieux les possibilités existantes. Théoriquement, nous avons déjà vu que la structure interdigitée minimise le bruit généré de la résistance de l'électrode grille. En vue de confirmer ce résultat, nous avons procédé au calcul de cette performance en utilisant la solution interdigitée avec le modèle du transistor. Sur les figures ci-dessous, les résultats illustrés sont obtenus du calcul relatif à un transistor MOS de dimensions  $W=200\mu m$  et  $L=0.35\mu m$  décomposé en 20 transistors MOS de dimensions  $W=10\mu m$  et  $L=0.35\mu m$ .

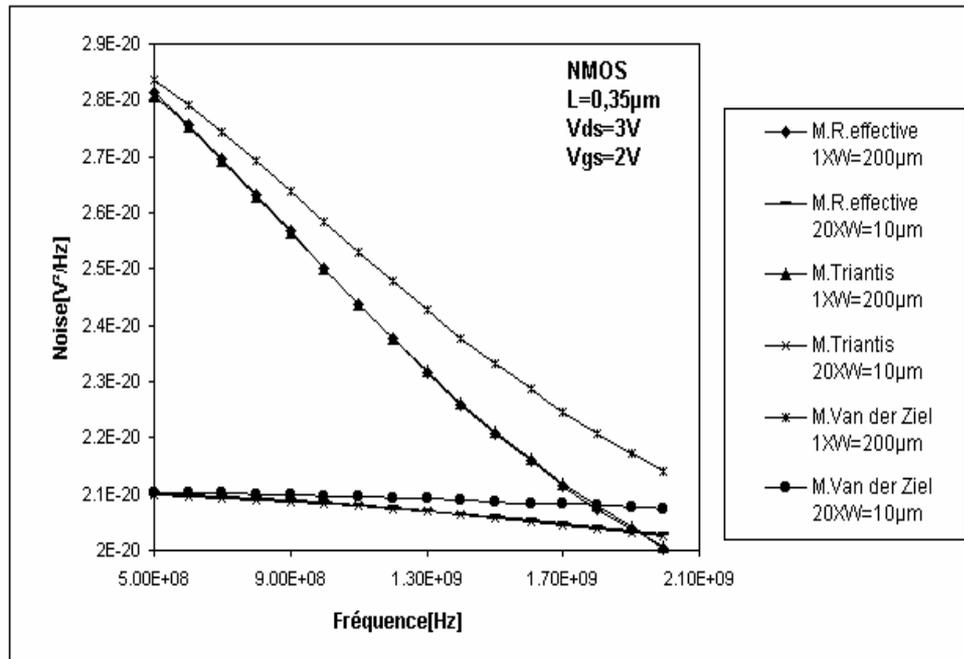


Figure 39 : DSP en tension du bruit à la sortie du transistor MOS en utilisant la structure interdigitée

Si nous comparons les DSPs en tension du bruit à la sortie des transistors composé de 20 doigts avec celles des transistors de 1 doigt. Nous constatons que le bruit de sortie diminue clairement sur toute la gamme de fréquence, et les trois modèles ont donné le même résultat. Cependant, le bruit sortant d'un transistor à structure multidoigts est blanc, contrairement au bruit sortant d'un transistor à un seul doigt. C'est pourquoi la valeur de la résistance de la grille a un effet direct sur le type du bruit de sortie.

### 3.4 Conclusion

Ce chapitre nous a permis de fixer les différents modèles du bruit thermique dans le cas des transistors MOS sur Si-Massif. Aussi, nous avons pu voir les résultats de calcul et de simulation du bruit de sortie pour des combinaisons de dimensions différentes. Parmi ces résultats :

- Le bruit blanc était le bruit engendré par les transistors étroits en radiofréquences.
- La structure inter digitée était la solution d'optimisation efficace du bruit thermique en radiofréquences dans le cas des transistors larges.

## CHAPITRE 4

### BRUIT BASSE FREQUENCE DES TRANSISTORS MOS/SOI

Ce chapitre sera consacré en particulier à l'étude expérimentale faite sur les composants MOS/SOI. Dans un premier temps, une étude statique s'effectuera sur les composants afin de pouvoir déterminer quelques paramètres nécessaires pour le reste de la caractérisation. Ensuite, une caractérisation de bruit s'effectuera sur les mêmes composants en linéaire et en saturation.

#### 4.1 Caractérisation statique

Une étape primordiale consiste à caractériser les transistors en régime statique. D'une part, on s'assure de leur bon fonctionnement. D'autre part, on extrait les paramètres électriques. Pour cela, un analyseur de paramètres nous permet donc de caractériser différents transistors aux dimensions variables en régime linéaire et en saturation (figure 40). Parmi les principales caractéristiques statiques qui sont utilisées pour l'extraction de paramètres électriques du transistor, il y a la caractéristique illustrée sur la figure 41 qui représente le courant de drain en fonction de la polarisation de grille  $I_d$  ( $V_g$ ). Outre le courant de drain, on s'intéresse aux valeurs du courant grille qui assurent également le bon fonctionnement des dispositifs. Les données obtenues sont traitées sous logiciel scientifique MATHCAD en utilisant des formules qui permettent l'obtention des grandeurs recherchées telles que la tension de seuil des transistors.

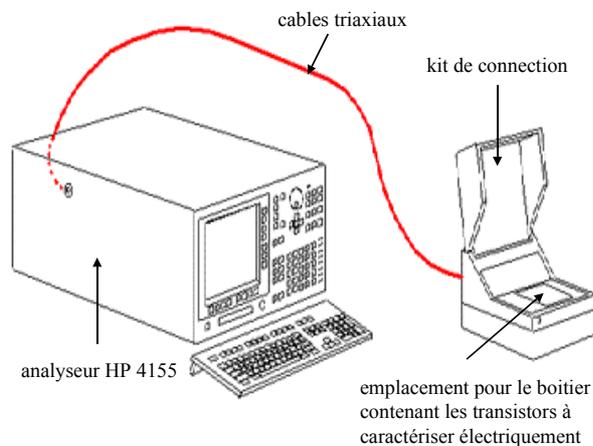


Figure 40 : Banc de mesure pour la caractérisation statique

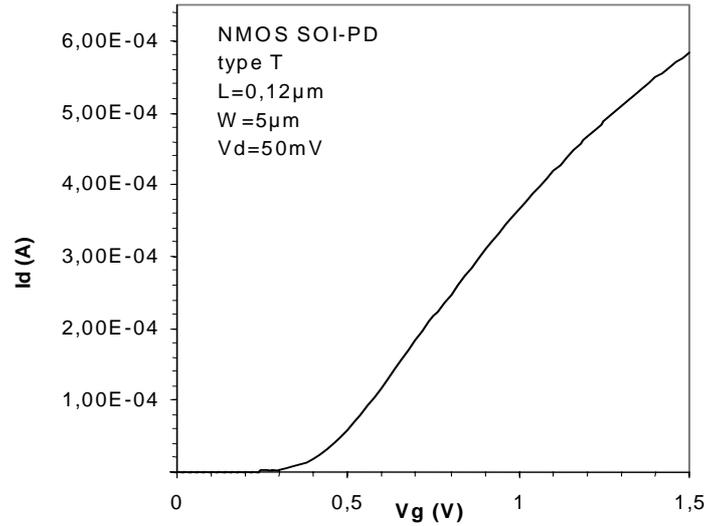


Figure 41 : Caractéristique statique courant-tension  $I_d(V_g)$  en régime linéaire d'un transistor MOS SOI de type body contact H

#### 4.1.1 Paramètres électriques extraits

Il existe de nombreuses méthodes qui permettent la détermination des paramètres du transistor MOS se trouvent dans les publications. Cependant, on s'intéresse précisément à présenter celles utilisées dans le cadre de notre travail. Le point essentiel consiste à garder la même procédure pour toutes les expérimentations pour qu'il n'y ait pas d'erreurs induites par un changement éventuel de méthode. Ainsi, les paramètres évalués directement à partir des données expérimentales sont :

- la tension de seuil  $V_t$ .
- la transconductance  $G_m$ .

En bref, nous rappelons que l'expression de la transconductance  $G_m$  (4.2) est déduite de l'expression du courant de drain en régime ohmique et en forte inversion donnée par la relation (4.1) et qui représente la caractéristique  $I_d(V_g)$  expérimentale:

$$I_d = \frac{W}{L} \mu_{\text{eff}} Q_i V_d = \frac{W}{L} C_{\text{ox}} \mu_0 \frac{(V_g - V_t) V_d}{1 + \theta_1 (V_g - V_t)} \quad (4.1)$$

$$G_m = \left. \frac{\partial I_d}{\partial V_g} \right|_{V_d = \text{constant}} = \frac{W}{L} C_{\text{ox}} \mu_0 \frac{V_d}{[1 + \theta_1 (V_g - V_t)]^2} \quad (4.2)$$

Où l'on retrouve les grandeurs définies précédemment (avec  $C_{ox}$  : capacité de l'oxyde de grille).

L'extraction de la tension de seuil  $V_t$  se fait par extrapolation à partir de la caractéristique  $I_d(V_g)$  en régime ohmique ( $V_d = 50\text{mV}$ ). Le point d'intersection entre la partie linéaire en forte inversion de la courbe  $Y(V_g) = I_d/\sqrt{G_m}$  et l'axe des abscisses représente la tension  $V_t$  :

$$Y(V_G) = \frac{I_d}{\sqrt{G_m}} = \left(\frac{W}{L} \mu_0 C_{ox} V_d\right)^{1/2} (V_G - V_t) \quad (4.3)$$

Ainsi, en forte inversion ( $V_g \gg V_d$ ) la fonction  $Y(V_g)$  varie linéairement avec  $V_g$  et on obtient la tension de seuil  $V_t$  quand  $Y(V_g)$  s'annule :  $Y(V_g) = 0$  si  $V_g = V_t$ .

Les résultats expérimentaux d'extraction des paramètres de tous les transistors étudiés sont des transistors SOI-PD avec  $tox1 = 2\text{ nm}$  (épaisseur de l'oxyde de grille),  $tox2 = 400\text{ nm}$  (épaisseur de l'oxyde enterré) et  $tsi = 160\text{ nm}$  (épaisseur du film de Silicium).

Les différents transistors étudiés sont les suivants avec les résultats d'extraction:

type	L( $\mu\text{m}$ )	W( $\mu\text{m}$ )	$V_{body}$	$V_t(\text{mV})$	type	L( $\mu\text{m}$ )	W( $\mu\text{m}$ )	$V_{body}$	$V_t(\text{mV})$
FB	0.12	0.3		438	FB	10	0.3		264
		0.4		427			0.4		274
		0.6		463			0.6		266
		1		464			1		266
		5		473			5		274
		10		464			10		283
TC	0.12	0.4	0	446	TM	10	0.4	0	
		0.6	0	443			0.6	0	252
		1	0	419			1	0	246
		5	0	456			5	0	231
		10	0				10	0	235
HC	0.12	0.32	0	399	HI	10	0.32	0	
		0.6	0	350			0.6	0	289
		1	0	425			1	0	319
		5	0	446			5	0	332

Tableau 2 : Récapitulatif de différentes structures caractérisées

#### 4.1.2 Phénomènes observés en régime statique

##### 4.1.2.1 Effet du GIFBE ( Gate Induced Floating Body Effect)

Le progrès permanent de la technologie silicium sur isolant a permis de découvrir des phénomènes physiques liés plus particulièrement à la réduction des dimensions caractéristiques des transistors, telle que, l'épaisseur d'oxyde. Par conséquent, tout l'intérêt a été porté aux phénomènes engendrés afin d'étudier leur impact sur la fiabilité et les performances de ces composants.

Un phénomène découvert récemment est lié précisément à l'épaisseur d'oxyde de grille qui ne cesse de s'amincir. Pour cela, on a fait appel au théorème de Fowler-Nordheim qui explique l'effet tunnel à travers les couches d'oxydes inférieur à 3nm. D'une façon générale, la figure 42a illustre les bandes d'énergie d'une structure Semiconducteur-Oxyde-Semiconducteur ainsi que le transfert des charges à travers l'oxyde par effet tunnel de part et d'autre. Ceci est exprimé par la contribution au courant tunnel de trois flux de porteurs, électrons de la bande de conduction (ECB), trous de la bande de valence coté grille (HVB), et électrons de la bande de valence du silicium (EVB).

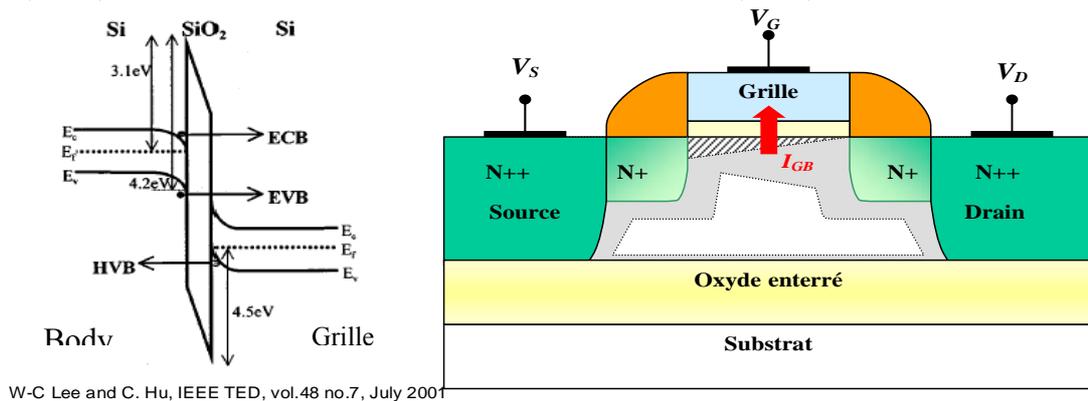


Figure 42 : a) Bandes d'énergie Si-SiO<sub>2</sub>-Si b) Effet de substrat flottant

Pour les transistors MOS/SOI partiellement déplétés (figure 42b), si un transistor à canal N est polarisé en régime d'inversion forte, le substrat est chargé par un courant de trous qui résulte d'un courant tunnel direct d'électrons de la bande de valence du silicium dans la grille. Ceci affecte fortement le potentiel  $V_b$  causant des effets de substrat flottant induits par la grille : le GIFBE ( Gate Induced Floating Body Effect) est l'appellation donnée à ce phénomène.

Expérimentalement, nous avons pu voir ce phénomène sur des transistors MOS/SOI sans prise substrat, mis au point par STMicroelectronics. En régime ohmique, la figure 43 présente les variations du courant drain (a) et de la transconductance (b) en

fonction de la tension de grille. En l'occurrence, la présence du GIFBE est exprimée à la même tension  $V_g$  1.1 V par un excès du courant drain ou par un second pic inhabituel au niveau de la transconductance.

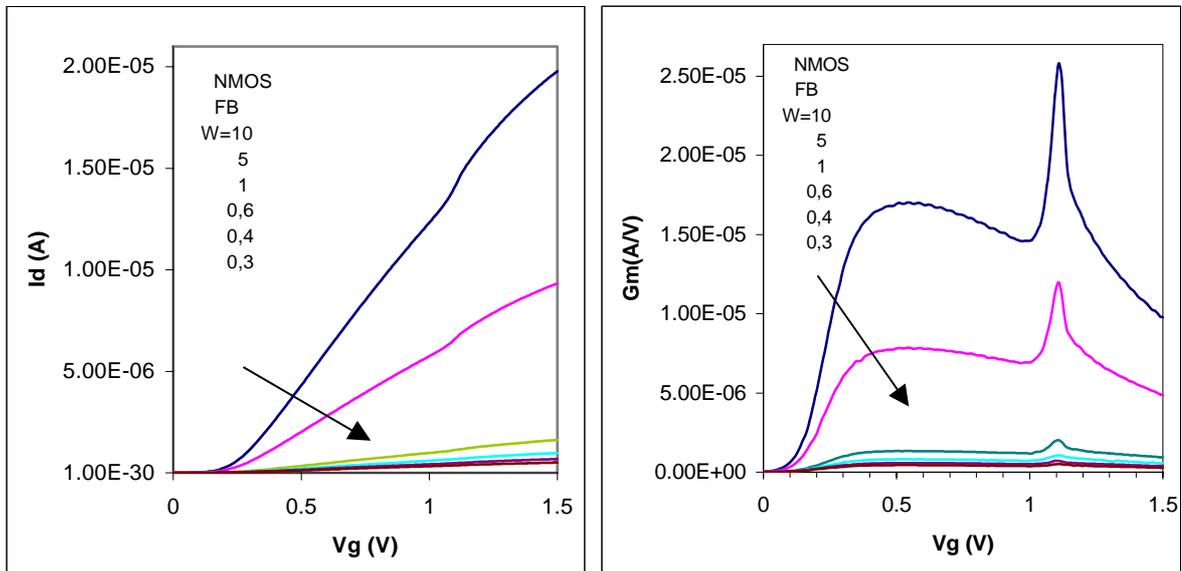


Figure 43 : (a)  $I_d(V_g)$  en régime linéaire, (b) la transconductance  $G_m(v_g)$

Par ailleurs, si la surface de zone active du film de Si varie tout en changeant la largeur et en fixant la longueur des transistors, l'excès du courant variera également. En d'autres termes, plus la surface est grande, plus l'effet de GIFBE est important. Ceci se traduit sur la figure 43b par un pic variable en fonction de  $W$ .

En revanche, les dispositifs avec prise du substrat ont été conçus comme remède aux problèmes de substrat flottant. Pour cela, nous avons mis en examen des transistors MOS/SOI PD architecture T et H afin de vérifier l'efficacité de la prise substrat. Sur la figure 44, les courbes illustrées représentent également les variations du courant drain et de la transconductance en fonction de la tension de grille. Dans ce cas, les trous créés au niveau du substrat par le phénomène de la GIFBE sont collectés instantanément par la prise. La disparition de l'excès du courant et le deuxième pic de la transconductance ont eu lieu.

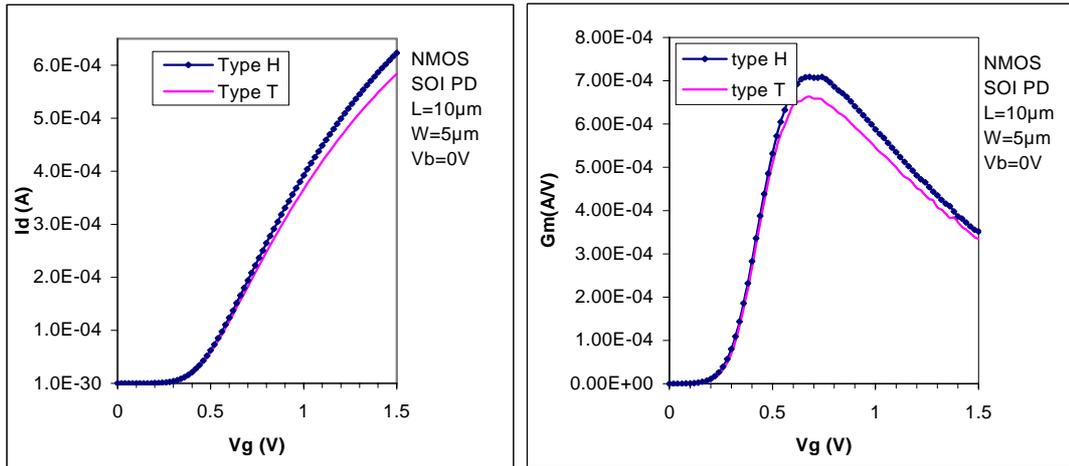


Figure 44 : (a)  $I_d(V_g)$  en régime linéaire, (b) la transconductance  $G_m(v_g)$

#### 4.1.2.2 Effet Kink

Cet effet apparaît en particulier en régime de saturation dans les structures partiellement désertées sans prise substrat [38]. Cela est dû au phénomène de l'ionisation par impact qui est la création des paires électron-trou auprès du drain à l'aide d'un champ électrique très élevé, où les électrons seront collectés par le drain et les trous s'accumulent dans le film (figure 45) en augmentant le potentiel du substrat. Ce dernier croît jusqu'à ce que la jonction substrat-source soit mise en direct et conduise. Du coup, la tension de seuil diminue et le courant de drain augmente brusquement.

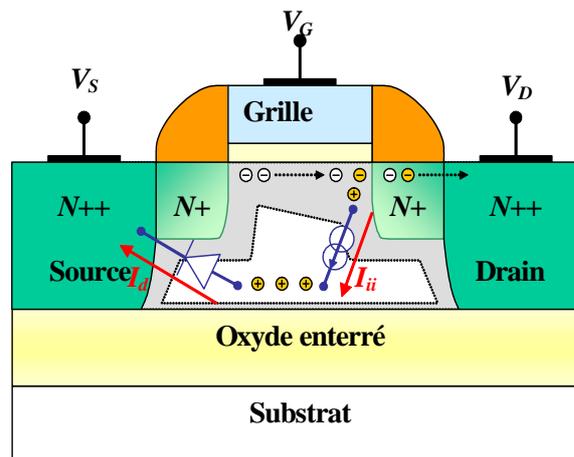


Figure 45 : Accumulation des trous dans le film provoqué par l'ionisation par impact

Ainsi, ce phénomène apparaît sur la caractéristique électrique  $I_d(V_d)$  issue des transistors MOS/SOI PD en régime de saturation. La figure 46 illustre l'effet Kink à des tensions de drain supérieures à 1V, mais aussi une variation linéaire avec la tension grille.

Plus la tension de grille est élevée, plus l'effet Kink se décale vers les tensions de drain les plus élevées.

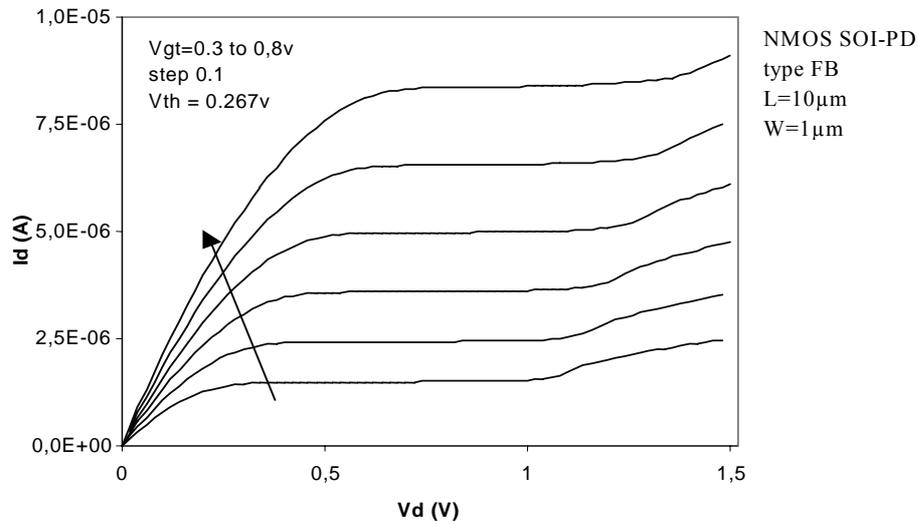
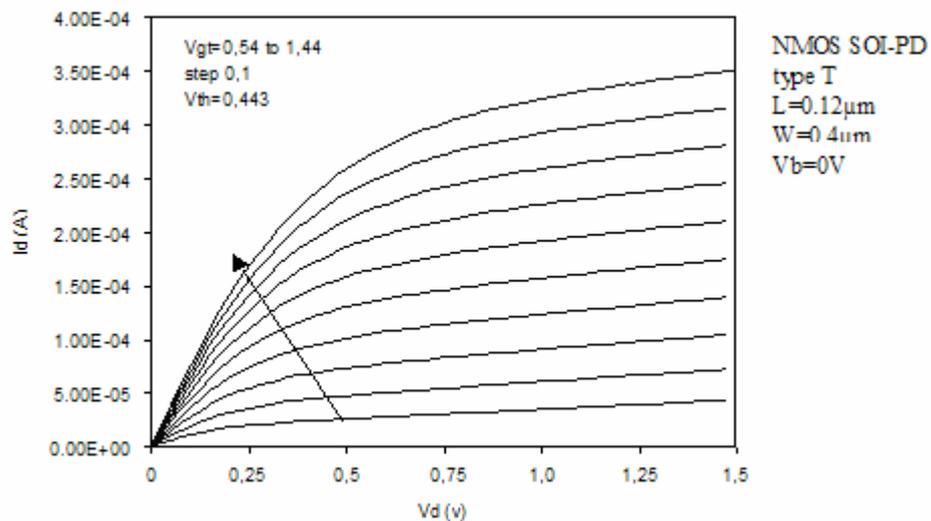


Figure 46 : Effet Kink sur la caractéristique  $I_d(V_d)$  d'un MOS/SOI PD à substrat flottant



Figure

'SOI PD

Par ailleurs, les transistors MOS/SOI PD avec prise substrat sont conçus afin de pouvoir supprimer les effets de substrat flottant, en l'occurrence l'effet Kink en régime de saturation. L'efficacité de la prise substrat est exprimée sur la figure 47 où nous présentons le courant de drain en fonction de la tension de drain d'un transistor à canal court et étroit. Dans ce cas, on observe juste la présence de l'effet de canal court par contre le courant d'ionisation par impact est évacué par cette prise mise à la masse.

## 4.2 Bruit électrique

Le bruit basse fréquence est un indicateur très sensible de la fiabilité et de la qualité technologique des composants car il se manifeste dans presque tous les dispositifs semi-conducteurs. A ce titre, les mesures du bruit électrique basse fréquence sont un outil puissant pour caractériser la qualité des interfaces Si-SiO<sub>2</sub>. D'autre part, il représente la limite de la détection et l'utilisation des signaux.

Dans cette partie, nous décrirons le banc de mesure expérimental ainsi que la procédure de mesure. Puis nous nous concentrerons sur l'impact des effets de substrat flottant sur le bruit, nous présenterons les deux modèles qui l'expliquent, ainsi que les façons de l'éliminer.

### 4.2.1 Description du banc de mesure

#### 4.2.1.1 Régime linéaire

Le banc de mesure à disposition à l'IMEP est représenté sur la figure 48. Le dispositif étudié, enfermé dans une enceinte métallique est polarisé sous les tensions  $V_d$  et  $V_{g1}$  ou  $V_{g2}$ , ajustables grâce à des potentiomètres et délivrées par des batteries Cadmium/Nickel. Une enceinte métallique est utilisée pour le blindage contre les ondes électromagnétiques. La source du transistor étudié est connectée à un convertisseur Courant-Tension de EG &G Instruments (modèle 518x), de sensibilité  $S$  variable de  $10^{-8}$  à  $10^{-3}$  A/V. L'analyseur HP est en effet sensible à des fluctuations de niveaux de tension et non de courant, ce qui justifie l'utilisation du convertisseur. A la sortie de ce convertisseur, nous obtenons une tension dont les fluctuations sont donc étudiées par l'analyseur à transformée de Fourier rapide HP 35665A (trois gammes de fréquence sont utilisées pour l'analyse : 0.5-200 Hz, 8Hz-3.2 kHz, 256 Hz-102.4 kHz).

Un choix judicieux de la sensibilité  $S$  du convertisseur permet d'optimiser le rapport Signal/Bruit. Les tracés de la densité spectrale de puissance  $DSP(f)$ , exprimée en dB, sont obtenus et affichés sur l'écran de l'analyseur.

D'un point de vue pratique, afin de mettre en évidence les dépendances de la DSP en fonction de la tension de grille et du courant de drain présentées auparavant dans ce paragraphe, nous procédons comme décrit dans les lignes suivantes. Après une mesure statique  $I_d(V_g)$  préliminaire sur un dispositif donné, « l'objectif » de la manipulation de bruit est de « retrouver » cette première mesure. Pour cela, en se plaçant en régime ohmique ( $V_d=50$  mV) pour l'ensemble des mesures, nous fixons une valeur de  $I_d$ , et nous

notons la valeur de  $V_g$  correspondante. La manipulation est réalisée pour trois fréquences différentes (10 Hz – 1 kHz – 10 kHz) afin d'avoir un spectre sur une gamme 0.5-100 kHz.

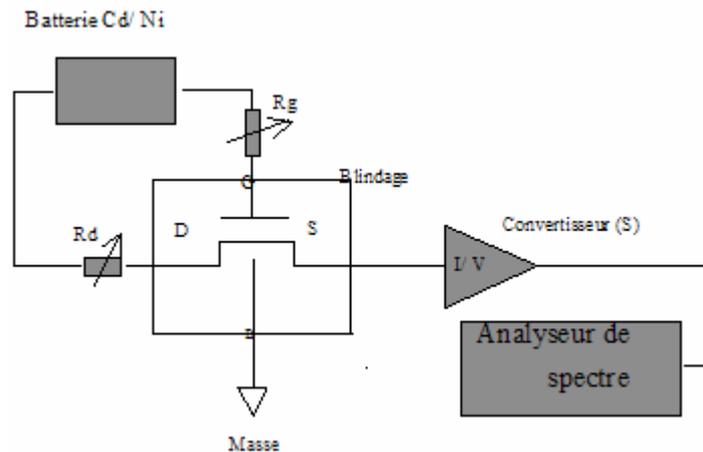


Figure 48 : Banc de mesure de bruit

Connaissant  $DSP(f)$ , il est possible de calculer la densité spectrale de puissance en courant du bruit de drain avec la relation :

$$S_{I_d}(f) = S^2 10^{\frac{-DSP(f)}{10}} \quad (4.1)$$

La densité spectrale de puissance de tension de grille ramenée en entrée s'en déduit aisément :

$$S_{V_g}(f) = \frac{S_{I_d}(f)}{g_m^2} \quad (4.2)$$

#### 4.2.1.2 Régime de saturation

Afin d'étudier le bruit électrique en basse fréquence de la technologie  $L=0.12\mu$  en régime de saturation, on utilise un banc de mesure automatique dénommé « Berkeley Technology Associate BTA 9812A Noise Analyser » équipé d'une partie hardware et d'une interface logicielle. L'ensemble de la partie hardware est constitué d'un analyseur de paramètres afin de fixer le point de fonctionnement en régime statique, d'un analyseur de

spectre et d'un boîtier utilisé comme cage de Faraday. L'interface logicielle assure à la fois la configuration des conditions de mesure et l'exploitation des résultats.

#### 4.2.1.3 Intérêt des mesures en régime ohmique

Les transistors MOS fonctionnent généralement en régime de saturation. Cependant, l'inhomogénéité du canal en saturation nous empêche de déterminer les sources de bruit associées. C'est pourquoi il est plus commode de travailler en régime ohmique afin de pouvoir déceler les sources de bruit qui interviennent aux basses fréquences. Comme nous l'avons cité auparavant, les deux sources de bruit en  $1/f$  qui sont responsables dans de tels dispositifs, sont les fluctuations de porteurs ou les fluctuations de mobilité. Ainsi, il s'agit maintenant de déterminer les paramètres représentatifs correspondants à chaque type de bruit, mais ceci ne peut avoir lieu que si nous traçons la densité spectrale de drain en fonction du courant drain. Si cette densité est corrélée à  $(G_m/I_d)^2$ , cela correspond à des fluctuations du nombre de porteurs. Par contre, si elle est corrélée à  $(1/I_d)$ , le bruit provient des fluctuations de la mobilité.

Sur la figure 49, les différents modèles du bruit  $1/f$  sont illustrés afin de distinguer entre elles. Notons toutefois qu'en forte inversion, les fluctuations de mobilité corrélées au piégeage/dépiégeage des porteurs et/ou le bruit électrique des résistances séries, peuvent entraîner une confusion avec le modèle de Hooge. Il est donc nécessaire de balayer de la faible à la forte inversion.

A partir des valeurs de  $S_{v_g}$ , nous pouvons calculer une densité moyenne des pièges dans l'oxyde. La densité spectrale de puissance de tension de grille dépend linéairement de  $N_t$ , lequel indique la densité des pièges et le niveau de la dégradation du dispositif au cours des opérations de vieillissement menées. Cette densité,  $N_t$ , permet de comparer les niveaux de bruit dans les différentes architectures testées.

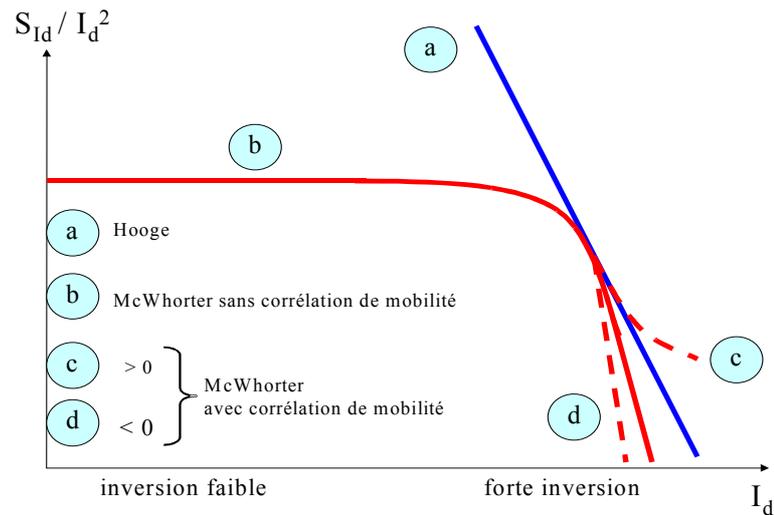


Figure 49 : Schéma représentant la variation du rapport  $S_{Id}/I_d^2$  en fonction de  $I_d$  pour les différents modèles de bruit en  $1/f$

Elle est obtenue à partir de la relation suivante :

$$S_{VG} = \frac{\lambda q^2 k T N_t}{W L C_{ox}^2 f} (V^2 / Hz) \quad (4.3)$$

Où  $\lambda=1$  est la constante d'atténuation de l'effet tunnel dans l'oxyde,  $kT$  l'énergie thermique.

#### 4.2.2 Résultats expérimentaux

Dans cette partie, nous allons présenter les différents résultats des mesures en bruit effectuées sur les dispositifs déjà vus en régime statique.

##### 4.2.2.1 Influence de l'effet GIFBE sur le bruit

###### 4.2.2.1.1 Transistors sans prise du substrat

La figure 50 présente la DSP en courant de drain sur la gamme de fréquences 1Hz-100kHz, pour une structure à substrat flottant sans prise de dimensions  $W/L=10/10$ . Cette structure génère un courant faible relativement à sa longueur de drain, le bruit correspondant peut atteindre en régime ohmique les  $10^{-19} A^2/Hz$ . On remarque que la forme générale des composantes est divisée en deux parties selon la tension de grille appliquée. Dans le cas des tensions  $V_g=0,9$  et  $V_g=1V$ , la DSP a une dépendance en  $1/f$  pour les fréquences inférieures à 1KHz. Cette dépendance perd explicitement sa forme après le

seuil de conduction tunnel par EVB en forte inversion. On voit parfaitement dès la tension  $V_g=1,1V$ , l'apparition des composantes lorentziennes en  $1/f^2$ . Ceci est dû au GIFBE qui exprime l'excès du courant de drain par un changement de spectre au niveau de bruit ainsi qu'un décalage de composantes selon la tension de grille appliquée [39].

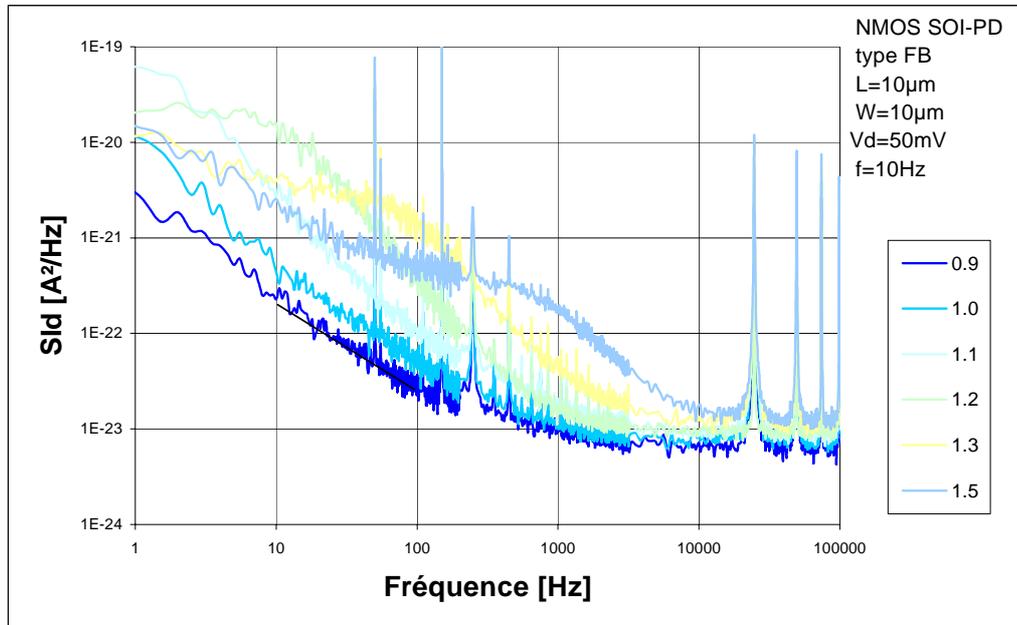


Figure 50 : DSP en courant du bruit de drain d'un transistor MOS/SOI PD à substrat flottant

En exploitant les résultats de la même mesure, nous pouvons tracer sur la figure 51 la DSP de courant de drain normalisée en fonction du courant de drain dans le but de déterminer la source de bruit. Il se trouve que la DSP normalisée a montré une très bonne corrélation avec  $(G_m/I_d)^2$  extraite des données statiques. Ceci n'est qu'une identification du modèle de McWhorter. Ainsi, le bruit provient de la fluctuation du nombre des porteurs. Par ailleurs, nous avons déjà vu en régime statique le deuxième pic sur la transconductance  $G_m$  qui représente la GIFBE, le phénomène se reproduit en analysant la densité spectrale normalisée montre un excès du bruit en forte inversion par la présence d'un pic corrélé avec les résultats statiques. Dans ce cas, la densité de pièges extraite  $N_t$  est égale à  $4.66 \cdot 10^{17} \text{eV/cm}^3$ .

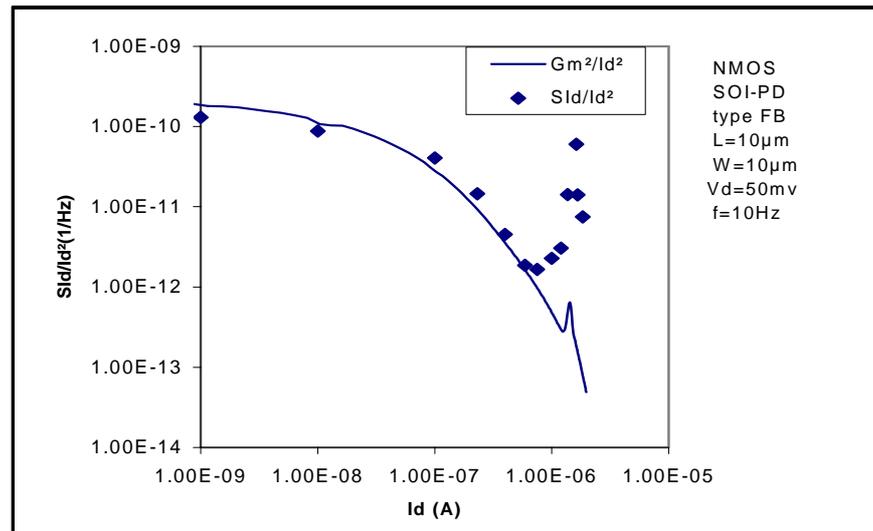


Figure 51 : DSP en courant de drain normalisée d'un transistor MOS/SOI PD à substrat flottant

Pour une structure MOS/SOI PD délivrant un courant fort ( $L=0.12\mu\text{m}$ ) figure 52, nous nous retrouvons ici comme pour le transistor à faible courant  $L=10\mu\text{m}$ , devant des composantes lorentziennes notamment en forte inversion exprimant l'effet de substrat flottant en régime ohmique. Cet excès est moins explicite que dans la structure précédente. Ceci peut être attribué à la surface de la grille du transistor qui limite le flux de courant tunnel, et à un effet moins marqué au niveau statique.

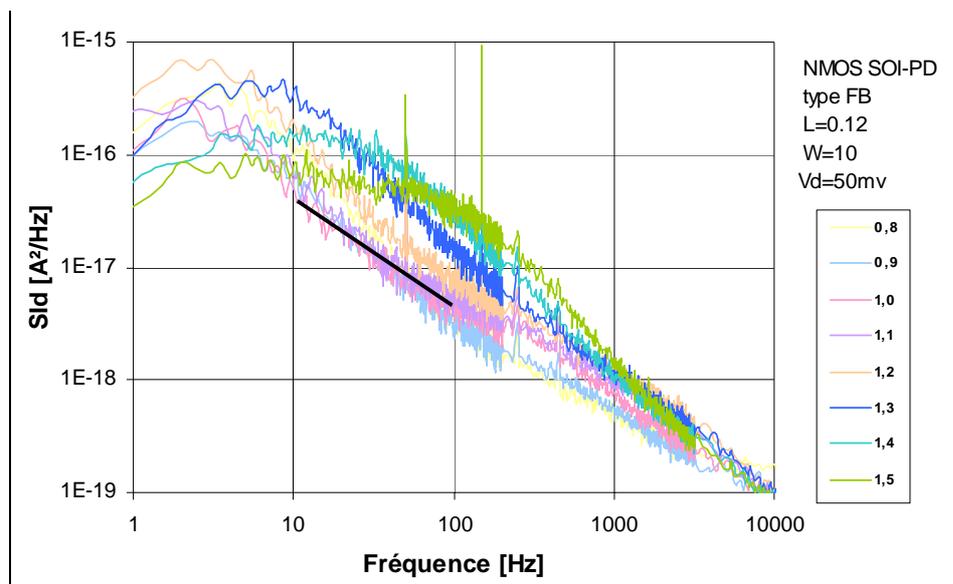


Figure 52 : DSP en courant de drain d'un transistor MOS/SOI PD à substrat flottant

Sur la figure 53, le modèle de McWhorter est également observé pour la structure  $W/L=10/0.12$ . La fluctuation du nombre de porteurs explique le bruit basse fréquence avec  $N_t=2.24e+18/eV/cm^3$ .

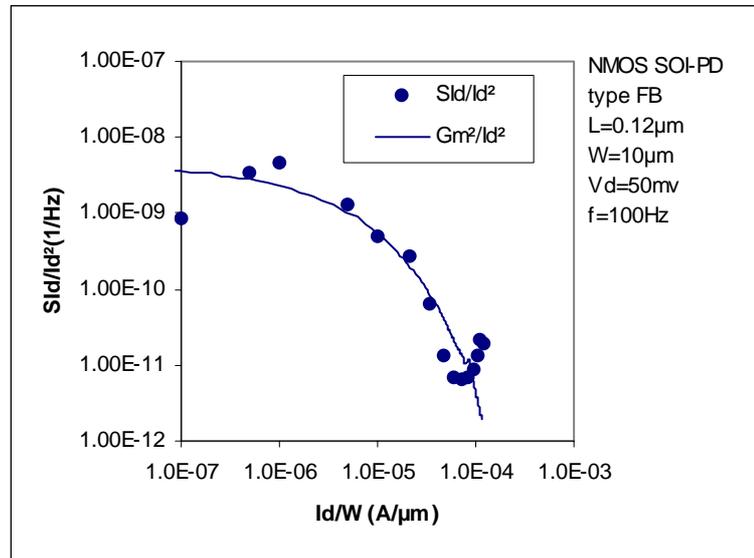


Figure 53 : DSP normalisée en courant de drain d'un transistor MOS/SOI PD à substrat flottant

Une autre représentation nous permet de montrer l'effet du GIFBE sur le bruit. Pour cela, nous illustrons sur la figure 54, l'évolution de la DSP de courant de drain en fonction de la tension de grille. L'effet du GIFBE figure toujours sur les tracés. De plus, la bosse qui représente l'excès se décale avec la fréquence indiquant un excès d'une décade pour une fréquence de 10Hz et de même pour une fréquence de 80Hz.

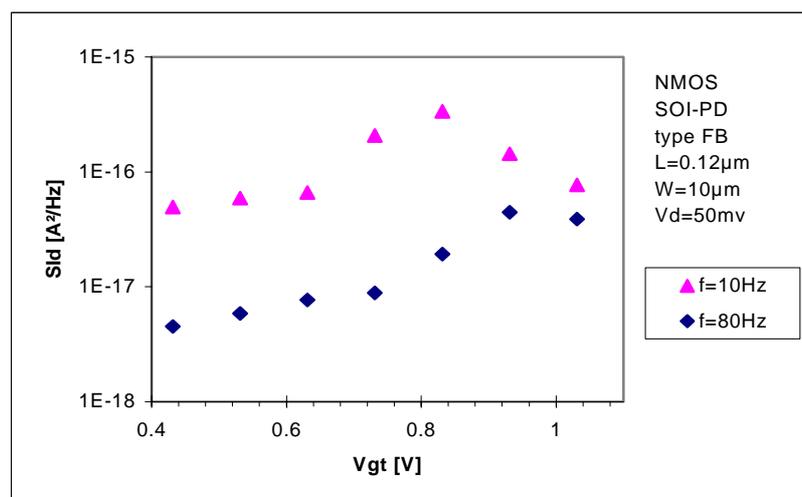


Figure 54 : l'excès du bruit de GIFBE d'un transistor MOS/SOI PD à substrat flottant

Afin de terminer cette investigation, la GIFBE fait aussi son apparition sur les tracés de DSP normalisée de différents canaux étroits figure 55. On remarque que plus le canal est étroit, plus l'excès de bruit de la GIFBE est faible. Ceci est observé sur les deux courbes de chaque largeur de canal.

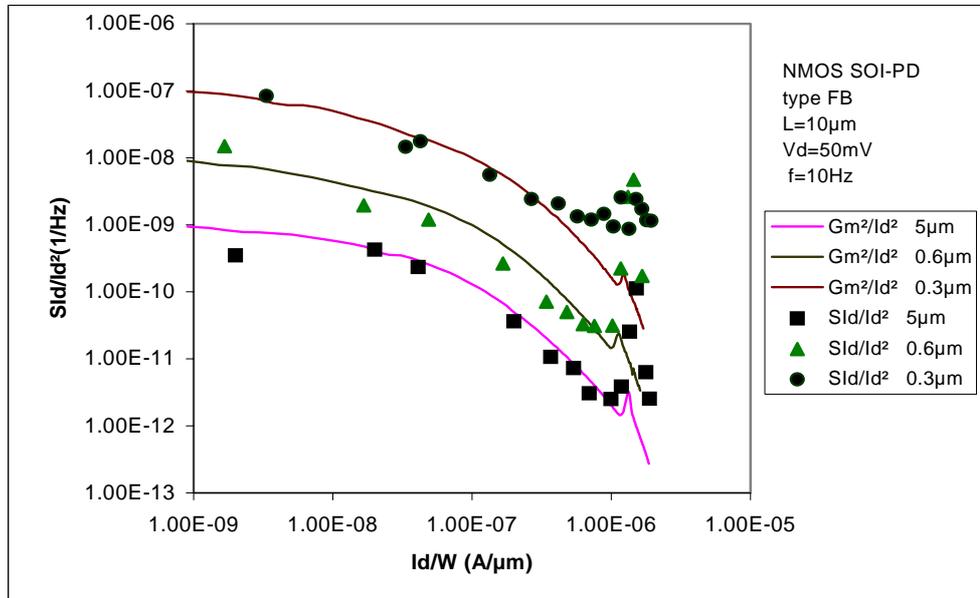


Figure 55 : Effet de la largeur de canal sur la DSP en courant de drain d'un transistor MOS/SOI PD à substrat flottant

#### 4.2.2.1.2 Neutralisation de l'effet GIFBE par la prise du substrat

Dans cette partie, nous examinons les architectures des transistors MOS/SOI à isolation latérale H et T avec prise substrat [40]. Ces structures nous ont déjà révélé leur efficacité en régime statique par la neutralisation de l'effet de substrat flottant en évacuant les porteurs majoritaires. Ceci devrait être confirmé en régime dynamique par des mesures de bruit basse fréquence. Pour cela, nous avons effectué des mesures sur les deux architectures pour plusieurs géométries.

Sur les figures 56 et 57, nous avons illustré les spectres en fréquence de deux structures H et T de dimensions W/L=5/10 et 10/10 respectivement. Les spectres montrent que le bruit généré est de type 1/f jusqu'à la fréquence 100Hz, et ceci est identique pour la plupart des tensions de grille appliquées. Au delà de cette fréquence, la dominance revient au bruit thermique généré par les résistances d'accès. On remarque aussi l'absence des

composantes lorentziennes qui sont apparues dans le transistor à substrat flottant sans prise en présence du GIFBE. Ceci montre l'efficacité de prise par suppression d'un effet indésirable en régime linéaire.

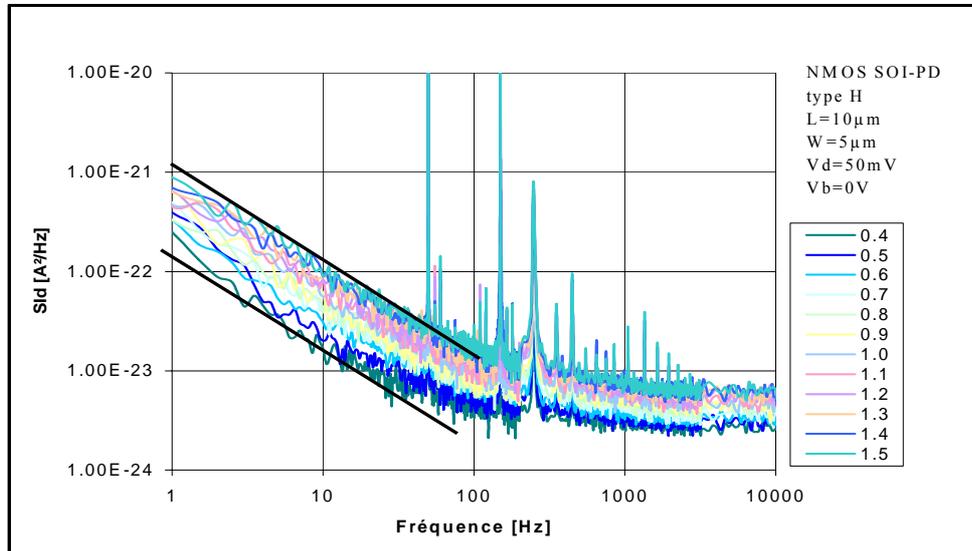


Figure 56 : DSP en courant de drain d'un transistor MOS/SOI PD à prise substrat en architecture H

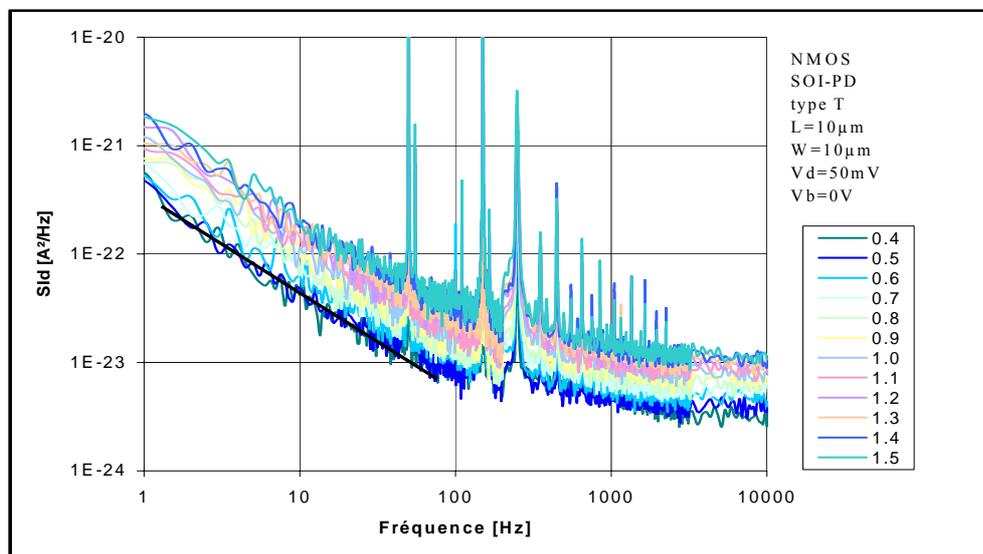


Figure 57 : DSP en courant de drain d'un transistor MOS/SOI PD à prise substrat en architecture T

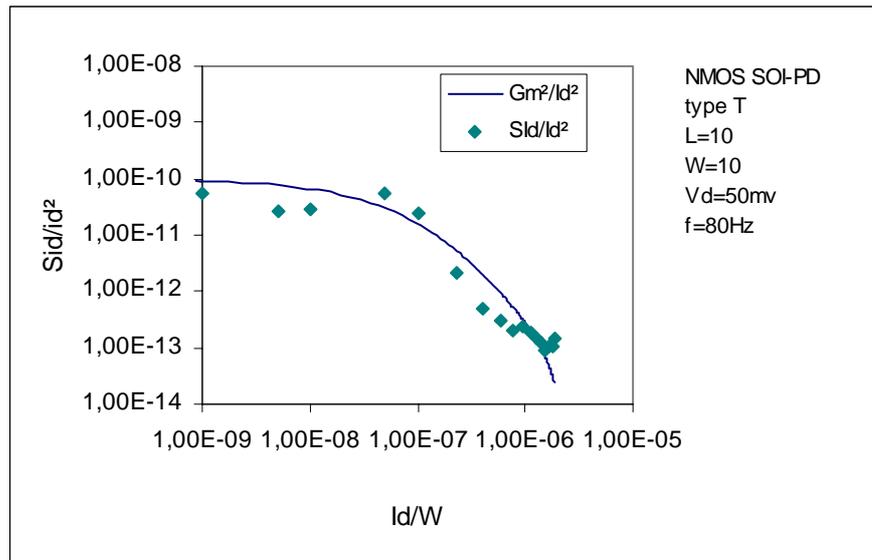


Figure 58 : DSP en courant de drain d'un transistor MOS/SOI PD à prise substrat

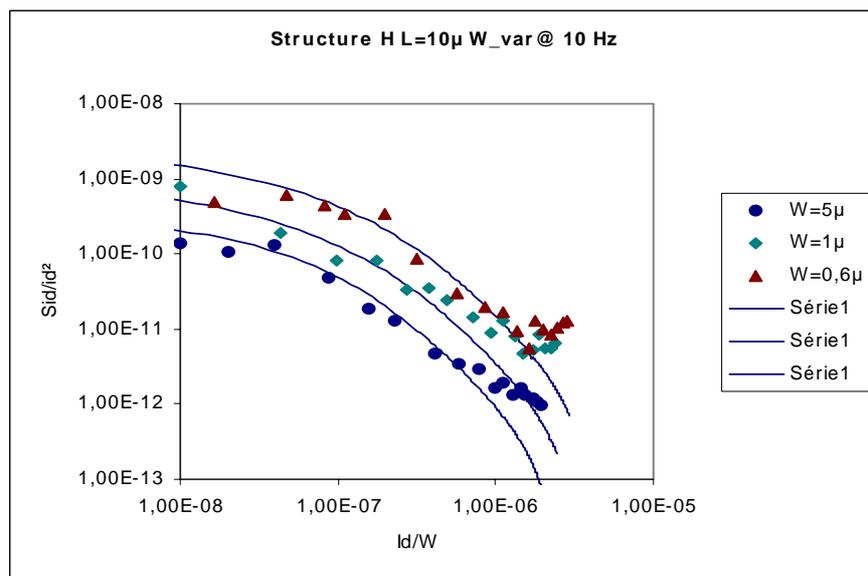


Figure 59 : DSP en courant de drain d'un transistor MOS/SOI PD à prise substrat

De la même manière, nous traçons la DSP normalisée en fonction du courant de drain normalisé. Le résultat est la très bonne corrélation avec la caractéristique statique  $G_m^2/I_d^2$  qui identifie le modèle de McWhorter. Par contre, la corrélation de la mobilité avec ce modèle de McWhorter est observé à des largeurs de canal plus importantes  $W=10\mu\text{m}$  et  $W=5\mu\text{m}$  pour les structures T et H respectivement figure 58 et figure 59. Cette corrélation disparaît en diminuant de plus en plus la largeur de canal et se transforme en

bruit thermique en forte inversion surtout pour les canaux étroits  $W=1\mu\text{m}$  et  $W=0.6\mu\text{m}$  sur la figure 59. Notant aussi la suppression de la GIFBE dans les deux structures et l'efficacité de la prise.

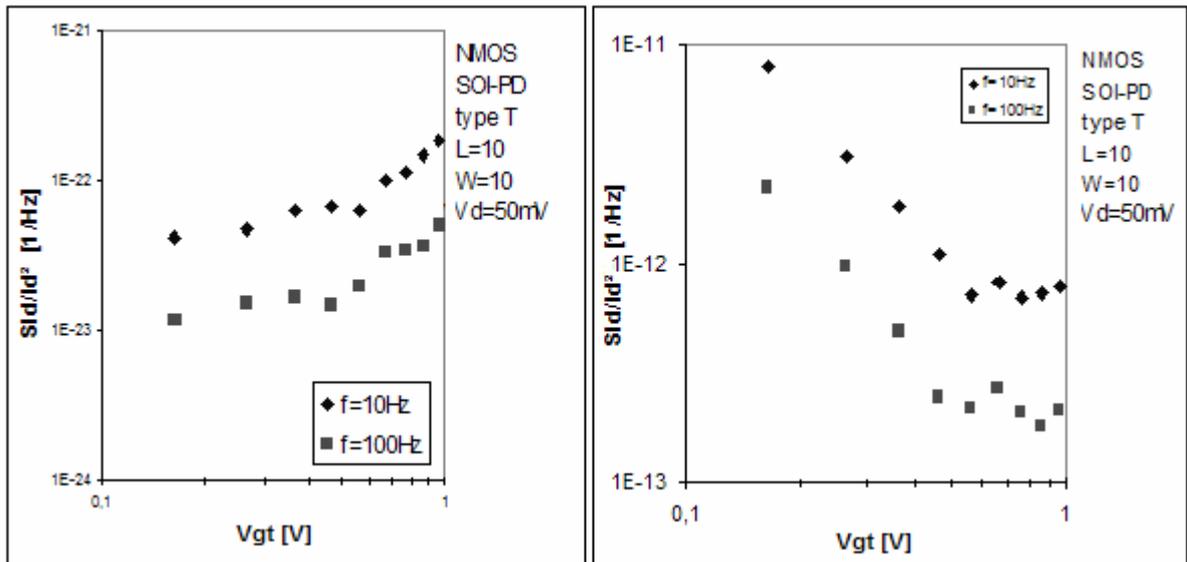


Figure 60 : DSP en courant de drain d'un transistor MOS/SOI PD à substrat flottant

Sur la figure 60, le tracé de la DSP du courant drain en fonction de la tension grille de deux architectures H et T aux fréquences 10Hz et 100Hz montre une dépendance linéaire à la tension grille avec un changement de pente en forte inversion.

#### 4.2.2.2 Influence de l'effet Kink sur le bruit

Après avoir rappelé la présence de l'effet Kink dans la partie statique, il est évident que ce phénomène se traduit aussi par des changements au niveau de la densité spectrale du bruit. L'excès brusque du courant de drain sur la caractéristique statique  $I_d(V_d)$  s'est manifesté pour des tensions de drain importantes où les spectres correspondants montrent un excès de bruit de type Lorentzien. Deux modèles existent pour expliquer cet excès de bruit (Modèle de Simoen-Claeys [41] et Modèle du filtre RC [42] qui seront présentés dans l'annexe).

Nous entamons maintenant la partie expérimentale avec une présentation d'un autre appareil de mesure que dispose actuellement le laboratoire de l'IMEP.

##### 4.2.2.2.1 Transistors sans prise du substrat

L'étude en saturation nécessite généralement de mettre le transistor sous des conditions appropriées à ce régime. Pour cela, les points de fonctionnement sont choisis de telle sorte que la tension grille soit supérieure à la tension de seuil, tout en faisant varier la tension de drain jusqu'à de fortes valeurs de celle-ci.

De la même façon que pour la partie linéaire, les mesures ont été effectuées sur des transistors partiellement désertés à substrat flottant, ensuite sur des transistors avec prise substrat.

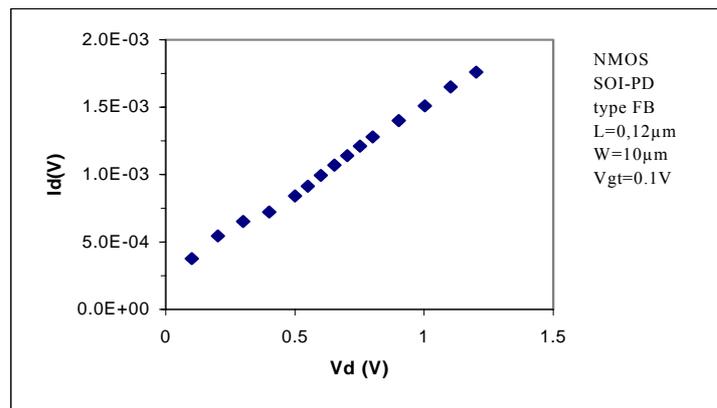


Figure 61 : caractéristique statique en régime de saturation en présence de l'effet Kink

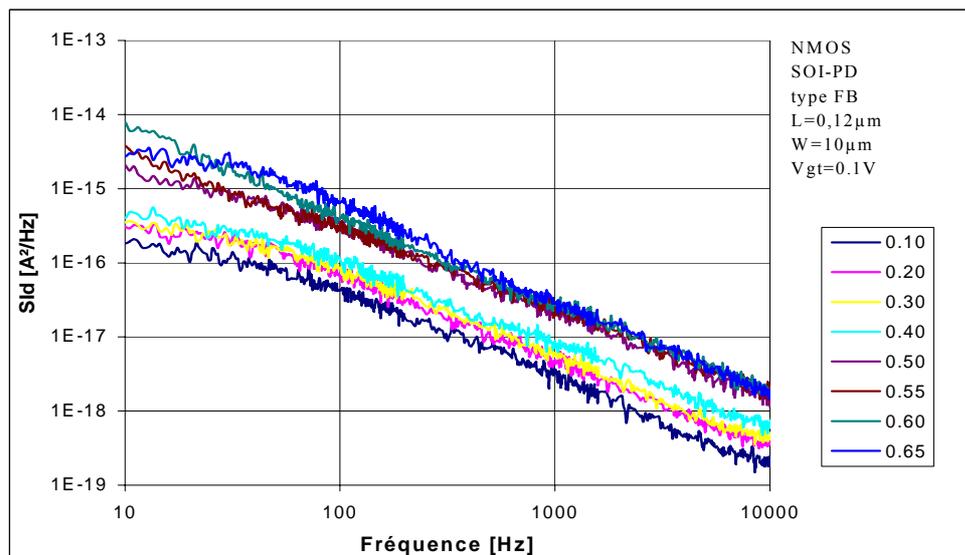


Figure 62 : DSP en régime de saturation avant l'effet Kink

Sur la figure 61, nous avons illustré la caractéristique statique lors de la mesure du bruit pour une tension de grille de  $V_g=0.543V > V_{th}=0.443V$  où l'effet Kink apparaît à  $V_d=0.55V$ . Les spectres, qui correspondent à chaque tension de drain appliquée, sont également illustrés où nous avons montré sur un graphe l'avant-Kink et sur l'autre l'effet Kink. Les spectres classiques en  $1/f$  sont ceux qui se présentent sur la figure 62 à des tensions de drain faibles par rapport à la tension de déclenchement du Kink.

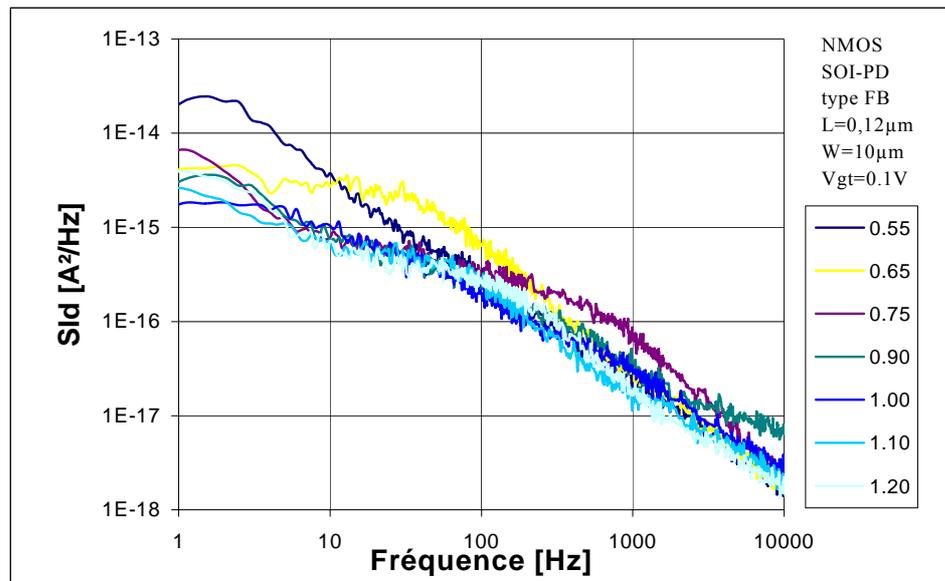


Figure 63 : DSP en régime de saturation avec l'apparition des composantes Lorentziennes indiquant l'effet Kink.

En revanche, l'excès du bruit apparaît parfaitement à partir de la tension  $V_d=0.55V$  (figure 63) par des composantes de type Lorentzien. Ces composantes se décalent en augmentant la tension de drain vers les hautes fréquences avec une diminution de l'amplitude de plateau correspondant.

La façon intéressante d'illustrer cet effet est de tracer, pour une fréquence donnée, la DSP en fonction de  $V_d$  pour chaque point de mesure. Tant que le bruit est en  $1/f$ , la DSP est constante, lorsque le Kink intervient il se produit une augmentation de la DSP, puis lorsque le Kink se déplace avec la fréquence, la DSP redevient constante.

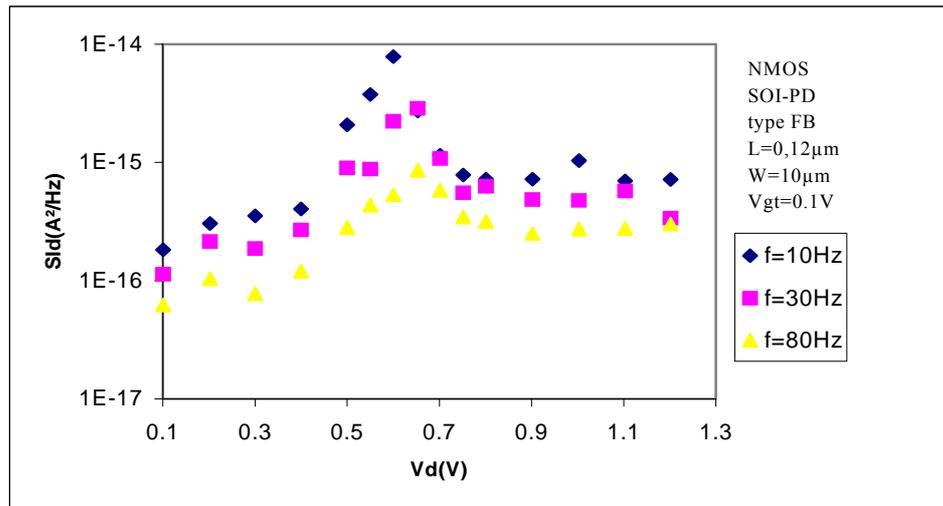


Figure 64 : SId en fonction de la tension de drain pour un NMOS SOI-PD d'architecture  $L = 0.12 \mu\text{m}$  et  $W = 10 \mu\text{m}$

Il apparaît clairement dans ces exemples une augmentation de SId lorsque l'effet Kink intervient. De plus, le déplacement de l'enclenchement de l'effet Kink vers les fortes tensions de drain est remarquable lorsqu'on augmente la fréquence de mesure.

#### 4.2.2.2.2 Neutralisation de l'effet Kink par la prise du substrat

La façon la plus simple de neutraliser l'effet Kink est de réduire l'épaisseur du film de silicium jusqu'à ce qu'il n'y ait plus de zone neutre; on obtient alors un transistor complètement déplété car tout le film de silicium est déserté. Durant ce stage, l'étude a été restreinte aux transistors Partiellement Désertés. Alors pour neutraliser l'effet Kink la solution consiste à fabriquer une prise substrat que l'on reliera à la masse ce qui permettra d'évacuer les porteurs majoritaires créés par le courant d'ionisation par impact neutralisant ainsi l'effet Kink.

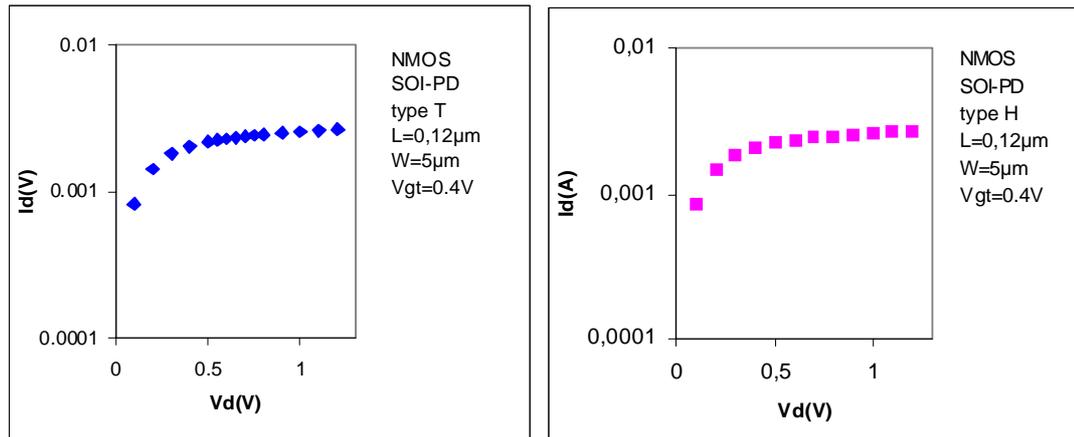


Figure 65 : Caractéristiques statiques des structures H et T et suppression du kink à partir de BTA

Ces exemples de caractéristiques (figure 65) montrent bien la neutralisation de l'effet Kink car il n'apparaît plus d'excès de courant. Donc, cela devrait entraîner la disparition de l'excès de bruit lorentzien pour la DSP du courant de drain.

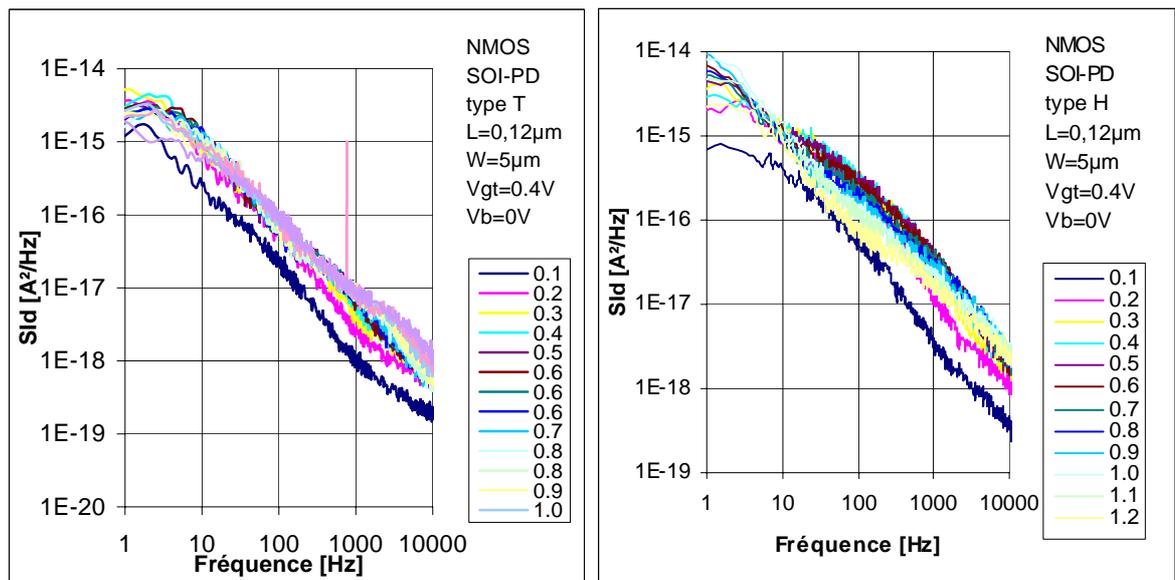


Figure 66 : Spectre en fréquence en régime de saturation avant suppression du Kink

La figure 66 montre sans équivoque l'absence de Lorentziennes dues à l'effet Kink, il ne subsiste plus que du bruit en  $1/f$ . Pour confirmation, on regarde, pour une fréquence donnée, la densité spectrale en fonction de la tension drain pour les deux architectures.

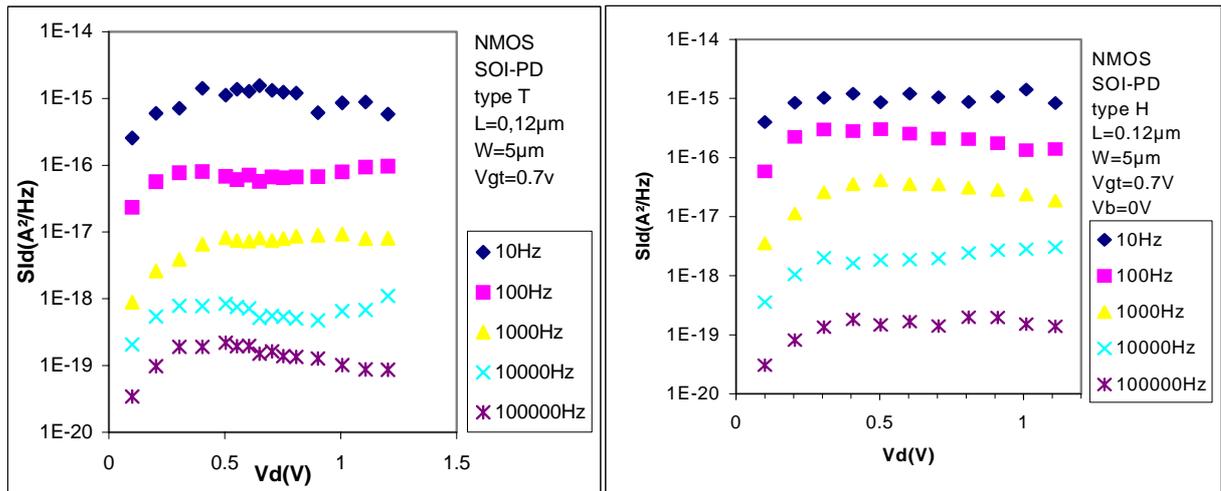


Figure 67 : DSP en fonction de la tension drain et suppression du Kink

Ces exemples montrent clairement l'absence de bosses dues à l'effet Kink (figure 67). Ainsi le fait d'avoir une prise substrat que l'on relie à la masse est le moyen le plus efficace pour éliminer l'effet Kink pour les transistors MOS SOI Partiellement Déplétés. Par ailleurs, on observe le même niveau de bruit dans les deux architectures.

L'exemple présenté sur la figure 68, montre les densités spectrales en fréquence des l'architecture FB pour une largeur du canal inférieure à  $1\mu\text{m}$ . Nous observons sur le graphe la présence des composantes Lorentziennes pour plusieurs tensions  $V_d$ . Les mêmes observations ont été relevées pour les architectures HC et TC. Celles-ci sont dues en particulier à la surface active qui est trop petite. Du coup, le bruit revient aussi en particulier aux signaux RTS malgré la prise du substrat.

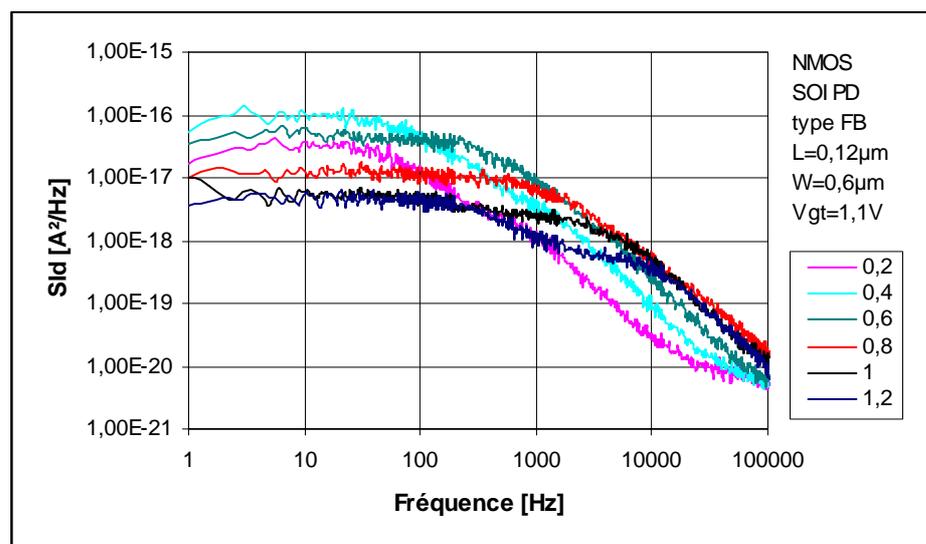


Figure 68 : Bruit à spectre Lorentzien

### 4.3 Conclusion

Après avoir étudié les différents résultats en régime ohmique et en régime de saturation de la filière des transistors partiellement déplétés d'oxyde de grille ultra-mince avec ses deux architectures « transistors avec et sans prise de substrat », on peut résumer les points essentiels :

Le bruit dominant dans les deux catégories est un bruit en  $1/f$ .

L'écart avec le tracé  $Gm^2/Id^2$  provient, soit du GIFBE qui est exprimé par un excès de bruit et traduit par la présence des spectres lorentziens en forte inversion dans les transistors sans prise de substrat et à plusieurs dimensions; soit des fluctuations de mobilité corrélées ou des résistances d'accès dans le cas des transistors avec prise de substrat à canal court.

Tous les dispositifs attribuent les résultats trouvés au modèle de McWhorter indiquant que les fluctuations en nombre de porteurs sont responsables sur le bruit généré avec une densité de pièges qui varie de  $1.68 \text{ e}+17/\text{eV}/\text{cm}^3$  à  $2.24 \text{ e}+18/\text{eV}/\text{cm}^3$ .

Les transistors avec prise de substrat assurent une efficacité de prise remarquable en neutralisant l'effet du substrat flottant.

En saturation, l'effet kink a été observé par l'excès du bruit sur les différentes représentations. Mais la prise du substrat constitue un remède qui a montré son efficacité en neutralisant cet effet complètement.

## CONCLUSION

Ce travail avait pour but de contribuer, le plus possible, à l'étude du bruit électrique dans les transistors MOS submicroniques et submicroniques profonds. En radiofréquence, nous avons essentiellement analysé le bruit thermique et les principaux résultats de la partie simulation après l'implémentation des modèles théoriques du bruit additionnel de la résistance grille. L'objectif de cette partie était de voir le comportement des transistors en terme du bruit et la possibilité d'amélioration du bruit sortant des transistors larges par la topologie interdiguée. Les modèles implémentés ont montré un rapprochement satisfaisant de résultats sur la plage de fréquences choisie en régime de saturation. En basses fréquences, le bruit  $1/f$  a fait l'objet de notre étude sur les transistors MOS/SOI. Nous avons pu voir sur les caractéristiques du bruit les différents effets du substrat flottant en saturation et en linéaire ainsi que leur neutralisation par la prise du substrat. Aussi, le modèle de McWorther a été le modèle observé sur l'ensemble des résultats de la caractérisation indiquant que la fluctuation de nombre de porteurs constitue la principale source du bruit  $1/f$ . Pour les transistors à canaux étroits, le bruit de type RTS était le responsable des spectres Lorentziens.

Après cette contribution, on peut résumer l'importance de ce thème de recherche qui est l'étude du bruit électrique en trois points. (1) Le bruit est un problème important dans la science physique et dans l'ingénierie, puisqu'il impose la limite sur la précision de mesure de toute grandeur physique. Pour évaluer cette limite, nous devons obligatoirement connaître l'amplitude des sources de bruit impliqué, savoir optimiser le rapport signal-bruit et savoir également mesurer ce bruit d'une manière simple mais précise. (2) le bruit fournit des informations concernant le transport dans les dispositifs qui dépend des mécanismes fondamentaux et inévitables tels que les mécanismes de collision avec les phonons, les impuretés et les centres de piégeage, etc. (3) le bruit peut également être utilisé comme un outil de diagnostic très puissant pour caractériser les impuretés, les défauts et les états d'interface. C'est donc un indicateur de la qualité et de la fiabilité de la technologie utilisée.

## REFERENCES

1. J. Jomaah “ Rapport d’habilitation à diriger des recherches ” ENSERG/INPG 2002.
2. S. M. Sze, Physics of Semiconductor Devices, Wiley, 1981.
3. Jean Pierre Colinge, "*Silicon-On-Insulator Technology : Materials to VLSI*", 2<sup>nd</sup> Edition, Kluwer Academic Publishers.
4. Olivier Faynot, "Caractérisation et modélisation du fonctionnement des transistors MOS ultra submicronique fabriqués sur films SIMOX très minces", Thèse de docteur de l'INPG, soutenue le 13 Octobre 1995.
5. A. Van Der Ziel. Information and Sciences Series, éditeur T. Kailath, 1970.
6. A. Chovet, P. Viktorovith. «*Le bruit électrique I : processus aléatoire*» L’onde électrique, vol.57, No. 11, pp. 699-707, 1977. «*Le bruit électrique II : aspects physiques* » L’onde électrique, vol.57, No. 12, pp. 773-739, 1977.
7. G. Ghibaudo. “Critical MOSFETs Operation for low voltage/low power IC’s : Ideal characteristics, parameter extraction, electrical noise and RTS fluctuations” Microelec. Engin., 39: pp. 31-57, 1997.
8. L. K. J. Vandamme, H. M. M. De Werd “*1/f noise model for MOSFETs Biased in nonohmic region*” Solid State Elect, Vol. 23, pp. 325-329, 1979.
9. F.N. Hooge, "*1/f Noise* ", Physica, 83B, p.14-18, 1976.
10. F.N. Hooge, "*1/f Noise Sources*", IEEE Transactions On Electron Devices, vol. 41, n°. 11, pp. 1926-1935, November 1994.
11. L. K. J. Vandamme, X. Li et D. Rigaud. “*1/f noise in MOS devices, mobility or number fluctuations?*”, IEEE Electron Devices Letters, Vol. 4, N° 11, pp. 1936-1944, 1994.
12. R. P. Jindal et A. Van Der Ziel, « *Phonon fluctuation model for flicker noise in elemental semiconductors* », J. Appl. Phys., 52 (4), pp. 2884-2888, 1980.
13. I. M. Hafez, G. Ghibaudo et F. Balistra. “A study of flicker noise in MOS transistors operated at room and liquid helium temperature” Solid State Elect., Vol. 33, pp. 1525-1529, 1990.
14. A.L. Mac Whorter, "*1/f Noise And Germanium Surface Properties*", Semiconductor Surface Physics, University of Pennsylvania Press, Philadelphia, p. 207, 1957.

15. S. Christensson, I. Lundstrom et C. Svenesson. "Low frequency noise in MOS transistor\_I", Solid State Elect., Vol.11, pp.797-812, 1968.
16. G. Ghibaudo. "Calculation of surface charge noise at the Si-SiO<sub>2</sub> Interface", Phys. Stat. Sol (a), 104: pp 917-930, 1987.
17. P. Dutta et P. M. Horn. « *Low frequency fluctuations in solids : 1/f noise* », Rev. Mod. Phys. 53, p. 497, 1981.
18. G. Reimbold. "Modified 1/f trapping noise theory and experiments in MOS transistors biased from weak inversion to strong inversion Influence of interface states", IEEE Trans. Elect. Dev., Vol. 31, N° 9, pp. 1190-1197, 1984.
19. G. Ghibaudo. "A simple derivation of Reimbold's drain current spectrum formula for flicker noise in MOSFETs", Sol. State Elec., 30: pp. 1037-1038, 1987.
20. C. Surya et T. Y. Hsiang. "Surface mobility fluctuations in metal oxide semiconductor field effect Transistors", Physical Review B, Vol. 35, N° 12, pp. 6343-6347, 1987.
21. K.S. Ralls, W.J. Skocpol, L.D Jackel, R.E Howard, L.A. Fetter, R.W. Epworth, and D.M. Tennant, "Discrete Resistance Switching in Submicrometer Silicon Inversion Layers : Individual Interface Traps and Low Frequency (1/f) Noise, Physics Review Letters", vol. 52, n° 3, p. 228, 1984.
22. A. Hartstein, A. B. Fowler et M. Albert. "*Temperature Dependence of scattering in the inversion layer*", Surface Science, 98, p.181, 1980.
23. K. K. Hung, P. K. K. Ko, C. Hu et al. "*A unified model for the flicker noise model in metal oxide semiconductor field effect transistors*", IEEE Trans. Elect. Dev., Vol. 37, no. 3, pp. 654-664, 1990.
24. D. C. Murray, A. G. R. Evans et J. C. Carter. "*Shallow defects responsible for GR noise in MOSFET's*", IEEE Trans. Elect. Dev., Vol. 38, No. 2, pp. 407-416, 1991.
25. O. Roux Dit Buisson. « Etude du bruit électrique en 1/f et des fluctuations RTS aux basses fréquences dans le transistor MOS submicroniques », Thèse INPG, 1993.
26. O. Roux Dit Buisson. G. Ghibaudo et J. Brini. « Model for drain current RTS amplitude in small area MOS transistors » Solid State Elect., Vol. 35, N° 9, pp. 1273-1276, 1992.
27. B. Wang, J.R. Hellums, C.G Sodini, "*MOSFET Thermal Noise Modelling for Analog Integrated Circuits*" IEEE Journal Of Solid State Circuits, vol. 29, n°7, p. 833-835, July 1994.

28. K. Takeuchi, M. Fukuma, “ *Effects Of The Velocity Saturated Region On MOSFET Characteristics*” IEEE Transactions On Electron Devices, vol. 41, n° 9, p. 1623-1627 Sep 1994.
29. D.P. Triantis, A.N. Birbas, D. Kondis, “*Thermal Noise Modelling For Short-Channel MOSFETs*” IEEE Transactions On Electron Devices, vol. 43, n° 11, p. 1950-1955 Nov 1996.
30. D.P. Triantis, A.N. Birbas, “*Optimal Current For Minimum Thermal Noise Operation Of Submicrometer MOS Transistors*” IEEE Transactions On Electron Devices, vol. 44, n° 11, p. 1990-1995 November 1997.
31. D.P. Triantis, A.N. Birbas, S.E. Plevridis “*Induced Gate Noise In MOSFETs Revisited : The Submicron case*” Solid State Electronics vol.41, n° 12, p. 1937-1942. May 1997.
32. C. ENZ “ *MOS Transistor Modelling for RF IC Design*”, Workshop Notes, Swiss Center for Electronics and Micro-technology.
33. X. Jin, J.J. Ou, C.H. Chen, W. Liu, M. Jamal Deen, P.R. Gray, and C. Hu “*An Effective Gate Resistance Model For CMOS RF and Noise Modelling*” in IEDM Tech, p. 961-964, Sep 1998.
34. G.V. Klimovitch, T.H. Lee, Y. Yamamoto, “*Physical Modelling Of Enhanced High Frequency Drain and Gate Current Noise in Short-Channel MOSFETs*” May 19, 1997.
35. T. Manku, M. Obrecht, Y. Lin, “*High-Frequency Dependence Of Channel Noise in Short-Channel RF MOSFETs*” IEEE Electron Device Letters, vol. 20, n° 9, p. 481-483 Sep 1999.
36. B. Razavi, R. H. Yan, K. F. Lee, “*Impact of distributed gate resistance on the performance of MOS devices*”, IEEE Transactions on Circuits and Systems, Vol. 41, N° 11, November 1994.
37. W.Liu, R. Charpurey, M. C. Chang, U. Erdogan, R. Aggarwal, and J.P. Mattia, “*R.F. MOSFET Modeling Accounting for Distributed Substrate and Channel Resistances with Emphasis on The BSIM3v3 SPICE Model*” in IEDM Tech p.309-312, Dec 1997.
38. S. Haendler et al., « *Kink-related excess noise in deep submicron Partially Depleted and moderately Fully Depleted Unibond NMOSFETs* », Jpn. J.Appl. Phys., 2000, vol. 39 : p.2261-2263.

39. F. Dieudonné, J. Jomaah, F. Balestra, « Gate-induced Floating Body Effect Excess Noise in Partially Depleted SOI MOSFETs » IEEE Electron Device letters, Vol. 23, n° 12, December 2002.
40. L. Hyeokjae , L. Jong-Ho, S. Hyungsoon Shin, «*Low-Frequency Noise Degradation Caused by STI Interface Effects in SOI-MOSFETs* » IEEE Electron Device Letters, Vol. 22, n° 9, Spectember 2001.
41. E. Simoen, C. Claeys, "*The Low Frequency Noise Behaviour Of Silicon-On-Insulator Technologies*", Solid-State Electronics, vol. 39, n° 7, pp. 949-960, 1996.
42. Wei Jin, Philip C.H. Chan, Samuel K.H. Fung, and Ping K. Ko, "*Shot-Noise-Induced Excess Low Frequency Noise in Floating-Body Partially Depleted SOI MOSFET's*", IEEE Transactions On Electron Devices, vol. 46, n° 6, June 1999.

## ANNEXE A

- Modélisation de l'effet kink

- a) Modèle de Simoen-Claeys

Ce modèle est basé sur la génération-recombinaison dans la zone neutre du substrat. La densité spectrale de puissance de la charge d'inversion est alors [40] :

$$S_{Q_D} = \frac{q^2 N_a V}{4\pi} \frac{\tau}{1 + (2\pi f \tau)^2}$$

Où  $N_a$  est le dopage,  $\tau$  le temps caractéristique de la G-R et  $V$  le volume concerné par la G-R égal au premier ordre à  $W.L.Y_d$  ( $Y_d$  : hauteur de la zone de désertion).

A une fluctuation de la charge de désertion correspond une fluctuation du potentiel "body" qui elle même correspond à une fluctuation de la tension de seuil pour les SOI-PD :

$$S_{V_t} = \left( \frac{C_d}{C_{ox}} \right)^2 S_{bs} \quad \text{où} \quad S_{V_{bs}} = \frac{S_{Q_D}}{C_b^2}$$

Or, une fluctuation de la tension de seuil correspond aussi à une fluctuation équivalente de la tension de grille, d'où on obtient finalement pour la DSP du courant de drain

$$S_{I_d} = g_m^2 S_{V_{gs}} = g_m^2 S_{V_t} \quad \text{d'où} \quad S_{I_d} = \frac{g_m^2 q^2 N_a W L Y_d}{4\pi C_{ox}^2} \frac{\tau}{1 + (2\pi f \tau)^2}$$

On obtient bien une Lorentzienne pour  $S_{I_d}$  : i) si  $f \ll f_c$  on a un plateau :  $S_{I_d} = C_{te}$

- b) Modèle du filtre RC

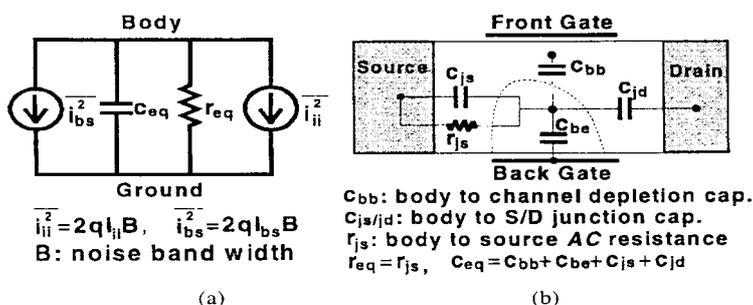


Figure 69 : schéma équivalent petit signal (a) d'un transistor MOS SOI-PD avec détail des capacités (b) prises en compte [41]

Dans ce modèle la source de bruit supplémentaire provient du bruit de grenaille au niveau de la diode Source/Body [41]. Son spectre est blanc et la DSP du courant de drain est :

$$S_{I_d} = 2qI_{bs} = 2qI_{ii} \text{ (où } I_{ii} = \text{courant d'ionisation par impact)}$$

Par contre, la DSP en tension du substrat, du fait du réseau RC auquel est relié la zone neutre s'écrit :

$$S_{V_{bs}} = S_{I_{bs}} |Z_{bs}|^2 = S_{I_{bs}} \frac{r_{eq}^2}{1 + \left(\frac{f}{f_c}\right)^2}$$

Où  $r_{eq}$  est la résistance dynamique de la diode Source/Substrat ( $r_{eq} = dV_{bs}/dI_{bs} = nkT/qI_{bs}$ ),  $C_{eq}$  la capacité équivalente (voir figure IV-21-b) et  $f_c = 1/(r_{eq}C_{eq})$ . Ensuite, en raisonnant comme pour le modèle de Simoen-Claeys on obtient :

$$S_{I_D}(f) = (M + 1)g_m^2\beta^2 2qI_{bs} \frac{r_{eq}^2}{1 + \left(\frac{f}{f_c}\right)^2}$$

$$\text{où } \beta = \frac{dV_t}{dV_{bs}} = \frac{1}{2C_{ox}} \sqrt{\frac{2qN_a\epsilon_{si}}{2\phi_f - V_{bs,0}}}$$

- **Exemple d'un Net List HSPICE utilisé pour la simulation de bruit**

```
*Bruit total pour Vgs = 1v, VD = 3v L=0.35U W=200U...Modèle de VAN DER ZIEL
.OPTIONS LIST NODE POST
M1 1 2 3 4 nch12 L=0.35U W=200U
.lib '/home/halim/parameters/TSMC_PAR' TT
Rd 9 1 1
rgld 10 2 366.19
IGT 2 0 IGT
VD 9 5 VD
VG 10 6 1 AC 0.1
VS 3 7 DC 0
VB 4 8 DC 0
VDSSENSE 0 5 DC 0
VGSENSE 0 6 DC 0
VSENSE 0 7 DC 0
VBSSENSE 0 8 DC 0
.PARAM FREQ=500ME VD=3.000000e+00 IGT=1.109009e-12
.AC DATA=MEASURED
.DATA MEASURED
FREQ          VD          IGT
5.000000e+08  3.000000e+00  1.109009e-12
6.000000e+08  3.000000e+00  1.330810e-12
7.000000e+08  3.000000e+00  1.552612e-12
8.000000e+08  3.000000e+00  1.774414e-12
9.000000e+08  3.000000e+00  1.996216e-12
1.000000e+09  3.000000e+00  2.218017e-12
1.100000e+09  3.000000e+00  2.439819e-12
1.200000e+09  3.000000e+00  2.661621e-12
1.300000e+09  3.000000e+00  2.883422e-12
1.400000e+09  3.000000e+00  3.105224e-12
1.500000e+09  3.000000e+00  3.327026e-12
1.600000e+09  3.000000e+00  3.548828e-12
1.700000e+09  3.000000e+00  3.770629e-12
1.800000e+09  3.000000e+00  3.992431e-12
1.900000e+09  3.000000e+00  4.214233e-12
2.000000e+09  3.000000e+00  4.436034e-12
.ENDDATA
.NOISE V(1) VG SWEEP DATA=MEASURED
.plot NOISE V(1)
.END
```

- **Exemple de paramètres BSIM3V3**

```
*****
*
*          nmos devices model
*
*****
.param toxn = 7.5e-9 toxp = 7.7e-9 toxo = 7.5e-09
```

```

+dxl = 0 dxw = 0
+dvtn = 0 dvtp = 0 delvtoe= 0
+cjn = 1.01893e-3 cjp = 1.416829e-3 cje = 0.00101893
+cjswn = 3.057956e-10 cjswp = 4.173308e-10 cjsw = 3.057956e-10
+cgon = 1.96000e-10 cgop = 2.30748e-10 cgoe = 1.96000e-10
+cjswgn = 1.524314e-10 cjswgp = 1.013197e-10 cjswge = 1.524314e-10
+hdifn = 3.8e-07 hdifp = 3.8e-07 hdife = 1.08e-06

.model nch12          nmos (          lmin = 3.5e-07
+lmax = '8.07e-07-dxl' wmin = '1.9983e-5-dxw' wmax = 0.0002001
+level = 49          tnom = 25          version = 3.1
+acm = 12           ldif = 1.2e-07      hdif = hdifn
+rsh = 67.6         rd = 0             rs = 0
+tox = toxn         xj = 1e-07         nch = 2.3579e+17
+lln = 1           lwn = 1           wln = 1
+wwn = 1           lint = 4e-08        ll = 0
+lw = 0            lw1 = 0            wint = 4e-08
+w1 = 0            ww = 0             ww1 = 0
+mobmod = 1        binunit = 2         x1 = '3e-08+dxl'
+xw = '1.5e-07+dxw' dwg = 0           dwb = 0
+vth0 = 'dvtn+0.5606551' lvth0 = 4.760612e-09 vwth0 = 1.738077e-07
+pvth0 = 3.181845e-14 k1 = 0.4259894   lk1 = 3.756617e-08
+wk1 = 1.260899e-06 pk1 = -3.263417e-13 k2 = 0.05471099
+lk2 = -2.203767e-08 wk2 = -1.897263e-07 pk2 = 5.213094e-14
+k3 = 0            dvt0 = 0           dvt1 = 0
+dvt2 = 0          dvt0w = 0          dvt1w = 0
+dvt2w = 0         nlx = 0           w0 = 0
+k3b = 0           vsat = 96507.23    ua = 6.39951e-10
+lua = -4.84443e-16 wua = -1.283102e-14 pua = 9.713082e-21
+ub = 8.84567e-19  lub = 4.596023e-25 wub = 2.387136e-23
+pub = -1.193882e-29 uc = -4.549903e-11 luc = 4.469341e-17
+wuc = 2.192615e-15 puc = -9.868407e-22 rdsw = 750
+prwb = 0          prwg = 0           wr = 1
+u0 = 0.05001702  lu0 = -4.288831e-09 wu0 = -4.32611e-08
+pu0 = 7.323861e-14 a0 = 1.115296   la0 = -1.35661e-07
+wa0 = -7.833902e-06 pa0 = 3.191581e-12 keta = -0.001306769
+lketab = -2.048506e-09 wketa = 2.05735e-07 pketa = -2.380083e-15
+a1 = 0            a2 = 0.99          ags = 0.1521848
+lags = -3.107031e-08 wags = 1.094665e-06 pags = -2.515539e-12
+b0 = 0            b1 = 0            voff = -0.1001956
+lvoff = -2.064274e-09 wvoff = 5.111913e-07 pvoff = 5.553861e-14
+nfactor = 1.281109 lfactor = -1.01687e-07 wnfactor = 1.372777e-06
+pnfactor = -7.838887e-14 cit = -0.000355494 lcit = 1.611501e-10
+wcit = 5.606191e-09 pcit = -2.061007e-15 cdsc = 0
+cdscb = 0         cdsd = 0           eta0 = -0.0003778495
+l eta0 = 8.985958e-10 w eta0 = -6.87908e-10 p eta0 = 1.813962e-15
+etab = 0.0006010049 letab = -6.232277e-10 wetab = 1.539396e-08
+petab = -8.279471e-15 dsub = 0           pclm = -0.06015411
+lpclm = 1.451971e-07 wpclm = 1.704754e-05 ppclm = -2.556039e-12
+pdiblc1 = 1e-05   pdiblc2 = 5.937665e-05 lpdiblc2 = 2.745651e-09
+wpdiblc2 = 2.084963e-09 p pdiblc2 = 9.221615e-15 pdiblc b = 0.09738297
+lpdiblc b = 2.076397e-08 w pdiblc b = 5.132645e-06 p pdiblc b = -1.774528e-12
+drout = 0         pscbel = 4.691019e+08 lpscbel = -8.644506

```

```

+wpscbe1 = -2437.43      ppscbe1 = 0.001095841      pscbe2 = 1.37419e-05
+lpscbe2 = -1.967166e-12 wpscbe2 = -1.994869e-10 ppscbe2 = 5.374762e-17
+pvag    = 0            delta    = 0.01            alpha0  = 0
+beta0   = 30          kt1     = -0.1269122     lkt1   = -1.080523e-07
+wkt1    = -5.212666e-06 pkt1    = 2.984468e-12     kt2    = -0.0148817
+lkt2    = -5.461922e-09 wkt2    = -2.86966e-07     pkt2   = 1.944198e-13
+at      = 3534.702    lat     = 0.005568915     wat    = -0.1133892
+pat     = -4.911456e-08 ute     = -1.861151        lute   = 1.291915e-07
+wute    = -1.592821e-05 pute    = -7.721101e-14    ual    = -8.209323e-10
+lual    = 8.303729e-16 wual    = -2.943532e-14    pual   = -9.734477e-21
+ubl     = 1.590995e-18 lub1    = -7.053151e-25     wub1   = -1.604116e-23
+pub1    = 9.376679e-30 uc1     = 2.209135e-10     luc1   = -8.94947e-17
+wuc1    = -4.344509e-15 puc1    = 1.73017e-21      kt11   = 0
+prt     = 4.542504    lprt    = -6.95965e-06     wprt   = -7.738082e-05
+pprt    = 7.5724e-11  cj      = cjn            mj      = 0.3075043
+pb      = 0.6944474   cjsw    = cjswn          mjsw    = 0.1929617
+pbsw    = 0.6944474   cjswg   = cjswgn         mjswg   = 0.1929617
+pbswg   = 0.6944474   cta     = 0.001047197     ctp     = 0.000566277
+pta     = 0.001820458 ptp     = 0.001820458     js      = 1e-06
+jsw     = 2e-11       n       = 1              xti     = 3
+cgdo    = cgon       cgso    = cgon          cgbo    = 1e-13
+capmod  = 0          ngsmod  = 0          xpart   = 1
+cf      = 0          tlev    = 1          tlevc   = 1
+calcacm = 1          sfvtflag= 0        vfbflag = 1      )
*
*
*****

```