

UNIVERSITE SAAD DAHLAB DE BLIDA

Faculté des sciences de l'ingénieur

Département de Physique

MEMOIRE DE MAGISTER

En Physique

Spécialité : Matériaux et Composants

ETUDE ET CONCEPTION DES INDUCTANCES MONOLITHIQUES POUR DES CIRCUITS INTEGRES RADIOFREQUENCES SUR SILICIUM

Par

Aicha ZIOUCHE

Devant le jury composé de :

Dr Ferdjani Kais	Maître de Conférences	USDB	Président
Dr Djebbari Mustafa	Maître de Conférences	USDB	Examineur
Dr Trabelsi Mohamed	Maître de Conférences	ENP	Examineur
Dr Oussalah Slimane	Chargé de Recherche	CDTA	Examineur
Dr Belaroussi M. Tahar	Maître de Recherche	CDTA	Rapporteur

Blida, Novembre2006

RESUME

Les inductances intégrées sur silicium sont des éléments importants dans la conception des circuits Radiofréquence, et plus particulièrement dans les oscillateurs contrôlés en tension (VCO), les amplificateurs à faible bruit (LNA) et les filtres passifs. Le facteur de qualité de ces inductances reste bas car il est limité par les pertes résistives de la piste métallique et les pertes du substrat de silicium. Dans ce travail nous proposons une optimisation, permettant de réduire ces pertes afin d'augmenter le facteur de qualité, en utilisant pour cela une technologie CMOS standard, bas coût (c'est-à-dire sans modification spécifique). L'étude s'est faite pour des structures monocouche, des structures multicouches, et pour des structures symétriques. L'analyse des inductances est faite en utilisant l'outil ASITIC pour la simulation, l'optimisation et pour les dessins de masques.

ABSTRACT

Integrated inductor on silicon is an important element in the design of RF circuits, and more particularly in the voltage-controlled oscillators (VCO), the low noise amplifiers (LNA) and the passive filters. The quality factor of these inductors remains low because it is limited by the resistive losses of the metal track and the losses of the silicon substrate. In this work we propose an optimization, allowing to reduce these losses in order to increase the quality factor, a standard CMOS technology is using, low cost (without specific modification). The study will be made for structures with one layer, structures with multi layers, and for symmetrical structures and we can see for these structure square, octagonal and circular. The analysis of inductances is made by using ASITIC for simulation, optimization and for the drawings of masks.

ملخص

إن التطور الحاصل في مجال الاتصالات اللاسلكية أصبح يتميز بالبحث عن المزايا الحسنة وبأقل الأسعار, ولقد أحرزت تكنولوجيا السيلسيوم مزايا عديدة في هذا المجال لقدرتها على العمل بذبذبات الراديو لاستعمالها في صناعة الأجهزة اللاسلكية مثل الهواتف المحمولة.

في هذا المجال هناك دراسات عديدة لتطوير المركبات المستعملة في مثل هذه الأجهزة, من بين هذه المركبات الوشيعات, لذلك نقوم في هذه المذكرة بدراسة الوشيعات وذلك بالتركيز على أنواع الوشيعات وبدراسة الآثار السلبية المؤثرة على كفاءة هذا النوع من المركبات وذلك بإيجاد حلول في إطار التكنولوجيا المستعملة.

REMERCIEMENTS

En cette occasion, mémorable pour moi, de ma soutenance il m'est agréable de remercier Monsieur **K.FERDJANI** Maître de conférence à l'U.S.D.B pour son assistance scientifique dont j'ai bénéficié durant l'année théorique du magister au département de physique. Je le remercie aussi pour avoir bien voulu accepter de présider le jury de soutenance de la présente thèse.

Je tiens à remercier également les membres du jury Monsieur **M. DJEBBARI** Maître de conférences à l'U.S.D.B, Monsieur **M. TRABELSI** Maître de conférences à l'ENP et Monsieur **S. OUSSALAH** Chargé de recherche au CDTA qui m'ont fait l'honneur d'accepter d'évaluer mon travail.

Je remercie aussi Monsieur **Mohand Tahar BELAROUSSI** Directeur de ce mémoire et Chef de la Division de Microélectronique et Nanotechnologie au CDTA, pour m'avoir accueillie au sein du CDTA et pour m'avoir dirigée dans le cadre du travail qui m'a été confié.

A messieurs Lyes **Bouzerara**, Abdelhalim **Slimane** et tous les membres du laboratoire de Microélectronique, j'adresse mes vifs remerciements.

Je veux souligner tous les efforts déployés, toutes la disponibilité qu'ils ont consentie, toute l'aide morale ou dans le travail qu'ils m'ont apportée pour solutionner certains problèmes rencontrés, je veux citer : Monsieur Allaoua **Oulebsir**, Monsieur Abdelkader **Guesmia**, Monsieur Mohamed **Abdelali** et Madame N.**Abdelali**. Qu'ils trouvent ici l'expression de mes remerciements et de ma sincère reconnaissance.

TABLE DE MATIERE

RESUME	02
REMERCIEMENTS	05
TABLE DES MATIERE	06
LISTE DES ILLUSTRATIONS, GRAPHIQUES ET TABLEAUX	09
NOMENCLATURE	12
INTRODUCTION	13
CHAPITRE 1 : ETUDE PHYSIQUE DES INDUCTANCES EN SPIRALES	
1 – 1 : Les inductances planaires en spirales	16
1 – 2 : Les inductances en spirales multicouches	17
1 – 3 : Les inductances en spirales différentielles	18
1 – 4 : Les mécanismes de perte	19
1 – 4 – 1 : Les pertes ohmiques intrinsèques	21
1 – 4 – 2 : Les pertes par effet de champ électromagnétique	22
a) Effet de peau	22
b) Courants de Foucault	23
CHAPITRE 2 : MODELISATION ELECTRIQUE DES INDUCTANCES EN SPIRALES	
2 – 1 : Modèle électrique d'une inductance en spirale	26
2 – 2 : Le calcul de la valeur de l'inductance	28
2 – 2 – 1 : Modèle de GreenHouse	28
2 – 2 – 2 : Modèle de Cranincks et al	30
2 – 2 – 3 : Modèle de Wheeler	30
2 – 3 : Les capacités et les résistances parasites	31
2 – 3 – 1 : La résistance série	31
2 – 3 – 2 : Capacité inter spire	32

2 – 3 – 3 : Capacité d'oxyde	33
2 – 3 – 4 : Capacité et résistance de substrat	33
2 – 4 : Facteur de qualité et la fréquence de résonance	33
2 – 5 : Optimisation géométrique des inductances	36
2 – 6 : Méthodes pour améliorer le facteur de qualité	39

CHAPITRE 3 : IMPLEMENTATION DES INDUCTANCES EN TECHNOLOGIE CMOS 0.35 μ m

3 – 1 : La présentation de la technologie utilisée	42
3 – 2 : Les outils utilisés dans la conception des inductances	43
3 – 2 – 1: L'outil ASITIC	44
3 – 2 – 2: L'outil MENTOR GRAPHICS	46
3 – 2 – 3: L'outil MATLAB	46
3 – 3 : Le déroulement de la simulation	48
3 – 4 : Méthodes de caractérisation	51
3 – 4 – 1 : La structure de test OPEN	52
3 – 4 – 2 : Les trois étapes de caractérisation	53

CHAPITRE 4 : RESULTATS DE SIMULATION ET DISCUSSIONS

4 – 1 : Les dessins de masques des inductances réalisées en technologie CMOS 0.35 μ m	59
4 – 2 : Etude des caractéristiques des inductances	61
4 – 2 – 1 : Les inductances monocouches à plusieurs niveaux de métallisation	61
a) Etude du facteur de qualité	62
b) Etude de la valeur de l'inductance	63
c) Etude de la résistance série	63
4 – 2 – 2 : Les inductances multicouches	64
a) Etude du facteur de qualité	65
b) Etude des capacités parasites du substrat et la fréquence de résonance	66
4 – 2 – 3 : Les inductances symétriques	67
a) Etude du facteur de qualité	67
b) Etude de la valeur de l'inductance et la résistance série ..	68
c) Etude des effets parasites du substrat	69

4 – 3 : L'optimisation des paramètres de conception	70
a) Optimisation de l'espacement S	70
b) Optimisation de la largeur du métal W	72
c) Optimisation du nombre de tours	75
4 – 4 : Le modèle à large bande et le modèle à fréquence unique	78
a) La capacité inter spire	79
b) Les parasites du substrat	80
c) Valeur d'inductance et la résistance série.....	81
CONCLUSION ET PERSPECTIVES	89
REFERENCES BIBLIOGRAPHIQUES	91

LISTE DES ILLUSTRATIONS, GRAPHIQUES ET TABLEAUX

Figure1 : Les principales structures d'inductances mises en application en CMOS...	16
Figure2 : Les paramètres de conception d'une inductance en spirale	17
Figure3 : Inductance à deux couches de métallisation et son schéma équivalent ...	17
Figure4 : Inductance symétrique	18
Figure5 : Principaux mécanismes de pertes dans une inductance intégrée sur silicium	20
Figure6 : Présentation de l'effet de peau	23
Figure7 : Ligne de champs et courant de Foucault induit dans le substrat pour une inductance	24
Figure8 : Courant de Foucault induit dans les tours internes de l'inductance ...	25
Figure9 : Coupe transversale d'une inductance avec les éléments du schéma électrique	27
Figure10 : Schéma équivalent classique d'une inductance	28
Figure11 : Configuration d'une seule porte pour un modèle d'une inductance ...	34
Figure12 : Schéma équivalent simplifié	35
Figure13 : Paramètres de conception d'une inductance en spirales	37
Figure14 : Effet du nombre de tours dans une inductance	38
Figure15 : Exemple de plan de masse ou « patterné » (Pattern Ground Shield)	40
Figure16 : Présentation de la technologie CMOS 0.35 de TSMC	43
Figure17: Le passage dans ASITIC d'un domaine à un autre	45
Figure18 : Optimisation effectuée par ASITIC	46
Figure19 : Le modèle à fréquence particulière	48
Figure20 : Schéma équivalent classique	49
Figure21 : Une inductance octogonale insérée dans une structure de test	51

Figure22 : Structures de test: (a) GSG open, (b) GSG through, (c) GSG short1, (d) GSG short2	52
Figure23 : Les paramètres Y pour les trois structures de test	54
Figure 24 Les dessins de masques des inductances mises en application	59
Figure 25 : L'évolution fréquentielle du facteur de qualité pour les inductances carrées et circulaires en métal 4, 3 et 2	62
Figure26 : L'évolution fréquentielle de la valeur de l'inductance pour les inductances carrées et circulaires réalisées en métal 2, 3 et 4	63
Figure27 : L'évolution fréquentielle de la résistance série pour les inductances carrée et circulaire	64
Figure28 :L'évolution fréquentielle du facteur de qualité pour les inductances sq2, sqm1, oct, et ind3	65
Figure29 : L'évolution fréquentielle des capacités parasites pour les inductances sq2, sqm1, oct et ind3	66
Figure30 : L'évolution de la fréquence de résonance des inductances sq2, sqm1, oct et ind3	66
Figure 31 : L'évolution fréquentielle du facteur de qualité pour les deux structures d'inductances	67
Figure 32: L'évolution de Ls et Rs pour deux inductances carrée et symétrique en fonction de la fréquence	68
Figure 33 : L'évolution fréquentielle de la capacité et la résistance parasite du substrat pour les deux inductances carrée et symétrique	69
Figure 34 : L'évolution de la résistance série Rs et l'inductance Ls des deux inductances carrée et circulaire en fonction de l'espacement S	71
Figure 35 : L'évolution du facteur de qualité et la fréquence de résonance pour deux inductances carrée et circulaire en fonction de l'espacement S ...	72
Figure 36 : L'évolution fréquentielle de Ls pour différentes valeurs de W	73
Figure 37 : L'évolution fréquentielle de la résistance série pour différentes valeurs de la largeur de la piste métallique	74
Figure 38 : L'évolution fréquentielle du facteur de qualité pour différentes valeurs de la largeur de la piste métallique	74
Figure 39 : facteur de qualité et fréquence de résonance en fonction de la largeur de la piste métallique à 2GHz	75

Figure 40 : L'évolution fréquentielle de la valeur de l'inductance Ls et la résistance série Rs pour différentes valeurs du nombre de tours N	76
Figure 41 : L'évolution fréquentielle du facteur de qualité pour différentes valeurs du nombre de tours	77
Figure 42 : Valeur maximale du facteur de qualité et la fréquence de résonance en fonction du nombre de tours N	78
Figure 43 : comparaison entre la valeur de Ls et Lm pour les inductances cir1, cir2, ind1, ind2, ind3 et sqm1	82
Figure 44 : Comparaison entre la valeur de Ls et Lm pour les inductances oct, sq1, sq2, sqm2, sysq1, sysq2	83
Figure45 : Comparaison entre la valeur de Rs et Rm pour les inductances cir1, cir2, ind1, ind2, oct et sqm1	85
Figure46 : Comparaison entre la valeur de Rs et Rm pour les inductances ind3, sq1, sq2, sqm2, sysq1 et sysq2	86
Tableau1: Valeurs des coefficients K1 et K2 utilisés dans la méthode de Wheeler.....	31
Tableau2 : Les dimensions des inductances réalisées dans les dessins de masques...	60
Tableau3 : Paramètres électriques et caractéristiques des inductances conçues.....	60
Tableau4 : Les dimensions des inductances avec différents niveaux de métallisation.....	62
Tableau5 : Valeurs de la capacité Cs calculées par ASITIC pour 2GHz par l'utilisation du modèle a large bande.....	79
Tableau 6: comparaison entre les résultats de simulation des effets parasites pour les deux modèles.....	81

NOMENCLATURE

CMOS	Complementary Metal-Oxide-Semiconductor
BICMOS	Bipolar Complementary Metal-Oxide-Semiconductor
RF	Radio fréquence
TSMC	Taiwan Semiconductor manufacturing Company
w	Largeur de la piste métallique
N	Nombre de tours
s	Espacement entre deux pistes adjacentes
d_{OUT}	Dimensions extérieurs
d_{IN}	Dimensions intérieurs
λ	Longueur totale de l'inductance
ρ	Résistivité du métal
E	Champ électrique
B	Champ magnétique
ε_{SUB}	Perméabilité du substrat
ε_{OX}	Perméabilité de l'oxyde
t_M	Epaisseur du métal
t_{OX}	Epaisseur de l'oxyde
G_{SUB}	Conductance de substrat
c_{SUB}	Capacité du substrat par unité de surface.
S	matrice de répartition
Y	matrice admittance
Z	Matrice impédance
f	Fréquence
f_0	Fréquence de résonance

INTRODUCTION

Le développement du marché des radiocommunications sans fil qui se produit depuis quelques années a connu un saut technologique avec le développement de la microélectronique sur AsGa et par la suite sur silicium. La voie empruntée est celle de l'intégration sans cesse plus grande des fonctions constituant les systèmes d'émission/réception radiofréquence sans fil. Le Silicium propose un large éventail de technologies ayant chacune leurs spécificités. Parmi ces technologies, la technologie CMOS se distingue par une possibilité de production à un coût très attractif en raison notamment d'une taille de tranche de Silicium de 30 centimètres et d'une maturité technologique accrue. Le travail présenté dans ce mémoire s'inscrit dans l'optique d'une utilisation de la technologie CMOS standard, bas coût (c'est-à-dire sans modifications spécifiques) pour l'étude et la conception des inductances intégrées sur silicium pour des applications radiofréquences. L'objectif dans les circuits RF est d'obtenir des circuits les plus performants possibles, ce qui est lié au facteur de qualité et la fréquence de résonance de l'inductance. Il est clair que les technologies CMOS à venir où les longueurs de grille avoisineront le dixième de micromètre permettront d'avancer à grands pas dans ce sens. La longueur de grille de $0,35\mu\text{m}$ disponible au moment de ce travail à permis néanmoins d'obtenir des résultats révélant une bonne potentialité de la technologie CMOS en matière des oscillateurs à tension contrôlée et les amplificateurs à faible bruit.

Sommairement nous présentons ce travail en quatre chapitres :

Le premier présente de manière générale, les différentes structures (planaire monocouche, multicouche et symétrique) et les formes (carrée, circulaire, octogonale) d'inductances conçues, dans les quelles nous aurons pas besoin de changer le procédé technologique. Nous verrons dans un premier temps les avantages et les inconvénients de chaque forme et structure. Dans un deuxième temps, nous présentons les effets parasites résultant du substrat de silicium et l'inductance elle même, influant sur les performances des inductances intégrées sur silicium.

Dans le deuxième chapitre, nous présentons la modélisation et l'optimisation des inductances conçues. Nous commençons par exprimer chaque parasite par un élément discret tel que : l'effet ohmique qui sera modélisé par des résistances, l'effet couplage par des capacités jusqu'à aboutir à un modèle électrique de l'inductance. Nous présentons par la suite une optimisation géométrique, pour réduire les effets parasites et augmenter les performances des inductances intégrées.

Le troisième chapitre concerne la caractérisation et la présentation des outils de simulation. Dans un premier temps nous présentons la technologie CMOS 0.35 μm , qui sera utile pour les logiciels de simulation. Dans un deuxième temps, nous présentons les outils de simulation comme ASITIC, MENTOR GRAPHICS, et MATLAB. Nous abordons la méthode de caractérisation et d'extraction des valeurs du modèle électrique de l'inductance à partir de mesures des paramètres de dispersion, des paramètres admittances et des paramètres impédances. Le travail de caractérisation des différentes structures et formes d'inductances est lié à l'étude des structures de test : OPEN, SHORT, et THRU. Nous pouvons donc tirer les éléments intrinsèques de l'élément sous le test.

Le quatrième chapitre regroupe le travail de conception et de simulation effectuées sur les inductances radiofréquences réalisées sur la technologie CMOS 0,35 μm de TSMC (TSMC (Taiwan Semiconductor manufacturing Company)). Le travail se divise en deux parties, la première concerne les dessins de masques de 12 structures d'inductances, la deuxième concerne les résultats de simulation effectués par ASITIC pour des inductances carrées, octogonales, circulaires, symétriques. Nous traitons des structures avec plusieurs couches en plusieurs formes. Cette partie permet de simuler des inductances avec un facteur de qualité au tour de 20 en exerçant une optimisation géométrique sur les différentes formes d'inductances.

En fin, nous terminons par une conclusion dans la quelle nous rappellerons l'essentiel du travail réalisé dans ce mémoire et nous mettrons en perspective l'utilisation des inductances intégrées sur silicium pour des applications RF.

CHAPITRE 1

ETUDE PHYSIQUE DES INDUCTANCES EN SPIRALES

Les inductances intégrées sont des éléments passifs très importants pour les performances fréquentielles des circuits RF tels que les amplificateurs à faible bruit (LNA), Les oscillateurs à tension contrôlée (VCO) et les filtres passifs [1], [2]. Bien que la réduction des dimensions des éléments actifs a permis des montées en fréquence et une plus grande densité d'intégration pour les circuits numériques, la miniaturisation des fonctions analogiques RF est restée limitée par la superficie occupée par les inductances. Des travaux pour minimiser la taille de ces inductances ont été menés [3], [4]. Certains auteurs ont pensé à la structure multi couches en reliant plusieurs spirales identiques sur les différents niveaux de métal disponible dans la technologie reliée ensemble par des vias. D'autres ont démontré que la modulation de la largeur du conducteur et de l'espacement entre les spires dans une spirale permet de garder une surface constante pour différentes valeurs d'inductances. La superficie occupée par une inductance intégrée n'est pas le seul paramètre limitatif de ce type de composant. En effet, le facteur de qualité noté « Q » limite les performances fréquentielles des inductances. Le facteur de qualité d'une inductance est principalement limité par les pertes résistives du conducteur métallique et par les pertes dues au substrat [5].

Dans ce chapitre, nous présentons les différentes structures réalisées dans le cadre de notre travail, ce sont des inductances en spirales planaires largement utilisées dans la littérature [6]. Les spirales avec plusieurs couches permettent de donner des valeurs d'inductances élevées par unité de surface [5], et les inductances symétriques conçues dans la plupart du temps pour des applications différentielles [7]. Les trois types d'inductances sont présentés sur la figure 1. Nous évoquons par la suite les principaux mécanismes de pertes dans une inductance intégrée.

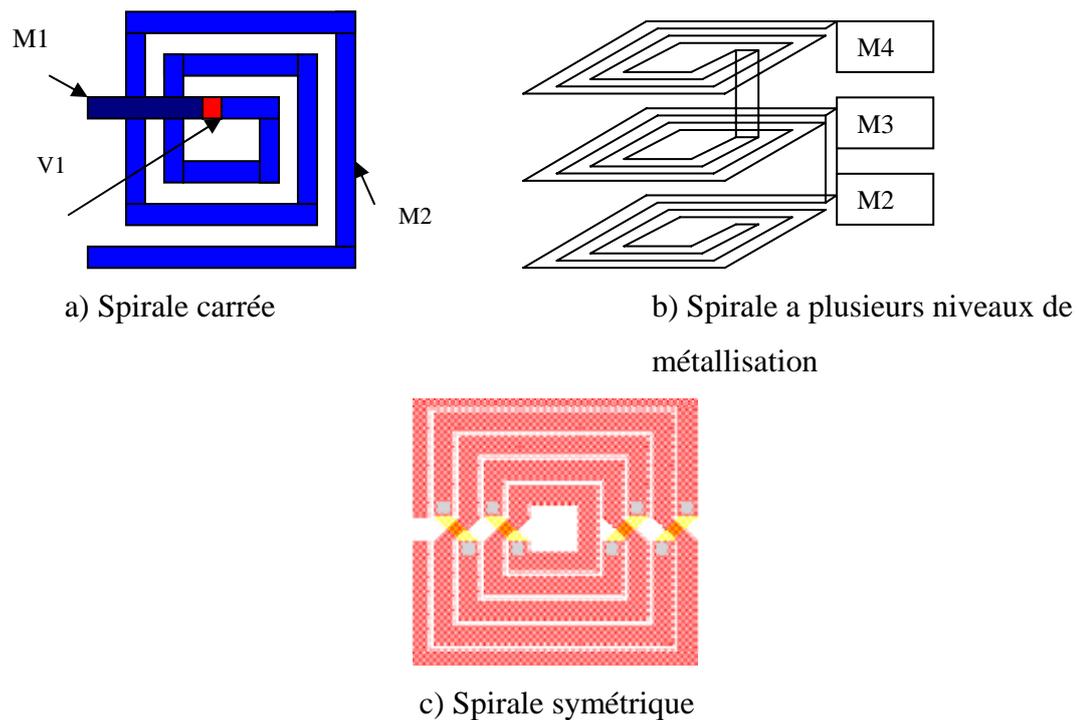


Figure 1 : Principales structures d'inductances appliquées en technologie CMOS

1-1 Les inductances planaires en spirales :

Ce sont des structures qui sont largement étudiées, où l'expérience étendue de la conception des inductances intégrées sur le GaAs pourrait être la raison de leur popularité. Les inductances en spirales planaires sont beaucoup plus compatibles avec l'arrangement de l'interconnexion des circuits intégrés. Elles sont mises en application en tant que carrée, hexagonale, octogonale ou circulaire [08], [09]. Des études ont prouvé que les résistances séries des spirales octogonales et circulaires ont approximativement 10% de moins que celles d'une self carrée [10].

La structure planaire présentée sur la figure 1-a) exige au moins deux niveaux de métal, où le niveau supérieur définit l'entrée de la self et la forme spirale de l'inductance et le niveau inférieur est utilisée pour la sortie.

Pour faire la conception des inductances de forme carrée, octogonale et circulaire il faut connaître plusieurs paramètres de conception pour mettre en œuvre l'inductance désirée. La figure 2 montre les paramètres géométriques d'une inductance carrée. Elles sont définies par :

- d_{in} , d_{out} sont les dimensions extérieure et intérieure de l'inductance;
- w est la largeur du métal;
- s est l'espacement entre deux pistes métalliques adjacentes;
- N est le nombre de tours.

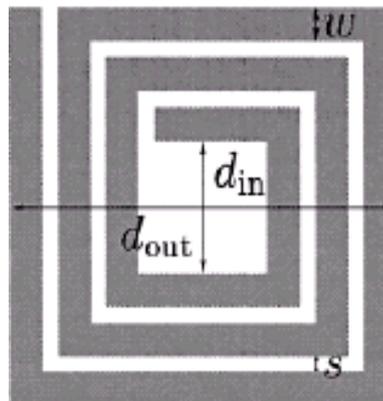


Figure 2 : Les paramètres de conception d'une inductance en spirale.

1-2 Les inductances en spirale multicouches :

Cette structure a été présentée pour la première fois en 1989 en utilisant GaAs et en technologie CMOS en 1995 [5]. Elle permet de réduire la surface utilisée par l'inductance désirée en la comparant avec la structure planaire.

Pour une étude analytique de cette structure, un circuit électrique équivalent est illustré sur la figure 3 schématisant les deux couches en spirales.

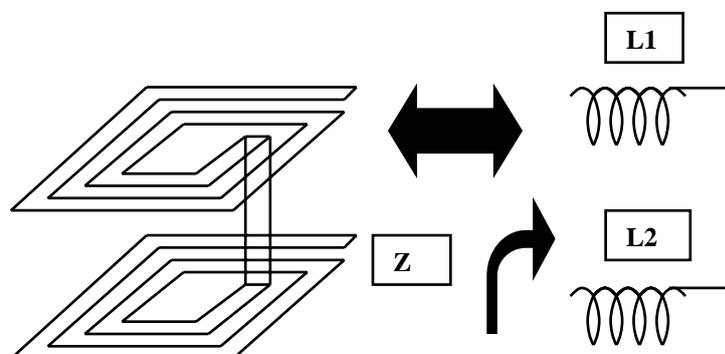


Figure 3 : Inductance à deux couches de métallisation et son schéma équivalent.

L'impédance équivalente du circuit est exprimée par l'équation suivante :

$$Z = j\omega(L_1 + L_2 + 2M) \quad (1-1)$$

L_1 et L_2 sont les self-inductances des deux spirales. M est leur inductance mutuelle.

Nous prenons le cas simple, les deux spirales sont identiques

$$L_1 = L_2 = L \quad (1-2)$$

L'accouplement mutuel entre les deux couches est tout à fait fort

$$M = \sqrt{L_1 L_2} \quad (1-3)$$

Cette structure permet d'augmenter la valeur totale de l'inductance par un facteur de 4. De même, la valeur totale d'une inductance à N couches est nominalement multiplié par N^2 qui est la valeur de l'inductance planaire. La disponibilité de plus de quatre couches de métal en technologie CMOS permet de fournir des valeurs d'inductances de plus en plus grandes pour une petite surface [11].

L'inconvénient de cette structure réside au niveau de la valeur de sa capacité associée. Elle est considérablement plus grande en la comparant avec une structure planaire [5]. Ceci cause une réduction importante de sa fréquence de résonance et limite son utilisation aux basses fréquences.

1-3- Les inductances en spirale différentielle :

Le mode différentiel est devenue le choix dominant dans les circuits analogiques a haute performance et les mélangeurs de signaux [1]. Dans les circuits radiofréquences, les dispositifs intégrant des inductances sont utilisés en paire et placés symétriquement où il est possible de fondre deux inductances symétriques dans une inductance différentielle [12]. Un exemple de ce type d'inductance est illustré à la figure 4.

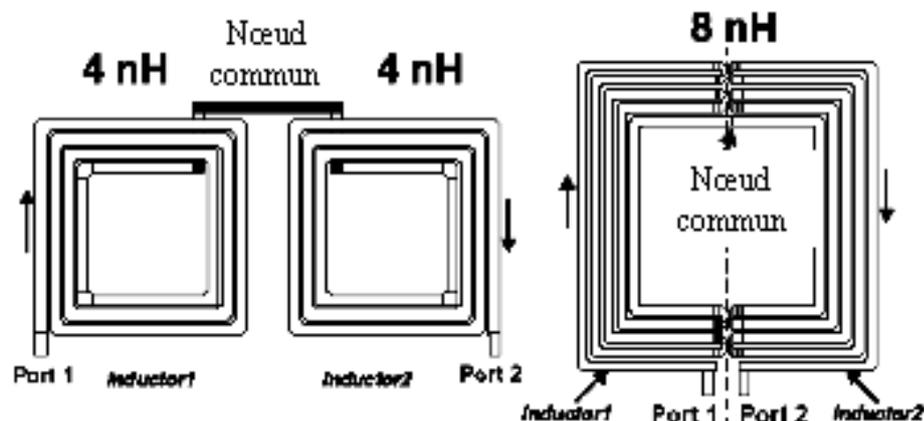


Figure4 : Inductance symétrique

Cette inductance différentielle peut être traitée comme deux inductances posées symétriquement, où tous les enroulements sont réalisés par deux niveaux métalliques successifs, un nombre de connexions croisées sont utilisées pour maintenir la symétrie géométrique. Pour l'opération différentielle, le flux dû à l'inductance vue du port-1 au centre pourrait être additionné au flux de l'inductance vue du port-2 au centre, par conséquent, la valeur de l'inductance augmente. Un autre avantage de ce type d'inductance est l'amélioration du facteur de qualité grâce à la réduction de la résistance du substrat (voir la référence[12]). Par contre l'inconvénient de cette structure est que les enroulements d'inductances ont besoin d'une expansion latérale pour augmenter la valeur de l'inductance [7].

1-4-Les mécanismes de pertes :

La propagation des ondes électromagnétique dans un matériau diélectrique différent du vide se traduit par certains effets parasites qui engendrent des pertes de puissance électromagnétique. De plus, les parties métalliques engendrent des pertes qui ont une influence néfaste sur les caractéristiques électriques des inductances. Le coefficient de qualité d'une inductance est déterminé par les propriétés du métal et du substrat semi-conducteur utilisé. La figure 5 présente les différents mécanismes de pertes qui limitent les performances fréquentielles d'une inductance. Les inductances sont construites dans la plupart du temps avec un métal à base d'aluminium présentant une résistivité médiocre dont les pertes ohmiques se traduisent par des pertes par effet Joule le long de la piste métallique enroulée en spires. De plus, en haute fréquence la distribution des lignes de courant dans le métal est modifiée. Ces effets sont plus connus sous le nom de l'effet de proximité et de l'effet de peau. L'effet de peau est dû à la diminution apparente de la section du conducteur avec l'augmentation de la fréquence. Ainsi la densité de courant dans le métal conducteur augmente, entraînant donc une augmentation de la résistance de l'inductance suivant une loi en \sqrt{f} .

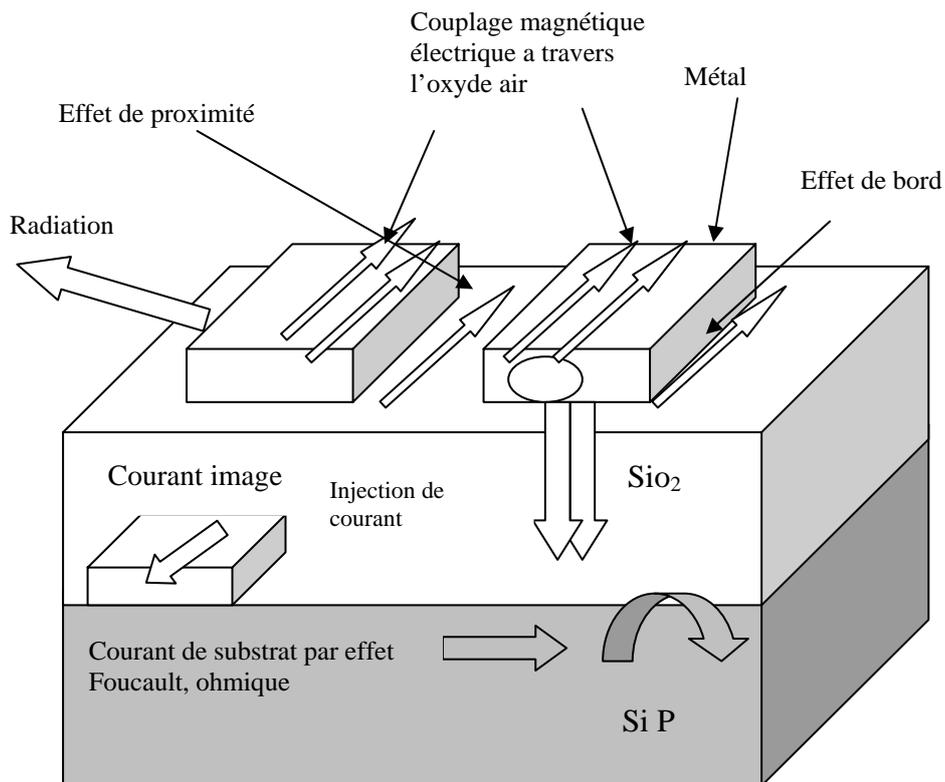


Figure 5 Principaux mécanismes des pertes dans une inductance intégrée sur silicium

A ces pertes métalliques, nous devons associer des pertes dues au substrat car, en technologie silicium généralement nous utilisons des substrats faiblement résistifs, ce qui se traduit par des pertes d'origine magnétiques liées à la présence d'un courant dans le substrat en plus des pertes capacitives. Ces pertes dues au substrat sont plus importantes pour les technologies CMOS où la résistivité du silicium est encore plus faible.

En ce qui concerne les pertes du substrat, nous pouvons citer les courants de Foucault qui circulent au niveau du substrat et qui sont responsables de l'apparition de boucle de courant, créant ainsi un flux magnétique supplémentaire à celui produit par l'inductance [13]. Ce comportement inductif est à l'origine d'une inductance image qui se couple à l'inductance gravée [3]. Cette inductance image est responsable des dispersions de la valeur de l'inductance totale en haute fréquence, de plus comme ces courants se propagent dans un milieu résistif, des pertes par effet de joule apparaissent dans le substrat. Ce phénomène est d'une grande importance lorsque nous utilisons des substrats faiblement résistifs [14].

1-4-1 Les pertes ohmiques intrinsèques :

Elles sont générées par la résistance série due à la géométrie de la piste métallique :

$$R_s = \frac{\lambda \cdot \rho}{\omega \cdot h} \quad (1-4)$$

Où λ est la longueur de la piste, ω est la largeur de la piste, h est la hauteur de la piste et ρ est la résistivité du métal. La résistance série peut être diminuée en augmentant la largeur de la piste. Toutefois, il ne faut pas perdre de vue qu'une surface croissante de l'inductance engendrera plus de capacités parasites vers le substrat. Il est préférable, par exemple, de créer une inductance sur les deux niveaux métalliques supérieurs (M4 et M3). Il est envisageable, aussi, de mettre en série deux inductances identiques, chacune étant sur un niveau différent, ou bien de relier en parallèle deux inductances identiques chacune sur un niveau métallique différent, et de les superposer grâce à de multiples trous métallisés «via holes».

Les calculs montrent que la résistance de la piste peut être exprimée par la résistance carrée et le nombre de carrés qui constituent la piste métallique. Cette résistance parasite peut être réduite en utilisant des métaux fortement conducteurs, ou en employant des métaux plus épais ou en employant des pistes plus larges en métal pour réduire le nombre de carrés de la spirale. D'une part, l'utilisation de métaux de conductivité élevée où l'utilisation des couches plus épaisses en métal exige l'adaptation d'un autre procédé technologique [15]. Cette adaptation en général n'est pas conforme aux procédés standard disponibles dans le commerce du CMOS. D'autre part, une couche plus épaisse en métal peut être réalisée en attachant plusieurs couches en métal utilisant une matrice de via disponible dans la technologie [16]. Cette dernière possibilité devrait être exercée avec prudence puisque la valeur de l'inductance est également en fonction de la largeur de la piste. Ceci signifie également que l'inductance exigerait un grand rayon d'enroulement en utilisant des tours larges pour maintenir la valeur d'inductance.

Aux plus basses fréquences, les pertes ohmiques dominent les pertes en métal. Ceci pourrait être estimé comme produit de la résistance carrée (sheet résistance) estimée en ohms par carrée et le nombre de carrés dans la piste métallique.

1-4-2- Les pertes par effet de champ électromagnétique :

Les pertes engendrées par les phénomènes électromagnétiques ont essentiellement deux origines : l'effet de peau dans la piste métallique et la création de courants de Foucault dans le substrat (« eddy currents »).

a) Effet de peau :

Le courant circulant dans l'inductance évolue au fur et à mesure que la fréquence augmente. Aux très basses fréquences, le courant occupe l'intégralité de la section de la piste et la résistance série est égale à celle précédemment calculée (résistance DC). Lorsque la fréquence s'élève, le courant se concentre sur les bords de la section de la piste et sa distribution varie en fonction de l'épaisseur de peau δ . Soit P la profondeur par rapport à la périphérie de la section. Lorsque la profondeur P s'accroît de δ , l'amplitude du champ électrique, celle du champ magnétique et de la densité de courant se trouvent divisés par le nombre e (égal à 2,718) :

À $P = \delta$ le courant est divisé par e

À $P = 2\delta$ le courant est divisé par e^2

À $P = 3\delta$ le courant est divisé par e^3

Le courant se concentre donc pratiquement près de la surface, dans une couche d'épaisseur P. Pour un conducteur droit de section circulaire, le calcul analytique conduit à la formulation littérale de l'épaisseur de peau suivante

$$\delta = \sqrt{\frac{2}{\mu \cdot \sigma \cdot \omega}} \quad (1-5)$$

- μ la perméabilité magnétique égale à $4 * \pi * 10^{-7} \text{ H / m}$
- σ la conductivité du métal;
- ω pulsation de l'effet de peau.

Sur la figure 6, on présente la section efficace circulaire et rectangulaire d'un conducteur droit en métal utilisé pour illustrer l'effet de peau.

δ est la profondeur de l'effet de peau, elle est définie en tant qu'épaisseur équivalente d'un conducteur creux qui a la même résistance en haute fréquence. L'effet de peau a directement pour conséquence l'augmentation de la résistance série effective

générée à travers l'inductance aux fréquences radios à cause du confinement du courant dans la zone périphérique de la piste [17].

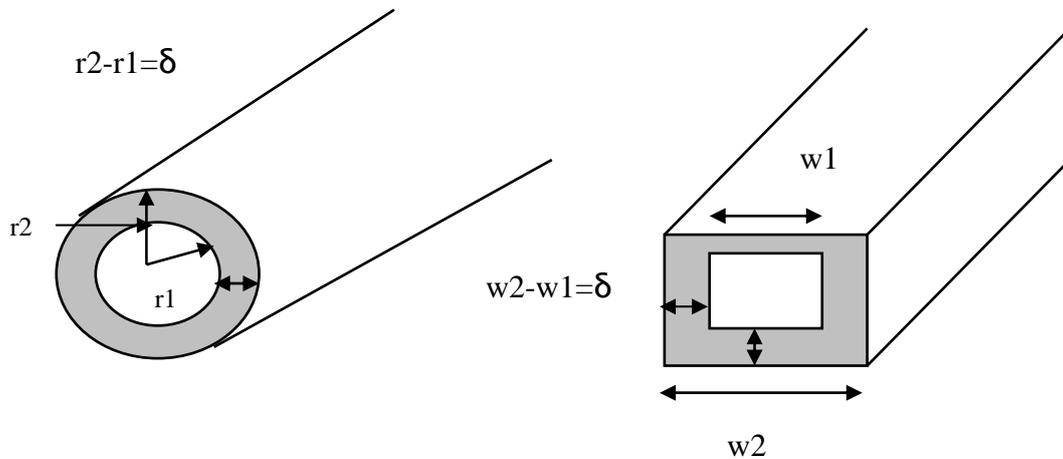


Figure6 : Présentation de l'effet de peau

Dans un conducteur droit, au fur et à mesure que la fréquence augmente les porteurs se rapprochent de la périphérie. Ceci indique clairement que l'augmentation de la largeur de la piste pour diminuer la résistance a ses limites et restera vain pour des applications hautes fréquences où l'effet de peau devient prépondérant.

b) Courants de Foucault :

Les équations de Maxwell indiquent qu'un champ magnétique variant dans le temps induit des courants électriques, appelés courants de Foucault, dans un matériau conducteur voisin. Cette propriété est énoncée par la loi de Faraday- Lenz :

$$\oint E \cdot dl = \iint \frac{\partial B}{\partial t} \cdot dS \quad (1-1)$$

Les courants de Foucault (noté I_{SUB} sur la figure 7) induits circulent de telle façon qu'ils s'opposent au champ magnétique qui les a créés (rétroaction négative par nature). L'amplitude du champ électrique est proportionnelle à $\frac{\partial B}{\partial t}$ ce qui indique que l'effet grandit avec la fréquence. Les courants de Foucault réduisent le champ magnétique qui les engendre. Ceci a pour effet de diminuer la valeur totale de l'inductance et d'augmenter les pertes.

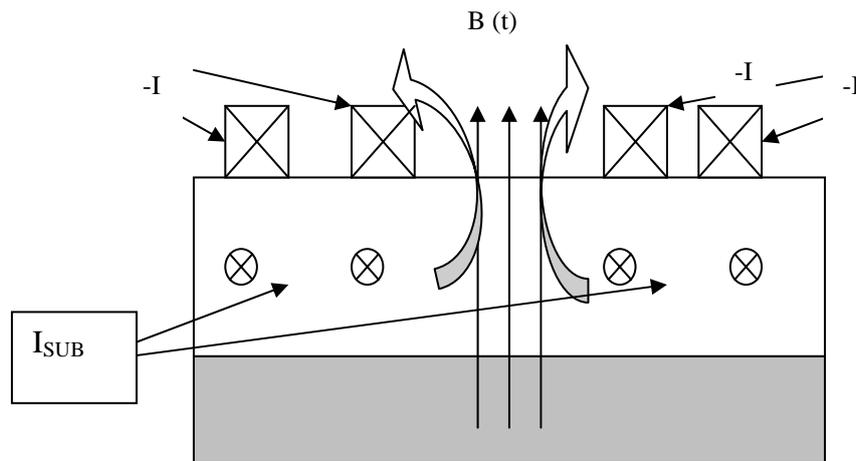


Figure: 7 Ligne de champs et courant de Foucault induit dans le substrat pour une inductance

Les courants de Foucault apparaissent dans la piste métallique constituant l'inductance et dans le substrat au dopage élevé (faiblement résistif), Ces courants dépendent fortement de la fréquence [18]. Le diamètre de l'inductance est un facteur important pour les pertes, tellement important que les pertes dans le substrat peuvent devenir plus importantes que les pertes engendrées par la résistance série de l'inductance. Le facteur de qualité est alors nettement influencée par ce paramètre. En effet, les pertes dues au substrat dépendent directement du diamètre de l'inductance. La profondeur de pénétration du champ magnétique dans le substrat est justement voisine de la valeur du rayon de l'inductance. Ainsi, la surface à travers laquelle les courants de substrat vont passer est dépendante du rayon de l'inductance. Plus cette surface est grande et plus les courants engendrés sont grands.

En regardant de plus près la figure 8, nous observons que les lignes du champ magnétique se concentrent autour de l'axe central de l'inductance. Ces lignes de champ appartiennent à l'inductance (B_{IND}) mais aussi à l'inductance miroir dans le substrat (B_{EDDY}) créée par les courants de Foucault dans le substrat (I_{SUB}). La présence d'un tour d'inductance dans cette zone est néfaste. En effet, les courants de Foucault sont aussi engendrés à l'intérieur de la piste comme le montre la figure 8.

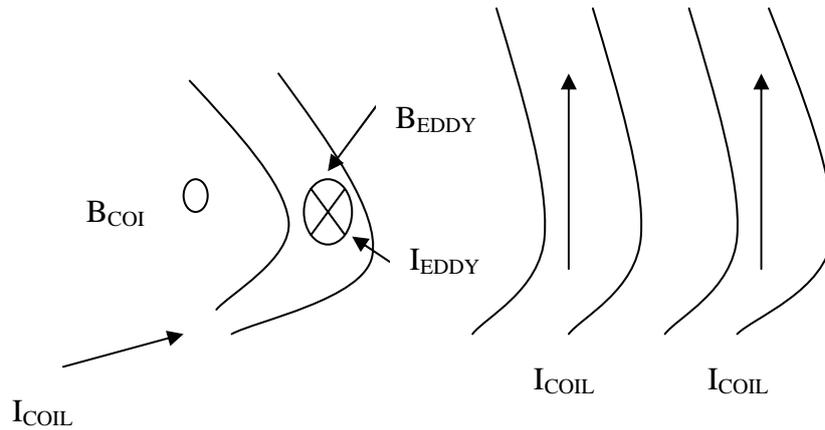


Figure 8 : Courant de Foucault induit dans les tours internes de l'inductance

La ligne de champ B_{EDDY} traversant la piste engendre la circulation d'un courant électrique I_{EDDY} autour de l'axe de cette ligne. Nous s'apercevons que du côté intérieur de la piste ce courant vient s'ajouter au courant circulant normalement dans l'inductance (noté I_{COIL}) et que du côté extérieur ce courant s'oppose au courant de l'inductance. Si le courant I_{EDDY} est prépondérant devant le courant I_{COIL} alors la résistance effective de l'inductance augmente de façon importante dans ce tour d'inductance pénalisant ainsi le facteur de qualité. Il vaut mieux par conséquent omettre un ou deux tours d'inductance (« hollow inductor »).

1-5 Conclusion :

Nous avons présenté dans la première partie du chapitre 1 les différentes structures d'inductances réalisées dans le cadre de notre travail, en présentant les avantages et les inconvénients de chaque structure. Dans la deuxième partie, nous avons exposé les différents mécanismes de pertes liées au choix de la technologie utilisée, ces pertes vont être traduites par un modèle électrique qui sera l'objet de l'étude dans le chapitre 2.

CHAPITRE 2

MODELISATION ELECTRIQUE DES INDUCTANCES EN SPIRALES

Dans le premier chapitre nous avons présenté les mécanismes de pertes influant sur l'inductance intégrée sur silicium. Dans ce chapitre, nous allons intéresser à la modélisation électrique des inductances qui peut interpréter ces mécanismes. Le besoin d'un modèle électrique est de voir le comportement des inductances avec les différents paramètres structuraux sur une large gamme de fréquence [19]. Ce modèle est nécessaire de sorte que la puce peut être facilement conçu et peut être facilement intégré dans un simulateur de circuit pour la simulation et l'optimisation [20].

2-1 Modèle électrique d'une inductance en spirale :

L'identification appropriée des parasites et leurs effets est l'activité principale présentée par le modèle de l'inductance sur silicium [21]. Des tentatives de modèle des inductances sur le substrat de silicium ont été rapportées par Meyer [1]. Meyer a présenté le modèle classique pi qui a été modifié par les différents auteurs [8], [19], [22], [23].

Comme les dimensions géométriques de l'inductance sont faibles devant la longueur d'onde, il est possible de la modéliser par des éléments discrets [20]. On présente sur la figure 9, une vue en coupe transversale d'une inductance planaire avec ses éléments de modélisation discrets.

Nous voyons que chaque couche est modélisée par des éléments électriques. Le substrat est présenté par une résistance et un condensateur ; l'oxyde par un condensateur; et enfin la piste métallique est présentée par une bobine, résistance série, et un condensateur.

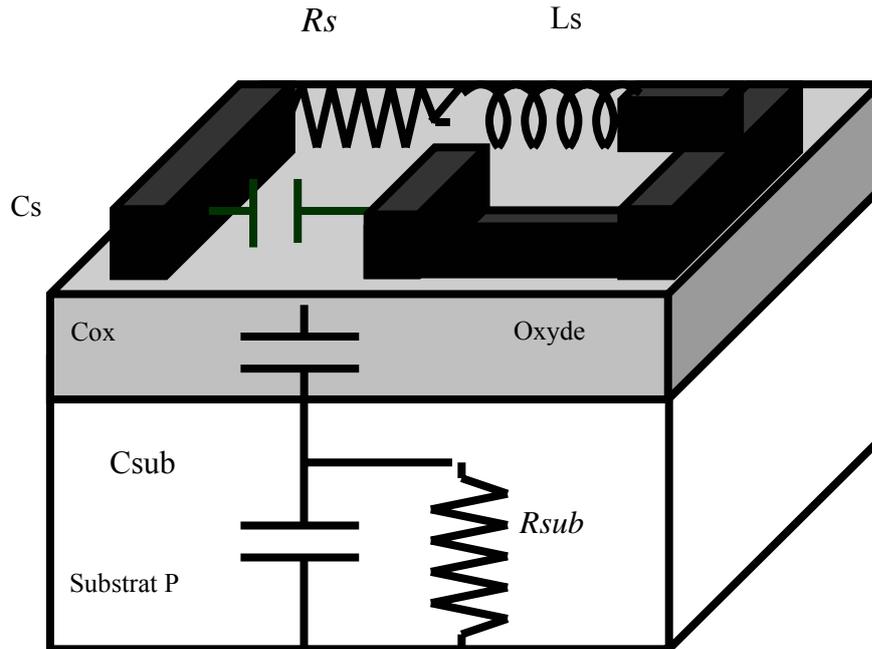


Figure 9 : Coupe transversale d'une inductance avec les éléments du schéma électrique

La figure 10 représente le modèle de l'inductance utilisé par plusieurs auteurs, appelé le modèle classique de l'inductance. Dans lequel :

- L_s est l'inductance de la spirale qui est rapprochée près de la méthode de Green house [24] ou plusieurs d'autres méthodes seront décrites par la suite.
- R_s représente la résistance série totale du métal formant la spire de l'inductance et est composée d'une résistance continue R_{dc} calculée à partir de la résistivité du matériau utilisé ainsi que d'une résistance R_{ac} qui dépend de la fréquence caractérisant les pertes par effet de peau.
- C_s est la capacité parasite créée entre les différents segments de l'inductance. Cette capacité contribue à la résonance de l'ensemble avec les capacités du substrat et l'inductance.
- C_{ox} est la capacité d'oxyde entre la piste métallique et le substrat.
- R_{sub} présente la résistance de substrat ou les pertes ohmiques du substrat, et C_{sub} présente la capacité de substrat aussi bien qu'autre réactive effets de l'inductance [25].

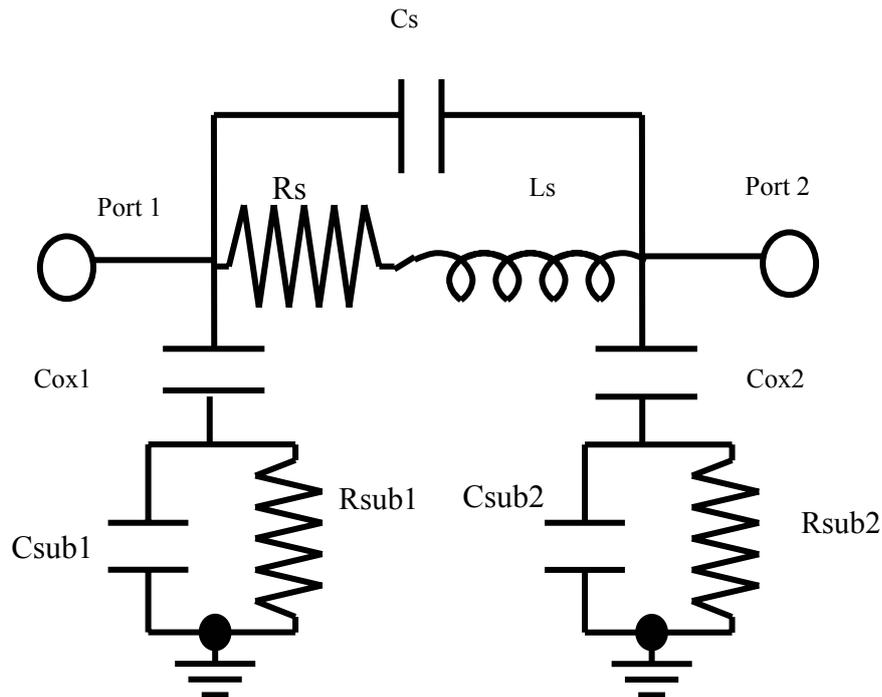


Figure 10 schéma équivalent classique d'une inductance

Nous venons de conclure la modélisation d'une inductance intégrée sur substrat faiblement résistif. En réalité il existe un couplage plus fort entre l'inductance et le substrat qui n'est pas décrit correctement par le modèle proposé ci-dessus. P.ARCIONI propose un modèle plus complet qui utilise un transformateur inductif et une résistance placés en parallèle avec le schéma électrique modélisant la spire de l'inductance afin de tenir compte de l'inductance image dans le substrat [26].

2-2 Le calcul de la valeur de l'inductance

Le calcul de la valeur de l'inductance des structures en spirales planaires a été présenté dès 1974 [24] il est basé sur des formules de GROVER publiées en 1946). Cette méthode a trouvé des applications très utiles dans les couches minces, les circuits intégrés à base du GaAs et actuellement dans les circuits intégrés à base du silicium dans les procédés bipolaires BICMOS et le procédé CMOS.

2-2-1 Le modèle de GreenHouse

Les travaux de GreenHouse ont conduit à l'établissement de formules permettant d'évaluer la valeur de l'inductance avec précision. L'inductance est alors découpée en de

multiples segments droits. La valeur d'inductance de chaque segment est calculée puis additionnée à toutes les autres. A cela, il faut ajouter les contributions positives ou négatives des inductances mutuelles créées par les segments adjacents. La valeur totale de l'inductance mutuelle devient prépondérante lorsque le nombre de tours N est élevé.

La valeur de l'inductance d'un segment droit vaut :

$$L = 0.002l \left\{ \ln \frac{2l}{w+t} + 0.5 + \frac{w+t}{3l} \right\} \quad (2-1)$$

L_{self} La self-inductance en micro Henri.

l Longueur de fil en cm.

w Largeur en cm.

t Épaisseur en cm

La self-inductance est calculée pour tous les segments de la bobine.

L'inductance mutuelle entre deux segments parallèles est calculée par :

$$M = 2 \times \lambda \times q \quad (2-2)$$

Avec

M mutuelle inductance en nH.

λ longueur de fil.

q paramètre de l'inductance mutuelle, donné par la formule suivante :

$$Q = \left[\frac{l}{GMD} + \sqrt{1 + \left(\frac{l}{GMD} \right)^2} \right] - \sqrt{1 + \left(\frac{GMD}{l} \right)^2} + \left(\frac{GMD}{l} \right) \quad (2-3)$$

l est la longueur totale du fil. GMD est la distance géométrique moyenne entre deux conducteurs et elle est approximativement égale à la distance calculée d'un centre à un autre centre de deux pistes adjacentes [19].

La valeur exacte du GMD peut être calculée à partir de l'équation indiquée ci-dessous :

$$\ln GMD = \ln d_{OUT} - \frac{w^2}{12 d_{OUT}^2} - \frac{w^4}{60 d_{OUT}^4} - \frac{w^6}{168 d_{OUT}^6} - \frac{w^8}{360 d_{OUT}^8} - \frac{w^{10}}{660 d_{OUT}^{10}} - \dots \quad (2-4)$$

L'inductance mutuelle entre deux segments de fil dépend de leur angle d'intersection, des longueurs et des séparations. Seulement les segments qui sont parallèles contribuent à l'inductance mutuelle, deux fils orthogonaux n'ont aucun accouplement mutuel. Il y a un accouplement positif entre deux pistes adjacentes si les courants coulent dans la même direction, et un accouplement négatif si les courants entrent dans des directions opposées.

2-2-2 Le modèle de Cranincks et al. [27]

La formule de Cranincks est utilisée pour les inductances carrées et rectangulaires, elle utilise des simulations électromagnétiques. Cette formule donne de bonnes valeurs comparées à celles donnée par le modèle de GreenHouse. Si l'effet de peau est négligeable et le substrat est faiblement dopé, la valeur de l'inductance est donnée par :

$$L_m = 1.3 * 10^{-4} \left(\frac{D_1 \times D_2}{w \times w} \right)^{1.5} \left(\frac{w}{w + s} \right)^{0.25} \left(\frac{l \times w}{D_1 D_2} \right)^{1.67} \quad (2-5)$$

Avec D_1 , D_2 sont les dimensions extérieures de l'inductance intégrée, toutes les dimensions sont en (μm) et la valeur de l'inductance en (nH).

2-2-3 Le modèle de Wheeler [28]

La méthode de calcul développée par Wheeler permet une évaluation de l'inductance d'une bobine hexagonale, octogonale ou circulaire, réalisée de manière discrète. Par rapport à ce cas, une simplification peut être opérée lorsqu'on se transpose dans le cas planaire intégré.

L'inductance L_{mw} donnée par la méthode de Wheeler a alors pour expression :

$$L_{mw} = K_1 \mu_0 \frac{N^2 d_{avg}}{1 + K_2 \rho} \quad (2-6)$$

Avec :

K_1 et K_2 sont des coefficients liés à la forme géométrique.

d_{avg} est le diamètre moyen.

N est le nombre de tours.

ρ est le facteur de forme.

Dans laquelle ρ est défini par :

$$\rho = \frac{d_{out} - d_{in}}{d_{out} + d_{in}} \quad (2-7)$$

d_{in} et d_{out} définissent respectivement les diamètres intérieurs et extérieurs de la bobine.

Le diamètre moyen d_{avg} est donc donné par la relation suivante :

$$d_{avg} = \frac{d_{in} + d_{out}}{2} \quad (2-8)$$

Les valeurs de K1 et K2 sont données dans le tableau suivant :

Forme	K1	K2
Carré	2.34	2.75
hexagone	2.33	2.83
octogone	2.25	3.55

Tableau 1 : Valeurs des coefficients K1 et K2 utilisés dans la méthode de Wheeler.

Suivant les valeurs du rapport de forme ρ , on peut obtenir des inductances dites «creuses» ($d_{out} \approx d_{in}$ Pour de faibles valeurs de ρ) ou bien dites « pleines » ($d_{out} \gg d_{in}$). Ainsi, une inductance « pleine » possède une inductance inférieure à une «creuse» car les spires situées près du centre de la spirale contribuent à diminuer les mutuelles positives et augmentent les mutuelles négatives.

2-3 Les capacités et les résistances parasites

Dans cette partie, nous présentons les éléments parasites capacitifs et résistifs dans le substrat. L'apparition de ces éléments est liée à la résistivité du métal et du substrat.

2-3-1 La résistance série

La résistance du métal est présentée par une quantité complexe qui peut être décomposée en deux termes, la composante DC (direct current) et la composante AC (alternatif current).

$$R_s = R_{ac} + R_{dc} \quad (2-9)$$

$$R_s = R_{dc} \left(\frac{R_{ac}}{R_{dc}} + 1 \right) \quad (2-10)$$

Le terme $\frac{R_{ac}}{R_{dc}}$ prend la forme Cf^K avec K et C sont des constantes dépendent des

paramètres de conception. C est en fonction de W , N , S , et h , donnée par la relation :

$$C = \frac{N(w^{1,2} + h^{1,2})}{726.8 \times s^{0.25}} \quad (2-11)$$

Avec :

N est le nombre de tours.

w est la largeur de piste métallique.

s est l'espace entre deux pistes adjacentes.

Et enfin h, c'est l'épaisseur du métal.

Dans notre contexte, la section de la piste métallique n'est pas circulaire mais rectangulaire. Le calcul analytique associé à une section rectangulaire est considéré comme pratiquement impossible. Une étude empirique a permis d'aboutir à une formule littérale de la résistance série R_s en fonction de la fréquence [18] :

$$R_s \approx \frac{l \cdot \rho}{w \cdot \delta \cdot (1 - e^{-h/\delta})} \quad (2-12)$$

Où l est la longueur de la piste, w est la largeur de la piste, h est la hauteur de la piste, ρ est la résistivité du métal et δ est l'épaisseur de peau L'effet de peau a directement pour conséquence d'augmenter la résistance série effective générée à travers l'inductance aux radiofréquences à cause du confinement du courant dans la zone périphérique de la piste.

2-3-2 Capacité inter spire

La capacité C_s modélise la capacité parasite de couplage existant entre les deux ports de l'inductance. Elle permet ainsi au signal de traverser entre les traces métalliques sans passer à travers la spirale. C_s Modélise plusieurs effets :

- le couplage entre les conducteurs de deux tours adjacents : Comme les conducteurs sont souvent équipotentiels, cet effet est négligeable. Ils peuvent d'ailleurs être réduits en augmentant la distance entre deux conducteurs parallèles.
- le contact enterré : Si le deuxième port de l'inductance est ramené près du premier par un contact enterré, la différence de potentiel entre les spires et le contact peut induire des capacités parasites. La capacité C_s est donnée par la relation suivante :

$$C_s = N \cdot w^2 \frac{\xi_{ox}}{t_M} \quad (2-13)$$

2-3-3 Capacité d'oxyde

La capacité d'oxyde associé à la structure fermée par la couche métal, oxyde, et substrat est très élevé. Cette capacité influe négativement sur le facteur de qualité.

Sa formule est donnée par la relation :

$$C_{ox} = \frac{1}{2} \left(l.w. \frac{\xi_{ox}}{t_{ox}} \right) \quad (2-14)$$

2-3-4 Capacité et résistance de substrat

Quant aux effets induits par le substrat, l'origine physique de la résistance R_{sub} provient de la conductivité du silicium, due à la concentration en porteurs majoritaires. C_{sub} modélise, les effets des capacités parasites du substrat aux hautes fréquences. De nombreux travaux, effectués sur la caractérisation de structures «microstrip» sur substrat semi-conducteur, et spécialement sur métal/oxyde/silicium, ont montré que les capacités et résistances de substrat sont approximativement proportionnelles à la surface occupée par l'inductance.

Soient :

$$R_{sub} = \frac{2}{l.w.G_{sub}} \quad (2-5)$$

$$C_{sub} = \frac{1}{2} l.w.c_{sub} \quad (2-16)$$

Dans lesquelles C_{SUB} et G_{SUB} sont respectivement la capacité et la conductance du substrat par unité de surface du silicium, fonction du dopage de ce dernier. Les facteurs 2 ou 1/2 proviennent du fait que les effets parasites du substrat sont considérés comme distribués de manière égale sur chaque entrée de l'inductance.

2-4 Facteur de qualité et fréquence de résonance

Nous avons parlé dans le chapitre 1 de l'importance d'intégrer des inductances dans les puces RF, mais la performance des inductances s'exprime en fonction du facteur de qualité et la fréquence de résonance. Nous présentons dans cette partie la définition du facteur de qualité et la fréquence de résonance en fonction des pertes dues au ruban métallique et au substrat.

Le facteur de qualité d'une inductance est défini par la relation générale suivante :

$$Q = 2.\pi. \frac{\text{energie stockée}}{\text{energie perdue en une oscillation}} \quad (2-17)$$

$$Q = 2.\pi. \frac{E_{Magn} - E_{Elec}}{E_{prdue}} \Big|_{\text{par periode}} \quad (2-18)$$

Le facteur de qualité dépend des pertes dues au ruban métallique de l'inductance pour les basses fréquences, et aussi des pertes dues au substrat en ce qui concerne les hautes fréquences. Après avoir donné un schéma électrique équivalent de l'inductance (Figure 10), nous allons définir le facteur de qualité Q en fonction des éléments de ce schéma. Pour cela, nous allons utiliser le schéma de l'inductance en configuration « 1-port » c'est-à-dire que nous allons court-circuiter l'un des ports de l'inductance. La figure 11 présente le schéma électrique équivalent de l'inductance en configuration « 1-port ».

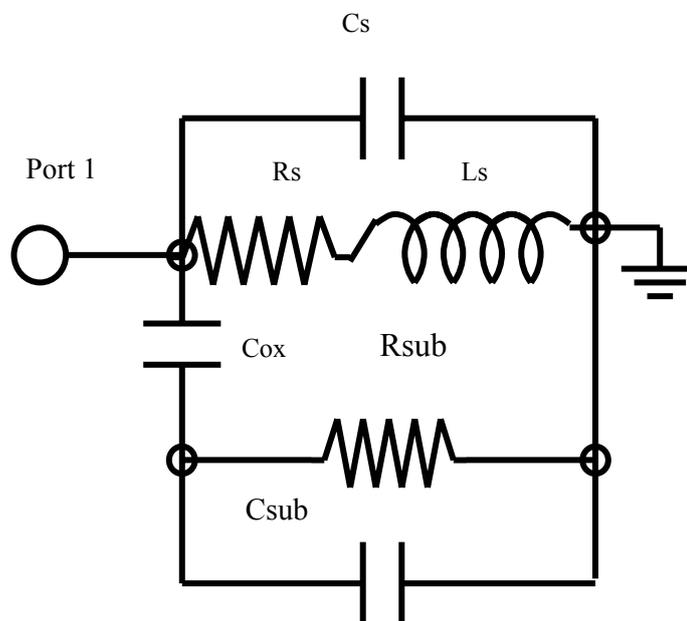


Figure11 : Configuration d'une seule porte pour un modèle d'une inductance

Pour faciliter les calculs, nous allons utiliser une autre topologie de modèle en utilisant une résistance R_p et une capacité C_p en parallèle qui combine les effets des

éléments C_{SUB} , R_{SUB} et C_{OX} comme le montre la figure 2-4 tel que R_p et C_p sont donné par les équations suivantes :

$$R_p = \frac{1}{\omega^2 \cdot C_{OX}^2 \cdot R_{SI}} + \frac{R_{SI} (C_{OX} + C_{SI})^2}{C_{OX}^2} \quad (2-20)$$

$$C_p = C_{OX} \times \frac{1 + \omega^2 (C_{OX} + C_{SI})^2}{C_{OX}^2} \quad (2-21)$$

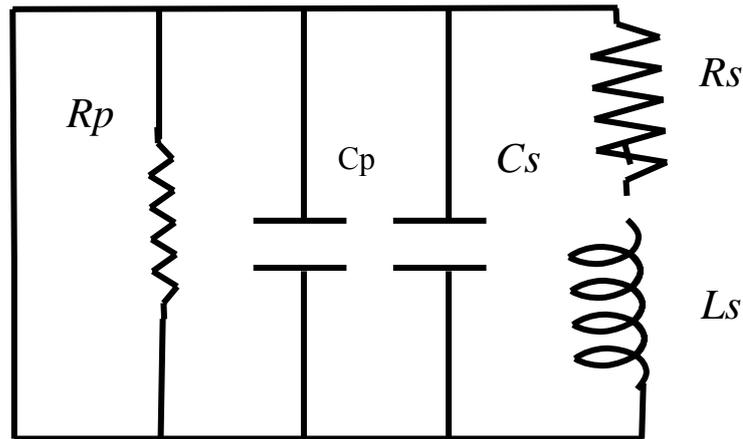


Figure 12 : Schéma équivalent simplifié.

Les énergies calculées à travers le modèle de la configuration « 1-port » sont définies par :

$$E_{peak-magnetic} = \frac{V_0^2 L_S}{2 \cdot [(\omega \cdot L_S)^2 + R_S^2]} \quad (2-22)$$

$$E_{peak-electric} = \frac{V_0^2 + (C_S + C_P)}{2} \quad (2-23)$$

$$E_{energie\ perdue\ en\ une\ oscillation} = \frac{2 \cdot \pi \cdot V_0^2}{2 \cdot \omega} \left[\frac{1}{R_p} + \frac{R_s}{(\omega L_s)^2 + R_s^2} \right] \quad (2-24)$$

Le facteur de qualité s'écrit :

$$Q = \frac{\omega L_S}{R_S} * \frac{R_p}{R_p + R_S \left[1 + \frac{\omega L_S}{R_S} \right]} * \left[1 - \left(\frac{R_S^2}{L_S} \right)^2 (C_S + C_p) \right] \quad (2-25)$$

$$Q = \left[\frac{\omega L_S}{R_S} \right] * F_S * F_r \quad (2-26)$$

Le terme en $\left[\frac{\omega L_s}{R_s}\right]$ représente l'énergie magnétique du champ magnétique et les pertes dans la bande de métal, le terme F_s représente les pertes dans le substrat et enfin F_r représente les pertes dues au couplage capacitif de C_p . Ce dernier facteur traduit la diminution du coefficient de qualité en fonction de la fréquence. Il permet de déterminer aussi la fréquence de résonance f_0 de l'inductance. Au-delà de cette fréquence f_0 , l'inductance devient capacitive et nous parlerons aussi de fréquence maximale d'utilisation de l'inductance. Il est à noter que les termes F_s et F_r sont inférieurs à l'unité. La fréquence f_0 de l'inductance est donnée par l'équation suivante [26] :

$$f_0 = \frac{1}{2\pi} \sqrt{\left(\frac{1}{L_s(C_p + C_s)} - \frac{R_s^2}{L_s^2}\right)} \quad (2-27)$$

Le facteur de qualité Q d'une inductance peut être également déterminé d'une autre façon, après l'obtention des éléments de la matrice de répartition $[S]$, nous déduisons les éléments de la matrice d'admittance Y à partir des relations qui lie les deux matrices. La formule de Q présentée dans l'équation 2-28, est le rapport de la partie imaginaire et de la partie réelle de l'impédance qui peut être dérivée de la matrice d'admittance. Cette expression est une fonction de la fréquence et elle est valide seulement jusqu'à la fréquence de résonance de l'inductance.

$$Q = \frac{\text{Im}Z_{11}}{\text{Real}Z_{11}} = \frac{-\text{Im}Y_{11}}{\text{Real}Y_{11}} \quad (2-28)$$

Dans l'équation 2-26, nous pouvons voir que si R_p tend vers l'infini, F_s tend vers l'unité, ce qui signifie qu'il faut réduire les pertes du substrat, car d'après l'équation 2-20, R_p tend vers l'infini si R_{SUB} tend soit vers l'infini ou soit vers zéro. Cette remarque est très importante, car elle implique que pour diminuer les pertes dues au substrat, nous devons soit utiliser un substrat en silicium de haute résistivité ou alors court-circuiter la résistance en reliant le substrat à la masse. Dans le paragraphe suivant, nous allons donner les solutions proposées dans la littérature afin d'améliorer le coefficient de qualité Q d'une inductance intégrée sur un substrat de Silicium et sans changer les procédés technologiques.

2-5-Optimisation géométrique des inductances

Pour améliorer le coefficient de qualité d'une inductance, il faut minimiser les pertes de la résistance série du métal et les pertes du substrat, Par l'optimisation de

plusieurs paramètres de conception (w , s , N ,...), il faut aussi viser une surface réduite occupé par l'inductance et une fréquence de résonance suffisamment loin de la fréquence appliquée. Selon l'équation 2-27, pour augmenter la fréquence de résonance il faut réduire les capacités parasites. Ce paragraphe relate des solutions proposées dans la littérature, et utilisées dans le cadre de notre travail.

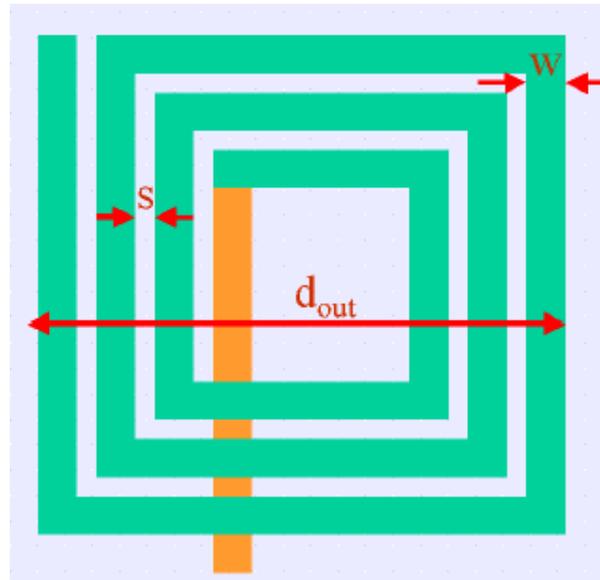


Figure 13 : Paramètres de conception d'une inductance en spirales

- La connexion des niveaux métalliques supérieurs par une matrice de vias [16] [11] [31], pour construire une ligne micro ruban qui serait effectivement plus épaisse. Cette technique améliore le facteur de qualité de l'inductance en empilant le deuxième, le troisième et le quatrième niveau métallique par rapport à une inductance de même valeur réalisée seulement avec le quatrième niveau de métal. Cette amélioration peut être importante en basse fréquence. Cependant, la réduction de l'épaisseur d'oxyde entraîne une diminution des performances en haute fréquence.
- Pour réduire R_s , nous optimisons la forme de l'inductance afin d'augmenter le facteur de qualité, une inductance circulaire permet d'obtenir un facteur de qualité meilleur que celui d'une inductance carrée, car les résistances du coin des inductances carrées sont supprimées, et par conséquent, nous aurons une plus faible résistance série pour une valeur donnée d'inductance [9].

- l'utilisation de larges pistes pour réduire le nombre de carrée, et de cette façon nous pouvons aboutir à une valeur de résistance minimale [20].
- L'augmentation du nombre de tours augmente la valeur de l'inductance de la bobine par un facteur de N^2 . Cependant, ce résultat est un peu décevant car la valeur de l'inductance ne dépend pas seulement du nombre de tours, mais elle est liée aussi à la surface interne A de la bobine. En effet, la valeur de L_S est proportionnelle à $N^2 \times A$. Par conséquent, un compromis doit être atteint entre le nombre de tours et la surface. L'augmentation de N augmente le nombre de coin dans la spirale, en plus le tour intérieur de l'inductance souffre d'une augmentation énorme de la résistance série, alors que sa contribution à la valeur de l'inductance est minimale. Il est avantageux de laisser le centre de l'inductance ouvert pour minimiser l'inductance mutuelle négative parce qu'il y a un petit couplage entre les faces opposées de la spirale, en plus, une fréquence de résonance élevée peut être accomplie pour une inductance creuse comparée à une inductance avec des tours pleines pour la même valeur d'inductance.

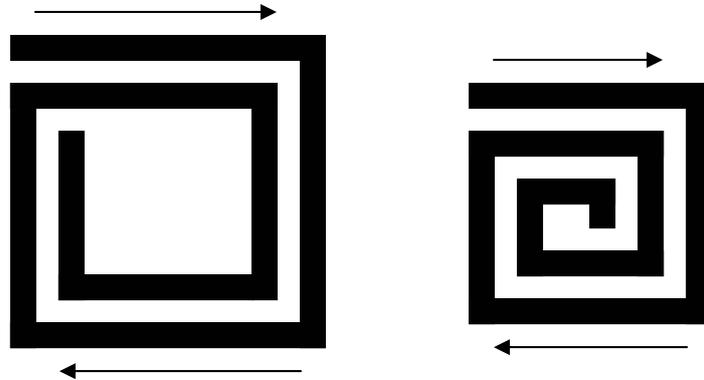


Figure 14 : Effet du nombre de tours dans une inductance

- La réduction de la surface occupée par la bobine est très demandée pour réduire le coût de la puce, aussi le champ aimanté des petites bobines pénètre moins dans le substrat qui permet de minimiser les pertes du substrat [21].

- Réduire l'espacement entre les spires afin d'augmenter l'accouplement magnétique associé, et de cette façon le champ magnétique sera maximisé, et nous aboutirons à un facteur de qualité amélioré [20].
- Utiliser le niveau métallique le plus élevé afin de réduire le couplage entre l'inductance et le substrat, un gain d'environ 30% du facteur de qualité a été obtenu en utilisant le quatrième niveau métallique par rapport au troisième niveau de métallisation [3] [4].
- l'espace entre le tour en spirale externe et tout autre métal environnant les structures devraient être au moins 5w pour éviter tout accouplement non désiré [23].

2-6 Méthodes pour améliorer le facteur de qualité

Dans l'optimisation géométrique décrite dans le paragraphe précédent, nous avons présenté des méthodes qui prennent en compte la structure géométrique de l'inductance sans changer les procédés technologiques. Par contre d'autres méthodes trouvées dans la littérature pour augmenter le facteur de qualité des inductances dans le domaine des circuits intégrés ont recouru à des changements de procédés technologiques, à titre d'exemples.

- L'utilisation d'un métal de type cuivre [23], de l'or ou d'alliage aluminium cuivre, ou bien l'utilisation d'un ruban métallique épais [15], permettent de réduire la résistance série de l'inductance et ainsi augmenter le facteur de qualité en basse fréquence.
- Les pertes substrat peuvent être grandement diminuées en utilisant un substrat en silicium poreux [33] dont la résistivité est de l'ordre de 10^6ohm.m : une inductance intégrée avec un facteur de qualité de 14 à 2GHz a été mesurée.
- La réalisation d'inductance avec des fils permet la réalisation d'inductance de 2.8nH avec un facteur de qualité maximum de 29 à une fréquence de 2Ghz [34].

- L'isolation du substrat par bombardement de proton permet de multiplier par un facteur d'environ 10^5 la résistivité du substrat en silicium de base (1 à 10ohm.cm) [36].
- La suppression du substrat par des techniques de micro usinage face avant ou face arrière, ces technologies ont montrées leurs intérêts et peuvent être utilisées sur une large bande de fréquences c'est-à-dire des fréquences RF jusqu'aux fréquences millimétriques [35].
- L'utilisation d'un blindage de masse en anneau «surrounded-ground-shield SGS » ou planaire « patterned-ground-shield PGS » pour court-circuiter la résistance substrat [25] augmente de 25% le facteur de qualité, elle est obtenue en court-circuitant la résistance substrat. Le plan patterné doit être réalisé avec des doigts espacés et connectés à la masse. Les matériaux utilisés pour réaliser le plan doivent être de forte résistivité afin de stopper la propagation des courants de Foucault.

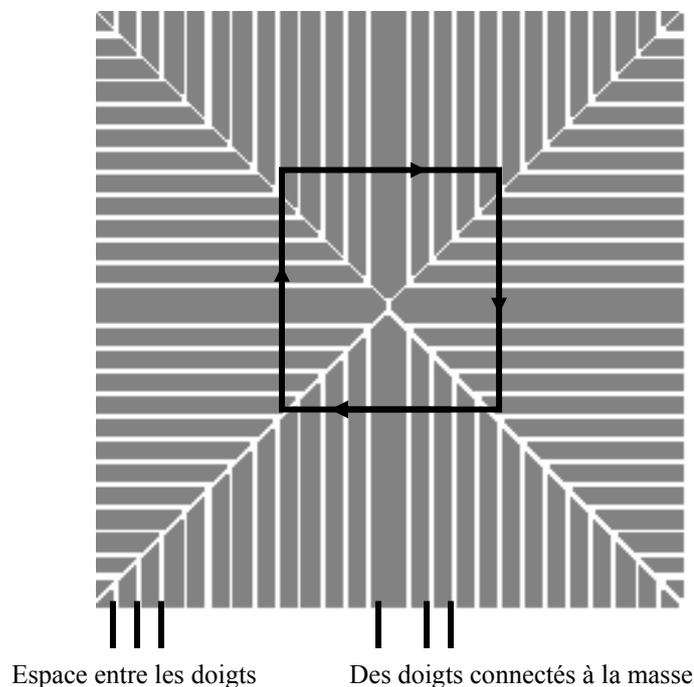


Figure 15 : Exemple de plan de masse ou « patterné » (Pattern Ground Shield)

2-7 Conclusion

Nous venons de présenter un modèle électrique qui prend en compte la majorité des pertes conséquentes de l'intégration des inductances sur un substrat de silicium, les techniques décrites dans le paragraphe précédent permettent certes d'augmenter les performances fréquentielles des inductances mais rajoutent un surcoût de production. Pour éviter d'augmenter la complexité du procédé de fabrication, fort coûteux pour une technologie donnée, l'optimisation géométrique décrite dans le passage 2-6 présente une solution envisageable pour augmenter le coefficient de qualité d'une inductance. Dans le chapitre suivant on va étudier les outils utilisés dans ce travail, qui prennent en compte le modèle électrique mentionné dans ce chapitre.

CHAPITRE 3

IMPLÉMENTATION DES INDUCTANCES EN TECHNOLOGIE

CMOS 0.35 μ m

Pour faciliter la conception des inductances intégrées, un certain nombre de méthodes et de modèles ont été développés. La plupart font appel à des méthodes numériques, s'appuyant sur des mesures pratiques. Mais elles sont limitées pour une gamme des dimensions et surtout une gamme fréquentielle. Après avoir discuter les différents mécanismes de pertes (chapitre 1) avec la présentation du modèle électrique qui interprète ces mécanismes (chapitre 2), nous présentons dans ce chapitre l'implémentation des inductances en technologie CMOS 0.35 μ m, travaillant dans la fréquence de 2GHz. Nous commençons par présenter la technologie CMOS 0.35 μ m de TSMC (Taiwan Semiconductor manufacturing Company) et par la suite les différents outils de conception utilisés dans ce travail, et enfin nous allons donner une description des structures de test, permettant de donner la façon d'extraire les éléments du modèle électrique d'une inductance intégrée sur un substrat de silicium.

3-1 La présentation de la technologie utilisée

Pour réaliser les interconnexions entre les différents composants, nous disposons de quatre niveaux métalliques séparés par une couche d'oxyde de silicium SiO₂. La figure 16 représente une vue en coupe du substrat utilisé. Il s'agit d'un arrangement vertical des niveaux métalliques et des couches isolantes de la technologie CMOS 0,35 μ m. Ces informations servent notamment à prédire le comportement des éléments passifs (les inductances) au moyen de logiciels de modélisation.

Nous utiliserons de préférence les niveaux métallique 3 et 4, car ils possèdent des épaisseurs de 0.924 μ m et 1.25 μ m respectivement et présentent de faibles pertes, permettant ainsi la réalisation d'inductances intégrées avec des facteurs de qualité élevés.

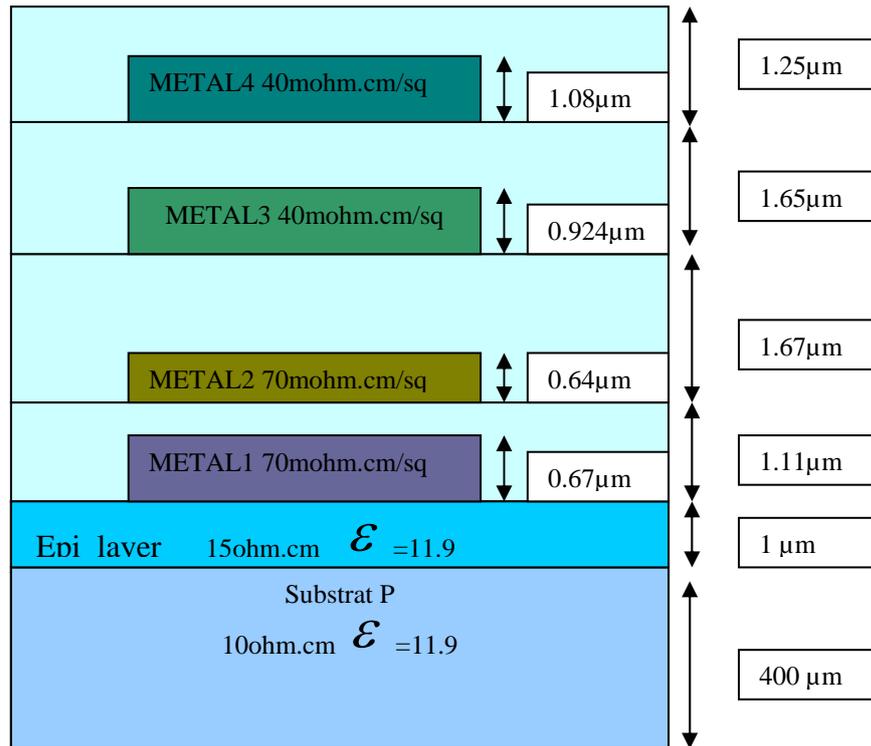


Figure 16 : Présentation de la technologie CMOS 0.35µm de TSMC

Les paramètres présentés sur la figure16 comme l'épaisseur et la résistivité du substrat, l'épaisseur et résistivité de différents niveaux de métallisation, épaisseur d'oxyde, sont des paramètres essentiels pour n'importe quel logiciel de simulation ou de conception.

3-2 Les outils utilisés dans la conception des inductances

Dans la littérature plusieurs outils sont utilisés pour simuler la conception des inductances en spirales. Ces outils effectuent le processus de simulation électromagnétique basé sur des modèles comme celui présenté dans le chapitre précédent. Une catégorie de logiciels disponibles dans le commerce disposent d'une large gamme de modèles pour les simulations électromagnétiques. Nous citons comme exemple : AGILENT ADS, ASITIC, et SONNET. Une donnée commune de ces outils est que la structure d'inductance doit être d'abord définie. La plupart de ces outils donnent les résultats de simulation sous forme d'une matrice appelée matrice de répartition [S]. En ce moment, certains paramètres comme la valeur de l'inductance et le facteur de qualité Q peuvent être tirés par un programme personnalisé. Quelques applications peuvent produire un circuit équivalent de SPICE, elles produisent des résultats très précis mais elles sont coûteuses ; ces applications

exigent une unité de traitement rapide et une grande mémoire ; et les simulations prennent des temps de calculs très larges. Nous pouvons dire que ces outils ne sont pas des outils autonomes s'ils sont employés comme outils pour la conception des inductances intégrées sur silicium. Dans notre travail nous utilisons ASITIC, c'est un freeware de l'Université de Berkeley et est basé sur la fonction de Green et présentant le modèle des inductances intégrées, MENTOR GRAPHIC pour réaliser les dessins de masques des inductances, et MATLAB pour extraire les éléments du modèle électrique en fonction des éléments de la matrice de répartition [S], la matrice impédance [Z] et la matrice admittance [Y].

3-2-1 L'outil ASITIC

Avant de concevoir des inductances en technologie CMOS nous validerons le logiciel de simulation électromagnétique ASITIC. Le mot "ASITIC" est l'abréviation de "Analysis and Simulation of Inductors and Transformers for Integrated Circuits" c'est un outil qui aide le concepteur de circuit RF pour optimiser les inductances, les transformateurs, condensateurs, et l'accouplement de substrat [37].

Le substrat conducteur joue un rôle intégral en déterminant la fréquence de résonance des dispositifs passifs. Les calculs d'ASITIC incluent les pertes et l'accouplement électrique induits comme les pertes magnétiques induites par le courant de Foucault. Aussi l'effet de peau et l'effet de proximité sont aussi inclus. Ce logiciel emploie la simulation électromagnétique pour analyser les inductances en spirale, le programme prend un ensemble de caractéristiques électriques telles que l'inductance désirée, résistance, fréquence de résonance, il traduit ces spécifications à un ensemble de paramètres géométriques pour optimiser un paramètre donné tel que le facteur de qualité Q en donnant le dessin de masque de l'inductance, et avec une commande bien spécifiée, il donne les valeurs des éléments électriques du schéma équivalent de l'inductance optimisée. La simplicité de ce programme est qu'il dessine automatiquement certaines structures d'inductance spirale carrée, hexagonale, circulaire, et même des inductances symétriques et des inductances multicouches en indiquant le diamètre extérieur, le nombre de tours, l'espacement entre les spirales et la largeur de la piste métallique. La valeur de l'inductance de la structure est facilement déterminée en utilisant une commande bien précise. Ceci permet la bonne évaluation de la conception des inductances en spirales.

La figure 17 présente la possibilité donnée par ASITIC pour se déplacer facilement entre les domaines électriques, physiques, géométriques, et enfin le domaine des puissances. Dans le domaine électrique, le dispositif est décrit par les paramètres électriques appropriés, tels que la valeur de l'inductance, la capacité, le facteur qualité Q et la fréquence de résonance. Dans le domaine physique, le dispositif est décrit par les propriétés matérielles constitutives, telles que l'épaisseur, conductivité, constant diélectrique, et perméabilité. Dans le domaine géométrique, le dispositif est décrit par les dimensions physiques comme dimension extérieur, largeur de piste et espacement. Dans le domaine des puissances, le dispositif est décrit par les paramètres S . Sa capacité de se déplacer facilement d'un domaine à un autre est une propriété importante [3].

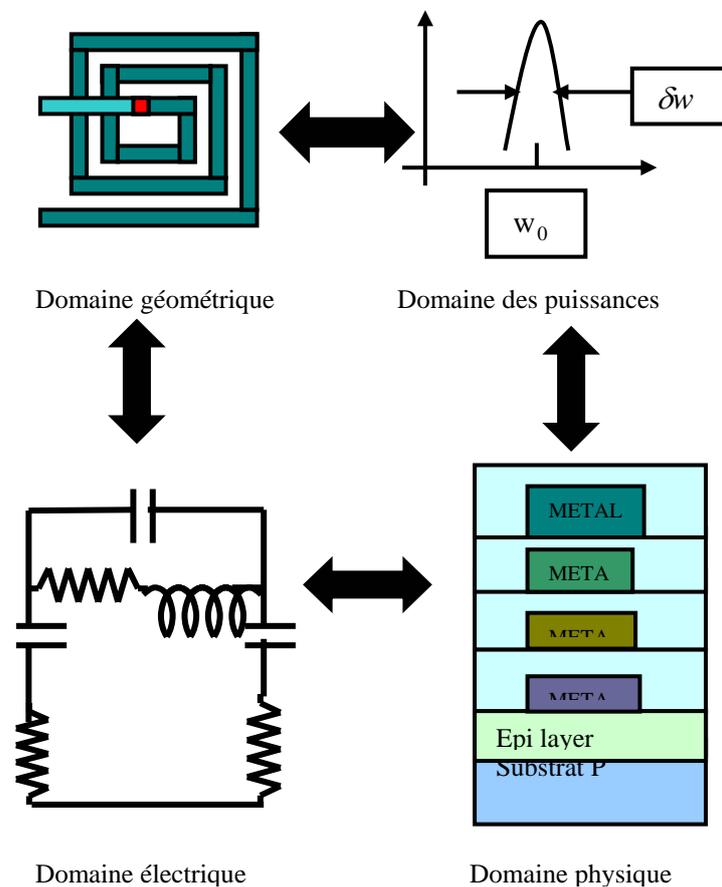


Figure 17 : Le passage dans ASITIC d'un domaine à un autre

L'optimisation effectuée par ASITIC se présente par deux méthodes :

La première introduit la valeur de l'inductance et la valeur du facteur de qualité maximum désirée, nous obtenons la structure géométrique de l'inductance avec son dessin de masque et les valeurs du modèle électrique.

Pour la deuxième il faut introduire la valeur du facteur de qualité maximum désirée avec une gamme de fréquence, en fixant les dimensions extérieures, le nombre de tours, alors ASITIC donne toute les structures possibles en variant la valeur de l'espacement s et la valeur de la largeur de la piste métallique w .

Nous présentons sur la figure 18 un schéma de l'optimisation faite par ASITIC.

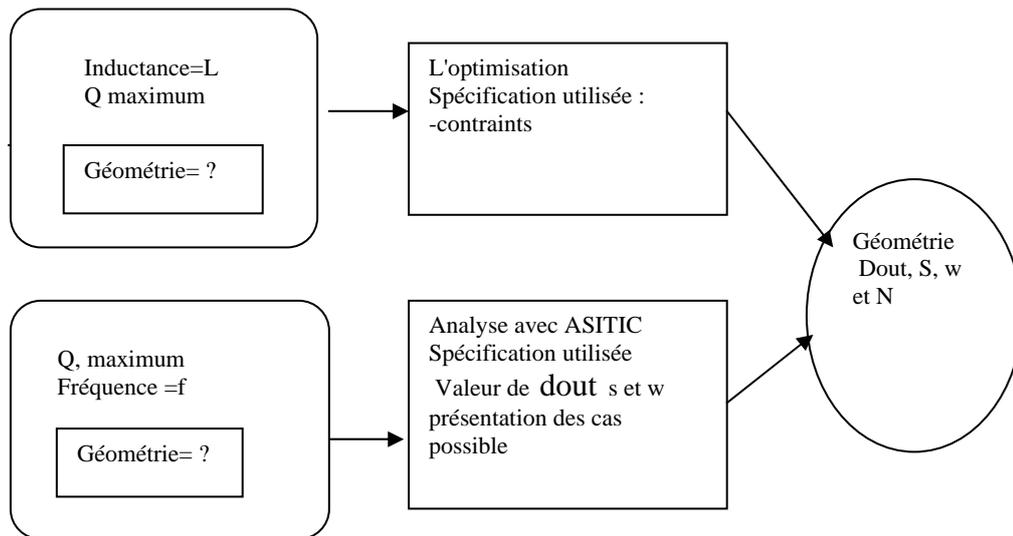


Figure 18 : Optimisation effectuée par ASITIC

3-2-2 L'outil MENTOR GRAPHICS

Les dessins de masques réalisés dans une station Sun par l'utilisation de logiciels MENTOR GRAPHICS [38] sont essentiels pour le dessin physique des inductances. Le travail consiste à importer la structure en spirale mise en application réalisée dans ASITIC en utilisant une ligne de commande spécifique, quand le dessin de masque sera transféré dans MENTOR GRAPHICS, nous terminerons le dessin par l'addition des structures de tests et nous aboutirons à la finalisation de cette tâche.

3-2-3 L'outil MATLAB

MATLAB est un logiciel de calcul numérique produit par Math Works, c'est un langage simple et très efficace, optimisé pour le traitement des matrices. Dans notre travail nous utilisons les fonctions de MATLAB qui ont été développées et employées pour faciliter la conception des inductances réalisées. La première fonction proposée est utilisée pour calculer les éléments du modèle classique d'inductance présenté dans la figure 10.

L'entrée de cette fonction est un vecteur qui contient le nombre de tours (N), la longueur externe de la structure (OL), la largeur du conducteur (w), espacement entre deux pistes adjacentes (s), longueur totale de la spirale (l), la conductance de substrat G_{SUB} , et enfin la capacité substrat par unité de surface C_{SUB} . Les cinq premiers éléments du vecteur sont des paramètres géométriques liés à la structure d'inductance. G_{SUB} et C_{SUB} sont des paramètres de processus liés à la technologie utilisée. Pour commencer, les valeurs de G_{SUB} et C_{SUB} sont placés à :

$$G_{SUB} = (53 \times 10^3) \text{ ohm}^{-1} \quad C_{SUB} = (6.4 \times 10^{-6}) \text{ fF}$$

$$L_S = \frac{11.25 \cdot \mu_0 \cdot N \cdot AL^2}{11 \cdot OL - (7 \cdot AL)} \quad (3-1)$$

$$C_P = N \cdot l \cdot C_{OV} \quad \text{Avec} \quad C_{OV} = \frac{\xi_{SUB}}{t_{OX}} \quad (3-2)$$

$$C_{OX} = w \cdot l \cdot C_{OX} \quad \text{Avec} \quad C_{OX} = \frac{\xi_{OX}}{t_{OX}} \quad (3-3)$$

$$R_{SUB} = \frac{2}{w \cdot l \cdot G_{SUB}} \quad (3-4)$$

$$C_{SUB} = \frac{w \cdot l \cdot C_{SUB}}{2} \quad (3-5)$$

$$R_S = \frac{1}{w \cdot \sigma \cdot \delta \left(1 - e^{\left(\frac{-r}{\delta} \right)} \right)} \quad (3-6)$$

$$\delta = \sqrt{\frac{2}{w \cdot \mu_0 \cdot \sigma}} \quad (3-7)$$

$$AL = \frac{OL + lL}{2} \quad (3-8)$$

Nous employons les équations (3-1) à (3-8) pour déterminer les éléments du modèle classique d'inductance. Mais cette fonction reste limitée car elle ne prend pas en compte la variation de la fréquence, ce que nous obtenons sont des valeurs fixes pour L_S , C_P , C_{OX} , C_{SUB} , R_{SUB} et une valeur variante selon la fréquence pour R_S . Cette fonction prend en compte seulement l'effet de peau mais pas les autres effets.

La deuxième fonction utilisée, est une suite de la simulation effectuée par ASITIC et qui fait le passage entre la matrice S, Y pour déduire les éléments du modèle électrique

de l'inductance. Cette tâche sera détaillée dans le paragraphe suivant, ou nous présenterons le déroulement de la simulation effectuée dans ce travail.

3-3 Le déroulement de la simulation

La simulation effectuée par les logiciels trouvés dans la littérature, se base sur le modèle électrique étudié dans le chapitre 2, il est appelé le modèle à large bande de fréquences (2PORT), car le calcul se fait sur une large gamme de fréquence. Dans notre cas, ASITIC fait les calculs pour ce modèle en donnant la matrice de répartition S , ou la matrice impédance Z , ou la matrice admittance Y associées à la structure d'inductance en la considérant comme quadripôle. ASITIC prend en compte un autre modèle présenté dans la figure 19 appelé modèle à fréquence unique (PI), effectuant le calcul pour une fréquence particulière en calculant les valeurs du modèle électrique L_S , R_S , C_{SUB} et R_{SUB} ; les deux modèles peuvent être comparé pour chaque valeur de fréquence.

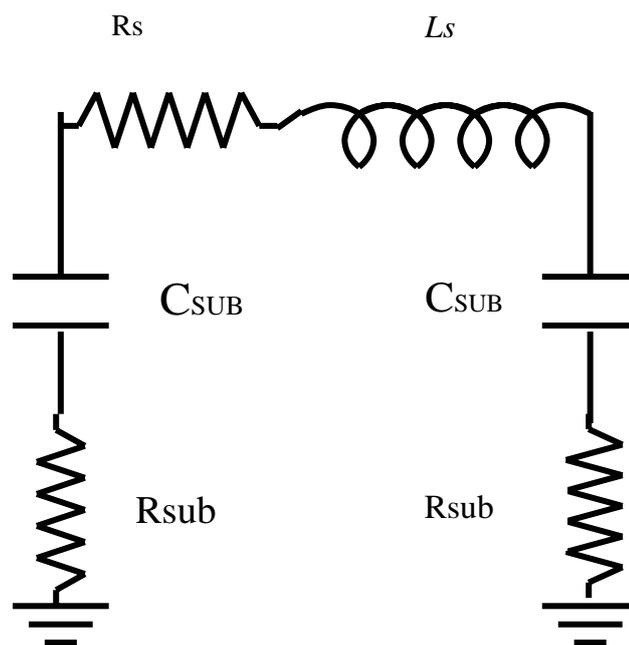


Figure 19 : Le modèle à fréquence particulière

Le travail se déroule de cette façon : pour le premier modèle, nous obtiendrons les éléments de la matrice Y par l'introduction d'une commande indiquée, après nous calculons les valeurs du modèle électrique à partir des éléments de la matrice Y . Pour procéder à cette étape, il faut donner les équations qui permettent d'écrire les éléments du modèle

électrique en fonction des éléments de la matrice Y. Considérons le modèle de l'inductance comme un quadripôle présenté sur la figure suivante :

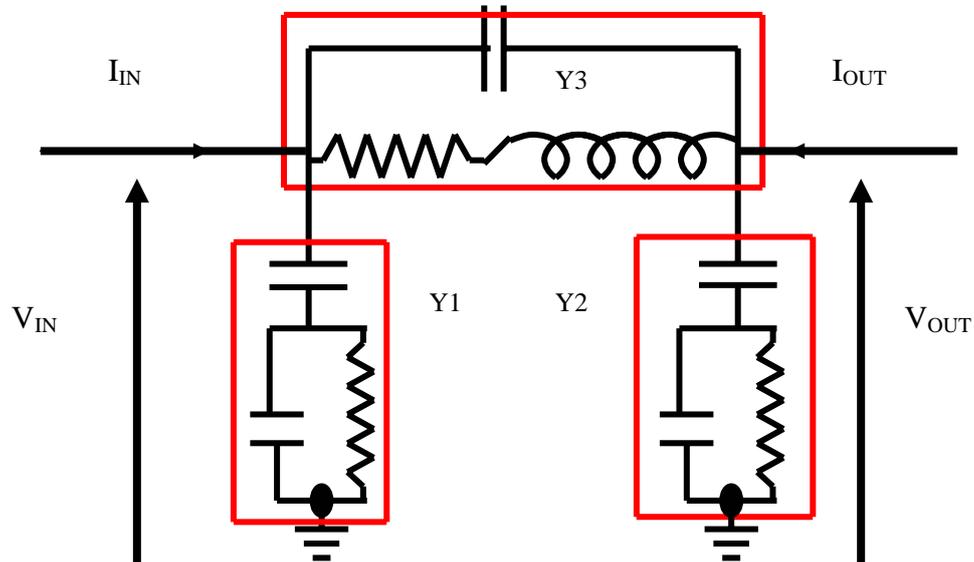


Figure 20 : Schéma équivalent classique

La matrice d'admittance entre les courants d'entrée et de sortie et les tensions est définie par :

$$\begin{bmatrix} I_{IN} \\ I_{OUT} \end{bmatrix} = \begin{bmatrix} Y_{11} & Y_{12} \\ Y_{21} & Y_{22} \end{bmatrix} * \begin{bmatrix} V_{IN} \\ V_{OUT} \end{bmatrix} \quad (3-9)$$

Selon la figure 20 la matrice [Y] en fonction des admittances Y_1 , Y_2 , Y_3 est présentée de comme suit :

$$[Y] = \begin{bmatrix} Y_1 + Y_3 & -Y_3 \\ -Y_3 & Y_1 + Y_3 \end{bmatrix} \quad (3-10)$$

Nous obtiendrons :

$$\text{Real } Y_{11} = \frac{R_S}{R_S^2 + (2\pi f \cdot L_S)^2} + \frac{(2\pi f)^2 \cdot C_{OX}^2 \cdot R_S}{1 + (2\pi f)^2 \cdot C_{OX}^2 \cdot R_S^2} \quad (3-11)$$

$$\text{Img } Y_{11} = \frac{2\pi f \cdot L_S}{R_S^2 + (2\pi f)^2 \cdot L_S^2} + \frac{2\pi f \cdot C_{OX}}{1 + (2\pi f)^2 \cdot C_{OX}^2 \cdot R_S^2} + 2\pi f \cdot C_S \quad (3-12)$$

$$\text{Real } Y_{21} = -\frac{R_S}{R_S^2 + (2\pi f)^2 \cdot L_S^2} \quad (3-13)$$

$$\text{Img } Y_{21} = \frac{2\pi f \cdot L_S}{R_S^2 + (2\pi f)^2 \cdot L_S^2} - 2\pi f \cdot C_P \quad (3-14)$$

A partir des équations 3-12, 3-1 et 3-14 nous pouvons calculer les éléments du modèle :

$$L_S = \frac{\text{Im } g Y_{21}}{2\pi f \cdot [(\text{Re } Y_{21})^2 + (\text{Im } g Y_{21})^2]} \quad (3-15)$$

$$C_S = \frac{1}{2\pi f} \cdot \left[\frac{2\pi f \cdot L_S}{R_S^2 + (2\pi f)^2 L_S^2} - \text{Im } g Y_{21} \right] \quad (3-16)$$

$$R_{S1,2} = \frac{(-\text{Re } Y_{21})^{-1} \pm \sqrt{(\text{Re } Y_{21})^{-2} - 4 \cdot (2\pi f)^2 \cdot L_S^2}}{2} \quad (3-17)$$

$$C_{SUB1} = \frac{[\text{Im } g (Y_{22} + Y_{12})^{-1}]^{-1}}{2\pi f} \quad (3-18)$$

$$C_{SUB2} = \frac{[\text{Im } g (Y_{11} + Y_{12})^{-1}]^{-1}}{2\pi f} \quad (3-19)$$

$$R_{SUB1} = \text{Re } al \left[\frac{1}{Y_{11} + Y_{12}} \right] \quad (3-20)$$

$$R_{SUB2} = \text{Re } al \left[\frac{1}{Y_{22} + Y_{21}} \right] \quad (3-21)$$

Pour le facteur de qualité, nous pouvons le définir en fonction des paramètres du circuit. Pour le modèle à deux ports présenté sur la figure 20, l'impédance d'entrée dans ce cas est donné par :

$$Z_{IN} = \frac{V_{IN}}{I_{IN}} \Big|_{V_{OUT}=0} \quad (3-22)$$

Nous pouvons maintenant exprimer l'impédance d'entrée en termes de paramètres à deux ports comme suit :

$$Z_{IN} = \frac{\text{Re } al Y_{11} - j \text{Im } g Y_{11}}{(\text{Re } al Y_{11})^2 + (\text{Im } Y_{11})^2} \quad (3-23)$$

Par la suite une autre définition du facteur de qualité :

Il est défini par le rapport de la partie imaginaire et la partie réelle de l'impédance d'entrée,

$$Q = \frac{-\text{Im } g Y_{11}}{\text{Re } al Y_{11}} \quad (3-24)$$

Et nous aurons l'équation suivante :

$$Q = \frac{(2\pi f)L_S}{R_S} * \frac{R_P}{R_P + R_S \left[1 + \left(\frac{L_S(2\pi f)}{R_S} \right)^2 \right]} * \left[1 - \left(\frac{R_S^2}{L_S} + (2\pi f)^2 L_S \right) (C_S + C_P) \right] \quad (3-25)$$

$$C_P = \frac{C_{OX}}{1 + R_{SUB}^2 C_{OX} (2\pi f)^2} \quad (3-26)$$

$$R_P = 1 + \frac{1}{1 + R_{SUB}^2 C_{OX} (2\pi f)^2} \quad (3-27)$$

3-4-Méthodes de caractérisation

Avant d'utiliser les inductances dans les circuits intégrés il est recommandé de caractériser leurs performances par des mesures séparées. Ces caractérisations concernant la mesure des paramètres de la matrice [S] sur une plage de fréquence suffisamment grande, permettant d'établir un modèle électrique. Ces mesures sont réalisées par un analyseur de réseau. La plage de fréquence pour la mesure doit être assez grande pour pouvoir distinguer certains effets tels que la fréquence de résonance, au-delà de laquelle le composant change de propriété électrique, (par exemple lorsqu'une inductance devient capacitive), les couplages capacitifs et l'effet de peau [18]. Afin de décrire le comportement électrique entre le port1 et le port2 de l'objet sous test noté DUT (device Under test):).

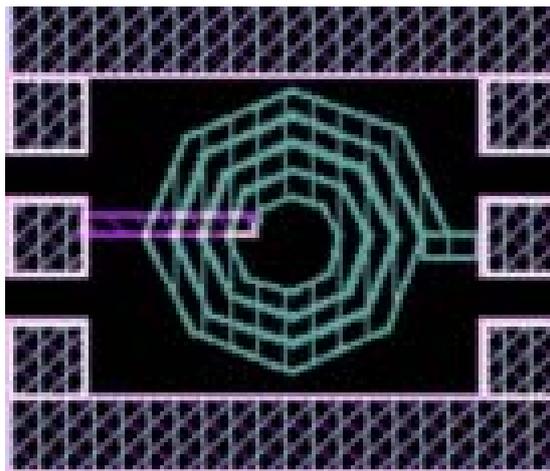


Figure 21 : Une inductance octogonale insérée dans une structure de test.

Nous présentons sur la figure 21 une inductance octogonale que nous avons réalisé, insérée dans une structure de test pour sa caractérisation et l'extraction des paramètres

[S]. La caractérisation de DUT se fait en plusieurs parties, la mesure des paramètres [S], le choix du modèle et la détermination des valeurs des éléments du modèle. La mesure consiste à obtenir sous pointes les paramètres S des composants. Au préalable, un calibrage du banc de mesure depuis les connecteurs d'entrée/sortie de l'analyseur de réseau jusqu'à l'extrémité des pointes doit être effectué. Le choix du modèle s'appuie sur la structure même de DUT. Une fois la topologie du modèle fixée, la matrice de paramètres [S] mesurée est transformée en d'autres matrices plus efficaces pour isoler chaque élément constitutif du modèle. Les matrices [Y] et [Z] sont alors essentiellement utilisées. Une fois ces différentes parties faites, nous effectuons un « de-embedding » qui consiste à retirer des mesures d'une cellule de test vide, les éléments extérieurs au composant tels que les plots de connexion et les lignes d'accès. Pour retirer efficacement ces effets parasites, nous utilisons des structures de test qui sont : Open, Thru, et Short. La figure 22 montre les trois structures de test.

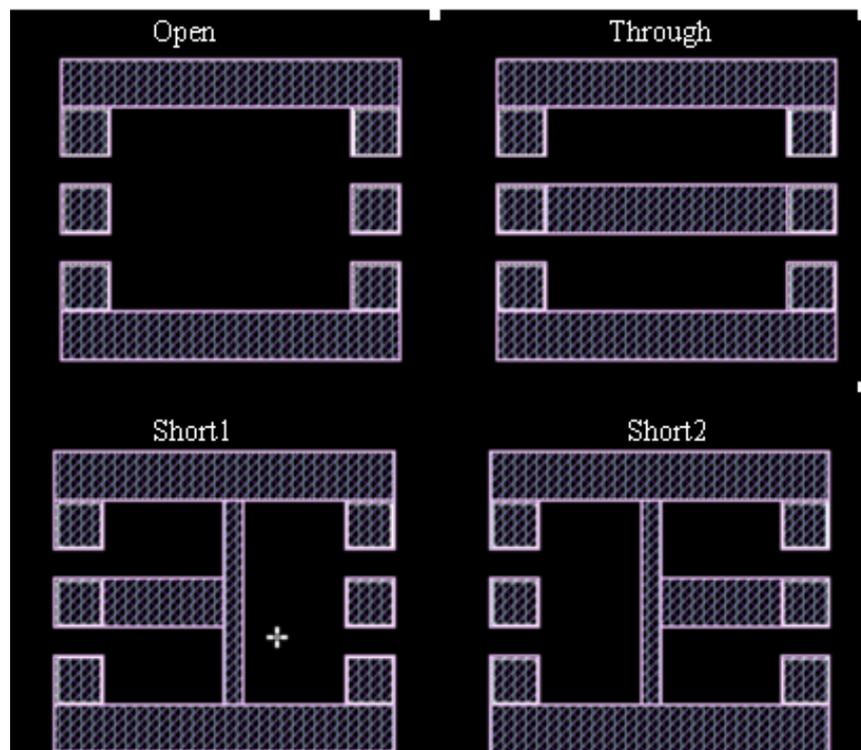


Figure 22: Structures de test: (a) GSG open, (b) GSG through, (c) GSG short1, (d) GSG short2

3-4-1 La structure de test OPEN

Cette structure est largement utilisée car elle est simple et nous pouvons retirer l'effet de plots facilement. Pour utiliser cette méthode, nous aurons besoin d'une structure de plots vide pour faire l'analyse. Dans cette méthode nous supposons que les parasites

ajoutés à DUT peuvent être décrite par une admittance en parallèle. Les paramètres Y sont obtenus à partir des paramètres S mesurés de la structure open.

Le passage entre la matrice [Y] et la matrice [S] se fait à travers les équations suivantes :

$$Y_{11} = \frac{(1 + S_{22})(1 - S_{11}) + S_{12}S_{21}}{(1 + S_{11})(1 + S_{22}) - S_{12}S_{21}} \quad (3-28)$$

$$Y_{12} = \frac{-2S_{12}}{(1 + S_{11})(1 + S_{22}) - S_{12}S_{21}} \quad (3-29)$$

$$Y_{21} = \frac{-2S_{21}}{(1 + S_{11})(1 + S_{22}) - S_{12}S_{21}} \quad (3-30)$$

$$Y_{22} = \frac{(1 + S_{11})(1 - S_{22}) + S_{12}S_{21}}{(1 + S_{11})(1 + S_{22}) - S_{12}S_{21}} \quad (3-31)$$

Nous obtiendrons la matrice Y de l'inductance sous le test selon l'équation suivante :

$$\begin{bmatrix} Y_{11} & Y_{12} \\ Y_{21} & Y_{22} \end{bmatrix}_{de-embdded} = \begin{bmatrix} Y_{11} & Y_{12} \\ Y_{21} & Y_{22} \end{bmatrix}_{inductowith_pads} - \begin{bmatrix} Y_{11} & Y_{12} \\ Y_{21} & Y_{22} \end{bmatrix}_{open} \quad (3-32)$$

La matrice obtenue à partir de ce calcul présente la matrice de DUT sans prendre en compte l'effet parasite des plots, mais cette méthode reste insuffisante pour décrire les effets parasites liés aux tests des inductances, nous verrons dans le paragraphe suivant des techniques qui permettront d'étudier les effets parasites liés à la procédure de test.

3-4-2 Les trois étapes de caractérisation

La structure OPEN permet d'extraire l'effet des plots, mais nous ne pouvons pas retirer l'effet des interconnexions en métal et d'autres effets parasites associés au plot. Nous présentons dans ce paragraphe comment nous pouvons utiliser les trois structures de test OPEN, SHORT et THRU afin de retirer les paramètres S pures du dispositif sous test.

L'analyse passe par différentes étapes. Tout d'abord nous commençons par tirer la matrice Y des plot à partir de la structure OPEN. Par la suite nous tirerons la matrice Z dans les deux cas THRU et SHORT, et enfin extraire le couplage capacitif entre les deux ports de DUT.

La figure 23 présente les circuits électriques équivalents des structures de test OPEN, THRU, et SHORT. G_1 , G_2 et G_3 représentant les parasites liés aux plots et les lignes d'accès et les interconnexions.

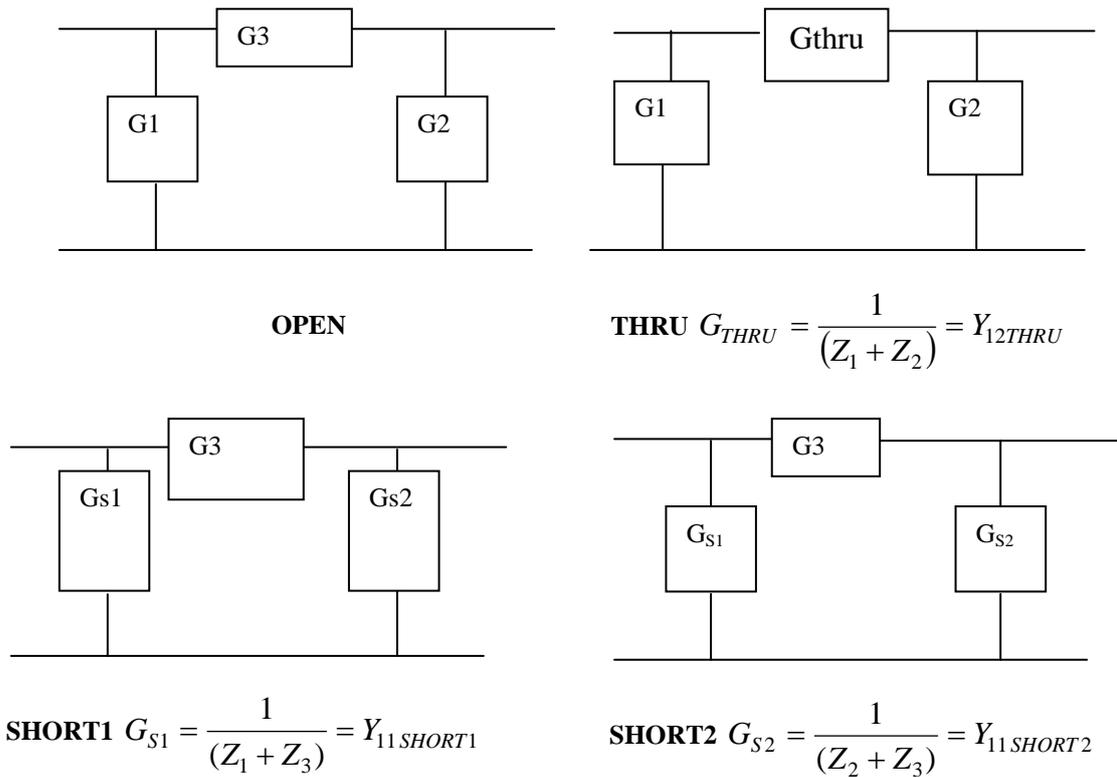


Figure 23 : Les paramètres Y pour les trois structures de test.

Pour déduire les paramètres S ou Y intrinsèques, nous suivons les étapes suivantes :

Etape 1

Tirer les effets parasites G_1 et G_2 à partir des mesures des paramètres Y effectués sur l'inductance (équations 3-33; 3-36)

$$Y_{11first} = Y_{11measured} - G_1 \quad (3-33)$$

$$Y_{22first} = Y_{22measured} - G_2 \quad (3-34)$$

$$Y_{12first} = Y_{12measured} \quad (3-35)$$

$$Y_{21first} = Y_{21measured} \quad (3-36)$$

Faire la transformation des paramètres Y en paramètres Z par les équations suivantes :

$$Z_{11_first} = \frac{Y_{22_first}}{Y_{11_first}Y_{22_first} - Y_{12_first}Y_{21_first}} \quad (3-37)$$

$$Z_{12_first} = \frac{-Y_{12_first}}{Y_{11_first}Y_{22_first} - Y_{12_first}Y_{21_first}} \quad (3-38)$$

$$Z_{21_first} = \frac{-Y_{21_first}}{Y_{11_first}Y_{22_first} - Y_{12_first}Y_{21_first}} \quad (3-39)$$

$$Z_{22_first} = \frac{Y_{11_first}}{Y_{11_first}Y_{22_first} - Y_{12_first}Y_{21_first}} \quad (3-40)$$

Etape 2

Calculer les éléments séries à partir des trois procédures de test, tels que :

$$Z_1 = \frac{\frac{1}{Y_{12thru}} + \frac{1}{Y_{11short1}} - \frac{1}{Y_{22short2}}}{2} \quad (3-41)$$

$$Z_2 = \frac{\frac{1}{Y_{12thru}} - \frac{1}{Y_{11short}} + \frac{1}{Y_{22short2}}}{2} \quad (3-42)$$

$$Z_3 = \frac{\frac{1}{Y_{12thru}} + \frac{1}{Y_{11short}} + \frac{1}{Y_{22short2}}}{2} \quad (3-43)$$

En suite, nous allons tirer les éléments série des éléments Z obtenus dans la première étape

$$Z_{11-second} = Z_{11-first} - Z_1 - Z_3 \quad (3-44)$$

$$Z_{12-second} = Z_{12-first} - Z_3 \quad (3-45)$$

$$Z_{21-second} = Z_{21-first} - Z_3 \quad (3-45)$$

$$Z_{22-second} = Z_{22-first} - Z_1 - Z_3 \quad (3-46)$$

La transformation des paramètres Z en paramètres Y se fait par les équations suivantes :

$$Y_{11-second} = \frac{Z_{22-second}}{Z_{11-second}Z_{22-second} - Z_{12-second}Z_{21-second}} \quad (3-47)$$

$$Y_{12-second} = \frac{-Z_{12-second}}{Z_{11-second}Z_{22-second} - Z_{12-second}Z_{21-second}} \quad (3-48)$$

$$Y_{21-second} = \frac{-Z_{21-second}}{Z_{11-second}Z_{22-second} - Z_{12-second}Z_{21-second}} \quad (3-49)$$

$$Y_{22-second} = \frac{Z_{11-second}}{Z_{11-second}Z_{22-second} - Z_{12-second}Z_{21-second}} \quad (3-50)$$

Etape 3

Introduit une correction sur le résultat de l'étape 2 en utilisant le terme G_3

$$Y_{11_third} = Y_{11_second} - G_3 \quad (3-51)$$

$$Y_{12_third} = Y_{12_second} - G_3 \quad (3-52)$$

$$Y_{21_third} = Y_{21_second} - G_3 \quad (3-53)$$

$$Y_{22_third} = Y_{22_second} - G_3 \quad (3-54)$$

Les éléments Y résultant présentent les paramètres intrinsèques de l'inductance sous test, il nous reste maintenant de tirer les éléments du modèle électrique de l'inductance sous le test. Pour cela, nous aurons besoin de revoir la figure 20 qui permet de considérer l'inductance intégrée comme un quadripôle. Ensuite, nous allons utiliser les équations 3-09 jusqu'à 3-24 citées précédemment afin d'aboutir à une interprétation de tous les éléments du modèle électrique en fonction des paramètres Y tirés de la mesure des inductances intégrés sur silicium.

Ce calcul peut être développé à l'aide des routines écrites pour MATLAB, en créant un programme contenant toutes les équations.

3-5 Conclusion

Ce chapitre a permis de connaître les outils nécessaires pour nos simulations. La présentation de la technologie CMOS 0.35 μ m nous renseigne sur les paramètres de la technologie que nous devons maîtriser pour la réalisation de nos inductances. Le recours aux outils ASITIC, MONTOR GRAPHICS, et MATLAB est indispensable pour tenir compte des différents aspects (technologique, calcul, optimisation). Les méthodes de caractérisation des inductances insérées dans des structures de test sont importantes pour l'extraction des éléments du modèle électrique à partir de la simulation et les mesures

CHAPITRE 4

RESULTATS DES SIMILATIONS ET DISCUSSIONS

Comme nous avons vu dans les chapitres précédents, une inductance intégrée en technologie CMOS avec une faible résistance et avec des pertes réduites dans le substrat améliorent le facteur de qualité. Une optimisation de la superficie permet d'une part, de réduire le coût et d'autre part, de diminuer l'effet des éléments parasites inhérent à la technologie silicium. La valeur de l'inductance dépend, quant à elle, du nombre de tours, de l'espacement entre spires ainsi que de la largeur de la piste métallique. Nous verrons donc que l'obtention d'une inductance intégrée optimale est complexe et dépend fortement de la technologie et de la topologie de la structure choisie.

Nous présenterons dans ce chapitre les principaux résultats des simulations de la conception et de la caractérisation des différentes inductances. Nous avons utilisé l'outil ASITIC pour la modélisation des inductances tenant compte d'une part, des différentes formes (carrées, octogonales, circulaires) d'autre part, des structures monocouches, multicouches et symétriques.

Dans nos simulations, nous avons tenu compte des paramètres de conception les plus importants (S, W, N) et une étape d'optimisation des dimensions a été effectuée.

Une partie de nos résultats concerneront les caractéristiques des inductances conçues, à savoir, le facteur de qualité qui doit être bien élevé, la fréquence de résonance qui doit rester supérieure à la fréquence appliquée et les effets parasites capacitifs et résistifs qui doivent être suffisamment réduits.

L'étape essentielle de conception qui est le dessin de masques sera présentée pour les différentes inductances à concevoir. Quant aux caractéristiques, l'ensemble des résultats concerne les mesures simulées et une représentation comparative des modèles PI et 2PORT en utilisant ASITIC et MATLAB.

4-1 Les dessins de masques des inductances réalisées en technologie CMOS 0.35 μm

Nous nous intéresserons dans cette partie à la présentation des différents masques des inductances de valeur de 3 nH. Ces inductances peuvent être classées en trois catégories, les inductances avec un seul niveau de métallisation et leur forme est, carrée, octogonale et circulaire, les inductances avec plusieurs niveaux de métallisation de forme, carrée, octogonale, et circulaire et les inductances carrées symétriques.

La figure 24 présente les dessins de masques des inductances qui seraient fabriquées par la fonderie TSMC en technologie 0.35 microns. Elles sont créées sous forme de zone de test sur une tranche de silicium ("wafer"), les plots carrés font 100 microns de côté et sont espacés de 150 microns pour l'utilisation des pointes de mesure standard.

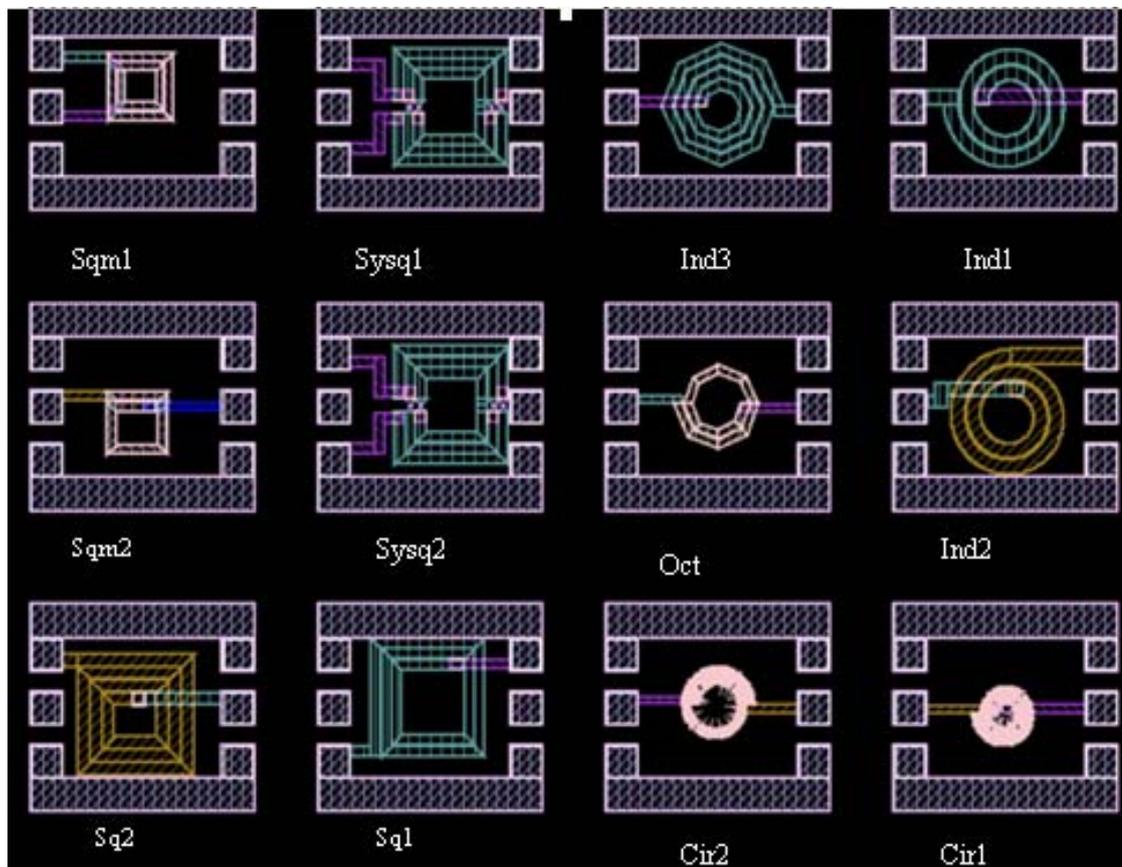


Figure 24 : Les dessins de masques des inductances mise en applications

Le tableau 2 résume, la forme, les différents paramètres de conception et le niveau de métal utilisé pour chaque inductance. Le choix des dimensions s'est basé sur une étude approfondie des relations entre les paramètres de conception, la forme, et les performances des inductances ce qui a fait l'objet de la partie optimisation qui sera présenté par la suite.

Inductance	Forme	Dimension				Niveaux de métallisation
		N	W (μm)	S (μm)	D _{out} (μm)	
Ind1	Circulaire	2	45	3	200	M3
Ind2	Circulaire	2	45	3	200	M4
Ind3	Octogonale	3.5	30	2	200	M3
Cir1	Circulaire	2	25	2	100	M2+M3+M4
Cir2	Circulaire	1.5	25	2	120	M2+M3+M4
Oct	Octogonale	1.5	25	2	120	M2+M3
Sq1	Carrée	2.5	30	2	354	M3
Sq2	Carrée	3.25	36	2.5	360	M4
Sqm1	Carrée	2	25	2	200	M2+M3
Sqm2	Carrée	1.25	30	2	190	M2+M3+M4
Sysq1	Carrée sym	3	31	1.5	354	M3
Sysq2	Carrée sym	3	30	1	350	M3

Tableau 2 : Les dimensions des inductances réalisées dans les différentes structures

Dans le tableau suivant nous représentons les résultats de simulation des éléments électriques et les caractéristiques des inductances conçues.

	L (nH)	R (ohm)	Cs1 (fF)	Cs2 (fF)	Rs1 (ohm)	Rs2 (ohm)	f _{res} (GHZ)	Q
Ind1	3	1.55	161	173	0.347	1.22	4.81	20.22
Ind2	3.05	1.59	173	188	0.498	1.42	5.29	20.75
Ind3	2.95	3.72	220	201	2.06	1.74	4.81	8.11
Cir1	2.93	2.52	365	315	0.0999	0.931	7.34	13.52
Cir2	3.2	2.68	296	255	0.43	0.718	6.77	13.66
Oct	2.88	3.11	371	367	2.37	2.06	6.32	10.38
Sq1	2.81	3.74	337	394	4.15	3.66	5.02	7.50
Sq2	3.16	3.82	317	421	3.29	2.2	5.05	7.77
Sqm1	2.99	4.88	393	393	7.11	0.925	4.79	6.22
Sqm2	3.15	3.59	440	463	6.71	0.949	4.27	8.86
Sysq1	3.05	4.17	449	448	2.56	2.73	4.30	6.98
Sysq2	2.95	3.98	467	465	2.48	2.64	4.28	7.05

Tableau 3 : Paramètres électriques et caractéristiques des inductances conçues

Les résultats de simulation présentés sur le tableau 3 suscitent quelques commentaires :

Nous remarquons que pour les inductances circulaires, la résistance série associée à l'inductance est basse en la comparant à celle des inductances octogonales et carrées. Les parasites capacitifs présentés sur le tableau ont des valeurs médiocres pour les structures monocouches et celles des structures multicouches sont trop élevées. Cependant, la valeur de la résistance parasite est liée à la forme de l'inductance choisie, Nous remarquons que la résistance parasite des inductances circulaires est basse par rapport des inductances octogonales et encore plus basse que celle des inductances carrées.

Les inductances de forme circulaire ont des facteurs qualité (Q) élevés par rapport aux inductances de forme octogonale et carrée. De même, nous pouvons voir que les structures multi couches révèlent de bons résultats en terme de Q et une dégradation de la fréquence de résonance.

Dans ce qui vient, nous présenterons les résultats de simulation et les optimisations qui permettront de donner une bonne explication de ces résultats. Nous exposerons une analyse des différentes structures et les formes d'inductances pour trouver une bonne optimisation géométrique des inductances intégrées sur substrat silicium pour un meilleur facteur qualité et une minimisation des effets parasites.

4-2 Etude des caractéristiques des inductances

Cette partie expose une optimisation réalisée sur des inductances conçues et analysées avec l'outil de simulation ASITIC. Dans un premier temps, nous présenterons des inductances monocouches selon les différents niveaux de métallisation, pour montrer l'avantage d'utiliser le niveau haut de métallisation sur les performances des inductances. Dans un deuxième temps, nous présenterons une étude comparative entre des inductances monocouches et des inductances multicouches pour voir l'importance d'utiliser les inductances multicouches. Enfin, nous présenterons une étude comparative entre les inductances en spirale et les inductances symétriques, cette analyse permettra de donner les avantages de ce type de structures.

4 – 2 – 1 : Les inductances monocouches à plusieurs niveaux de métallisation

Nous présenterons dans ce paragraphe le résultat simulé et l'étude des caractéristiques essentielles des deux formes d'inductances carrée et circulaire. Le facteur de qualité et la valeur de l'inductance sont influencés principalement par les différents niveaux de métallisation. Pour les inductances carrées, nous utilisons les métaux de niveau

3 et 2, tandis que pour les inductances circulaires, nous utilisons les métaux de niveau 4 et 3.

Les dimensions de ces inductances sont présentées sur le tableau 4.

Dimensions	D_{out} (μm)	W (μm)	S (μm)	N
Carrée	200	20	3	3.5
	200	20	3	3.5
circulaire	200	45	3	2
	200	45	3	2

Tableau 4 : Les dimensions des inductances pour différents niveaux de métallisations

a) Etude du facteur de qualité

Le facteur de qualité des inductances simulées donne les résultats illustrés sur la figure 25.

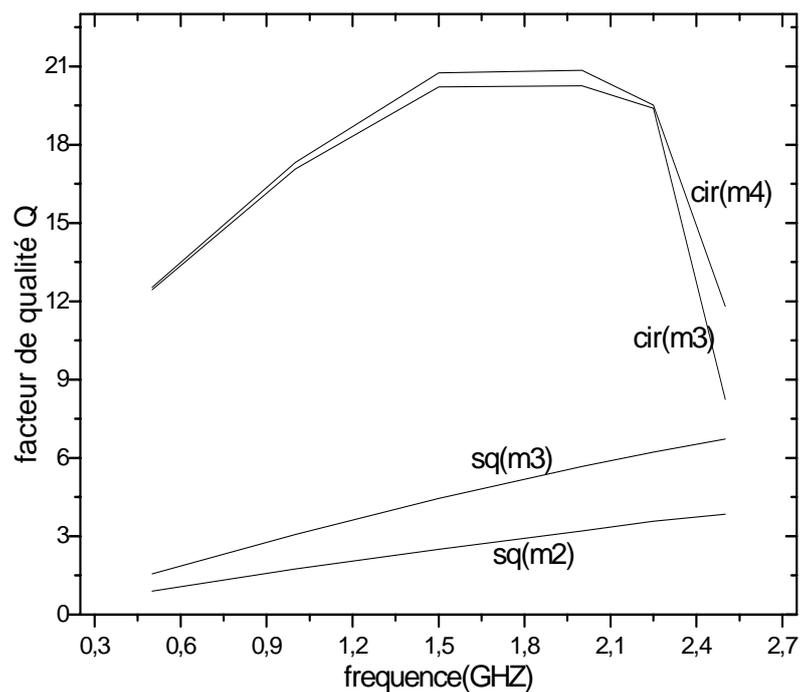


Figure 25 : L'évolution fréquentielle du facteur de qualité pour les inductances carrées et circulaire réalisées en métal 4, 3 et 2

Dans ce résultat, il est clair que le facteur de qualité est très fortement dépendant du niveau de métallisation utilisé. En effet, les valeurs du facteur de qualité Q pour une inductance carrée réalisée en métal 3 sont meilleures que celles de l'inductance en métal 2. De même,

pour une inductance circulaire en métal 4, nous avons obtenu un facteur de qualité élevé par rapport à celui d'une inductance circulaire en métal 3.

b) Etude de la valeur de l'inductance

Les résultats de simulation concernant l'évolution fréquentielle de la valeur de l'inductance sont présentés sur la figure 26.

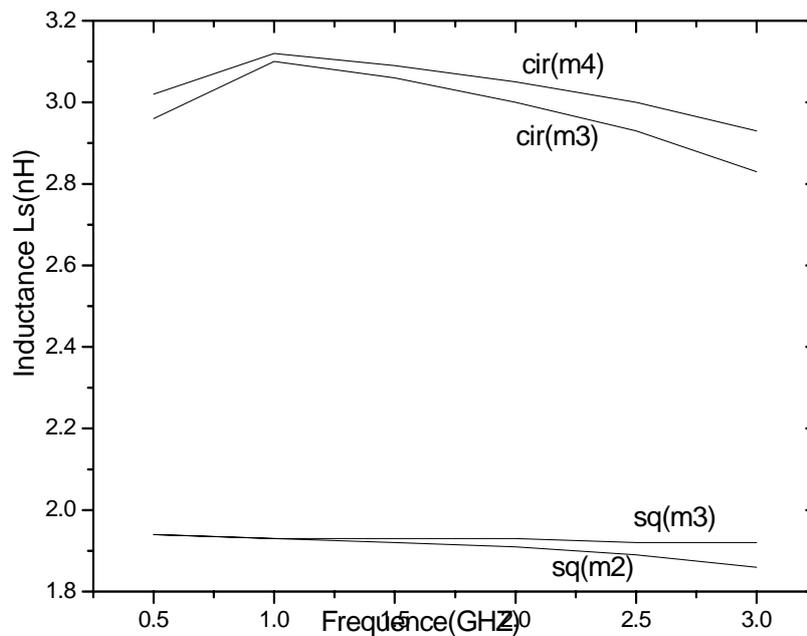


Figure 26 : L'évolution fréquentielle de la valeur de l'inductance pour des inductances carrées et circulaires réalisées en métal 2 ,3 et 4.

Il est évident que l'influence de l'utilisation des différents niveaux de métallisation sur la valeur de l'inductance est faible et surtout pour les basses fréquences. Par contre, l'effet de la forme est non négligeable car pour les inductances circulaires, la valeur de l'inductance prend des valeurs élevées si nous les comparons avec celles des inductances carrées.

c) Etude de la résistance série

La figure 27 présente l'évolution fréquentielle des pertes résistives de la piste métallique pour les inductances carrée et circulaires.

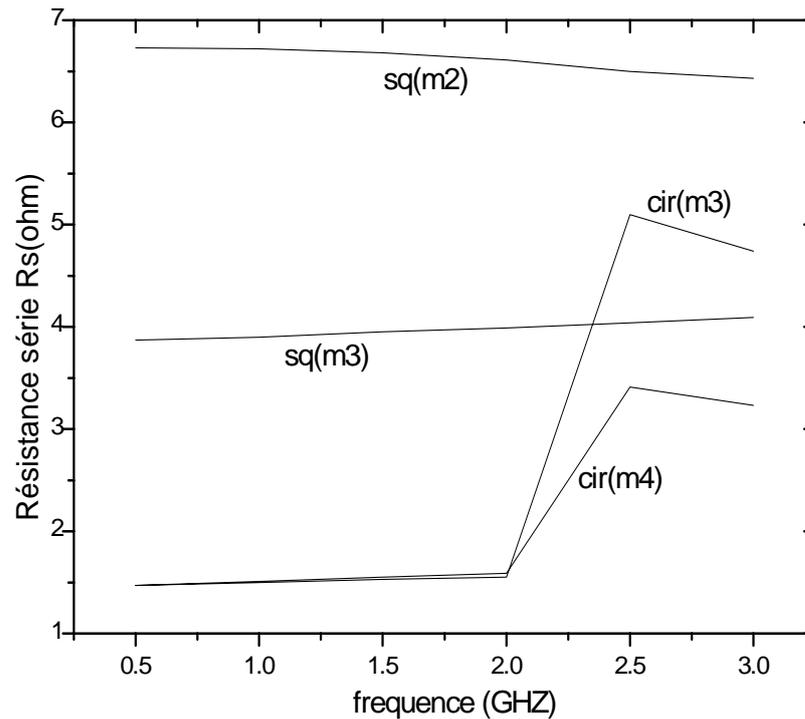


Figure 27 : L'évolution fréquentielle de la résistance série pour les inductances carrées et circulaires.

Il est sur que la résistance série est liée à la résistivité du métal utilisé et selon les données de la technologie que nous avons introduit dans le simulateur, la résistivité du métal 2 est supérieure à celle du métal 3, tandis que les résistivités du métal 3 et 4 sont égales. Par conséquent, la résistance série de l'inductance en métal 3 est basse si nous la comparons avec la résistance série de l'inductance en métal 2.

Pour les inductances circulaires en métal 3 et 4, nous remarquons que les deux allures de R_s se rejoignent pour la valeur de la fréquence allant de 0.5 GHz à presque 2 GHz. Au delà, les deux allures divergent. En effet, quand la fréquence augmente il apparaît des effets parasites du substrat qui causent l'augmentation de la valeur de R_s . Cet effet est réduit pour l'inductance conçue en métal 4 du fait qu'elle est assez éloignée du substrat.

4-2-2 Les inductances multicouches

Nous présentons dans cette partie une étude comparative entre les structures à plusieurs couches et les structures avec une seule couche. Nous utilisons deux formes d'inductances : carrées et octogonales. Les inductances carrées sq2 et sqm1 sont réalisées de la façon suivante : la première est réalisée avec un seul niveau de métallisation (métal du niveau 4), l'autre avec deux niveaux de métallisation (niveau 2 et 3). Pour les inductances octogonales ind3 est réalisée avec le niveau 3 tandis que oct est réalisée avec

le métal 3 et 2. Les paramètres de conception de chaque inductance sont présentés dans le tableau 2. Nous avons pu obtenir, pour les quatre inductances, une valeur de 3 nH à 2 GHz. Sachant que ces inductances occupent des surfaces différentes, l'inductance sq2 occupe 4 fois la surface de l'inductance sqm1. L'inductance ind3 occupe plus que le double de la surface de l'inductance oct.

Dans ce qui suit, nous présenterons une analyse de l'influence de l'utilisation des inductances multicouches sur le facteur de qualité et sur les parasites capacitifs du substrat pour les formes carrée et octogonale.

a) Etude du facteur de qualité

Les résultats de simulation du facteur de qualité des inductances sont illustrés sur la figure 28.

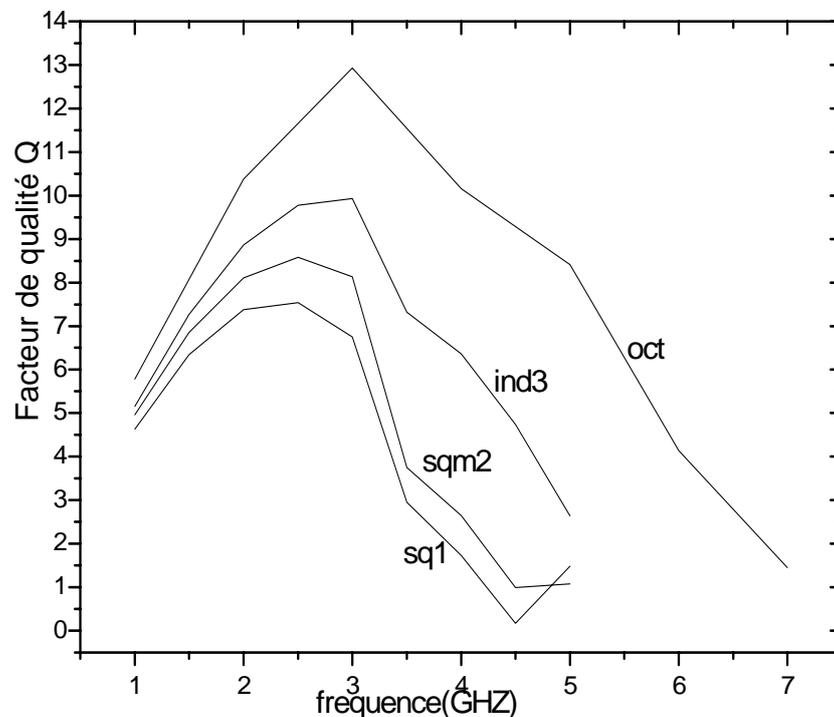


Figure28 : L'évolution fréquentielle du facteur de qualité pour les inductances sq2, sqm1, ind3 et oct

Les résultats illustrés ci-dessus présentent les allures du facteur de qualité qui répond correctement à l'optimisation faite pour assurer une valeur maximale autour de 2 GHz tout en observant que les allures prennent des formes approximativement identiques. Ils nous indiquent aussi que les inductances multicouches donnent un facteur de qualité meilleur par rapport aux monocouches en plus elles possèdent une surface réduite ce qui réduit les effets parasites du substrat.

b) Etude des capacités parasites du substrat et la fréquence de résonance

Dans ce paragraphe, nous présentons l'effet résultant des inductances multicouches sur les capacités parasites. Les résultats simulés sont présentés sur la figure 29.

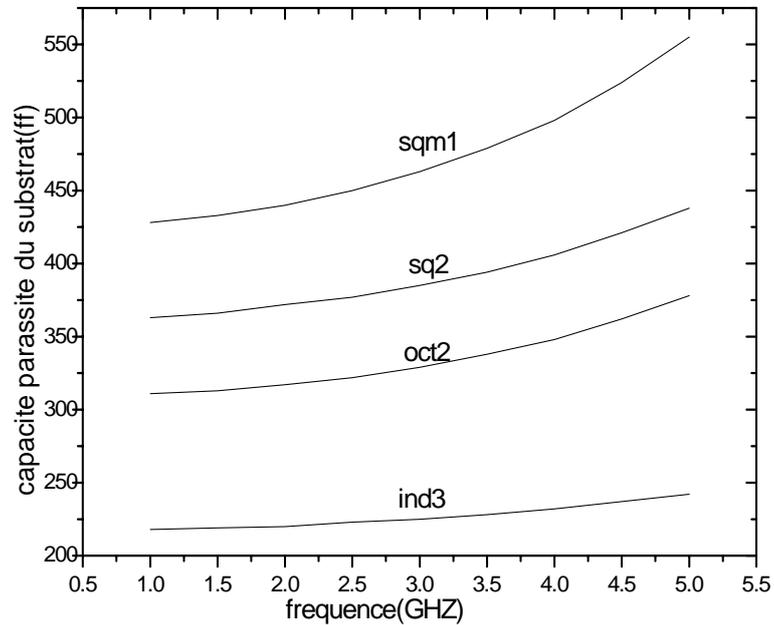


Figure 29 : L'évolution fréquentielle des capacités parasites pour les inductances sq2, sqm1, oct et ind3

Pour la fréquence de résonance, les résultats sont illustrés sur le figure 30.

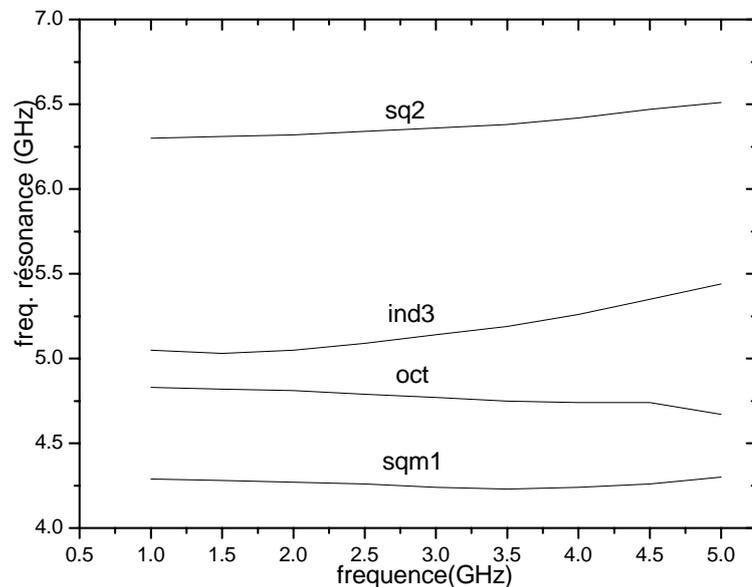


Figure 30 : L'évolution de la fréquence de résonance des inductances sq2, sqm1, oct et ind3

L'inconvénient des structures multicouches réside au niveau de la valeur de sa capacité associée. Elle est considérablement plus grande en la comparant avec une structure

planaire, ce que nous pouvons voir sur la figure 29. Ceci cause une réduction importante de sa fréquence de résonance et limite ainsi son utilisation aux basses fréquences, ce qui est illustré sur la figure 30. Nous remarquons aussi que cette fréquence de résonance n'est pas très réduite pour l'inductance multicouche de forme circulaire (Tableau 2).

4-2-3 Les inductances symétriques

Nous présentons dans ce paragraphe une analyse des caractéristiques des inductances symétriques. Pour cela, nous avons opté pour une étude comparative entre les deux inductances Sysq1 et Sq1 qui possèdent la même surface et la même valeur de l'inductance L_s (3 nH à 2 GHz). La première Sysq1 est une inductance carrée symétrique et la deuxième Sq1 est une inductance carrée, leurs dimensions sont données dans le tableau 2.

a) Etude du facteur de qualité

Nous présentons dans cette partie les résultats simulés du facteur de qualité pour deux inductances, carrée et carrée symétrique.

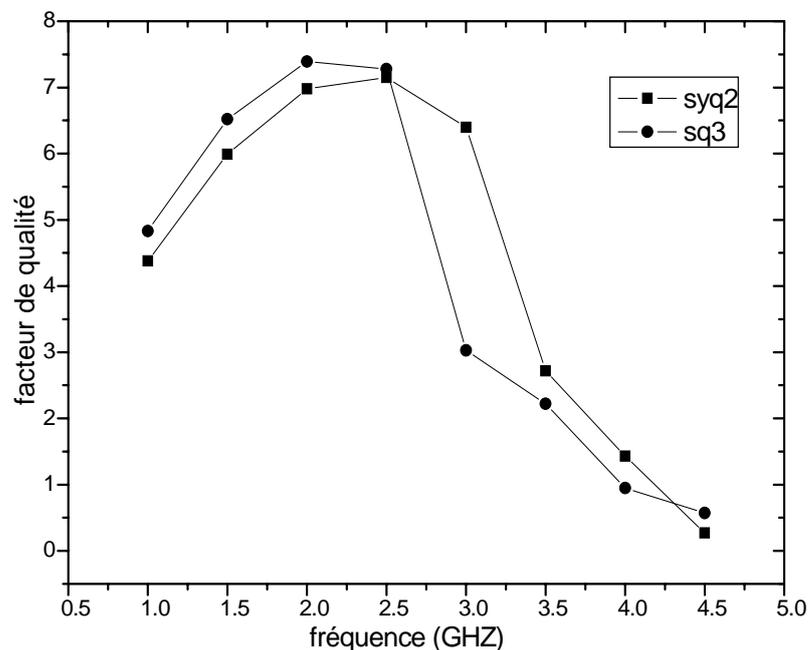


Figure 31 : L'évolution fréquentielle du facteur de qualité pour les deux structures d'inductances.

L'évolution fréquentielle du facteur de qualité permet de dire que l'inductance symétrique donne des résultats légèrement meilleurs par rapport à l'inductance carrée. En effet, la valeur du facteur de qualité Q est élevée pour Sysq1 par rapport à celui de Sq1

(figure 31) mais les différences vont apparaître en étudiant la valeur de l'inductance, les effets parasites capacitifs et résistifs.

b) Etude de la valeur de l'inductance et la résistance série

La figure 32 présente l'évolution fréquentielle de la valeur de l'inductance et la résistance série pour les deux structures carrée et symétrique.

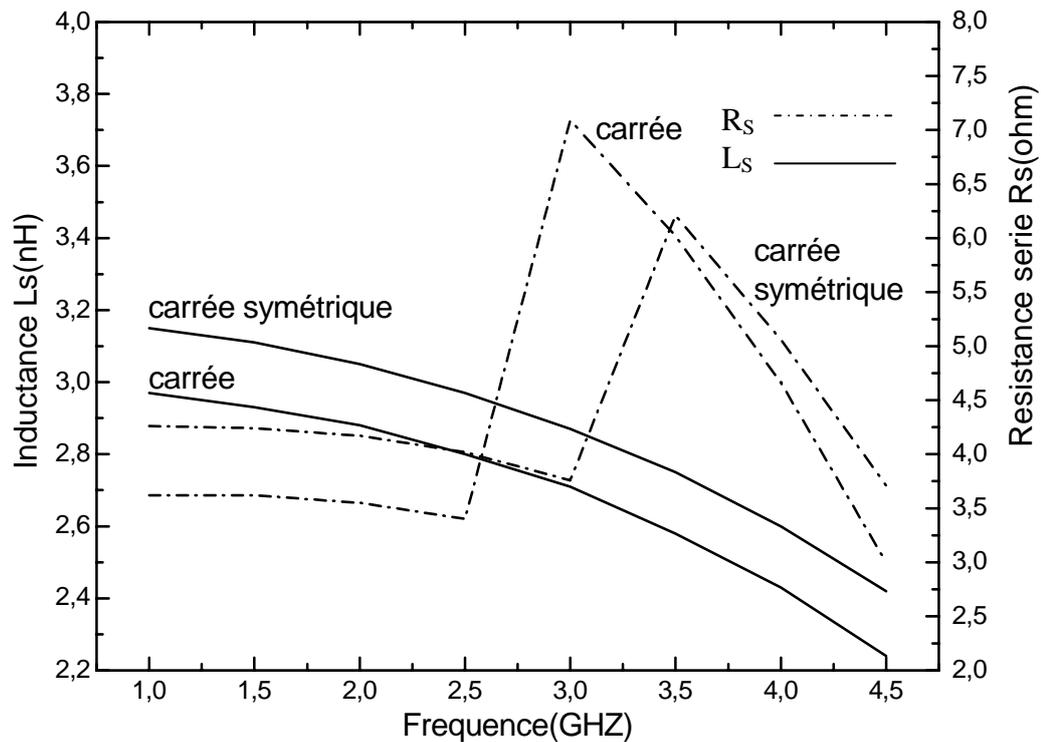


Figure32 : L'évolution de Ls et Rs pour deux inductances carrée et symétrique en fonction de la fréquence.

Nous remarquons que les valeurs de l'inductance L_S sont plus élevées pour une inductance symétrique $sq2$ que celles d'une inductance carrée $sq3$. En effet, l'utilisation d'une inductance symétrique permet d'exploiter les bénéfices de l'inductance mutuelle générée par couplage électromagnétique afin d'augmenter la valeur totale de l'inductance. La valeur de l'inductance L_S pour l'inductance symétrique est maintenue autour de 3 nH pour une gamme de fréquence plus large que dans le cas de l'inductance carrée. En ce qui concerne la résistance série, les effets résistifs pour le cas des inductances symétriques sont plus importants par rapport à ceux des inductances carrées. Les allures de la résistance série présentent particulièrement l'apparition d'un pic important à partir de 2,5 et 3 GHz ce qui explique l'effet des hautes fréquences.

L'écart des valeurs entre les inductances symétriques et carrées est lié à leurs structures. En effet, le dessin de masque des inductances symétriques demande deux niveaux de métallisations et beaucoup des vias pour faire les interconnexions. En plus, ces conditions influent sur la résistance série qui augmente avec la fréquence.

c) Etude des effets parasites du substrat

La figure 33 présente l'évolution fréquentielle des effets parasites du substrat, ce qui veut dire la capacité et la résistance parasite inhérente à la technologie silicium.

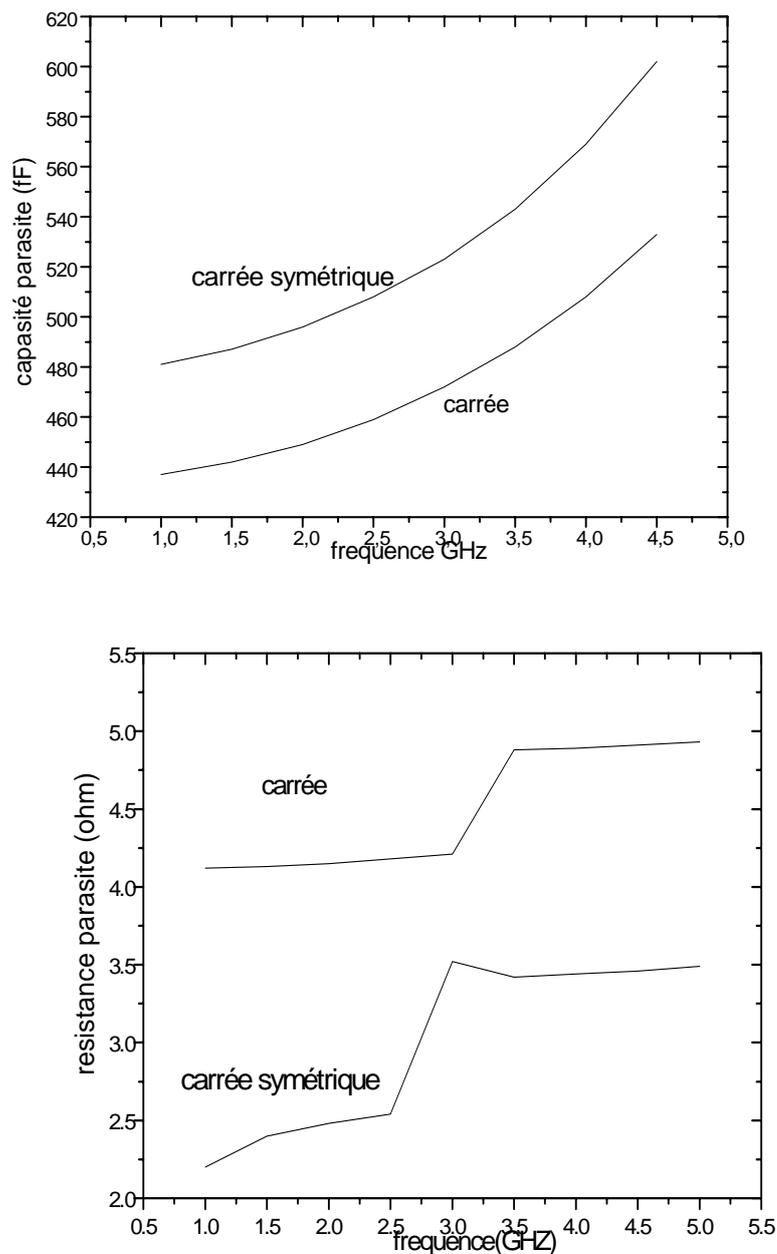


Figure 33 : L'évolution fréquentielle de la capacité et la résistance parasite du substrat pour les deux inductances carrée et symétrique.

Les résultats illustrés précédemment présentent les allures de la capacité et la résistance parasites. En observant les graphes, nous remarquons que les allures de la capacité et la résistance parasite prennent des formes approximativement identiques pour les deux structures.

Il est clair que les effets capacitifs représentés sur la figure précédente sont élevés pour une inductance symétrique par rapport à une inductance carrée, cela est dû à la structure de ce type d'inductance car nous utilisons deux niveaux de métallisation pour faire la réalisation de ce type de structure. Les courbes de la résistance parasite présentent particulièrement l'apparition d'un pic important à partir de 3 et 3.5 GHz, ceci s'explique par l'effet des hautes fréquences. Cependant les effets résistifs sont faibles pour les inductances symétriques par rapport aux inductances carrées, ce qui avantage l'utilisation des structures symétriques dans les circuits RF.

4-3 L'optimisation des paramètres de conception

Nous présentons dans cette étude l'influence des paramètres de conception, l'espacement entre deux pistes adjacentes, la largeur de la piste métallique et le nombre de tours sur les caractéristiques des inductances conçues. Il s'est avéré important d'optimiser principalement ces trois paramètres du fait qu'ils sont liés aux effets de peau, aux courants de Foucault, etc.

Un ensemble d'inductances carrées et circulaires ont été utilisées pour faire cette optimisation. En fixant une même surface pour les deux formes ($70685.83 \mu\text{m}^2$), nous faisons varier les paramètres de l'espacement, la largeur du métal et le nombre de tours et nous étudions leur influence sur les caractéristiques. Ceci permet donc la connaissance des valeurs optimales des paramètres de conception.

a) Optimisation de l'espacement S

Pour voir l'influence de l'espacement sur certaines caractéristiques, nous fixerons la largeur de métal $W=25\mu\text{m}$, le nombre de tours $N=3$, et on varie S de $0.5 \mu\text{m}$ jusqu'à $10 \mu\text{m}$.

Les caractéristiques qui seront concernées par cette analyse sont la valeur de l'inductance, le facteur de qualité, la fréquence de résonance et les parasites résistifs. Aussi nous allons voir les performances résultant de l'utilisation de la forme circulaire.

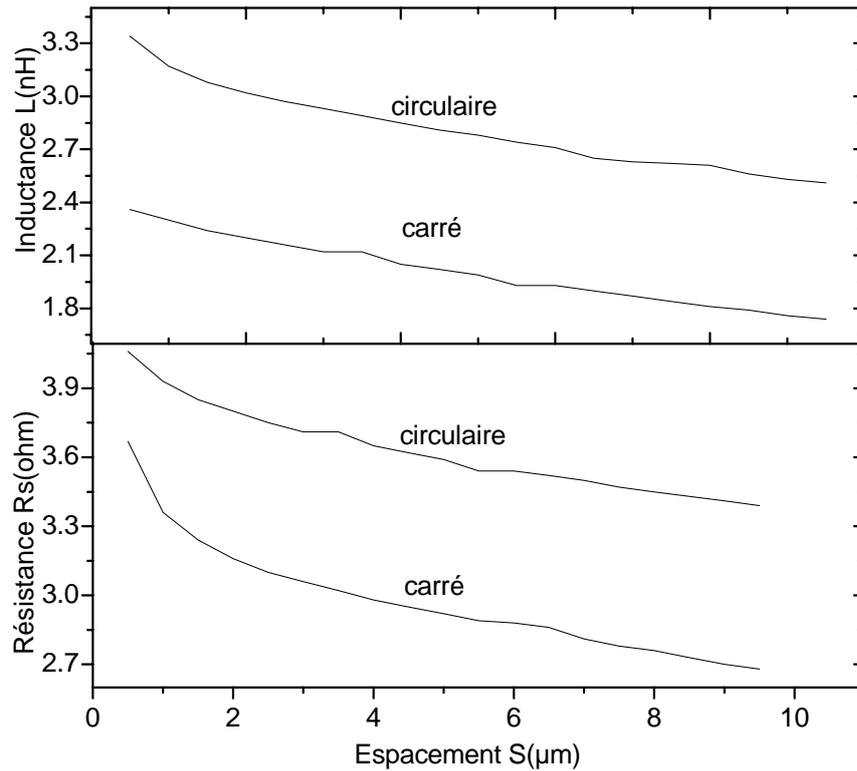


Figure 34 : L'évolution de la résistance série R_s et l'inductance L_s des deux inductances carrée et circulaire en fonction de l'espacement S

La figure 34 montre respectivement la dégradation de la valeur de l'inductance L_s et la résistance série R_s pour les deux formes d'inductance. Cette dégradation de la valeur de l'inductance est causée par la diminution de l'inductance mutuelle due à l'augmentation de l'espacement. La résistance série diminue par réduction de l'effet de peau après augmentation de l'espacement.

La figure 35 illustre l'évolution du facteur de qualité et la fréquence de résonance en fonction de l'espacement.

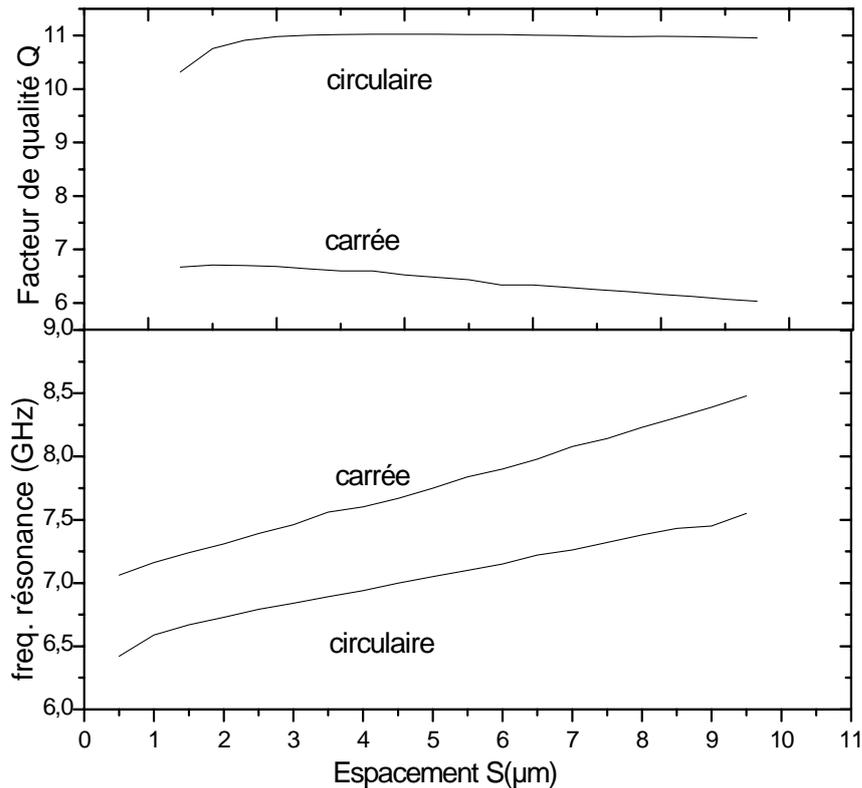


Figure 35 : L'évolution du facteur de qualité et la fréquence de résonance pour deux inductances carrée et circulaire en fonction de l'espacement S

Nous observons une pseudo stabilité du facteur de qualité pour les deux formes tout en ayant de meilleures valeurs pour la forme circulaire en comparaison à celles de la forme carrée. Nous remarquons aussi que, pour les deux formes, la fréquence de résonance a une allure croissante résultant de la dégradation des effets capacitifs.

Nous pourrions conclure essentiellement que l'augmentation de l'espacement a permis de diminuer l'effet de peau et par conséquent réduire les effets résistifs tout en gardant les valeurs de cet espacement pas trop élevées pour ne pas perdre l'effet mutuel de l'inductance.

b) Optimisation de la largeur du métal W

Cette partie concernera l'influence de la largeur du métal W sur, la valeur de l'inductance, le facteur de qualité et les parasites résistifs. Nous avons utilisé pour cette étude des inductances circulaires ayant les mêmes paramètres, la surface, le nombre de tours N pris à 2 et l'espacement S à 2 μm. La largeur de la piste métallique W varie de 16 μm à 28 μm.

Nous présentons sur la figure 36 l'évolution fréquentielle de l'inductance pour les différentes valeurs de la largeur de la piste métallique.

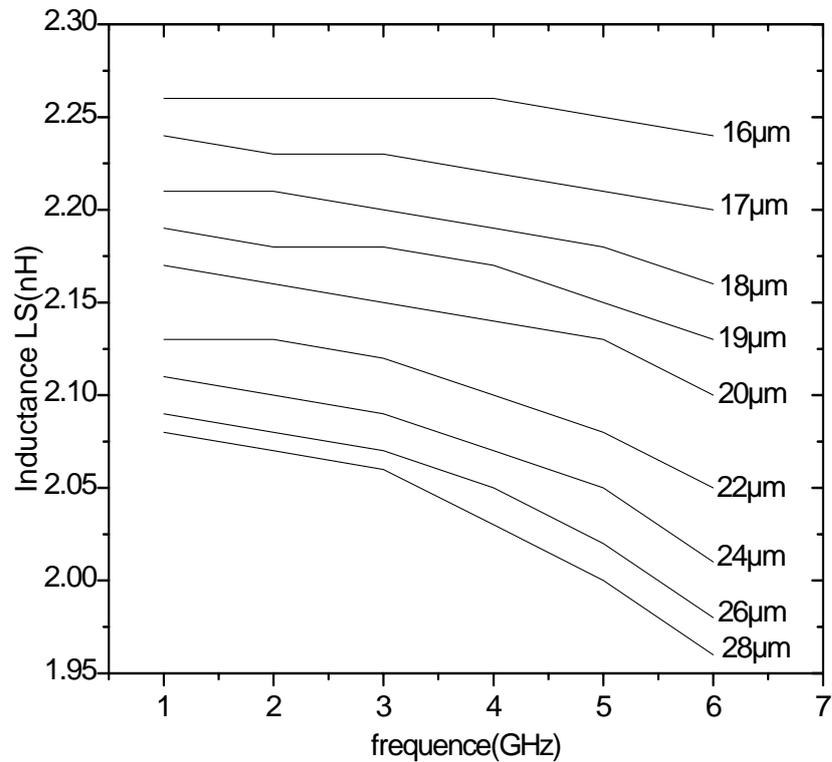


Figure 36: L'évolution fréquentielle de L_s pour différentes valeurs de W

La figure 36, nous permet de constater que la valeur de L_s subit une légère dégradation pour une largeur de piste qui augmente. Nous voyons que pour la fréquence 2GHz la valeur de L_s prend des valeurs entre 2.26nH et 2.07nH pour une largeur qui varie entre 16µm et 28µm. Cela permet de dire que nous pouvons maintenir une valeur désirée de l'inductance pour des largeurs diverses pour une fréquence désirée.

La figure 37 présente l'évolution fréquentielle de la résistance série pour les différentes valeurs de la largeur de la piste métallique.

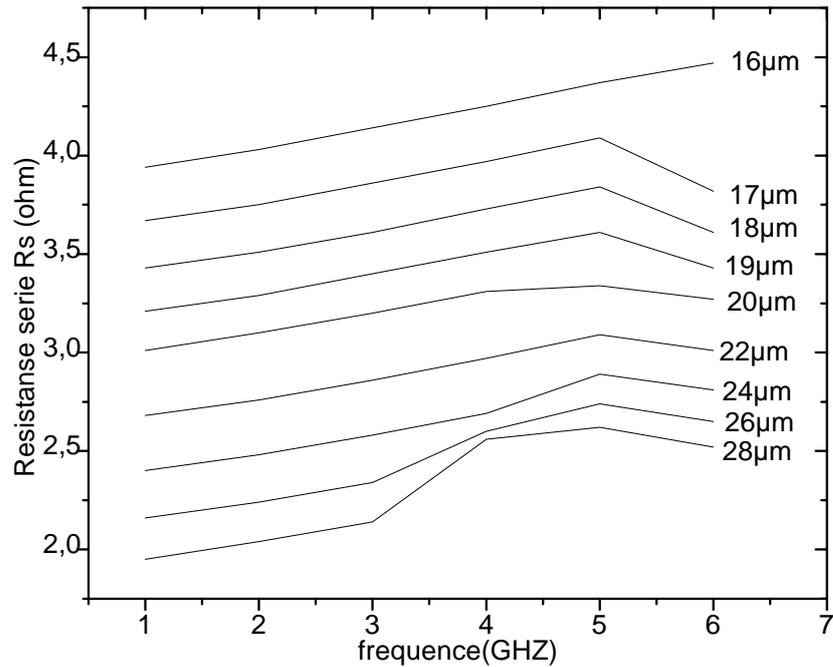


Figure 37 : L'évolution fréquentielle de la résistance série pour différentes valeurs de la largeur de la piste métallique

Elle nous montre que lorsque la largeur de la piste augmente la valeur de la résistance R_s diminue linéairement. Ceci s'explique par l'effet de peau qui diminue pour les pistes larges. La résistance série réduite donne par conséquent un facteur de qualité meilleur, ce que nous pouvons voir clairement sur la figure 38.

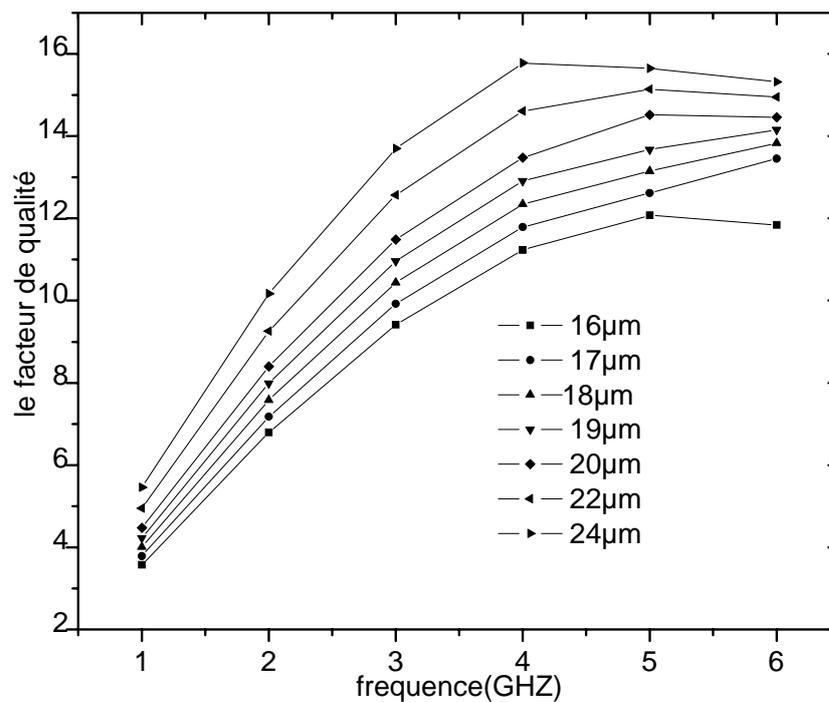


Figure 38 : L'évolution fréquentielle du facteur de qualité pour différentes valeurs de la largeur de la piste métallique

La figure 39 illustre l'évolution du facteur de qualité et la fréquence de résonance en fonction de la largeur de la piste métallique pour une fréquence d'application de 2 GHz.

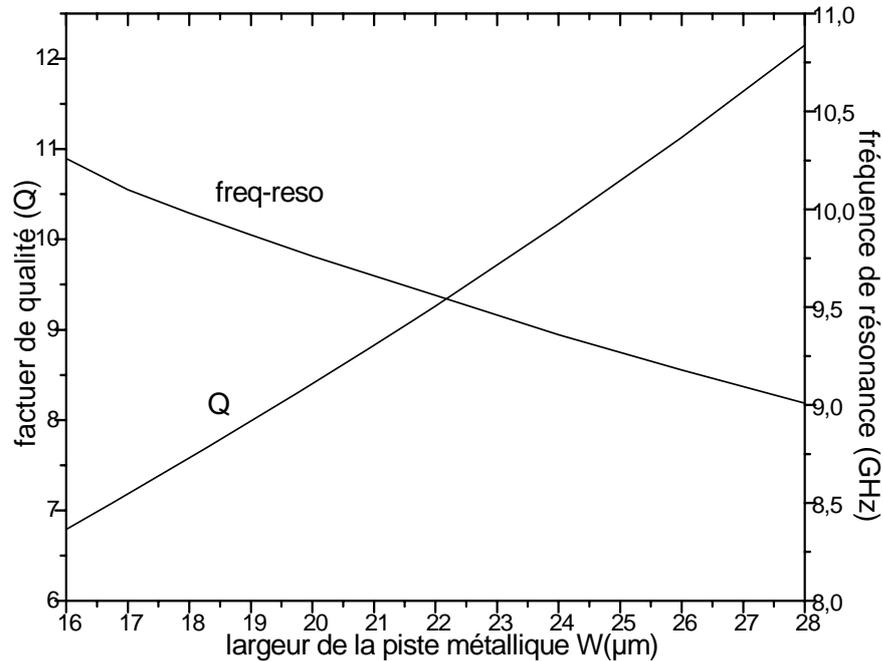


Figure 39 : Facteur de qualité et fréquence de résonance en fonction de la largeur de la piste métallique à 2GHz

L'exploitation des courbes visualisées sur la figure 39 permet de révéler que le facteur de qualité est une fonction croissante, tandis que la fréquence de résonance est une fonction décroissante. Lorsque la largeur du métal augmente, la valeur de l'inductance subit une dégradation, alors les effets capacitifs augmentent incluant une diminution de la fréquence de résonance.

Nous pourrions déduire que la largeur de la piste métallique est un paramètre très important dans la conception des inductances. L'optimisation de ce paramètre introduit des effets sur la valeur de l'inductance, la valeur de résistance série et le facteur de qualité. En effet, l'augmentation de la piste métallique permet de réduire les effets résistifs, en causant une augmentation du facteur de qualité, mais en diminuant la valeur de l'inductance.

c) Optimisation du nombre de tours

Pour l'optimisation du nombre de tours, nous utilisons des inductances circulaires de même surface. L'espacement et la largeur de la piste métallique étant fixés, nous faisons varier le nombre de tours de 1 à 4, valeur à ne pas dépasser pour assurer des formes creuses.

La figure 40 présente l'évolution fréquentielle de la valeur de l'inductance et la résistance série pour les différentes valeurs du nombre de tours.

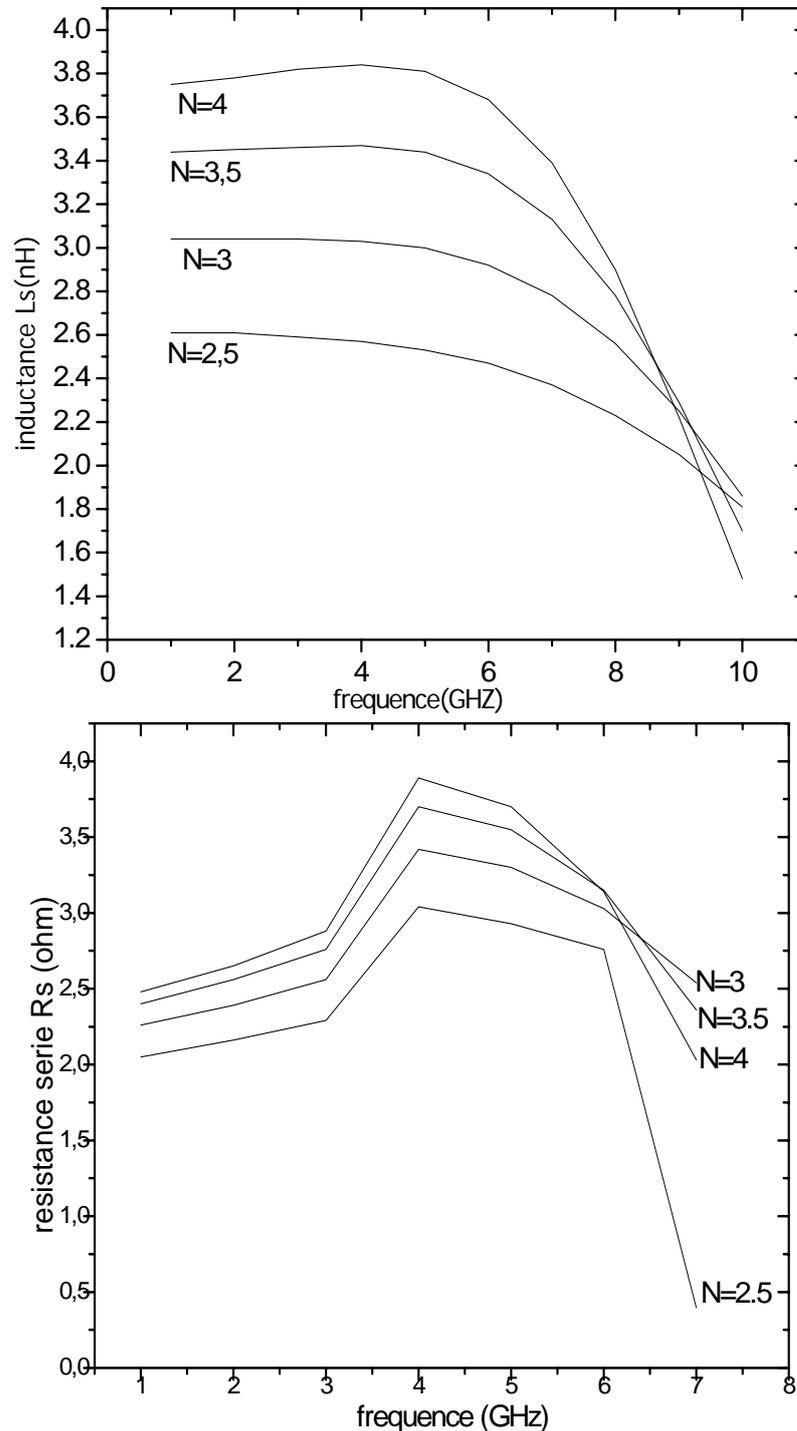


Figure 40 : L'évolution fréquentielle de la valeur de l'inductance L_s et la résistance série R_s pour différentes valeurs du nombre de tours N

En examinant la figure 40, nous constatons que la valeur de l'inductance et la valeur de la résistance série subissent une augmentation lorsque le nombre de tours augmente. En effet, lorsque le nombre de tours croît la longueur totale de la piste métallique augmente, par

conséquent la valeur de l'inductance augmente. Parallèlement la résistance série croît aussi.

Nous présentons sur la figure 41 l'évolution fréquentielle du facteur de qualité pour différentes valeurs du nombre de tours

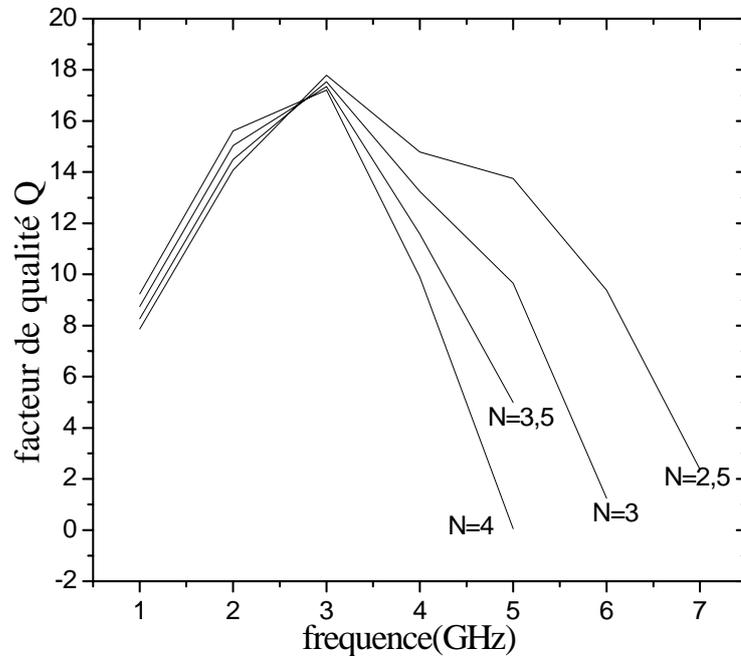


Figure 41 : L'évolution fréquentielle du facteur de qualité pour différentes valeurs du nombre de tours

Les résultats illustrés ci-dessus présentent les allures du facteur de qualité pour différentes valeurs du nombre de tours. Nous observons que les allures prennent des formes approximativement identiques, en ayant une croissance dans la gamme de 1 à 3GHz et une dégradation au delà de 3GHz.

Aux basses fréquences, la résistance série est presque constante et elle présente les parasites dominants, par conséquent le facteur de qualité augmente jusqu'à atteindre une valeur maximale. Cependant, lorsque la fréquence augmente, les parasites du substrat deviennent importants. Le courant de Foucault et l'effet de peau apparaissent, influant sur la résistance série qui dépendra dans ce cas de la fréquence. L'augmentation des parasites influe négativement sur le facteur de qualité, qui commence à dégrader jusqu'à son annulation.

La figure ci-dessous illustre la variation de la valeur maximale du facteur de qualité et la fréquence de résonance en fonction du nombre de tours.

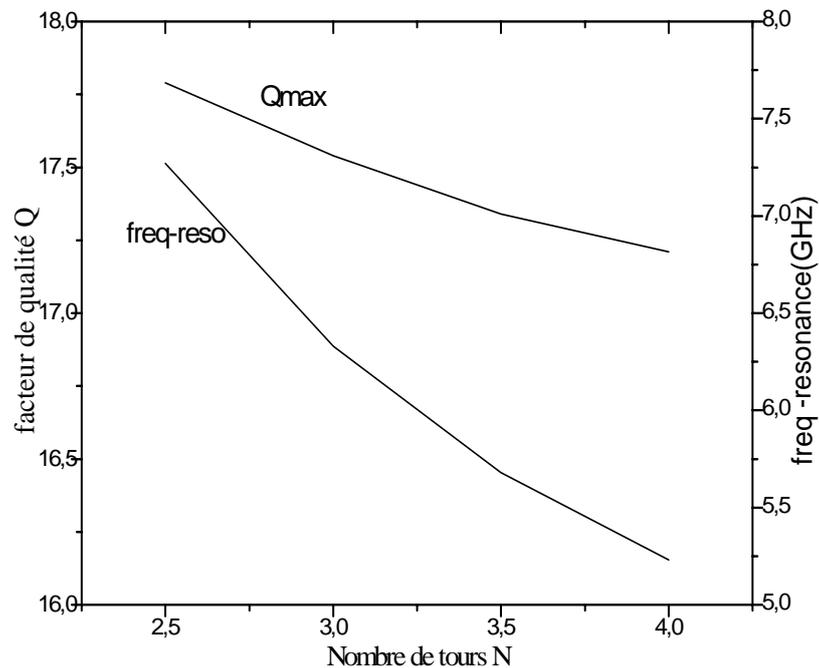


Figure 42 : Valeur maximale du facteur de qualité et la fréquence de résonance en fonction du nombre de tours N.

Sur cette figure, il est clair que la valeur maximale du facteur de qualité Q_{\max} et la fréquence de résonance diminuent lorsque le nombre de tours augmente. En effet, en haute fréquence et lorsque l'effet de peau et le courant de Foucault apparaissent, les effets parasites capacitifs et résistifs augmentent, incluant une dégradation de la fréquence de résonance et de la valeur maximale du facteur de qualité.

4-4 Le modèle à large bande et le modèle à fréquence unique :

Comme nous avons vu dans le chapitre précédent, le calcul effectué par ASITIC se base sur deux modèles, le modèle à fréquence unique (PI) permet de modéliser les effets inductifs et parasites par des éléments électriques discrets comme l'inductance, la capacité et la résistance. Tandis que le modèle à large bande de fréquences (2PORT) permet de donner la matrice de répartition S , ou la matrice impédance Z , ou la matrice admittance Y associées à la structure d'inductance en la considérant comme quadripôle. Par la suite, nous utilisons le logiciel MATLAB pour extraire les éléments du modèle électrique à partir d'équations notées dans le chapitre 3.

Dans un premier temps, nous commençons par donner les valeurs de la capacité inter spire C_S , ensuite nous allons présenter une comparaison entre les deux modèles en calculant les effets parasites du substrat, la valeur de l'inductance et la résistance série.

a) La capacité inter spire

Dans la première partie de ce chapitre, nous avons exposé dans le tableau 3 les résultats de simulation des inductances conçues. Ces résultats regroupent les valeurs des éléments du modèle électrique calculés à partir du modèle PI. En effet le calcul effectué par ce modèle ne prend pas en considération la valeur de la capacité inter spire C_S , pour cela nous présentons sur le tableau 5 les résultats de cette capacité calculée par le biais du deuxième modèle. Les valeurs de la capacité C_S sont données pour une fréquence égale à 2 GHz pour les 12 inductances conçues.

Inductance	C_S (fF)
Ind1	110.5
Ind2	107
Ind3	210.2
Cir1	184.2
Cir2	203
Oct	181.5
Sq1	297.6
Sq2	357.9
Sqm1	334.2
Sqm2	377.2
Sysq1	439.2
Sysq2	406.5

Tableau 5 : Valeurs de C_S calculée par ASITIC pour 2GHz par l'utilisation du modèle a large bande.

En analysant les résultats illustrés dans le tableau 5 et les résultats déjà présentés dans le tableau 3, nous constatons que les valeurs de la capacité inter spire sont basses de celles de la capacité parasite du substrat. Nous remarquons aussi, que les valeurs de la capacité C_S des inductances circulaires sont plus basses de celles des inductances carrées. En effet, la capacité inter spire ne dépend pas seulement de la forme de l'inductance, elle dépend aussi du nombre de tours et la surface occupée par l'inductance. Si nous revenons sur les dimensions géométriques des inductances conçues, nous constatons que les

inductances carrées monocouches et les inductances carrées symétriques occupent de grandes surfaces (dimensions extérieurs : $360\mu\text{m}$, $350\mu\text{m}$ pour les inductances carrées et $380\mu\text{m}$, $350\mu\text{m}$ pour les inductances symétriques), par conséquent, les capacités inter spires de ces structures sont très élevées. En plus nous pouvons remarquer que les inductances carrées multicouches, octogonales multicouches et circulaire multicouches possèdent des valeurs de la capacité inter spire plus élevées de celles des inductances monocouches carrées, octogonales et circulaires, car la valeur de la capacité inter spire pour les inductances multicouches sera calculée pour chaque niveau de métallisation, cela permet de l'augmenter.

Si nous comparons les résultats obtenus pour les deux inductances ind1 et ind3 qui possèdent la même surface. Nous observons que la valeur de C_S associée à l'inductance ind3 est plus élevée de celle associée à l'inductance ind1. La cause de ce résultat est due à la forme et au nombre de tours de chaque inductance. En effet, l'inductance ind3 est une inductance octogonale et son nombre de tours est de 3.5, tandis que l'inductance ind1 est une inductance circulaire et son nombre de tours égale à 2. Alors, le choix d'une forme octogonale et l'augmentation du nombre de tours augmente la capacité inter spire.

nous pouvons déduire que l'optimisation de la surface, du nombre de tours et de la forme de l'inductance en choisissant une surface réduite, un petit nombre de tours et une forme circulaire permettra de réduire la capacité interspire.

b) Les parasites du substrat

Dans ce paragraphe nous présentons dans le tableau 6 une comparaison entre les résultats de simulation, obtenues par les deux modèles pour tirer les valeurs parasites du substrat pour une fréquence de 2GHz.

Nom d'inductance	Modèle à large bande (2PORT)		Modèle a fréquence unique (PI)	
	Csub(fF)	Rsub(ohm)	Csub(fF)	Rsub(ohm)
Ind1	172.6-160.74	-0.34-1.21	172.5-160.66	0.430.347-
Ind2	188.35- 172.77	-0.49-1.42	188.25-172.68	0.50-1.42
Ind3	201.55-220.50	2.05-1.73	220-201	1.74-2.06
Cir1	314.94-365.16	0.09-0.93	320.4-370.62	0.099-0.93
Cir2	255.44-296.38	2.11-0.71	255.32-296.23	0.43-0.72
Oct	367.02-371	1.57-2.06	370.84-366.8	2.37-2.06
Sq1	336.61-393.91	4.15-4.09	336.75-393.71	4.15-3.66
Sq2	421.26-316.60	3.29-2.19	316.67- 421.05	3.29-2.2
Sqm1	393.19-393.28	7.10-0.92	393-393	7.11-0.93
Sqm2	463.21-440.28	6.70-0.94	463-440	6.71-0.95
Sysq1	465.20-466.87	2.48-2.64	466.73-465.07	2.48-2.64
Sysq2	448.19-449.5	2.56-2.72	449.37- 448.07	2.56-2.73

Tableau 6 : Comparaison entre les résultats de simulation des effets parasites du substrat pour les deux modèles

Les résultats de simulation illustrés sur le tableau 6 présentent les corrections qui ont été introduites par le modèle 2PORT sur les valeurs déjà calculées par le modèle PI. Nous constatons que les corrections offertes par le modèle 2PORT sont faibles pour les capacité parasites, elles sont de l'ordre de 0.15 à 5 femto farad, nous pouvons aussi remarquer que les corrections introduites pour les valeurs de la résistance parasite, elles sont très faibles (de l'ordre de 0.01ohm).

L'utilisation du modèle 2PORT pour extraire les parasites du substrat ne ramène pas de nouveauté, car les valeurs calculées par les deux modèles se rapprochent, mais il pourra être très utile pour le calcul de la valeur de l'inductance et la résistance série, l'objet de la partie suivante.

c) Valeur d'inductance et la résistance série

Dans ce dernier paragraphe, nous présenterons une comparaison entre les résultats de simulation calculés par les deux modèles pour extraire la valeur de l'inductance et la valeur de la résistance série. Les valeurs de l'inductance et la résistance série calculées à

partir du modèle PI sont nommées L_S et R_S successivement, tandis que celles calculées à partir du modèle 2 port sont notées par L_m et R_m .

Nous présentons sur les figures 43 et 44 les valeurs simulées de l'inductance pour les 12 inductances conçues, en utilisant les deux modèles PI et 2PORT.

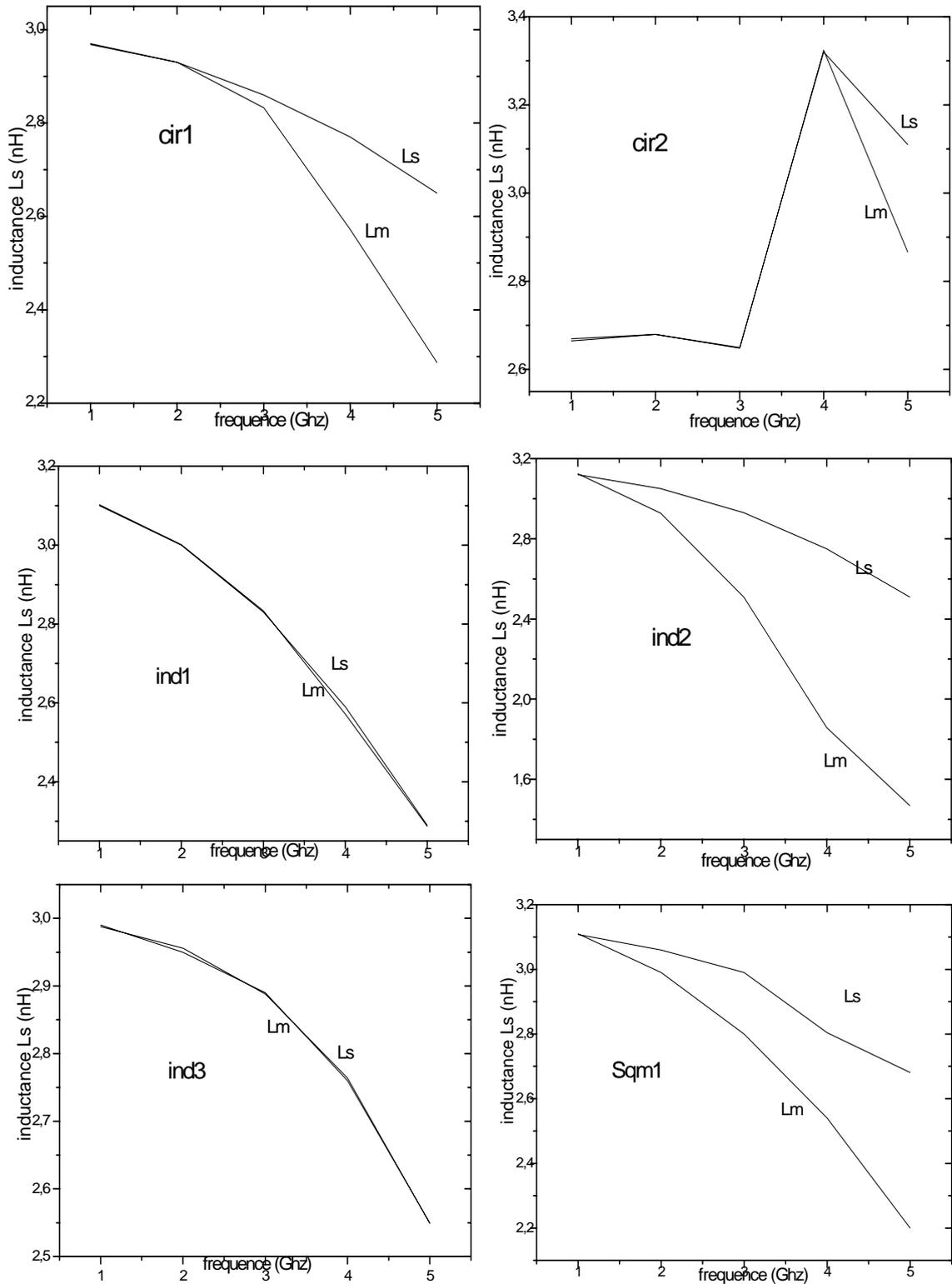


Figure 43 : Comparaison entre la valeur de L_S et L_m pour les inductances cir1, cir2, ind1, ind2, ind3 et sqm1.

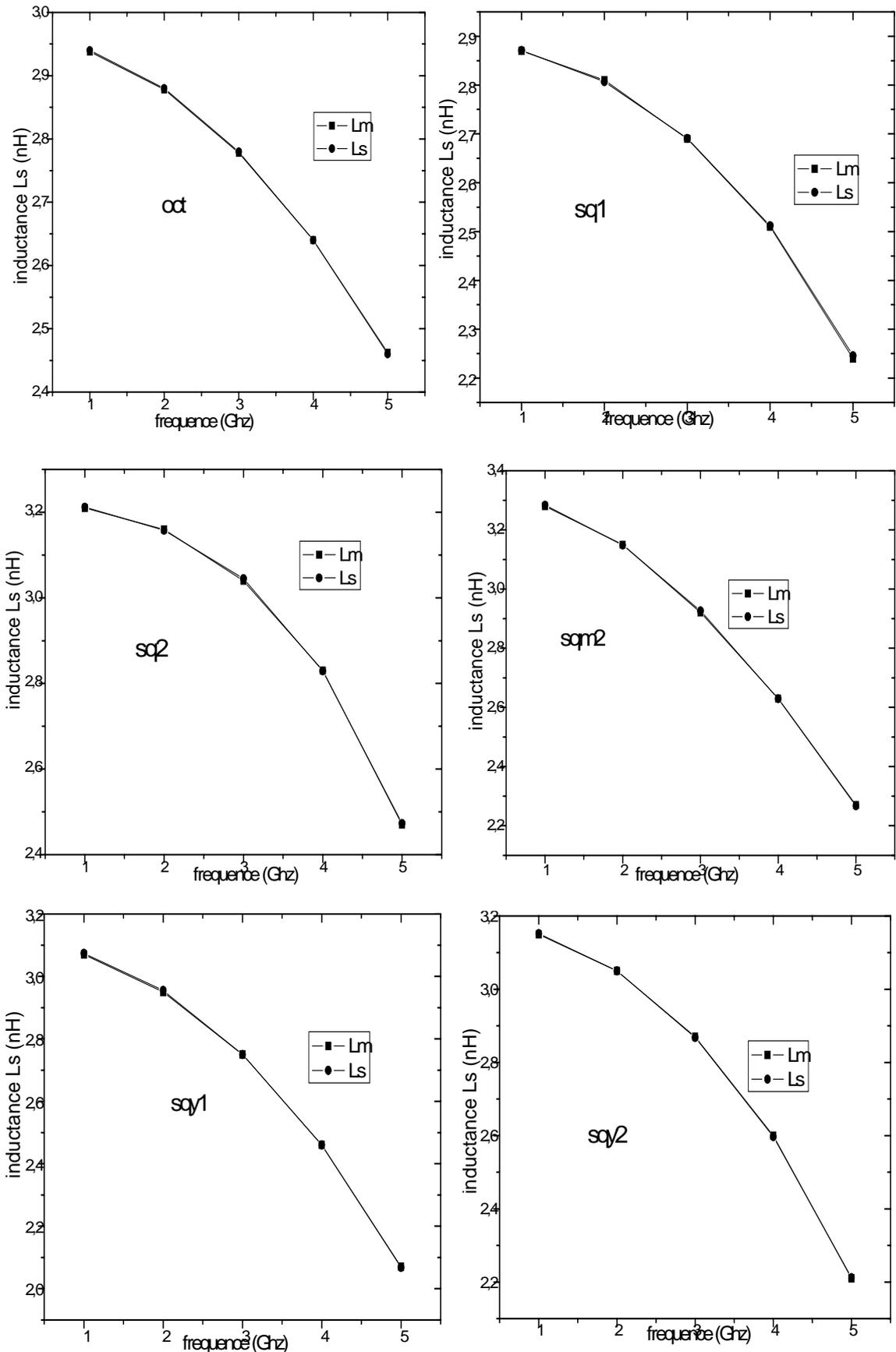


Figure 44 : Comparaison entre la valeur de L_S et L_m pour les inductances oct, sq1, sq2, sqm2, sysq1, sysq2.

L'analyse des figures précédentes nous permet de tirer quelques observations :

Nous remarquons que les graphes de L_m et L_s prennent les mêmes allures pour chaque inductance, tout en ayant une large dégradation des valeurs de L_m par rapport aux valeurs de L_s pour les inductances cir1, cir2, ind2 et sqm1. La dégradation de L_m pour les inductances ind1, ind3, oct, sq1, sq2, sqm2, sysq1, sysq2 est très faibles et peut être négligée.

Les graphes des valeurs de l'inductance pour les inductances cir1, cir2, ind2 et sqm1 indiquent qu'en hautes fréquences les valeurs de l'inductance calculées à partir du modèle 2PORT sont basses par rapport à celles calculées à partir du modèle PI. En effet la dégradation qui a été introduite par le modèle 2PORT pour ces inductances sur L_m est due à certains effets qui n'ont pas été bien traité par le modèle PI. Le modèle 2PORT prend en considération et avec plus de précision l'effet du courant de Foucault et d'autres effets parasites du substrat. Lorsque ces effets sont bien considérés les valeurs de l'inductance sont réduites.

Nous remarquons que les valeurs de l'inductance calculées à partir du modèle 2PORT pour les inductances ind1, ind3, oct, sq1, sq2, sqm2, sysq1, sysq2 sont presque identiques à celles calculées à partir du modèle PI. Alors, les corrections introduites par le modèle 2PORT sur les valeurs de l'inductance de ces bobines sont très faibles, nous pouvons dire que l'effet du courant de Foucault a été traité de la même façon pour les deux modèles dans le cas de ces inductances.

Une comparaison entre les résultats de simulation des valeurs de la résistance série calculées par les deux modèles 2PORT et PI est illustrée sur les figures 45 et 46. Nous présentons les résultats simulés de la valeur de la résistance série pour les 12 inductances conçues, en utilisant les deux modèles PI et 2PORT.

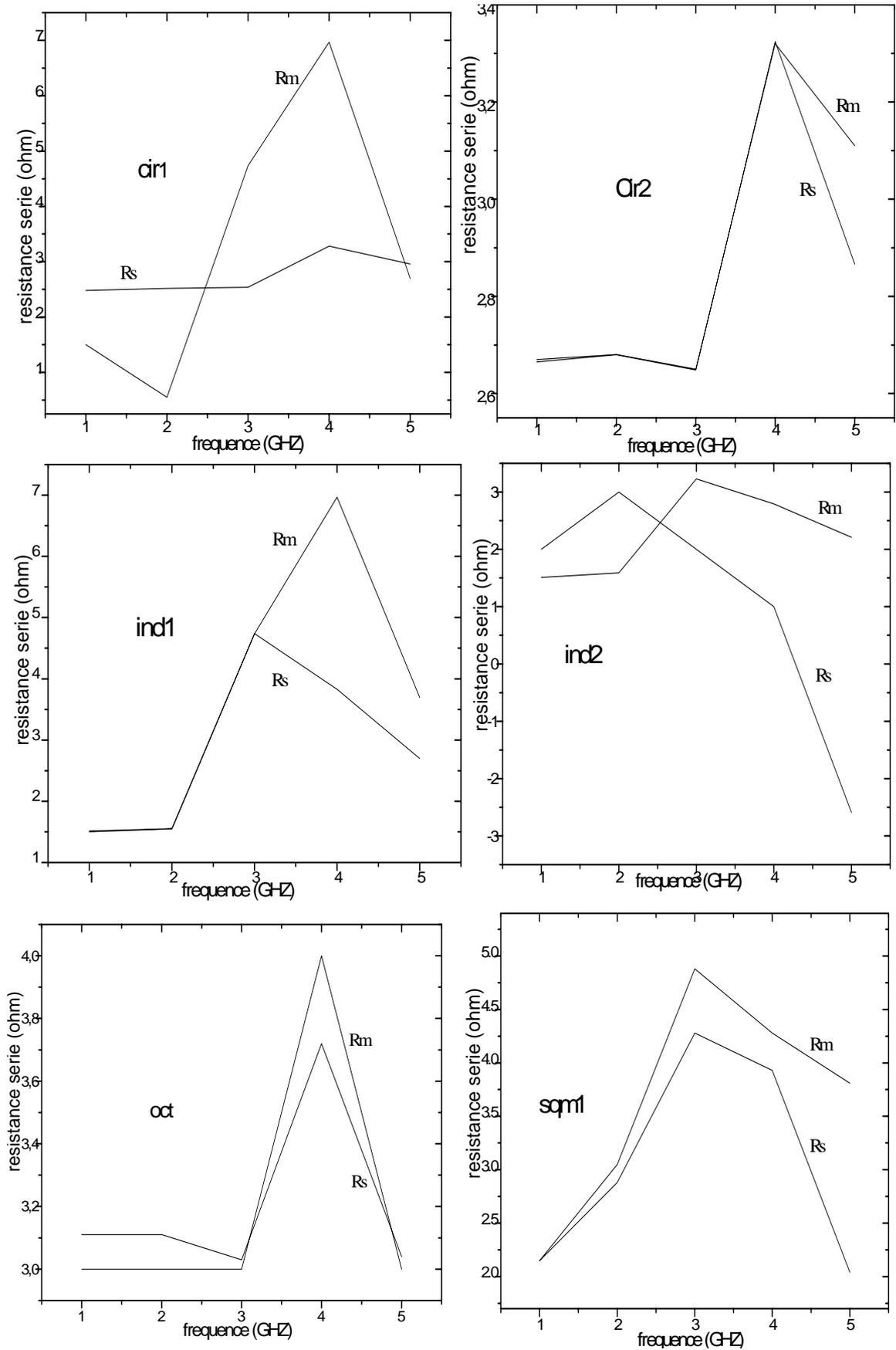


Figure45 : Comparaison entre la valeur de R_s et R_m pour les inductances cir1, cir2, ind1, ind2, oct et sqm1.

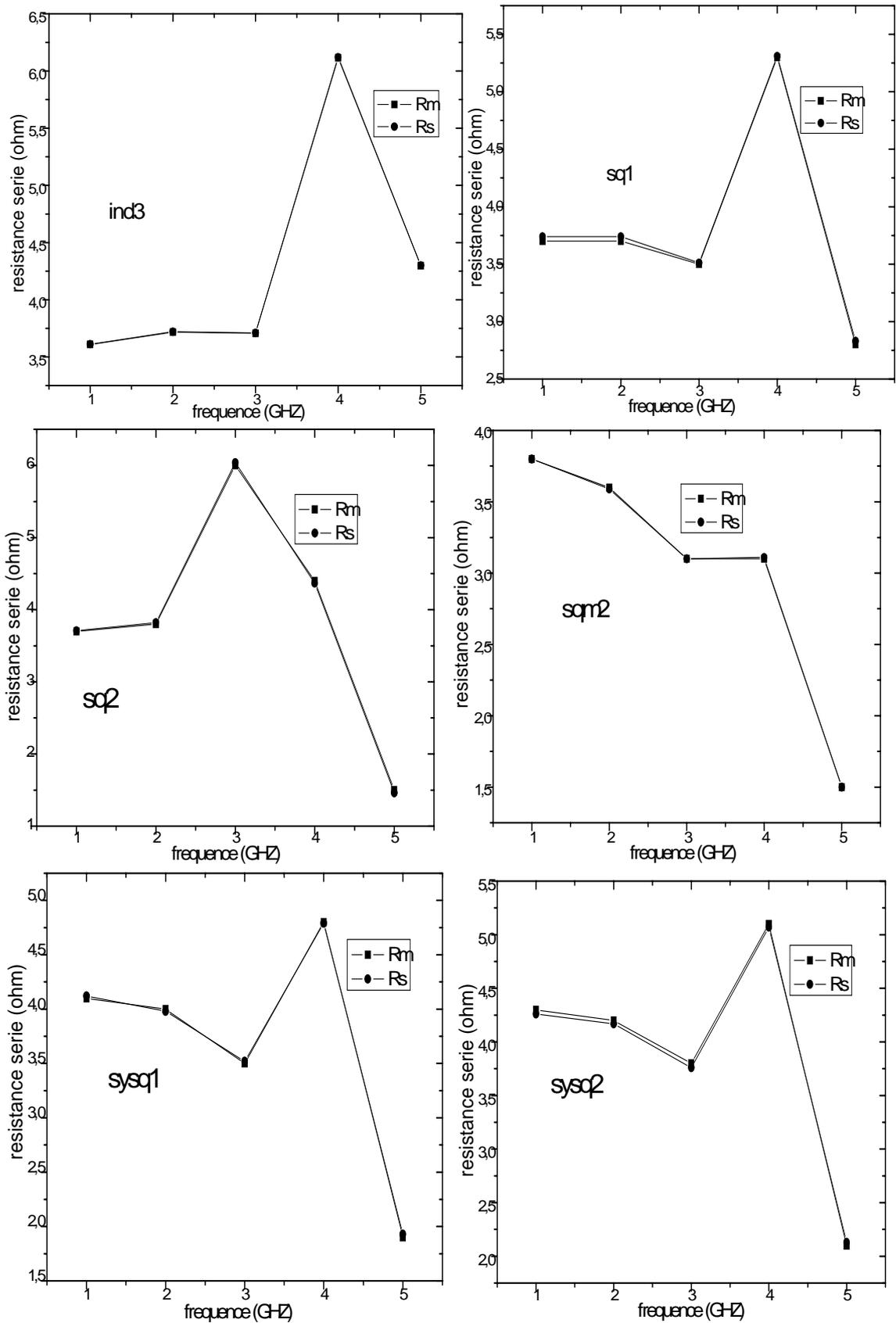


Figure46 : Comparaison entre la valeur de R_s et R_m pour les inductances ind3, sq1, sq2, sqm2, sysq1 et sysq2

L'analyse des courbes des figures 45 et 46 permet de révéler que les corrections introduites par le modèle 2PORT sur la résistance série sont très importantes pour les inductances : cir1, cir2, ind1, ind2, oct et sqm1, tandis qu'elles sont de faibles importances pour les inductances : ind3, sq1, sq2, sqm2, sysq1 et sysq2.

Nous remarquons aussi pour les hautes fréquences les allures de R_m et R_s prennent un pic pour les inductances cir1, cir2, ind1, ind2, oct, sqm1, sq1, sq2, sysq1, sysq2. Nous apercevons une augmentation des valeurs de la résistances série calculées par le modèle 2PORT pour les inductances cir1, cir2, ind1, ind2, oct, sqm1. Cette augmentation est due à l'augmentation des effets parasites résistifs ce qui n'étaient pas bien analysés par le modèle PI. Tandis que, les valeurs de la résistance série calculée par le modèle 2PORT pour les inductances ind3, sq1, sq2, sqm2, sysq1, sysq2 ont subit une légère augmentation, ce qui veut dire que les effets parasites résistifs ont été presque modélisés de la même façon du modèle PI pour ces inductances.

Nous avons présenté dans cette dernière partie une comparaison entre les résultats de simulation calculés par le modèle 2PORT et le modèle PI. La configuration 2PORT nous a permis d'analyser avec plus de précision les effets influents sur l'inductance. Nous avons pu calculer à partir de ce modèle la valeur de la capacité inter spire C_s et nous avons pu aussi voir l'influence de l'augmentation la fréquence sur la valeur de l'inductance, la résistance série, les parasites de substrat (C_{SUB} et R_{SUB}) d'une façon plus précise.

4-5- Conclusion

Nous avons présenté dans ce chapitre les résultats de simulation les plus importants effectués sur des inductances intégrées sur silicium. L'amélioration des performances de l'inductance conduit ainsi à un compromis entre la minimisation des pertes résistives dans le métal et dans le substrat par couplage capacitif. En effet, pour diminuer les pertes substrat, il faut impérativement minimiser les capacités parasites du substrat. Pour cela, il faut d'une part utiliser le niveau de métallisation le plus élevé et d'autre part minimiser au maximum la superficie de l'inductance. L'utilisation des l'inductance creuses et des spires de faible largeur est d'une grande importance. A l'inverse, pour diminuer les pertes ohmiques et donc la valeur de la résistance R_s , il est indispensable d'augmenter la largeur des spires afin d'augmenter leur section.

Les résultats que nous avons obtenues sont intéressants, car pour une technologie standards sur silicium, nous avons conçues des inductances avec un facteur de qualité

supérieur à 20 pour des formes circulaires, pour les inductances circulaires avec plusieurs couches le facteur de qualité a dépassé 13 avec une réduction de la surface occupé par l'inductance. Néanmoins la forme octogonale à donner des résultats médiocre dans les deux cas avec une seule couche et avec plusieurs couches. Les inductances carrées ont été optimisé géométriquement pour améliorer leur facteur de qualité, nous avons aboutit à un facteur de qualité entre 7.5 et 8.86 pour les inductances mono couche et multi couches. Et pour les inductances symétriques, nous pouvons dire que la symétrie de leur modèle électrique est d'une grande importance, car elles présentent une grande utilité dans certaines applications. Malgré que leur facteur de qualité reste bas, ceci nous fait penser à d'autre optimisation de ces structures pour améliorer leur facteur de qualité.

CONCLUSION ET PERSPECTIVES

Face au développement du marché des télécommunications, qui se caractérise à l'heure actuelle par la recherche de performances à des coûts minimums, et vue l'importance de l'utilisation des éléments passifs dans ce domaine, nous nous sommes intéressés dans ce mémoire à l'étude et à la conception des inductances intégrées sur silicium pour des applications RF. Dans le but de réaliser des inductances possédant de forts coefficients de qualité pour obtenir des niveaux de gains supérieurs pour les amplificateurs, et des meilleures performances en terme de bruit de phase pour les oscillateurs. Ce travail est consacré à l'étude et la réalisation des dessins de masques de 12 structures d'inductance et quatre structures de test en utilisant un processus fortement dopé de CMOS 0.35 μ m. Les structures d'inductances réalisées ont une valeur d'inductance maximum de 3 nH, ces structures incluent des structures planaires de formes carrées, octogonales, et circulaires; et des inductances avec plusieurs couches pour les mêmes formes. Toutes les inductances sont placées à l'intérieur d'une structure de test, qui permet de déduire les paramètres S de l'élément sous le test.

Nous avons présenté dans un premier temps les différentes structures d'inductances en exposant les avantages et les inconvénients de chacune d'elles. Ces structures sont abondamment utilisées dans les systèmes de communications radio sans fil. Nous avons ensuite présenté les mécanismes de pertes influant sur les performances de l'inductance intégrée sur silicium. Ceci nous a permis de chercher des solutions pour réduire les parasites et améliorer les performances. Les conclusions formulées dans le premier chapitre, lors de l'étude des mécanismes de pertes ont été utilisées pour modéliser ces effets par des éléments discrets et de chercher des méthodes pour réduire ces pertes et améliorer les performances toujours dans une technologie standard.

Nous avons ensuite exposé, une modélisation de l'inductance en prenant en compte les effets parasites. Le modèle qui a été le sujet d'étude a permis une parfaite représentation du facteur de qualité et de la fréquence de résonance. On a présenté par la suite une optimisation géométrique afin de réduire les pertes résistives et les pertes de substrat, ceci

nous a menés à nous intéresser à augmenter les performances des inductances au terme du facteur de qualité, de l'inductance et la fréquence de résonance. Les conclusions tirées de ce chapitre concernant les méthodes permettant de minimiser les effets parasites ont été prises en considération dans la conception et le choix des structures d'inductances.

Dans une autre étape de ce travail nous avons présenté la technologie utilisé dans ce travail, le choix de la technologie CMOS revient au faible coût, en plus la technologie CMOS reste nettement la plus attrayante pour les marchés grand public. Ensuite nous avons donné la présentation des outils de simulation utilisés dans notre travail. le logiciel ASITIC nous a permit d'étudier les phénomènes qui influent sur l'inductance intégrée sur silicium et de tirer les éléments du modèle électrique. Enfin, nous avons présenté une méthode de caractérisation des inductances intégrées sur la technologie CMOS 0.35 μm , en s'appuyant sur les quatre structures de test. Après avoir choisi le modèle électrique représentant l'inductance et par le passage des paramètres S aux paramètres Y et par la suite aux paramètres Z, nous somme parvenus a une étude bien détaillé. Cette étude qui permet de déduire les éléments du modèle électrique à utiliser.

Les différents travaux de simulation regroupe le travail de simulation et de conception effectuées sur les inductances réalisées sur la technologie CMOS de TSMC. Ces inductances ont été conçues dans l'optique d'une comparaison entre les structures réalisées dans l'obtention de meilleures performances au terme du facteur de qualité, valeur de l'inductance et fréquence de résonance. Nous avons présenté les dessins de masques des inductances réalisées dans le cadre de notre travail. Ensuite nous avons donné les causes qui nous ont conduit à choisir les paramètres de conception.

L'optimisation qui a été représentée dans ce travail a permit de donner des résultats satisfaisants au terme du facteur de qualité, valeur d'inductance, et fréquence de résonance. Les résultats obtenus pour les inductances circulaires monocouches et a plusieurs couches permettent de conclure principalement que cette forme doit jouer un rôle de plus en plus important au sein des puces radio entièrement réalisées sur technologie CMOS et dédiées aux applications RF.

REFERENCES BIBLIOGRAPHIQUES

- [1] N.M. Nguyen and R.G. Meyer, "Si Incompatible inductors and LC passive filters," IEEE J. Solid-State Circuits, vol. 25, pp. 1028- 1030 Aug. 1990.
- [2] David CORDEAU "Etude comportementale et conception d'oscillateurs intégrés polyphasés accordables en fréquence en technologies Si et SiGe pour les radiocommunications". Thèse de doctorat Novembre 2004
- [3] Ali M. Niknejad, and Robert G. Meyer, "Analysis of Eddy-Current Losses Over Conductive Substrates with Applications to Monolithic Inductors and Transformers" IEEE transactions on microwave theory and techniques, p 166- 176 vol 49, no 1, january 2001
- [4] L. Bouzerara, M.T. Belaroussi and A. Ziouche "A 2 GHz Low Power, Highly Tunable and Low Phase Noise Monolithic LC VCO in 0.35 μ m CMOS Technology". IEEE J. Solid-State Circuits vol 54 pp 211-214 JUIN 2004
- [5] S. Musunuri, P. L. Chapman "Multi-layer Spiral Inductor Design for Monolithic DC-DC Converters" 0-7803-7883 p 1270- 1275 2003 IEEE
- [6] Chih-Chun Tang, , Chia-Hsin Wu, , and Shen-Iuan Liu "Miniature 3-D Inductors in Standard CMOS Process" IEEE JOURNAL OF SOLID-STATE CIRCUITS, VOL. 37, NO. 4, APRIL 2002 p 471-480
- [7] H.Y David Yang "design considerations of differential inductors in CMOS Technology for RFIC" TUID-2 0-7803-8333-8- p 449-452 2004 IEEE Radio frequency integrated circuits symposium
- [8] A. M Niknejad and R. G. Meyer, "Analysis, Design, and Optimization of Spiral Inductors and Transformers for Si RF IC's," IEEE Journal of Solid State Circuits, vol. 33, pp. 1470-1481, 1998.
- [9] S.Mohan, M. Hershenson, S. Boyd, and T. H. Lee, "Simple Accurate Expressions for Planar Spiral Inductances," IEEE Journal of Solid-State Circuits, vol. 34, pp. 1419 - 1425, 1999.
- [10] A. M Niknejad "Analysis, design, and optimization of spiral inductors and transformers for SI RF ICS"; master thesis 1999.
- [11] W. Y. Yin, S. J. Pan, L. W. Li, Y. B. Gan "Model Description and Parameter Extraction of On-Chip Spiral Inductors for MMICs" p 111-121 2004 Wiley Periodicals
- [12] Sang-Gug LEE, So-BongShin and Gook-Ju IHM "Measured Results on Symmetric Dual-Levev Spiral Inductors for RF ICS" IEICE TRANS, ELECTRON, VOL. E84-C, NO.6 p 845-848 JUNE 2001.
- [13] Robert J. Zavrel Jr. and Sotiris Bantas, Helic S.A. and Ron Wood, Atmel Corp. "Integration of Silicon with Passive Devices Yields Advantages in Wireless Design" p 56-61 From High Frequency Electronics Copyright 2003 Summit Technical Media.
- [14] S Musunuri,, P L. Chapman, , J Zou, , and C Liu, "Design Issues for Monolithic DC-DC Converters" IEEE TRANSACTIONS ON POWER ELECTRONICS, VOL. 20, NO. 3, p 639- 649 MAY 2005.

- [15] Joachim N. Burghartz, D. C. Edelstein, Mehmet Soyuer, H. A. Ainspan, and Keith A. Jenkins "RF Circuit Design Aspects of Spiral Inductors on Silicon" IEEE JOURNAL OF SOLID-STATE CIRCUITS, VOL. 33, NO. 12, page 2028-2034 DECEMBER 1998
- [16] G Lihui, Y Mingbin, C Zhen, H Han, and Z Yi High Q "Multilayer Spiral Inductor on Silicon" Chip for 5.6 GHz" IEEE ELECTRON DEVICE LETTERS, VOL. 23, NO. 8, p 470-472 IEEE 2002
- [17] X.Sun, G. cachon, and W. De Raedt « An Optimized Model of Skin Effect for On-Chip Spiral Inductors" TU1D-1 0-7803-8333-8- p 445-448 Radio frequency integrated circuits symposium 2004 IEEE
- [18] Y Cao, R A. Groves, X Huang, N D. Zamdmer, J Plouchart, R A. Wachnik, T King, and C Hu, "Frequency-Independent Equivalent-Circuit Model for On-Chip Spiral Inductors" IEEE JOURNAL OF SOLID-STATE CIRCUITS, pp 419-427 VOL. 38, NO. 3, MARCH 2003,
- [19] B A Georgescu, "Spiral Inductor Q-Enhancement Techniques" Master thesis 2003
- [20] Joonho Gil and Hyungcheol Shin "A Simple Wide-Band On-Chip Inductor Model for Silicon-Based RF ICs" IEEE TRANSACTIONS ON MICROWAVE THEORY AND TECHNIQUES, VOL. 51, NO. 9, p 2023-2028. SEPTEMBER 2003
- [21] M D. Rosales "Characterization, Comparison and Analysis of Monolithic Inductors in Silicon for RF IC's" master thesis 2003.
- [22] Paolo Arcioni, Rinaldo Castello, Luca Perregrini, Enrico Sacchi, and Foamcess Svelto "An innovative modelisation of loss mechanism in silicon integrated inductors" IEEE transactions on circuits and systems II analog and digital signal processing page 1453-1460 Vol 46 N°12 december 1999.
- [23] Zewen Liu, Yong Ding, Litian Liu, Zhijian Li "Fabrication planar coil on oxide membrane hollowed with porous silicon as sacrificial layer", Beijing 100084 pp 112-117, China Received 29 July 2002; received in revised form 20 May 2003; accepted 3 June 2003
- [24] H. M. Greenhouse, "Design of Planar Rectangular Microelectronic Inductors" IEEE Transactions on Parts, Hybrids, and Packaging, pp. 101-110, 1974.
- [25] Niu Jin, Sung-Yong Chung, Ronghua Yu, Sandro J. Di Giacomo, Paul R. Berger, and Phillip E. Thompson "RF Performance and Modeling of Si/SiGe Resonant Interband Tunneling Diodes" IEEE TRANSACTIONS ON ELECTRON DEVICES, VOL. 52, NO. 10, OCTOBER 2005
- [26] Vincent Goffroy "Conception de circuits intégrés radio fréquences sur technologie CMOS pour des applications sans fil grand public" pp 118-133 Thèse de doctorat 2002.
- [27] F. Roozeboom a, A.L.A.M. Kemmeren, J.F.C. Verhoeven, F.C. van den Heuvel, J. Klootwijk, H. Kretschman, T. Fric[~] b, E.C.E. van Grunsven c, S. Bardy d, C. Bunel d, D. Chevie d, F. LeCornec d, S. Ledain d, F. Murray d, P. Philippe d San Diego, Jan. "Passive and heterogeneous integration towards a Si-based System-in-Package concept" p 391 – 396. 2006 Thin Solid Films
- [28] Choon Beng Isa, Ben Hwee Ong, Kwok Wai Chan, Kiat Seng Yeo, Jian Guo Via and Manh Anh Do " Physical Layout design optimization of integrated spiral inductors for silicon based RFIC applications" IEEE transactions on electron devices Vol 52 N° 12 , P 2559-2567 December 2005.

- [29] William B.Kuhn and Naveen K.Yanduru "Spiral inductor substrate loss modeling in silicon RFICs" Microwave journal March 1999.
- [30] Seong-Mo Yim, Tong Chen, and Kenneth K. O "The Effects of a Ground Shield on the Characteristics and Performance of Spiral Inductors" IEEE JOURNAL OF SOLID-STATE CIRCUITS, VOL. 37, NO. 2,p 237-244 2002.
- [31] ASAD A. ABIDI, GREGORY J. POTTIE AND WILLIAM J. KAISER "Power-Conscious Design of Wireless Circuits and Systems" 0018-9219 p 1528-1545 PROCEEDINGS OF THE IEEE, VOL. 88, NO. 10, OCTOBER 2000
- [32] Tallis Blalack, Youri Leclercq and Patrick Yue "On Chip RF Isolation Techniques" 12.1 p205-211 IEEE BCTM 2002
- [33] Tao Wang, Chun-Hao Chen, Yo-Sheng Lin, and Shey-Shi Lu,"A Micromachined CMOS Distributed Amplifier by CMOS Compatible ICP Deep-Trench Technology" IEEE ELECTRON DEVICE LETTERS, VOL. 27, NO. 4, p 291- 293 IEEE 2006
- [34] H. Khatri, L.E. Larson, D.Y.C. Lie "On-Chip Monolithic Filters for Receiver Interference Suppression using Bond-Wire Inductors (Student Paper)" SiRF 0-7803-9472- p 166-169 IEEE 2006
- [35] B. PARVAIS, M. GOFFIOL, D. VANHOENACKER, J.-P. RASKIN « OSCILLATEURS RF INTEGRES EN TECHNOLOGIE CMOS/SOI » 4D-1812èmes Journées Nationales Micro ondes, 16-17-18 mai 2001 – POITIERS
- [36] T.Yeung, J.C Ho, M.C. Poon. "Design considerations for extremely high-Q integrated inductors and their application in CMOS RF power amplifier" page (s): 265-268 Radio and Wireless Conference, 1998,
- [37] Ali M. Niknejad, Ranjit Gharpurey, E, and Robert G. Meyer, " Numerically Stable Green Function for Modeling and Analysis of Substrate Coupling in Integrated Circuits" IEEE TRANSACTIONS ON COMPUTER-AIDED DESIGN OF INTEGRATED CIRCUITS AND SYSTEMS, p 305-315 VOL. 17, NO. 4, APRIL 1998.
- [38] www.mentor_graphic.com
- [39] Tung Sheng Chen, Joseph Der-Son Deng, Chi-Yuan Lee, and Chin-Hsing Kao "Improved performance of Si-based Spiral inductors" IEEE MICROWAVE AND WIRLESS COMPONEMTS LETTERS VOL 14 N°10 page 466-468 OCTOBER 2004