

Ministère de l'Enseignement Supérieur
et de la Recherche Scientifique
Université de SAAD DAHLAB de BLIDA
Faculté des sciences de l'ingénieur
Département Aéronautique



الجامعة الجزائرية للدراسات والبحوث
جامعة سعد داهلاب بليدة
كلية العلوم الهندسية
القسم تخصص الطيران

*Mémoire de fin d'études pour l'obtention du diplôme
Des Etudes Universitaire Appliquées*

Option : **AVIONIQUE**

6

Thème :

**Etude et simulation de la PLL avec application,
modulation et démodulation (AM,FM)**

Encadré par :

M^r DILMI Ismail

présenté par :

M^r HADDOUCHE Abdelkadir

M^r BENOUMANE Abdelmoumene

Promotion: 2006

SOMMAIRE

Remerciement

Dédicaces

Résumé

Introduction Générale

CHAPITRE I : Généralités

I-1-Introduction Générale	01
I-2-Les domaines d'application de la PLL.....	03

CHAPITRE II: Etude du principe de fonctionnement d'une PLL

II-1-Le verrouillage de phase.....	04
------------------------------------	----

II-1-1-Les boucles à verrouillage de phase.....	05
II-1-2-Classification d'une PLL.....	07

II-2-Les boucles asservissement de phase

II-2-1- Fonction de transfert des différents éléments.....	10
II-2-2 - Fonction de transfert d'une PLL.....	11
II-2-3-Précision de l'asservissement de phase.....	18

II-3- Principe de fonctionnement d'une boucle à verrouillage de phase : plage de capture et plage de verrouillage

II-3-1- La boucle à verrouillage de phase vue par l'électronicien.....	20
II-3-2- La boucle à verrouillage de phase vue par l'automaticien.....	21
II-3-3- Boucle à verrouillage de phase logique.....	26
II-3-4- Détermination expérimentale des plages de capture et de verrouillage.....	27
II-3-5- Observation de l'accrochage d'une boucle à verrouillage de phase.....	32
II-3-6- Point de fonctionnement stable pour $f_e = F_0$	33

II-4-Schéma synoptique d'une PLL.....	34
---------------------------------------	----

II-5-Les éléments de la PLL	35
-----------------------------------	----

II-6-Les applications du PLL

II-6 -1-Multiplication De Fréquence	47
II-6-2-Synthèse De Fréquence.....	48
II-6-3-modulateur de fréquence.....	50
II-6-4- démodulateur de fréquence	51

CHAPITRE III : Etude en simulation de la PLL

III-1-Définition du simulink	55
III-1-2-Simulation de la PLL.....	57

CHAPITRE IV : Simulation d'une application du PLL

IV-1-Modulation- démodulation

IV-1-1-Modulation d'amplitude et Démodulation d'amplitude AM.....	66
IV-1-2-Modulation de fréquence et Démodulation de fréquence FM.....	71
IV-2-Simulation d'une modulation et démodulation AM et FM.....	74

CONCLUSION

Bibliographie

Annexe

Liste des Figures

Les abréviations

Remerciements

Avant tout on tien à remercier Dieu tout puissant de nous avoir donné la foi et la confiance en soi, ainsi que la volonté et le courage, pour pouvoir nous voir un devant le jury, afin d'obtenir un ce diplôme. Nous remercions encore tous ceux qui ont aide de près ou de loin ; par leur encouragement, leurs conseils et leurs critiques.

*Nous tenons à remercier chaleureusement **Mr DILMI Ismail** notre promoteur qui a bien nous encadré dans ce travail.*

Notre profonde gratitude à l'ensemble des enseignements de IAB qui ont contribué à assurer notre formation. On les prie de bien vouloir accepter notre gratitude, en espérant que ce modeste travail fera crédibilité à leurs efforts.

A decorative border with intricate floral and scrollwork patterns surrounds the text. The border features stylized flowers and swirling lines that frame the central content.

Dédicaces

Enfin, il est arrivé pour moi le moment pour prouver mon amour à ce que j'ai de plus précieux au monde.

Ma mère qui ma toujours soutenue et guidée tout le long de ma vie.

A mon père, qui a m'aidé toujours dans les cas difficiles.

A mes chers frères : Mamar, Youssef, Khalil, Abdellah.

A mes chères sœurs.

A tout ma famille.

A tout mes oncles.

A mon binôme Abdelmoumene et toute sa famille.

A mon copin de la chambre sadik.

A mes chers mis : Bouabdallah, Mohamed, Sabeur, Faissal, Benouda, Mustafa, Abdelkader, Elhabib, Hakim, Houcine et surtout Boudey Ahmed.

Abdelkadir

Dédicaces

Je dédie ce modeste travail à :

Ma mère qui ma toujours aidé à traverser cette difficile route la route de la vie.

A mon père, qui est mon grand exemple en sacrifie.

A mon frère Abdelrahim, ma sœur , et mes petits frères jumeaux Safa et Mohammed anouar .

A mes grand parents, mes oncles, mes tantes, mes cousins, mes cousines et toutes la famille.

A mon binôme Abdelkadir et toute sa famille.

A mes chers amis : Adel, Noureddine, Yousri, Tarek, Mohammed ,Sofian, et Boudey Ahmed.

Abdelmoumene

ملخص

إن هذا العمل يعطينا نظرة عامة على مختلف أجزاء الدارة المدمجة التي تسمى بـ(PLL). كما يتطرق الى كيفية عمل هذه الأخيرة من وجهات نظر مختلفة, الكترونية وأتوماتكية. كما قمنا ايضا في هذه الدراسة الى استعمال طريقة المحاكات بواسطة (MATLAB Simulink) للحصول على نتائج استجابة هذه الدارة وبعض تطبيقاتها.

Résumé

Ce travail nous donne une vue générale sur les différents blocs du circuit intégré, qu'il s'appelle (PLL). Comme il donne la méthode du travail de cette dernier au différents points de vue Electronique et Automatique.

on a utilisé dans cette étude la simulation avec le MATLAB Simulink pour obtenir la réponse de cette circuit et leur applications .

INTRODUCTION GENERALE

La boucle à verrouillage de phase (P.L.L. Phase Lock Loop) est un système qui permet d'asservir la phase d'un oscillateur local à celle d'un signal extérieur (techniquement, il est, en effet impossible de fabriquer deux oscillateurs ayant des phases instantanées rigoureusement identiques ou même ne dérivant pas l'une par rapport à l'autre). On les trouve dans la plupart des systèmes électroniques usuels : synthétiseur de fréquence, récepteur de télévision, téléphones cellulaires... En général, elle se présente sous forme de circuit intégré (4046 par exemple...).

Cependant, par la suite, nous essaierons d'expliquer le fonctionnement des différents blocs afin de comprendre le principe de travail du PLL. Comme on va voir aussi les différentes applications et la simulation de ce dernier, et l'une de ces applications qu'elle est la modulation et la démodulation (AM,FM), en utilisant le MATLAB Simulink pour l'observation des différentes phases (capture, verrouillage, décrochage).



CHAPITRE I

Généralités

I-1- INTRODUCTION GENERALE:

Les asservissements de phase réalisés par la Nature, l'Homme a créent ses propres asservissements de phase à des fins multiples. La réalisation électronique d'un asservissement de phase par rétroaction est appelée une boucle à verrouillage de phase.

L'utilisation des boucles à verrouillage de phase, que l'on notera BVP par la suite, est tellement répandue de nos jours qu'un foyer occidental moyen comporte au moins une dizaine d'exemplaires de ce circuit (au moins 2 exemplaires dans un téléviseur, 4 dans un ordinateur, 1 dans une radio, 1 dans un téléphone, 1 dans une télécommande, etc.).

Une des premières observations scientifiques du phénomène de synchronisation a été celle de Huygens en 1673 qui a observé la synchronisation de deux horloges à balancier.

Les premières études systématiques avec une réalisation électronique d'un asservissement de phase semblent être celle de Appleton en 1922 et de van der Pol en 1927, qui ont montré que l'on pouvait asservir la phase d'un oscillateur à triodes au moyen d'un signal de fréquence légèrement différent.

La première description connue d'une BVP par rétroaction est publiée par l'ingénieur français de Bellescize en 1932 à propos de la réception synchrone de signaux radio. de Bellescize proposait un asservissement de phase dans le but de reconstruire la porteuse d'un signal modulé en amplitude pour opérer à la réception de ce signal.

Ce principe de réception dit hétérodyne a été en un premier temps délaissé, car trop complexe, au profit de la réception synchrone pendant quelques années.

La réception hétérodyne est ensuite devenue incontournable avec le besoin d'accroître les performances et avec la réduction des coûts apportée par l'électronique intégrée.

La première utilisation intensive de la BVP a été la synchronisation horizontale et verticale des balayages des postes de télévision. Le départ du balayage de chaque ligne et

celui de chaque demi-trame d'une image télévisée est donné par une impulsion dans le signal vidéo.

Une méthode directe pour construire le balayage du tube de télévision consiste à faire partir une trame de balayage dès l'apparition d'une impulsion.

Mais cette méthode étant très sensible à l'absence d'impulsion et aux bruits, l'utilisation de deux oscillateurs libres synchronisés sur les impulsions du signal vidéo a été mise en oeuvre en utilisant le verrouillage de phase.

Ceci permet d'obtenir un balayage en l'absence d'impulsion et surtout de rejeter l'effet du bruit sur le déclenchement des trames provoquant des tremblements de l'image et une mauvaise résolution.

Les vols spatiaux ont apporté des contraintes fortes sur les circuits de télécommunication : faible puissance des signaux porteurs (10mW) et donc fort rapport signal-bruit, mais aussi un déplacement de la fréquence porteuse due à la dérive en température des oscillateurs embarqués et à l'effet Doppler lié au déplacement des satellites.



CHAPITRE II

Etude du principe
de fonctionnement
d'une PLL

II-1- Le verrouillage de phase :

Le principe de verrouillage de phase est basé sur l'utilisation d'un oscillateur dont la fréquence est contrôlée. Il consiste à synchroniser les oscillations de cet oscillateur sur celles d'un signal d'entrée.

Cette synchronisation fait tendre la phase de l'oscillateur vers celle du signal de référence par le biais d'une rétroaction.

Un exemple simple est celui du rythme biologique d'un être vivant, tel que l'être humain, qui vit en phase avec l'alternance du jour et de la nuit.

Ce type de comportement en poursuite de phase correspond au comportement des circuits de démodulations dans les télécommunications ou dans la télémétrie. La phase des signaux synchroniseurs est dans ce type d'applications modulée ou simplement perturbée par l'information à véhiculer (télécommunications) ou par l'information liée à la grandeur à mesurer (mesure par effet Doppler).

Dans ces applications la phase transitoire doit être la plus courte possible. Pour cela on cherche à faire varier rapidement la fréquence de l'oscillateur, souvent par un procédé non-linéaire, jusqu'à ce que les fréquences soient suffisamment proches puis on corrige l'erreur de phase avec de faibles variations.

II-1-1-Les boucles à verrouillage de phase :

Bien qu'il y ait de nombreuses manières de réaliser la BVP, sa structure globale, présentée dans la Figure II-1 n'évolue pas.

Une boucle à verrouillage de phase BVP est constituée des trois blocs suivants :

Premier bloc : un Détecteur de Phase ou d'un Détecteur de Phase-Fréquence fournissant une information sur l'erreur de phase entre le signal d'entrée V_{ref} le signal bouclé V_b , cette information dépend aussi de l'erreur de fréquence dans le cas du DPF(Détecteur de Phase-Fréquence) ;

Deux émues blocs : un Filtre Passe-Bas chargé de filtrer les perturbations, stabiliser la boucle, et lisser la tension V_{oct} transmise à l'oscillateur contrôlé en tension ;

Trois émues blocs : un Oscillateur Contrôlé en Tension ou un Oscillateur Contrôlé Numériquement qui délivre un signal de fréquence instantanée directement proportionnelle à la tension d'entrée. La BVP effectue un asservissement sur la phase du signal bouclé V_b . Lorsque le signal de sortie V_s est en retard sur le signal d'entrée V_{ref} , le DP, à travers le filtre et l'OCT, augmente la fréquence du signal de sortie, ce qui a pour effet de réduire ce retard. Inversement, une diminution de la fréquence de l'OCT réduit l'écart de phase lorsque la sortie est en avance.

La notion d'entrée et de sortie d'une BVP est relative au type d'application qui lui est destinée, la Figure II-1 montre les points d'entrée-sortie de quelques applications.

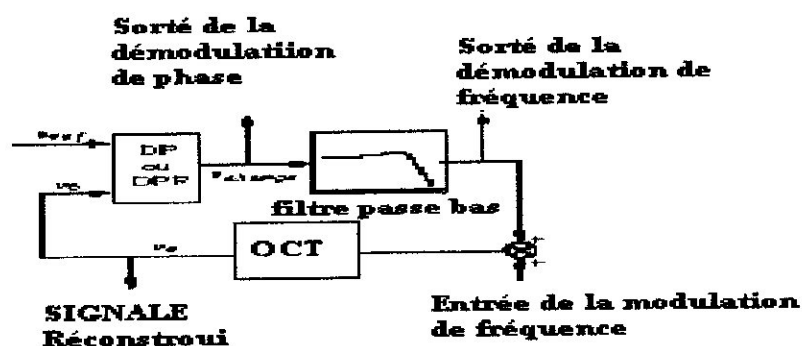


Figure II-1 : boucle à verrouillage de phase

Type de détecteur de phase	Type d'oscillateur contrôlé	
	Analogique (VCO)	Numérique (VCO)
Echantillonneur	S-PLL Sampled pll	DS-PLL Digital sampled pll
Multiplieur	A-pll Analog pll	D-pll Digital pll
Logique	XOR-pll	XOR-DPLL
Séquentiel	CP-pll Charge Pump pll	CUDD-pll Counting UP/Down Digital pll
Logiciel	—	Soft-pll Software pll

Tableaux II-1 : de Nomenclature des BVP

II-1-2-Classification des BVP (PLL):

De la littérature concernant les BVP se dégage un grand nombre d'appellations ne désignant parfois pas le même système. On peut remarquer par exemple l'appellation de DPLL désignant tantôt une BVP comportant un détecteur de phase logique, tantôt une BVP comportant un OCN. Globalement, une classification est utilisée implicitement distinguant les différents types de BVP selon :

- le type de DP, pouvant être un détecteur échantillonneur, multiplieur, séquentiel ou logique ;
- le type d'oscillateur, contrôlé par une commande numérique ou analogique. Le type de filtre utilisé peuvent être déduit de la nature du DP et de l'oscillateur, celui-ci n'influence pas en général l'appellation de la BVP.
- Le tableau liste les différents types de BVP les plus courantes ainsi que l'appellation issue de l'anglais. Selon le détecteur de phase on distingue les BVP analogiques – dont le détecteur de

phase et l'oscillateur sont analogiques, – des BVP semi-numérique – dont le détecteur de phase est numérique et l'oscillateur analogique.

Le choix du détecteur de phase dépend principalement des signaux qu'il reçoit. Lorsque le signal en entrée et le signal bouclé sont de type sinusoïdal ou de manière plus générale à phase observable, les détecteurs de phases analogiques (multiplieurs, échantillonneurs, etc.) sont préférés aux détecteurs numériques car ces derniers sont très sensibles au bruit.

Lorsque les signaux sont mixtes, dans les conversions de signaux carrés en signaux sinusoïdaux par exemple, l'utilisation de détecteurs de phase analogiques demeure avantageuse, notamment celle d'un détecteur par échantillonnage qui se trouve particulièrement adapté à cette situation.

Lorsque les signaux sont tous deux de forme carrée, dont la phase n'est pas observable à tout instant, les détecteurs numériques s'imposent car ils peuvent détecter les transitions successives du signal.

Lorsque la BVP est intégrée sur une puce, celle-ci se trouve souvent être la seule partie analogique du circuit, c'est le cas dans les circuits purement numériques comme les microprocesseurs, les DSP, les micro-contrôleurs et leurs périphériques.

Cette partie analogique devient coûteuse car elle empêche l'utilisation de certaines technologies à très basse tension utilisées en numérique et demande des efforts de conception qui doivent être renouvelés à chaque changement de technologie. C'est pourquoi des BVP entièrement numériques ont été réalisés en utilisant des détecteurs de phase numériques et en remplaçant le filtre et l'OCT par leurs équivalents numériques.

Elle sont alors conçues et intégrées avec les outils de conception numériques, fondées avec les mêmes technologies et peuvent être directement réutilisées lors de changement de technologies. La conception de l'OCN est faite à partir d'une horloge externe de haute fréquence dont on compte le nombre de cycles.

Dans certaines applications où un processeur est disponible, on peut remplacer les circuits numériques par un micro-programme exécuté par le processeur.

Celui-ci mesure le signal d'entrée par un de ses périphériques, simule le fonctionnement du détecteur de phase, du filtre et de l'OCN – en utilisant l'horloge du processeur comme horloge de haute fréquence,

– calcule le signal de sortie et le transmet via un périphérique.

Ces types de BVP sont qualifiés de BVP logicielles, ou Software PLL en anglais. Beaucoup de micro-contrôleurs comportent une implémentation des éléments d'une BVP, et permettent de les contrôler par le micro-programme. Il ne faut pas confondre ces BVP dites programmables avec une BVP logicielle dont au moins une des parties de la BVP doit être implémentée par le micro-programme.

Alors que la théorie des APLL est très développée, la théorie des BVP numériques et semi-numériques est en constant développement.

D'une manière générale les non-linéarités des BVP entièrement numériques sont négligées et ont fait l'objet de relativement peu de travaux. Par exemple, l'effet de la quantification de la fréquence de l'OCN, initialement étudié par Gardner fait l'objet de travaux et de nouveaux résultats.

Un autre type de BVP est celui dont les détecteurs de phase comportent une mémoire des états passés. Citons les détecteurs de phase séquentiels et les détecteurs de phase échantillonneurs-bloqueurs qui ont fait l'objet de peu de travaux.

II-2- Les boucles d'asservissement de phase:

II-2-1- Fonction de transfert des différents éléments:

La structure minimale peut être complétée par :

- un amplificateur de tension dont le gain permet d'ajuster la précision et la stabilité de la boucle;
- un diviseur par N dans la chaîne de retour pour obtenir une multiplication de fréquence;

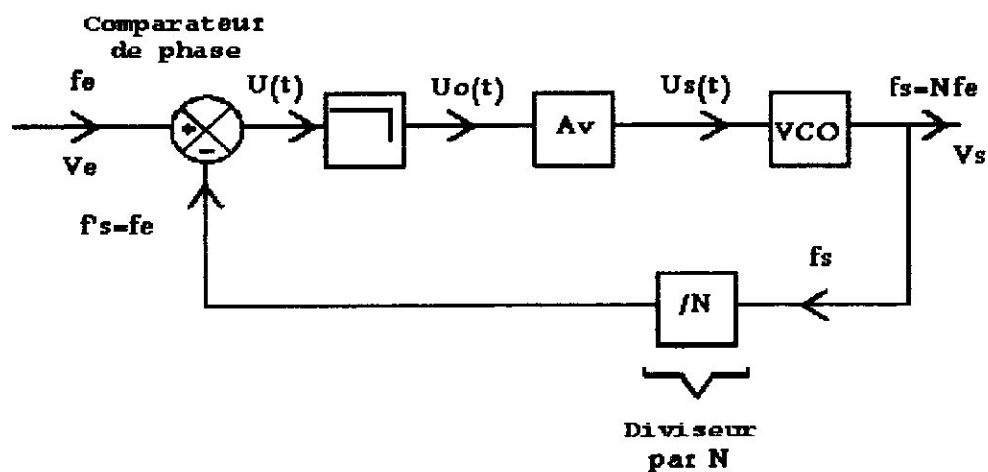


Figure II-3 : schéma fonctionnel simplifié d'une PLL.

La fonction de transfert de chacun des blocs du schéma fonctionnel ci-dessus est définie comme suit :

- Comparateur de phase : $K_d = \frac{du_0}{d\varphi}$ en V/rad.
- Filtre passe-bas idéal : $T = \frac{u_0}{u}$ sans unité.
- Filtre passe-bas réel : $T = \frac{u^r}{u}$
- Amplificateur de tension : $A_v = \frac{u_s}{u_0} = cte$ sans unité.

- VCO : $K_0 = \frac{\Delta \omega_s}{\Delta u_s} = 2\pi \frac{\Delta f_s}{\Delta u_s}$ en rad/s/V.

K_0 s'appelle la **sensibilité** du VCO.

- Diviseur par N en retour : $K_r = \frac{\omega_r}{\omega_s} = \frac{f_r}{f_s}$ sans unité.

$$K_r = \frac{1}{N}$$

II-2-2 - Fonction de transfert d'une PLL:

a) Rappels sur les systèmes asservis

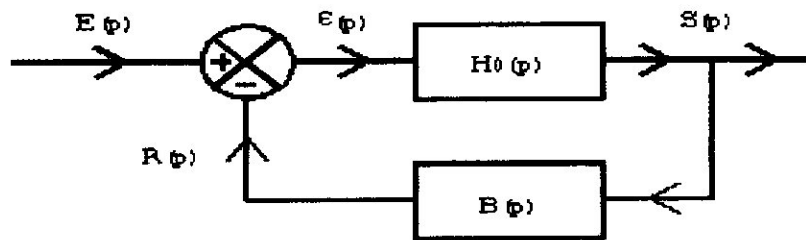


Figure II-4 : Schéma -bloc d'un système bouclé

$H_0(p)$: fonction de transfert de la chaîne directe.

$B(p)$: fonction de transfert de la chaîne de retour.

$H_0(p).B(p)$: fonction de transfert de la boucle fermée.

Fonction de transfert du système en boucle fermée :

$$H(p) = \frac{S(p)}{E(p)} = \frac{\delta(p).H_0(p)}{E(p)} = \frac{(E(p) - S(p).B(p)).H_0(p)}{E(p)}$$

$$H(p) = (1 - H(p).B(p)).H_0(p)$$

$$H(p) = H_0(p) - H(p) \cdot B(p) \cdot H_0(p)$$

$$H(p)(1 + B(p) \cdot H_0(p)) = H_0(p)$$

$$H(p) = \frac{H_0(p)}{1 + B(p) \cdot H_0(p)}$$

Tout schéma -bloc avec une chaîne de retour quelconque peut être transformé, par déplacement de blocs, en un schéma -bloc à retour unitaire. Lorsqu'un système est à retour unitaire, sa fonction de transfert en boucle fermée devient :

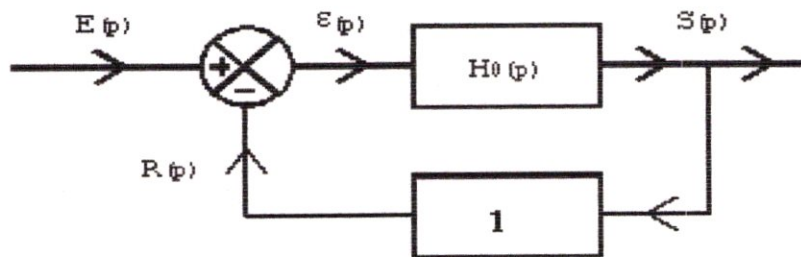


Figure II-5 : schéma -bloc à retour unitaire

$$H(p) = \frac{H_0(p)}{1 + H_0(p)}$$

$B(p)=1$...retour unitaire

Remarque : lors de la transformation du schéma -bloc, l'expression de $H_0(p)$ est modifiée.

b) Schéma fonctionnel définitif

Le comparateur de phase délivre une tension proportionnelle au déphasage entre les deux signaux d'entrée. Ce sont donc deux phases qui doivent apparaître sur ses deux entrées. Avec un signal de la forme:

$$V = V \sin \varphi(t) = V \sin(\omega t + \varphi_0)$$

La pulsation est la dérivée par rapport au temps de la phase instantanée :

$$\omega = \frac{d\varphi(t)}{dt} \Leftrightarrow \omega(p) = p \cdot \varphi(p)$$

Ou P : est le Laplacien.

Réciproquement : $\varphi(t) = \int_0^{\infty} \omega dt + c$ et $\varphi(p) = \frac{1}{p} \cdot \omega(p)$

En pratique, les grandeurs d'entrée et de sortie sont des fréquences.

En multipliant une fréquence par 2π , on obtient une pulsation et en multipliant une pulsation par $1/p$, on obtient une phase instantanée. Ces deux multiplications vont faire apparaître deux nouveaux blocs représentant ces opérations mathématiques mais qui ne correspondent pas à des éléments matériels.

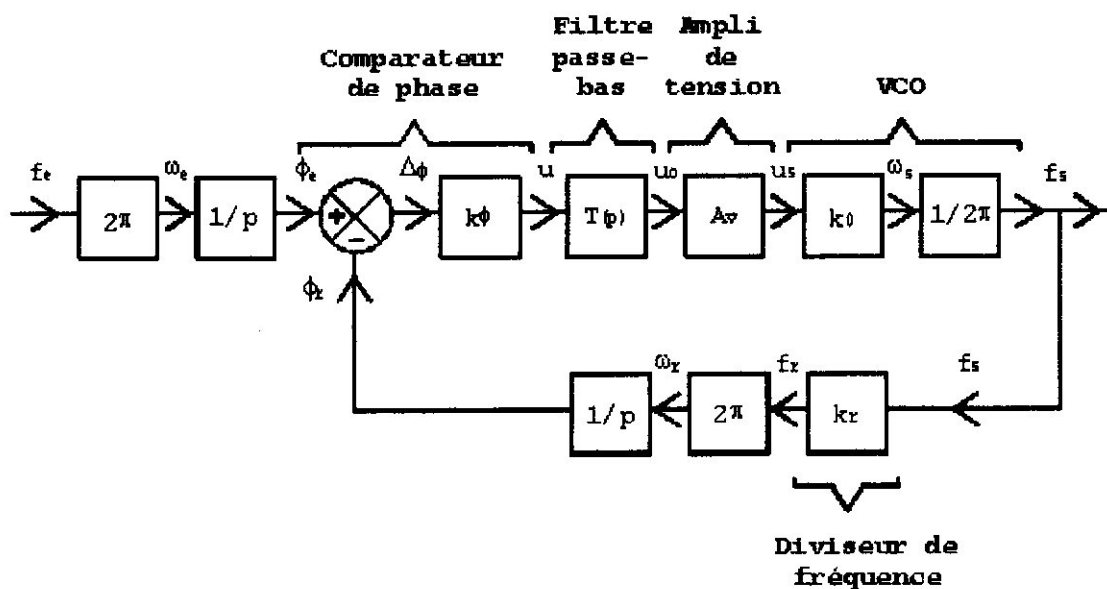


Figure II-6 : Schéma de la PLL en grandeur de phase

On peut simplifier ce schéma en déplaçant les blocs 2π et $1/p$.

On aboutit ainsi au schéma suivant :

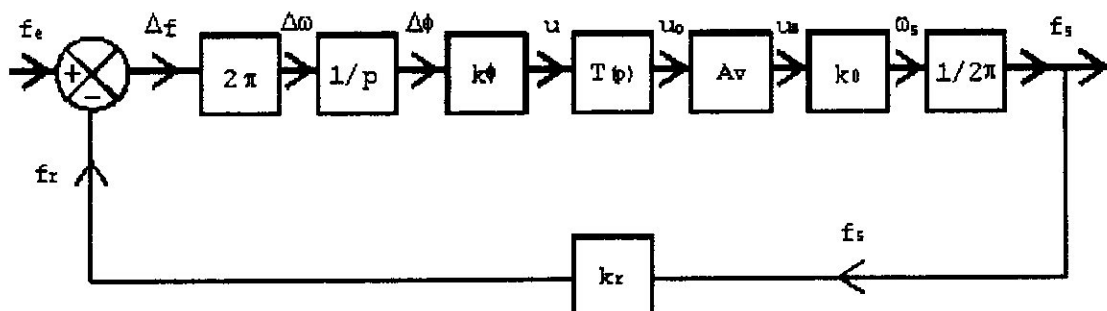


Figure II-7 : schéma définitif d'une PLL

c) Fonction de transfert de la chaîne directe

On l'obtient en faisant le produit des fonctions de transfert de chaque bloc :

$$H_0(p) = \frac{2\pi \cdot K_\phi \cdot T(p) \cdot A_v \cdot K_0}{p \cdot 2\pi} = \frac{K_\phi \cdot T(p) \cdot A_v}{p}$$

$H_0(p)$: Fonction de transfert de la Chain directe.

$T(p)$:Filtre passe-bas.

A_v : Amplificateur de tension.

K_x : Diviseur de tension.

d) Fonction de transfert on boucle fermée

$$H(p) = \frac{H_0(p)}{1 + B(p)H_0(p)} \quad B(p) = K_r = \frac{1}{N}$$

$$H(p) = \frac{\frac{K_\phi \cdot T(p) \cdot A_v \cdot K_0}{p}}{1 + \frac{K_r \cdot K_\phi \cdot T(p) \cdot A_v \cdot K_0}{p}} = \frac{K_\phi \cdot T(p) \cdot A_v \cdot K_0}{p + K_r \cdot K_\phi \cdot T(p) \cdot A_v \cdot K_0}$$

$$H_{(p)} = \frac{1}{K_r} \cdot \frac{1}{1 + \frac{p}{K_r \cdot K_\phi \cdot T_{(p)} \cdot A_v \cdot K_0}}$$

Application à la PLL étudiée théoriquement.

$A_v = 1$ (pas d'amplificateur de tension)

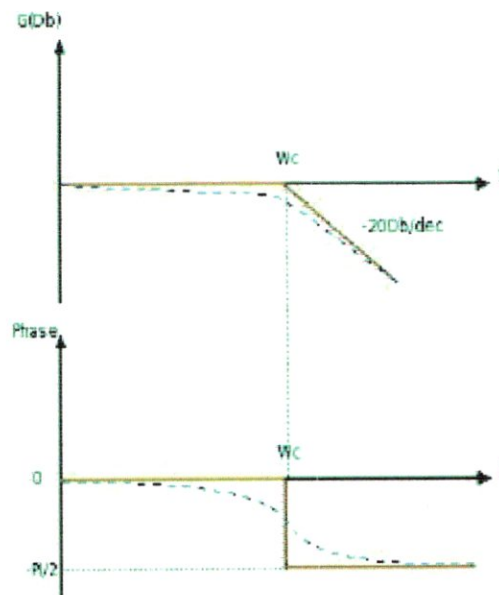
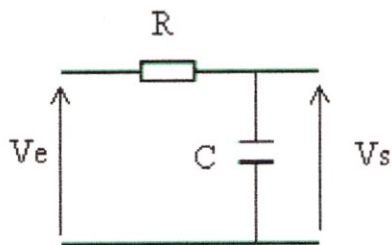
$K_r = 1$ (pas de diviseur en retour)

k_ϕ a été calculé lors de l'étude expérimentale :

$$K_\phi = \frac{V_{DD}}{\pi} = \frac{15}{\pi} \approx 4,71V / rd$$

$$K_0 = \frac{f_0}{\frac{V_{DD}}{2}} = \frac{10^4}{7,5} = 1.33 \text{ KHz} / V \approx 8,37 \cdot 10^2 \text{ rd} / s / V$$

Filtre passe-bas RC :



FigureII-8 : Schéma RC

On obtient :

$$\tau = RC = 10^{-3}$$

$$T(p) = \frac{1}{1 + \tau p}$$

$$H_{(p)} = \frac{\frac{4,71 \cdot 8,37 \cdot 10^3}{1 + 10^{-3} p}}{p + \frac{4,71 \cdot 8,37 \cdot 10^3}{1 + 10^{-3} p}} \approx \frac{3,94 \cdot 10^4}{p(1 + 10^{-3} p) + 3,94 \cdot 10^4} \approx \frac{3,94 \cdot 10^4}{10^{-3} p^2 + p + 3,94 \cdot 10^4}$$

$$H_{(p)} = \frac{1}{0,25 \cdot 10^{-7} p^2 + 0,25 \cdot 10^{-4} p + 1}$$

Forme canonique :

$$H_{(p)} = \frac{1}{1 + \frac{2m}{\omega_0} p + \frac{1}{\omega_0^2} p^2}$$

C'est la fonction de transfert classique d'un système du **second ordre**.

$$\frac{1}{\omega_0^2} = 0,25 \cdot 10^{-7} \Rightarrow \omega_0 \approx 6,32 \cdot 10^3 \text{ rd / s}$$

Par identification : $\frac{2m}{\omega_0} = 0,25 \cdot 10^{-4}$

$$m = \frac{1}{2} \cdot 0,25 \cdot 10^{-4} \cdot 6,32 \cdot 10^3 \approx 0,079$$

Dépassement : $d = e^{\frac{-m}{\sqrt{1-m^2}} \pi} \approx 78 \%$

e) Etude de la stabilité de la boucle dans le cas d'un filtre RC

$$T(p) = \frac{1}{1 + \tau p} \text{ avec } \tau = RC$$

$$H(p) = \frac{K_\varphi \cdot 1 + \tau P \cdot A_V \cdot K_0}{P + K_r \cdot K_\varphi \cdot \frac{1}{1 + \tau P} \cdot A_V \cdot K_0} = \frac{K_\varphi \cdot A_V \cdot K_0}{p(1 + \tau p) + K_r \cdot K_\varphi \cdot A_V \cdot K_0}$$

$$H(p) = \frac{1}{\frac{p}{K_\varphi \cdot A_V \cdot K_0} + \frac{\tau P^2}{K_\varphi \cdot A_V \cdot K_0} + K_r}$$

$$H(p) = \frac{1}{K_r} \cdot \frac{1}{1 + \frac{p}{K_r \cdot K_\varphi \cdot A_V \cdot K_0} + \frac{p^2}{K_r \cdot K_\varphi \cdot A_V \cdot K_0}}$$

Expressions littérales de ω_0 et m :

ω_0 : la fréquence propre.

m : L'amortissement.

$$H(p) = K \cdot \frac{1}{1 + \frac{2m}{\omega_0} p + \frac{p^2}{\omega_0^2}}$$

$$\frac{1}{\omega_0^2} = \frac{\tau}{K_r \cdot K_\varphi \cdot A_V \cdot K_0} \Rightarrow \omega_0 = \sqrt{\frac{K_r \cdot K_\varphi \cdot A_V \cdot K_0}{\tau}}$$

$$\omega_0 = \sqrt{\frac{K_r \cdot K_\varphi \cdot A_V \cdot K_0}{\tau}}$$

$$\frac{2m}{\omega_0^2} = \frac{1}{K_r \cdot K_\varphi \cdot A_V \cdot K_0} \Rightarrow m = \frac{1}{2} \cdot \frac{\omega_0}{K_r \cdot K_\varphi \cdot A_V \cdot K_0}$$

$$m = \frac{1}{2} \cdot \frac{\sqrt{\frac{K_r \cdot K_\varphi \cdot A_V \cdot K_0}{\tau}}}{K_r \cdot K_\varphi \cdot A_V \cdot K_0}$$

$$m = \frac{1}{2 \cdot \sqrt{\tau \cdot K_\varphi \cdot K_R \cdot K_0 \cdot A_0}}$$

II-2-3-Précision de l'asservissement de phase :

Quel que soit le type de filtre passe-bas utilisé, le système contient un intégrateur et est donc au moins de classe 1, ce qui implique une erreur nulle à une entrée constante.

En effet, appliquons une variation de consigne en échelon à l'entrée de la PLL :

$$\omega_e(t) = \omega_0 \quad \text{soit} \quad \omega_e(t) = \frac{\omega_0}{p}$$

En régime permanent, l'erreur à une entrée constante sera donc nulle, ce qui veut dire qu'on aura rigoureusement :

$$f_s = f_e$$

Ce résultat très simple est capital pour toutes les applications en synthèse de fréquence : Lorsque la boucle à verrouillage de phase est verrouillée sur un signal de fréquence f_e fixe, la fréquence f_s du signal en sortie du VCO est rigoureusement égale à la fréquence du signal d'entrée.

Lorsque le signal d'entrée a une fréquence qui varie, comme dans les applications de démodulation de fréquence, l'erreur n'est pas nulle.

Si le filtre est un passe-bas du premier ordre, si la fréquence à l'entrée varie linéairement

$$\omega_e(t) = cte$$

l'erreur est constante et vaut :

$$\zeta = \frac{C}{K_0 K_d}$$

le système suit mais ne rattrape pas.

On peut améliorer la précision du système à une entrée variable en utilisant un filtre passe-bas qui introduit une intégration supplémentaire et qui fera passer le système à un asservissement de classe 2.

Choix de m :

- Si m tend vers 0, le dépassement tend vers 100 %, le temps de réponse à 5 % tend vers l'infini et la boucle devient instable.
- Si m = 1, le dépassement est nul mais le temps de réponse à 5 % est long. On dit que le régime est critique.
- Selon l'application, on choisit souvent m compris entre 0,4 et 0,7. Ces valeurs correspondent à un bon compromis dans beaucoup de cas, mais ce n'est pas une règle.

Choix de la structure du filtre :

L'étude précédente a été effectuée en prenant pour filtre passe-bas un réseau RC. C'est la solution la plus simple, mais pas la plus performante. De meilleurs résultats peuvent être obtenus facilement en utilisant un filtre passe-bas comportant deux résistances et un condensateur. Cette solution est assez courante (et constitue une source presque inépuisable de sujets de devoirs surveillés...). Par contre, l'usage de filtres actifs d'un ordre plus élevé est rare.

Application numérique :

On choisit $m = 0,6$ ce qui donnera un dépassement de 9,5%.

$$m^2 = \frac{1}{4\tau \cdot K_r \cdot K_\varphi \cdot A_v \cdot K_0} \Rightarrow \tau = \frac{1}{4m^2 \cdot K_r \cdot K_\varphi \cdot A_v \cdot K_0}$$

$$\tau = \frac{1}{4 \cdot 0,36 \cdot 4,71 \cdot 8,37 \cdot 10^3} = 11,05 \cdot 10^{-3} S$$

En valeur normalisées, on pourra choisir par exemple $R_3 = 27K \Omega$ et $C_2 = 1NF$.

La fréquence propre de la boucle : $\omega_0 \approx 40 \cdot 10^3 \text{ rad/S}$ Soit $f_0 = 6366 \text{ Hz}$.

II-4- Principe de fonctionnement d'une boucle à verrouillage de phase : plage de capture et plage de verrouillage :

II-4-1- La boucle à verrouillage de phase vue par l'électronicien :

Le schéma de principe d'une boucle à verrouillage de phase est donné ci-dessous en Figure II-9, il s'agit ici d'une boucle analogique avec un circuit multiplieur comme comparateur de phase.

Le VCO (Voltage Controlled Oscillator) délivre une fréquence f_s proportionnelle à la tension de commande V_c , ceci sur une certaine plage de fréquence délimitée par F_{\min} et F_{\max} comme le montre la Figure II-10. La fréquence F_0 obtenue à $V_c = 0$ est appelée la **fréquence libre**.

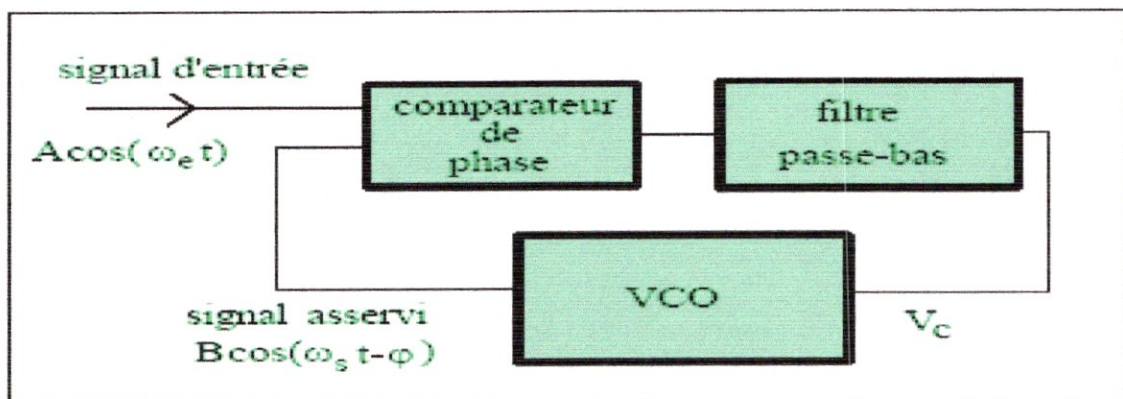


Figure II-9 : Schéma de principe d'une boucle à verrouillage de phase.

Dans le domaine linéaire, la relation fréquence-tension du VCO s'écrit :

$$f_s = F_0 + \frac{F_{MAX} - F_{MIN}}{V_{C_{MAX}} - V_{C_{MIN}}} V_C$$

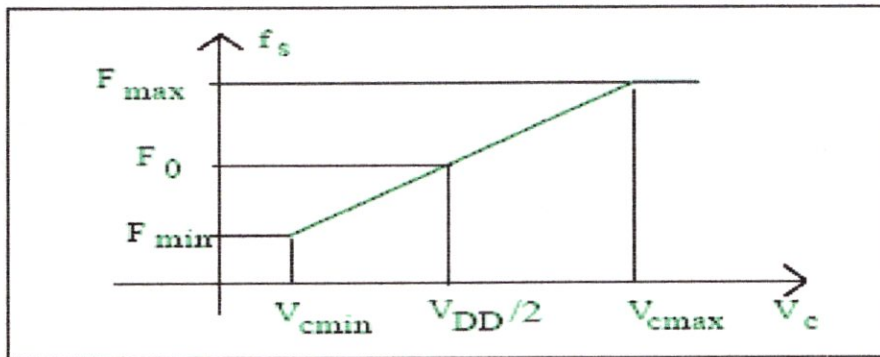


Figure II-10 : Caractéristique fréquence-tension du VCO d'une boucle à verrouillage de phase.

II-4-2- La boucle à verrouillage de phase vue par l'automaticien :

La PLL est donc un système bouclé, pour en étudier ces performances (précision, temps de réponse, ...), il est intéressant de faire apparaître un schéma bloc comme on le fait habituellement en automatique, ainsi on pourra utiliser tous les acquis de l'automatique.

Malheureusement le problème n'est pas très simple car il s'agit ici d'un système non linéaire et l'utilisation des fonctions de transfert suppose un système linéaire.

En se limitant au cas où le VCO est verrouillé, on règle une partie du problème, reste la non linéarité occasionnée par le multiplieur. On peut s'en sortir en linéarisant sa réponse à condition que cela ait un sens. Nous avons vu précédemment que si $f_e = F_0$, $V_c = 0$ et la phase $\varphi = -\pi/2$, quand f_e s'éloigne de F_0 la phase devient plus ou moins grande que $-\pi/2$. La phase φ est telle que $\frac{KAB}{2 \cos(\varphi)} = V_c$, si le produit KAB est grand alors φ et $\cos(\varphi)$ restent respectivement voisins de $-\pi/2$ et 0.

On peut alors utiliser un développement limité pour $\cos(\varphi)$, il vient :

$$\cos(\varphi) = \sin(\pi/2 - \varphi) \approx \pi/2 - \varphi \quad \text{si } \varphi \approx \pi/2 ; \quad \text{posons } \Delta\varphi = \pi/2 - \varphi$$

Le multiplieur apparaît donc comme un comparateur de phase qui délivre une tension proportionnelle à l'écart de phase, par rapport à $\pi/2$, entre le signal d'entrée et la sortie du VCO.

Si le produit KAB n'est pas suffisamment élevé pour assurer φ voisin de $-\pi/2$, on ajoute un amplificateur dans la boucle.

Le schéma bloc de la PLL en grandeurs phases est dessiné à la Figure II-11

Le bloc en $2\pi/p$ en sortie du VCO provient du fait que la phase est l'intégrale de la pulsation, d'où :

$$\varphi_s(t) = \int_0^t \omega_s(t) dt \rightarrow \varphi(p) = \frac{\omega_s(p)}{p} = \frac{2\pi f_s(p)}{p}$$

La constante k_0 du VCO (en HzV-1) est égale à :

$$K_0 = \frac{df_s}{dV_C} = \frac{F_{MAX} - F_{MIN}}{V_{MAX} - V_{MIN}}$$

La constante k_d du comparateur de phase (en Vrd-1) est égale à $KAB/2$.

Le bloc de fonction de transfert $F(p)$ représente le filtre passe-bas, par exemple $1/(1+\tau p)$ pour un premier ordre.

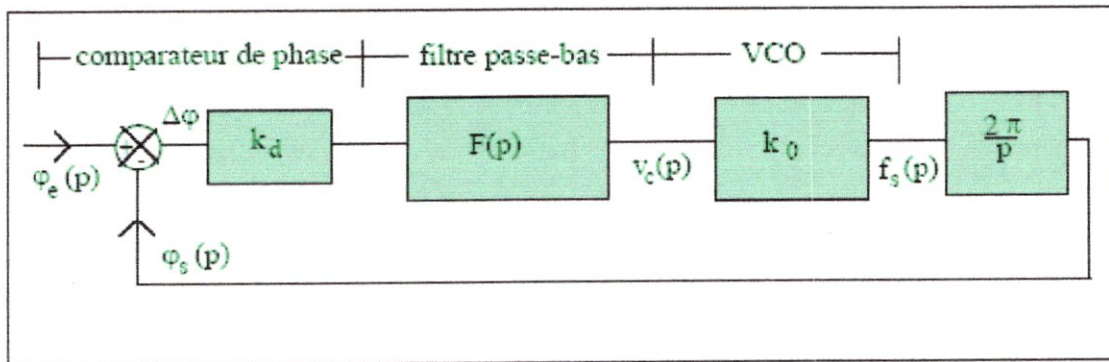


Figure II-11 : Schéma bloc de la PLL en grandeurs phases

Le schéma bloc en grandeurs fréquences est représenté à la FigureII-12. Il est obtenu en écrivant que :

$$\varphi_e(p) = \frac{2\pi f_e(p)}{p}$$

On peut également obtenir un schéma bloc à retour unitaire, il est représenté sur la FigureII-13.

Le gain en boucle fermée du système se met sous la forme suivante :

$$\frac{f_s(p)}{f_e(p)} = \frac{\omega_s(p)}{\omega_e(p)} = \frac{\varphi_s(p)}{\varphi_e(p)} = \frac{H(p)}{1 + H(p)}$$

Avec $H(p) = \frac{2\pi k_0 k_d F(p)}{p}$, le gain en boucle ouverte.

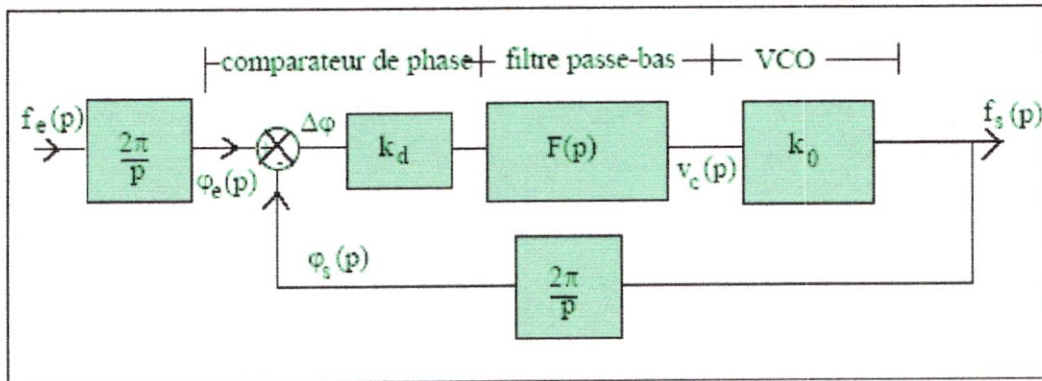


Figure II-12 : Schéma bloc en grandeurs fréquences

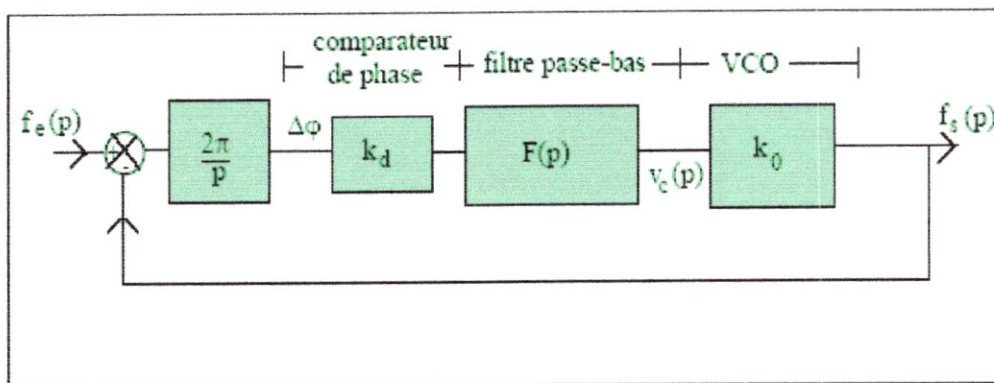


Figure II-13 : Schéma bloc en grandeurs fréquences à retour unitaire

L'étude de la PLL se ramène donc à l'étude d'un système asservi. On peut ainsi étudier la réponse à diverses excitations; sinusoïdale, triangulaire, échelon de fréquence (démodulation FSK, pour Frequency Shift Keying) ou de phase (démodulation PSK, pour Phase Shift Keying).

Réponse à un échelon de fréquence $f_e(p)=\Delta F_e/p$ avec un filtre passe-bas de fonction de transfert $F(p)=1/(1+\tau p)$.

C'est le cas d'un signal modulé FSK dont la fréquence passe de f_{e1} pour un niveau logique '0' à $f_{e2}=f_{e1}+\Delta F_e$ pour un niveau logique '1'.

La fréquence du VCO passera de $f_{s1}=f_{e1}$ à $f_{s2}=f_{e2}$ (erreur statique nulle) avec un transitoire donné par la transformée inverse de :

$$f_s(p) = \Delta F_e \frac{1}{p(1 + \frac{2\xi}{\omega_p} p + \frac{p^2}{\omega_p^2})}$$

Avec : $\omega_p = \sqrt{\frac{2\pi K_0 K_d}{\tau}}$

la pulsation propre et $\xi = \frac{1}{2} \sqrt{\frac{1}{2\pi K_0 K_d \tau}}$ le facteur d'amortissement.

L'allure de $f_s(t)$ est tracé sur la Figure II-14 :

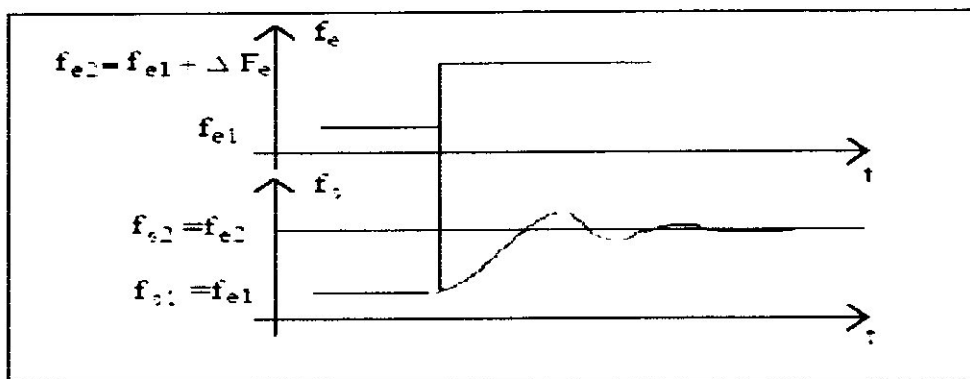


Figure II-14: Réponse à un échelon de fréquence

Pour un bon fonctionnement, les fréquences f_{e1} et f_{e2} doivent être comprises dans la plage de capture.

II-4-3- Boucle à verrouillage de phase logique :

Dans une boucle à verrouillage de phase logique le comparateur de phase peut être un simple OU exclusif comme le montre la Figure II-15. Le signal de sortie du VCO est dans ce cas un signal logique.

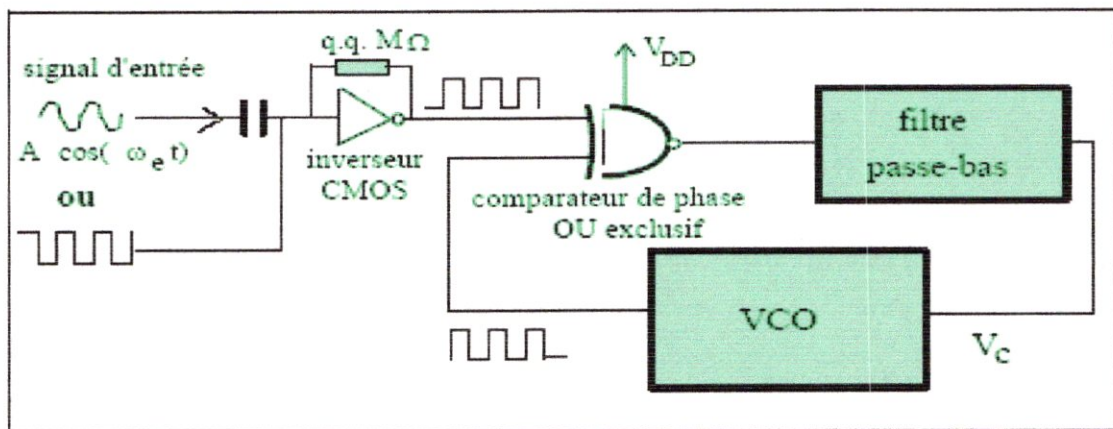


Figure II-15 : Boucle à verrouillage de phase logique avec un OU exclusif

La valeur moyenne du signal en sortie du filtre passe-bas est comprise entre 0 et VDD; la tension d'alimentation du OU exclusif. Il s'ensuit que la fréquence libre F_0 du VCO est maintenant obtenue pour une tension $V_c = V_{DD}/2$.

II-4-4- Détermination expérimentale des plages de capture et de verrouillage :

Les plages de capture et de verrouillage d'une boucle à verrouillage peuvent obtenues par wobulation, la FigureII-16 présente un montage permettant cette étude, Sur les FigureII-17etII-18, montrent la variation de la tension de commande V_C (image de la fréquence f_s en sortie du VCO) en fonction de la tension V_1 (image de la fréquence du f_e du signal d'entrée).

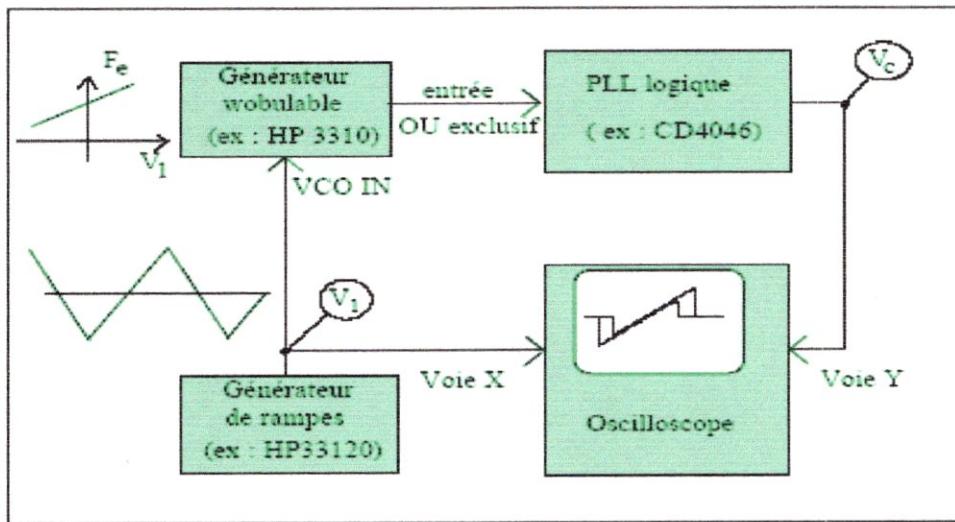


Figure II-16 : Montage permettant de relever les plages de capture et verrouillage par wobulation.

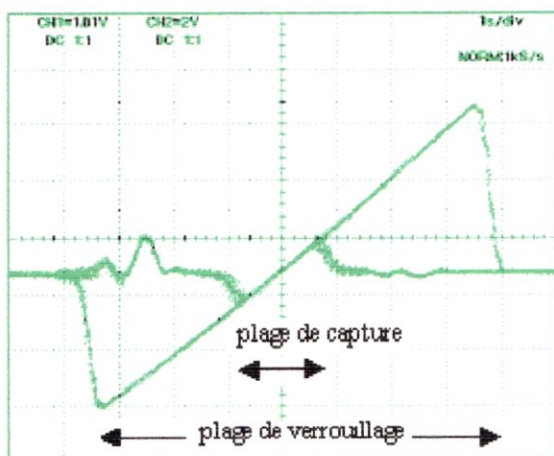


Figure II-17 : V_C fonction de V_1 , ou f_s fonction de f_e . Filtre passe-bas R-C ; $R=30K\Omega$ et $C=10Nf$.

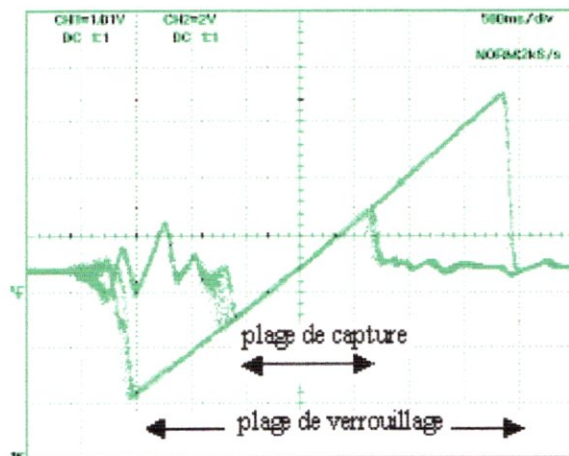


Figure II-18 : V_C fonction de V_1 , ou f_s fonction de f_e . Filtre passe-bas R-C ; $R=10K\Omega$ et $C=10Nf$.

On vérifie bien que plus la bande passante ($1/2\pi RC$) du filtre passe-bas est élevée, plus la plage de capture est grande.

II-4-4-1: Fonctionnement de la boucle : capture et verrouillage:

- Pour décrire le comparateur de phase réalisé avec un multiplieur, nous avons fait l'hypothèse que le signal d'entrée de la boucle et le signal de sortie du V.C.O. avaient des variations de phase proches. Pour que cela soit vrai, il est nécessaire que la boucle soit verrouillée, c'est à dire que la fréquence du signal d'entrée prenne une valeur comprise dans une plage étroite qui dépend des éléments qui la composent.

- La plage qui permet au système de s'accrocher est appelée plage de capture (plage d'accrochage, "acquisition range" ...). Elle dépend principalement de la fréquence de coupure du filtre passe-bas.

- Une fois que la boucle est accrochée, la plage de fréquence qui lui permet de rester dans cet état est appelée plage de verrouillage (plage de poursuite, plage de maintien, tracking range, lock range...). Cette plage dépend principalement de zone de fréquence dans laquelle le V.C.O. et le comparateur de phase se comportent linéairement. Elle doit être plus large que la plage d'accrochage, sinon la boucle ne peut pas fonctionner...

a-Capture :

- **Présentation du problème:**

On suppose que la boucle n'est pas accrochée. On rapproche progressivement la fréquence f_e du signal d'entrée de la fréquence centrale du V.C.O. F_0 . Dès que f_e rentre dans une plage de fréquence $[F_0 - F_{cap}; F_0 + F_{cap}]$, la boucle va s'accrocher et la fréquence de sortie du V.C.O. va atteindre f_e après un régime transitoire caractérisant la dynamique de la boucle.

• **La boucle n'est pas encore accrochée:**

Si $f_e < F_0 - F_c$, le V.C.O. oscille à F_0 . En effet, dans ce cas, le signal d'entrée présente les fréquences $F_0 - f_e$ et $F_0 + f_e$ qui sont toutes les deux supérieures à F_c ce qui fait que le signal en sortie du passe-bas est nul, d'où une fréquence F_0 en sortie de l'oscillateur.

On aurait pu raisonner en faisant décroître la fréquence d'entrée à partir d'un état où la boucle n'est pas accrochée ce qui aurait fait apparaître le caractère particulier de la fréquence $F_0 + F_c$.

• **La boucle s'accroche: état permanent atteint par le système:**

Lorsque f_e va rentrer dans la plage $[F_0 - F_c ; F_0 + F_c]$, il va apparaître une tension non nulle en sortie du filtre passe-bas, ce qui va faire évoluer la fréquence de sortie de l'oscillateur.

Pour comprendre l'évolution du système, on va présenter ce dernier en terme de système bouclé dans lequel tous les éléments ont un comportement linéaire (simplification).

On supposera que le filtre passe-bas est du premier ordre. On va faire un changement de variable, afin de travailler avec des fréquences f_e' et f_r' qui sont les écarts des fréquence d'entrée f_e et de sortie f_r à la fréquence centrale du V.C.O. f_0 .

On pourra ainsi éviter de travailler avec des grandeurs continues, délicates à gérer en terme de variables de Laplace.

On a alors:

$$f_r'(t) = f_r(t) - f_0 = K_0 u(t) \quad \text{Soit} \quad f_r'(p) = K_0 u(p)$$

En terme de phase, on en déduit que

$$\frac{d\varphi_r'(t)}{dt} = 2\pi K_0 u(t) \quad \text{soit} \quad \dot{\varphi}_r'(p) = \frac{2\pi K_0}{p} u(p)$$

De plus

$$f_e' = f_e - f_0 = \frac{1}{2\pi} \cdot \frac{d\varphi_e'}{dt} \quad \text{soit} \quad \dot{\varphi}_e'(p) = \frac{2\pi f_e'}{p}$$

On remarque également que $U_{pd} = K_{cp} \cdot (\varphi_e - \varphi_r) = K_{cp} \cdot (\dot{\varphi}_e' - \dot{\varphi}_r')$

b-Plage de verrouillage :

Après avoir appliqué un signal de fréquence compris dans la plage de capture, on vient de voir que la sortie de l'oscillateur se retrouvait, après un état transitoire, à même fréquence mais déphasé par rapport à l'entrée.

Nous allons maintenant faire varier lentement la fréquence f_e . Nous supposons par exemple qu'elle augmente (le raisonnement serait identique pour une diminution...).

- Si on fait augmenter f_e , on va finir par rencontrer la plage de fonctionnement non-linéaire du V.C.O., représentée dans notre cas par la fréquence F_{max} . Au-delà de cette fréquence, le V.C.O. est incapable de répondre à l'ordre qui lui est donné. Dans ce cas, la boucle décroche et la fréquence du V.C.O. revient à la valeur F_0 . En effet, l'état $f_e = F_{max}$ est instable. Dès que le système est poussé au-delà de F_{max} , le filtre passe-bas permet de récupérer un signal $V_s(t)$ de la forme

$$V_s(t) = K_{CP} \cdot (2\pi f_e t - 2\pi F_{max} t + cte)$$

ce signal est nul en valeur moyenne ce qui fait que la fréquence du V.C.O. ne reste pas à F_{max} , mais retombe à F_0 . On définit ainsi la plage de verrouillage la plus large possible.

- Cependant, la non linéarité du comparateur de phase peut elle aussi provoquer le décrochage de la boucle (la tension en sortie du comparateur de phase à multiplieur est bornée, ce qui va limiter la plage de variation de tension en entrée du V.C.O. et donc la plage de fréquence en sortie de ce dernier). Si on demande à la boucle de s'accrocher sur une fréquence qui n'appartient pas à cette plage, elle en sera incapable... Dans ce cas, la plage de capture dépendra des caractéristiques du comparateur de phase et du gain du V.C.O. ...

- Pour résumer, dans le cas d'un comparateur de phase à multiplieur, on peut ainsi envisager les deux configurations différentes suivant la caractéristique du V.C.O.:

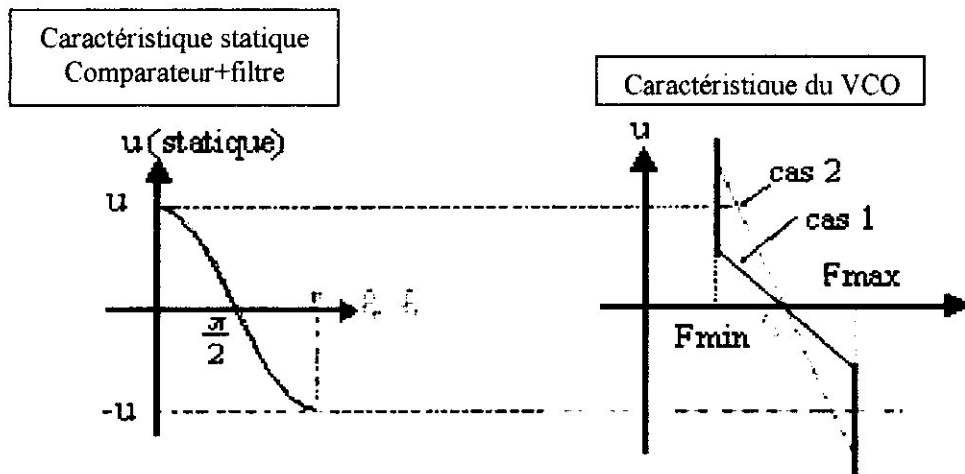


Figure II-19 : caractéristiques des éléments du PLL

Le cas 1 correspond à une plage de verrouillage imposée par le V.C.O. alors que le cas 2 correspond à une plage de verrouillage imposée par le comparateur de phase.

Remarque : En pratique peut évoluer avec l'amplitude du signal d'entrée, ce qui signifie que la plage de verrouillage peut varier notablement suivant l'utilisation que l'on fait de P.L.L...

c- Caractéristique statique générale :

On peut caractériser les différents états du V.C.O. suivant la fréquence du signal d'entrée sur la caractéristique suivante (on suppose ici que c'est le V.C.O. qui limite la plage de verrouillage):

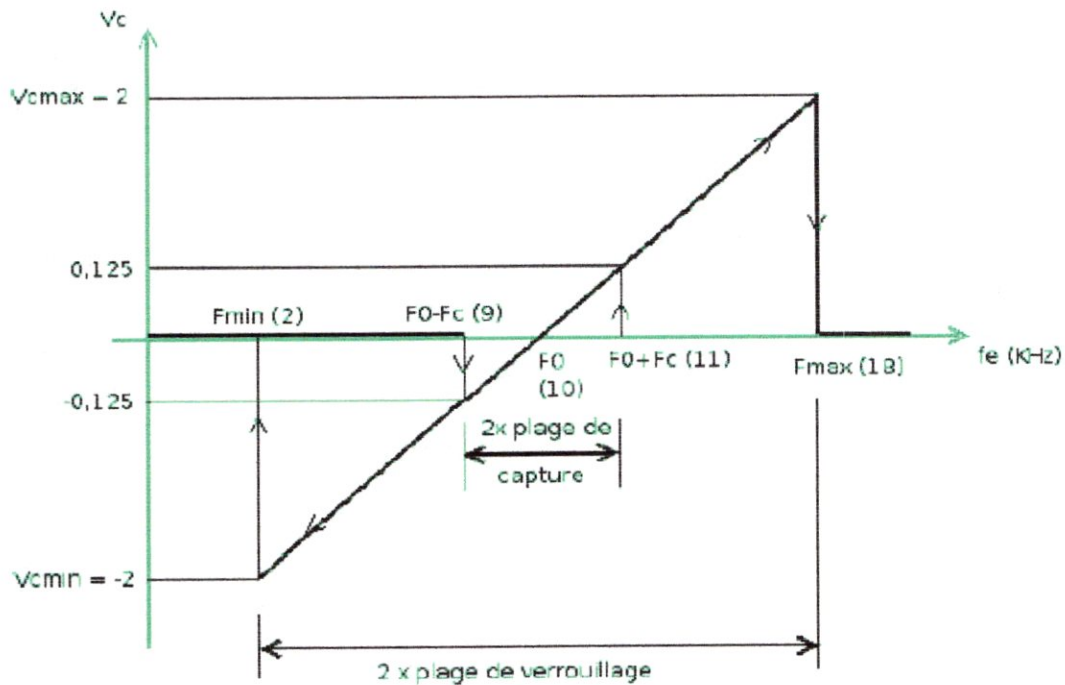


Figure II-20: Variation de la fréquence de sortie du VCO en fonction de la tension d'entrée.

En gras, on a représenté l'évolution de la tension du V.C.O. (image de la fréquence de sortie) pour un signal d'entrée présentant une fréquence croissante... A $F_0 - F_c$, on observe la capture, alors qu'à $F_0 + F_{\max}$, on observe le décrochage (on sort de la plage de verrouillage)...

Remarque : les états transitoires n'ont pas été représentés... On suppose que l'évolution conduisant à cette caractéristique se fait de façon quasi-statique.

II-4-5- Observation de l'accrochage d'une boucle à verrouillage de phase :

La phase d'accrochage d'une boucle à verrouillage de phase peut être observée à partir du montage de la Figure II-20. Il suffit de remplacer le signal V_1 par un échelon de tension et d'utiliser l'oscilloscope en deux voies; le niveau bas de l'échelon doit correspondre à une fréquence située en dehors de la plage de verrouillage et le niveau haut à une fréquence située dans la plage de capture, les résultats sont reportés sur les Figures 21 et 22.

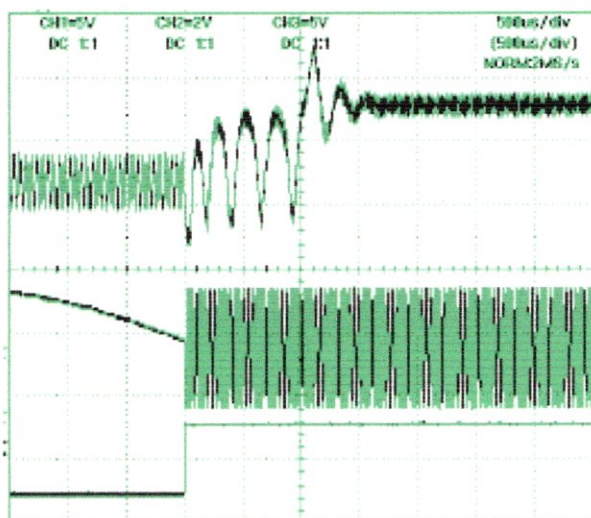


Figure II-21 : Exemple d'accrochage d'une BVP
 Signale haut : tension V_c de commande du VCO
 Signale milieu : signal d'entrée du OU exclusif
 Signale bas : échelon V_1

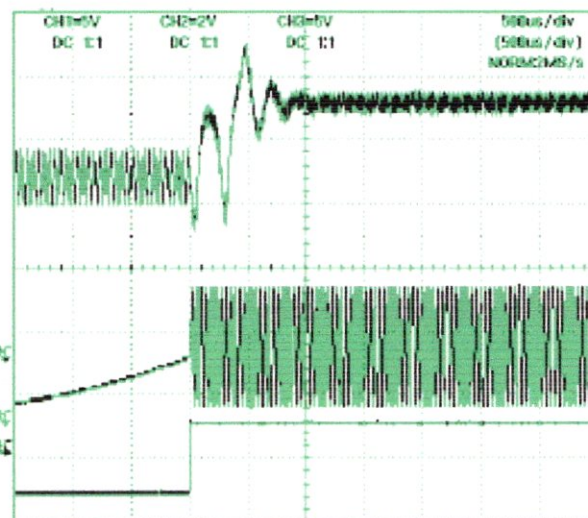


Figure II-22 : Autre exemple d'accrochage d'une BVP
 Signale haut : tension V_c de commande du VCO
 Signale milieu : signal d'entrée du OU exclusif
 Signale bas : échelon V_1

On observe que la forme du signal V_c , donc de la fréquence f_s , dépend fortement du signal d'entrée sur le OU exclusif, l'accrochage est plus ou moins long et ne peut être décrit simplement par la relation 4, bien qu'il s'agisse de la réponse à un saut de fréquence. En effet dans la phase d'accrochage, le schéma bloc de la Figure II-9 n'est pas valable car le système ne peut être linéarisé.

II-4-6- Point de fonctionnement stable pour $f_e = F_0$:

Dans le cas d'une boucle à verrouillage de phase logique, utilisant la fonction OU exclusif comme comparateur de phase, le point de fonctionnement stable à $f_e = F_0$ (fréquence libre du VCO), est obtenu pour $j = \pi/2$ et non $-\pi/2$. En effet, le point de fonctionnement stable ne peut être obtenu que dans une région de la caractéristique $V_c = f(j)$ où $\Delta V_c / \varphi$ est positif comme le montre la Figure II-23.

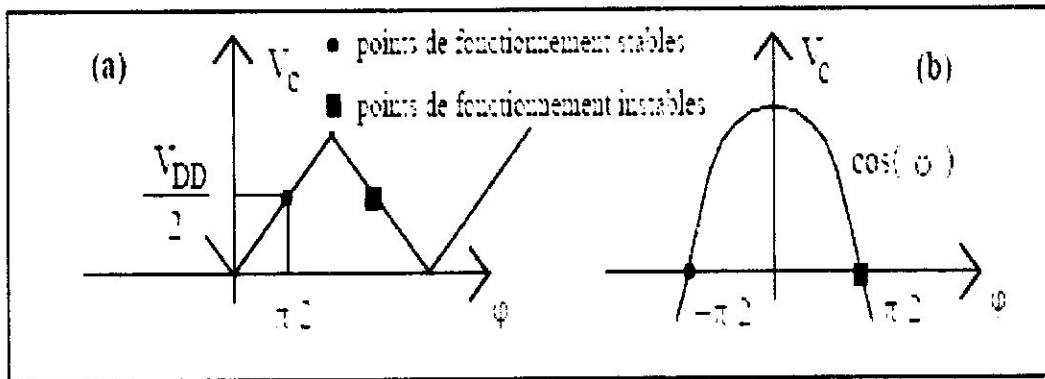


Figure II-23: Points de fonctionnement stables dans une boucle logique (a) et analogique (b).

II-4-Schéma synoptique d'une PLL :

Envisageons le montage expérimental ci-dessous : La boucle à verrouillage de phase est attaquée par un générateur de signal sinusoïdal de fréquence variable.

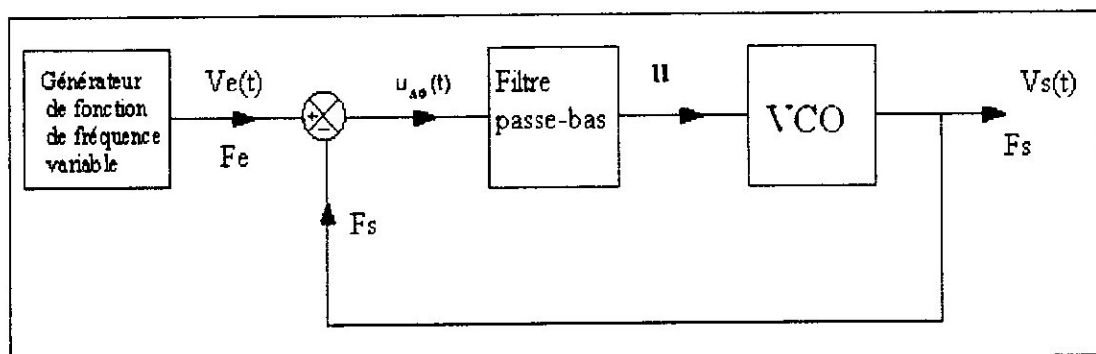


Figure II-24: schéma synoptique d'une PLL

II-5- Les éléments de la PLL :

Les éléments de base de la PLL sont:

- un comparateur de phase.
- Un filtre passe-bas.
- Un oscillateur commandé en tension (VCO ou OCT).

II-5-1- Le comparateur de phase :

Le comparateur de phase doit donner en sortie une information sur le déphasage entre le signal de sortie du VCO et le signal d'entrée de la boucle, et idéalement il fournit une tension proportionnelle à la différence de phase entre l'entrée et la sortie.

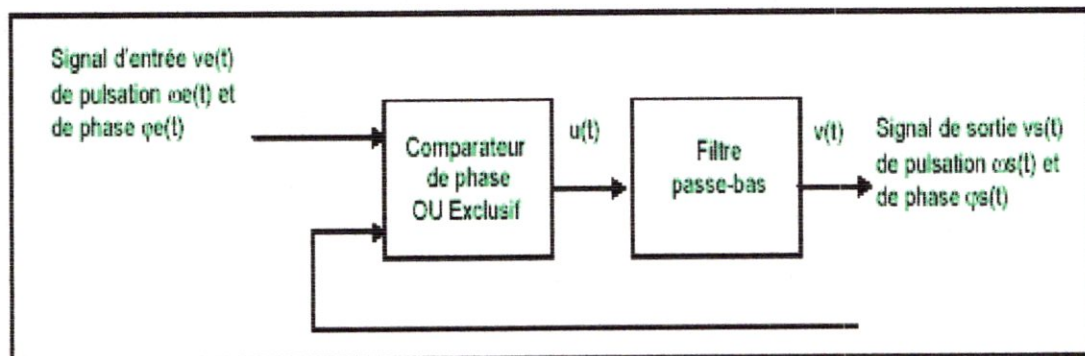


Figure II-25 : placement du comparateur de phase.

Il existe différents types de comparateurs de phase :

Comparateur de phase ou exclusif :

C'est le plus courant, il est suivi d'un filtre passe-bas, qui a l'avantage de la simplicité mais ne fonctionne qu'avec des signaux carrés symétriques.

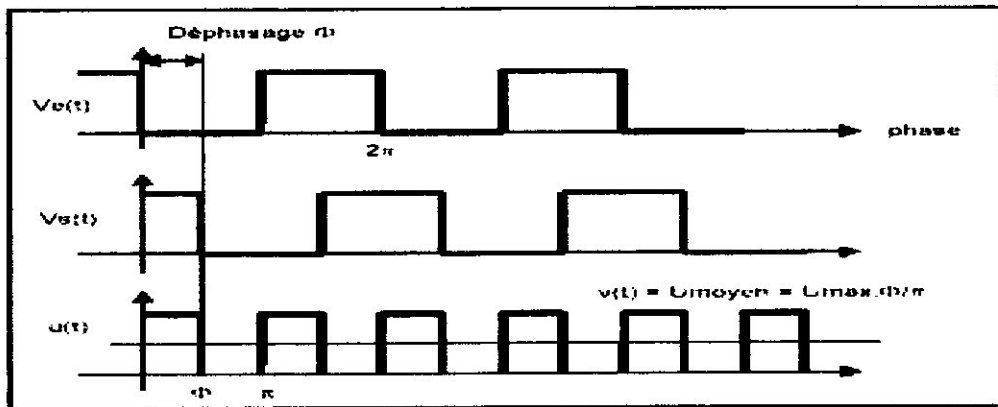


Figure II-26 : Fonctionnement du comparateur de phase à OU exclusif.

Le comparateur de phase est linéarisé autour du point de fonctionnement de la boucle défini par f_0 , ce qui veut dire qu'il sera caractérisé par un coefficient souvent noté K_d défini par :

$K_d =$ valeur moyenne de la tension en sortie
 déphasage entre les signaux d'entrée

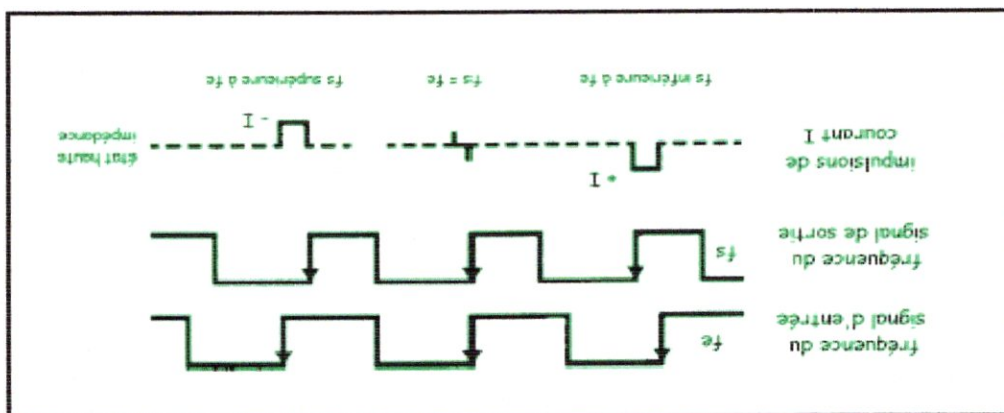
$$K_d = \frac{U_{moyen}}{\phi} = \frac{U_{max}}{\pi} \quad \text{en volts/radian}$$

Pour une porte OU Exclusif alimentée en 15V, la constante K_d vaut :

$$K_d = \frac{V_{dd}}{\pi} = 4,77V / rad$$

Dans le schéma fonctionnel, ce comparateur de phase se modélise donc de la façon suivante :

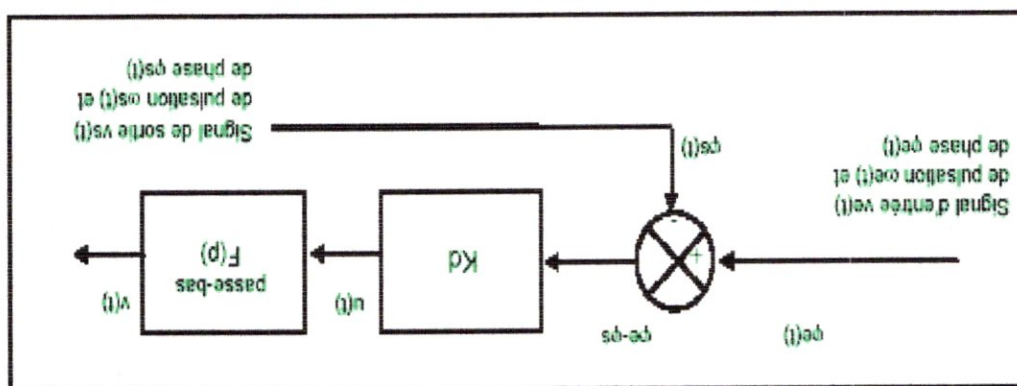
Figure II-28 : Fonctionnement du comparateur phase fréquence.



On utilise souvent aujourd'hui des comparateurs phase-fréquence avec sortie en courant appelés aussi comparateurs à pompe de charge. Une source de courant, commandée par une fonction logique appropriée, fournit en sortie du comparateur de phase des impulsions de courant I , positives ou négatives, dont le signe et la durée dépend du déphasage entre les deux signaux d'entrée du comparateur de phase.

Le comparateur phase-fréquence à pompe de charge :

Figure II-27 : Modélisation du comparateur de phase.



Le courant moyen en sortie de ce type de comparateur est sensiblement proportionnel au déphasage entre les deux signaux d'entrée.

Le comparateur de phase sera alors caractérisé par sa transmittance :

$$K_d = \frac{\text{valeur moyenne du courant en sortie}}{\text{déphasage entre les signaux d'entrée}} = \frac{I_{\text{moyen}}}{\phi} \quad \text{en ampères/radian.}$$

Le filtre passe-bas est attaqué en courant en fournit à sa sortie la tension de commande du VCO, sa transmittance sera donc homogène à une impédance $Z(p)$.

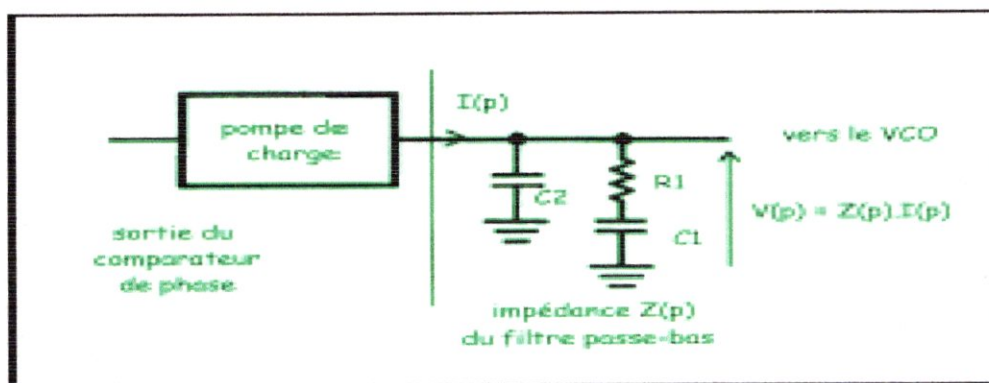


Figure II-29 : Filtre de boucle associé au comparateur à pompe de charge.

Dans le schéma fonctionnel, le comparateur de phase se modélise alors de la façon suivante :

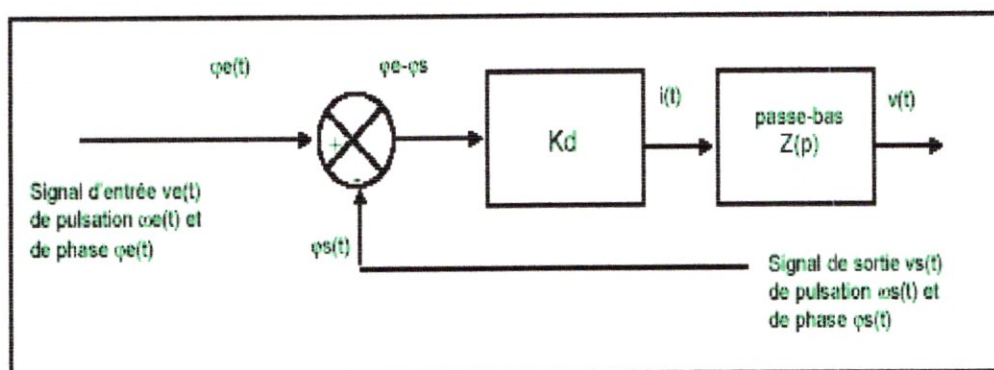


Figure II-30 : Modélisation du comparateur de phase.

Le comparateur de phase à mélangeur :

Aux fréquences très élevées, on utilise comme comparateur de phase un multiplieur (mélangeur Schottky) suivi d'un filtre passe-bas.

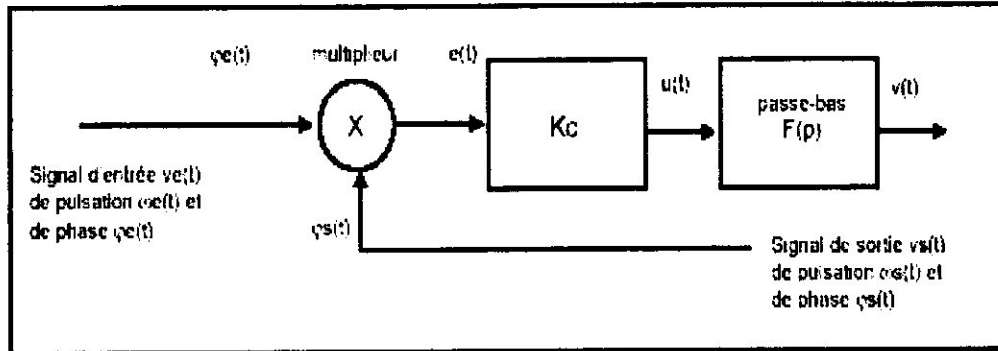


Figure II-31 : Structure du comparateur de phase à mélangeur.

Si les signaux d'entrée et de sortie sont déphasés, la tension en sortie du mélangeur s'écrit:

$$e(t) = K.V_e(t)V_s(t) = K.V_e \sin(\omega_0 t + \varphi_0) V_s \cos(\omega_0 t + \varphi_s)$$

$$e(t) = 0,5.K.V_e.V_s . \sin(2\omega_0 t + \varphi_0 + \varphi_s) + 0,5.K.V_e.V_s . \sin(\varphi_0 - \varphi_s)$$

Le filtre passe-bas va conserver la partie basse du mélange, soit :

$$V(t) = 0,5.K.V_e.V_s . \sin(\varphi_e - \varphi_s)$$

La caractéristique de ce comparateur de phase a alors l'allure suivante :

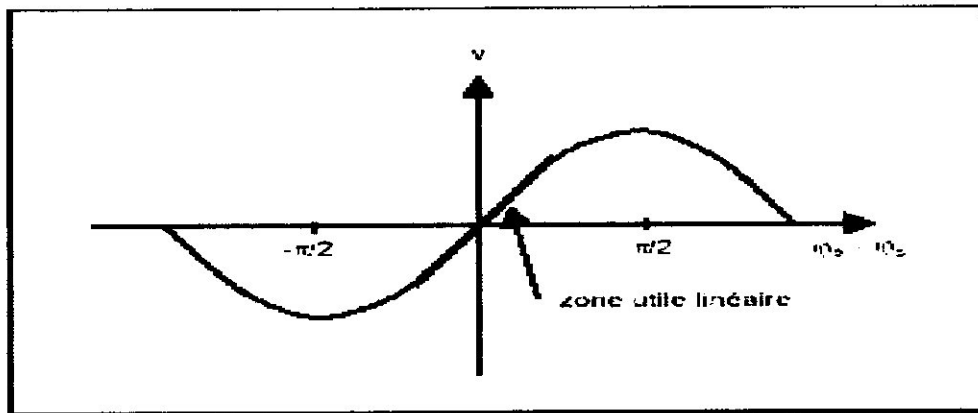


Figure II-32 : Caractéristique du comparateur de phase à mélangeur.

Dans la zone linéaire, le déphasage entre les deux signaux est faible et peut donc assimiler le sinus à l'angle, soit :

$$V(t) = 0,5.K.V_e.V_s.\sin(\varphi_e - \varphi_s) \approx 0,5.K.V_e.V_s.(\varphi_e - \varphi_s) \approx Kd.(\varphi_e - \varphi_s)$$

Ce comparateur de phase est alors caractérisé par sa constante : $Kd = 0,5.K.V_e.V_s$

II-5-2-LE VCO : (L'oscillateur commandé en tension)

Un oscillateur est un dipôle actif (sans compter les bornes d'alimentations) qui produit un signal périodique. Un VCO est un quadripôle, il possède une entrée pour une tension de commande u qui permet de faire varier, linéairement de préférence, la fréquence F_s de l'oscillateur.

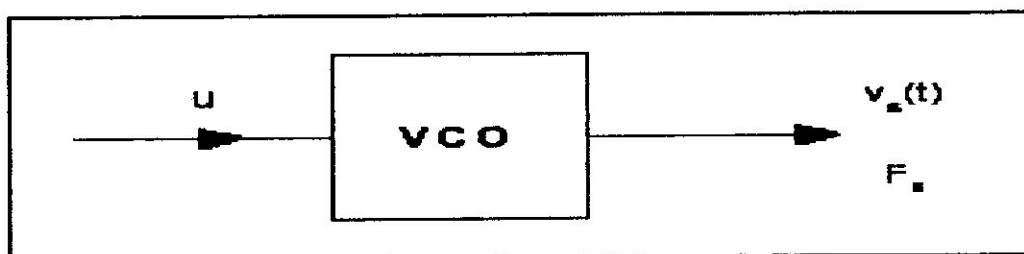


Figure II-33 : L'oscillateur contrôlé en tension

La valeur désirée de la fréquence centrale f_{s0} du VCO est obtenue par le choix des éléments (L, C) de l'oscillateur.

Les PLL peuvent fonctionner dans une gamme très large de fréquences, depuis les audiofréquences jusqu'à plusieurs gigahertz. Il est évident que les structures de VCO utilisées dépendront de la fréquence à laquelle doit travailler la boucle.

Pour des fréquences assez basses, le VCO est simplement un convertisseur tension-fréquence, fonction pour laquelle il existe une multitude de schémas.

Aux fréquences plus élevées, on utilisera un oscillateur à transistors à circuit LC, ou stabilisé en fréquence par quartz ou résonateur céramique.

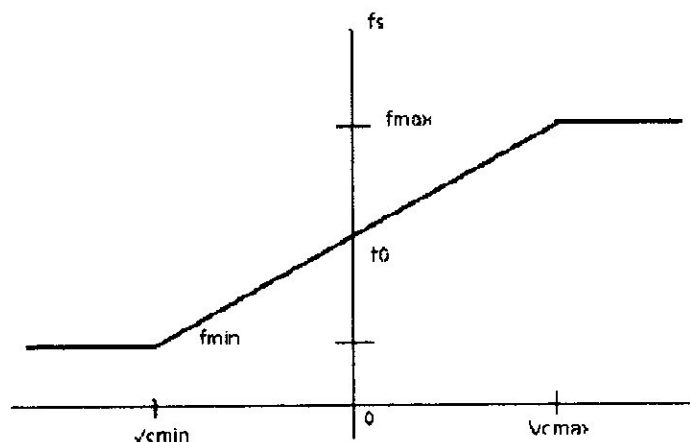


Figure II-34 : plage de fonctionnement du VCO

D'une façon générale, le VCO sera linéarisé autour de son point de fonctionnement f_0 et caractérisé alors par sa pente K_0 , ou gain statique, définie par :

$$K_0 = \frac{\text{variation de la pulsation du signal de sortie}}{\text{Variation de la tension de commande}}$$

Ce gain statique est défini autour du point de repos correspondant à la fréquence autour de laquelle fonctionnera la boucle.

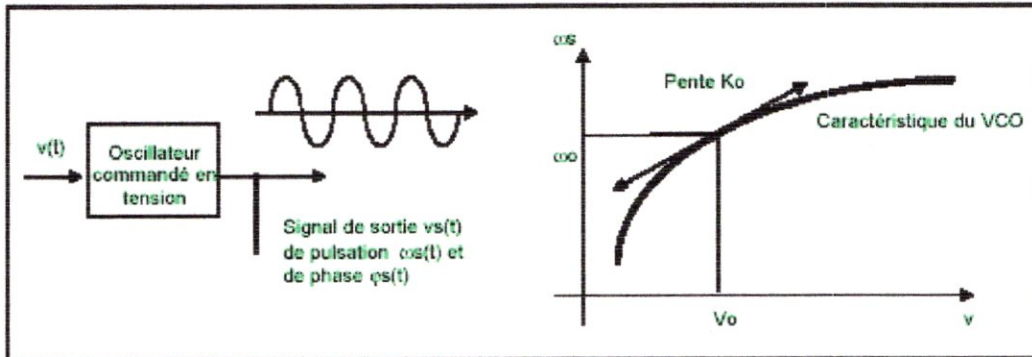


Figure II-35: Modélisation du VCO.

II-5-3- Filtre passe-bas :

Le rôle de ce filtre est d'extraire la valeur moyenne de la tension $u(t)$, en rejetant les harmoniques.

Quand la boucle est verrouillée, les fréquences F_s et F_e est égales, donc l'erreur de phase et la tension $u(t)$ sont constantes (aux perturbations près).

Remarque : les paramètres du filtre (fréquence de coupure, pente, amplification pour les filtres actifs) sont déterminants pour les caractères de l'asservissement : stabilité, précision, temps de réponse, plages de capture et de verrouillage.

Il ya deux types du filtre utilisant dans une boucle à verrouillage de phase (PLL) :

Utilisation d'un filtre de boucle du premier ordre:

Il est clair que le type de filtre passe-bas a une influence importante sur le régime transitoire.

Le filtre le plus simple est un simple passe-bas du premier ordre, le plus intéressant est le filtre actif qui introduit une intégration supplémentaire aux basses fréquences et augmente ainsi la précision sans dégrader la marge de phase et donc la stabilité.

Le filtre le plus simple a les caractéristiques suivantes :

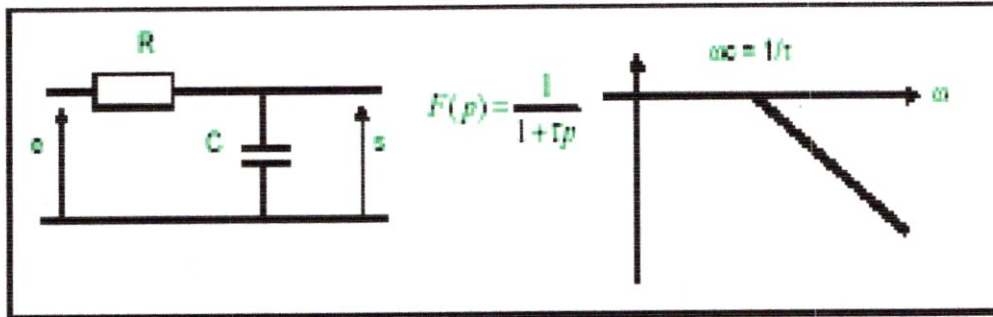


Figure II-36 : Le passe-bas moyennneur le plus simple.

Avec la fonction de transfert :

$$F(p) = \frac{1}{1 + \tau p}$$

Le gain de boucle de l'asservissement s'écrit alors :

$$T(p) = \frac{K_0 \cdot K_d}{p(1 + \tau p)}$$

Et la transmittance en boucle fermée :

$$T(p) = \frac{K_0 \cdot K_d}{K_0 \cdot K_d + p + \tau p^2}$$

Il s'agit d'un système du 2^{ème} ordre fondamental, pour lequel la pulsation propre et l'amortissement dépendent de K_0 et de τ :

$$\sigma_0 = \sqrt{\frac{K_0 \cdot K_d}{\tau}} \quad \text{et} \quad m = \frac{0,5}{\sqrt{K_0 \cdot K_d}}$$

Les différents paramètres sont choisis de la façon suivante :

- Le gain statique K_d du comparateur de phase dépend du type de comparateur de phase utilisé et n'est en général pas réglable.
- La constante de temps τ est choisie pour avoir un bon filtrage passe-bas, c'est à dire que la fréquence de coupure correspondante devra être au moins une décade en-dessous de la fréquence centrale F_0 de la boucle.
- La pente K_0 du VCO sera alors fonction de l'amortissement m désiré (en général autour de $m=0,7$).

La pulsation propre ω_0 et donc le temps de réponse sont alors déterminés et ne peuvent être réglés sans modifier l'amortissement. C'est l'inconvénient principal lié à l'utilisation d'un filtre passe-bas trop simple.

Néanmoins, ce type de filtre est très pratique lorsque le temps de réponse n'est pas critique, comme par exemple dans certaines applications de synthèse de fréquence.

Utilisation d'un filtre de boucle du 2ème ordre :

On rencontre souvent dans les PLL le filtre passe-bas actif dont la structure est la suivante :

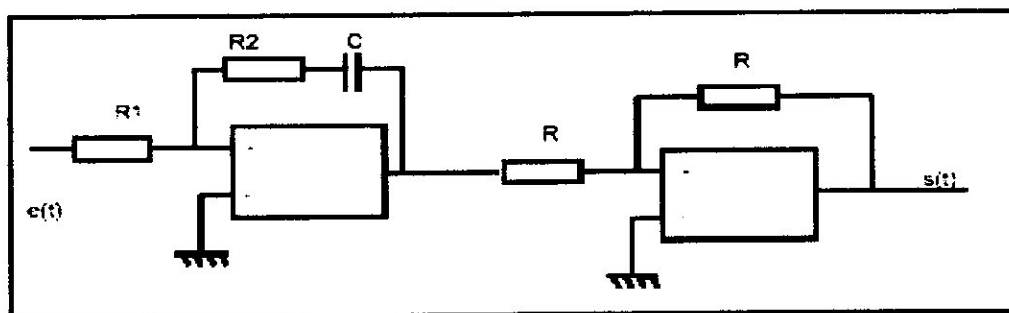


Figure II-37 : Filtre de boucle actif.

Ce filtre a les caractéristiques suivantes :

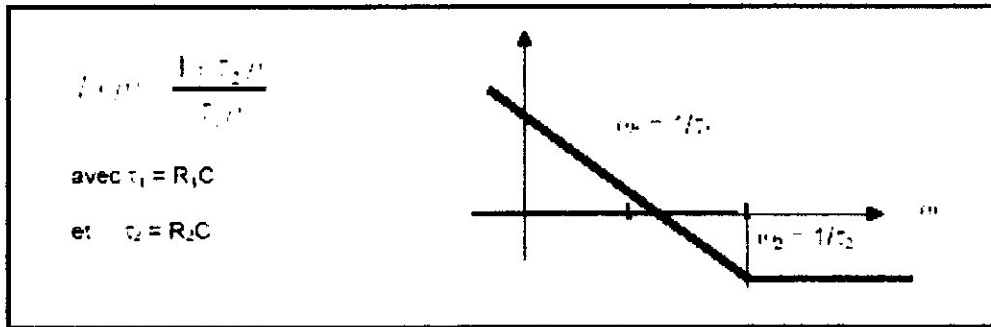


Figure II-38 : Courbe de réponse du filtre actif.

Ce filtre introduit une intégration supplémentaire, ce qui augmente la classe du système asservi et améliore sa précision.

Avec ce filtre actif, la transmittance de boucle s'écrit :

$$T(p) = \frac{K_0 \cdot K_d \cdot (1 + \tau_2 p)}{\tau_1 \cdot p^2}$$

ce qui nous donne en boucle fermée un système du deuxième ordre non fondamental:

$$T'(p) = \frac{T(p)}{1 + T(p)} = \frac{1 + \tau_2 p}{1 + \tau_2 \cdot p + \tau_1 p^2 / K_0 \cdot K_d}$$

Ce système est caractérisé par son amortissement m et sa pulsation propre ω_0 qui s'écrivent :

$$\omega_0 = \sqrt{\frac{K_0 \cdot K_d}{\tau_1}} \text{ Et } m = \frac{0,5 \tau_2}{\sqrt{K_0 K_d / \tau_1}}$$

On dispose maintenant de 3 paramètres de réglage pour la boucle : τ_1, τ_2 et K_o .

En choisissant des valeurs convenables pour les deux constantes de temps, le concepteur de la boucle à verrouillage de phase pourra s'assurer d'un régime transitoire correct, c'est à dire un temps de réponse rapide et un dépassement raisonnable.

II-6-Les applications du PLL :

II-6 -1-Multiplication De Fréquence :

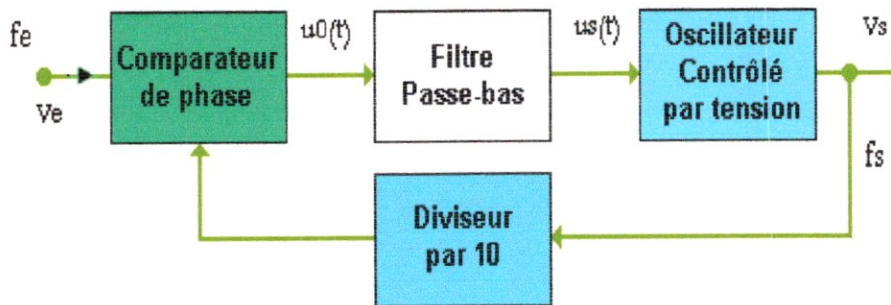


Figure II-39 : Multiplicateur de fréquence basé sur une boucle de réaction à verrouillage de phase.

Dans le circuit de base de la Figure II-24, la fréquence du signal de sortie verrouille avec la valeur moyenne de la fréquence d'entrée, ainsi, les fréquences d'entrée et de sortie sont identiques. La Figure II-39 présente une variation de ce circuit dans laquelle la fréquence de sortie est précisément dix fois plus élevée que celle d'entrée. Il en résulte que le circuit fonctionne comme un multiplicateur de fréquence.

Dans le diagramme synoptique de la Figure II-39, un compteur diviseur par dix est inséré dans la boucle de réaction entre la sortie du VCO et l'entrée du comparateur de phase. Par conséquent, le comparateur de phase verrouille à la fréquence de sortie du diviseur par dix au lieu de la sortie du VCO.

Toutefois, dans la condition de verrouillage, la fréquence de sortie (F_o) du VCO est dix fois plus grande que le signal d'entrée de référence (F_r). Le circuit agit donc comme un multiplicateur X10. Ce circuit peut multiplier par n'importe quel nombre autre que dix, à la

condition d'avoir un compteur possédant un ration de division approprié dans sa boucle de réaction.

II-6-2-Synthèse De Fréquence :

La grande famille des synthétiseurs de fréquence permet de produire, à partir d'un oscillateur à quartz de référence de fréquence f_r , un signal dont la fréquence peut varier par pas et dont la stabilité est la même que celle de l'oscillateur pilote.

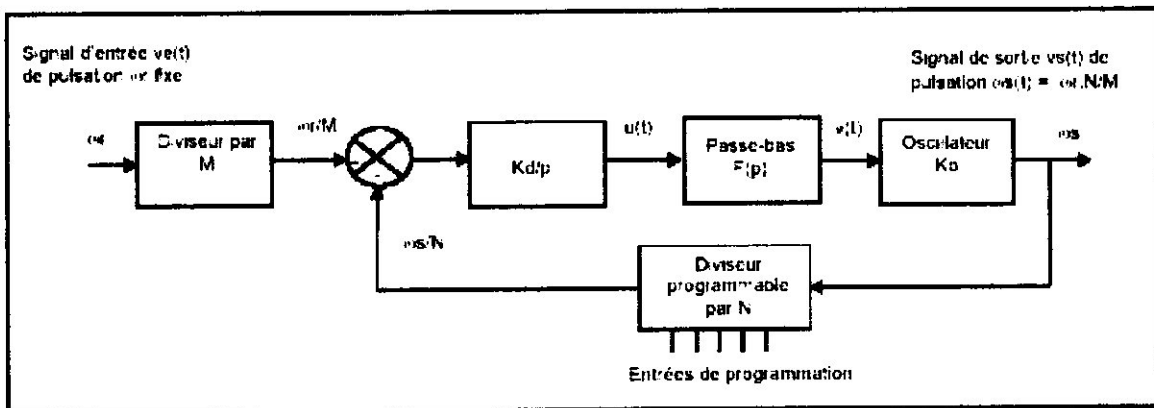


Figure II-40 : Le synthétiseur de fréquence de base.

Les relations entre les fréquences sont simples puisque la boucle assure l'égalité des fréquences à l'entrée du comparateur de phase :

$$f/N = f_r/M \quad \text{Soit} \quad f = N.f_r/M$$

Le pas de la synthèse est défini par le diviseur R et vaut f_r/M et la fréquence de sortie peut être modifiée simplement en programmant à une autre valeur le diviseur.

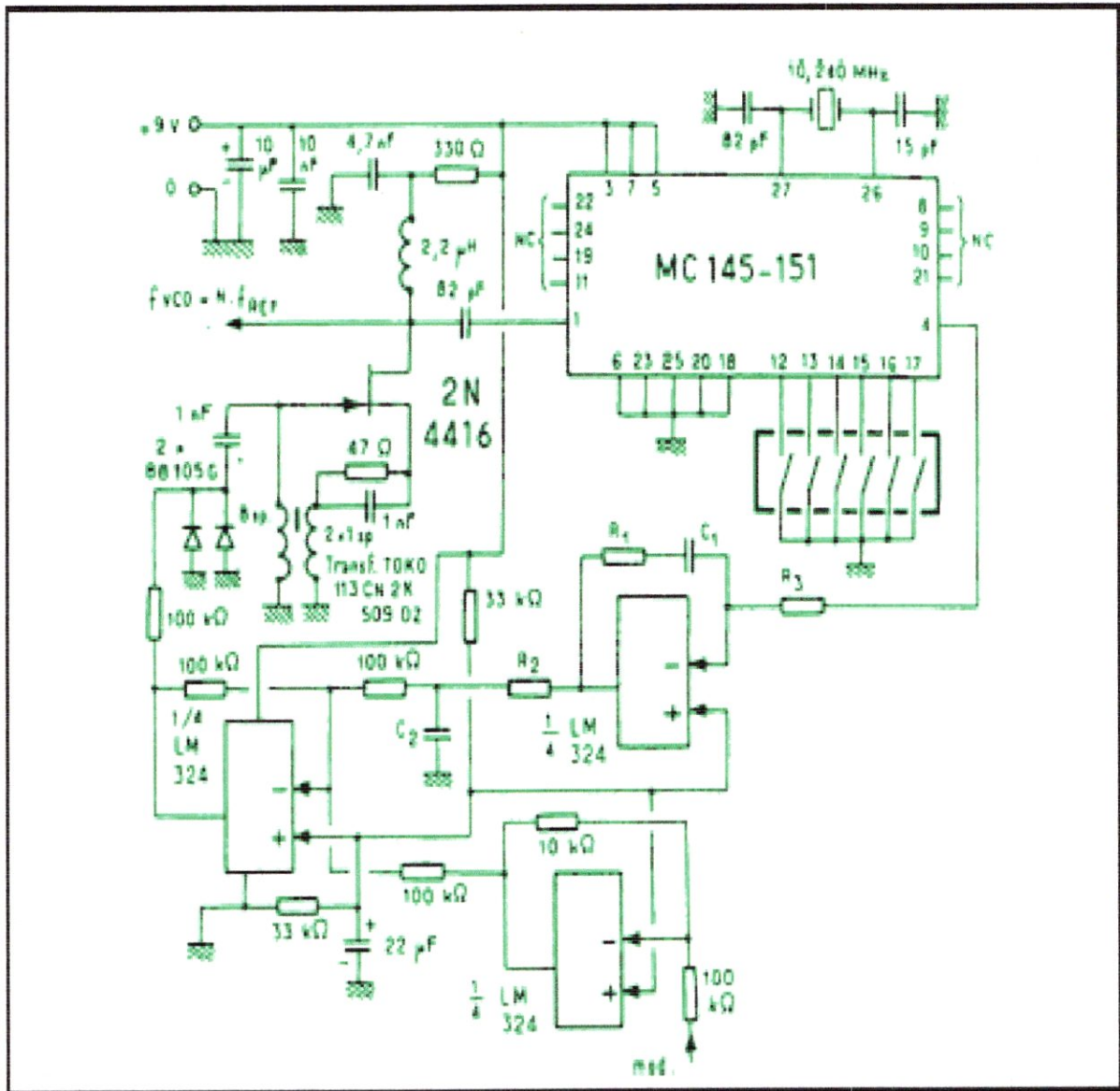


Figure II-41: Exemple d'un synthétiseur 27 MHz construit autour d'un MC145151.

II-6-3-modulateur de fréquence :

Lorsqu'on veut produire un signal modulé en fréquence, on est confronté à deux exigences contradictoires à savoir :

- bonne stabilité de la porteuse f_0
- excursion en fréquence autour de f_0 suffisante

Un oscillateur LC muni d'une varicap permet d'atteindre le deuxième objectif mais non le premier, et la situation s'inverse pour l'oscillateur à quartz.

On utilise actuellement deux techniques pour arriver au résultat souhaité :

- Oscillateur à quartz suivi de multiplicateurs de fréquence par N qui augmentent l'excursion.
- La boucle à verrouillage de phase.

Le principe de ce modulateur à PLL est exposé ci-dessous :

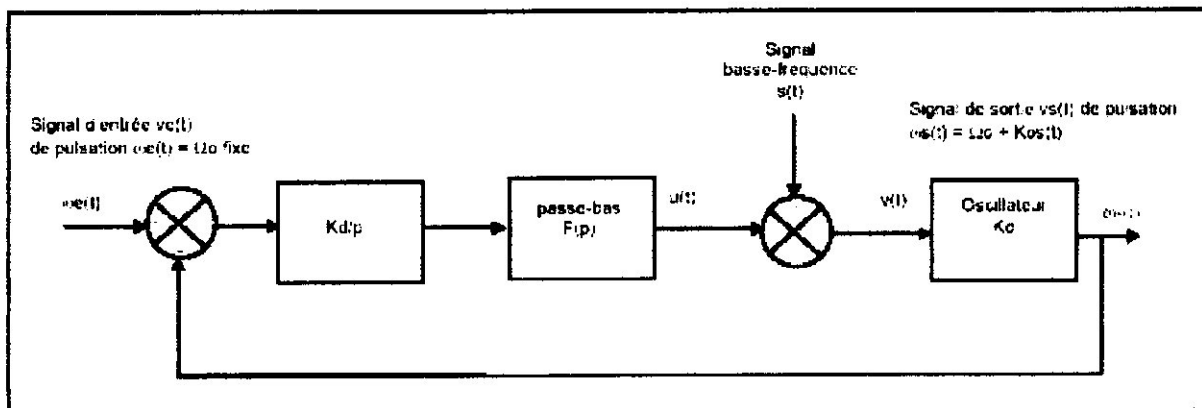


Figure II-42 : Modulateur de fréquence à PLL.

La PLL est accrochée sur un oscillateur à quartz de référence fournissant un signal à la fréquence f_0 et on injecte le signal basse-fréquence modulant à l'entrée du VCO en superposition du signal de commande V .

Supposons que spectre de $s(t)$ contienne des composantes allant de F_1 à F_2 (par exemple de 20 Hz à 20 kHz).

La fréquence de coupure f_c du filtre passe-bas sera choisie très inférieure à la plus basse des fréquences de $s(t)$, soit par exemple $f_c = 0,1$ Hz.

La boucle est alors efficace vis-à-vis des dérives lentes du VCO, mais incapable de réagir devant des variations rapides de la fréquence de sortie causées par le signal modulant.

Ce système est malheureusement inutilisable dans les applications où la fréquence de la porteuse doit varier souvent et rapidement.

En effet, la faible fréquence de coupure de $F(p)$ implique une constante de temps importante et donc un régime transitoire très lent.

Une des solutions actuellement utilisée dans le cas des transmissions numériques par trames courtes est d'ouvrir tout simplement la boucle durant la durée de la modulation.

II-6-4- Démodulation de fréquence :

Nous avons montré au paragraphe II-4-1 que dans une boucle analogique, la tension V_c de Commande du VCO était directement proportionnelle à l'écart de fréquence ($f_e - F_0$). Dans une boucle logique, c'est $(V_c - V_{DD}/2)$ qui est proportionnelle à $(f_e - F_0)$; ceci parce que la fréquence libre F_0 est obtenue pour $V_{DD}/2$ et non pas zéro.

Une boucle à verrouillage de phase apparaît donc naturellement comme un démodulateur de fréquence, puisqu'elle délivre un signal proportionnel à l'écart de fréquence entre une fréquence f_e et une référence; la fréquence libre F_0 du VCO.

Le montage retenu pour mettre en évidence la démodulation de fréquence est donné à la Figure II-43, il est en tous points similaire à celui de la Figure II-16, excepté que l'oscilloscope n'est plus utilisé en X-Y et que le signal modulant V_1 peut être soit une sinusoïde, soit une rampe soit encore un échelon. Dans ce dernier cas, il s'agit d'une modulation-démodulation FSK (Frequency Shift Keying) très utilisée en modulation numérique. La démodulation FSK revient à étudier la réponse de la boucle à un saut de fréquence. Compte tenu que la PLL est un système du deuxième ordre, la réponse (le signal V_c par exemple) à un saut de fréquence peut présenter des rebondissements. Les Figures 44, 45 et 46 montrent trois réponses enregistrées pour trois différentes valeurs de la constante de temps t , l'amplitude DF_e de l'échelon de fréquence est la même pour les trois expériences.

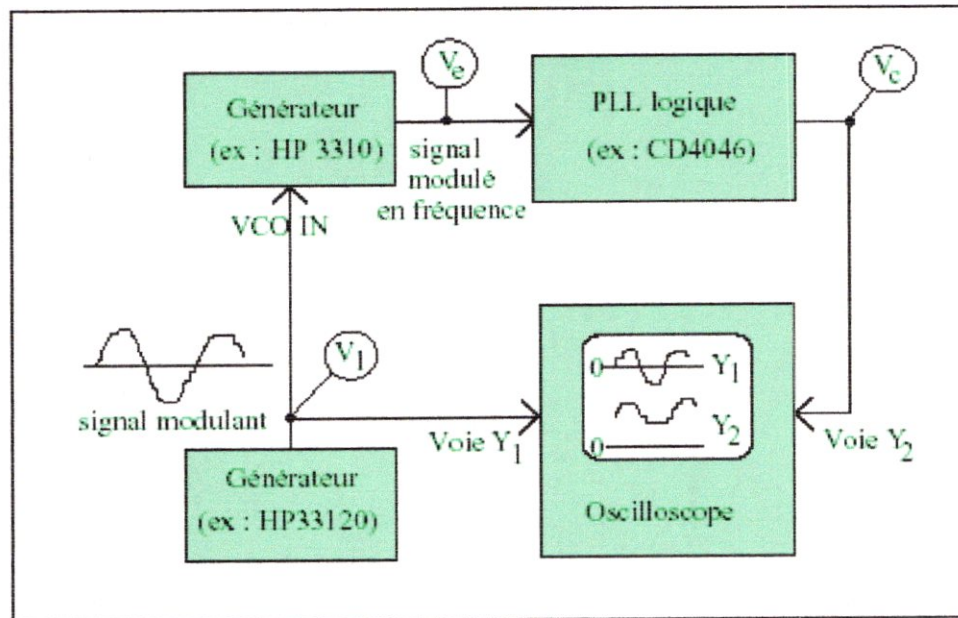


Figure II-43 : Montage d'étude de la démodulation de fréquence par une boucle à verrouillage de phase.

On observe que la fréquence f_p des oscillations et l'amortissement ξ sont d'autant plus grands que la constante de temps τ est faible, ce qui est en accord avec la relation 3. On rappelle que :

$$\omega_p = \sqrt{\frac{2\pi K_0 K_d}{\tau}} \quad \text{Et} \quad \xi = \frac{1}{2} \sqrt{\frac{1}{2\pi K_0 K_d \tau}}$$

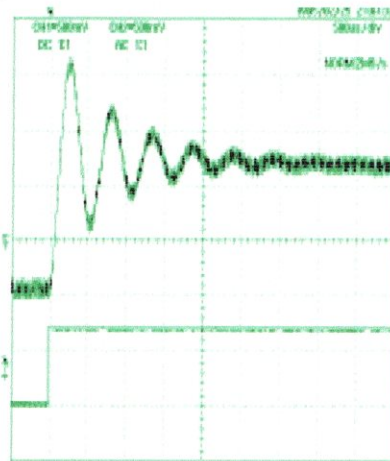


Figure44 : Réponse à un échelon de fréquence,

Signale haut : Vc

$$\tau = 500\mu S$$

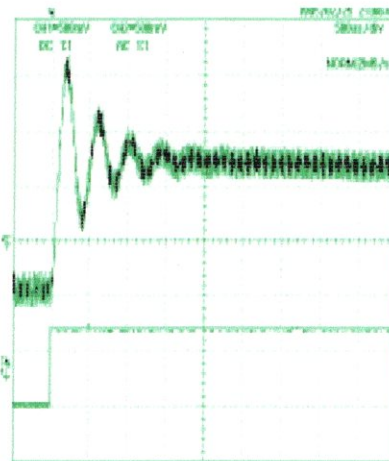
Signale bas : échelon V₁

Figure45 : Réponse à un échelon de fréquence,

Signale haut : Vc

$$\tau = 300\mu S$$

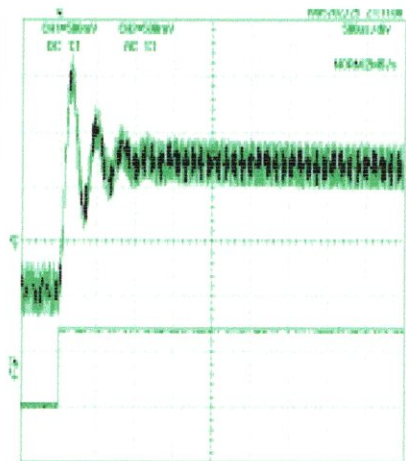
Signale bas : échelon V₁

Figure 46 : Réponse à un échelon de fréquence

Signale haut : Vc

$$\tau = 200\mu S$$

Signale bas : échelon V₁

En réponse à un échelon de fréquence $\Delta f_e = f_{e2} - f_{e1}$, la fréquence du VCO passe de f_{s1} à f_{s2} comme le montre la Figure II-43 et les Figures 44, 45 et 46 ci-dessus.

La démodulation FSK par une boucle à verrouillage de phase nécessite cependant certaines précautions comme en témoignent les Figures 47 et 48.

Les Figures 47 et 48 sont obtenues pour une même valeur de Δf_e mais pour deux valeurs différentes de t donc de bandes passantes et d'amortissements. On observe que dans le cas d'une faible bande passante du filtre (plage de capture réduite) et d'un faible amortissement (τ élevé) la boucle a tendance à se déverrouiller à chaque transition. En conséquence, si la période du signal V₁ est trop élevée, autrement dit si les changements de fréquence de f_e sont trop rapides, la boucle ne permet pas de récupérer le signal modulant.

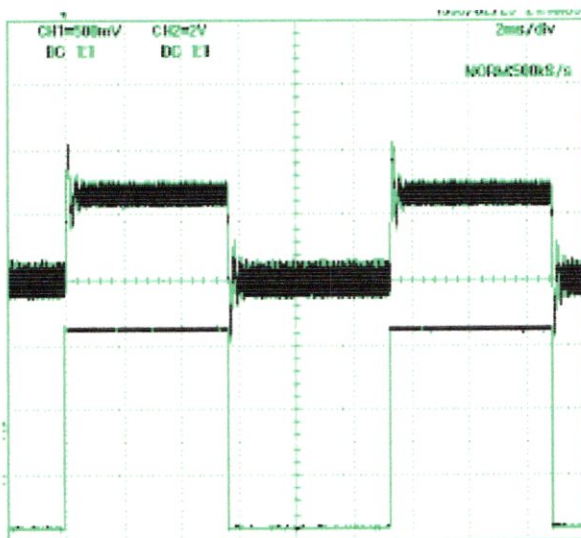


Figure 47 : Réponse à un échelon de fréquence ΔF_e
 Signale haut : V_c
 $\tau = 100\mu S$
 Signale bas : échelon V_1

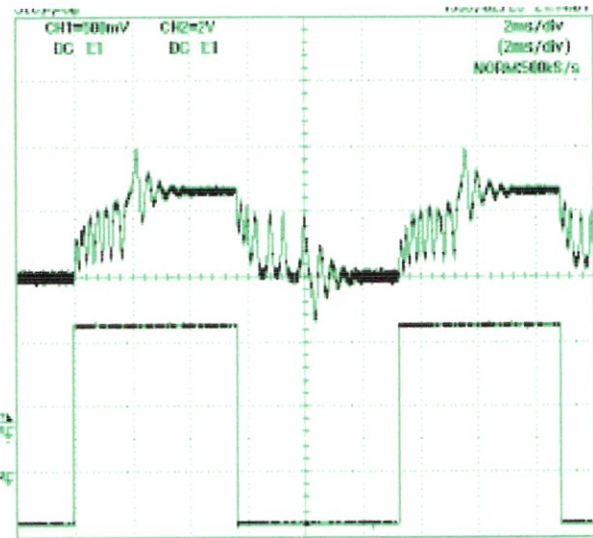


Figure 48 : Réponse à un échelon de fréquence ΔF_e
 Signale haut : V_c
 $\tau = 300\mu S$
 Signale bas : échelon V_1

On pourra remarquer que pour la même valeur de ΔF_e , la boucle permet de démoduler correctement le modulant si celui-ci est de type sinusoïdal ou triangulaire comme le montrent les Figures 49 et 50, la Figure II-51 reprend quant à elle la réponse à un échelon ΔF_e .

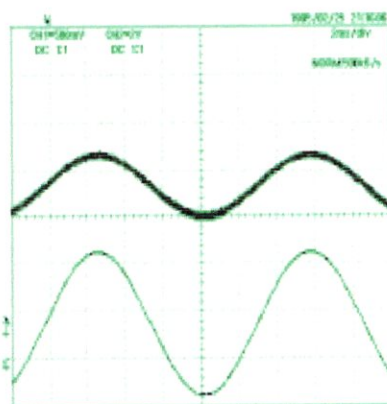


Figure49 : Réponse à un modulant de sinusoïde,
 Signale haut : V_c
 $\tau = 300\mu S$
 Signale bas : échelon V_1

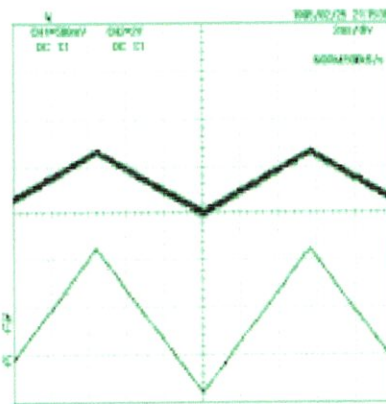


Figure50 : Réponse à un modulant triangulaire,
 Signale haut : V_c
 $\tau = 300\mu S$
 Signale bas : échelon V_1

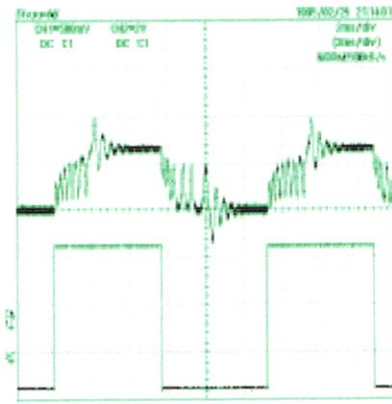


Figure 51 : Réponse à un modulant carré (échelon)
 Signale haut : V_c
 $\tau = 300\mu S$
 Signale bas : échelon V_1

On peut qualitativement expliquer le comportement à partir du diagramme de la Figure II-52 compte tenu la boucle se comporte comme un système du deuxième ordre, la réponse à un échelon de fréquence $\Delta F_c = (f_{c2} - f_{c1})$ fait passer, lors du transitoire, la tension V_c de V_{c1} à une tension supérieure à V_{c2} , ainsi la tension V_c peut dépasser la valeur repérée par le point A de la Figure II-52 et entraîner le déverrouillage de la boucle. Le même raisonnement s'applique lors d'une transition de f_{c2} vers f_{c1} , la tension V_c peut devenir inférieure à la valeur repérée par le point B et entraîner de nouveau le déverrouillage de la boucle.

Pour une valeur de F donnée le risque de déverrouillage est d'autant plus grand que la plage de capture est faible et que l'amortissement est faible, en effet dans ce cas le fort rebond lors du transitoire fait que la fréquence instantanée f_s du VCO de la boucle dépasse de beaucoup la valeur de l'état stationnaire.

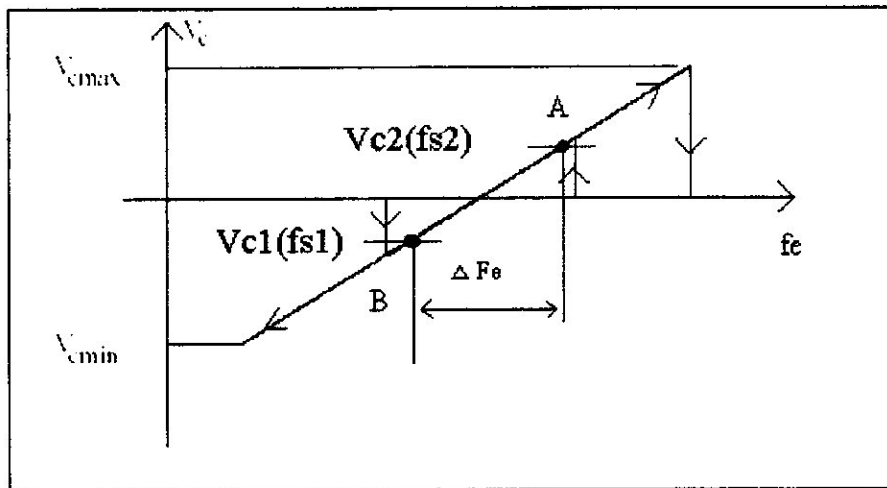


Figure II-52: Explication du déverrouillage lors d'un échelon de fréquence.



CHAPITRE III

Etude en simulation de la PLL

III-1-Définition du simulink :


Simulink est un logiciel pour modéliser, simuler, et analyser les dynamiques systèmes.



Il soutient les systèmes linéaires et non-linéaires, modèle dans le temps continu, prélevé temps, ou un hybride des deux. Les systèmes peuvent également être multirate, c.-à-d., ayez de différentes pièces qui sont prélevées ou mises à jour à différents taux.

Pour modéliser, Simulink fournit une interface utilisateur graphique (GUI) pour des modèles de bâtiment comme schémas fonctionnels, employant clic et traînent des opérations de souris. Avec cette interface, on peut dessiner les modèles juste comme vous avec le crayon et le papier (ou comme la plupart des manuels les dépeignent). Simulink inclut une bibliothèque complète de bloc des éviers, les sources, les composants linéaires et non-linéaires, et les connecteurs. On peut également adapter et créer nos propres blocs.

Pour commencer le Simulink, il faut d'abord :

- commencer MATLAB :

- Cliquer l'icône de Simulink sur le MATLAB toolbar. 

Donc elle va apparaître la bibliothèque des blocs ,on peut donc ouvrir une nouvelle interface on appuyant sur l'icône du nouvelle page  ou ouvrir un travail qui déjà existe on appuyant sur ouvrir le dossier  ,donc l'interface va apparaître,après on peut sélectionné les bloc qu'on a besoin pour continue le travail. Comme la montre la figure ce-desous.

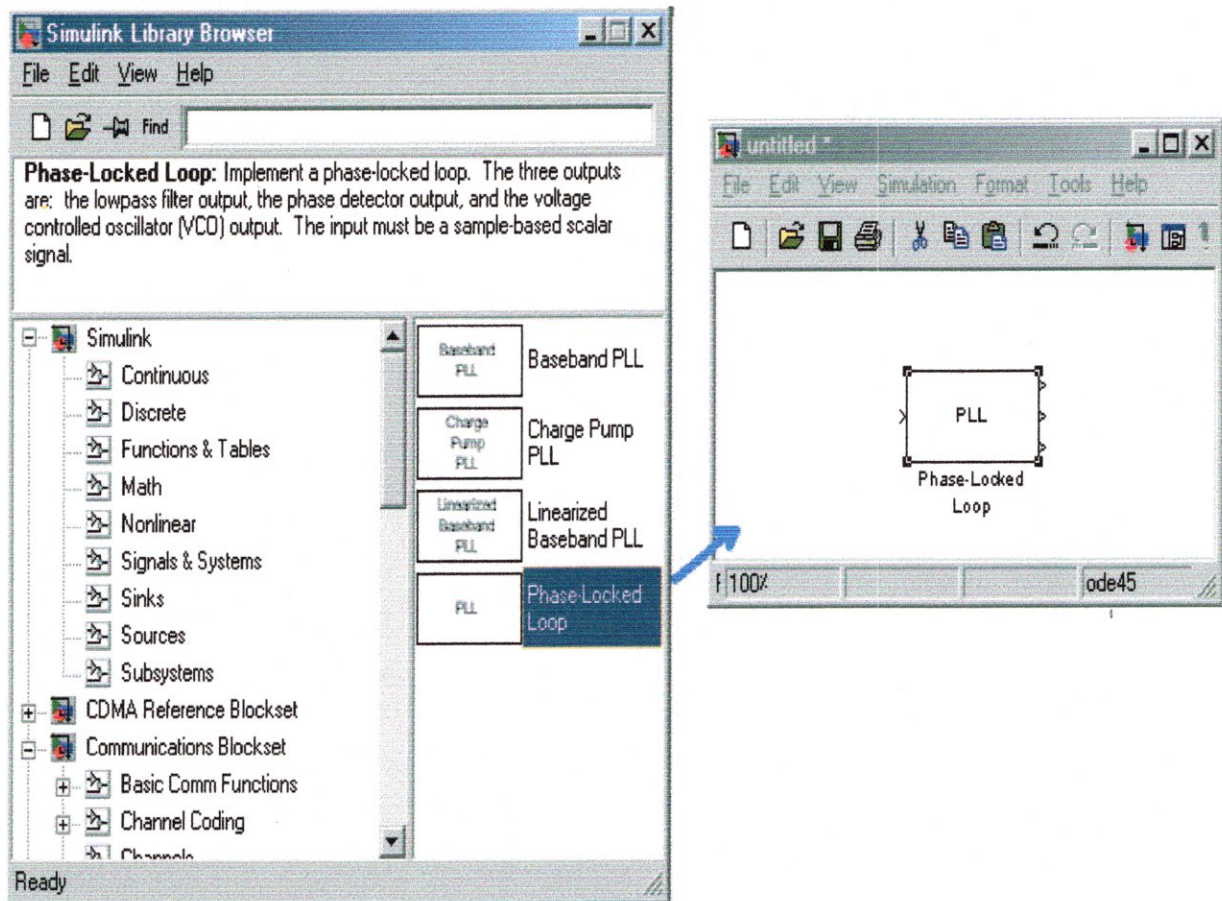


Figure III-1 : l'interface du simulink

III-2-Simulation de la PLL :

Soit la Figure III-1 ci-dessous :

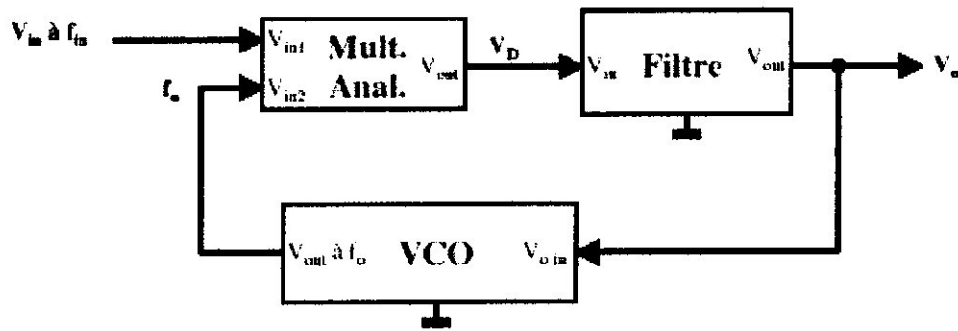


Figure III-2-Schéma d'une boucle à verrouillage de phase

Le multiplicateur analogique a une caractéristique $V_{out} = V_{in1} \cdot V_{in2} / 1 \text{ V}$.

Le signal d'entrée V_{in} à f_{in} et celui généré par le VCO V_{out} à f_o sont tous deux des sinus d'amplitude constante à 1.26 V crête.

Le VCO a une caractéristique tension-fréquence linéaire entre -1.5 V et $+1.5 \text{ V}$ correspondant à une fréquence de sortie de 800 kHz à 1.2 MHz, soit une fréquence dite "free running" de 1 MHz.

a) Calcul de K_o et K_d

On va commencer par la détermination du "gain" K_o du VCO et celui K_d du détecteur de phase autour de 0 V.

Le VCO étant linéaire :

$$K_o = \frac{\text{variation de la pulsation du signal de sortie}}{\text{Variation de la tension de commande}}$$

$$K_o = \frac{\Delta\omega_0}{\Delta V_0} = 2\pi \frac{\Delta f_0}{\Delta V_0} = 2\pi \frac{400 \cdot 10^3}{3} = 838 \cdot 10^3 \text{ rad / s.V}$$

Le comparateur de phase est un multiplicateur analogique :

$$Kd = \frac{\text{valeur moyenne de la tension en sortie}}{\text{déphasage entre les signaux d'entrée}}$$

$$V(t) = A \sin \omega t \cdot A \sin(\omega t + \phi)$$

On suppose que l'amplitude $A=1.26$

$$V(t) = A^2/2 \cdot (-\sin 2\omega t + \cos \phi) = 0.8 \cdot (\sin 2\omega t + \cos \phi)$$

En éliminant la composante à la fréquence double par filtrage passe-bas :

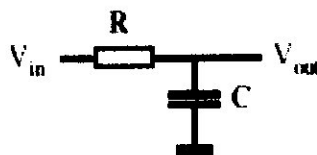
$$V_{moyen} = 0.8 \cdot \cos \phi$$

Autour de $V_{moyen} = 0$, c'est à dire autour de $\phi = \frac{\pi}{2}$, la pente est maximum et vaut :

$$Kd = \frac{V_{moyen}}{\phi} = 0.8 \text{ V/rad}$$

Donc : $K_o \cdot Kd = 670 \cdot 10^3 \text{ rad/s}$

b) Simple filtre passe bas RC du premier ordre :



On va étudier les paramètres de ce filtre pour obtenir un bon amortissement du système en boucle fermée ($m = 0.5$) et on détermine la largeur de bande B_n de la PLL (du système en boucle fermée).

Donc :

$$F(s) = \frac{1}{1 + \tau s}$$

$$\omega_n = \sqrt{\frac{K_0.K_d}{\tau}} \quad \text{et} \quad m = \sqrt{K_0.K_d.\tau}$$

$$m=0.5$$

$$\tau = 0.37 \mu s$$

$$R=37 \Omega \quad \text{et} \quad C=1 \mu f$$

Etude par une simulation de la réponse de la PLL à un saut de fréquence de 50kHz.

On a généré un step a l'entrée du PLL et on a branchés deux oscilloscopes l'un a la sortie du générateur et l'autre au sortie du PLL, et les résultats ont les graphes ces-dessous.

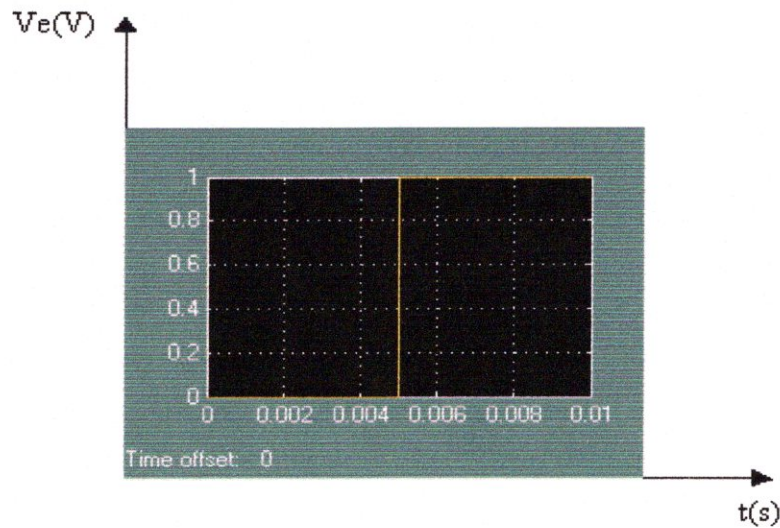


Figure III-3: signal d'entrée (step).

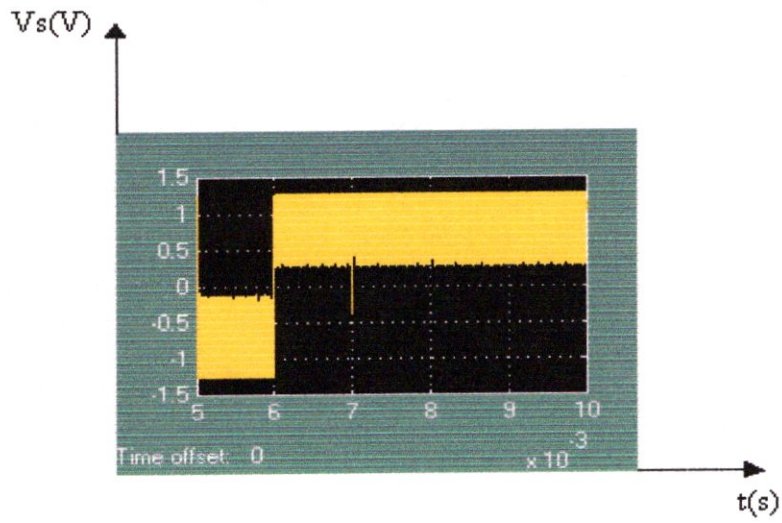


Figure III-4 : La réponse de la PLL avec un $\tau = 0.37\mu s$.

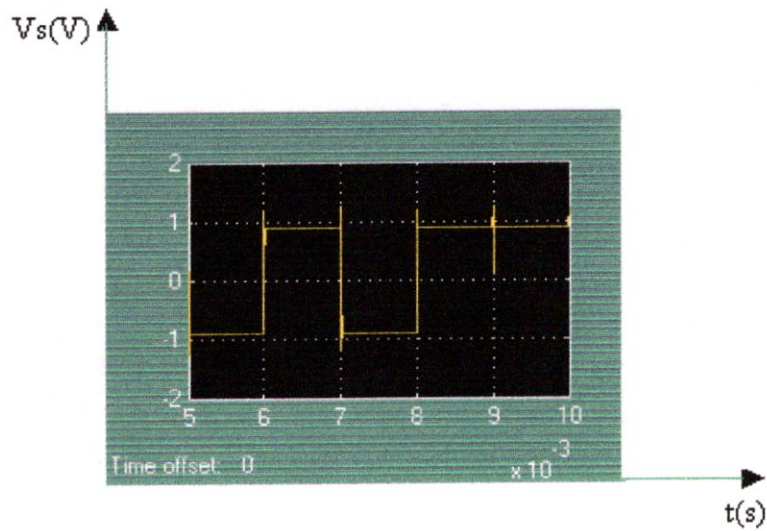
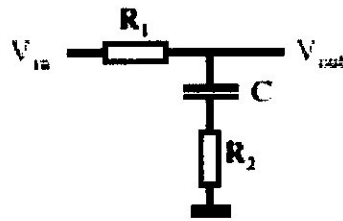


Figure III-5 : La réponse de la PLL avec un $\tau = 4\mu s$

La Figure III-4 montre clairement la suivie du signal de sortie du PLL qui comporte un filtre de premier ordre au signal d'entrée.

La Figure III-5 montre l'influence de la diminution de la bande passante en augmentant la constante RC du filtre, donc on voit que la stabilité est dégradée.

c) Filtre passe bas RC avec un pôle et un zéro :



On a dimensionné ce filtre pour obtenir une bande passante du système en boucle fermée $B_n = 50$ kHz avec un bon amortissement ($m = 0.5$).

On va étudier par une simulation comportementale la réponse de la PLL à un saut de fréquence.

$$F(s) = \frac{1 + RC(p)}{1 + (R1 + R2)C(p)} = \frac{1 + \tau_2(p)}{1 + (\tau_1 + \tau_2)}$$

$$\omega_n = \sqrt{\frac{K_0 \cdot K_d}{\tau_1 + \tau_2}}$$

L'amortissement $m=0.5$

$R1=1.9 \Omega$ et $C=1 \mu f$;

$R2=4.9 \Omega$

$\tau_1 + \tau_2 = 6.8 \mu s$

Exemple de fréquence avec un saut de fréquence de 50 kHz:

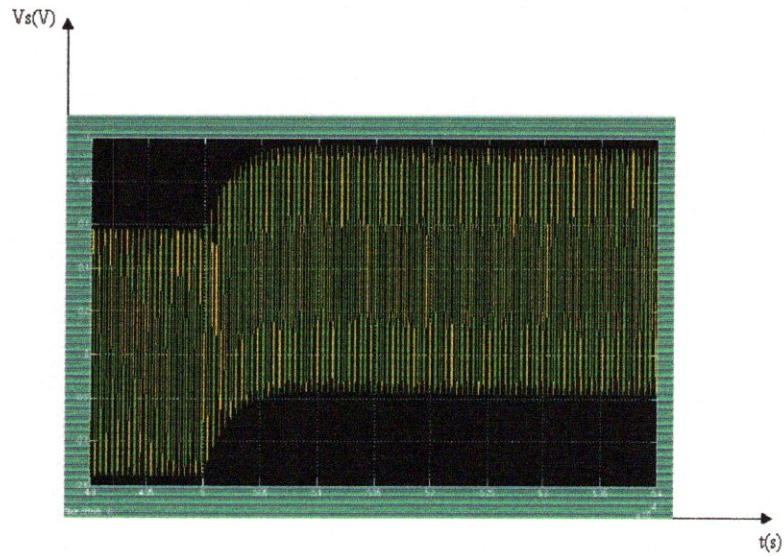


Figure III-6: La réponse du PLL avec saut de fréquence 50kHz.

La Figure III-6 montre clairement la suivie du signal de sortie du PLL qui comporte un filtre de second ordre au signal d'entrée.

Exemple de simulation avec un saut de fréquence de 110 kHz

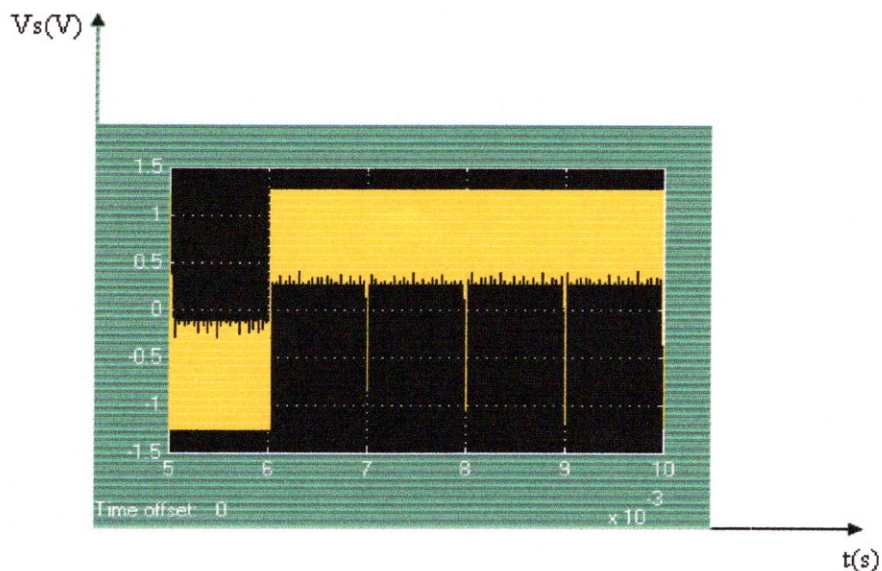


Figure III-7: La réponse du PLL avec saut de fréquence 110kHz.

Figure III-7 Si l'on augmente l'amplitude du saut de fréquence en dehors du domaine de capture la PLL ne parvient plus à retrouver le verrouillage.

Exemple de simulation avec une rampe de fréquence :

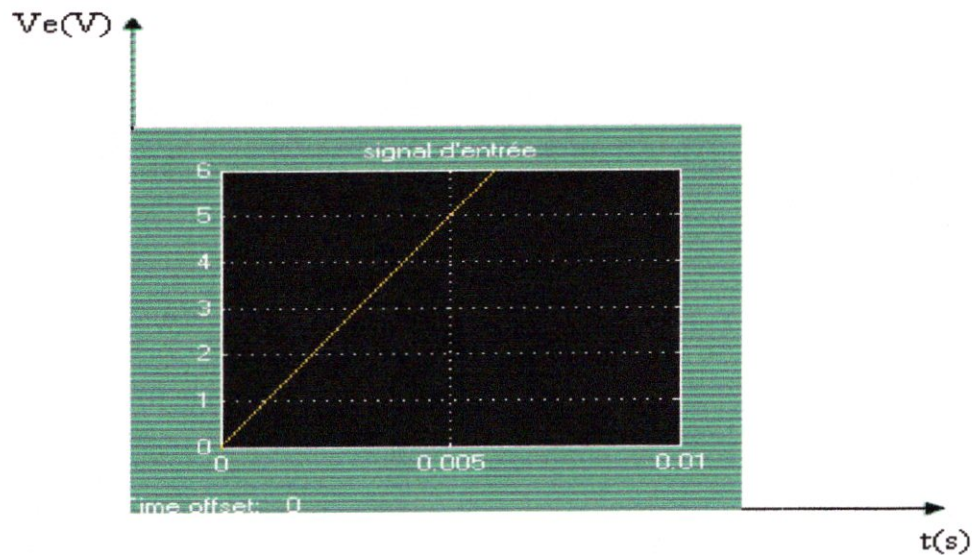


Figure III-8: signal d'entrée (ramp).

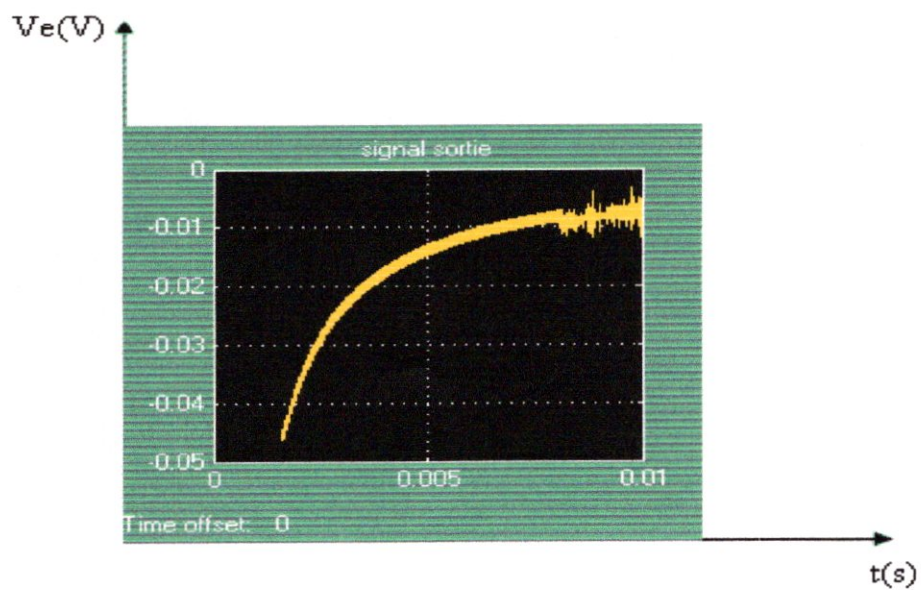


Figure III-9: signal sortie de la PLL.

La Figure III-9 montre une suavit à l'entrée du PLL avec une petite zone de décrochage on approchant au 0,01.

CHAPITRE IV

Simulation d'une application du PLL

IV-1-Modulation- démodulation :

Introduction :

But de la modulation

Convoyer un message à distance. Ce message est toujours en basse fréquence, ou signal se décomposant en basses fréquences.

Pourquoi moduler ?

Pour émettre un signal basses fréquences au moyen d'une antenne, il faudrait les dimensions d'antennes suivantes ;

15km si $f=10\text{kHz}$

1500km si $f=100\text{Hz}$

Principe de la modulation

La modulation consiste à introduire le message électrique basse fréquence (BF) dans un signal haute fréquence (HF). Le signal HF est appelé onde porteuse, le message BF est appelé onde modulante, le signal transmis est l'onde modulée.

Une fois capté, le signal modulé devra être démodulé, c'est-à-dire démunir de sa porteuse. Cette opération s'appelle la démodulation (ou la détection)

Les différents modes de modulation :

Modulation d'amplitude

C'est la modulation AM L'amplitude de la porteuse varie proportionnellement au message modulant, la fréquence de la porteuse restant fixe.

Modulation de fréquence

C'est la modulation FM La fréquence de la porteuse varie proportionnellement au message modulant, l'amplitude de la porteuse restant fixe.

Modulation de phase

C'est la modulation AM La phase de la porteuse varie proportionnellement au message modulant. Cette modulation ressemble à la FM puisque la phase de la porteuse (qui est

sinusoïdale) contient la fréquence. Ce qui est modulé est l'angle entier contenu dans le sinus de la porteuse.

IV-1-1-Modulation d'amplitude et Démodulation d'amplitude AM:

a- Caractéristiques de la modulation AM:

$$f_m(t) = A_m \cos(\omega_m t + \Phi_m)$$

Onde modulante B.F.

Onde porteuse H.F.

$$f_p(t) = A_p \cos(\omega_p t + \Phi_p)$$

Pour simplifier on pose

$$\Phi_m = \Phi_p$$

L'onde modulée dont l'amplitude varie au rythme de la B.F. se met sous la forme

$$f(t) = [A_p + k f_m(t)] \cos(\omega_p t)$$

$$f(t) = [A_p + k A_m \cos \omega_m t] \cos(\omega_p t)$$

$$f(t) = A_p \left[1 + k \frac{A_m}{A_p} \cos \omega_m t \right] \cos(\omega_p t)$$

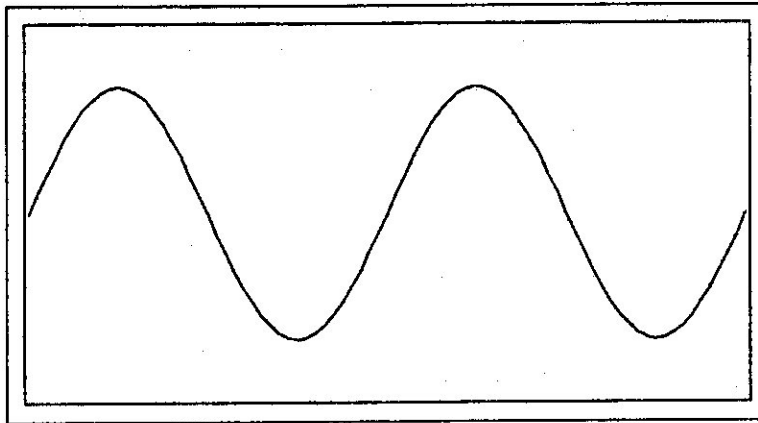
m est l'indice de modulation, ou encore le facteur de modulation

$$m = k \frac{A_m}{A_p}$$

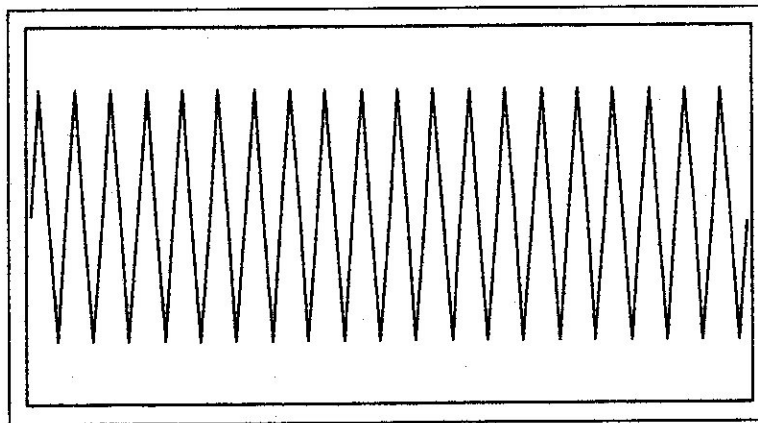
$$f(t) = A_p [1 + m \cos \omega_m t] \cos(\omega_p t)$$

Il faut toujours avoir $m \leq 1$, sinon si $m > 1$ on a une sur modulation.

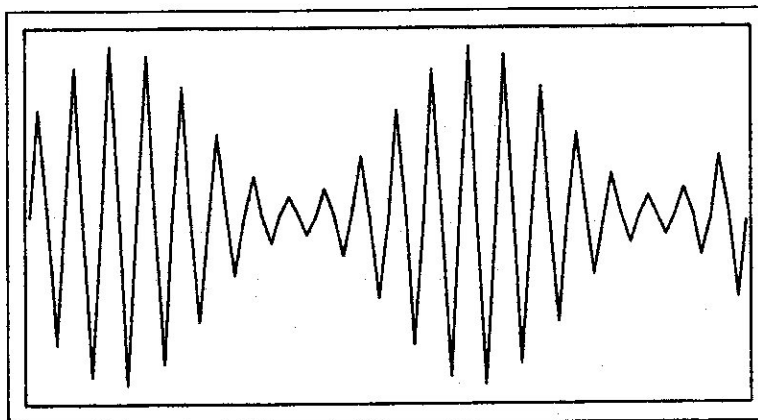
Onde modulante

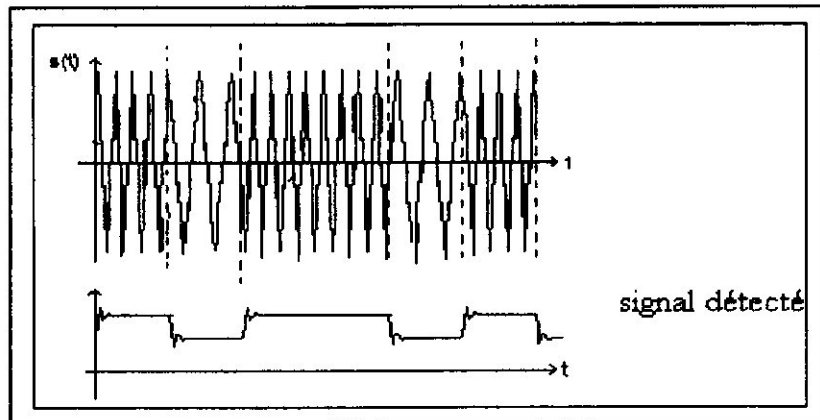


Onde porteuse



Onde modulée avec m=80%





Remarque :

- la distorsion du signal est d'autant plus faible que le VCO est linéaire.
- le filtre passe-bas doit laisser passer le signal $f(t)$.
- la gamme de verrouillage doit correspondre à la largeur de bande de la modulation de fréquence.

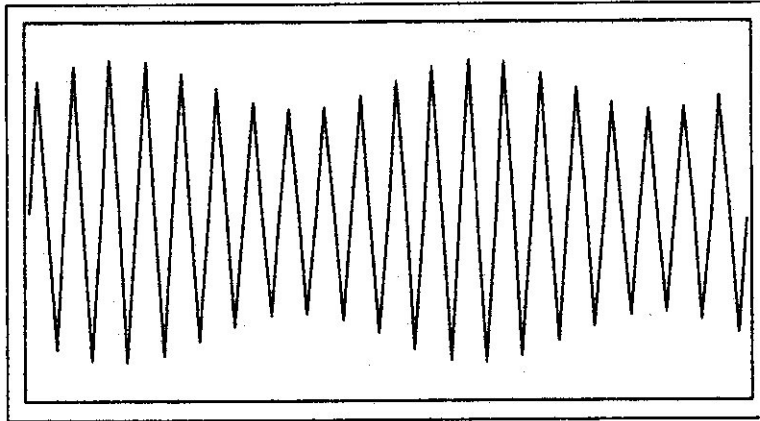
IV-2-Simulation d'une modulation et démodulation AM et FM :

Exemple de simulation d'une modulation FM :

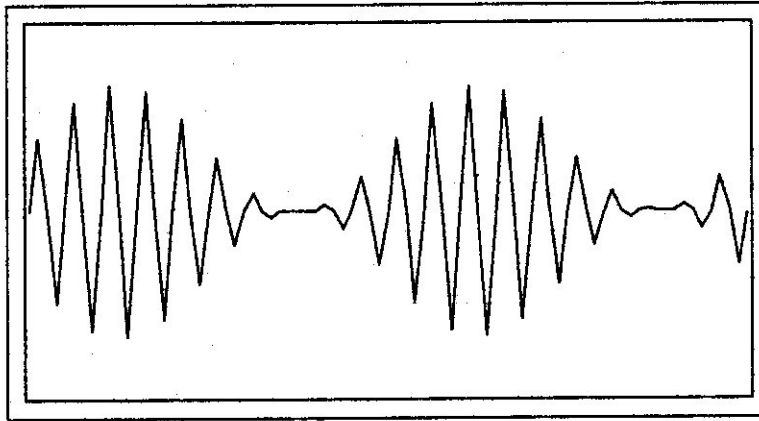
Dans ce exemple on va générer un signal sinusoïdal au niveau d'entrée du PLL d'une fréquence $f=5$ kHz et amplitude $A=1.26$ v comme le montre la FigureIV-3.

Pour voir l'utilisation de ce dernier comme un modulateur FM.

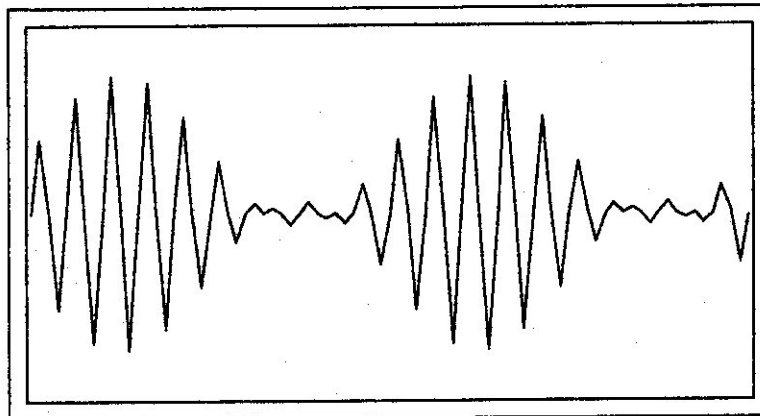
Onde modulée avec $m=20\%$



Onde modulée avec $m=100\%$



Onde modulée avec $m>100\%$



b- représentation spectrale d'un signal AM

Rappelons que :

$$\cos a \cos b = \frac{1}{2} [\cos(a + b) + \cos(a - b)]$$

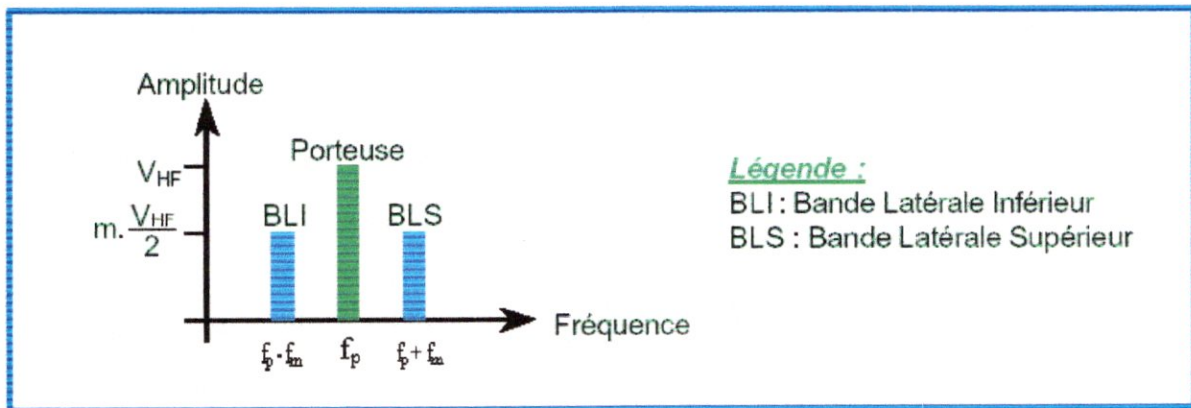
f(t) devient alors :

$$f(t) = A_p [1 + m \cos \omega_m t] \cos \omega_p t$$

$$f(t) = A_p \cos \omega_p t + mA_p \cos \omega_m t \cos \omega_p t$$

$$f(t) = A_p \cos \omega_p t + \frac{mA_p}{2} \cos(\omega_m + \omega_p) t + \frac{mA_p}{2} \cos(\omega_m - \omega_p) t$$

ω_p est la pulsation de la porteuse, $\omega_p + \omega_m$ et $\omega_p - \omega_m$ sont les deux pulsations latérales

c - Spectre en fréquences

Généralement, une porteuse n'est pas modulée par une seule fréquence f_m , mais pas dans toute une gamme de fréquences.

Si le Δf représente la gamme de fréquences contenues dans le signal modulant, le signal modulé aura pour spectre.

- la fréquence porteuse f_p .
- deux bandes latérales autour de f_p de largeur Δf , appelées bande latérale supérieure (BLS) et bande latérale inférieure (BLI), f_M est la fréquence maximum de la décomposition du signal modulant.

d - démodulateur AM

On s'intéresse à la récupération de la BF introduite dans la porteuse, à la réception du signal modulé.

La démodulation est dite synchrone, lorsque la porteuse est reconstituée à partir du signal modulé reçu.

Le signal transmis à l'émission peut en effet être entaché de différents bruits dus à l'émetteur (ou conditions atmosphériques).

Le principe de la détection nécessite un multiplieur et un filtre passe-bas

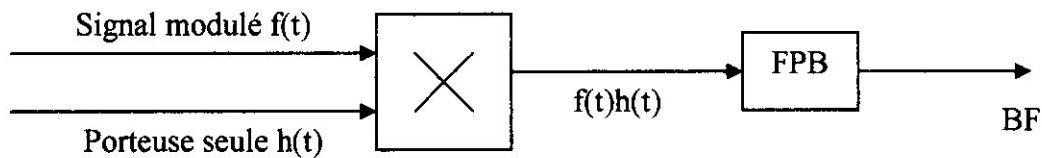


Figure IV-1 : Démodulateur AM.

$h(t)$ est reconstituée à partir de $f(t)$ à l'aide d'une PLL

La PLL est un système bouclé permettant l'asservissement de la fréquence de $h(t)$ sur la fréquence de $f(t)$.

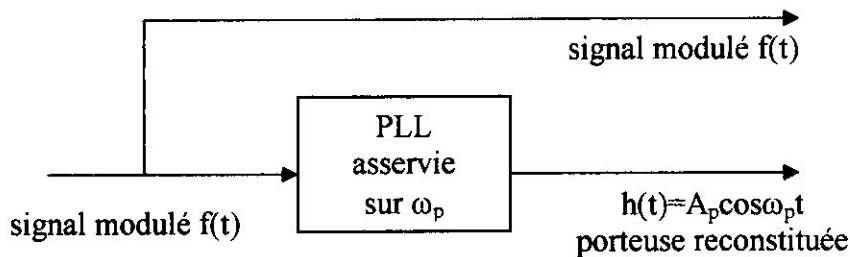


Figure IV-2 : Démodulateur avec PLL.

$$f(t) = A_p (1 + m \cos \omega_m t) \cos \omega_p t$$

$$h(t) = A_p \cos \omega_p t$$

$$s(t) = f(t)h(t) = A_p^2 \frac{1}{2} (1 + m \cos \omega_m t) (1 + \cos 2\omega_p t)$$

$$s(t) = \frac{A_p^2}{2} [1 + m \cos \omega_m t + \cos 2\omega_p t + m \cos \omega_m t \cos \omega_p t]$$

$$s(t) = \frac{A_p^2}{2} \left[1 + m \cos \omega_m t + \cos 2\omega_p t + \frac{m}{2} \cos(2\omega_p - \omega_m) + \frac{m}{2} \cos(2\omega_p + \omega_m) \right]$$

On prend un filtre passe bas avec une pulsation de coupure ω_c supérieur à ω_m

Après le filtre, le signal $s(t)$ devient.

$$s'(t) = \frac{A_p^2}{2} (1 + m \cos \omega_m t)$$

On peut éliminer la composante continue sans problème et on recueille alors la signal BF.

IV-1-2-Modulation de fréquence et Démodulation de fréquence FM :

a - caractéristiques de la modulation FM :

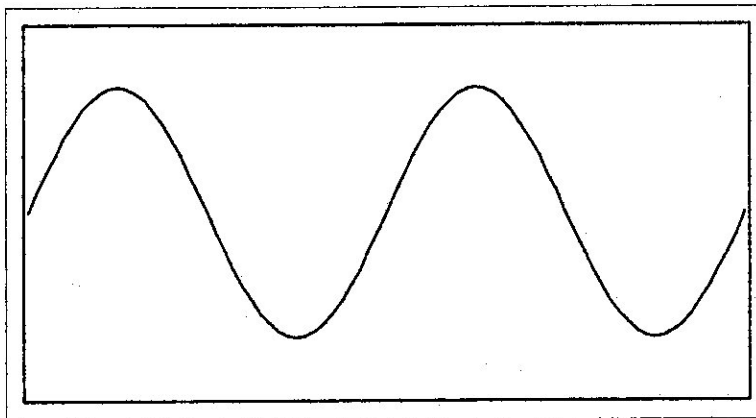
Soit f_p la fréquence de la porteuse, $s_m(t)$ le signal modulant et $s(t)$ le signal modulé en fréquence.

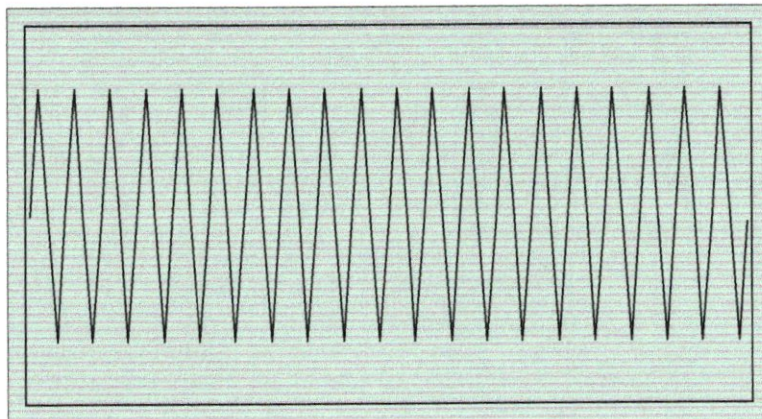
$$f(t) = f_p + k s_m(t)$$

$$\omega(t) = \omega_p + 2k\pi s_m(t)$$

Soit $f(t)$ la fréquence de $s(t)$

Message modulant avec : $A_m=1$



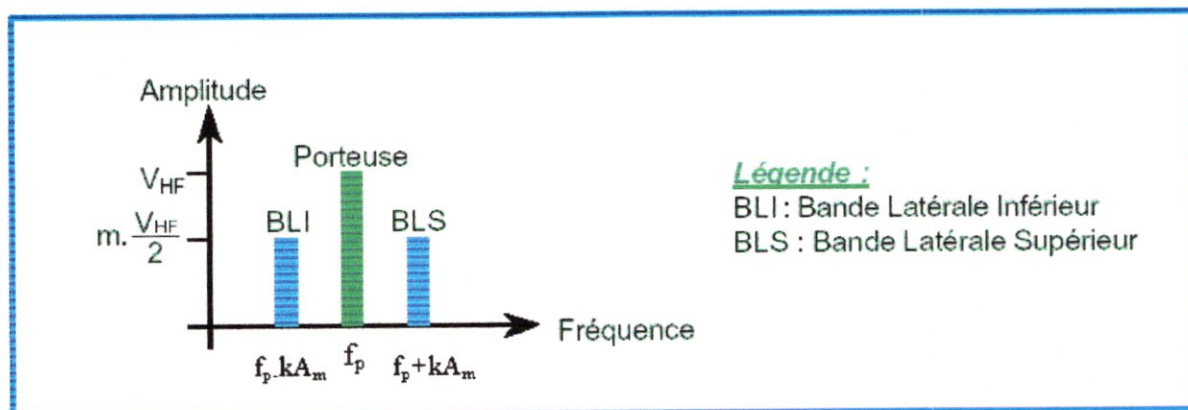
La porteuse

Soit $f(t)$ la fréquence du signal modulé

$$f(t) = f_p + kA_m \cos \omega_m t$$

$$-1 \leq \cos \omega_m t \leq 1$$

$$f_p - kA_m \leq f(t) \leq f_p + kA_m$$



$f(t)$ a une excursion de kA_m autour de f_p .

$\delta = kA_m$ est la déviation, ou excursion maximale de $f(t)$ autour de la fréquence porteuse.

$$m = \frac{\delta}{f_m} = \frac{kA_m}{f_m}$$

m est l'indice de modulation.

$$s(t) = A_p \cos(\omega_p t + m \sin \omega_m t)$$

b- démodulation FM :

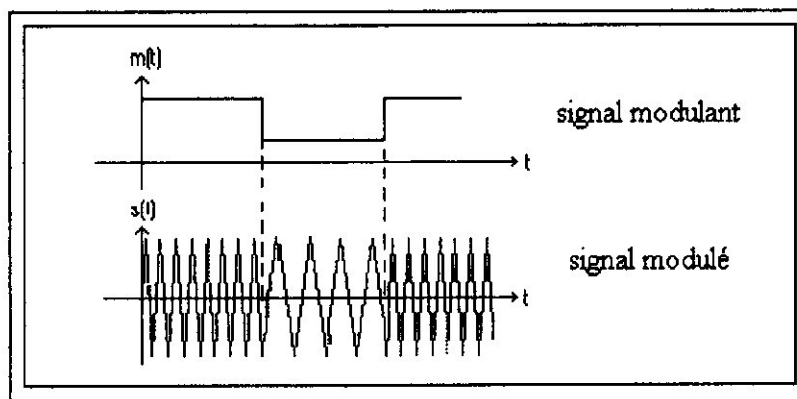
On effectue une démodulation par PLL

La fréquence du VCO de la PLL est identique à celle de la porteuse. Si la fréquence du signal incident, à démoduler, reste dans la gamme de capture, donc de verrouillage de la PLL, le VCO travaille à une fréquence identique à celle de l'entrée. Comme celle-ci varie, cela se traduit par une variation de la tension commandant le VCO et de forme :

$$u_0(t) = K + K' f(t)$$

Le terme K correspond à une compensation éventuelle de l'écart de la fréquence porteuse f_p et de la fréquence centrale f_0 du VCO.

La fonction $K'f(t)$ est celle qui nous intéresse, car elle représente le signal basse fréquence démodulé.

Signal modulant basse fréquence**Signal de la PLL**

Pour démoduler, on utilisera une P.L.L. qui s'accrochera sur f_0 lors de la réception d'un « 0 » et sur f_1 lors de la réception d'un « 1 ». Il suffira alors de récupérer le signal en entrée du V.C.O. qui prendra une forme de créneau (à un transitoire près dépendant de la rapidité de la boucle).

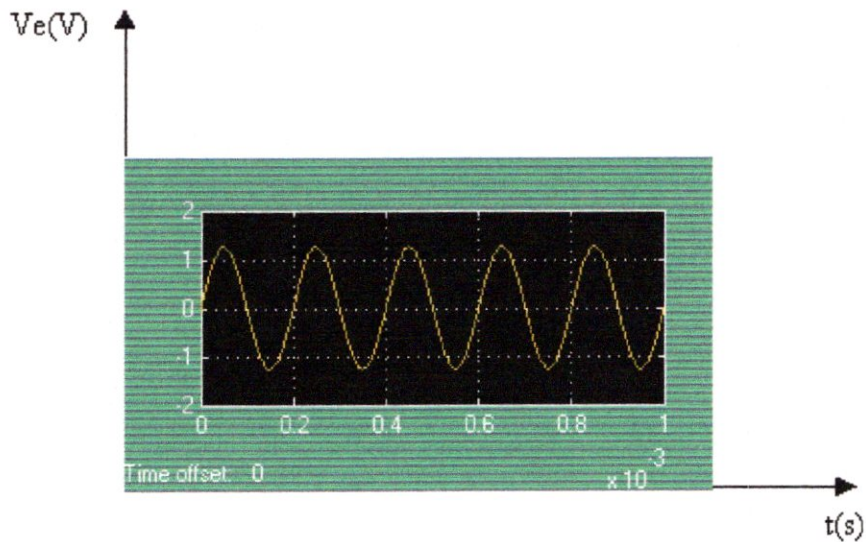


Figure IV-3 : signal d'entrée (sinusoïdal)

Donc on a générer a partir du PLL un signal porteuse d'une fréquence $f_p = 15\text{kHz}$

$$f(t) = f_p + kA_m \cos \omega_m t$$

$$-1 \leq \cos \omega_m t \leq 1$$

$$f_p - kA_m \leq f(t) \leq f_p + kA_m$$

$$f(t) = f_p + kA_m$$

$$= 15\text{kHz} + 5\text{kHz}$$

$$f(t) = 20\text{kHz}$$

Donc le signal de sortie du PLL c'est un signal qui une fréquence $f(t) = 20\text{kHz}$

Qu'on peut le dire un signal modulée en fréquence comme la montre la Figure IV-4.

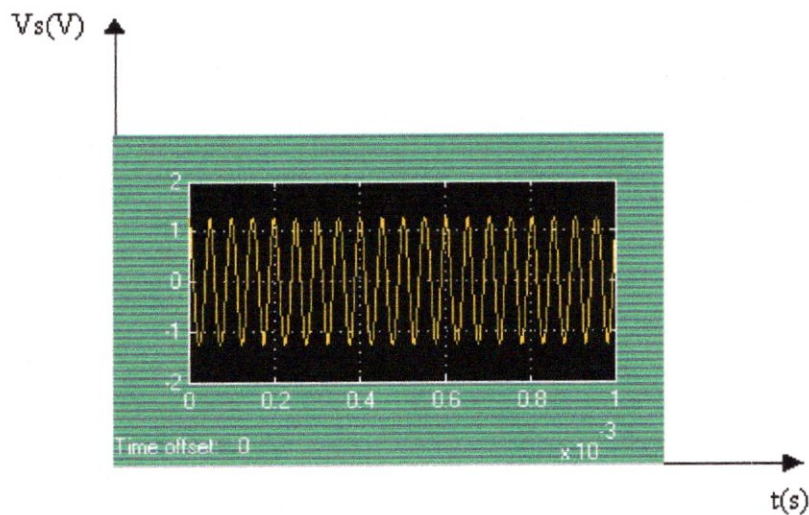


Figure IV-4 : signal modulé en fréquence avec PLL

Exemple de simulation de la démodulation FM :

Dans cet exemple on a entré un signal sinusoïdal comme la montre la Figure IV-3.

Dans un modulateur FM qui va moduler le signal du message avec une porteuse d'une fréquence $f_1=5\text{kHz}$, $A=1\text{V}$

Pour obtenir un signal modulé en fréquence (voir Figure IV- 5).

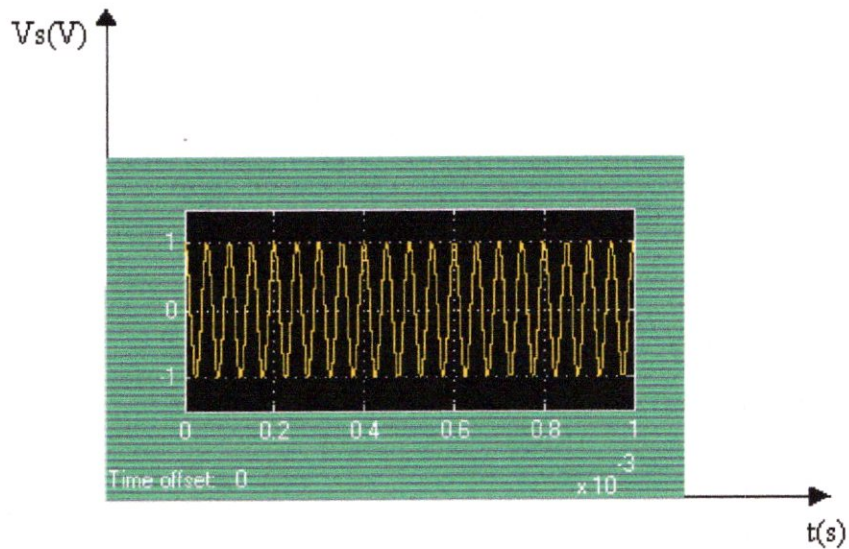


Figure IV- 5 : signal sortie du modulateur

Après on a connecté à la sortie de ce modulateur un PLL comme étant un démodulateur donc on a le signal suivant :

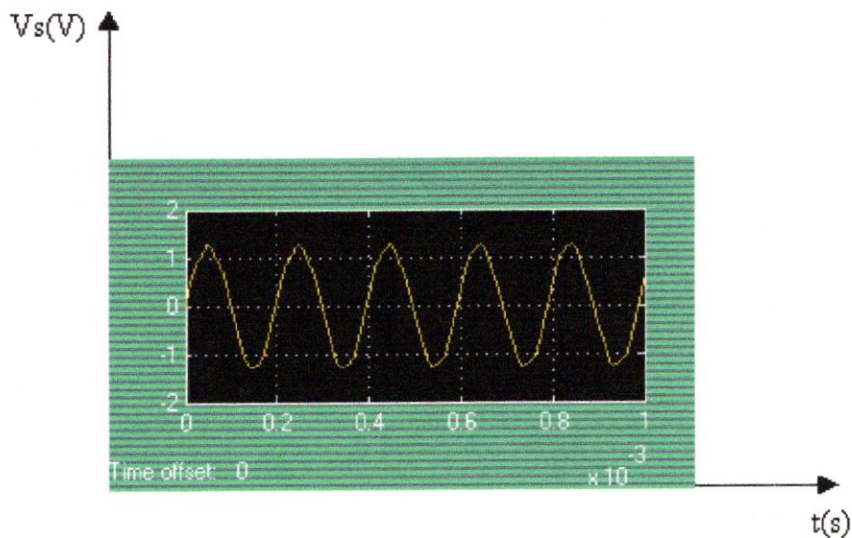


Figure IV- 6 : signal démodulé avec la PLL

ce signal est un signal démodulé qui a presque la même forme que le signal message avec des petites perturbations qu'on peut les régler en jouant sur la sensibilité du VCO.

Exemple de modulation AM :

On va essayer d'obtenir la modulation des différents types de signaux en utilisant le PLL.

Pour cela on a pris la sortie du PLL qui est liée à la sortie du comparateur de phase pour l'utiliser comme étant un modulateur.

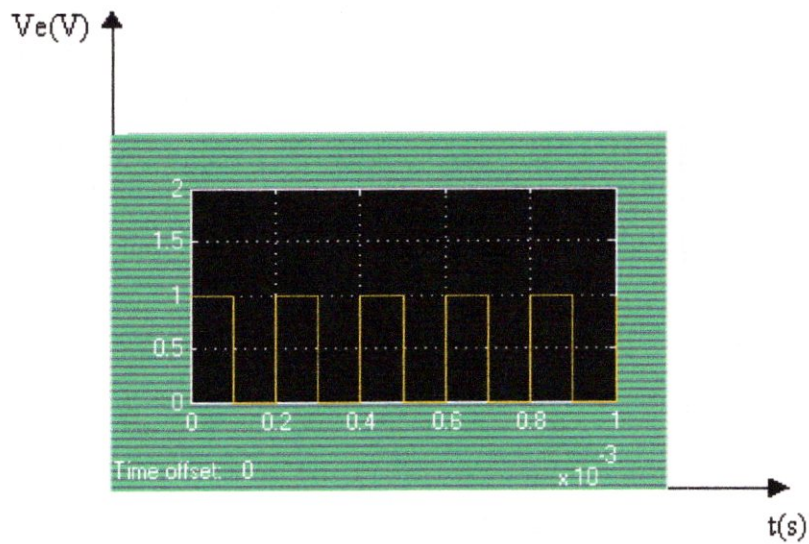


Figure IV-7 : signal d'entrée (carré)

On obtient le signal modulé suivant :

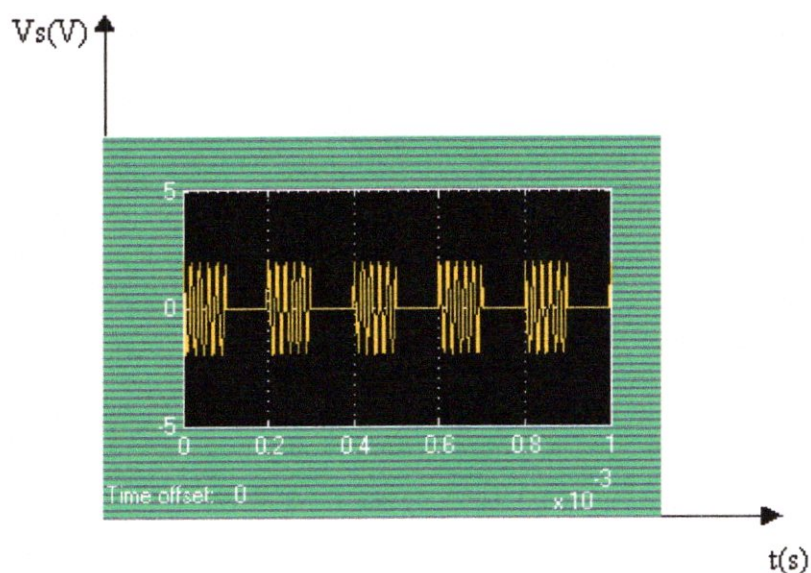


Figure IV- 8 : signal modulé avec PLL

Signal triangulaire qui a la forme suivante :

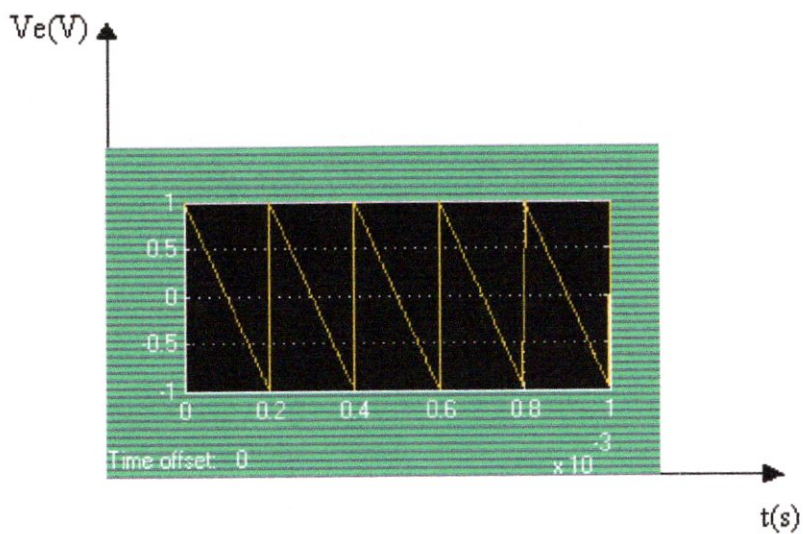


Figure IV-9 : signal d'entrée (triangulaire)

et le résultat un signal modulée sous la forme suivantes :

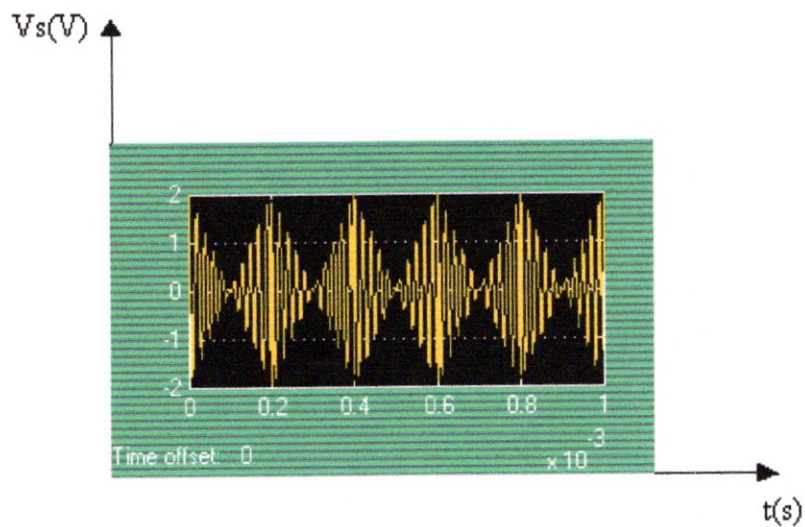


Figure IV-10 : signal modulé avec PLL

Un step : on a couplés entre le signal d'entrée et le signal sortie du PLL pour qu'on puisse mieux comparée les deux signaux comme la montre la Figure IV-11 :

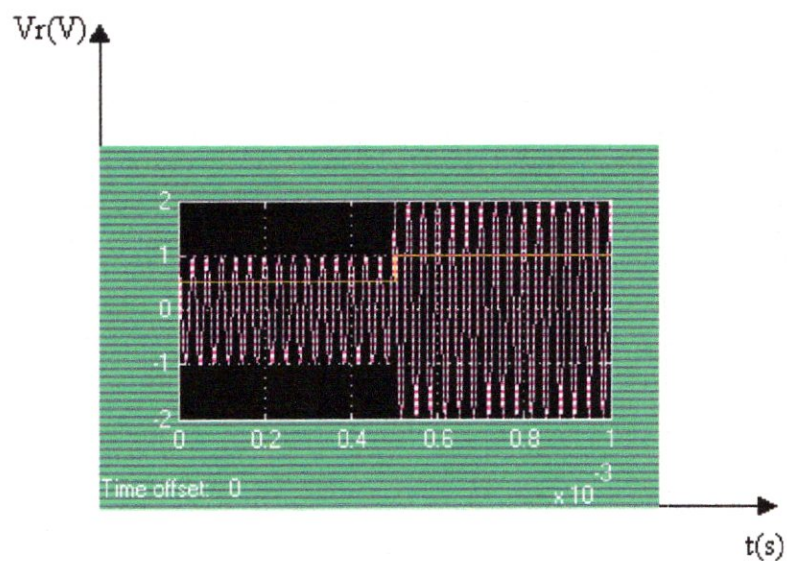


Figure IV-11 : signal d'entrée et de sortie du PLL

Signal sinusoïdal : sous la forme suivante :

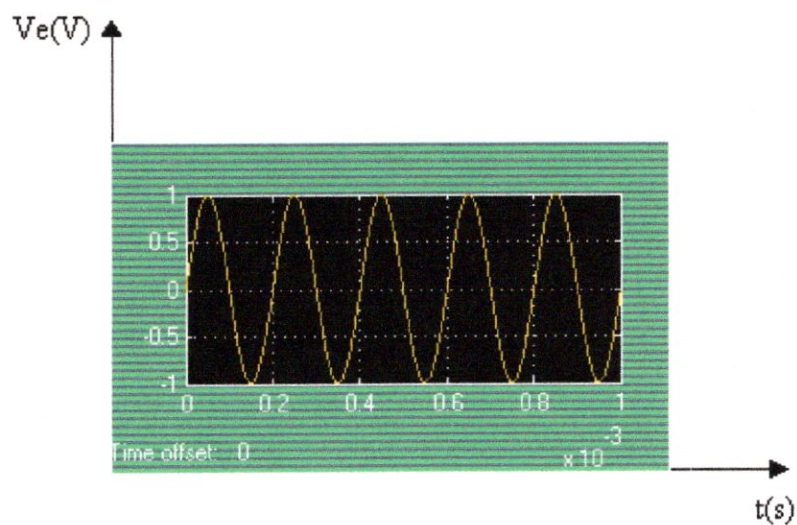


Figure IV-12 : signal d'entrée (sinusoïdal)

On obtient le signal suivant :

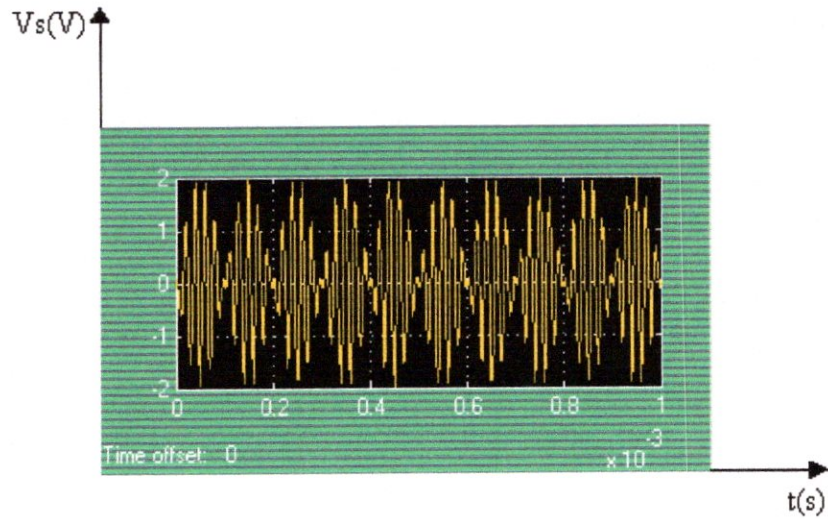


Figure IV-13 : signal modulé avec PLL

Exemple de démodulation AM :

On va entrée un signal sinusoïdal dans un modulateur AM qui génère un signal porteuse.

Donc on va obtenir le signal suivant :

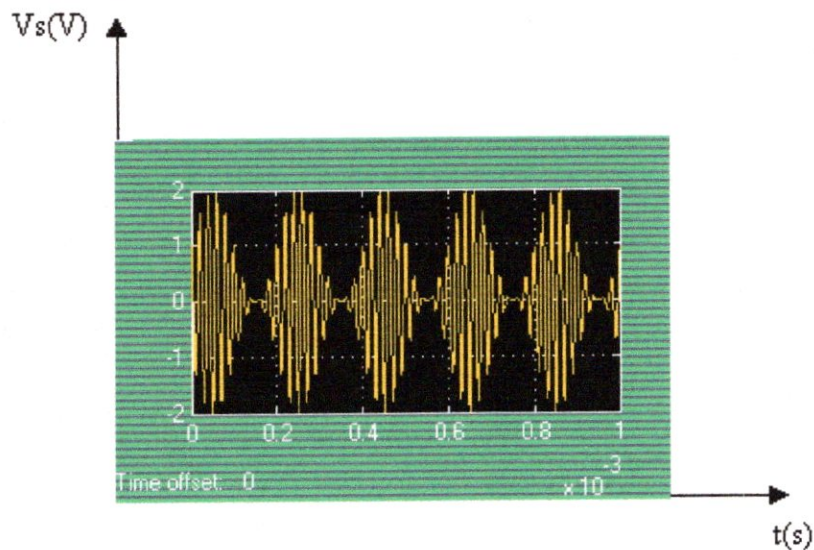


Figure IV-14: signal sortie du modulateur AM

Dans la sortie de ce modulateur on a montés un PLL pour l'utiliser comme étant un démodulateur et il a donné le signal ce-desous qu presque la forme du signal d'entrée avec de petites perturbation.

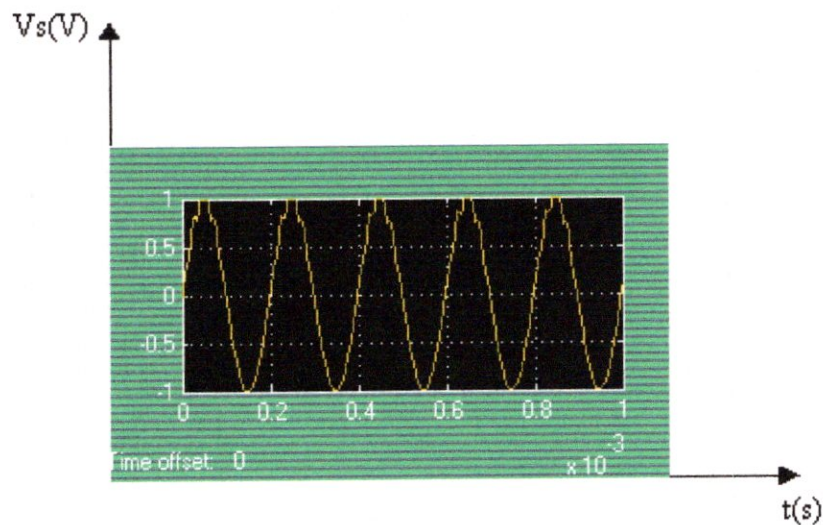


Figure IV-13 :signal sortie du PLL démodulé



ANNEXE

CD4046BC Micropower Phase-Locked Loop

General Description

The CD4046BC micropower phase locked loop (PLL) consists of a low power, linear, voltage controlled oscillator (VCO), a source follower, a zener diode, and two phase comparators. The two phase comparators have a common signal input and a common comparator input. The signal input can be directly coupled for a large voltage signal, or capacitively coupled to the self biasing amplifier at the signal input for a small voltage signal.

Phase comparator I, an exclusive OR gate, provides a digital error signal (phase comp. I Out) and maintains 90° phase shift at the VCO center frequency. Between signal input and comparator input (both at 50% duty cycle), it may lock onto the signal input frequencies that are close to harmonics of the VCO center frequency.

Phase comparator II is an edge-controlled digital memory network. It provides a digital error signal (phase comp. II Out) and lock in signal (phase pulses) to indicate a locked condition and maintains a 0° phase shift between signal input and comparator input.

The linear voltage controlled oscillator (VCO) produces an output signal (VCO Out) whose frequency is determined by the voltage at the VCO_{IN} input, and the capacitor and resistors connected to pins 1_A, 1_B, R1 and R2.

The source follower output of the VCO_{IN} (demodulator Out) is used with an external resistor of 10kΩ or more.

The INHIBIT input, when high, disables the VCO and source follower to minimize standby power consumption. The zener diode is provided for power supply regulation, if necessary.

Features

- Wide supply voltage range: 3.0V to 18V
- Low dynamic power consumption: 70 μW (typ.) at $f_c = 10$ kHz, $V_{DD} = 5V$
- VCO frequency: 1.3 MHz (typ.) at $V_{DD} = 10V$
- Low frequency drift: 0.06%/°C at $V_{DD} = 10V$ with temperature
- High VCO linearity: 1% (typ.)

Applications

- FM demodulator and modulator
- Frequency synthesis and multiplication
- Frequency discrimination
- Data synchronization and conditioning
- Voltage-to-frequency conversion
- Tone decoding
- FSK modulation
- Motor speed control

Ordering Code:

Order Number	Package Number	Package Description
CD4046BCM	M16A	16-Lead Small Outline Integrated Circuit (SOIC), JEDEC MS-012, 0.150" Narrow
CD4046BCN	N16F	16-Lead Plastic Dual In Line Package (PDIP), JEDEC MS-001, 0.300" Wide

Devices also available in Tape and Reel. Specify by appending the suffix letter "X" to the ordering code.

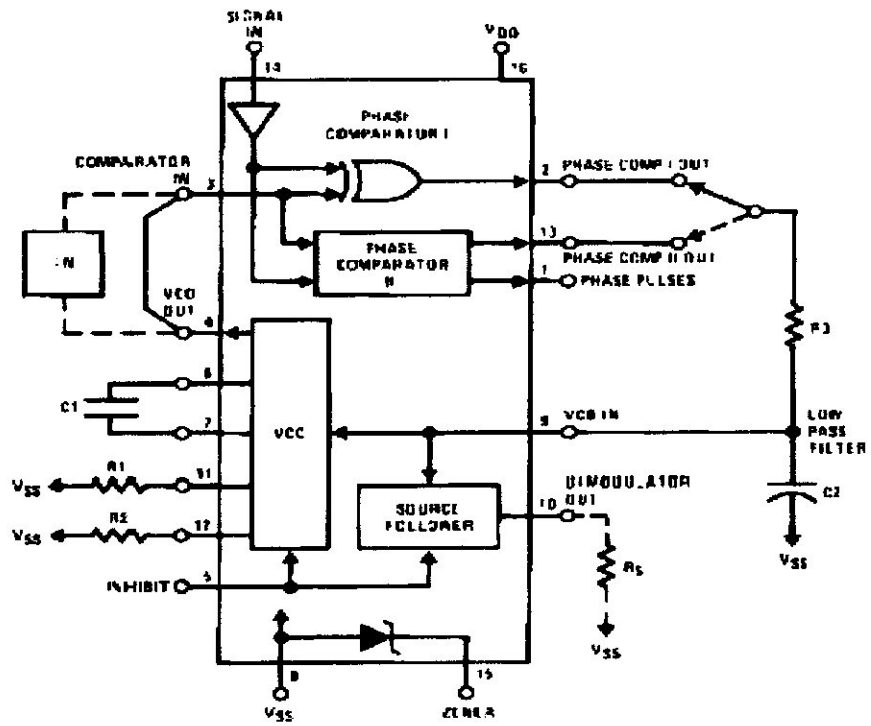


Figure 1 : circuit électronique du PLL CD4046.

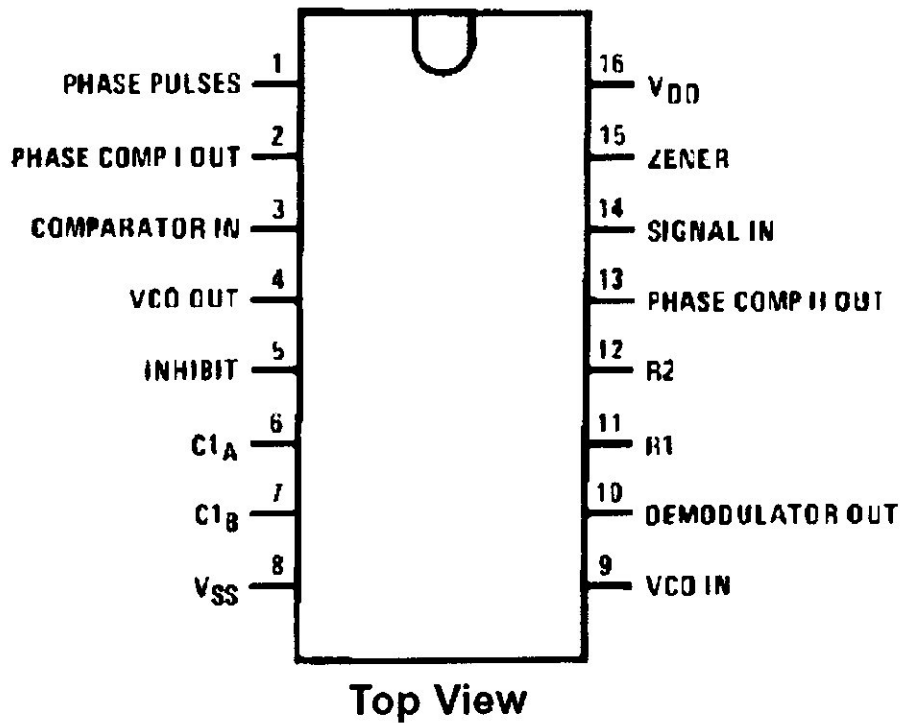
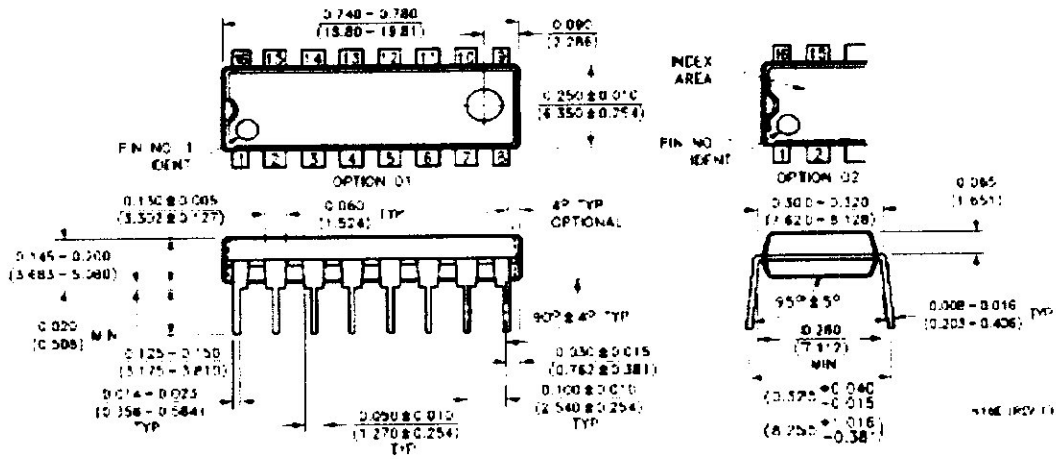


Figure 2 : Circuit intégré CD4046

Physical Dimensions inches (millimeters) unless otherwise noted (Continued)



16-Lead Plastic Dual-In-Line Package (PDIP), JEDEC MS-001, 0.100" Wide Package Number N16E

Fairchild does not assume any responsibility for use of any circuitry described, no circuit patent licenses are implied and Fairchild reserves the right at any time without notice to change said circuitry and specifications.

LIFE SUPPORT POLICY

FAIRCHILD'S PRODUCTS ARE NOT AUTHORIZED FOR USE AS CRITICAL COMPONENTS IN LIFE SUPPORT DEVICES OR SYSTEMS WITHOUT THE EXPRESS WRITTEN APPROVAL OF THE PRESIDENT OF FAIRCHILD SEMICONDUCTOR CORPORATION. As used herein:

1. Life support devices or systems are devices or systems which: (a) are intended for surgical implant into the body, or (b) support or sustain life, and (c) whose failure to perform when properly used in accordance with instructions for use provided in the labeling, can be reasonably expected to result in a significant injury to the user.
2. A critical component in any component of a life support device or system whose failure to perform can be reasonably expected to cause the failure of the life support device or system or to affect its safety or effectiveness.

www.fairchildsemi.com

A vertical dashed line runs along the left edge of the page, consisting of a series of short, thick black horizontal dashes.

CONCLUSION

Conclusion

Nous avons pu grâce à ce projet de fin d'étude, nous rendre compte de la complexité de la PLL lorsque celle-ci est montée. En effet, nous avons eu quelques problèmes lors de la dernière partie. Il s'est avéré que nous n'avions pas la bonne valeur de résistance pour le filtre. On met à jour avec cette remarque un point très important de la PLL qui est son dimensionnement pour l'utilisation dans de bonnes conditions, puisque la valeur de fréquence de coupure du filtre est déterminante comme nous l'avons vu précédemment.

Le but de ce projet était en plus de l'étude des différents blocs constituant la PLL, de pouvoir comprendre le fonctionnement global de celle-ci, de pouvoir voir la plage de capture et la plage de verrouillage. En effet, il est assez difficile de se rendre compte de ce que sont les plages de capture et verrouillage avant simulation. En simulant avec le MATLAB Simulink, nous avons pu voir la PLL s'accrocher et ainsi suivre la fréquence d'entrée.

Et on espère qu'on a porté un plus pour notre institut avec cette étude.

Bibliographie

Les Livres :

- P. Acco. « Vers une linéarisation exacte de la boucle à verrouillage de phase. » Dans JDA'01, pp. 249–254. Toulouse, France, septembre 2001
- Blanchard. Phase-locked loops. Wiley, 1976.
- F. M. Gardner. « Frequency granularity in digital phaselock loops. » Dans IEEE Transactions on Communications, tome 44 de 6, pp. 749–758. juin 1996.

Les Cours :

- AC20 «La modulation de signaux analogiques et la boucle à verrouillage de phase dans les télécommunications »
DESMOULIERE Jean-Baptiste CHEVILLARD Christophe 2004
- « (BOUCLE A VERROUILLAGE DE PHASE et APPLICATIONS (Vol. 9) » Dept GEII IUT Bordeaux I.
- « La boucle à verrouillage de phase » jean-philippe muller, version 2001.

www.fairchildsemi.com

Liste du figure :

Chapitre II

FigureII-1: boucle à verrouillage de phase.....	05
FigureII-2: La BVP en multiplieur de fréquence.....	06
FigureII-3: schéma fonctionnel simplifie d'une PLL.....	10
FigureII-4: Schéma -bloc d'un système bouclé	11
FigureII-5: schéma -bloc à retour unitaire.....	12
FigureII-6: Schéma de la PLL en grandeur de phase.....	13
FigureII-7: Schéma définitif d'une PLL	14
FigureII-8: Schéma RC.....	15
FigureII-9: Schéma de principe d'une boucle à verrouillage de phase.....	20
FigureII-10: Caractéristique fréquence-tension du VCO d'une boucle à verrouillage de phase.....	21
FigureII-11: Schéma bloc de la PLL en grandeurs phases.....	23
FigureII-12: Schéma bloc en grandeurs fréquences.....	24
FigureII-13: Schéma bloc en grandeurs fréquences à retour unitaire.....	24
FigureII-14: Réponse à un échelon de fréquence.....	25
FigureII-15: Boucle à verrouillage de phase logique avec un OU exclusif.....	26
FigureII-16: Montage permettant de relever les plages de capture et verrouillage par wobulation.....	27
Figure II-19: caractéristiques des éléments du PLL	31
Figure II-20: Variation de la fréquence de sortie du VCO en fonction de la tension d'entrée.....	32
FigureII-23: Points de fonctionnement stables dans une boucle logique (a) et analogique (b).....	34
FigureII-24: schéma synoptique d'une PLL.....	34
FigureII-25: placement du comparateur de phase.....	35
FigureII-26: Fonctionnement du comparateur de phase à OU exclusif.....	36
FigureII-27: Modélisation du comparateur de phase.....	37

FigureII-28: Fonctionnement du comparateur phase fréquence.....	37
FigureII-29: Filtre de boucle associé au comparateur à pompe de charge.....	38
FigureII-30: Modélisation du comparateur de phase.....	38
FigureII-31: Structure du comparateur de phase à mélangeur.....	39
FigureII-32: Caractéristique du comparateur de phase à mélangeur.....	40
FigureII-33: L'oscillateur contrôlé en tension.....	40
FigureII-34: plage de fonctionnement du VCO.....	41
FigureII-35: Modélisation du VCO.....	42
FigureII-36: Le passe-bas moyennneur le plus simple.....	43
FigureII-37: Filtre de boucle actif.....	44
FigureII-38: Courbe de réponse du filtre actif.....	45
FigureII-39: Multiplicateur de fréquence basé sur une boucle de réaction à verrouillage de phase.....	46
FigureII-36: Le synthétiseur de fréquence de base.....	47
FigureII-37: Exemple d'un synthétiseur 27 MHz construit autour d'un MC145151.....	48
FigureII-38: Modulateur de fréquence à PLL.....	49
FigureII-39: Montage d'étude de la démodulation de fréquence par une boucle à verrouillage de phase.....	51
FigureII-48: Explication du déverrouillage lors d'un échelon de fréquence.....	54

Chapitre III

Figure III-1: l'interface du simulink.....	56
Figure III-2: Schéma d'une boucle à verrouillage de phase.....	57
Figure III-3: signal d'entrée (step).....	59
Figure III-4: La réponse de la PLL avec un $\tau = 0.37\mu s$	60
Figure III-5: La réponse de la PLL avec un $\tau = 4\mu s$	60
Figure III-6: La réponse du PLL avec saut de fréquence 50kHz.....	60
Figure III-7: La réponse du PLL avec saut de fréquence 110kHz.....	62
Figure III-8: signal d'entrée (ramp).....	62
Figure III-9: signal sortie de la PLL	63

Chapitre IV :

Figure IV-1: Démodulateur AM.....	69
Figure IV-2: Démodulateur avec PLL.....	69
Figure IV-3: signal d'entrée (sinusoïdal).....	74
Figure IV-4: signal modulé en fréquence avec PLL.....	75
Figure IV- 5: signal sortie du modulateur.....	75
Figure IV- 6: signal démodulé avec la PLL.....	76
Figure IV-7: signal d'entrée (carré).....	77
Figure IV- 8: signal modulé avec PLL.....	77
Figure IV-9: signal d'entrée (triangulaire)	78
Figure IV-10: signal modulé avec PLL.....	78
Figure IV-11: signal d'entrée et de sortie du PLL.....	79
Figure IV-12: signal d'entrée (sinusoïdal).....	79
Figure IV-13: signal modulé avec PLL.....	80
Figure IV-14: signal sortie du modulateur AM.....	80
Figure IV-15: signal sortie du PLL démodulé.....	81

Les abréviations

AM : modulation d'amplitude

APLL : Analog PLL

AV : amplificateur de tension

DPLL : Digital PLL

DP : Détecteur de Phase

DPF : Détecteur de Phase-Fréquence

FM : modulation de fréquence

FSK: démodulation en verrouillage de décalage de fréquence (Frequency Shift Keying).

ONC : Oscillateur Contrôlé Numériquement

PLL : Phase Locked Loop boucle à verrouillage de phase (BVP).

PSK: demodulation en verrouillage de décalage de phase (Phase Shift Keying).

VCO : Oscillateur Contrôlé en Tension (Voltage Controlled Oscillator).

OCT : Oscillateur Contrôlé en Tension

