

الجمهورية الجزائرية الديمقراطية الشعبية
République Algérienne démocratique et populaire

وزارة التعليم العالي والبحث العلمي
Ministère de l'enseignement supérieur et de la recherche scientifique

جامعة سعد دحلبان بليدة
Université SAAD DAHLAB de BLIDA

كلية التكنولوجيا
Faculté de Technologie

قسم الإلكترونيك
Département d'Électronique



Mémoire de Projet de Fin d'Études

Présenté par

SI-AHMED Assia

&

BENDJEMIA Houda

Pour l'obtention du diplôme de Master en Électronique spécialité Microélectronique

Thème

Caractérisation Electrique et Extraction des Paramètres Electroniques des Transistors MOSFETs

Proposé par : M. BENABDELMOUMENE Abdelmadjid & M. AISSAT Abdelkader.

Année Universitaire 2019-2020

Remerciements

Ce travail a été réalisé au niveau de la Division Microélectronique et Nanotechnologie du centre de Développement des Technologies Avancées (CDTA). Nous voudrions présenter nos remerciements les plus sincères à notre encadreur Mr Benabdelmoumene Abdelmadjid pour son encadrement, ses conseils, sa compréhension et sa gentillesse durant tout le long de notre travail. Nos remerciements s'adressent aussi à notre promoteur Mr Aissat Abdelkader pour ses encouragements, sa présence et tout le savoir qu'il nous a apporté durant notre cursus universitaire. On voudrait aussi remercier Mr Zatout Boumediene pour son aide durant notre travail expérimental.

Un grand merci aussi aux membres du jury qui ont accepté de se présenter afin d'évaluer notre travail, à tous nos professeurs de l'université qui nous ont enseigné et qui par leurs compétences nous sommes arrivés à accomplir ce travail.

Sur le plan personnel, on aimerait remercier profondément nos deux familles et nos proches, qui n'ont pas cessé de nous soutenir tout au long de notre cursus universitaire.

Un merci aussi à toute personne qui nous a aidés, de près ou de loin à la réalisation de ce travail.

Dédicaces

Je dédie ce modeste travail à mes chers parents, ma force au quotidien, qui ont toujours su me montrer le chemin à prendre, qui ont fait de moi ce que je suis aujourd'hui, pour leurs amours, leurs sacrifices, leurs affections et leurs encouragements qui n'ont jamais cessé.

A mes deux sœurs adorées Dyhia et Ouissem qui ont toujours été présentes pour moi, à mon beau-frère et ma petite nièce Nelia, mon amie d'enfance Ines et toute ma famille.

A mon binôme et à toute sa famille.

Et enfin à mon époux, pour sa présence à mes côtés, pour son soutien, ses encouragements et sa patience surtout.

SI-AHMED Assia

A mon Père, unique et indéniable symbole du sacrifice, de l'amour, de l'encouragement et de la tendresse, je voudrais vous exprimer toute mon affection et admiration.

A ma Mère qui a cru en moi, qui m'a encouragé et m'a soutenu, qui a su être avec moi dans toutes les circonstances,

A mon cher Mari ; A mes sœurs et mon frère, mes tantes qui ne cessent de m'encourager à achever ce travail, ma meilleure amie Assia et à toute sa famille.

Enfin à tous mes amis et tous ceux que j'aurais oublié de citer

BENDJEMIA Houda

ملخص: لقد قمنا بدراسة تجريبية لتحديد الخصائص الكهربائية لأجهزة MOSFETS ، وذلك بمناسبة موضوع عملنا المتعلق بتخرجنا الدراسي من أجل استخراج مختلف المعايير الكهربائية. ان استخراج المعايير يسمح لنا بفهم السلوك الكهربائي للترانزستورات، وإدراك كيفية اشتغالها وذلك بتطبيق مختلف الحقول الكهربائية، واستيعاب العمليات المادية التي تولد أنظمة التشغيل الخاصة بها وبالتالي تقييم أدائها. ان المقاييس التي أجريناها من أجل تحقيق هذه الدراسة هي قياس تيار-جهد $I_{DS}(V_{DS})$ و $I_{DS}(V_{GS})$ المفقودة (MOSFET و pMOSFET ، للتقنيتين $1\mu m$ و $5\mu m$ وبأبعاد مختلفة (الطول والعرض). الكلمات الرئيسية: MOSFET , تحديد الخصائص الكهربائية , قياس التيار والجهد.

Résumé : Pour ce travail de mémoire nous avons fait une étude expérimentale de caractérisation électrique des dispositifs MOSFETs, et cela afin d'extraire leurs différents paramètres électriques. L'extraction des paramètres permet de comprendre le comportement électrique des transistors, d'apercevoir leurs mécanismes de fonctionnement sous l'application de différents champs électriques, assimiler les processus physiques qui génèrent leurs régimes de fonctionnement et évaluer en conséquence leurs performances. Les mesures que nous avons effectuées afin de réaliser cette étude sont les mesures courant-tension $I_{DS}(V_{GS})$ et $I_{DS}(V_{DS})$ pour le nMOSFET et le pMOSFET, des deux technologies $1\mu m$ et $5\mu m$ et avec différentes dimensions W_G/L_G (longueurs et largeurs).

Mots clés : MOSFET, Caractérisation électrique, mesure courant-tension.

Abstract: We made an experimental study of electrical characterization of MOSFETs devices, and that in order to extract their different electrical parameters. The extractions of the parameter makes it possible to understand the electrical behavior of transistors, to perceive their operating mechanisms under the application of different electric fields, to assimilate the physical processes while generate their operating regimes and to evaluate their performance accordingly. The measurements we have carried out in order to conduct this study are the (current-voltage) measurement $I_{DS}(V_{GS})$ and $I_{DS}(V_{DS})$ for nMOSFET and pMOSFET, of the both technologies $1\mu m$ and $5\mu m$, with different dimension W_G/L_G (lengths and widths)

Keywords : MOSFET, electrical characterization, current-voltage measurement

Liste des abréviations et acronymes

MOSFET: Metal Oxyde Semiconductor Field Effect Transistor.

CMOS: Complementary Metal Oxyde Semiconductor.

nMOS: Transistor MOS à canal N.

pMOS: Transistor MOS à canal P.

SMU: Source Monitor Unit.

LOCOS: Local oxidation of silicon.

STI : Shallow Trench Isolation.

L_G : Longueur de la grille.

W_G : Largeur du canal.

T_{OX} : Epaisseur de l'oxyde de grille.

I_{DS} : Courant drain source.

V_{GS} : Différence de potentiel entre la grille et la source.

V_G : Tension de la grille.

V_{DS} : Différence de potentiel entre le drain et la source.

V_{TH} : Tension de seuil.

μ_{eff} : Mobilité effective des porteurs (électrons).

C_{OX} : Capacité de l'oxyde par unité de surface.

I_D : Courant du drain.

L_{eff} : Longueur de la grille effective.

V_{FB} : La tension de bande plate.

E_g : La largeur de la bande interdite.

E_C : Le niveau minimum de la bande de conduction.

E_V : Le niveau maximum de la bande de valence.

E_{Fm} : Le niveau de Fermi du métal.

E_i : Le niveau intrinsèque du silicium.

Φ_m et Φ_s : Les travaux de sortie du métal et semi-conducteur.

Φ_{ms} : L'influence de la différence des travaux de sortie.

Φ_f : Niveau de Fermi.

Ψ_s : Différence de potentiel entre la surface et le volume.

χ_{Si} : Affinité électronique.

Q_{dep} : Charge de déplétion.

Φ_d : Hauteur de la barrière entre la source et le canal.

C_{ox} : Capacité de l'oxyde de grille.

R_{sd} : Résistance série source drain et de la source.

Table des matières

| | |
|--|----|
| Introduction générale | 1 |
| Chapitre 1 Transistor MOS à effet de champ | 4 |
| 1.1 Transistor à effet de champ (MOSFET) | 4 |
| 1.1.1 Principe de fonctionnement du transistor MOS | 4 |
| 1.1.2 Types de transistors..... | 6 |
| 1.1.3 Procédés de fabrication du transistor MOS..... | 7 |
| 1.2 Régime de fonctionnement du transistor MOS | 9 |
| 1.2.1 Diagramme de bandes d'énergie | 9 |
| 1.2.2 Tension de seuil | 11 |
| 1.2.3 Tension de bandes plates..... | 12 |
| 1.3 Courant de drain-source | 12 |
| 1.3.1 Régimes de conduction du courant drain-source..... | 12 |
| 1.3.2 Expression du courant en régime linéaire | 13 |
| 1.3.3 Expression du courant en régime de saturation | 14 |
| 1.3.4 Transconductance | 15 |
| Conclusion | 16 |
| Chapitre 2 Caractérisation, équipements et protocole de mesure | 17 |
| 2.1 Introduction | 17 |
| 2.2 Structures de test et Banc de caractérisation | 17 |
| 2.2.1 Structures de test | 17 |
| 2.2.2 Salle de caractérisation | 19 |
| 2.3 Protocole de mesure | 24 |
| 2.3.1 Caractéristique courant-tension $I(V)$ | 24 |
| 2.3.2 Protocole d'exécution manuelle de l'analyseur, Agilent 4156C | 26 |
| 2.3.3 Protocole d'exécution automatique de l'analyseur, Agilent 4156C..... | 29 |
| 2.3.4 Système de chauffage | 30 |
| 2.4 Extraction des principaux paramètres électriques | 31 |
| 2.4.1 Extraction de la tension de seuil | 31 |
| 2.4.2 Méthode de la g_m | 32 |
| 2.4.3 Méthode de la racine carrée de I_{DS} | 33 |
| 2.4.4 Détermination des dimensions effectives du canal..... | 34 |
| 2.4.5 Extraction du facteur de réduction de mobilité | 35 |
| 2.4.6 Calcul de la résistance série, R_{DS} | 36 |
| 2.5 Conclusion | 39 |
| Chapitre 3 Résultats expérimentaux et interprétations | 40 |
| 3.1 Introduction | 40 |
| 3.2 Caractéristiques des transistors | 40 |
| 3.2.1 Caractéristiques de sortie, $I_{DS}(V_{DS})$ et de transfert, $I_{DS}(V_{GS})$ | 40 |

| | | |
|------------|--|-----------|
| 3.2.2 | Effet de la longueur L_G | 45 |
| 3.2.3 | Extraction de la transconductance g_m | 48 |
| 3.2.4 | Extraction de la tension de seuil V_{TH} | 51 |
| 3.2.5 | Extraction de facteur de réduction de la mobilité θ | 54 |
| 3.2.6 | Extraction des dimensions effectives du canal ΔL_G et ΔW_G | 56 |
| 3.2.7 | Extraction de la mobilité à faible champs latéral μ_0 | 60 |
| 3.3 | Conclusion | 62 |
| | Conclusion générale | 63 |
| | Bibliographie | 65 |

Liste des figures

| | |
|--|----|
| Figure 1.1 : Architecture d'un transistor MOS de type n | 5 |
| Figure 1.2 : transis : (a) Transistor MOS de type n à l'état bloqué ($V_G = 0$) et (b) | 6 |
| Figure 1.3 : Schémas et symboles du transistor, (a) nMOS et (b) pMOS | 7 |
| Figure 1.4 : Les étapes du procédé de fabrication du transistor nMOSFET | 8 |
| Figure 1.5 : Diagramme de bandes d'énergie d'un nMOSFET, (a) en régime de bandes plates et (b) en régime de faible inversion | 9 |
| Figure 1.6 : Diagrammes de bandes d'énergie d'une structure MOS (substrat de type p) pour différents régimes : (a) bandes plates, (b) accumulation, (c) déplétion ou faible inversion et (d) forte inversion | 11 |
| Figure 1.7 : Représentation de la caractéristique de sortie $I_{DS}(V_{DS})$ du transistor MOSFET pour différentes valeurs de V_{GS} | 13 |
| Figure 1.8 : Illustration des trois régimes de conduction qui caractérisent le fonctionnement d'un transistor nMOS | 15 |
| Figure 1.9 : caractéristique $I_{DS}(V_{DS})$ en forte inversion..... | 16 |
| Figure 2.1 : Image montrant : (a) tranche de silicium contenant plusieurs structures de test, (b) structures de test, (c) rangée de dispositifs MOSFETset en (d) le dispositif MOSFET. Pour la même rangé, le contact (plot) du substrat et celui de la source sont communs pour tous les transistors | 18 |
| Figure 2.2 : Image montrant la structure de la technologie CMOS 5.0 μm | 19 |
| Figure 2.3 : Vue d'ensemble du banc de caractérisation électrique DC | 20 |
| Figure 2.4 : Station de test sous pointes, Karl Suss AP4 | 22 |
| Figure 2.5 : Analyseur de paramètres semi-conducteurs, Agilent 4156C | 23 |
| Figure 2.6 : Vue de la face arrière de l'analyseur, Agilent 4156C | 24 |
| Figure 2.7 : Illustration du montage expérimental de la mesure courant-tension..... | 25 |
| Figure 2.8 : Image montrant les caractéristiques de transfert et de sortie pour le nMOSFET..... | 25 |
| Figure 2.9 : Image montrant les caractéristiques de transfert et de sortie pour pMOSFET..... | 26 |
| Figure 2.10 : Image montrant l'affectation et l'attribution des SMUs..... | 27 |
| Figure 2.11 : Image montrant la déclaration des variables..... | 27 |

| | |
|--|-------------------------------------|
| Figure 2.12 : Image montrant la caractéristique de transfert $I_{DS}(V_{GS})$ pour un nMOSFET. | 28 |
| Figure 2.13 : Image montrant la caractéristique de transfert $I_{DS}(V_{DS})$ pour un nMOSFET. | 29 |
| Figure 2.14 : L'interface du programme de mesure courant-tension $I(V)$ | 30 |
| Figure 2.15 : Schéma représentatif du système de régulation de la température..... | 31 |
| Figure 2.16 : Schéma montrant le principe de la mesure courant-tension $I_{DS}(V_{GS})$ | 32 |
| Figure 2.17 : Technique d'extraction de la tension de seuil par la technique de g_m pour le régime linéaire | 33 |
| Figure 2.18 : Technique d'extraction de la tension de seuil par la méthode de la racine carrée de I_{DS} | 34 |
| Figure 2.19 : Technique d'extraction de la tension de seuil par la méthode de la racine carrée de I_{DS} | Error! Bookmark not defined. |
| Figure 2.20 : Exemple de la méthode d'extraction de μ_0 et θ | 36 |
| Figure 2.21 : Exemple montrant la mesure des résistances totales R_{tot} pour différentes valeurs de polarisations de grille $(V_{GS}-V_{TH}) = 1, 2$ et $3V$ | 37 |
| Figure 2.22 : Variation de la résistance totale mesurée R_{tot} en fonction de la longueur de la grille en vue de la détermination des constantes A et α/W_G | 38 |
| Figure 2.23 : Courbe de représentation des variations du coefficient A en fonction de α/W en vue de déterminer les paramètres..... | 39 |
| Figure 3.1 : Caractéristiques $I_{DS}(V_{DS})$ et $I_{DS}(V_{GS})$ des nMOSFETs pour $W/L=50/10 \mu m$ et $W/L = 50/05 \mu m$ de la technologie CMOS $5\mu m$ | Error! Bookmark not defined. |
| Figure 3.2 : Caractéristiques $I_{DS}(V_{DS})$ et $I_{DS}(V_{GS})$ des pMOSFETs pour $W/L = 50/10 \mu m$ et $W/L = 50/05 \mu m$ de la technologie CMOS $5\mu m$ | Error! Bookmark not defined. |
| Figure 3.3 : Caractéristiques $I_{DS}(V_{DS})$ et $I_{DS}(V_{GS})$ des nMOSFETs pour $W/L = 10/5 \mu m$ et $W/L = 10/1 \mu m$ de la technologie CMOS $1 \mu m$ | Error! Bookmark not defined. |
| Figure 3.4 : Caractéristiques $I_{DS}(V_{DS})$ et $I_{DS}(V_{GS})$ des pMOSFETs pour $W/L = 10/5 \mu m$ et $W/L = 10/1 \mu m$ de la technologie CMOS $1 \mu m$ | 44 |
| Figure 3.5 : Evolution de $I_{DS}(V_{GS})$ et $I_{DS}(V_{DS})$ pour différentes valeurs de L avec une largeur W égale à $10\mu m$ | 46 |

| | |
|---|---------------|
| Figure 3.6 : Evolution de $I_{DS}(V_{GS})$ et $I_{DS}(V_{DS})$ pour différentes valeurs de L avec une largeur W_G égale à $10\mu m$ | 46 |
| Figure 3.7 : Evolution de $I_{DS}(V_{GS})$ et $I_{DS}(V_{DS})$ pour différentes valeurs de L avec une largeur W_G égale à $50\mu m$ | 47 |
| Figure 3.8 : Représentation de la transconductance mesurée pour LG variable et $W=10\mu m$ pour un nMOSFET de la technologie $1\mu m$ | 49 |
| Figure 3.9 : Représentation de la transconductance mesurée pour LG variable et $W_G=50\mu m$ pour un pMOSFET de la technologie $5\mu m$ | 49 |
| Figure 3.10 : Evolution de la g_{m_Max} en fonction de la longueur de grille LG..... | 50 |
| Figure 3.11 : Technique d'extraction de la tension de seuil par la méthode de la g_m . . | 51 |
| Figure 3.12 : Variation de la tension de seuil V_{TH} en fonction de la longueur du canal LG pour les technologies CMOS $1\mu m$ et $5\mu m$ | 53 |
| Figure 3.13 : Extraction du facteur de réduction de la mobilité θ à faible champ pour nMOSFET et pMOSFET ($W/L=10/01\mu m$) de la technologie CMOS $1\mu m$ | 54 |
| Figure 3.14 : Evolution du facteur de réduction de la mobilité θ en fonction de la longueur de grille..... | 55 |
| Figure 3.16 : Détermination de ΔLG pour nMOSFET ($W_G = 10\mu m$) de la technologie CMOS $1\mu m$ | 56 |
| Figure 3.17 : Détermination de ΔLG pour pMOSFET ($W_G = 10\mu m$) de la technologie CMOS $1\mu m$ | 57 |
| Figure 3.18 : Détermination de ΔLG pour pMOSFET ($W_G = 50\mu m$) de la technologie CMOS $5\mu m$ | 58 |
| Figure 3.19 : Détermination de ΔW_G pour pMOSFET ($LG = 50\mu m$) de la technologie CMOS $5\mu m$ | 59 |
| Figure 3.20 : Extraction de la mobilité à faible champs latéral pour les transistors nMOSFET et pMOSFET ($W_G/LG = 10/01$) de la technologie CMOS $1\mu m$ | 60 |
| Figure 3.21 : Evolution mobilité à faible champs latéral (μ_0) en fonction de longueurs de grille pour $W=10\mu m$ et à $T=24^\circ C$ | Error! |

Bookmark not defined.

Liste des tableaux

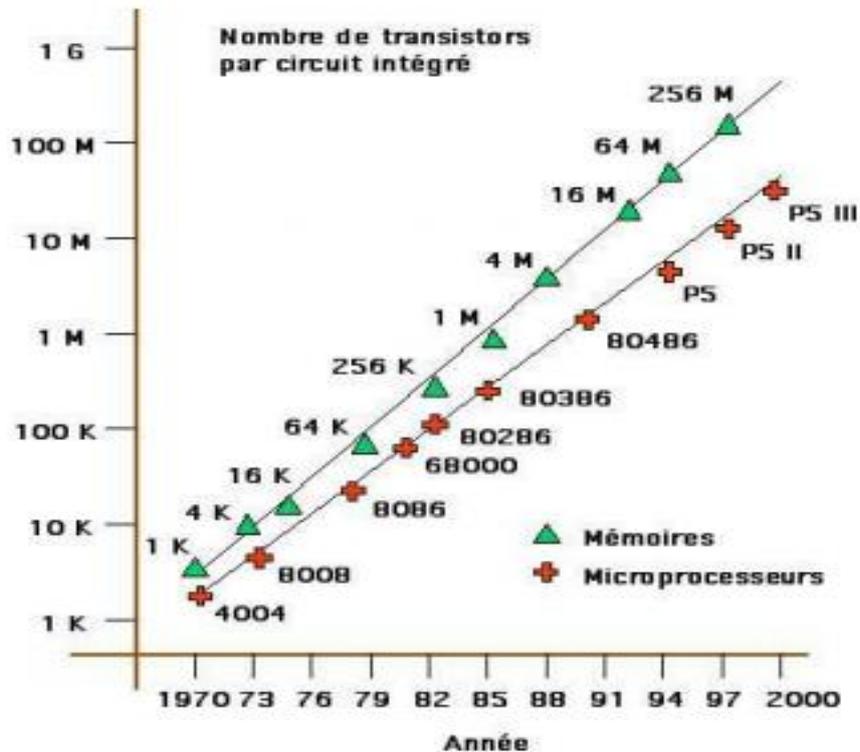
| | |
|---|----|
| Tableau 3.1 : ΔL_G extrait pour nMOSFET et pMOSFET ($WG = 10 \mu\text{m}$) de la technologie CMOS $1\mu\text{m}$ | 57 |
| Tableau 3.1 : Calcul de la longueur effective du canal pour nMOSFET et pMOSFET ($WG = 10 \mu\text{m}$) de la technologie CMOS $1\mu\text{m}$ | 58 |
| Tableau 3.3 : ΔL_G et ΔWG extraits pour pMOSFET ($WG = 50 \mu\text{m}$) de la technologie CMOS $5\mu\text{m}$ | 59 |
| Tableau 3.4 : Valeurs de la longueur effective du canal pour pMOSFET de la technologie CMOS $5\mu\text{m}$ | 59 |

Introduction générale

La technologie microélectronique en particulier la technologie CMOS (Complimentary-Metal-Oxide-Semiconductor) intervient aujourd'hui dans la vie quotidienne de chacun de nous et ceci grâce à la miniaturisation des composants électroniques. C'est avec l'invention du transistor MOSFET (Metal Oxide Semiconductor Field Effect Transistor) au début des années 60 que cette technologie s'est véritablement lancée. En effet, la miniaturisation du transistor MOSFET a été le point de départ de l'évolution des circuits intégrés (ICs), considéré comme l'élément de base de la technologie CMOS. La miniaturisation est passée de l'échelle micrométrique (d'où l'appellation microélectronique) à l'échelle nanométrique durant la dernière décennie (d'où l'appellation nanoélectronique).

L'accroissement du nombre de transistors dans un circuit intégré s'est fait de façon exponentielle, par un doublement tous les 18 mois. Autrement dit, la puissance de calcul de ces composants allait continuer de doubler pour une même surface. Ce rythme avait été remarqué en 1965 par G. Moore (d'où le nom de loi de Moore) [2], fondateur de la société américaine *Intel* et inventeur du premier microprocesseur (Intel 4004, en 1971) [3]. Cette loi a été toujours maintenue depuis sa première apparition et ses prédictions n'ont quasiment pas été démenties jusqu'à ce jour.

Ci-dessous l'évolution du nombre de transistor par circuit intégré dans les mémoires et dans les microprocesseurs en fonction des années.



Evolution du nombre de transistors par circuit intégré dans les mémoires et dans les microprocesseurs.

La caractérisation électrique est un moyen permettant de tester les dispositifs MOSFETs après leurs fabrications d'un côté, et d'extraire leurs paramètres électriques d'un autre côté. L'étape d'extraction des paramètres électriques est primordiale pour les modèles régissant le fonctionnement des transistors et par voie de conséquence la simulation de leur comportement électrique. De plus, elle permet d'appréhender les mécanismes de fonctionnement des transistors sous l'application de différents champs électriques, de comprendre les phénomènes physiques gouvernant leurs régimes de fonctionnement et d'évaluer leurs performances. L'extraction de paramètres électriques se fait à partir des caractéristiques électriques de transfert et de sortie.

Nous proposons dans le cadre de ce sujet de master une étude expérimentale sur la caractérisation électrique des dispositifs MOSFETs, et ce, afin d'extraire leurs paramètres électriques.

Les travaux présentés dans ce mémoire s'articulent autour de trois chapitres :

Le premier chapitre est dédié à la présentation de la structure de base du transistor MOS et aux généralités de son fonctionnement en décrivant le MOSFET avec ses différents paramètres de caractérisations, et son procédé de fabrication. Nous exposons également ses régimes de fonctionnement et les conditions de conduction. Enfin, nous présentons les expressions du courant drain-source dans ses régimes de conduction.

Dans le deuxième chapitre, nous présentons la caractérisation des dispositifs MOSFETs, ensuite, la description du banc de caractérisation électrique utilisé pour l'extraction des différents paramètres, ainsi que le protocole d'exécution de l'analyseur des paramètres semi-conducteurs **Agilent 4156C**. Nous présentons également le montage expérimental mis en place pour le système de régulation de la température, et enfin, la présentation des différentes méthodes d'extraction des paramètres électriques.

Le troisième chapitre est dédié à la présentation de résultats expérimentaux que nous avons obtenu avec les mesures de la caractérisation des transistors MOSFETs type n et p des technologies CMOS $1\mu\text{m}$ et $5\mu\text{m}$. Tout d'abord, nous exposons les caractéristiques courant-tension avec différentes dimensions W_G/L_G . Ensuite nous exposons les résultats d'extraction des différents paramètres électriques et leurs analyses.

Enfin nous clôturons ce mémoire avec une conclusion générale.

Chapitre 1 Transistor MOS à effet de champ

1.1 Transistor à effet de champ (MOSFET)

1.1.1 Principe de fonctionnement du transistor MOS

Le transistor à effet de champ nommé MOSFET (pour Metal Oxyde Semi-conducteur Field Effect Transistor) est un dispositif semi-conducteur qui rentre dans la fabrication des circuits intégrés en particulier dans la technologie CMOS (Complementary Metal Oxide Semiconductor).

Le MOSFET est un dispositif constitué de quatre électrodes [4, 5] :

L'électrode grille (G) : l'électrode grille est généralement en polysilicium. Elle est séparée du substrat par une fine couche isolante appelé oxyde de grille (ex. oxyde de silicium SiO_2). Le potentiel appliqué à cette électrode permet de contrôler et de moduler la densité des porteurs du substrat.

L'électrode Drain (D) : cette électrode permet la commande de l'intensité du champ électrique latérale et elle représente le point de collecte des porteurs.

L'électrode Source (S) : cette électrode est le point de départ des porteurs lorsque le MOSFET est passant.

Le substrat (B) : cette électrode contrôle le nombre de porteurs présents dans le canal.

Les principaux paramètres géométriques caractérisant un transistor MOS à effet de champ sont :

- La longueur du canal L_G qui représente la distance entre le drain et la source.
- La largeur du canal W_G , c'est la dimension transversale du MOSFET.
- L'épaisseur de l'oxyde de grille nommé T_{ox} , c'est la distance séparant la grille du substrat.

La figure 1.1 montre l'architecture d'un MOSFET.

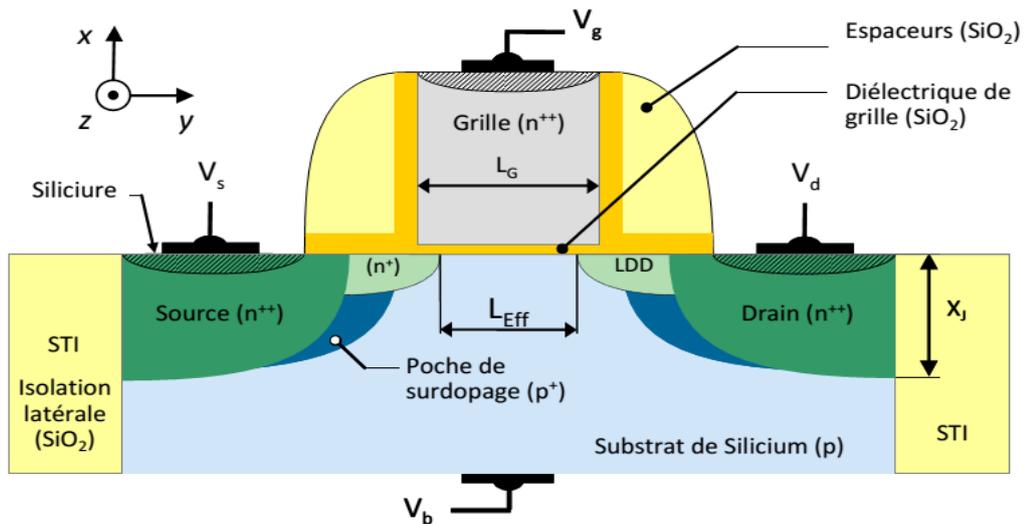


Figure 1.1 : Architecture d'un transistor MOS de type n [4].

Le rôle principal d'un MOSFET dans un circuit consiste à moduler le courant électrique circulant entre les électrodes source et drain par l'application d'un champ électrique sur l'électrode grille. La modulation de ce courant du canal permet de distinguer deux états de fonctionnement :

L'état bloqué : Dans cet état, la tension appliquée sur la grille du transistor est nulle. Un faible taux de porteurs libres est présent dans le canal et en effet, la résistance électrique entre la source et le drain est importante. Dans ce cas, le transistor se comporte comme un interrupteur ouvert [4, 6].

L'état passant : Cet état s'établit lorsque la tension appliquée sur la grille du transistor dépasse une certaine valeur appelée **tension de seuil**. Dans ce cas, les porteurs présents dans le canal peuvent se déplacer librement, permettant ainsi la circulation d'un courant entre la source et le drain et le transistor devient passant [4, 6].

Dans les applications numériques, le transistor MOS se comporte comme un interrupteur permettant de contrôler le passage du courant entre la source et le drain par le biais de la tension de grille V_G [7].

La figure 1.2 présente le principe de fonctionnement du transistor MOS à effet champ.

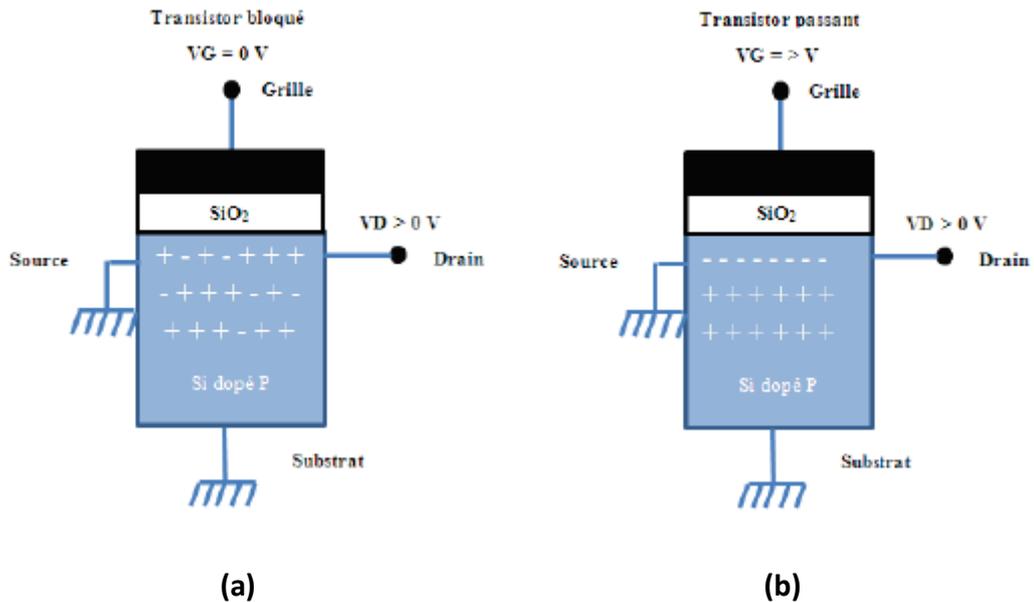


Figure 1.2 : (a) Transistor MOS de type n à l'état bloqué ($V_G = 0$) et (b) transistor MOS de type n à l'état passant ($V_G > 0$) [4].

1.1.2 Types de transistors

Il existe deux types de transistors MOSFET, transistor à canal n et transistor à canal p représentés respectivement sur les figures 1.3 (a) et 1.3 (b).

- Le **MOSFET à canal n** (nommé nMOSFET) : Pour ce type de transistor le substrat est de type p, les porteurs de la couche d'inversion sont des électrons et le courant provient du déplacement de ces électrons. Le transistor fonctionne lorsqu'une tension positive supérieure à la tension de seuil du transistor est appliquée à la grille et le courant circule du drain vers la source.
- Le **MOSFET à canal p** (nommé pMOSFET) : Contrairement au nMOSFET, le substrat est de type n et les porteurs de la couche d'inversion sont des trous. Le courant provient du déplacement des trous causés par l'application d'une tension négative à la grille inférieure à la tension de seuil du transistor.

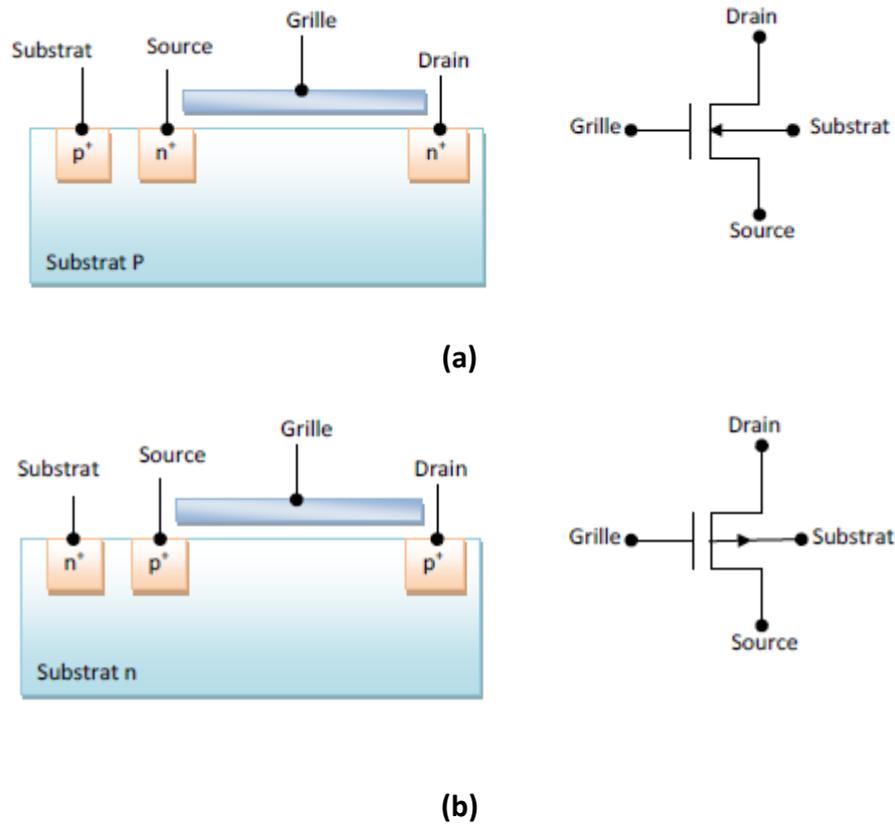


Figure 1.3 : Schémas et symboles du transistor, **(a)** nMOS et **(b)** pMOS [5].

1.1.3 Procédés de fabrication du transistor MOS

Le procédé de fabrication du MOSFET est défini comme l'ensemble des étapes (opérations) d'élaboration à suivre pour la réalisation d'un MOSFET. Les principales étapes d'élaboration des transistors MOS sont les suivantes (voir la figure **1.4**) :

- Nettoyage du substrat.
- Oxydation humide.
- Photolithogravure des zones source et drain.
- Dopage au phosphore par implantation ionique suivi d'un recuit thermique pour la diffusion des dopants.
- Photolithogravure de la zone de canal.
- Oxydation thermique sèche pour la réalisation de l'oxyde de grille.
- Implantation ionique pour l'ajustement de la tension de seuil.
- Photolithographie d'ouverture pour la réalisation des contacts source et drain.

- Dépôt des contacts (ex. Aluminium).
- Photolithographie de l'Aluminium pour la réalisation des contacts électriques source, drain et grille.
- Recuit final à 400°C sous un mélange d'azote et d'hydrogène à 10% (Forming-Gas) pour améliorer les contacts et la réduction de la densité des états d'interface.

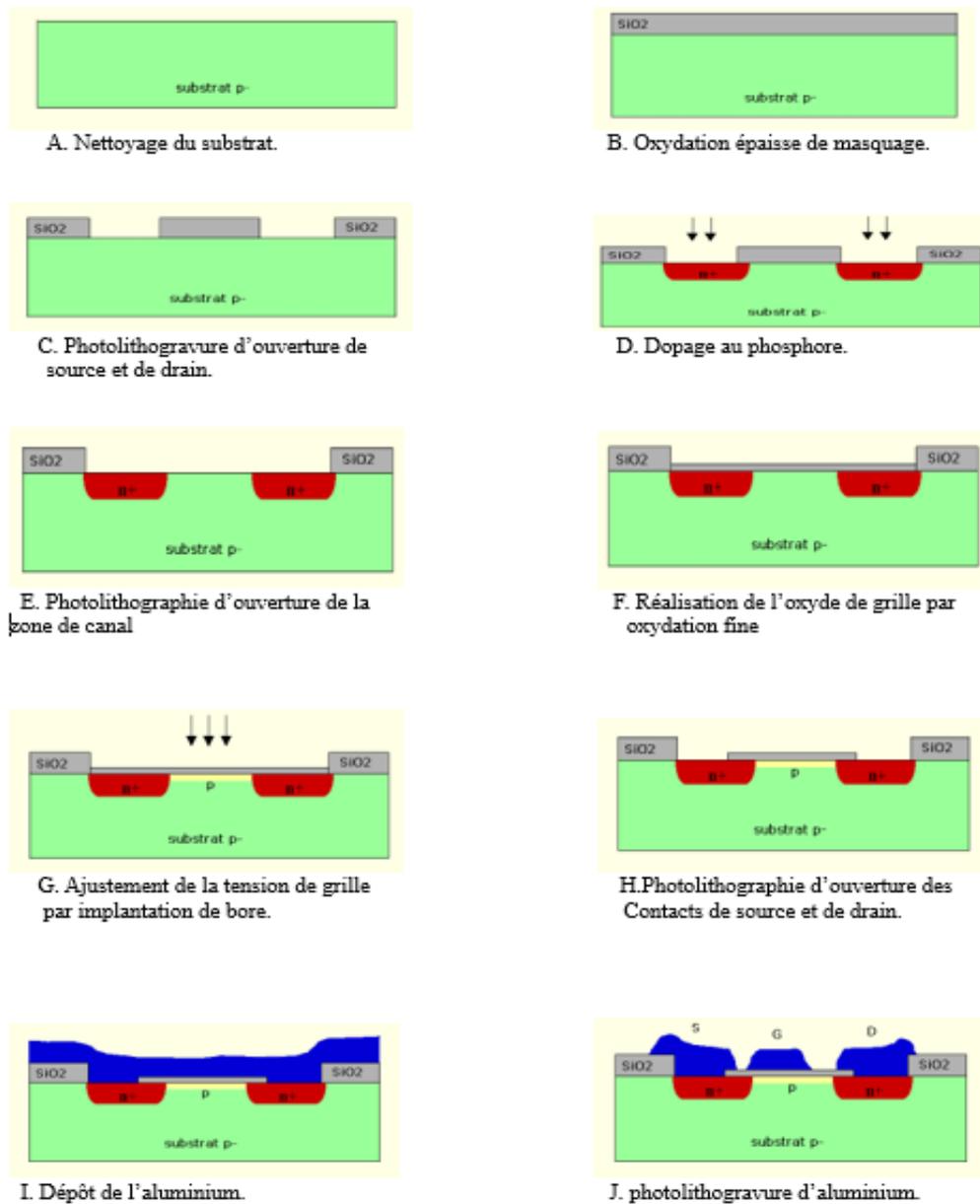


Figure 1.4 : Les étapes du procédé de fabrication du transistor MOS type n [8].

1.2 Régime de fonctionnement du transistor MOS

Nous avons mentionné précédemment que le principe du dispositif MOSFET repose sur l'effet de champ, et ça consiste à moduler le courant qui le traverse à l'aide d'une tension appliquée sur sa grille. Lorsque cette tension dépasse une certaine valeur appelée tension de seuil noté V_{TH} , le transistor permet le passage du courant électrique entre le drain et la source. Dans le cas idéal, lorsque la tension de grille est nulle, le transistor est un interrupteur ouvert et lorsque cette tension est différente de zéro, le transistor se comporte comme un interrupteur fermé.

1.2.1 Diagramme de bandes d'énergie

L'application d'une tension électrique sur la grille du transistor provoque la courbure des différentes bandes d'énergie du semi-conducteur. La figure 1.5 montre le diagramme de bandes d'énergie d'un transistor nMOSFET pour le régime des bandes plates et pour le régime de faible inversion.

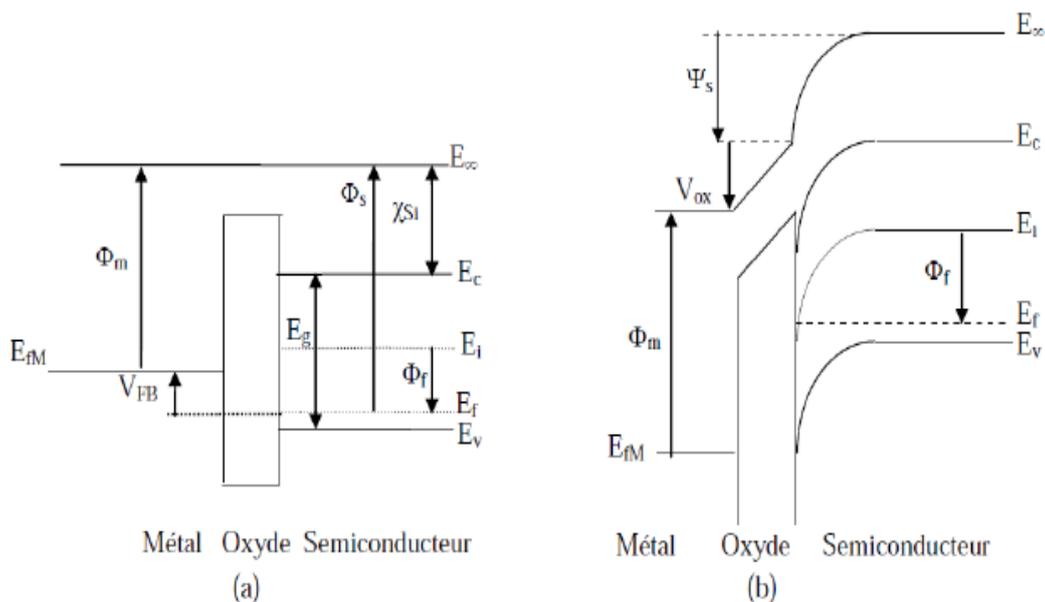


Figure 1.5: Diagramme de bandes d'énergie d'un nMOSFET, (a) en régime de bandes plates et (b) en régime de faible inversion [9].

Où :

- χ_{si} : est l'affinité électronique.
- E_g : la largeur de la bande interdite.
- E_C : le niveau minimum de la bande de conduction.
- E_V : le niveau maximum de la bande de valence.
- E_{Fm} : le niveau de Fermi du métal.
- E_i : le niveau intrinsèque du silicium.
- Φ_m et Φ_s : sont les travaux de sortie du métal et du semi-conducteur, respectivement.
- Φ_f : niveau de Fermi.
- ψ_s : différence de potentiel entre la surface et le volume (le potentiel de surface).

Le niveau de Fermi est donné par : $E_F = E_i - q\Phi_f$

Le potentiel de Fermi Φ_f est donné par l'équation suivante dans le cas d'un dopage modéré [5]:

$$\Phi_f = \frac{kT}{q} \ln\left(\frac{N_A}{n_i}\right) \quad (1.1)$$

Avec,

K est la constante de Boltzmann, T est la température, q est la charge élémentaire et n_i est la concentration intrinsèque des porteurs dans le matériau.

En appliquant sur la grille une tension V_G , plusieurs régimes s'établissent, tout dépend de la valeur de la tension V_G appliquée [5, 10].

- **Régime d'accumulation ($\psi_s < 0$, $V_G < V_{FB}$)** : dans ce cas, les porteurs majoritaires (trous) sont attirés à l'interface oxyde/semi-conducteur (voir la figure **1.6(b)**).
- **Régime de bandes plates ($\psi_s = 0$, $V_G = V_{FB}$)** : pour ce régime, les concentrations des porteurs majoritaires et minoritaires sont constantes dans tout le substrat (voir la figure **1.6(a)**).
- **Régime de déplétion ($0 < \psi_s < \Phi_f$, $V_{FB} < V_{GS} < V_{TH}$)** : dans ce cas, les porteurs majoritaires (trous) sont repoussés de l'interface du substrat/oxyde, il se crée

ainsi, une zone de charge d'espace désertée en porteurs mobiles (voir la figure 1.6(c)).

- **Régime d'inversion faible ($\Phi_f < \Psi_s < 2\Phi_f$, $V_{FB} < V_G < V_{TH}$):** ce régime s'établit lorsque $\Psi_s = \Phi_f$. Les concentrations des porteurs majoritaires et minoritaires sont égales à l'interface.
- **Régime d'inversion forte ($\Psi_s > 2\Phi_f$, $V_G > V_{TH}$):** la concentration des porteurs minoritaires en interface devient supérieure à la concentration des porteurs majoritaires, et cela parvient lorsque V_G devient supérieure à la tension de seuil V_{TH} (voir la figure 1.6(d)).

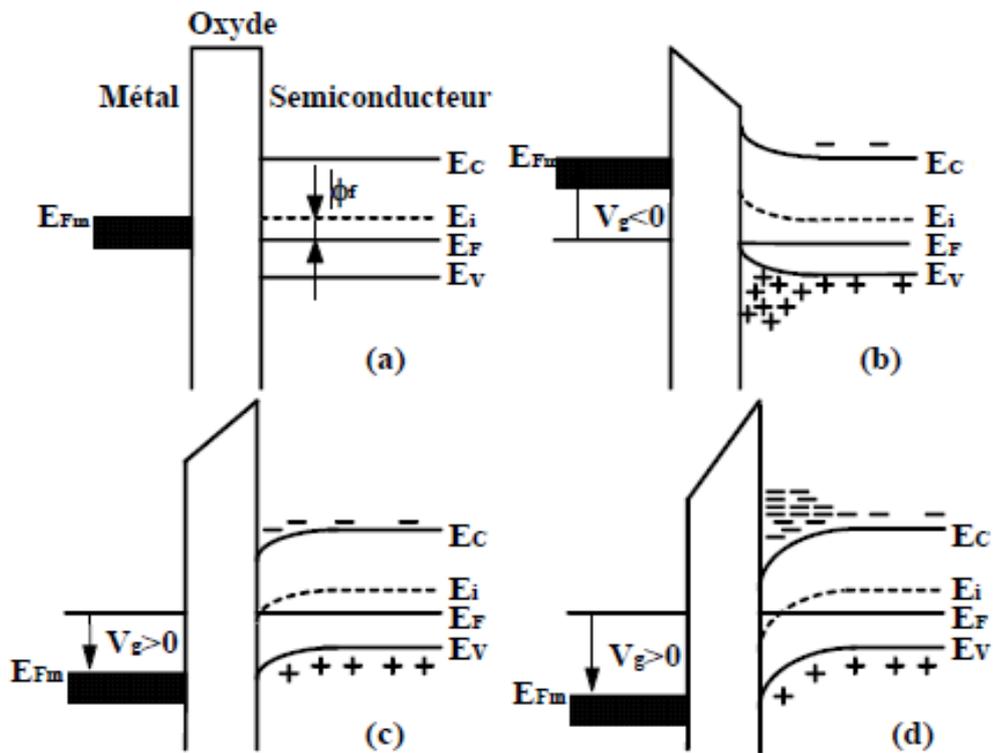


Figure 1.6 : Diagrammes de bandes d'énergie d'une structure MOS (substrat de type p) pour différents régimes : (a) bandes plates, (b) accumulation, (c) déplétion ou faible inversion et (d) forte inversion [11, 12].

1.2.2 Tension de seuil

Lorsque V_{GS} est suffisamment élevée, la surface du semi-conducteur est amenée en régime d'inversion, un canal d'inversion est créé entre la source et le drain. On parle d'inversion forte lorsque la population de porteurs est localement inversée. La tension

à appliquer pour amener le dispositif à ce régime s'appelle la tension de seuil V_{TH} (*threshold voltage*). Son expression analytique est donnée par [13] [12]:

$$V_{TH} = V_{FB} + 2\phi_f + \frac{\sqrt{4\epsilon_{Si}N_D/NA\phi_f}}{C_{ox}} \quad (1.2)$$

Où :

C_{eff} représente la capacité effective de l'oxyde de grille.

N_D est la concentration volumique en impuretés dans le canal (dopage).

ϵ_{Si} représente la permittivité relative au Silicium.

C_{ox} est la capacité de l'oxyde de grille. Elle est donnée par :

$$C_{ox} = \frac{\epsilon_{ox}}{T_{ox}} \quad (1.3)$$

ϵ_{ox} représente la permittivité relative à l'oxyde.

1.2.3 Tension de bandes plates

La différence des travaux de sortie du métal et du semi-conducteur, ainsi que les défauts présents à l'interface semi-conducteur/oxyde et dans l'oxyde vont donner naissance à un champ électrique interne. Sous l'effet de ce champ, les bandes d'énergie vont être courbées. La tension qu'il faut appliquer sur la grille pour contrecarrer l'effet de ce champ interne s'appelle le potentiel de bande plate V_{FB} . Cette tension est donnée par l'expression (1.4) [10, 11].

$$V_{GS} = V_{FB} + \psi_s - \frac{Q_{sc}}{C_{ox}} \quad (1.4)$$

Avec, Q_{sc} la charge dans le semi-conducteur.

1.3 Courant de drain-source

1.3.1 Régimes de conduction du courant drain-source

La modélisation du courant de drain dépend essentiellement des régimes de fonctionnement du MOSFET. Les caractéristiques de sortie courant-tension $I_{DS}(V_{DS})$ sont caractérisées par la présence de deux régimes ; le régime ohmique (ou linéaire) et le régime de saturation [14, 15].

La figure 1.7, montre les caractéristiques de sortie du courant de drain I_{DS} en fonction de la tension drain-source V_{DS} du transistor MOSFET pour différentes valeurs de la tension grille-source V_{GS} .

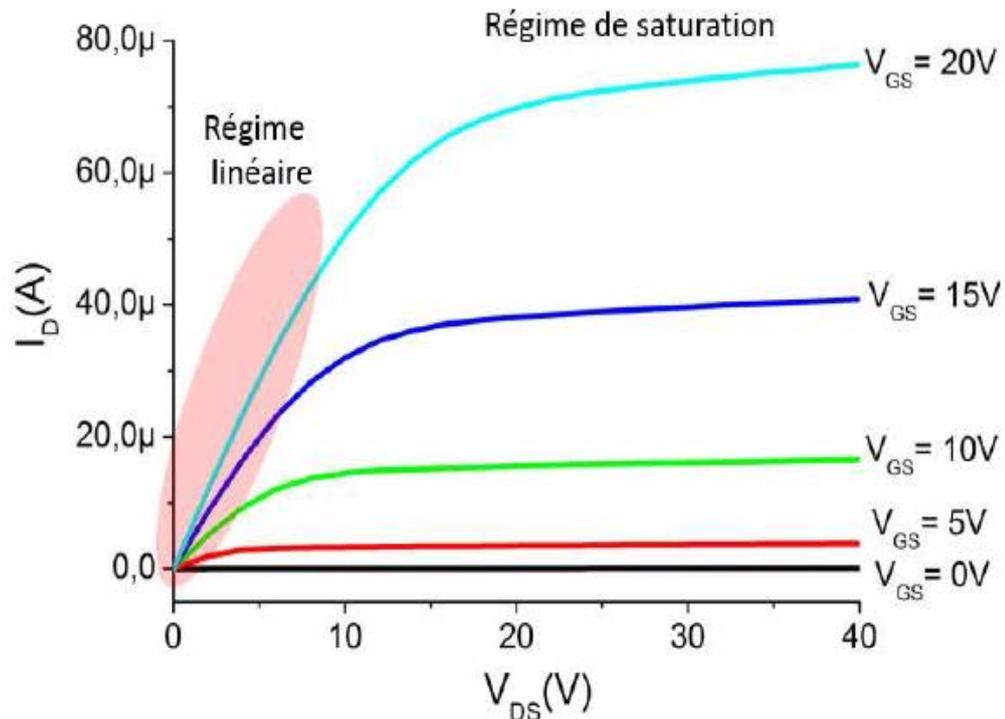


Figure 1.7 : Représentation de la caractéristique de sortie $I_{DS}(V_{DS})$ du transistor MOSFET pour différentes valeurs de V_{GS} [16].

Sur ces caractéristiques, l'apparition du régime ohmique (ou linéaire) et le régime de saturation sont clairement visible.

1.3.2 Expression du courant en régime linéaire

Ce régime se distingue par une dépendance linéaire du courant I_{DS} en fonction de la tension V_{DS} . Si la tension de drain est faible devant la tension V_{GS} , un courant de drain I_D circule dans le canal de conduction et augmente d'une façon linéaire avec la polarisation de drain. En effet, le transistor MOS est équivalent à une résistance contrôlée linéairement par la tension de grille [17, 18]. Le canal se comporte comme une résistance indépendante de la polarisation du drain.

L'expression du courant de drain est donnée par [11]:

$$I_{DS} = \mu_{eff} C_{ox} \frac{W_G}{L_G} (V_{GS} - V_{TH}) V_{DS} \quad (1.5)$$

Avec, μ_{eff} la mobilité effective des porteurs dans le canal et elle dépend de la charge d'inversion Q_{inv} par la relation [11, 19] :

$$\mu_{eff} = \frac{\mu_0}{1 + \frac{Q_{inv}}{Q_c}} \quad (1.6)$$

Q_c est la charge critique qui caractérise la diminution de la mobilité aux fortes tensions de la grille.

Q_{inv} est la charge d'inversion dans le canal qui dépend de la tension de grille.

1.3.3 Expression du courant en régime de saturation

Dans le régime de saturation, la tension V_{DS} est plus grande par rapport à la tension V_{GS} . Ainsi, la charge d'inversion n'est plus uniforme. Cette charge diminue en s'approchant du drain. Si la tension de drain V_{DS} continue d'augmenter jusqu'à ce qu'elle soit égale à $V_{GS} - V_{TH}$, il apparait une zone de pincement au niveau du canal à proximité du drain. Dans ce cas, le canal est dit « pincé », son épaisseur est nulle, et le courant de drain reste constant même si V_{DS} continue d'augmenter. A ce moment, le courant ne dépend plus de la tension de drain, d'où le nom de régime de saturation.

La tension de pincement est définie par [4]:

$$V_p = V_{GS} - V_{TH} \quad (1.7)$$

Le courant de saturation est exprimé comme suit [20, 21] :

$$I_{DS} = \mu_{eff} C_{ox} \frac{W_G}{2L_G} (V_{GS} - V_{TH})^2 \quad (1.8)$$

La figure **1.8** illustre les trois régimes de conduction qui caractérisent le fonctionnement d'un transistor nMOS.

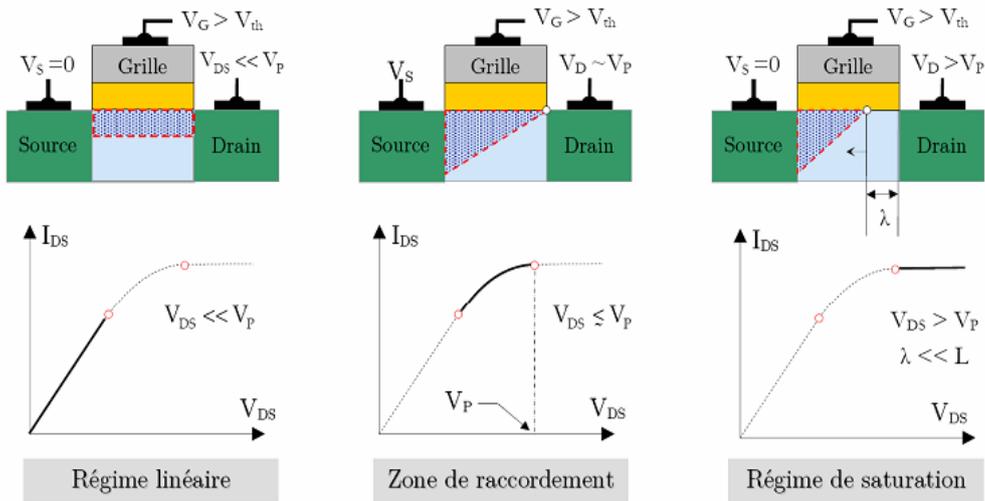


Figure 1.8 : Illustration des trois régimes de conduction qui caractérisent le fonctionnement d'un transistor nMOS [13].

Entre les deux régimes, il existe une zone de raccordement dans laquelle le courant délivré dépend à la fois de V_{GS} et de V_{DS} .

Dans le cas pratique, le courant de drain ne reste pas constant mais continue à augmenter légèrement avec la polarisation du drain. Cette augmentation est due à trois effets du second ordre (voir la figure 1.9):

- L'éloignement du point de pincement par rapport au drain.
- La réduction de la tension de seuil avec l'augmentation de la tension de drain.
- L'effet d'avalanche.

1.3.4 Transconductance

La transconductance g_m est défini comme étant le rapport entre la variation du courant de sortie I_D et la variation de la tension d'entrée V_G , et c'est l'un des paramètres indispensables pour la mesure du gain des dispositifs. Elle est donnée par [21]:

$$g_m = \left| \frac{dI_{DS}}{dV_{GS}} \right|_{V_{DS}} \quad (1.9)$$

Pour le régime linéaire, elle est donnée par [21] :

$$g_m = \mu_{eff} C_{ox} \frac{W_G}{L_G} V_{DS} \quad (1.10)$$

Et pour le régime de saturation, elle est donnée par [21] :

$$g_m = \mu_{eff} C_{ox} \frac{W_G}{L_G} (V_{GS} - V_{TH}) \quad (1.11)$$

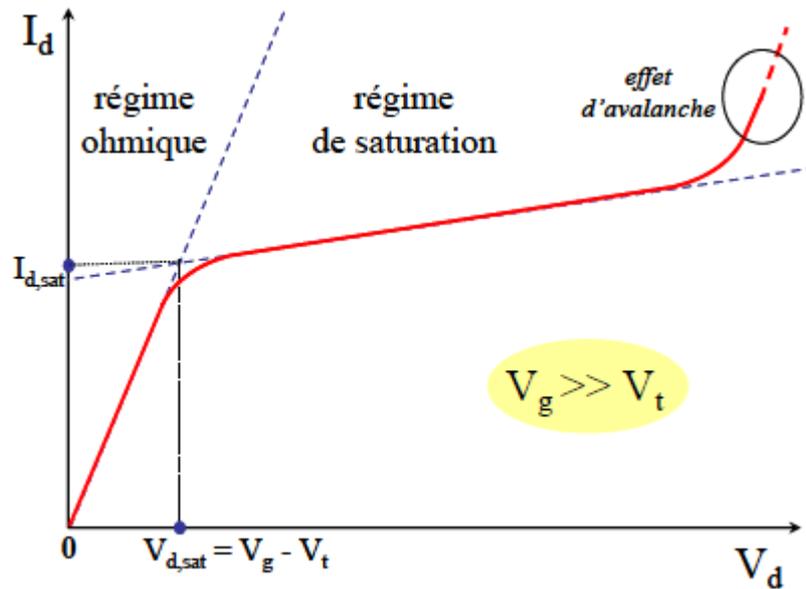


Figure 1.9: Caractéristique $I_{Ds}(V_{Ds})$ en forte inversion [11].

Conclusion :

Au cours de ce premier chapitre, nous avons présenté le dispositif avec lequel nous avons travaillé. Premièrement, nous avons évoqué le principe de fonctionnement du transistor MOSFET, son procédé de fabrication, ainsi que son régime de fonctionnement. Par la suite, nous avons présenté les expressions du courant de drain et de la transconductance dans les différents régimes de conduction.

Chapitre 2 Caractérisation, équipements et protocole de mesure.

2.1 Introduction

Dans ce chapitre nous allons aborder la caractérisation des dispositifs MOSFETs. En premier lieu nous allons commencer par la présentation des structures de test, puis nous passerons à la description du banc de caractérisation électrique que nous avons utilisé durant notre travail, à savoir, les équipements de mesure, la salle de caractérisation, etc.

En second lieu, nous passons à la présentation des caractéristiques courant-tension $I_{DS}(V_{GS})$ et $I_{DS}(V_{DS})$, au protocole d'exécution manuelle et automatique de l'analyseur des paramètres semi-conducteurs **Agilent 4156C**, au montage expérimental mis en place pour le système de régulation de la température. Enfin nous exposons les méthodes d'extraction des principaux paramètres électriques caractérisant les dispositifs MOSFETs.

2.2 Structures de test et Banc de caractérisation

2.2.1 Structures de test

Les structures de test que nous avons étudié dans ce travail sont des structures de test de la technologie CMOS 1 μm et 5 μm présentées respectivement sur les figures **2.1** et **2.2**. Chaque structure de test contient plusieurs transistors MOS de type n et p qui sont différents, selon leurs longueurs (L_G) et leurs largeurs (W_G).

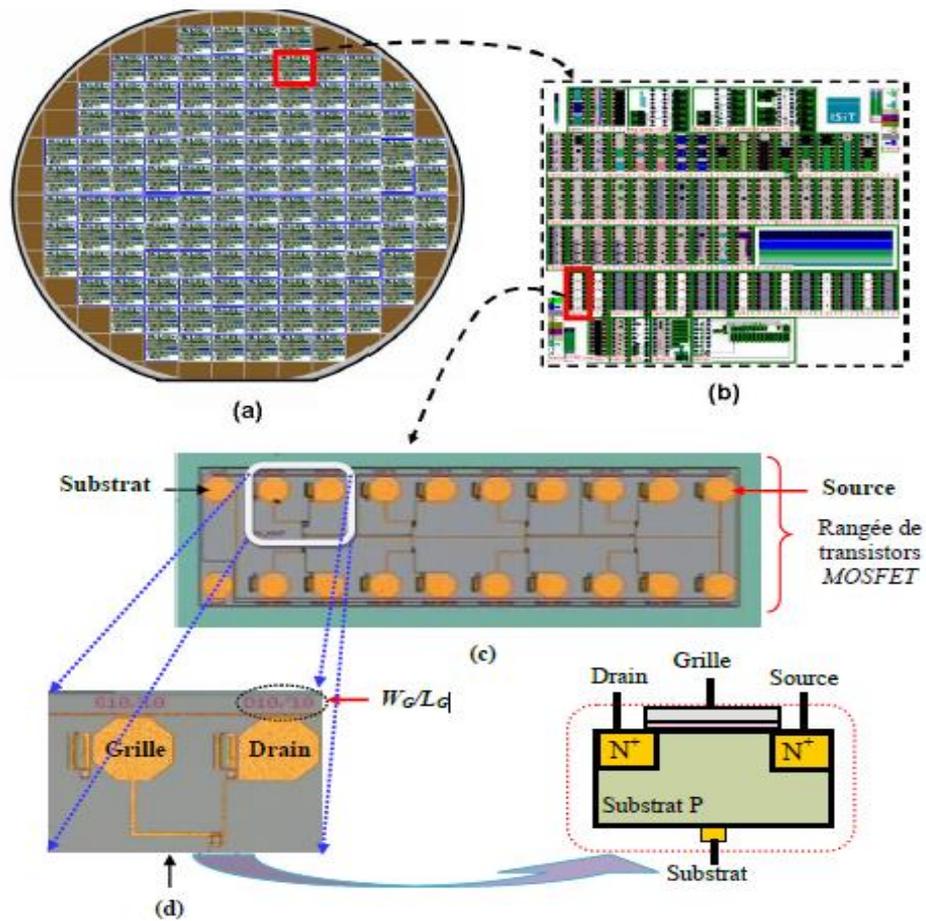


Figure 2.1 : Image montrant : **(a)** tranche de Silicium contenant plusieurs structures de test, **(b)** structures de test, **(c)** rangée de dispositifs MOSFETs **(d)** le dispositif MOSFET. Pour la même rangée, le contact (plot) du substrat et celui de la source sont communs pour tous les transistors [21].

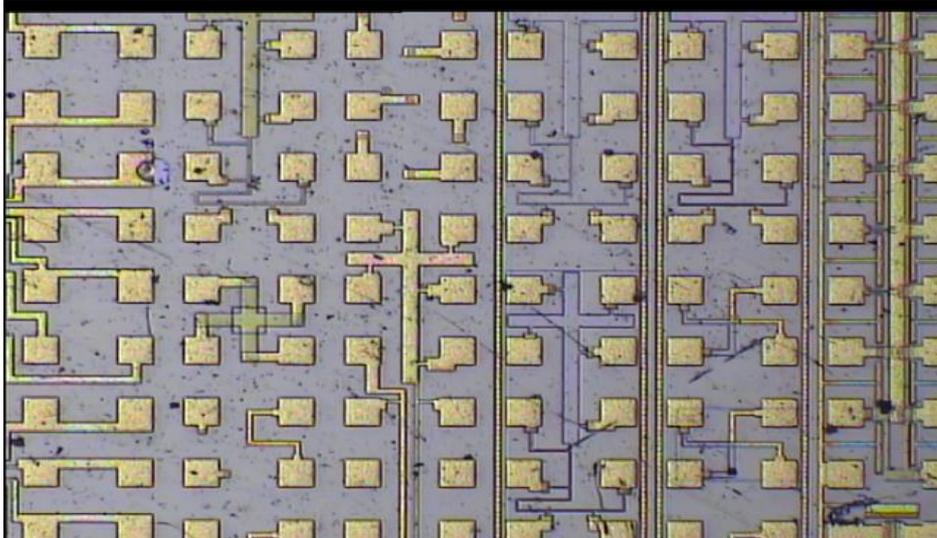


Figure 2.2 : Image montrant la structure de la technologie CMOS 5 μm .

2.2.2 Salle de caractérisation

La Salle de caractérisation électrique où nous avons réalisé notre travail expérimental se situe dans la Division Microélectronique et Nanotechnologie (DMN) du Centre de Développement des Technologies Avancées (CDTA). Cette salle est d'une superficie de 48.28 m², dispose de deux bancs de caractérisation électriques, l'un est réservé pour les mesures Radiofréquence (RF) et l'autre pour les mesures DC. Chaque banc de caractérisation est constitué d'une station de test sous pointes et des équipements de mesures électriques. Rappelons que les deux stations de test sous pointes sont très sensibles aux différentes vibrations et bruits, c'est pour cette raison qu'elles sont placées au rez-de-chaussée. En plus de ces bancs de caractérisation, la salle contient également d'autres instruments utilisés dans la caractérisation électrique.

Durant notre travail, nous avons utilisé le banc de caractérisation DC. Ce dernier est constitué d'une station de test sous pointes semi-automatique et un rack d'instruments, utilisés pour différentes mesures électriques, comme les mesures courant-tension, capacité, pompage de charge, etc.

Ce banc de caractérisation est constitué :

- d'une Station de test sous pointes (**Karl Suss AP4 Porber**).

- d'un micro-ordinateur pour le contrôle et la mesure des différents instruments.
- d'un Oscilloscope numérique, **Tektronix TDS 3057B**.
- d'une cage de Faraday.
- d'un thermomètre.
- d'un impédance-mètre, **Agilent 4284A**.
- d'un générateur de fonction, **Keithely 3940**.
- d'un électromètre, **Keithely 617**.
- d'un analyseur de précision des paramètres semi-conducteurs, **Agilent 4156C**.

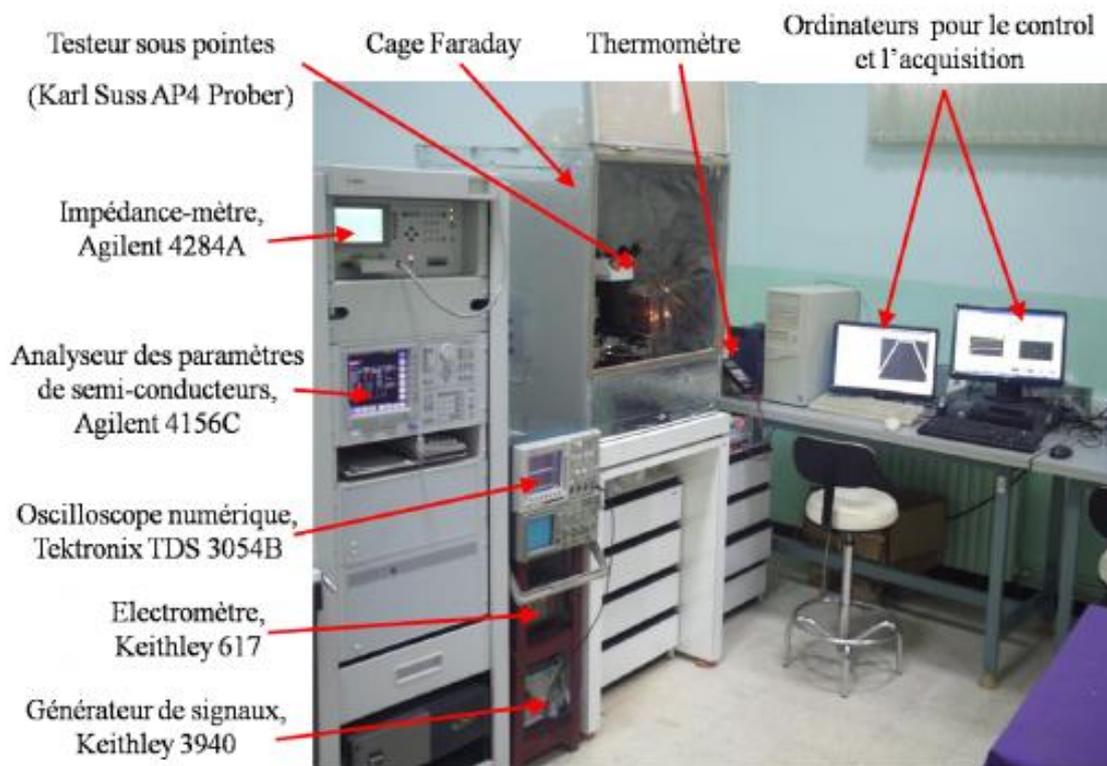


Figure 2.3: Vue d'ensemble du banc de caractérisation électrique DC [21].

2.2.2.1 Testeur sous-pointes

La station de test sous pointes appelée également testeur sous pointes est un dispositif primordial dans le secteur d'industrie des semi-conducteurs. Elle permet d'effectuer des caractérisations électriques des composants semi-conducteurs, des puces électroniques afin de les qualifier. Cette caractérisation peut se faire d'une façon manuelle, semi-automatique ou automatique selon le type de la station.

Le testeur sous pointes avec lequel nous avons réalisé ce travail de mémoire est présenté sur la figure **2.4**. Ce dernier est composé des éléments suivants :

- **Microscope optique** : est un instrument optique qui permet de visualiser des objets de petite taille ou des détails invisibles. Dans notre cas il nous permet d'agrandir l'image de différents dispositifs des structures de test et d'ajuster avec précision les pointes du testeur sur les plots des dispositifs (contacts électriques). Le microscope optique est composé essentiellement d'une lentille transparente qui agrandit l'objet et d'une source de lumière pour illuminer.
- **Porte échantillon** : est un support en inox permettant de maintenir la structure de test fixe, et ceci par un système d'aspiration (pompage primaire sous vide). Les contacts électriques entre notre structure de test (dispositif) et l'analyseur de paramètres semi-conducteurs sont assurés par des pointes montées sur des Micro-positionneurs.
- **Micro-positionneur** : il permet de positionner la pointe sur la surface de contact du dispositif avec une bonne précision, et cela grâce à des vis de réglage micrométrique ajustable dans différentes directions de l'espace (axes X, Y, Z). Pour avoir un bon contact électrique et ne pas endommager les dispositifs, il est important de bien positionner la pointe au centre du contact du dispositif.
- **Cage de Faraday** : est une cage métallique reliée à la masse, qui permet de protéger la structure de test des nuisances électriques et des perturbations externes comme la lumière et les ondes électromagnétiques.

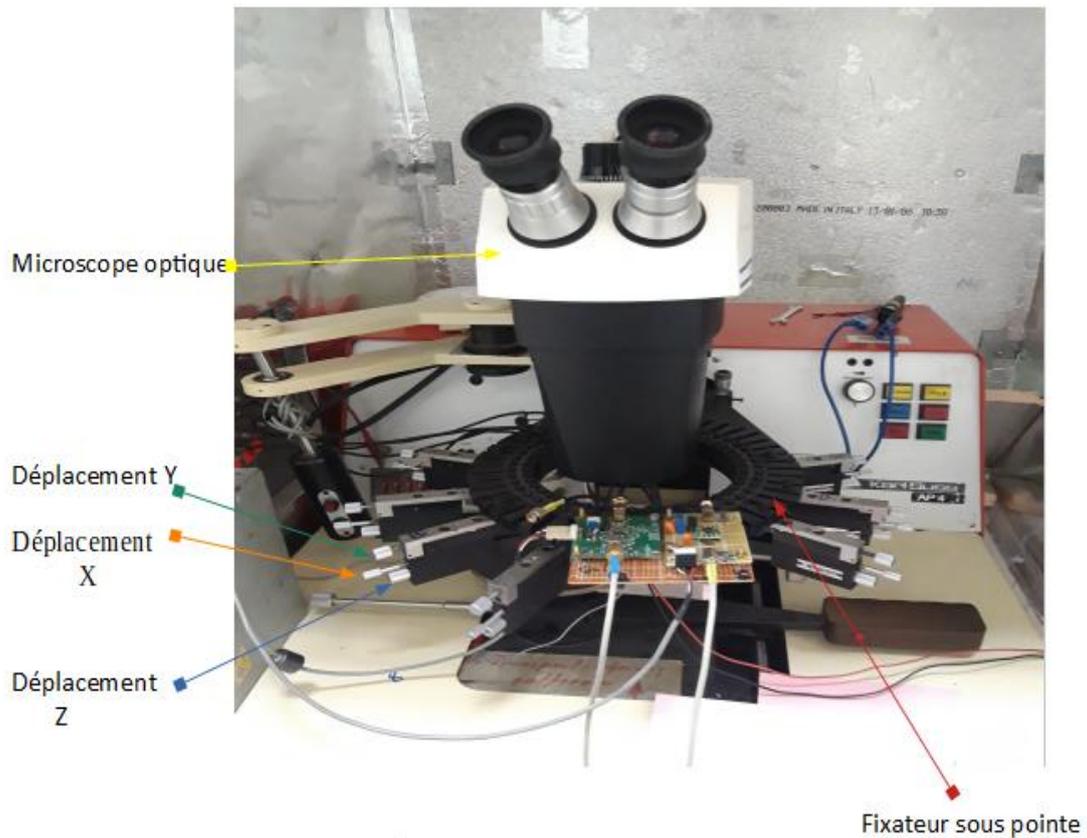


Figure 2.4 : Station de test sous pointes, *Karl Suss AP4*.

2.2.2.2 Équipement de mesure

L'équipement que nous avons utilisé dans ce travail est l'Analyseur des paramètres semi-conducteurs, Agilent 4156C présenté sur la figure 2.5. Cet équipement est un instrument permettant de mesurer et d'analyser les caractéristiques des dispositifs à semi-conducteur, tel que les caractéristiques courant-tension $I(V)$. Il est muni principalement d'un écran d'affichage LCD, d'un lecteur de disquette et des touches de défilement, de commande et d'exécution.

Les mesures des caractéristiques courant-tension sont faites à travers des SMUs (Source Monitor Unit) via des câbles triaxiaux de haute résolution ($1\text{fA}/2\mu\text{V}$ $100\text{mA}/100\text{V}$) qui sont munis d'une double protection. Les SMUs permettent d'appliquer et de mesurer simultanément soit une tension ou un courant. L'utilité de ces câbles triaxiaux est l'amélioration de la mesure du courant sous seuil.



Figure 2.5 : Analyseur de paramètres semi-conducteurs, **Agilent 4156C.**

Les caractéristiques et les fonctions de base de l'analyseur de paramètres semi-conducteurs, **Agilent 4156C** sont :

- Définition des conditions de mesure ou de contrainte (stress électrique).
- Capacité de contrôle de la mesure.
- Réalisation des calculs arithmétiques.
- Affichage des résultats mesurés sur l'écran LCD.
- Réalisation d'analyses graphique.
- Stockage des paramètres de mesure et des données de mesure et d'affichage graphique.
- Autotest et calibrage automatique.

La face arrière de l'analyseur, **Agilent 4156C** est constituée principalement [22] :

- De huit terminaux SMUs qui sont des connecteurs triaxiaux.
- D'un port d'interfaçage GPIB.
- D'un port de connexion LAN.
- D'un ventilateur de refroidissement.

La figure 2.6 montre la face arrière de l'analyseur, **Agilent 4156C.**

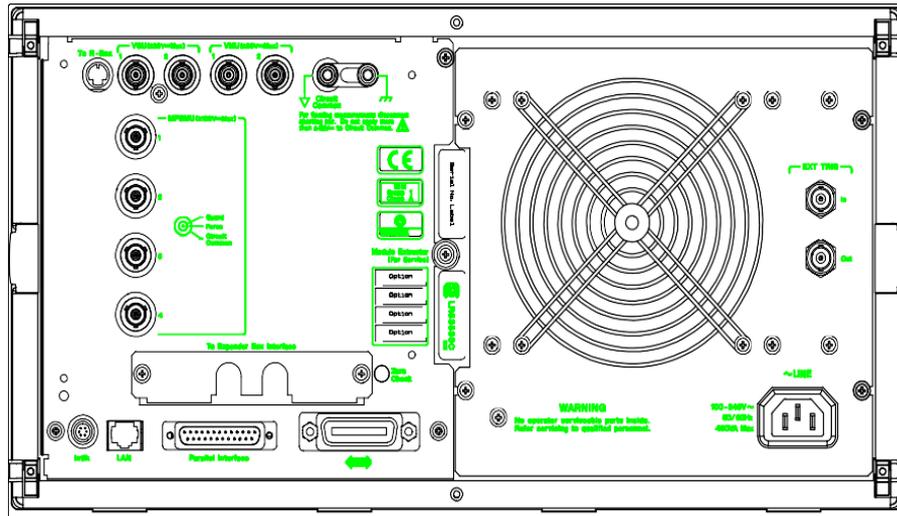


Figure 2.6 : Vue de la face arrière de l'analyseur, Agilent 4156C [22].

2.3 Protocole de mesure

2.3.1 Caractéristiques courant-tension $I(V)$

Pour avoir les caractéristiques courant-tension $I_{DS}(V_{DS})$, il faut appliquer une tension V_{GS} variable sur la grille du transistor et une tension V_{DS} de faible amplitude sur le drain. La caractéristique $I_{DS}(V_{DS})$ est mesurée par l'analyseur de paramètres semi-conducteurs. Dans ce cas de figure, l'électrode de la source et celui du substrat sont reliées à la masse (0V).

Les caractéristiques courant-tension permettent l'extraction des différents paramètres caractérisant le dispositif MOSFET, tel que la tension de seuil V_{TH} , le facteur de réduction de mobilité et la longueur effective L_{eff} . La figure 2.7 représente le montage expérimental de cette méthode.

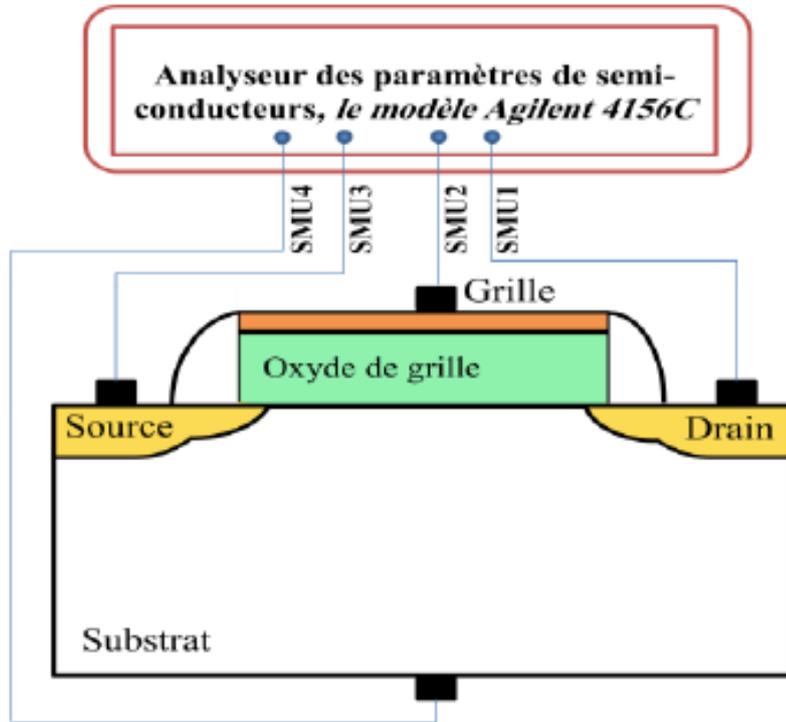


Figure 2.7 : Illustration du montage expérimental de la mesure courant-tension [21].

Les figures 2.8 et 2.9, montrent les caractéristiques de sortie $I_{DS}(V_{DS})$ et de transfert $I_{DS}(V_{GS})$ pour le transistor MOS de type n et p, respectivement. Pour les nMOSFETs, les tensions V_{GS} et V_{DS} appliquées sur le transistor sont positives et le courant mesuré I_{DS} est positif. Par contre pour les pMOSFETs, les tensions V_{GS} et V_{DS} appliquées sur le transistor sont négatives et le courant mesuré I_{DS} est négatif.

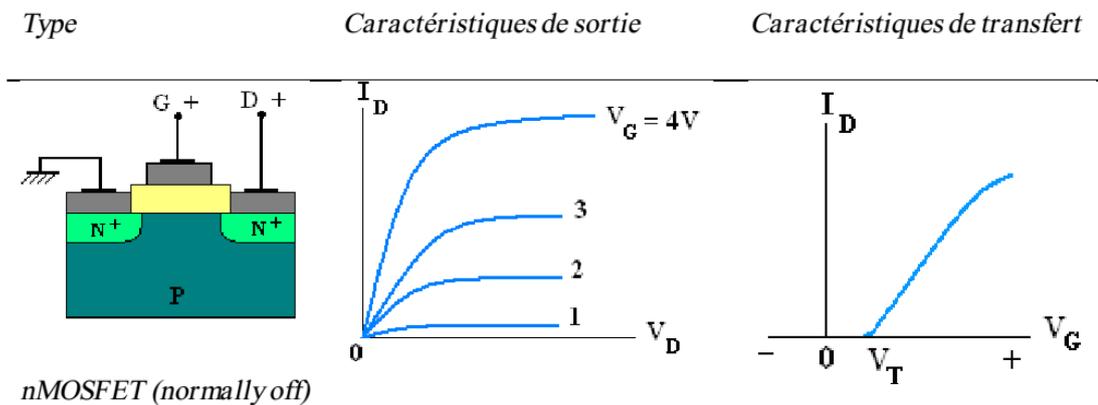


Figure 2.8 : Image montrant les caractéristiques de transfert et de sortie pour le nMOSFET [23].

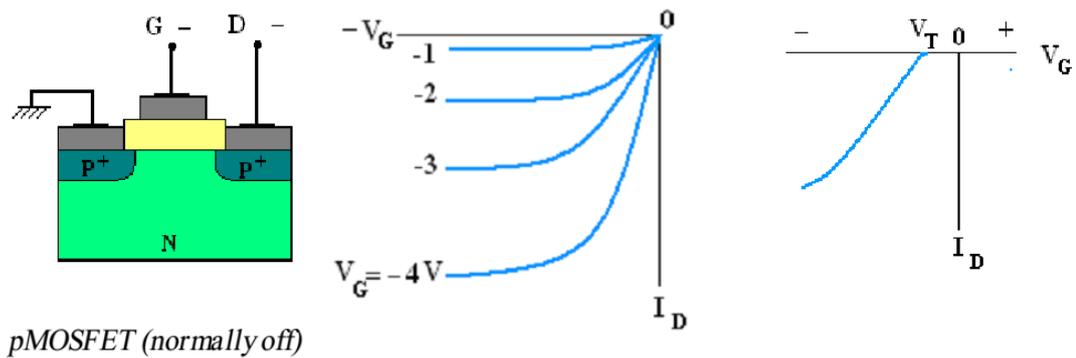


Figure 2.9 : Image montrant les caractéristiques de transfert et de sortie pour pMOSFET [23].

Les mesures des caractéristiques courant-tension $I_{DS}(V_{GS})$ et $I_{DS}(V_{DS})$ peuvent se faire avec deux façons, soit d'une façon manuelle, ou bien d'une façon automatique via un programme de contrôle et de mesure de l'analyseur, **Agilent 4156C**. Dans notre cas, le programme de contrôle et de mesure est implémenté sous LabVIEW.

2.3.2 Protocole d'exécution manuelle de l'analyseur, Agilent 4156C

Dans cette partie, nous allons voir les différentes étapes permettant d'avoir les caractéristiques de transfert $I_{DS}(V_{GS})$ et de sortie $I_{DS}(V_{DS})$.

2.3.2.1 Affectation et attribution des SMUs

Les SMUs (Source Monitor Unit) sont configurés selon le type de transistor utilisé. Chaque SMU est attribué soit au contact drain, grille, source et substrat (bulk). Pour la mesure des caractéristiques de transfert $I_{DS}(V_{GS})$, le contact grille et le contact drain sont fixés en mode tension (V_G pour le contact grille et V_D pour le contact drain) et en leurs affectant respectivement la fonction variable (VAR1 et VAR2). Les contacts source et substrat sont en mode commun (reliés à la terre).

La figure **2.10**, montre une photo de la page d'affectation et d'attribution des SMUs aux différents contacts du transistor

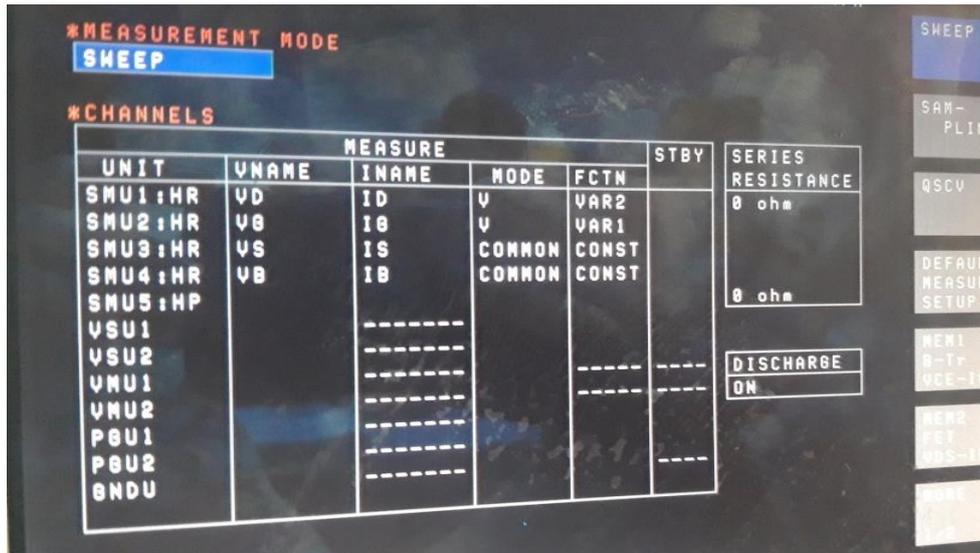


Figure 2.10 : Image montrant l'affectation et l'attribution des SMUs.

2.3.2.2 Déclaration des variables

Une fois l'étape d'affectation et d'attribution des SMUs soit effectuée, nous passons à l'étape déclaration des variables. Nous avons vu précédemment que pour le nMOSFET les tensions V_G et V_D sont positives et pour le pMOSFET ces tensions sont négatives. Dans ce cas de figure, nous avons pris l'exemple d'un nMOSFET de la technologie CMOS 1.0 μm , la plage de variation de V_G est fixée entre -0.3 V à 5 V avec un pas de mesure de 0.05 V et pour V_D , sa valeur est fixée à 0.05 V (voir la figure 2.11). Rappelons que les tensions doivent être choisies dans la plage de fonctionnement du transistor pour qu'il ne soit pas endommagé.

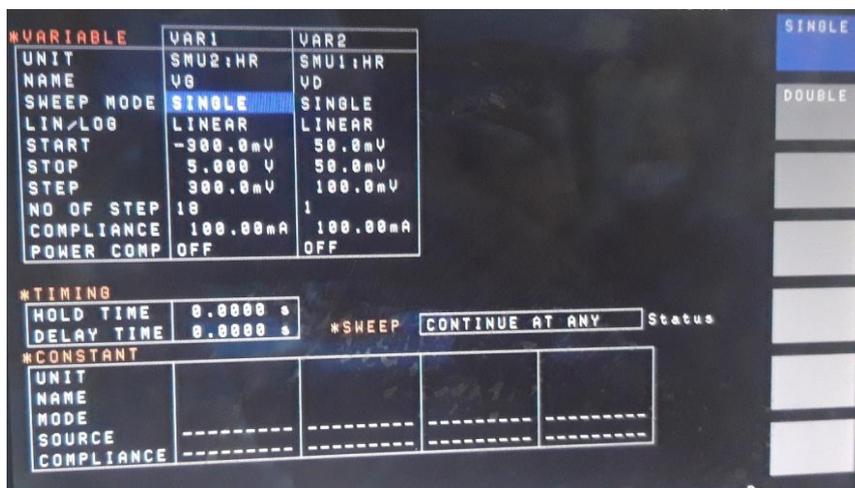
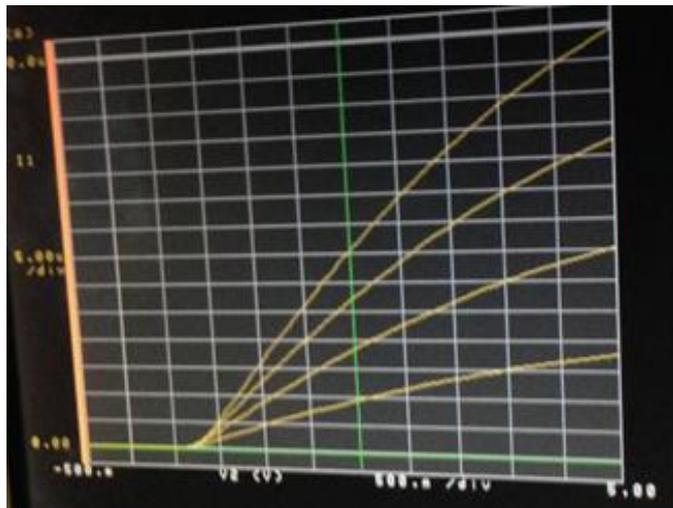


Figure 2.11 : Image montrant la déclaration des variables.

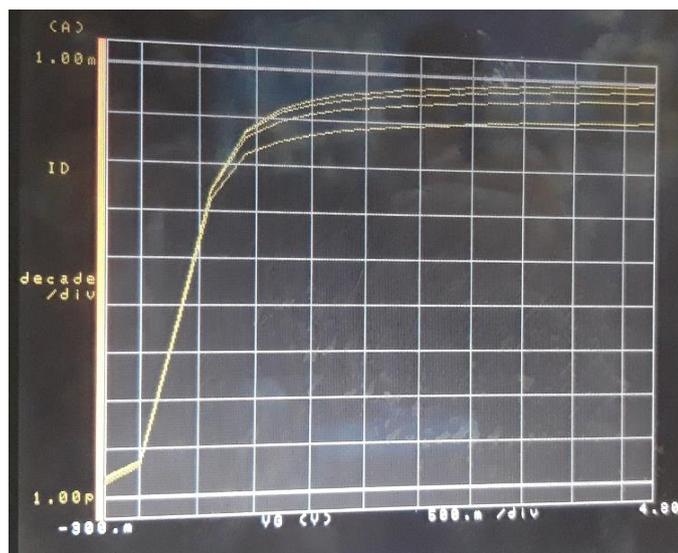
2.3.2.3 Exécution de la mesure

Dans cette étape nous procédons à l'exécution du programme. Une fois le programme est exécuté, les caractéristiques de transfert $I_{DS}(V_{GS})$ s'affichent comme montre la figure 2.12.

Les caractéristiques peuvent être affichées soit en mode linéaire (voir la figure 2.12(a)) ou bien en mode logarithmique (voir la figure 2.12(b)). Ce dernier mode nous permet de mieux visualiser et analyser les variations du courant sous le seuil.



(a)



(b)

Figure 2.12 : Image montrant la caractéristique de transfert $I_{DS}(V_{GS})$ pour un nMOSFET.

Pour la caractéristique de sortie $I_{DS}(V_{DS})$, c'est exactement les mêmes étapes que nous devons faire rentrer sauf que dans ce cas-là c'est la tension V_D qui est variable. La figure 2.13 montre le résultat d'exécution de la mesure des caractéristiques de sortie $I_{DS}(V_{DS})$.

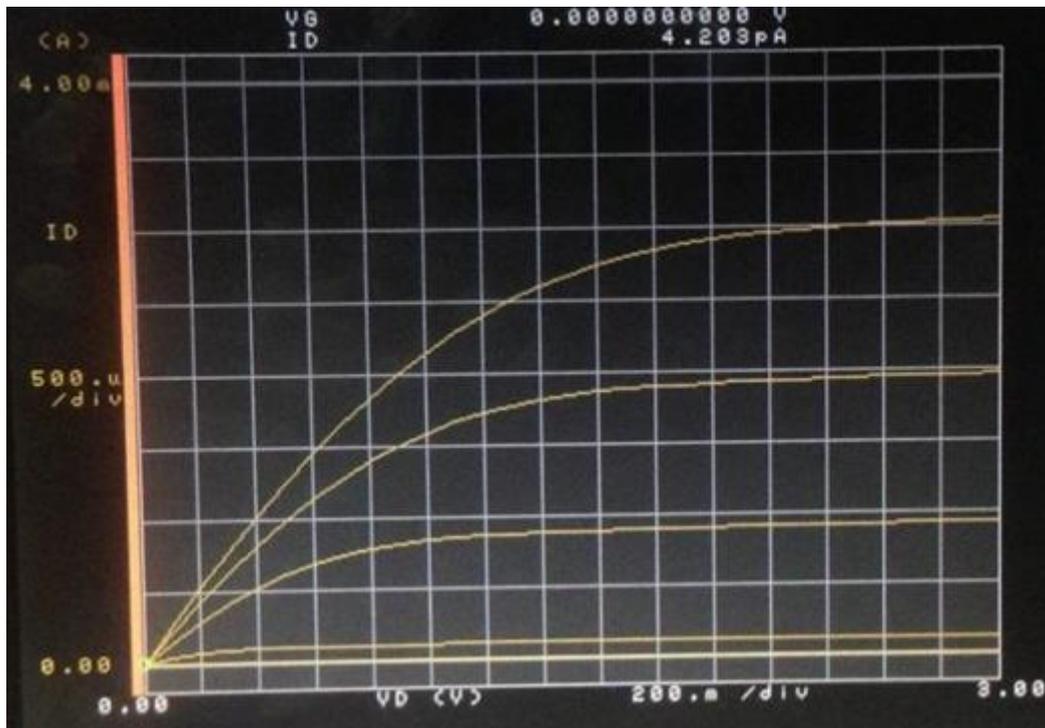


Figure 2.13 : Image montrant la caractéristique de transfert $I_{DS}(V_{DS})$ pour un nMOSFET.

2.3.3 Protocole d'exécution automatique de l'analyseur, Agilent 4156C

L'exécution automatique de l'analyseur, Agilent 4156C se fait par un programme de commande et d'acquisition implémenté sous LabVIEW. Ce dernier est utilisé principalement pour la mesure et le contrôle des commandes des instruments de mesure.

Les domaines d'application traditionnels de LabVIEW sont le contrôle/commande, de la mesure, l'instrumentation ainsi que le test automatisé à partir d'un PC (acquisition de données, contrôle d'instruments de mesure, de dispositifs expérimentaux, de bancs de test).

La figure 2.14 représente l'interface du programme de mesure courant-tension $I(V)$ que nous avons utilisé pour nos mesures.

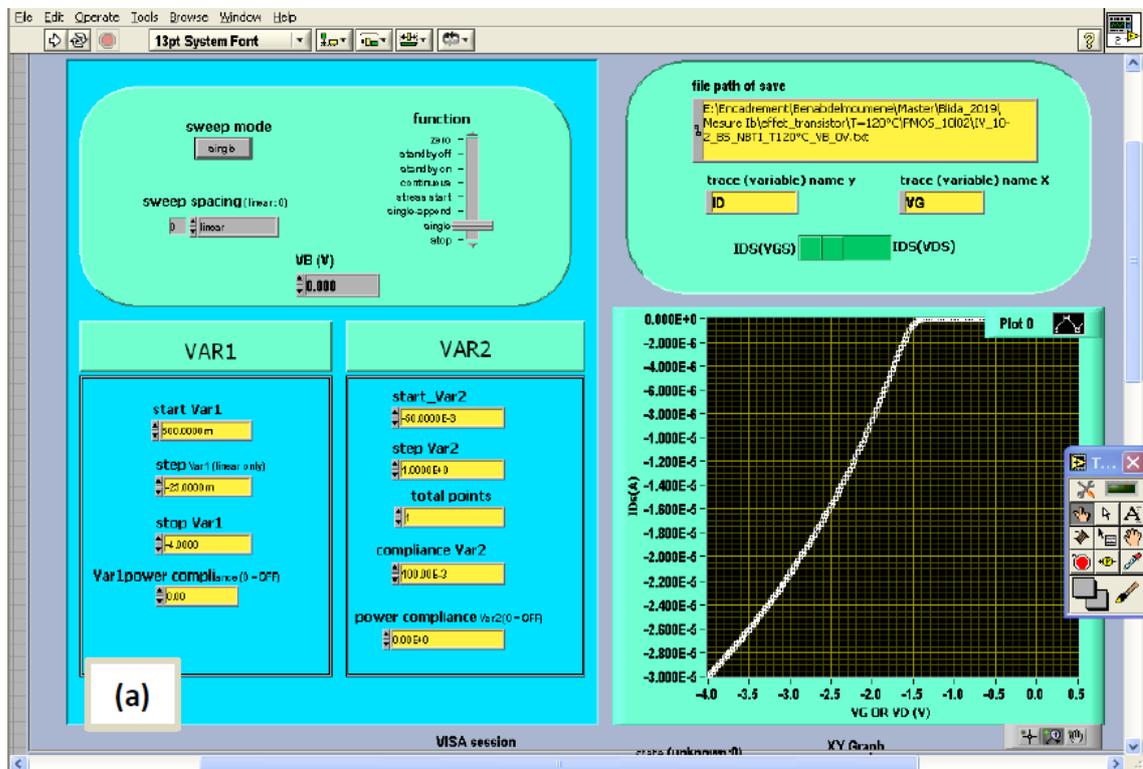


Figure 2.14 : L'interface du programme de mesure courant-tension $I(V)$ [24].

2.3.4 Système de chauffage

Le système de chauffage avec lequel nous avons travaillé est constitué des éléments suivants :

- Un organe de régulation, qui est une plaque chauffante au sein de laquelle une résistance est enroulée, et dont le chauffage est assuré par effet *Joule*.
- Une alimentation électrique, qui est une alimentation possédant un port d'interfaçage *GPIB* délivrant une tension de 20 V et un courant de 2.5 A.
- Un thermomètre, qui est un instrument qui permet la mesure de la température à travers une sonde à résistance de température (*Pt100*).
- Un micro-ordinateur, sur lequel la commande et l'acquisition s'effectuent par un programme de contrôle implémenté sous LabVIEW [21].

Le montage expérimental de ce système de régulation de la température est présenté sur la figure 2.15.

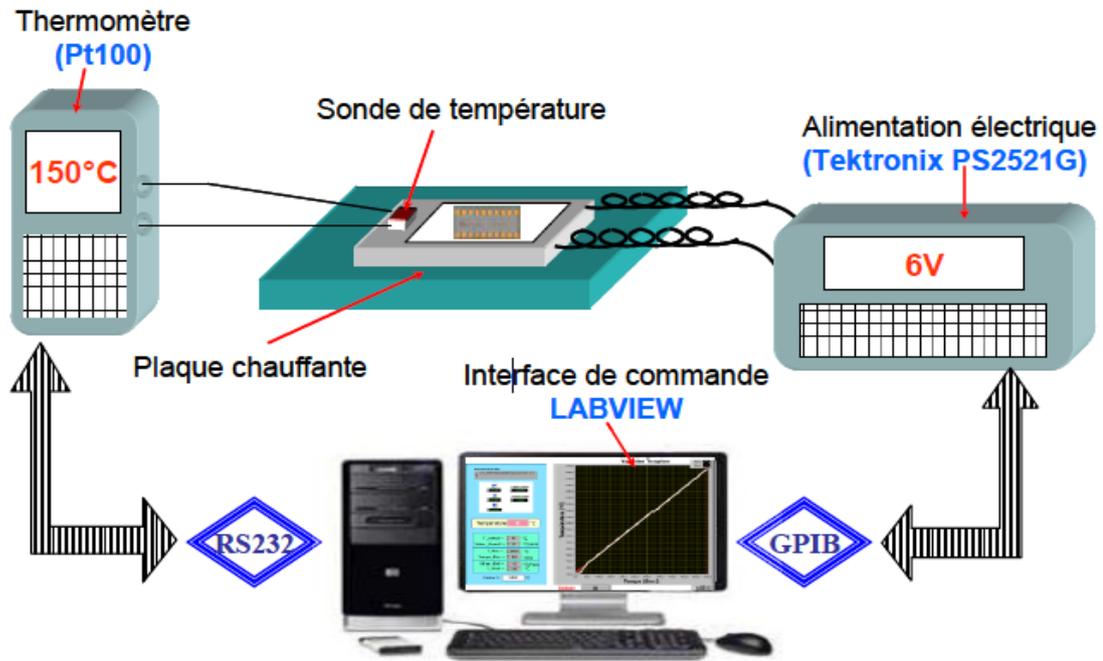


Figure 2.15 : Schéma représentatif du système de régulation de la température [21].

2.4 Extraction des principaux paramètres électriques

L'évaluation des performances d'un dispositif MOSFET s'obtient à l'aide des caractéristiques DC du transistor. La mesure des caractéristiques courant-tension $I(V)$ permet la détermination des paramètres de fonctionnement comme la tension de seuil V_{TH} , le coefficient de réduction de la mobilité ϑ , le courant de conduction I_{DS} , la mobilité en champ faible μ_0 , la longueur-largeur effective du canal L_G-W_G .

2.4.1 Extraction de la tension de seuil

La tension de seuil V_{TH} est la valeur de la tension de grille nécessaire pour que le canal du transistor MOSFET commence à conduire. Cette tension de seuil évolue avec les densités de charges dans l'oxyde SiO_2 et à l'interface $\text{SiO}_2\text{-Si}$, uniformément réparties sur le long du canal. Il n'en est pas de même lorsque ces charges sont localisées. Dans les deux cas, la tension de seuil locale évolue vers des valeurs plus négatives lorsque des

charges positives se trouvent dans l'oxyde et augmente dans le cas où ces charges sont négatives.

Dans la structure réelle (substrat de type p), il faut prendre en compte l'influence de la différence des travaux de sortie Φ_{ms} , des charges des états d'interface et des charges dans l'oxyde Q_F par l'intermédiaire de la tension de bande plate V_{FB} [8].

Dans la littérature plusieurs méthodes et techniques d'extraction de la tension de seuil V_{TH} ont été proposées [8]. Pour notre étude, nous nous sommes intéressés à deux méthodes, la méthode de la g_m et la méthode de racine carrée du courant $I_{DS}(\sqrt{I_{DS}})$.

2.4.2 Méthode de la g_m

Pour la méthode de la g_m , la tension de seuil est extraite pour I_{DS} mesuré en régime linéaire c.à.d. pour V_{DS} de faible amplitude (~ 50 mV). V_{TH} est déterminée en modélisant le courant de transfère $I_{DS}(V_{GS})$ par une droite, plus exactement en utilisant sa tangente au point d'inflexion, soit au maximum de la transconductance du transistor définie par l'équation 2.1.

$$g_m = \left. \frac{\partial I_{DS}}{\partial V_{GS}} \right|_{V_{DS}, V_{BS} = Cte} \quad (2.1)$$

Les figures 2.16 et 2.17 montrent respectivement, le principe de la mesure $I_{DS}(V_{GS})$ et la technique d'extraction de la tension de seuil, V_{TH} .

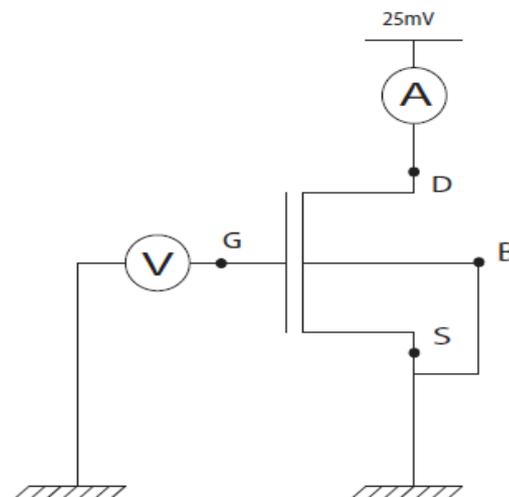


Figure 2.16 : Schéma montrant le principe de la mesure courant-tension $I_{DS}(V_{GS})$ [25].

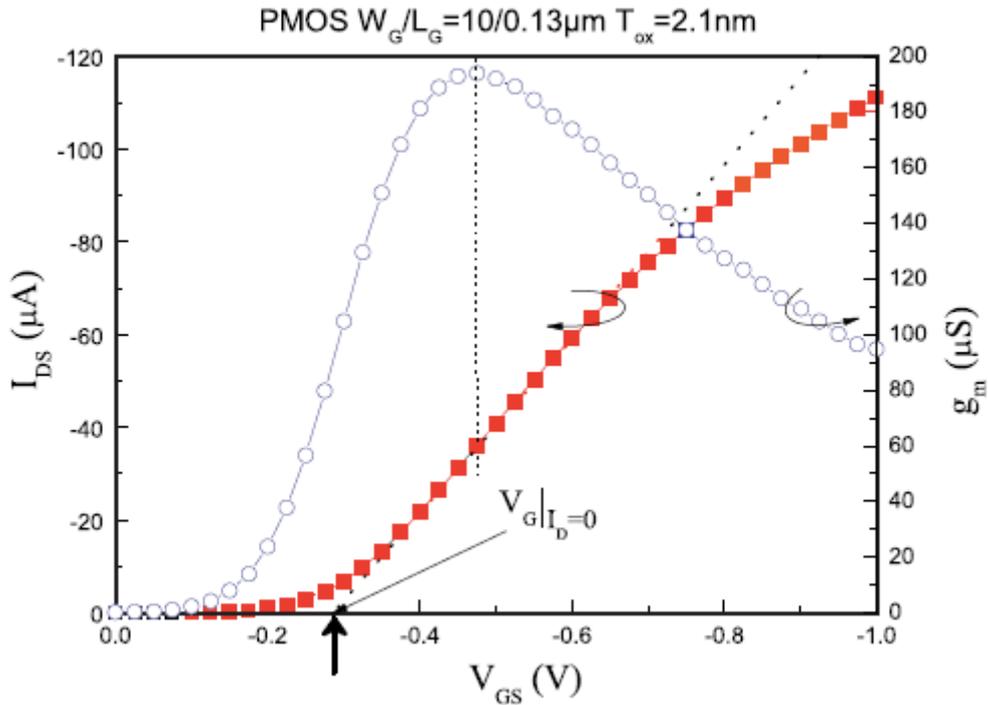


Figure 2.17 : Technique d'extraction de la tension de seuil par la technique de g_m pour le régime linéaire [25].

2.4.3 Méthode de la racine carrée de I_{DS}

Pour cette méthode, l'extraction de la V_{TH} est effectuée pour le mode de fonctionnement saturé, $V_{DS} > (V_{GS} - V_{TH})$. La racine carrée du courant I_{DS} ($\sqrt{I_{DS}}$) est proportionnelle à $V_{GS} - V_{TH}$. Pour $\sqrt{I_{DS}} = 0$, V_{TH} égale à V_{GS} .

La figure **2.18** montre la technique d'extraction de la V_{TH} par la méthode de la racine carrée de I_{DS} .

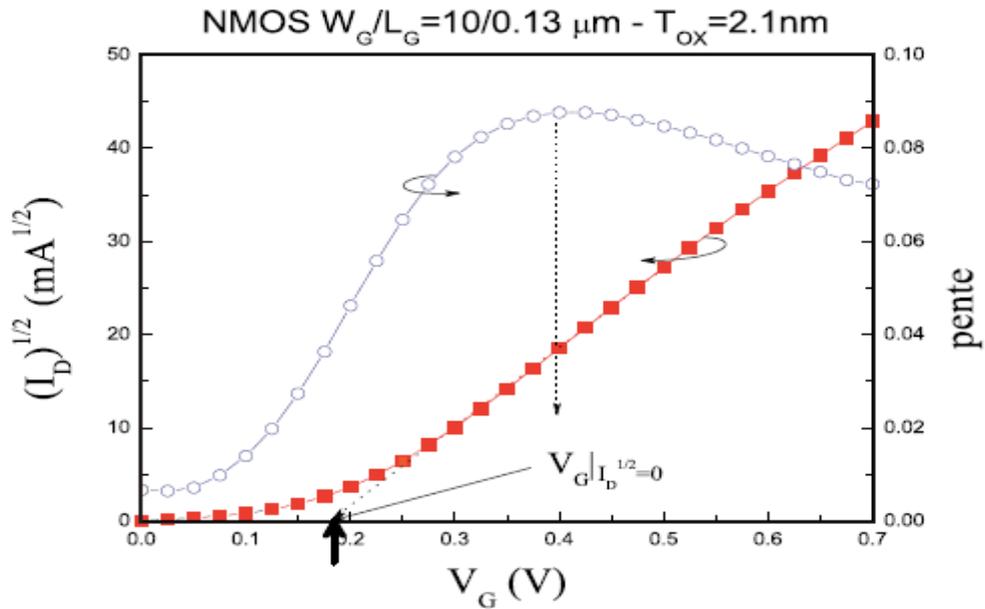


Figure 2.18 : Technique d'extraction de la tension de seuil par la méthode de la racine carrée de I_{DS} [25].

2.4.4 Détermination des dimensions effectives du canal

Le procédé de fabrication des composants engendre quelques variations entre les dimensions dessinées sur le masque de gravure et la taille réelle du canal. Ces variations géométriques sont les mêmes pour chaque dispositif élaboré avec la même technologie.

La différence ΔL_G sur la longueur électrique du canal est la conséquence à la fois du phénomène de la sur-gravure et de la diffusion latérale des dopants des zones Source/Drain. Cependant, la différence ΔW_G est causée par la sur-gravure et du type d'isolation latérale utilisée (LOCOS ou STI) [25].

2.4.4.1 Extraction de ΔL_G

L'extraction de la longueur ΔL_G peut s'effectuer en mesurant $I_{DS}(V_{GS})$ de plusieurs transistors ayant des longueurs variables et des largeurs fixes. A partir du courant $I_{DS}(V_{GS})$, nous calculons la transconductance g_m . L'inverse de la transconductance (g_m^{-1}) est une relation linéaire avec L_G (voir l'équation (2.2)) [25].

$$I_{DS} = \frac{\mu_0 C_{OX} W_G}{L_G - \Delta L_G} V_{DS} \left(V_{GS} - V_{TH} - \frac{\alpha V_{DS}}{2} \right) \Rightarrow \frac{1}{g_m} = \frac{1}{\mu_0 C_{OX} W_G V_{DS}} (L_G - \Delta L_G) \quad (2.2)$$

2.4.4.2 Extraction de ΔW_G

L'extraction de la largeur ΔW_G s'effectue de la même manière que celle de la longueur ΔL_G mais cette fois avec un lot de transistors ayant des largeurs variables et des longueurs fixes.

La g_m est donnée par cette relation [25] :

$$g_m = \frac{\mu_0 C_{OX} V_{DS}}{L_{eff}} (W_G - \Delta W_G) \quad (2.3)$$

Le tracé de g_{max} en fonction de W_G permet d'extraire ΔW_G , c'est l'intersection de la droite avec l'axe des abscisses.

2.4.5 Extraction du facteur de réduction de mobilité

La mobilité peut être influencée par plusieurs facteurs, tel que les états d'interfaces et les champs transversaux et longitudinaux se trouvant dans l'oxyde et dans le canal. La mobilité peut être écrite sous la forme [26] :

$$\mu = \frac{\mu_0}{1 + \theta(V_{GS} - V_{TH}) + \frac{E}{E_c}} \quad (2.4)$$

μ_0 : Mobilité à faible champ ou à champ nul, ou encore la mobilité au seuil de conduction.

θ : Coefficient d'atténuation de mobilité, c'est le paramètre qui tient compte de la dégradation de la mobilité en fonction du champ électrique transversal.

E_c : Champ électrique critique défini par $V_{sat} = \mu_0 E_c$ où V_{sat} est la vitesse de saturation des porteurs.

θ et E_c sont deux paramètres empiriques déterminés expérimentalement.

$\theta (V_{GS} - V_{TH})$ traduit l'effet du champ transversal.

E/E_c traduit l'effet de saturation de la vitesse de dérive des porteurs à forts champs longitudinaux.

La réduction de la mobilité des porteurs du canal est généralement représentée par un seul coefficient qui est θ . L'extraction du θ peut se faire par la relation de la g_m donnée par l'équation (2.5) [25] :

$$g_m = \frac{K}{(1 + \theta(V_{GS} - V_{TH}))^2} \quad (2.5)$$

Avec, $K = \mu_0 C_{ox} W_G / L_G$

Pour extraire θ et μ_0 , il suffit de tracer $1/\sqrt{g_m}$ en fonction de $V_{GS} - V_{TH}$.

La figure 2.19 montre un exemple de la méthode d'extraction de θ et μ_0 .

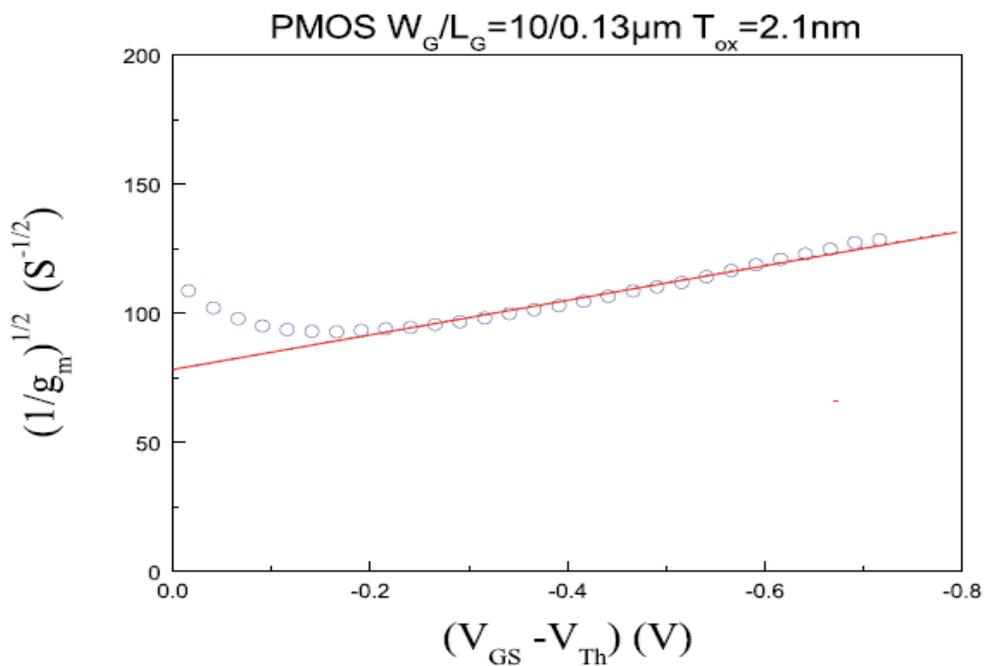


Figure 2.19 : Exemple de la méthode d'extraction de μ_0 et θ [25].

2.4.6 Calcul de la résistance série, R_{DS}

La détermination de la résistance série, R_{DS} est fondée sur l'exploitation des caractéristiques $I_{DS}(V_{DS})$ mesurés dans les conditions de forte inversion ($V_{GS} > V_{TH}$) en gardant $(V_{GS} - V_{TH})$ constant.

La résistance totale R_{tot} à faible polarisation de drain est la somme de la résistance R_{DS} et la résistance effective du canal R_{eff} [26] :

$$R_{tot} = R_{DS} + R_{eff} \quad (2.6)$$

Avec,

$$R_{eff} = \frac{L_{eff}}{\mu_{eff} C_{ox} W_{eff} (V_{GS} - V_{TH})} \quad (2.7)$$

R_{tot} peut s'écrire sous cette forme :

$$R_{tot} = A + \left(\frac{\alpha}{W_G}\right) L_G \quad (2.8)$$

Avec,

$$A = R_{DS} - \left(\frac{\alpha}{W_G}\right) \Delta L_G \quad (2.9)$$

Et,

$$\alpha = \frac{1}{\mu_{eff} C_{ox} (V_{GS} - V_{TH})} \quad (2.10)$$

La figure 2.20 montre un exemple d'extraction de la résistance totale R_{tot} effectuée pour trois valeurs de tension ($V_{GS} - V_{TH}$) [8]. Ces résistances mesurées R_{tot} sont déterminées dans la zone de fonctionnement ohmique du transistor.

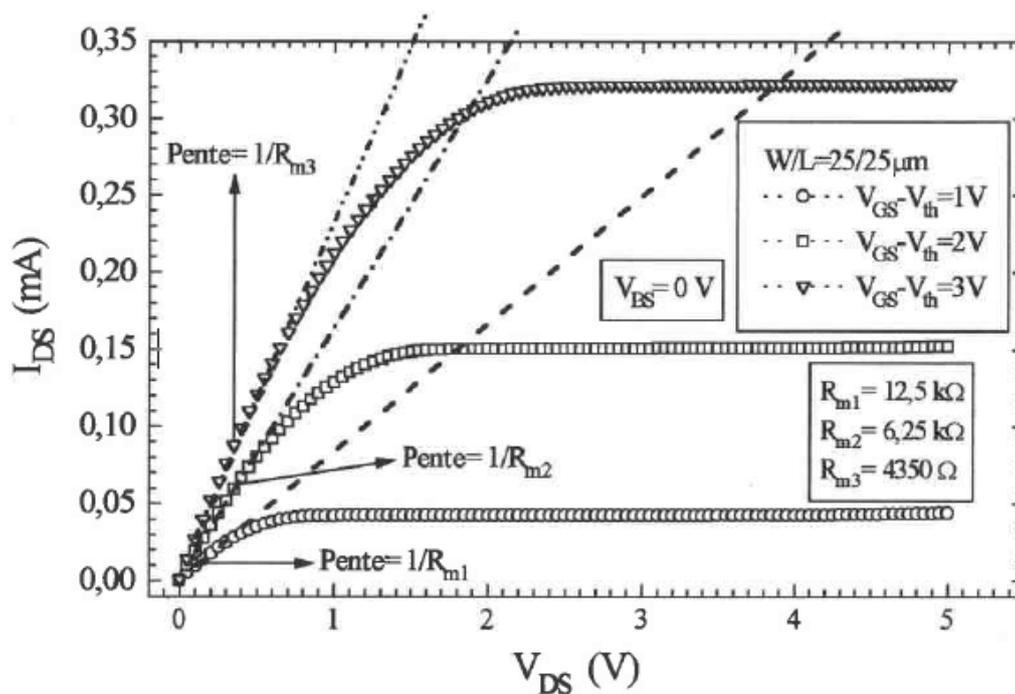


Figure 2.20 : Exemple montrant la mesure des résistances totales R_{tot} pour différentes valeurs de polarisations de grille ($V_{GS} - V_{TH}$) = 1, 2 et 3V [26].

Les résistances totales R_{tot} mesurées ont été déterminées à partir de l'inverse des pentes des régions ohmiques ou linéaires des caractéristiques. Pour chaque transistor, on aura trois couples de valeur de $(R_{tot} ; L_G)$, permettant ainsi de résoudre l'expression R_{tot} et d'obtenir trois couples de solutions $(A, \frac{\alpha}{W_G})$.

Le tracé de la résistance totale mesurée R_{tot} en fonction de la longueur de la grille L_G , donné par l'expression (2.6), permettant la détermination des constantes A et α/W_G comme le montre la figure 2.21 [26].

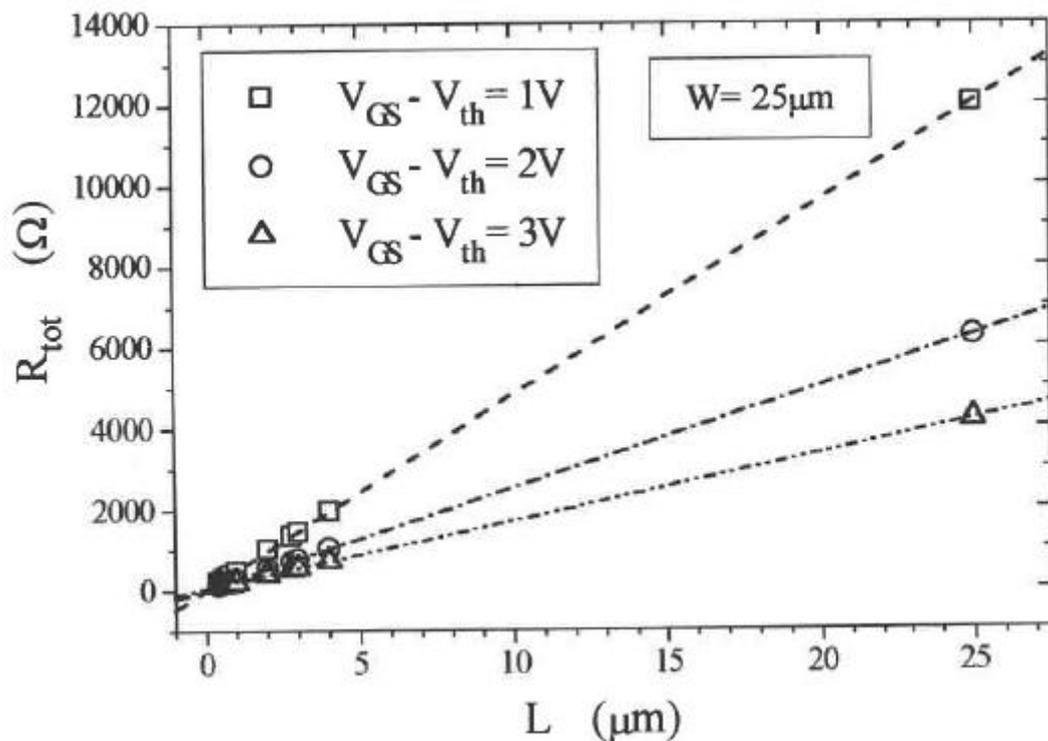


Figure 2.21 : Variation de la résistance totale mesurée R_{tot} en fonction de la longueur de la grille en vue de la détermination des constantes A et α/W_G [26].

Enfin, la résistance d'accès R_{SD} est obtenue en traçant A en fonction α/W_G , comme le montre la figure 2.22. R_{SD} est l'intersection entre l'extrapolation et l'axe des ordonnées. De cette présentation, nous pouvons également extraire la réduction technologique de la longueur du canal ΔL_G . Elle se déduit de la pente de la caractéristique.

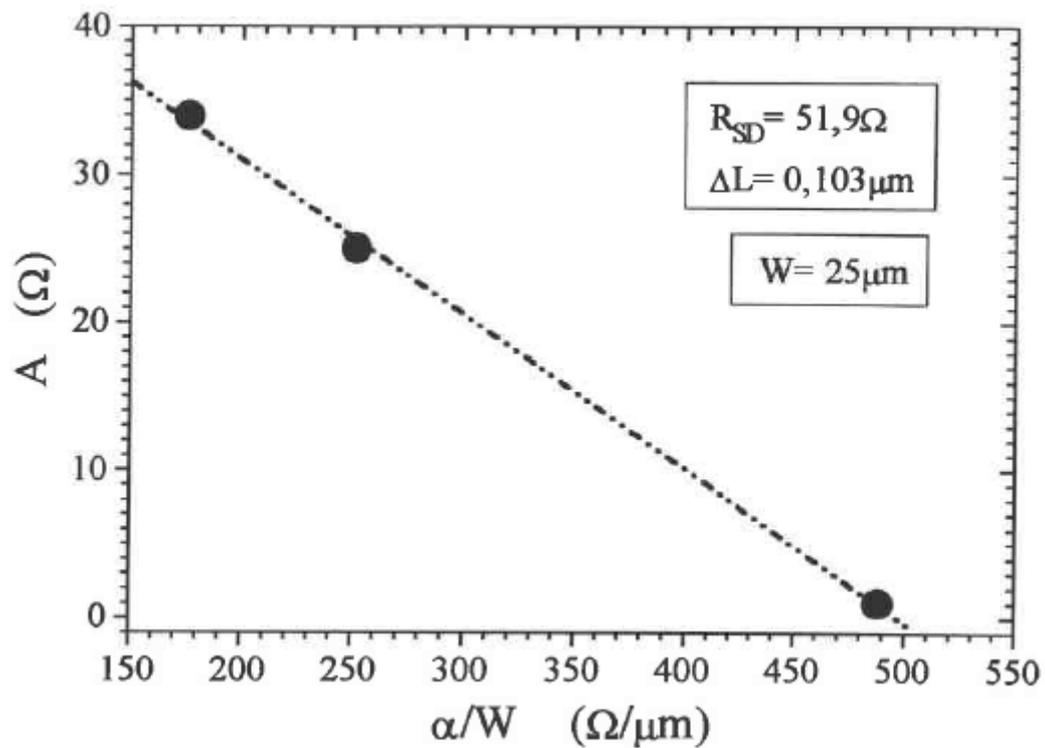


Figure 2.22 : Courbe de représentation des variations du coefficient A en fonction de α/W en vue de déterminer les paramètres R_{SD} et ΔL_G [26].

2.5 Conclusion

Dans ce deuxième chapitre nous avons présenté les structures de test et le banc de caractérisation électrique que nous avons utilisé durant notre travail. Ensuite, nous avons exposé le protocole d'exécution manuelle et automatique de l'analyseur des paramètres semi-conducteurs **Agilent 4156C** permettant les mesures des caractéristiques courant-tension $I_{DS}(V_{GS})$ et $I_{DS}(V_{DS})$. Le montage expérimental mis en place pour le système de régulation de la température a fait l'objet de la partie de ce chapitre. Enfin nous avons montré les techniques permettant l'extraction des principaux paramètres électriques caractérisant les dispositifs MOSFETs.

Chapitre 3 Résultats expérimentaux et interprétations.

3.1 Introduction

Au cours de ce chapitre, nous présenterons les résultats expérimentaux que nous avons obtenus avec la caractérisation des transistors MOSFETs de type n et p des technologies CMOS $1\mu\text{m}$ et $5\mu\text{m}$. Différents paramètres caractérisant ces transistors ont été extraits des caractéristiques $I_{DS}(V_{GS})$ et $I_{DS}(V_{DS})$ pour différentes valeurs de W_G/L_G . Ces paramètres sont : la tension de seuil V_{TH} , la transconductance g_m , les dimensions effectives du canal ΔW_G et ΔL_G et le facteur de réduction de mobilité θ .

3.2 Caractéristiques des transistors

3.2.1 Caractéristiques de sortie, $I_{DS}(V_{DS})$ et de transfert, $I_{DS}(V_{GS})$

Les figures **3.1**, **3.2**, **3.3**, et **3.4** montrent les caractéristiques de sortie $I_{DS}(V_{DS})$ et de transfert $I_{DS}(V_{GS})$, mesurées pour des transistors de type n et de type p , ayant différentes dimensions du rapport W_G/L_G . Ces mesures ont été effectuées pour les technologies CMOS $1\mu\text{m}$ et $5\mu\text{m}$.

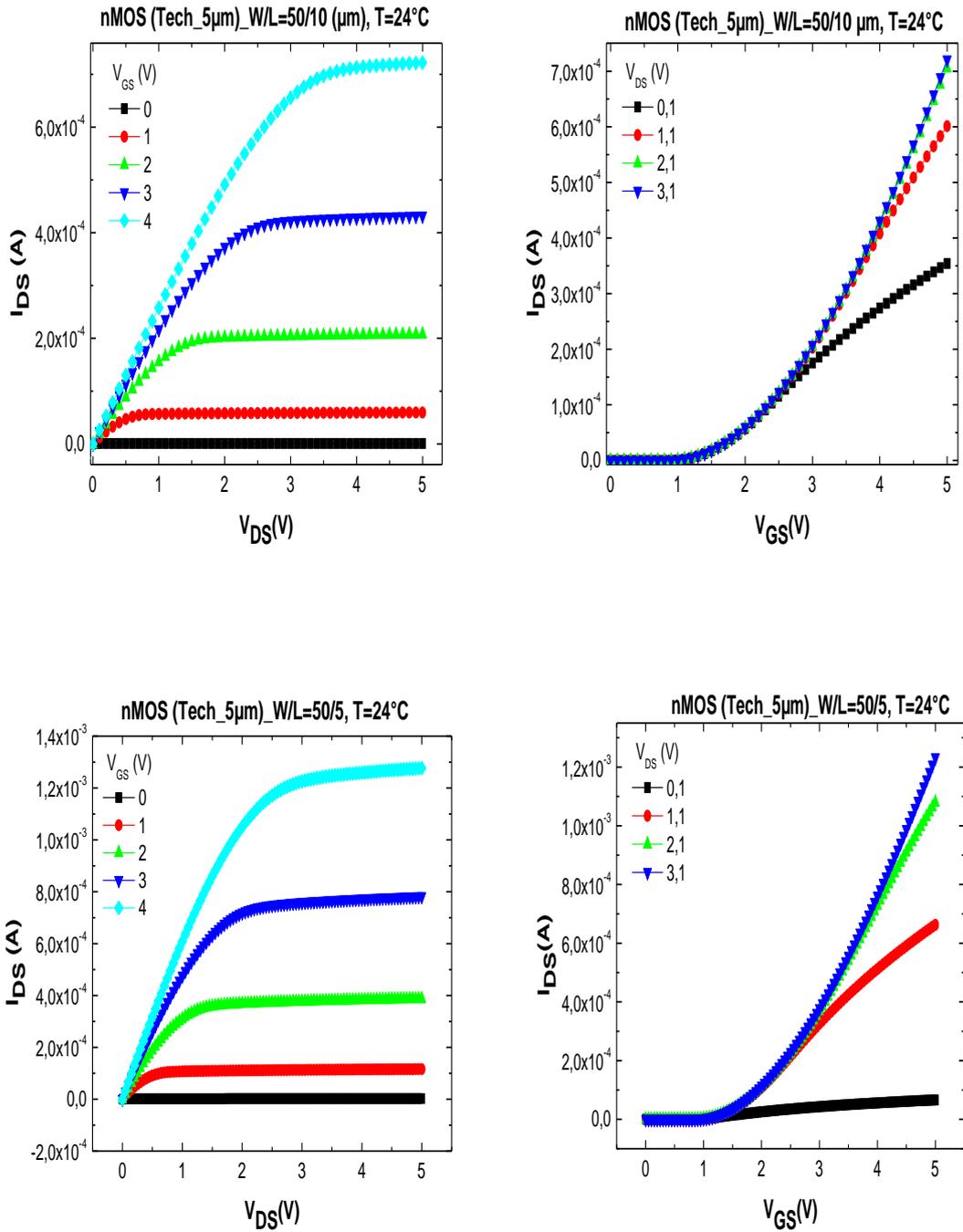


Figure 3.1 : Caractéristiques $I_{DS}(V_{DS})$ et $I_{DS}(V_{GS})$ des nMOSFETs pour $W_G/L_G=50/10$ μm et $W_G/L_G=50/05$ μm de la technologie CMOS 5μm.

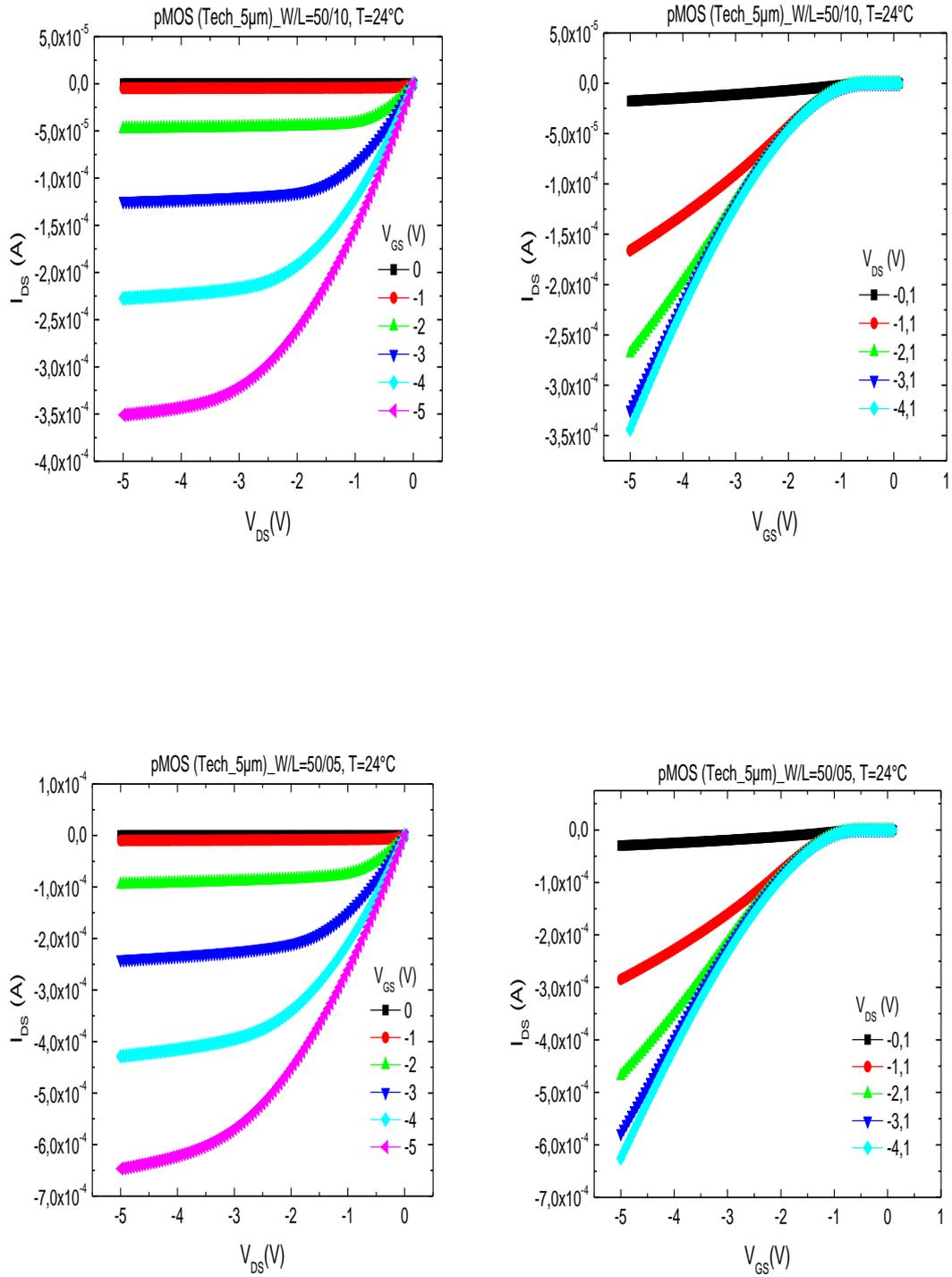


Figure 3.2 : Caractéristiques $I_{DS}(V_{DS})$ et $I_{DS}(V_{GS})$ des pMOSFETs pour $W_G/L_G = 50/10 \mu\text{m}$ et $W_G/L_G = 50/05 \mu\text{m}$ de la technologie CMOS 5 μm .

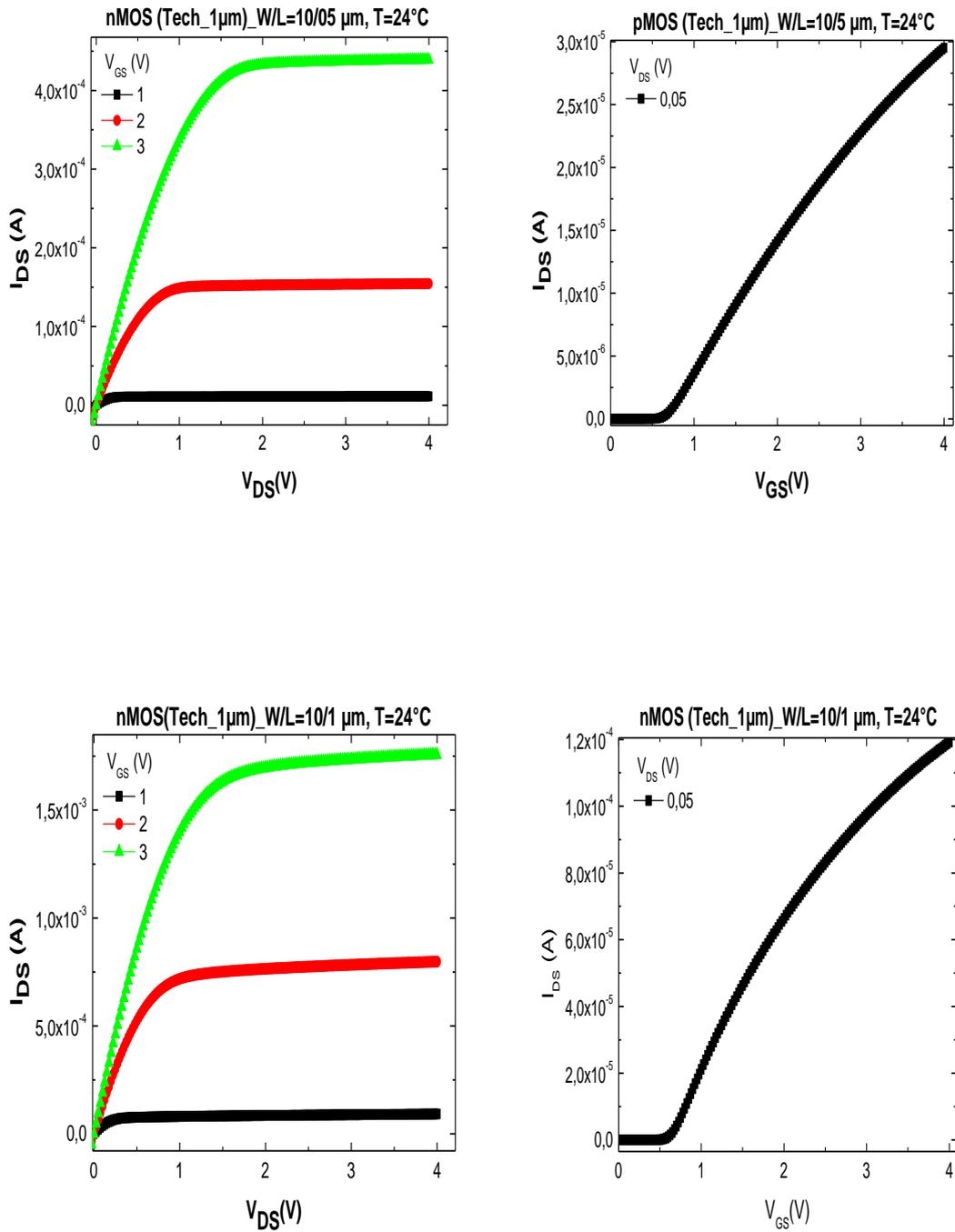


Figure 3.3 : Caractéristiques $I_{DS}(V_{DS})$ et $I_{DS}(V_{GS})$ des nMOSFETs pour $W_G/L_G = 10/5 \mu\text{m}$ et $W_G/L_G = 10/1 \mu\text{m}$ de la technologie CMOS 1 μm .

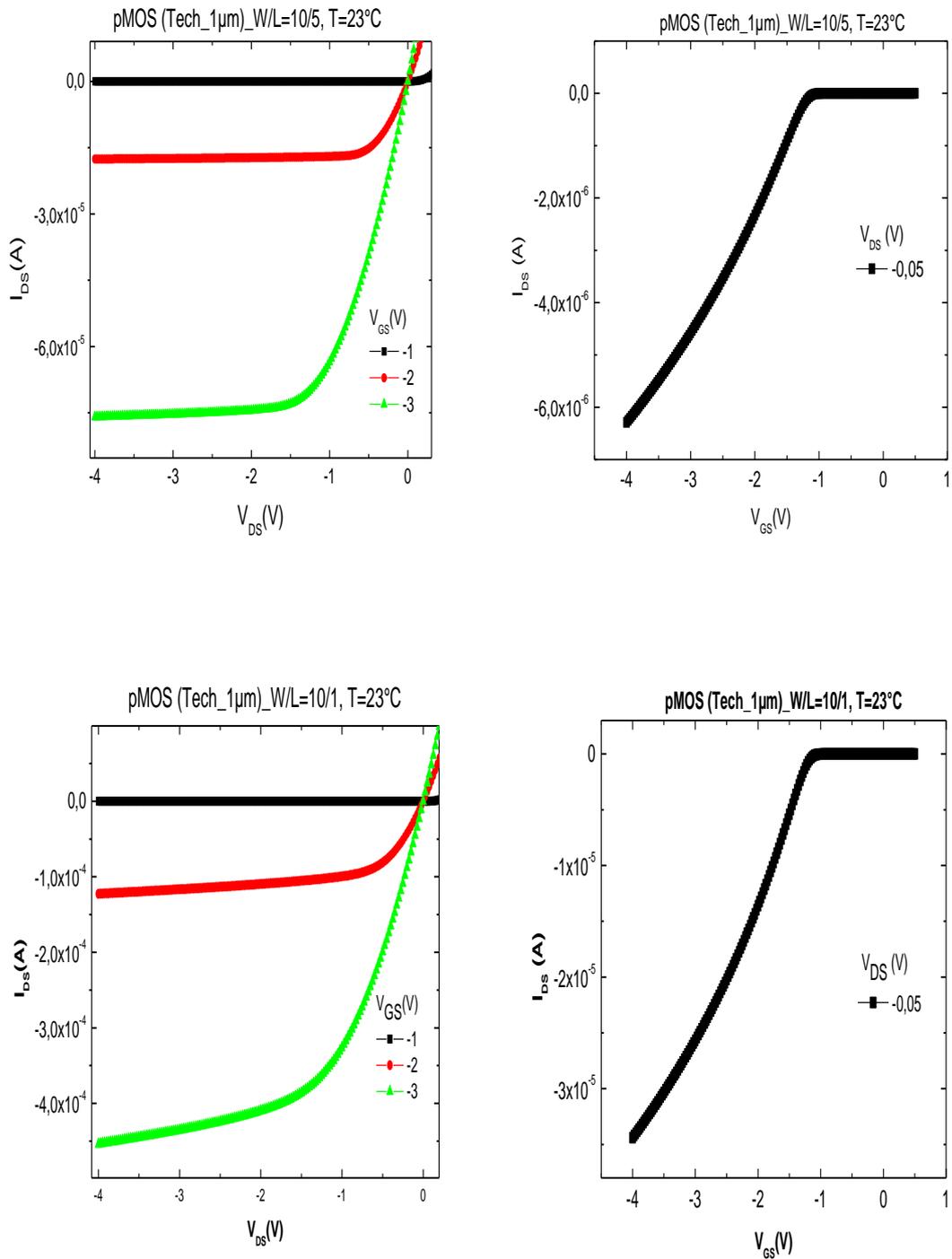


Figure 3.4 : Caractéristiques $I_{DS}(V_{DS})$ et $I_{DS}(V_{GS})$ des pMOSFETs pour $W/L = 10/5 \mu\text{m}$ et $W/L = 10/1 \mu\text{m}$ de la technologie CMOS $1 \mu\text{m}$.

Il est bien connu que les caractéristiques $I_{DS}(V_{DS})$ sont constituées de trois régimes de fonctionnement, le régime linéaire, régime de raccordement et le régime de saturation. Sur l'ensemble de ces figures, nous constatons que les trois régimes sont clairement visibles. Nous remarquons également que la limite du régime linéaire est en fonction de la tension V_G .

En ce qui concerne les caractéristiques $I_{DS}(V_{GS})$, nous constatons la présence de deux zones, une zone sous le seuil et une autre zone qui se crée une fois la tension de seuil atteinte.

Pour les tensions sous le seuil les courants sont pratiquement nuls. Ce courant est appelé courant de fuite. Une fois la tension de seuil atteinte et au-delà de cette dernière, le courant apparait et il commence à croître, c'est la création du canal.

Par ailleurs, pour les deux technologies et à géométrie égale, les courants de drain [$I_{DS}(V_{DS})$ et $I_{DS}(V_{GS})$] des nMOSFETs sont plus grands que les courants des pMOSFETs, cela est dû à la plus faible mobilité des trous par rapport à celle des électrons.

3.2.2 Effet de la longueur L_G

Les figures **3.5**, **3.6** et **3.7** montrent la variation du courant de drain $I_{DS}(V_{DS})$ et $I_{DS}(V_{GS})$ de différentes longueurs du canal, pour une largeur W_G égale à 10 μm . Les mesures sont effectuées pour les deux types de transistors nMOSFETs et pMOSFETs des technologies CMOS 1 μm et 5 μm .

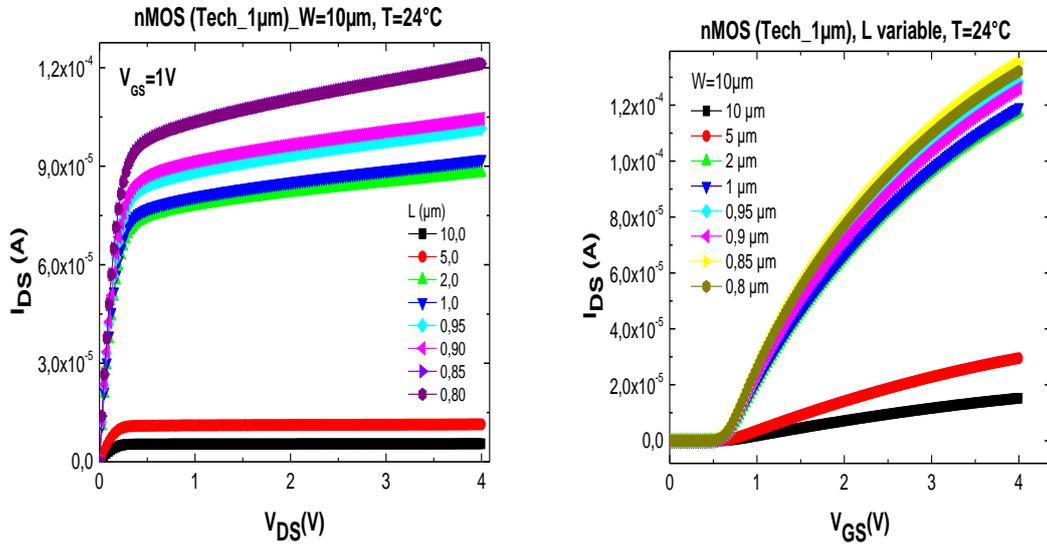


Figure 3.5 : Evolution de $I_{DS}(V_{GS})$ et $I_{DS}(V_{DS})$ pour différentes valeurs de L_G avec une largeur W_G égale à $10\mu\text{m}$.

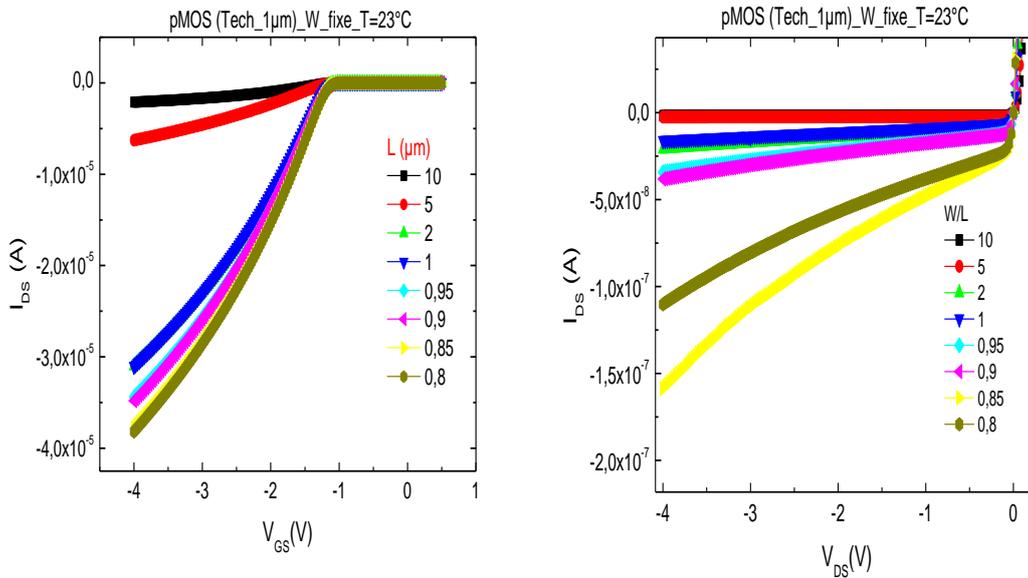


Figure 3.6 : Evolution de $I_{DS}(V_{GS})$ et $I_{DS}(V_{DS})$ pour différentes valeurs de L_G avec une largeur W_G égale à $10\mu\text{m}$.

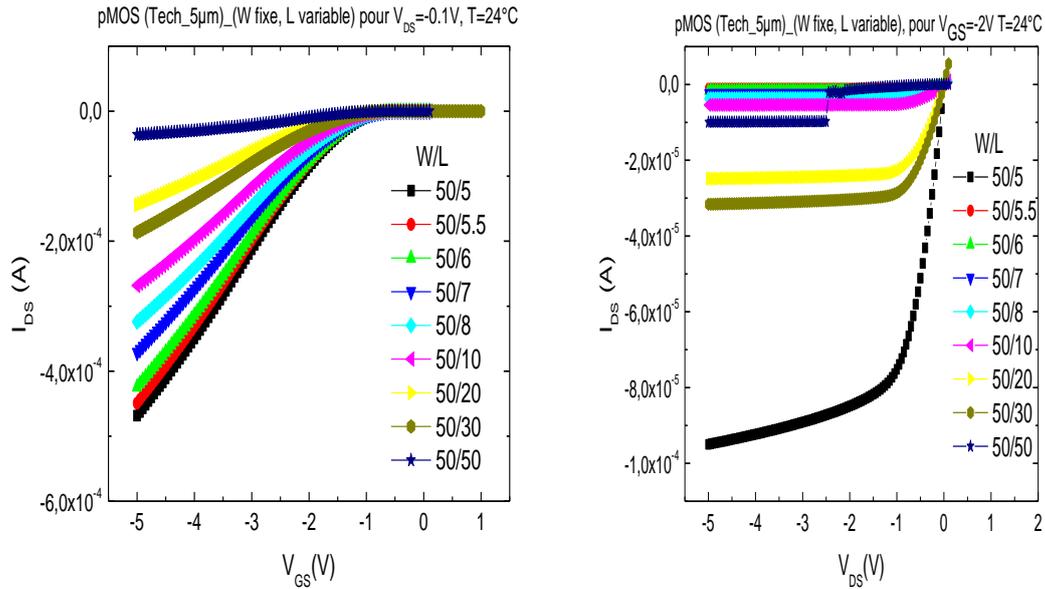


Figure 3.7 : Evolution de $I_{DS}(V_{GS})$ et $I_{DS}(V_{DS})$ pour différentes valeurs de L_G avec une largeur W_G égale à $50\mu\text{m}$.

Nous remarquons que les courants $I_{DS}(V_{DS})$ et $I_{DS}(V_{GS})$ sont inversement proportionnel à la longueur du canal c.a.d I_{DS} diminue avec l'augmentation de la longueur du canal. Ce résultat est une conséquence de l'augmentation du champ électrique longitudinal E_x sous l'effet de la réduction de la longueur de canal. Il est également justifié par les expressions **1.5** et **1.8**, dont le courant du drain est inversement proportionnel à la longueur du canal L_G .

Par ailleurs, nous observons que pour les longueurs $L_G = 5 \mu\text{m}$ et $L_G = 10 \mu\text{m}$ de la technologie $1 \mu\text{m}$, que le courant $I_{DS}(V_{DS})$ reste inchangé dans le régime de saturation, I_{DS} constant. Par contre, pour les longueurs inférieures à $2\mu\text{m}$, le courant I_{DS} ne reste pas constant mais présente une légère augmentation linéaire en fonction de la tension V_{DS} . Cette augmentation est expliquée par trois effets [11, 29] :

- L'éloignement du point de pincement par rapport au drain qui provoque une réduction de la longueur effective du canal.
- La réduction de la tension de seuil avec l'augmentation de la tension de drain

Pour les longueurs supérieures à 2 μm , la variation de la longueur du canal est négligeable. En conséquence, I_{DS} reste constante et égal à I_{DSat} .

Le même résultat est observé dans le cas de la technologie 5 μm . Dans cette dernière, la limite de la dépendance de I_{DS} en fonction de V_{DS} pour le régime de saturation a été constatée pour la longueur du canal supérieure à 5 μm .

Dans nos mesures l'effet d'avalanche n'apparaît pas car les conditions de mesures sont bien choisies. Ce phénomène est causé par une augmentation de la tension de drain qui conduit à l'augmentation du champ électrique longitudinal. En effet, les porteurs dans le canal peuvent alors acquérir des énergies suffisantes pour générer des paires électron-trou par ionisation par impact. Ce phénomène d'avalanche conduit à une forte et brusque augmentation du courant de drain.

3.2.3 Extraction de la transconductance g_m

À travers les caractéristiques de transfert nous avons extrait la transconductance g_m . Cette dernière est donnée par la dérivée du courant de drain par rapport à la tension de grille sur la caractéristique de transfert $I_{DS}(V_{GS})$.

Sur la figure **3.8** et **3.9**, nous présentons l'évolution de la g_m en fonction de la tension de grille V_{GS} pour différentes valeurs de la longueur du canal à une largeur fixe. Nous constatons pour les deux technologies utilisées 1 μm et 5 μm , que la g_m augmente avec la réduction de la longueur du canal pour une largeur W_G fixe. Notons que le maximum de la g_m notée g_{m_Max} est situé à des valeurs approximativement identiques de la tension de grille.

L'évolution de la g_{m_Max} en fonction de la longueur du canal est présentée sur la figure **3.10**.

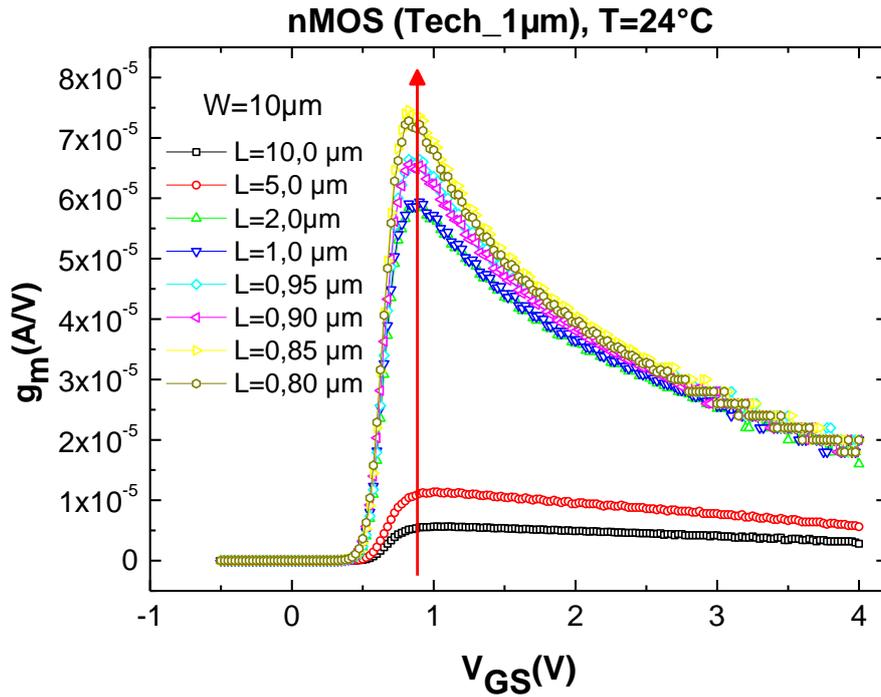


Figure 3.8 : Représentation de la transconductance mesurée pour L_G variable et $W = 10 \mu\text{m}$ pour un nMOSFET de la technologie $1 \mu\text{m}$.

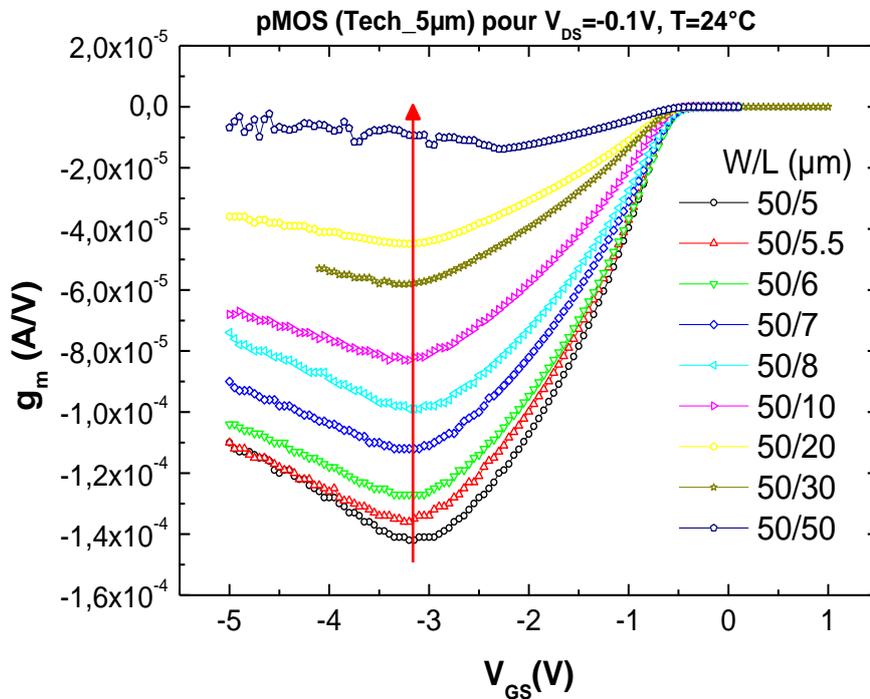


Figure 3.9 : Représentation de la transconductance mesurée pour L_G variable et $W_G = 50 \mu\text{m}$ pour un pMOSFET de la technologie $5 \mu\text{m}$.

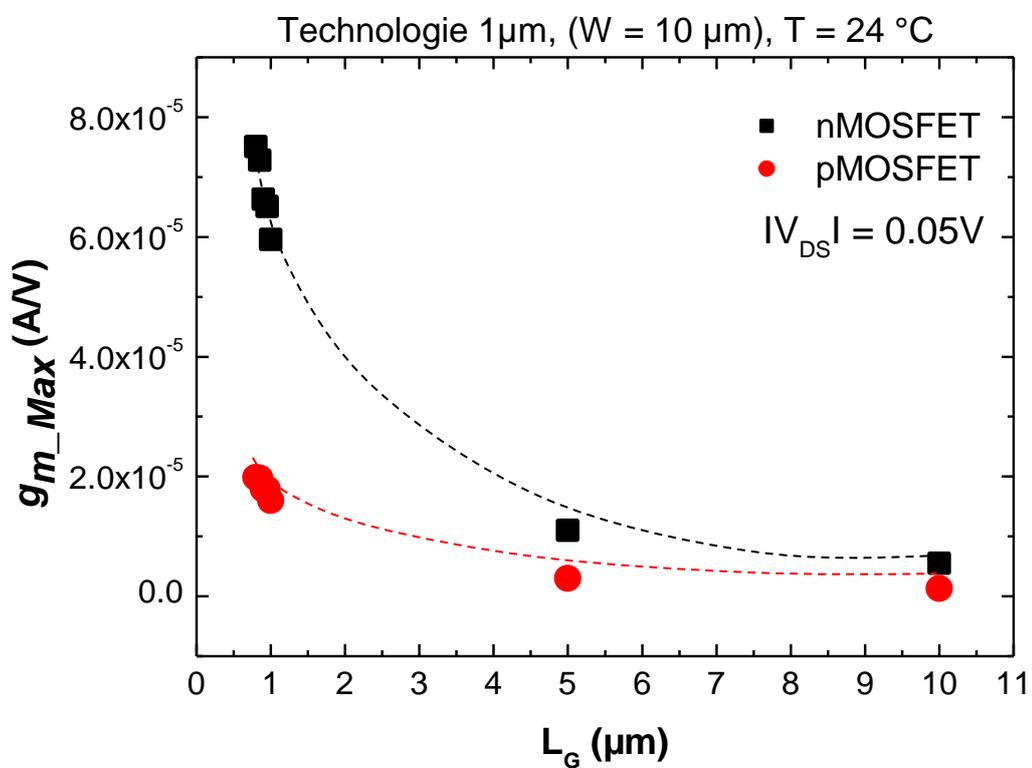
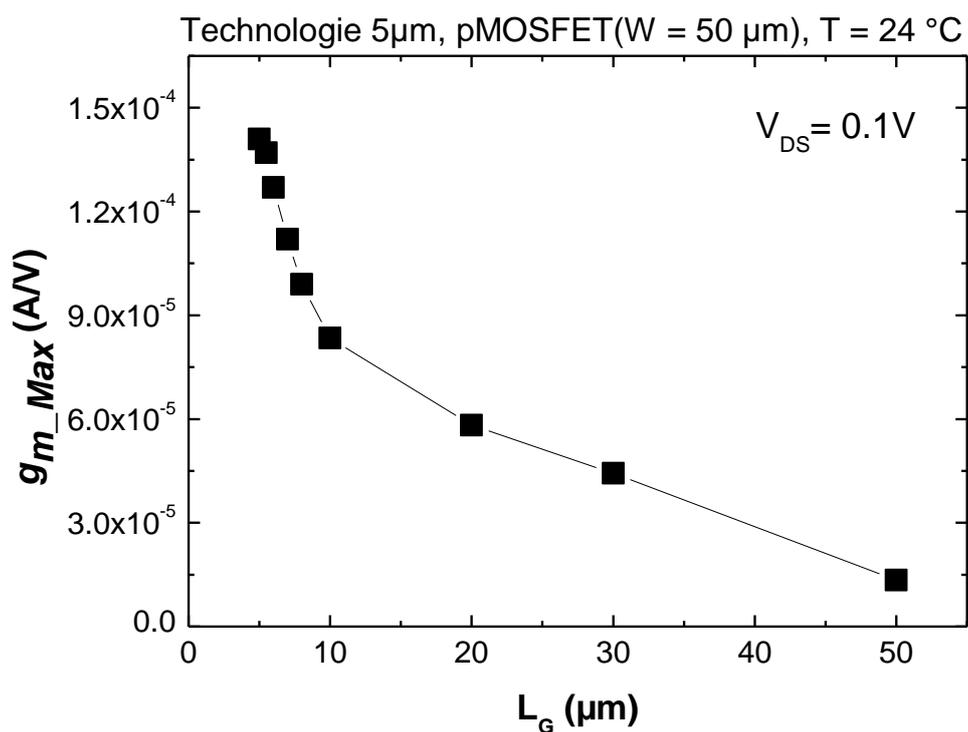


Figure 3.10 : Evolution de la g_{m_Max} en fonction de la longueur de gille L_G .

3.2.4 Extraction de la tension de seuil V_{TH}

La figure 3.11 montre un exemple de la méthode de la g_m utilisée pour l'extraction de la tension de seuil décrite auparavant dans le chapitre 2.

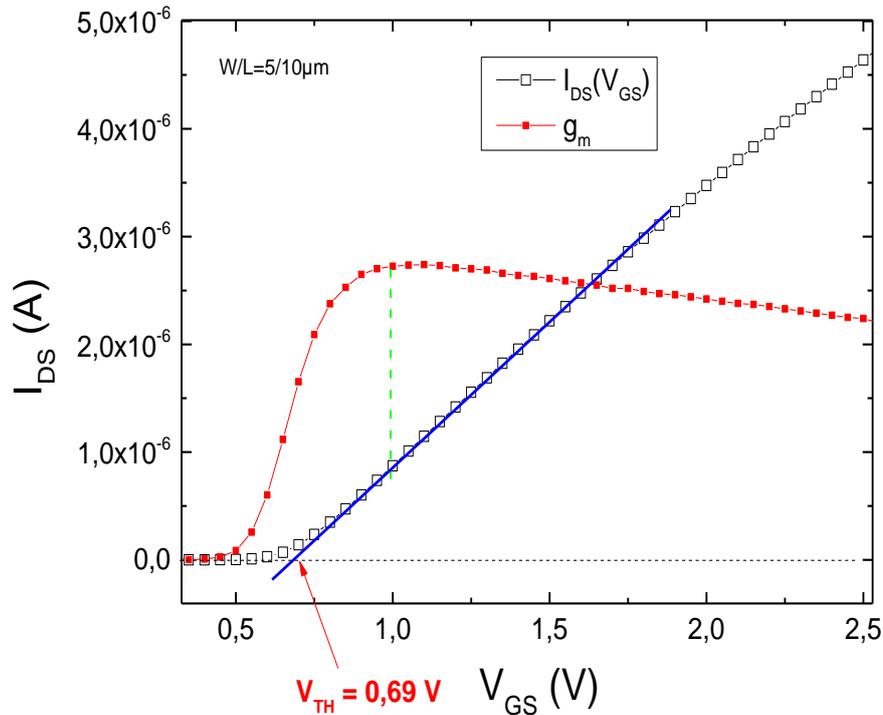


Figure 3.11 : Technique d'extraction de la tension de seuil par la méthode de la g_m .

La figure 3.12 présente la variation de la tension de seuil V_{TH} extraite par la méthode de la g_m en fonction de la longueur de grille pour le nMOSFET et pMOSFET de la technologie CMOS 1 μm et pour le pMOSFET de la technologie 5 μm . Pour cette dernière, la tension de seuil ne présente pas de variation en réduisant la longueur de grille, il fluctue juste autour d'une valeur de -0.63 V. En ce qui concerne la technologie 1 μm , nous observons que la variation de la tension de seuil présente certaines variations en longueur de grille.

Pour pMOSFET, la tension de seuil augmente jusqu'à 1 μm puis en réduisant encore la longueur de grille la tension de seuil diminue.

- L'augmentation de la V_{TH} lorsque L_G diminue est attribuée à une accumulation localisée du dopage du canal le long du bord de grille connu sous le nom, effet inverse du canal court (RSCE-Reverse Short Channel Effect) [26,30]. Les causes principales de cette accumulation du dopage au bord de la grille sont les dommages engendrés par étapes de procédé de fabrication à savoir ; l'implantation ionique source/drain [26], le recuit post implantation, la ré-oxydation de polysilicium [30].
- La diminution faible de la V_{TH} lorsque la longueur de grille est inférieure à $1\mu\text{m}$ est attribuée à l'effet conventionnel du canal court communément [14, 25, 31, 32]. En diminuant davantage la longueur de grille, la partie de la charge contrôlée par les jonctions de source et de drain devient non négligeable devant celle effectivement contrôlée par la grille, ce qui induit une réduction de la tension de seuil.

Pour le nMOSFET, l'augmentation de la V_{TH} pour des longueurs supérieures à $1\mu\text{m}$ n'apparaît pas, la V_{TH} ne varie pas en fonction de L_G . Dans ce cas, nous pouvons suggérer que les dommages engendrés par étapes de procédé de fabrication n'ont pas d'effet ou bien leur effet est très faible pour le nMOSFET.

Mais pour les longueurs de grille inférieures à $1\mu\text{m}$, la V_{TH} montre une légère diminution. Cette diminution faible de la tension de seuil est attribuée à l'effet conventionnel du canal court communément rencontré dans la littérature.

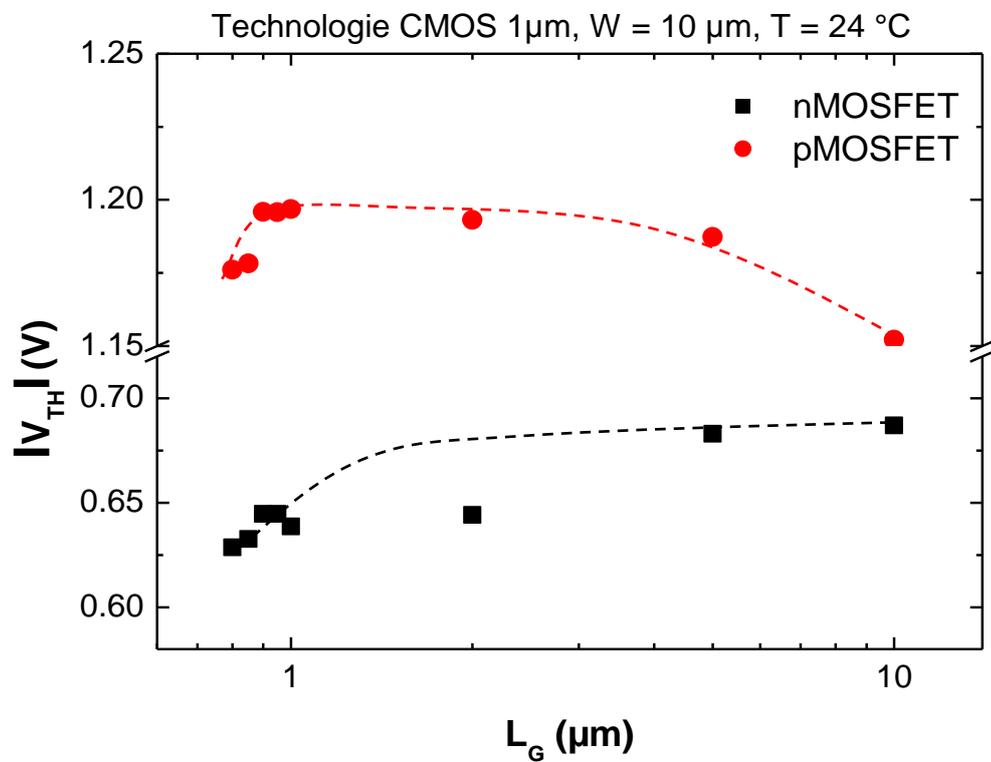
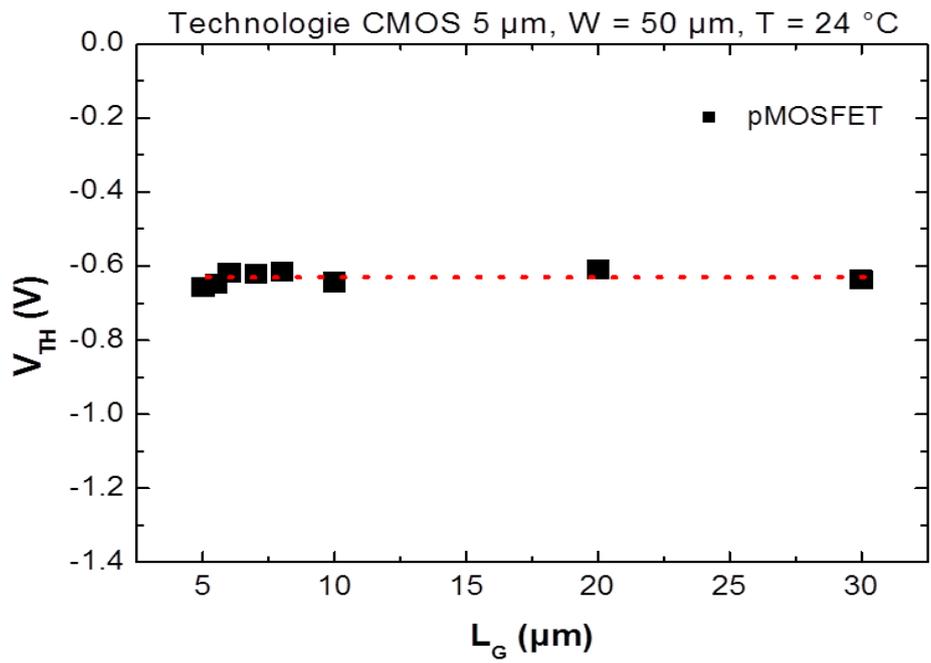


Figure 3.12 : Variation de la tension de seuil V_{TH} en fonction de la longueur du canal L_G pour les technologies CMOS 1 μm et 5 μm .

3.2.5 Extraction de facteur de réduction de la mobilité θ

La figure 3.13 montre l'extraction du facteur de réduction de la mobilité θ à faible champ pour les deux types de transistors n et p ($W_G/L_G=10/01 \mu\text{m}$) de la technologie CMOS $1\mu\text{m}$.

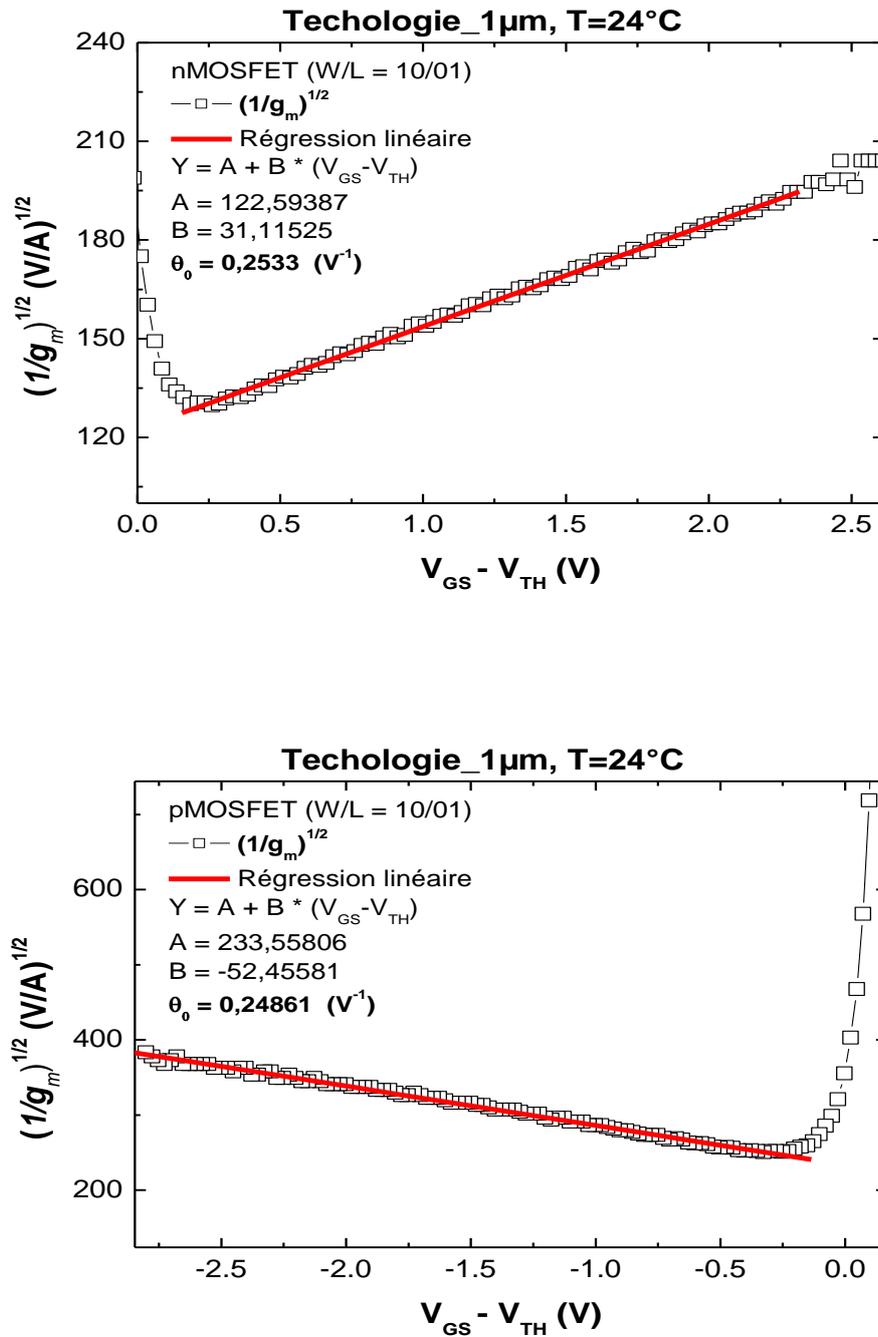


Figure 3.13 : Extraction du facteur de réduction de la mobilité θ à faible champ pour nMOSFET et pMOSFET ($W_G/L_G=10/01 \mu\text{m}$) de la technologie CMOS $1 \mu\text{m}$.

L'évolution du facteur de réduction de la mobilité θ en fonction de la longueur du canal est présentée sur la figure 3.14. Nous constatons que ce facteur augmente en faisant réduire la longueur du canal.

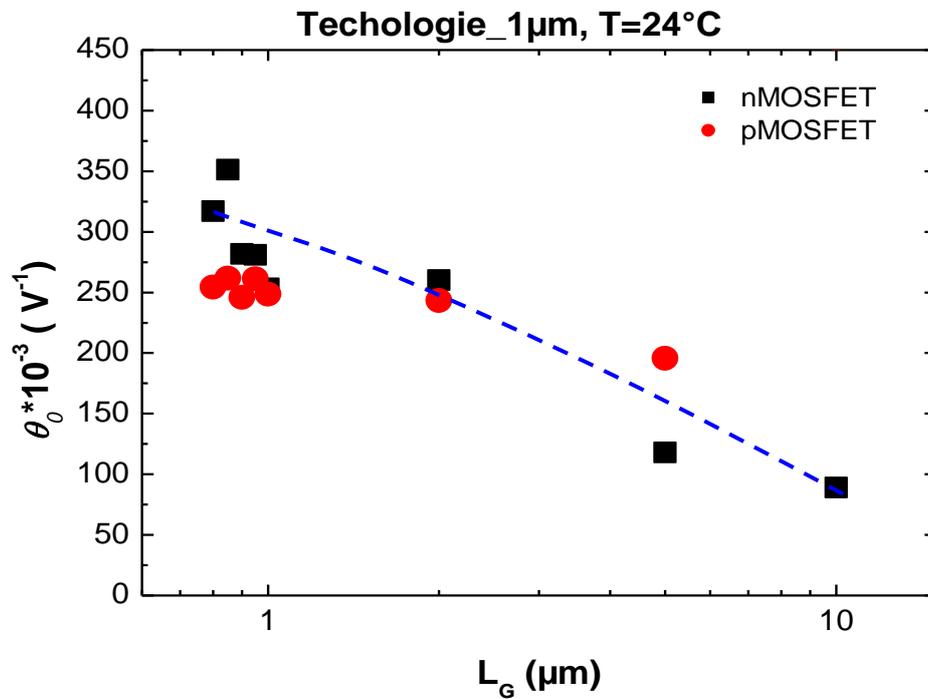


Figure 3.14 : Evolution du facteur de réduction de la mobilité θ en fonction de la longueur de grille.

3.2.6 Extraction des dimensions effectives du canal

Les paramètres ΔL_G et ΔW_G représentent l'écart entre la longueur (largeur) du dessin lors de la conception et la longueur (largeur) réel (effective) du transistor lors de la fabrication. Ces écarts dépendent généralement des étapes de procédés technologiques tel que ; la lithographie, l'implantation, le recuit thermique, etc. En effet, ces paramètres doivent être pris en compte au cours du développement du procédé de fabrication et ceci pour assurer un bon contrôle des performances finales des transistors et en conséquence de la technologie.

Les figures 3.16 et 3.17 montrent l'extraction de la longueur ΔL_G pour le nMOSFET et le pMOSFET pour $W_G = 10 \mu\text{m}$ de la technologie CMOS $1 \mu\text{m}$.

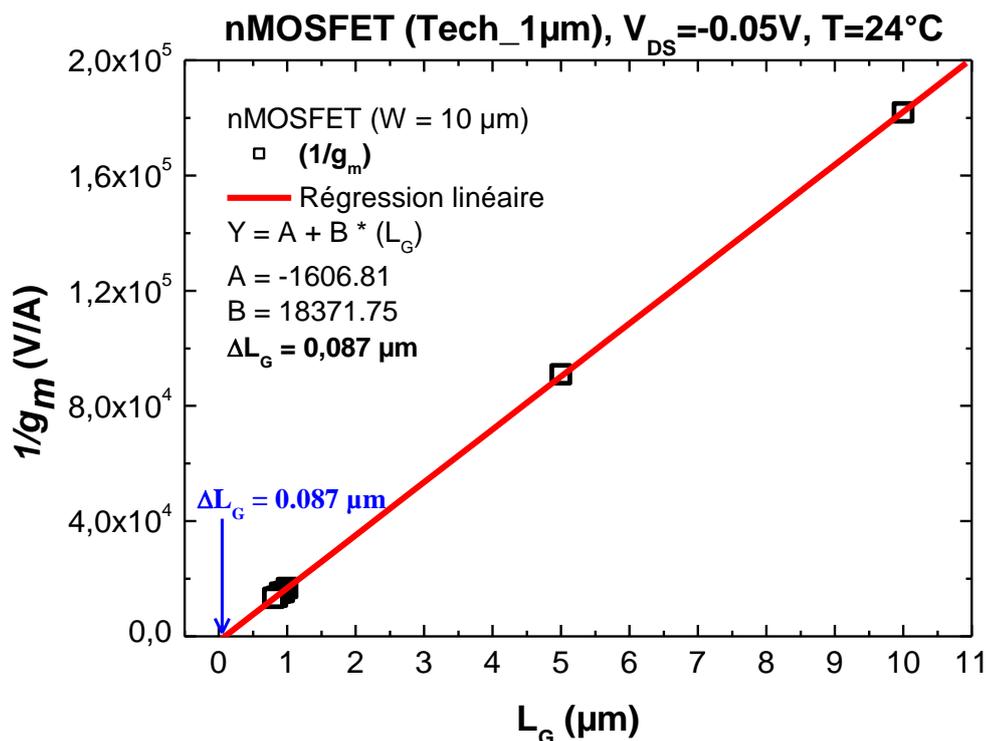


Figure 3.16 : Détermination de ΔL_G pour nMOSFET ($W_G = 10 \mu\text{m}$) de la technologie CMOS $1 \mu\text{m}$.

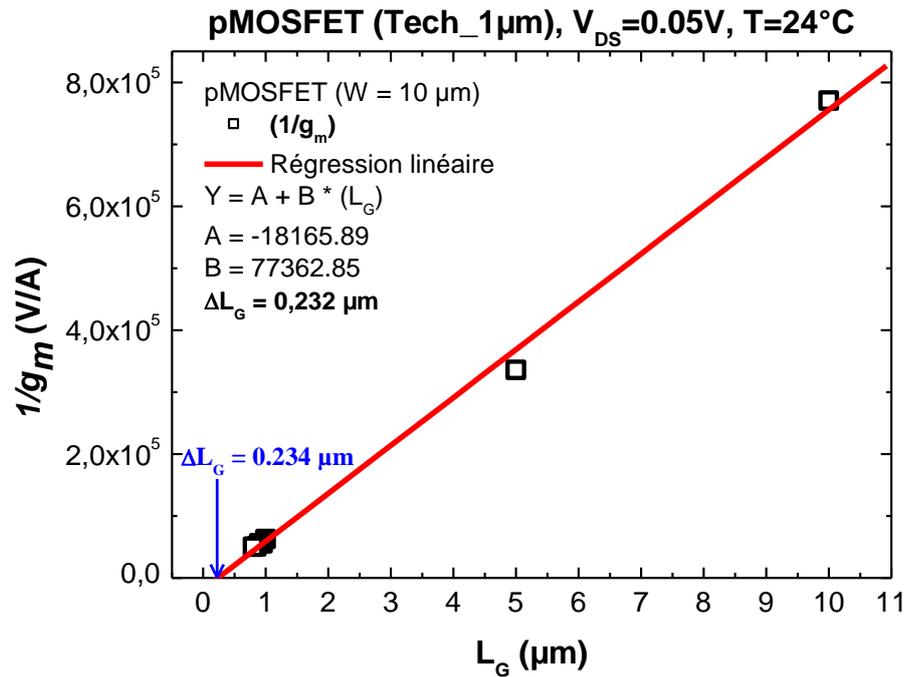


Figure 3.17 : Détermination de ΔL_G pour pMOSFET ($W_G = 10 \mu\text{m}$) de la technologie CMOS $1\mu\text{m}$.

Le tableau 3.1 montre les valeurs de ΔL_G déterminées pour la technologie CMOS $1\mu\text{m}$ dans le cas des transistors nMOSFET et pMOSFET pour W_G égale à $10 \mu\text{m}$.

| Type de Transistor | ΔL_G (μm) |
|--------------------|--------------------------------|
| nMOSFET | 0.087 |
| pMOSFET | 0.234 |

Tableau 3.1 : ΔL_G extrait pour nMOSFET et pMOSFET ($W_G = 10 \mu\text{m}$) de la technologie CMOS $1\mu\text{m}$

Finalement les longueurs effectives pour ces transistors exprimées comme $L_{eff} = L_G - \Delta L_G$ sont représentées sur le tableau 3.2.

| L_G | L_{eff} (nMOSFET) | L_{eff} (pMOSFET) |
|--------------------|---------------------|---------------------|
| 10 μm | 9,913 μm | 9,766 μm |
| 5 μm | 4,913 μm | 4,766 μm |
| 2 μm | 1,913 μm | 1,766 μm |
| 1 μm | 0,913 μm | 0,766 μm |
| 0.95 μm | 0,863 μm | 0,716 μm |
| 0.9 μm | 0,813 μm | 0,666 μm |
| 0.85 μm | 0,763 μm | 0,616 μm |
| 0.8 μm | 0,713 μm | 0,566 μm |

Tableau 3.2 : Calcul de la longueur effective du canal pour nMOSFET et pMOSFET ($W_G = 10 \mu\text{m}$) de la technologie CMOS $1\mu\text{m}$.

Nous constatons que le transistor pMOSFET est plus affecté par les étapes de procédés technologiques par rapport au transistor nMOSFET.

L'extraction de ΔL_G et ΔW_G pour les transistors pMOSFETs de la technologie CMOS $5 \mu\text{m}$ sont représentées respectivement sur les figures 3.18 et 3.19.

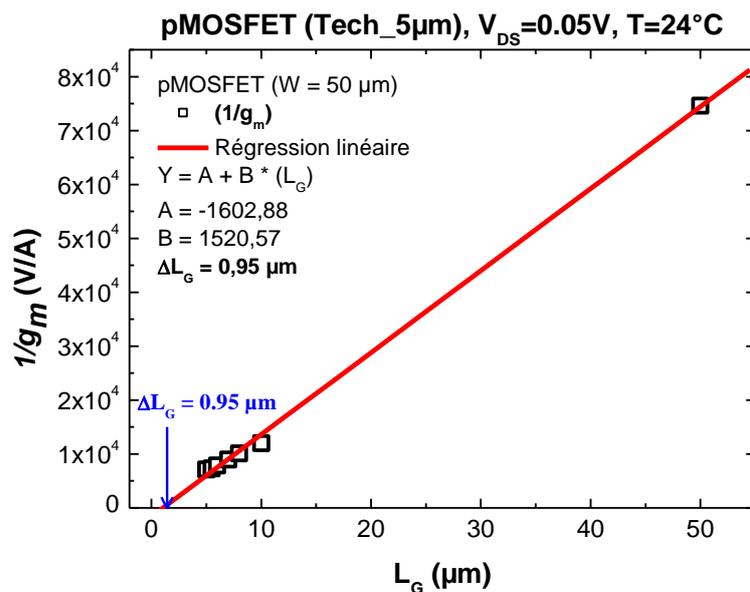


Figure 3.18 : Détermination de ΔL_G pour pMOSFET ($W_G = 50 \mu\text{m}$) de la technologie CMOS $5\mu\text{m}$.

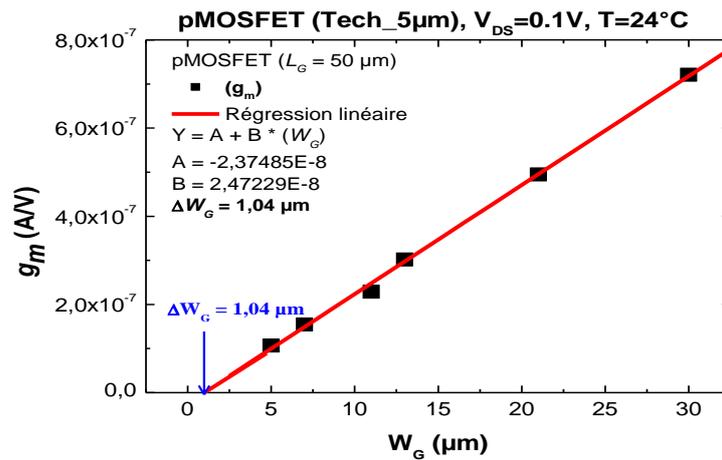


Figure 3.19 : Détermination de ΔW_G pour pMOSFET ($L_G = 50 \mu m$) de la technologie CMOS 5μm.

Le tableau 3.3 représente les valeurs de ΔL_G et ΔW_G déterminées pour la technologie CMOS 5μm dans le cas du transistor pMOSFET pour W_G égale à 50 μm.

| pMOSFET | |
|--------------|---------|
| ΔL_G | 0.95 μm |
| ΔW_G | 1.04 μm |

Tableau 3.3 : ΔL_G et ΔW_G extraits pour pMOSFET ($W_G = 50 \mu m$) de la technologie CMOS 5μm.

Les longueurs effectives (L_{eff} et W_{eff}) de ces transistors pMOSFETs sont données dans le tableau 3.4.

| L_G (μm) | L_{eff} (μm) | W_G (μm) | W_{eff} (μm) |
|------------|----------------|------------|----------------|
| 5 | 4,05 | 5 | 3,96 |
| 5,5 | 4,55 | 7 | 5,96 |
| 6 | 5,05 | 11 | 9,96 |
| 7 | 6,05 | 13 | 11,96 |
| 8 | 7,05 | 21 | 19,96 |
| 10 | 9,05 | 30 | 28,96 |
| 20 | 19,05 | | |
| 30 | 29,05 | | |

Tableau 3.4 : Valeurs de la longueur effective du canal pour pMOSFET de la technologie CMOS 5μm

3.2.7 Extraction de la mobilité à faible champs latéral μ_0

La figure 3.20 montre deux exemples d'extraction de la mobilité à faible champs latéral (μ_0) pour les transistors nMOSFET et pMOSFET ($W_G/L_G = 10/01$) de la technologie CMOS $1\mu\text{m}$.

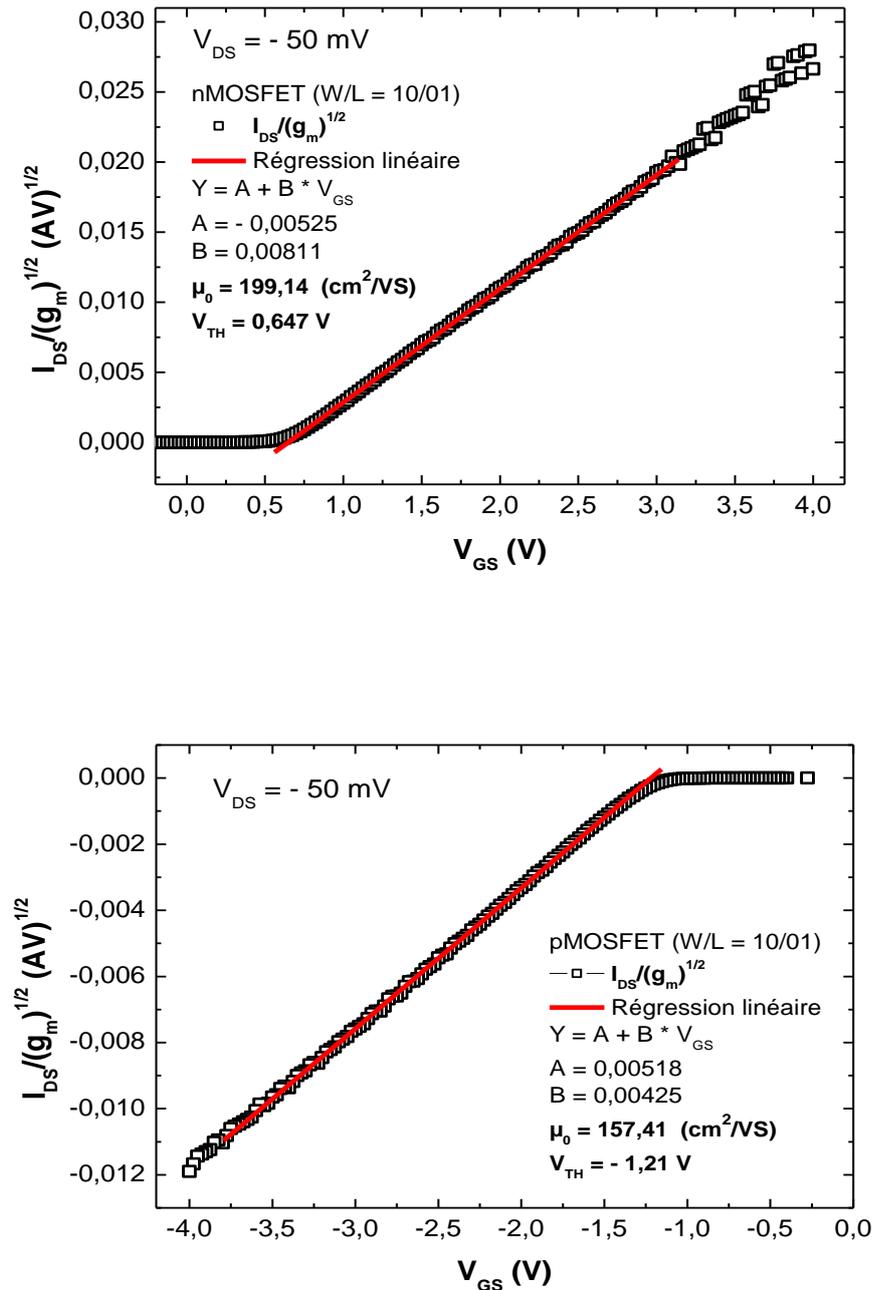


Figure 3.20 : Extraction de la mobilité à faible champs latéral pour les transistors nMOSFET et pMOSFET ($W_G/L_G = 10/01$) de la technologie CMOS $1\mu\text{m}$.

L'évolution de la mobilité à faible champs latéral (μ_0) pour les deux types de transistors est présentée sur la figure 3.21.

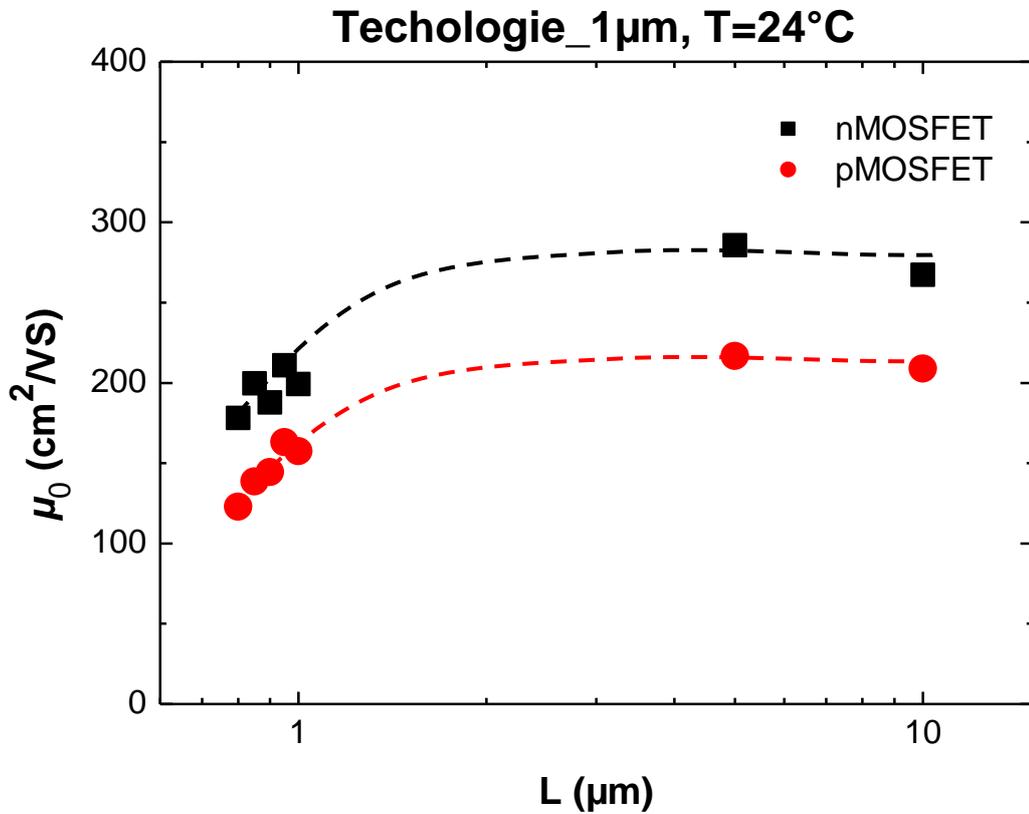


Figure 3.21 : Evolution mobilité à faible champs latéral (μ_0) en fonction de longueurs de grille pour $W_G=10\mu\text{m}$ et à $T=24^\circ\text{C}$.

Nous constatons, pour l'ensemble des longueurs, que la mobilité μ_0 des nMOSFETs est supérieure à celles des pMOSFETs. Ce résultat est un résultat classique car la mobilité des électrons, porteurs de la couche d'inversion de nMOSFET est supérieure à celle des trous porteurs de la couche d'inversion de pMOSFET.

Nous remarquons également que la mobilité μ_0 reste pratiquement constante pour les longueurs supérieures à 1 μm puis elle diminue pour des longueurs inférieures à 1 μm . cette diminution de μ_0 peut être attribuée aux effets de bords (procédé d'implantation des dopants d'extensions Source/Drain) [13, 33]. Cette réduction de mobilité traduit une augmentation du nombre de collisions élastiques et un libre parcours moyen réduit.

3.3 Conclusion

Au cours de ce chapitre, nous avons présenté les différents résultats expérimentaux correspondants aux caractérisations électriques des dispositifs nMOSFETS et pMOSFETS des technologies CMOS 1 μm et 5 μm . Initialement, nous avons exposé les caractéristiques de transfert $I_{DS}(V_{GS})$ et de sortie $I_{DS}(V_{DS})$ et nous avons étudié l'influence de la longueur de grille L_G sur ces caractéristiques pour différents rapports de W_G/L_G . Ensuite, nous avons présenté et analysé en fonction de longueur L_G les différents paramètres électriques que nous avons extraits dans cette étude. Les paramètres que nous avons examinés dans ce travail sont, la transconductance g_m , la tension de seuil V_{TH} , le facteur de réduction de mobilité θ , les dimensions effectives du canal ΔL_G et ΔW_G et enfin la mobilité à faible champ latéral μ_0 .

Conclusion finale

Dans ce travail de mémoire, nous avons fait une étude expérimentale sur la caractérisation électrique des dispositifs MOSFETs. Cette étude a pour objectif de tester les dispositifs MOSFETs après leurs fabrications et pouvoir faire l'extraction des différents paramètres électriques caractérisant ces dispositifs et de suivre leurs évolution en fonction de la longueur du canal.

Le travail que nous avons présenté dans ce manuscrit est reparti principalement en trois chapitres :

Dans le premier chapitre, nous nous sommes intéressés à la description de la structure du transistor MOS, de son principe de fonctionnement, de son procédé de fabrication et de son régime de fonctionnement. Ensuite, nous avons présenté les expressions des courants de drain et de la transconductance dans les différents régimes de conduction.

Dans le deuxième chapitre, nous avons présenté les structures de test des deux technologies et le banc de caractérisation électrique employé dans ce travail. Nous avons ensuite décrit les protocoles d'exécution manuelle et automatique de l'analyseur des paramètres semi-conducteurs **Agilent 4156C** permettant les mesures des caractéristiques courant-tension. A la fin de ce chapitre, nous avons présenté les méthodes d'extraction des principaux paramètres électriques caractérisant les dispositifs MOSFETs.

Le troisième chapitre a été consacré à la présentation et à l'analyse des différents résultats expérimentaux obtenus des mesures des caractéristiques courant-tension des dispositifs nMOSFETs et pMOSFETs des deux technologies 1 μ m et 5 μ m.

Les principaux résultats découlant de ce travail sont :

Les caractérisations courant tension ont montré, pour les mêmes W_G/L_G et pour les deux technologies, que les courants de drain des nMOSFETs sont plus grands que les courants des pMOSFETs, et la variation de ces courants de drain en fonction de la longueur du canal est inversement proportionnelle.

L'étude de l'effet de la longueur du canal sur la transconductance et sur le facteur de réduction de la mobilité pour les deux technologies a montré une augmentation de ces deux paramètres avec la diminution de la longueur du canal.

En ce qui concerne la tension de seuil pour la technologie 5 μ m, elle ne varie pas avec la diminution de la longueur du canal, tandis que pour la technologie 1 μ m, elle présente certaines variations. La variation de la tension de seuil en faisant réduire la longueur du canal est expliquée par l'effet inverse du canal court (RSCE-Reverse Short Channel Effect) et par l'effet conventionnel du canal court communément rencontré dans la littérature.

Les extractions des dimensions effectives ont mis en exergue que les dispositifs pMOSFETs sont plus affectés par les procédés de fabrication que les nMOSFETs. Par ailleurs, l'extraction de la mobilité à faible champ a montré que cette dernière est plus grande pour les nMOSFETs par rapport aux pMOSFETs. Ce résultat classique est expliqué par le fait que la mobilité des électrons est supérieure à celle des trous. La diminution de la mobilité lorsque les longueurs sont petites peut être attribuée aux effets de bords (procédé d'implantation des dopants d'extensions Source/Drain).

Les extractions des paramètres électriques caractérisant ces transistors nous permettent d'apprendre d'avantages sur les mécanismes de fonctionnement des transistors, notamment l'évaluation de leurs performances.

Bibliographie

- [1] P. MATHERAT, *une histoire de la microelectronique. Engineering school, Ecole nationale superieure des telecommunications, 1998, 2007, pp.32. cel-00157199.*
- [2] M. ZAFAGNI, *Inter célèbre les 50ans de la « loi de Moore » , 2015.*
- [3] F. MERAD, *Conception et simulation des caracteristiques electriques d'un transistor MOSFET nanometrique a conduction lateral de type Tri-Gate (FinFet), (2014).*
- [4] D. FLEURY, *Contribution à l'étude expérimentale du transport dans les transistors de dimension déca-nanométrique des technologies CMOS sub-45nm, Grenoble, 2009.*
- [5] E. J. W. & S. S.M. Sze, *Physics of semiconductor devices, Ed. John Wiley & Sons, 1981.*
- [6] D. Cheikh, *Caractérisation électrique des transistors MOS déca-nanométriques d'architecture innovante, Grenoble: Laboratoire IMEP-LAHC et de l'entreprise STMicroelectronics dans l'ecole doctorale EEATS, 2013.*
- [7] H. BAKHTIAR, *Caracterisation de structures MOS submicroniques et analyse de defauts induits par irradiation Gamma. Extrapolation aux defauts induits dans les oxydes de champ des transistors bipolaires, 1999.*
- [8] R. BENSEGUENI, *Contribution à l'étude du transport électrique à travers des oxydes très minces (<10nm) dans des structures MOS, Constantine, Algerie: UNIVERSITE FRÈRES MENTOURI CONSTANTINE, 2016.*
- [9] A. LITTY, *Conception, fabrication, caractérisation et modélisation de transistors MOSFET haute tension en technologie avancée SOI (Silicon-On-Insulator), Grenoble, 2016.*
- [10] O. BONNAUD, 2000-2001-2002-2003.
- [11] K. ROMANJEK, INSTITUT NATIONAL POLYTECHNIQUE DE GRENOBLE, 2004.
- [12] F. ROCHETTE, INSTITUT NATIONAL POLYTECHNIQUE DE GRENOBLE, 2008.
- [13] R. TALMAT, *Etude des phenomenes de transport de porteurs et du bruit basse frequence en fonction de la temperature dans les transistors MOSFETs nanometriques (FinFETs), Basse-Normandie, 2011.*

- [14] M. ROBIN, *Developpement de transistors a effet de champ organiques et de materiaux luminescents a base de nanoclusters par impression a jet d'encre*, Rennes, 2017.
- [15] Y. JOLY, *Etude des fluctuations locales des transistors MOS destinés aux applications analogiques*, Marseille, 2011.
- [16] C. Taous, *Etude en fiabilité du transistor MOS SOI*, Tizi-Ouzou, 2014.
- [17] G. Ghibaudo, *An analytical model of conductance and transconductance for enhanced-mode MOSFETs*, *Physics States Solid (a)*, vol 95, p. 323,, 1986.
- [18] A. BENABDELMOUMENE, *Etude experimentale de la degradation BTS (BIAS TEMPERATURE STRESS) dans les dispositifs MOS*, Alger, 2017.
- [19] E.-B. A. BOURAS Abdelhak, *Etude du phenomene de degradation NBTI dans les dispositifs MOSFETs*, Blida, 2019.
- [20] Y. BENHAMIDA, *Etude des caracteristiques physiques et electriques d'un MOSFET nanometrique*, Tlemcen, 2012.
- [21] *Agilent 4155C/4156C User's Guide Vol.1, Edition 8, USA, 2001-2005.*
- [22] T. DI GILIO, *Etude de la fiabilité porteurs chauds et des performances des technologies CMOS 0.13 μ m- 2nm*, Toulon, 2006.
- [23] J. P. Colinge and C. A. Colinge, *"Physics of Semiconductor Devices,"Kluwer Academic Publisher, New York, 2002., Kluwer Academic Publisher, New York, 2002..*
- [24] K. K. N. S.M. Sze, *Physics of semiconductor devices, Third Edition, California: John Wiley and sons, 1981.*
- [25] A. LAKHLEF, *Caracterisation de dispositifs MOSFETs fortement submicronique par les techniques courants tension I(V), (2015).*
- [26] F. ., W. F. PETROT, *Circuits integrés [en ligne]. In : Encyclopedie universalis, Paris.*
- [27] S. a. R. H.Kaur, *An analytical drain current model for graded channel cylindrical/surrounding gate MOSFET*, *"Microelectronics J., vol.38, no.3,pp.352-359,,(2007).*
- [28] G.Ghibaudo, *An analytical model of conductance and transconductance for enhanced-mode MOSFETs*, *Physics States Solid (a)*, vol 95, p.323,,(1986).
- [29] t. SKOTNIKI, *Transistor MOS et sa technologie, article E2430*, Grenoble: centre national d'etude des telecommunications (CNET).

- [30] C. M. M. Orłowski, *Guidelines for Short-Channel Behaviour*. *IEEE Electron Device Letters*, Vol. 10, N°12, p. 556-558, Dec. 1989.
- [31] Y. Tsidis, «*Operation and modelling of the MOS Transistor*», 2nd ed. *MC Graw Hill*, 1999..
- [32] K. Fadila, *Caractérisation expérimentale des transistors NMOS et étude du vieillissement électrique.*, Setif, Juin. 2008.
- [33] A. Cros, *Unexpected mobility degradation for very short devices : A new challenge for CMOS scaling*. *International Electron Devices Meeting (IEDM). Technical Digest.*, San Francisco, CA, USA,, Dec, 2006.

