

الجمهورية الجزائرية الديمقراطية الشعبية  
République Algérienne démocratique et populaire

وزارة التعليم العالي والبحث العلمي  
Ministère de l'enseignement supérieur et de la recherche scientifique

جامعة سعد دحلب البليدة  
Université SAAD DAHLAB de BLIDA

كلية التكنولوجيا  
Faculté Des Sciences de l'ingénieur

قسم الإلكترونيك  
Département d'Électronique



## Mémoire de Projet de Fin d'Étude

présenté par

M<sup>elle</sup> Ikram AKHRIB

pour l'obtention du diplôme de Master2 en Électronique option Télécoms & Réseaux

Thème

# Etude et conception d'une boucle à verrouillage de phase numérique en technologie CMOS 1 $\mu$ m

Proposé par : M<sup>elle</sup> Karima TABARI

Co-promoteur : M<sup>r</sup> Said NACER

Supervisé par : M<sup>r</sup> Slimane OUSSALAH

Année Universitaire 2011-2012

## Remerciements

---

*Louange à ALLAH le miséricordieux, qui ma donné la volonté, la santé et la patience pour continuer mes études.*

*Le travail présenté dans ce mémoire, a été effectué au Centre de Développement des Technologies Avancées (CDTA). Nous tenons à remercier son Directeur, de nous avoir accueilli et avoir mis à notre disposition les moyens nécessaires pour l'accomplissement de notre travail.*

*Je remercie infiniment, Mr Slimane OUSSALAH, directeur adjoint du Centre de Développement des Technologies Avancées (CDTA) et chercheur au sein de la division Microélectronique et Nanotechnologie, pour la supervision de mon travail.*

*Je tiens à remercier ardemment ma promotrice, Melle Karima TABARI, chercheur au CDTA, pour la confiance qu'elle ma témoignée en me proposant ce sujet, et d'avoir dirigé, encadré et orienté ce travail, tout au long de mon stage. Son aide, ses conseils, sa disponibilité et sa patience m'ont été d'une grande utilité pour mener à terme ce travail.*

*Je remercie également, Monsieur Saïd NACER, Maître de conférences à l'université de Blida, pour avoir accepté de codiriger mon travail.*

*J'exprime ma gratitude envers le président de jury auprès duquel est exposé ce modeste travail, ainsi que l'examineur d'avoir accepté de juger ce mémoire.*

*Des remerciements particuliers vont à l'ensemble des enseignants du primaire jusqu'aujourd'hui, qui ont fait de leurs mieux pour instruire les étudiants.*

*Mes chaleureux remerciements vont à mes camarades et amis(es) que j'ai rencontrés au niveau du CDTA, Hakima KABENE, Issam MAHDJOUB, Amina SEBTI et Nacera GACHI pour leur aide durant ce stage et le mouvement d'ambiance qu'ils ont crée.*

*Mes intenses remerciement et tout mon respect s'adresse à ma famille qui ma supporté et encouragé durant toute ces années.*

*Enfin, ma reconnaissance s'exprime à tous ce qui mon aidé de prés ou de loin à la réalisation de ce mémoire.*



*Je dédie modestement ce projet à :*

*La mémoire de mes deux grand-père, ainsi qu'à la mémoire de mon unique oncle.*

*Ma grand-mère qui je considère comme deuxième mère 'yama'.*

*L'exemple du sacrifice, du dévouement et de l'honnêteté ma très chère mère qui j'aime passionnément, pour son amour et son soutien à mon égard.*

*Mon père que j'adore pour son aide, son amitié et ces encouragements et sa patience.*

*Mes magnifiques frères Fayçal, M<sup>ed</sup>. Amine et Zineddine pour leurs compréhension.*

*Mes adorables sœurs Kenza, Lamia et Hassiba qui j'aime du fond du cœur, pour leurs amour et tendresse.*

*Le mari de ma sœur et leurs deux lumières Nourhane et Maria.*

*Toute la famille AKHRIB et la famille SENDJAK.*

*Tous mes amis (es), spécialement Saïd BOUTOUBA, Imène BEGHADAD, Kaouthar DACI, Samira ZITOUNI et Rachid BENBOUMEZIRA.*

*Enfin, Tout les étudiants de ma promotion, surtout Khadija GHRIBI ainsi que toutes les personnes qui me connaisse sans exception.*

*A. Ikram*

## ملخص:

هذه الأطروحة تهدف إلى دراسة و تصميم حلقة غلق الطور رقمية (DPLL) باستخدام تكنولوجيا  $\mu\text{m CMOS}$  1 و استعمال CADENCE كأداة للتصميم. الذي تم وضعه مؤخرا في مركز تنمية التكنولوجيات المتطورة بهدف صنع تصاميم عدة. و من ثم قمنا بتحقيق *synthétiseur de fréquence* كتطبيق لهذه التكنولوجيا. النتائج المتحصل عليها كانت جد مرضية.

**كلمات المفاتيح:** حلقة غلق الطور الرقمية، كاشف الطور مصفى، مذبذب يسيطر عليه التوتر الكهربائي، قاسم التردد.

## Résumé

La boucle à verrouillage de phase est une technique qui a contribué de manière significative à l'avancement de diverses technologies, en particulier celle de la télécommunication.

Ce mémoire a pour but l'étude et la conception d'une boucle à verrouillage de phase numérique (DPLL) avec la technologie CMOS  $1\mu\text{m}$  et à l'aide de l'outil CADENCE. Le design kit a été développé récemment au niveau du Centre de Développement des Technologie Avancées (CDTA). Ensuite, comme application de la PLL, nous avons abordé la simulation d'un synthétiseur de fréquence.

**Mots clés :** PLL ; Détecteur de phase; Filtre passe bas ; oscillateur contrôlé en tension ; diviseur de fréquence.

## Abstract :

The phase Locked Loop (PLL) is a technique that has contributed significantly to the advancement of various technologies, especially communication.

The aim of this thesis is to study and design of digital Phase Locked Loop (DPLL) with  $1\mu\text{m CMOS}$  technology using CADENCE tool. The design kit has been developed recently at the Center of Developed Advanced Technologies (CDTA). Next, as an application of the PLL, we addressed the simulation of a frequency synthesizer.

**Keywords:** PLL; XOR Phase Detector; Low Pass Filter; Voltage Controlled Oscillator; Divider.

## Listes des acronymes et abréviations

<b>CI</b>	<b>C</b> ircuit <b>I</b> ntégré
<b>CMOS</b>	<b>C</b> omplementary <b>M</b> etal <b>O</b> xide <b>S</b> emi-conductor
<b>DPLL</b>	<b>D</b> igital <b>P</b> hase <b>L</b> ocked <b>L</b> oop
<b>FSK</b>	<b>F</b> requency <b>S</b> hift <b>K</b> eying
<b>LPF</b>	<b>L</b> ow <b>P</b> ass <b>F</b> ilter
<b>MOSFET</b>	<b>M</b> etal <b>O</b> xide <b>S</b> emi-conductor <b>F</b> ield <b>E</b> ffect <b>T</b> ransistor
<b>NMOS</b>	<b>N</b> egative <b>M</b> etal <b>O</b> xide <b>S</b> emi-conductor
<b>OCT</b>	<b>O</b> scillateur <b>C</b> ontrolé en <b>T</b> ension
<b>PMOS</b>	<b>P</b> ositive <b>M</b> etal <b>O</b> xide <b>S</b> emi-conductor
<b>PD</b>	<b>P</b> hase <b>D</b> etector
<b>PLL</b>	<b>P</b> hase <b>L</b> ocked <b>L</b> oop
<b>Pnoise</b>	<b>P</b> hase noise
<b>PSS</b>	<b>P</b> eriodic <b>S</b> tady <b>S</b> tate
<b>SSB</b>	<b>S</b> ingle <b>S</b> ide <b>B</b> and
<b>SSBPN</b>	<b>S</b> ingle <b>S</b> ide <b>B</b> and <b>P</b> hase <b>N</b> oise
<b>TTL</b>	<b>T</b> ransistor- <b>T</b> ransistor <b>L</b> ogique
<b>VCO</b>	<b>V</b> oltage <b>C</b> ontrolled <b>O</b> scillator
<b>VCXO</b>	<b>V</b> oltage <b>C</b> ontrolled <b>C</b> ristal <b>O</b> scillator
<b>VLSI</b>	<b>V</b> ery <b>L</b> arge <b>S</b> cale <b>I</b> ntegration

# Table des matières

Introduction générale .....	1
Chapitre 1 La technologie CMOS .....	3
1.1 Introduction .....	3
1.2 Présentation de la technologie CMOS .....	3
1.3 Les éléments disponibles en technologie CMOS .....	4
1.3.1 Les éléments passifs.....	4
a Les résistances.....	4
b Les capacités .....	5
1.3.2 Les éléments actifs.....	6
1.4 Les caractéristiques principales de la technologie CMOS.....	7
- Intégrabilité.....	7
- Diminution des géométries (Scaling down).....	7
1.5 Conclusion.....	7
Chapitre 2 Les transistors MOSFET.....	8
2.1 Introduction .....	8
2.2 Bref historique .....	8
2.3 Présentation des transistors MOS.....	8
2.4 Principe de fonctionnement d'un transistor MOS.....	10
2.4.1 Accumulation .....	10
2.4.2 Déplétion.....	10
2.4.3 Inversion.....	11
2.5 Régions d'opérations et propriétés électriques.....	11
2.6 Avantages et inconvénients des transistors MOS.....	13
2.6.1 Les avantages .....	13
2.6.2 Les inconvénients.....	13
2.7 Conclusion.....	13
Chapitre 3 Principes de base des PLLs .....	14
3.1 Introduction .....	14
3.2 Bref historique .....	14
3.3 Présentation d'une PLL .....	15
3.4 Les classes d'une PLL.....	15
3.5 Applications.....	15
3.6 Le principe de fonctionnement.....	16

3.6.1	Constitution générale.....	16
3.6.2	Les éléments de la boucle.....	17
a	détecteur de phase PD.....	17
b	Filtres de boucle LPF.....	23
➤	La fonction de transfert du filtre.....	25
c	Oscillateur contrôlé en tension (VCO).....	25
d	Le diviseur de fréquence.....	31
3.7	Terminologies sur les PLLs.....	32
3.7.1	Plage de verrouillage.....	32
3.7.2	Plage de capture.....	32
3.7.3	Le bruit de phase.....	34
3.8	Conclusion.....	35
Chapitre 4	Conception et simulation d'une DPLL.....	36
4.1	Introduction.....	36
4.2	Architectures et opérations.....	37
4.2.1	PD_XOR.....	38
4.2.2	Filtre de boucle.....	40
4.2.3	L'oscillateur contrôlé en tension (VCO).....	41
4.3	Tests et simulation.....	44
4.3.1	Simulation du PD_XOR.....	45
4.3.2	Simulation du filtre.....	46
4.3.3	Simulation du PD et filtre.....	47
4.3.4	Simulation et test des éléments du VCO.....	51
a	Simulation de l'inverseur.....	51
b	Inverseur à trois états (Current Starved Inverter).....	53
4.3.5	Simulations et tests du VCO.....	54
a	Principe de la fonction.....	54
b	Tests et résultats.....	57
4.3.6	Simulation et test de PLL.....	58
a	Analyses paramétriques.....	58
b	choix des valeurs et analyse transitoire de la PLL.....	63
c	Analyse Pnoise.....	65
4.3.7	Simulation et test du synthétiseur de fréquence.....	67
a	Le diviseur de fréquence.....	67

b	Le synthétiseur de fréquence.....	68
4.4	Conclusion.....	71
	Conclusion générale.....	72
	Annexes.....	73
	Bibliographie.....	79

PDF Create! 4 Trial  
www.nuance.com

## Liste des figures

Figure 1. 1. Coupe simplifiée d'une technologie CMOS.....	4
Figure 1. 2. Résistance en technologie CMOS.....	5
Figure 1.3. Capacité intégré CMOS. ....	6
Figure 1.4. Les transistors MOS dans une technologie intégrée. ....	6
Figure 2. 1. Structure d'un transistor CMOS.....	9
Figure 2. 2. Les transistors NMOS et PMOS.....	10
Figure 2. 3. Caractéristiques de sortie et de transfert d'un transistor MOS.....	11
Figure 3. 1. Schéma bloc d'une PLL.....	16
Figure 3. 2. Fonction de transfert en boucle fermée.....	17
Figure 3. 3. Deux types de signaux décalés de $\Delta t$ .....	18
Figure 3. 4. Schéma fonctionnel d'un détecteur analogique.....	18
Figure 3. 5. Symbole d'une porte XOR.....	19
Figure 3. 6. Les différents états du PD_XOR.....	21
Figure 3. 7. Fonction caractéristique de PD_XOR.....	22
Figure 3. 8. Exemple de fonctionnement du PD_XOR.....	22
Figure 3. 9. Détecteurs à base de bascule RS, JK et D.....	23
Figure 3. 10. Exemples de filtres actifs.....	24
Figure 3. 11. Filtre du 1 <sup>er</sup> ordre et du 2 <sup>ème</sup> ordre.....	25
Figure 3. 12. Schéma de principe des oscillateurs harmoniques.....	27
Figure 3. 13. Le résonateur VCXO.....	27
Figure 3. 14. Résonateur LC.....	28
Figure 3. 15. Résonateur à relaxation.....	29
Figure 3. 16. Oscillateur à simple chaîne d'inverseurs.....	30
Figure 3. 17. Oscillateur à inverseurs à trois états (tristate).....	31
Figure 3. 18. Schéma fonctionnel d'un diviseur de fréquence.....	31
Figure 3. 19. Plage de verrouillage d'une PLL.....	32
Figure 3. 20. Plage de capture d'une PLL.....	33
Figure 3. 21. Comparaison entre les deux plages.....	33
Figure 3. 22. Le bruit de phase.....	34
Figure 3. 23. Spectre théorique du bruit de phase en sortie de la PLL.....	35
Figure 4. 1. Schéma bloc de la DPPLL.....	37
Figure 4. 2. Schéma électrique du PD_XOR.....	39
Figure 4. 3. Schéma du test du PD_XOR.....	40
Figure 4. 4. Filtre du 1 <sup>er</sup> ordre.....	40
Figure 4. 5. Schéma bloc d'un Current-Starved VCO (CS-VCO).....	41
Figure 4. 6. Schéma électrique d'inverseur simple et d'inverseur Current-Starved.....	42
Figure 4. 7. Schéma électrique du miroir de courant.....	43
Figure 4. 8. schéma électrique du CS-VCO.....	43

Figure 4. 9. Symbole VCO.....	44
Figure 4. 10. Dernière fenêtre de téléchargement du modèle.....	45
Figure 4. 11. Exemple de déphasage entre les deux entrées .....	45
Figure 4. 12. Déphasage des points remarquables.....	46
Figure 4. 13. Représentation du gain et de la phase du filtre.....	47
Figure 4. 14. Schéma électrique du détecteur de phase avec filtre.....	47
Figure 4. 15. Présentation de la sortie du PD ainsi que la sortie filtrée.....	48
Figure 4. 16. Première étape de l'analyse dc.....	51
Figure 4. 17. Deuxième étape de l'analyse dc.....	52
Figure 4. 18. Le point d'opération de l'inverseur simple .....	52
Figure 4. 19. Présentation de l'entrée et la sortie inversée de l'inverseur.....	53
Figure 4. 20. Schéma électrique du test de l'inverseur CS.....	53
Figure 4. 21. présentation des tensions IN, Vp et out du CS-Inverter .....	54
Figure 4. 22. Première étape de l'analyse PSS.....	55
Figure 4. 23. Deuxième étape de l'analyse PSS.....	56
Figure 4. 24. Troisième étape de l'analyse PSS.....	56
Figure 4. 25. La fonction caractéristique du VCO.....	57
Figure 4. 26. Premier résultat obtenu pour la simulation de la PLL. ....	58
Figure 4. 27. Deuxième résultat de la réponse de la PLL.....	62
Figure 4. 28. Insertion d'un buffer à la sortie du VCO.....	63
Figure 4. 29. Verrouillage de la PLL.....	64
Figure 4. 30. Un zoom sur la PLL verrouillée.....	64
Figure 4. 31. L'analyse Pnoise de la PLL.....	65
Figure 4. 32. Le bruit de phase de la PLL.....	66
Figure 4. 33. Comparaison entre le bruit de phase et le bruit de la sortie de la PLL.....	66
Figure 4. 34. Schéma électrique du diviseur de fréquence.....	67
Figure 4. 35. Schéma électrique représentant le test du diviseur de fréquence.....	67
Figure 4. 36. Fonctionnement du diviseur de fréquence.....	68
Figure 4. 37. Schéma électrique du synthétiseur de fréquence.....	69
Figure 4. 38. Résultat de simulation du synthétiseur verrouillé.....	70
Figure 4. 39. Le bruit de phase du synthétiseur de fréquence.....	70
Figure 4. 40. Comparaison entre le bruit de phase et le bruit de sortie du synthétiseur de fréquence.....	71

## Liste des tableaux

Tableau 3. 1 Table logique d'un XOR .....	19
Tableau 3. 2. Les points remarquables du PD_XOR .....	21
Tableau 4. 1. Différentes valeurs de décalage et les tensions moyennes à vdd=3V. ....	49
Tableau 4. 2. Différentes valeurs de décalage et les tensions moyennes à vdd=4V. ....	50
Tableau 4. 3. Résultats du PD_XOR obtenus à différentes valeurs de vdd. ....	59
Tableau 4. 4. Résultats du PD_XOR obtenus en variant la période. ....	59
Tableau 4. 5. Résultats PD_XOR obtenus en variant Vdd. ....	60
Tableau 4. 6. Analyse paramétrique de Vdd pour la tension de sortie filtrée. ....	60
Tableau 4. 7. Sortie du PD_XOR filtrée en variant C et R. ....	61
Tableau 4. 8. Résultats du VCO à différents variations de vdd. ....	62
Tableau 4. 9. Tableau récapitulatif des valeurs de simulation. ....	63
Tableau 4. 10. Les valeurs prises pour la simulation du synthétiseur de fréquence. ....	69

PDF

Created with  
www.nuance.com



## **PRESENTATION**

*Le 22 Mars 1988 le Centre de Développement des Techniques Avancées (CDTA) passe du statut d'Unité de Recherche du Commissariat aux Energies Nouvelles à celui de Centre de Recherche et de Développement. Il est alors appelé Centre de Développement des Technologies Avancées, sous la tutelle du Haut Commissariat à la Recherche.*

*Le CDTA est chargé d'effectuer des travaux de recherche scientifique, de développement technologique et de valorisation dans différents domaines. Le spectre des Technologies Avancées étant très large, c'est ainsi que les domaines pris en charge par le CDTA sont essentiellement la micro-électronique, l'architecture des systèmes, la robotique/productique et les milieux ionisés.*

*Ses principales missions portent sur la prise en charge des actions de recherche et développement, de formation, de prestation de services, et d'information scientifique et technique au sein des deux sous filières, à savoir la sous-filière Cybernétique qui regroupe les laboratoires d'Architecture des Systèmes, de Robotique, de Microélectronique et nanotechnologie, de Génie logiciel et la sous-filière des Milieux ionisés qui englobe les laboratoires des Lasers, des Plasmas, et de la Fusion thermonucléaire.*

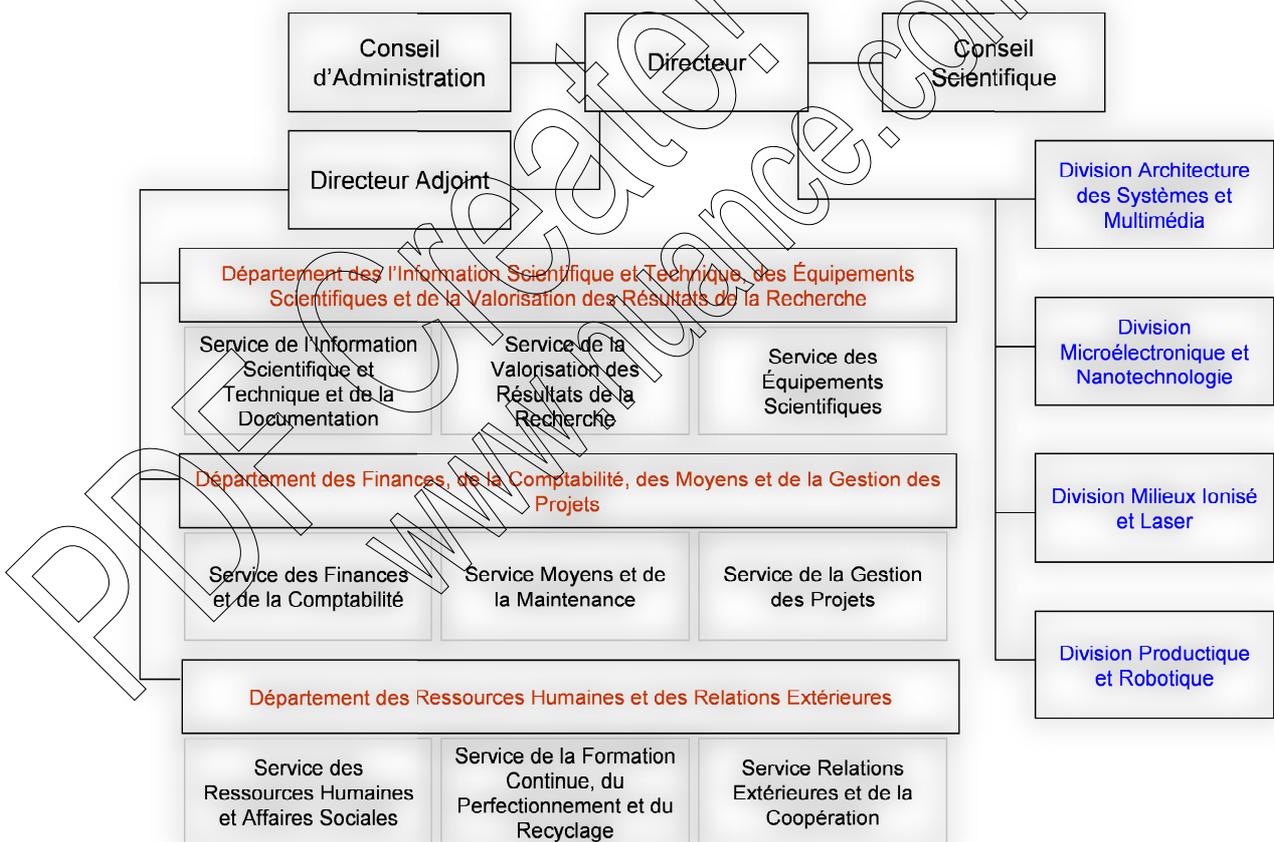
*Le CDTA ouvre aussi ses portes aux étudiants de l'enseignement supérieur pour la préparation de leurs projets de fin d'études d'ingénieur, de master ou de leurs thèses de magister. Ceux-ci viennent en grande partie des universités et de grandes écoles comme l'Université de Blida, l'USTHB et l'INI... etc. Sur le plan des ressources humaines, le CDTA dispose d'un potentiel important.*

*Les Laboratoires sont organisés en équipes de recherche. Ainsi, le laboratoire de Microélectronique et nanotechnologie, dans lequel j'ai préparé mon master2 s'est*

toujours intéressé à la conception et à la technologie des circuits intégrés digitaux et analogiques.

Il emploie actuellement un nombre très important de personnes, parmi lesquelles on recense un nombre important de chercheurs, d'ingénieurs de recherche, auquel s'ajoute un staff administratif et technique.

Le centre possède un fonds non négligeable. La bibliothèque rassemble environ 3200 ouvrages concernant les axes de recherche des différents laboratoires. Son fonds regroupe aussi des thèses et plusieurs titres de périodiques. Par ailleurs, le nouveau siège du CDTA d'une superficie d'environ 12500 m<sup>2</sup> est situé à Baba Hassan. Cette année a surtout été marquée par l'installation de la salle blanche qui consiste à réaliser les circuits intégrés de la technologie 1µm.



Organigramme du CDTA

# Introduction générale

---

La Micro-électronique s'est largement développée depuis une dizaine d'années, couvrant ainsi l'ensemble des domaines d'applications : civil (grand public et professionnel), spatial et militaire. Remplaçant avantageusement des parties encombrantes en transmissions de données.

Elle consiste à rassembler sur un substrat adéquat, les composants actifs (transistors MOS, bipolaire,...) et passifs (résistance, capacité,...) nécessaires à la propagation des ondes (données). De plus, elle a permis le rassemblement de tout ces composants sur la même puce et donner naissance aux circuits intégrés.

La boucle à verrouillage de phase (PLL : Phase Locked Loop) sous application du synthétiseur de fréquence est utilisée dans beaucoup d'applications électroniques. Avant, les synthétiseurs de fréquence principalement implémentés en utilisant des composants discrets. Cependant, à cause des caractéristiques électriques de l'ensemble, la construction de ces synthétiseurs avec ces composants discrets deviennent plus difficile.

Dans les systèmes de communication, afin d'atteindre une grande vitesse, faible coût, dimensions réduite, une puissance de dissipation faible et surtout un bruit de phase réduit, les synthétiseurs de fréquences sont généralement intégrés avec d'autres circuits de la technologie CMOS.

Le travail que nous allons présenter dans ce mémoire concerne la conception d'une boucle à verrouillage de phase, qui sera exploitée pour réaliser un synthétiseur de fréquence, à l'aide des outils CADENCE. De plus, ce travail s'inscrit dans le cadre de la réalisation d'une centrale de technologie en microélectronique ou salle blanche, pour

la fabrication de composants semi-conducteurs ou circuits intégrés à l'aide de la technologie CMOS 1  $\mu\text{m}$  acquise par le CDTA.

Ce mémoire est composé de quatre chapitres.

Dans le premier chapitre nous donnons une définition sommaire de la technologie CMOS.

Le deuxième chapitre est consacré à la présentation du transistor MOSFET. Une description détaillée du mode de fonctionnement du transistor MOSFET est présentée ainsi que ces avantages et inconvénients.

Le troisième chapitre est consacré à la description de la boucle à verrouillage de phase. Les principaux blocs fonctionnels de la PLL sont décrits: le comparateur de phase, l'oscillateur contrôlé en tension, le filtre passe bas et le diviseur de fréquence. Nous terminons par décrire les plages de capture et de verrouillage de la PLL.

Dans le dernier chapitre, nous présentons le travail de conception et de simulation de la PLL, puis, du synthétiseur de fréquence ainsi que toutes les étapes réalisées avec le logiciel CADENCE pour aboutir aux résultats escomptés.

Enfin, nous clôturons ce mémoire par une conclusion générale et des perspectives pour donner suite à ce travail.

# Chapitre 1 La technologie CMOS

---

## 1.1 Introduction

Les premiers systèmes numériques fonctionnent à quelques centaines de kHz, de nos jours les plus rapides atteignent quelques centaines de GHz. Ceci est principalement lié à l'évolution des technologies utilisées [1].

Depuis quelques années les efforts de recherche sont dirigés vers la conception des circuits intégrés (CI). L'évènement de la technologie VLSI (**V**ery **L**arge **S**cale **I**ntegration) a entraîné une complexité des procédés NMOS. Pour éviter une consommation excessive, la technologie CMOS était candidate à répondre aux exigences de la technologie VLSI. Par sa simplicité de conception et sa compatibilité avec les processus utilisant des technologies de fabrication délicate, la technologie CMOS prédomine la réalisation des IC à base des transistors CMOS [2].

## 1.2 Présentation de la technologie CMOS

La technologie CMOS (***C**omplementary **M**etal **O**xide **S**emiconductor*) est un principe de fabrication de composants électroniques à faible consommation électrique et à haute densité d'intégration qui est utilisée depuis les années quatre-vingt [3]. A l'instar de la famille des Transistor-Transistor Logique (TTL), ses composants sont en majeure partie des portes logiques (NAND, NOR, XOR,...), de plus, ils peuvent être utilisés comme résistance variable. Dans ce type de circuit, un étage de sortie est composé d'un couple des transistors MOSFET, N et P, généralement placés de manière symétrique et réalisant chacun la même fonction. Du fait de leur caractéristique de fonctionnement,

quand l'un est passant l'autre est bloquant, d'où l'appellation *complementary*. Ce procédé nous permet d'obtenir sur la même puce de silicium, les deux types de transistors (NMOS et PMOS) [4].

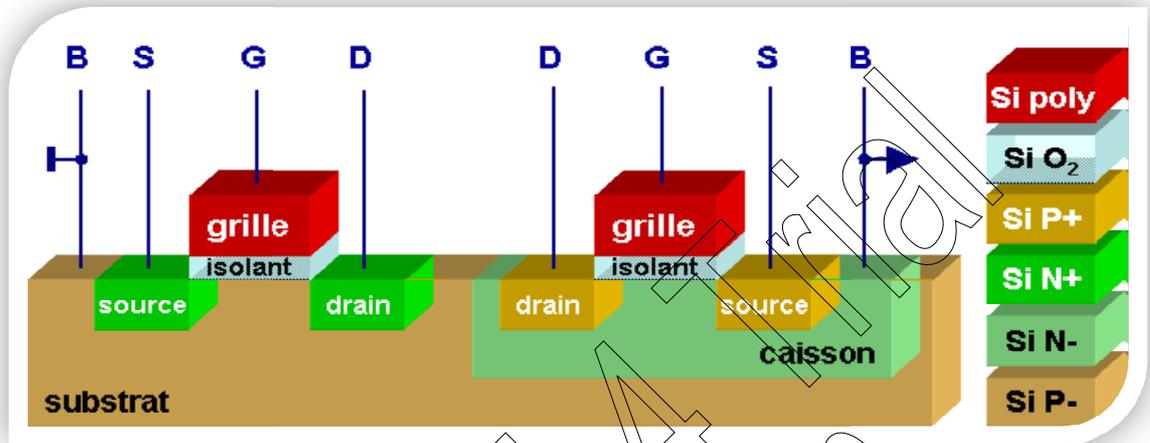


Figure 1. 1. Coupe simplifiée d'une technologie CMOS

### 1.3 Les éléments disponibles en technologie CMOS

Nous retrouvons dans la technologie CMOS les éléments passifs (résistances, capacités) et les éléments actifs (transistors, diodes).

#### 1.3.1 Les éléments passifs

Les deux principaux éléments passifs constituant la technologie MOS sont : les résistances et les capacités.

##### a Les résistances

D'une manière générale, nous pouvons faire passer un courant formé majoritairement d'électrons qui s'écoulent de la source vers le drain, par conduction du champ électrique longitudinal généré par  $V_{DS}$ . La résistivité (  $\rho$  ) d'une couche est exprimée en résistance par carré [5].

La valeur de la résistance équivalente est définie en fonction de la largeur (W), la longueur (L) et l'épaisseur (e) du conducteur [6].

L'équation obtenue est donnée par :

$$R = \frac{\rho L}{W e}$$

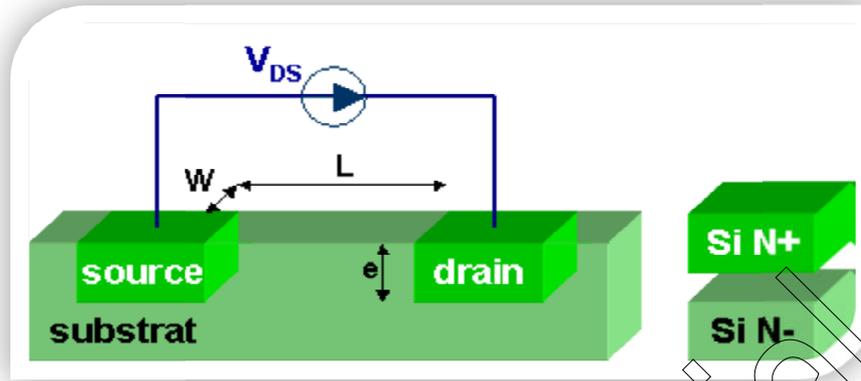


Figure 1. 2. Résistance en technologie CMOS.

Il existe plusieurs types de résistance en technologie CMOS. Nous citons quelques une :

- ❖ Les résistances en poly-silicium, utilisent les mêmes couches que les grilles de transistors et sont généralement peu résistives en les comparant aux autres technologies qui disposent de couches poly-silicium faiblement dopées qui permettent d'avoir des résistances de plus forte valeurs.
- ❖ Les résistances de diffusion N ou P, utilisant les mêmes couche que la source et le drain du transistor.
- ❖ Les résistances en caisson, qui utilisent la même couche que le caisson du transistor [5].

#### **b Les capacités**

Pour les capacités, trois types principaux sont présents.

- ❖ Les capacités situées entre les couches conductrices ont une valeur relativement faible, indépendante de la température et de la tension appliquée.
- ❖ Les capacités de grille ( $C_{ox}$ ) caractérisées par une valeur surfacique supérieure aux capacités inter conducteurs. Sa valeur change peu avec la température et la tension appliquée.
- ❖ Les capacités dites de jonction, ont une valeur surfacique très dépendante de la tension appliquée [5] [6].

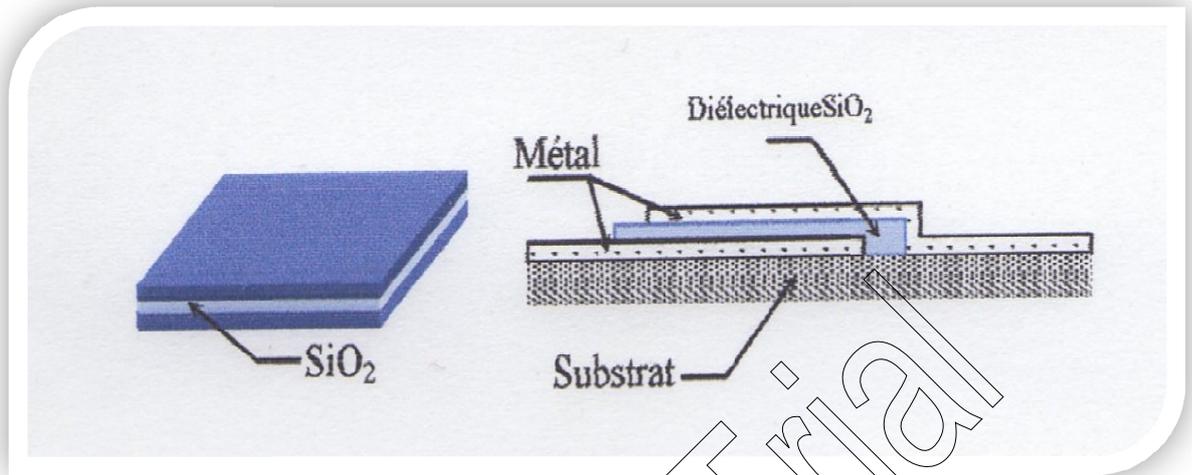


Figure 1.3. Capacité intégrée CMOS.

### 1.3.2 Les éléments actifs

La technologie CMOS utilise comme élément actif le transistor MOS. L'appellation de ces transistors dérive du mot anglais MOSFET (Metal Oxide Semi-conductor Field Effect Transistor) qui désigne à la fois la structure et le fonctionnement du dispositif. Il est caractérisé par sa caractéristique de transfert  $I_{DS} = f(V_{GS})$  et sa tension de seuil ( $V_{th}$ ) [7].

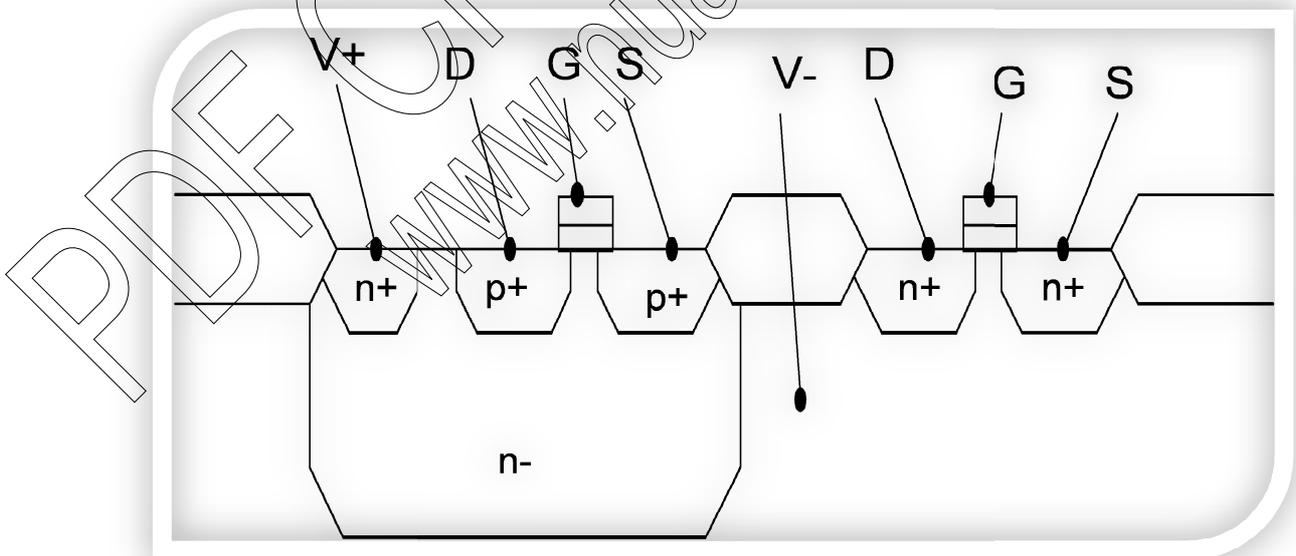


Figure 1.4. Les transistors MOS dans une technologie intégrée.

## 1.4 Les caractéristiques principales de la technologie CMOS

### - Intégrabilité

Les circuits intégrés (numériques et analogiques) comportent des transistors plus efficaces en termes de transconductance et de vitesse. La technologie CMOS a vite envahi l'électronique des circuits intégrés à cause des dimensions faibles des transistors ainsi que sa technologie simple [6].

### - Diminution des géométries (Scaling down)

Le concepteur des circuits est libre de choisir les grandeurs de la grille : la longueur ' $L$ ' et la largeur ' $W$ ' ainsi que la longueur de la jonction ' $L_j$ '.

[6].

## 1.5 Conclusion

Dans ce premier chapitre, nous avons donné une vue globale sur la technologie CMOS, en commençant par une présentation de la technologie. Puis, une description générale sur les éléments passifs et actifs qui peuvent être fabriqués dans cette technologie a été rappelée. Enfin, les caractéristiques de base de la technologie ont été citées. Nous avons constaté que l'élément qui nécessite l'attention et plus de détail est le transistor MOSFET.

# Chapitre 2 Les transistors MOSFET

---

## 2.1 Introduction

Le transistor MOSFET (Metal Oxide Semi-conductor Field Effect) est un élément décisif dans l'évolution technologique de l'électronique qui permet la réalisation des circuits d'émission-réception, de traitement d'informations et plein d'autres domaines. La miniaturisation des dimensions des transistors a contribué dans son évolution. En particulier, la technologie de Silicium a été un support de base des systèmes microélectroniques depuis plusieurs années [3] [6].

## 2.2 Bref historique

Le mot transistor est une contraction de l'anglais 'transfer resistor'. Le premier transistor bipolaire construit par trois chercheurs : Bardeen, Brattain et Shockley aux laboratoires Bell telephone (aux Etats Unis) à base d'un substrat de Germanium, en 1947. Par contre, le MOSFET a été conçu de façon théorique en 1920 par Julius Edgar comme étant un composant de contrôle de courant. Toutefois, le premier transistor MOS ne fut construit qu'en 1960 par Khang et Atalla dans le même endroit. Les trois années qui suivent ont marqué l'apparition de ce transistor dans les circuits intégrés [6] [8].

## 2.3 Présentation des transistors MOS

Le MOSFET est le dispositif semi-conducteur le plus utilisé actuellement pour la construction des CI. Il appartient à la famille des transistors à effet de champ FET. Il est composé de deux diffusions conductrices appelées source 'S' (point de départ des porteurs) et drain 'D' (point collecte des porteurs), séparées par un espace dont la

conductivité est contrôlée par une grille 'G' (couche de poly-silicium déposée sur une couche très mince d'oxyde) et le substrat 'B', le canal du transistor se formant dans le caisson situé sous la grille. Généralement, les électrodes de la source et du substrat sont électriquement reliées, nous retrouvons donc un composant à 3 électrodes où le courant entre le drain et la source ' $I_{DS}$ ' est commandé par la tension entre la grille et la source ' $V_{GS}$ ' [3] [9].

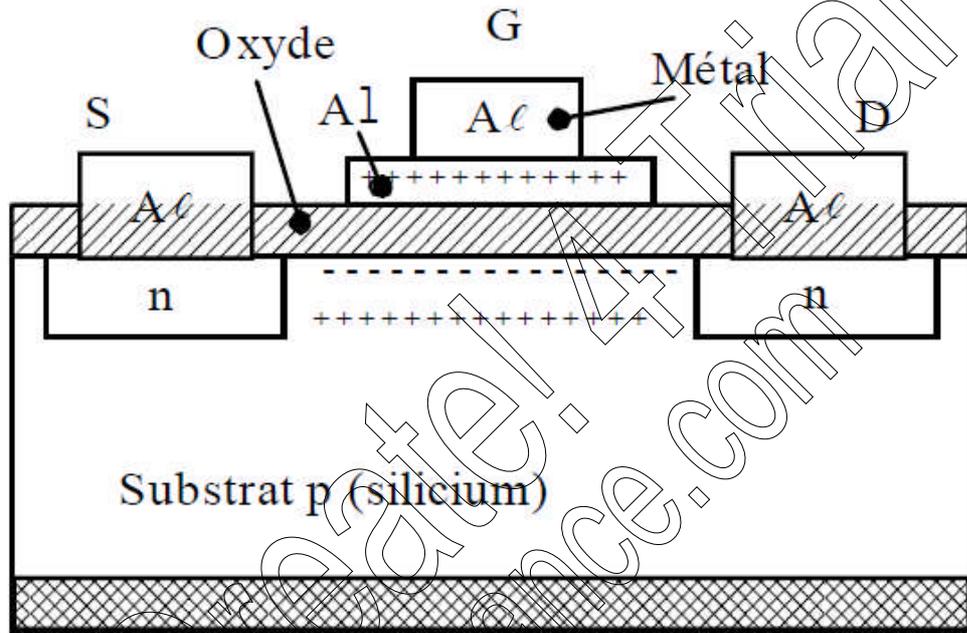


Figure 2. 1. Structure d'un transistor CMOS.

La fonction du transistor MOS consiste à la modulation du courant drain à l'aide d'un signal appliqué à son électrode d'entrée. Il peut être utilisé dans des applications numérique, analogique ou même mixte [3].

Il existe deux types de transistor MOS : les MOS à canal N (NMOS) dont le drain et la source sont dopés par un matériau possédant un excès de charges négatives (électrons) et les MOS à canal P (PMOS) qui ont le drain et la source dopés par un matériau ayant un excès de charges positives (trous) [6] [9].

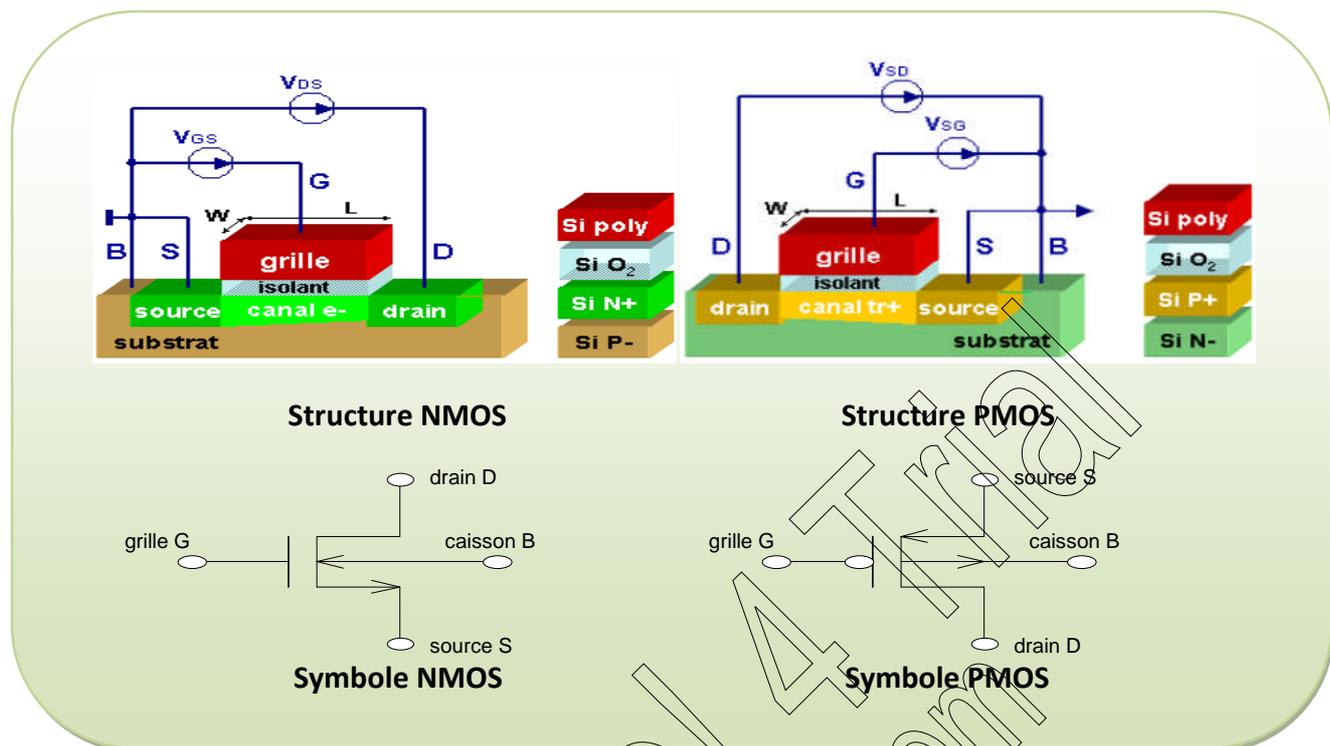


Figure 2. 2 Les transistors NMOS et PMOS.

## 2.4 Principe de fonctionnement d'un transistor MOS

Dans cette partie nous allons décrire les mécanismes physiques d'un transistor MOS durant ces différents régimes de fonctionnement. Nous avons choisi le PMOS comme exemple. Sachant que la conduction de ce dispositif est contrôlée par la polarisation de la grille. Les trois régimes de fonctionnement sont décrits ci-dessous [11].

### 2.4.1 Accumulation

Quand la grille est polarisée positivement ( $V_{GS} > 0$ ), les électrons sont attirés par ces charges positives et s'accumulent à la surface du canal, c'est le *régime d'accumulation*. Dans ce régime, l'énergie potentielle du canal est supérieure à celle de la source se qui constitue une barrière de hauteur qui empêchant ainsi la circulation de charges [10].

### 2.4.2 Déplétion

Cette fois, la tension appliquée sur la grille est négative et inférieure à la tension seuil  $V_{th}$  (threshold). Les électrons sur la grille sont repoussés ne laissant que des charges fixes dans le canal. Cependant, une *zone de déplétion* (représente une zone vide de toute charge mobile) est formée sous la grille et à proximité des zones de source et de

drain. Par conséquent, la hauteur de barrière  $\Phi_d$  entre la source et le canal diminue mais sans permettre le passage des électrons [10] [11].

### 2.4.3 Inversion

Lorsque la grille est polarisée en inverse ( $V_{th} < 0 < V_{GS}$ ), les trous sont attirés au niveau de l'interface de canal/oxyde, formant une *couche d'inversion*. Dans ce cas le potentiel entre le canal et le drain est diminué. Dans ce cas, une tension négative appliquée entre le drain et la source ( $V_{DS}$ ) autorise le passage du courant  $I_{DS}$ . La variation de potentiel entre la source et le drain induit une variation de la distribution de charge le long du canal [10] [11].

## 2.5 Régions d'opérations et propriétés électriques

Les transistors MOSFET sont caractérisés électriquement par des mesures statiques en courant-tension au niveau du drain,  $I_{DS} = f(V_{DS})$  et en courant-tension au niveau de la grille,  $I_{DS} = f(V_{GS})$ .

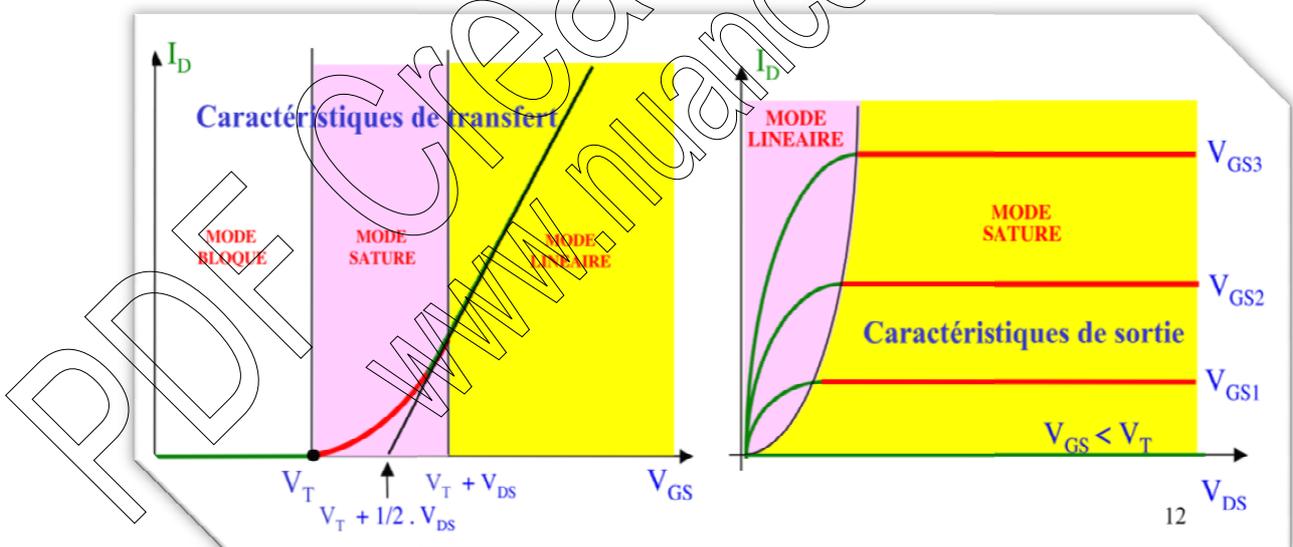


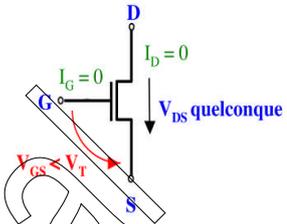
Figure 2. 3. Caractéristiques de sortie et de transfert d'un transistor MOS.

D'après ces graphes et le principe décrit dans le paragraphe précédent, nous pouvons partager le fonctionnement du transistor MOS en trois modes de fonctionnement (régions d'opération), selon le mécanisme qui prédomine au contrôle du courant de drain ( $I_D$ ) par la tension de grille ( $V_{GS}$ ). Nous prenons comme un transistor NMOS [1] [2].

$\mu$ ,  $C_{ox}$ ,  $W$ ,  $L$  : Représentent respectivement : la mobilité des porteurs [ $m^2/Vs$ ], capacité de l'oxyde mince (grille) [ $F/m^2$ ], largeur et la longueur du canal en [ $m$ ].

**Mode bloqué**

- $V_{GS} < V_{th}$ , quelque soit  $V_{DS}$ .
- Il n'y a pas apparition de canal.
- Le transistor ne laisse pas passer le courant  $I_D = 0$  [3] [12].

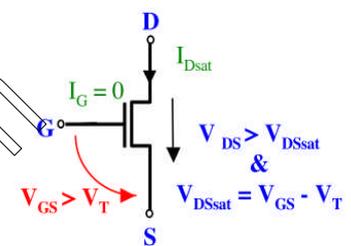


$$I_D = 0$$

2.1

**Mode satur **

- $V_{GS} > V_{th}$  et  $V_{DS} > V_{GS} - V_{th}$ .
- Le pincement existe mais du c t  drain seulement.
- $I_D = \frac{1}{2} \mu_n C_{ox} \frac{W}{L} (V_{GS} - V_T)^2$
- Le transistor conduit le courant  $I_D$  qui augmente avec  $V_{DS}$ . [3] [9] [12]

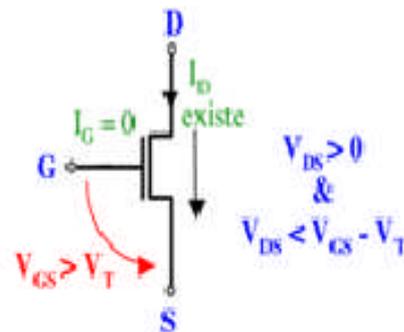
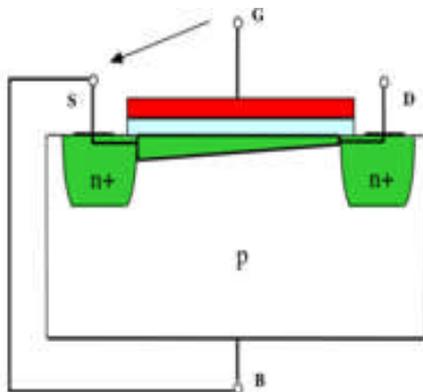


$$I_D = \frac{1}{2} \mu_n C_{ox} \frac{W}{L} (V_{GS} - V_T)^2$$

2.2

**Mode lin aire**

- $V_{GS} > V_{th}$  et  $V_{DS} < V_{GS} - V_{th}$ .
- Le canal entre source-drain n'est pas uniforme,
- Le transistor conduit et  $I_D$  augmente avec  $V_{DS}$  [9]. [12]



## 2.6 Avantages et inconvénients des transistors MOS

Les transistors MOS contiennent des avantages et des inconvénients, nous allons citer quelques uns :

### 2.6.1 Les avantages

- L'avantage primordial est l'impédance d'entrée qui est très grande, de l'ordre de  $R_e = 10^9 \Omega$ .
- Il est simple à fabriquer.
- Limitation de nombres d'étapes de fabrication.
- La densité d'intégration de ces transistors est très importante, nous pouvons dépasser 10<sup>6</sup> transistors sur la même puce.
- Le choix de la tension d'alimentation est plus large par rapport aux autres technologies (de 0V à 18V) [13] [14].

### 2.6.2 Les inconvénients

- La vitesse de commutation est plus faible que celle des transistors bipolaires,
- Il faut prévoir une protection à l'entrée à cause de la sensibilité aux décharges électrostatiques [13].

## 2.7 Conclusion

Dans ce chapitre, nous avons évoqué l'évolution rapide des transistors, puis nous avons décrit physiquement les transistors MOS. Ensuite, le principe de fonctionnement de ces dispositifs a été détaillé, ainsi que, les propriétés électriques et régions d'opération. Pour finir, les avantages et les inconvénients de cet élément sont cités.

# Chapitre 3 Principes de base des PLLs

---

## 3.1 Introduction

Les boucles à verrouillage de phase en anglais Phase Locked Loop (PLL) trouve des applications répandues dans différents domaines : la récupération du signal de canal de communication bruyante, synthétiseur de fréquence dans les deux traditionnels tels que le téléviseur et les radios AM/FM et synchronisation des horloges ultras précis [1].

## 3.2 Bref historique

La naissance de la PLL remonte à 1932, inventée par l'ingénieur français nommé De Bellescize qui cherchait à améliorer la réception des signaux radioélectriques en modulation d'amplitude dont les signaux utiles trop faibles étaient noyés dans les bruits et devenues inutilisables [4].

A l'époque, la démodulation de ces signaux se faisait grâce à une détection d'enveloppe obtenue en utilisant un détecteur de crête. L'inconvénient de ce détecteur est sa sensibilité aux bruits parasites d'origine atmosphérique ou industrielle et restituent un message moyenne qualité [4].

En réalité, c'est un nouveau principe de démodulation, appelé '*démodulation synchrone*' a été mis au point. Il consiste à produire au niveau du récepteur, un signal verrouillé en phase sur la porteuse utilisée en émission. Ce principe difficile et coûteux a longtemps été réservé aux matériels professionnels, jusqu'à l'arrivée des CI en 1965 qui a bouleversé les branches de l'électronique [5].

### 3.3 Présentation d'une PLL

La boucle à verrouillage de phase représente un système asservi. Comme son nom l'indique, la boucle de rétroaction verrouille la phase d'une horloge d'entrée à un signal dit de référence. Cette synchronisation se fait en élevant ou abaissant automatiquement la fréquence d'un oscillateur commandé en tension, jusqu'à ce qu'il soit adapté au signal d'entrée ; leurs phases sont synchronisées [6] [7].

### 3.4 Les classes d'une PLL

Selon la technologie de fabrication de ces systèmes, il y'a trois principaux types de PLLs: les PLLs *analogiques*, les PLLs *hybride* (analogique/numérique) et les PLLs *numériques* [8].

Les premiers dispositifs, en 1965, étaient purement analogique connus sous le nom de multiplieurs analogique, ou encore, les mélangeurs (souvent le cas pour les fréquences les plus élevées en radiofréquence : 800MHz à 2.5GHz). Dans les années qui suivent, la PLL hybride apparait en 1970, elle contenait quelques circuits numériques (généralement, juste le détecteur de phase) et les autres restent analogiques. Finalement, la première PLL numérique était inventé et construite avec des dispositifs numériques (pour les fréquences moins élevées : 1MHz à 20MHz environ) [6] [9].

### 3.5 Applications

Il existe différents types d'applications des PLLs, nous allons citer les plus réponsus :

- Multiplicateur de fréquence : c'est le cas d'un synthétiseur de fréquence.
- Restitution de la porteuse : quand nous souhaitons utiliser un démodulateur AM synchrone, il est nécessaire d'avoir à notre disposition un signal sinusoïdal fidèlement synchrone à la porteuse.
- Modem grande vitesse.
- Emetteur/récepteur FSK (Frequency Shift Keying).
- Réalisation de décodeurs de tonalité.
- Réalisation des radars.
- Réalisation de filtres de poursuite,...etc.

## 3.6 Le principe de fonctionnement

### 3.6.1 Constitution générale

La boucle est constituée des étages suivants : un comparateur de phase, un filtre passe bas, un oscillateur commandé en tension et un diviseur d'horloge. Notons que, les raisonnements et les équations en termes d'étages fonctionnels restent semblables pour toutes les technologies [6] [8].

Le schéma bloc d'une PLL est représenté dans la figure ci-dessous.

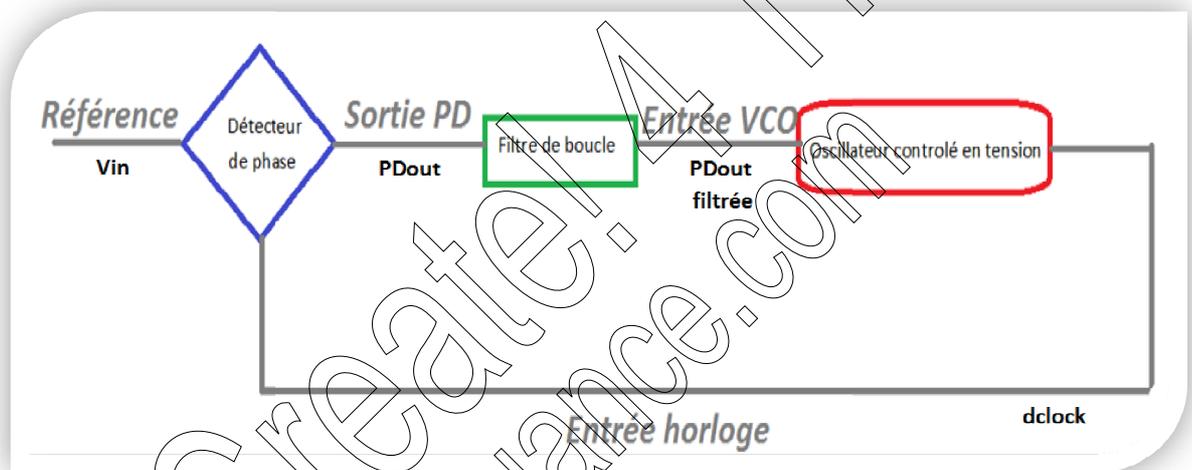


Figure 3. 1. Schéma bloc d'une PLL.

En appliquant une tension 'vin' de fréquence (période) ' $F_{in}$ ' ( $T_{in}$ ) à l'entrée de la PLL, plus précisément, à l'entrée du détecteur de phase, il va nous donner à sa sortie la différence de phase instantanée entre cette entrée et celle du signal de rétroaction à la sortie du diviseur d'horloge 'dclock'. Ce déphasage correspond à un signal d'erreur 'PDout' comportant des harmoniques HF ainsi qu'une composante continue [2] [12].

Afin d'éliminer ces harmoniques et ne laisser que la composante continue, un filtre passe bas est indispensable juste avant l'entrée de l'oscillateur. Sachant que, la fonction de transfert du filtre influence les propriétés de l'asservissement et permet, par un choix des paramètres introduits, de modifier les performances du dispositif. Un bon filtrage et une bonne stabilité sont donc incompatibles [14].

Ainsi, l'oscillateur est attaqué par la tension filtrée, dite de contrôle, qui permet la modification de sa fréquence de sortie de telle sorte que cette fréquence rattrape la fréquence instantanée 'F<sub>in</sub>' de la PLL. La boucle est **verrouillée** lorsque ces deux fréquences sont identiques ou la différence de phase est constante [6].

➤ **La fonction de transfert de la PLL**

La PLL est considérée comme un système asservi bouclé dont la grandeur de sortie est asservie à celle de l'entrée.

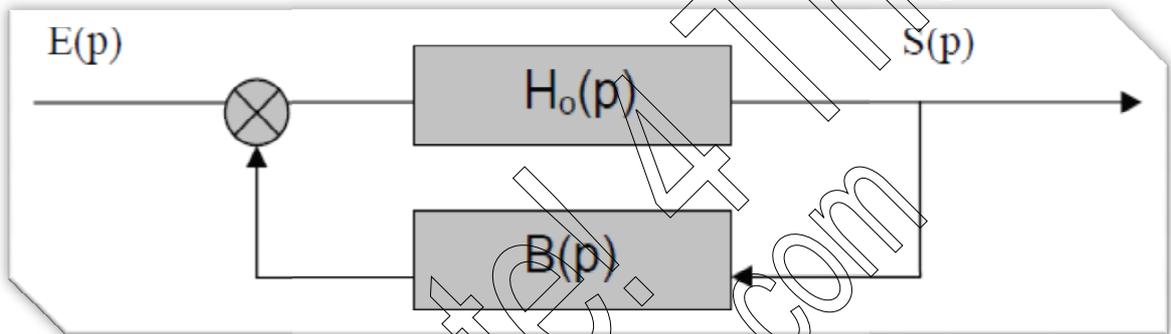


Figure 3. 2. Fonction de transfert en boucle fermée.

**H<sub>0</sub>(P)** : Fonction de transfert de la chaîne directe.

**B(P)** : Fonction de transfert de la chaîne de retour.

**H<sub>0</sub>(P).B(P)** : Fonction de transfert de la boucle ouverte.

La fonction de transfert en boucle fermé est donnée par l'équation suivante :

$$G(p) = \frac{H_o(p)}{1 + H_o(p) \cdot B(p)}$$

### 3.6.2 Les éléments de la boucle

#### a détecteur de phase PD

Le détecteur ou comparateur de phase, en anglais **Phase Detector (PD)** est le premier dispositif constituant la PLL. Comme c'est mentionné ci-dessus, le PD est utilisé pour détecter la différence de phase instantanée entre le signal d'entrée et le signal de retour [2].

Si nous considérons une faible variation de la phase, le système se rapproche d'un système linéaire où la variation de la phase d'entrée est proportionnelle à la variation de la tension en sortie [9].

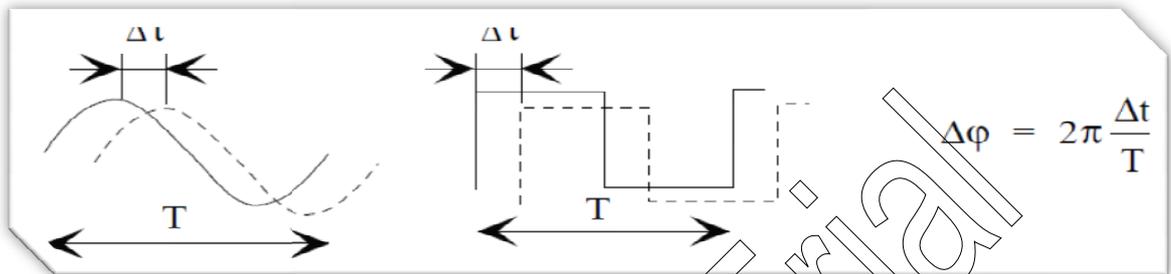


Figure 3. 3. Deux types de signaux décalés de  $\Delta t$ .

Selon le type des signaux d'entrées, les PDs sont classés en deux familles : les détecteurs de phase analogique et les comparateurs de phase numérique.

#### ✚ PD analogique

Le PD analogique est un multiplieur ou mélangeur analogique simplifié. Le schéma fonctionnel est représenté dans la figure 3.6 [6].

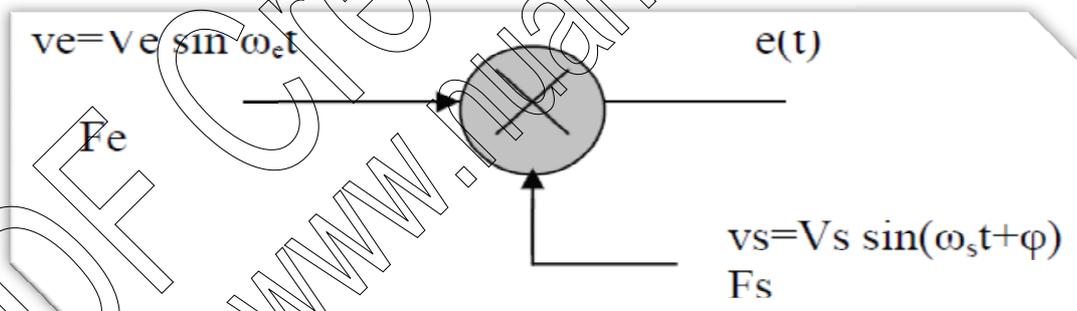


Figure 3. 4. Schéma fonctionnel d'un détecteur analogique.

Le PD analogique est très utilisé en électronique analogique puisque les signaux d'entrées appliqués sont alternatifs  $V_e(t)$  et  $V_s(t)$  :

$$v_e(t) = V_e \cdot \sin(\omega_e t) \quad 3.1$$

$$v_s(t) = V_s \cdot \sin(\omega_s t + \phi) \quad 3.2$$

La tension d'erreur  $e(t)$  est proportionnelle à leur déphasage :

$$e(t) = K \cdot v_e(t) \cdot v_s(t) \quad 3.3$$

En appliquant la relation :

$$\sin(\alpha) \cdot \sin(\beta) = \frac{1}{2} [\cos(\alpha - \beta) - \cos(\alpha + \beta)] \quad 3.4$$

Nous allons obtenir l'équation suivante :

$$e(t) = \left[ -k \cdot V_e \cdot V_s \cdot \cos(2\omega_0 t + \Phi) / 2 \right] + \left[ k \cdot V_e \cdot V_s \cdot \cos(\Phi) / 2 \right] \quad 3.5$$

Ce déphasage  $e(t)$  peut être négatif ( $-\pi \leq \Phi \leq 0$ ) ou positif ( $0 \leq \Phi \leq \pi$ ) [9].

$\Phi$ ,  $\omega_0$  représentent respectivement, le décalage et la pulsation des signaux d'entrée du PD\_XOR.

#### ✚ PD numérique

Il requière des signaux d'entrées en impulsion ou carrés avec des niveaux compatibles et ils sont de plus en plus utilisés en technologie CMOS, TTL ou ECL. Les plus sophistiqués sont séquentiels et les plus simples sont combinatoires [11].

- ❖ **Le détecteur de phase combinatoire (OU exclusif)** est une simple porte logique XOR, avec un niveau bas des signaux logiques supposés égal à zéro alors que le niveau haut est égal à une tension d'alimentation  $V_{dd}$ . Le schéma d'une porte OU exclusif est illustré dans la figure 3.4. Par contre la table de vérité est donnée dans le tableau 3.1. [9].

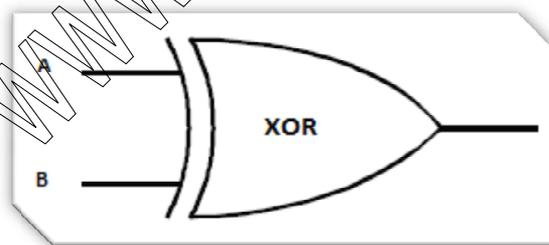


Figure 3. 5. Symbole d'une porte XOR.

	A = 0	A = 1
B = 0	0	1
B = 1	1	0

Tableau 3. 1. Table logique d'une porte XOR.

Une hypothèse doit être respectée sur les deux signaux d'entrée : le rapport cyclique (en anglais duty ratio 'D<sub>φ</sub>') égal à 50%, puisque le comparateur est très sensible à la durée de l'état haut et celle de l'état bas. Cela nous amène à écrire :

$$= \Delta / \quad \quad \quad \mathbf{3.6}$$

Le signal périodique de la sortie du détecteur de phase 'V<sub>φ</sub>(t)' peut être représenté sous la forme de série de Fourier :

$$V_{\Phi}(t) = V_0 + \sum_{n=1}^{\infty} V_n \cdot \sin(4 \cdot n \cdot \pi \cdot f_{osc} \cdot t - \theta_n) \quad \quad \quad \mathbf{3.7}$$

Avec V<sub>0</sub>, V<sub>n</sub> et f<sub>i</sub> représentent respectivement : la tension moyenne du signal de sortie filtré du détecteur de phase, l'amplitude de la nième harmonique à la fréquence 2.n.f<sub>i</sub> et la fréquence du signal d'entrée.

Cette hypothèse signifie que la période du signal de sortie est égale à la moitié de celle des signaux d'entrée ; en autre terme, le double en fréquence. Par conséquence, la présence des harmoniques de cette dernière avec la composante continue. Cette composante peut être trouvée facilement en calculant la moyenne de V<sub>φ</sub>(t) sur une demi-période T<sub>i</sub>/2 [15].

$$V_0 = \frac{1}{T_i/2} \int_0^{T_i/2} V_{\Phi}(t) dt = \frac{2}{T_i} \int_0^{T_i/2} V_{\Phi}(t) dt \quad \quad \quad \mathbf{3.8}$$

$$V_0 = \frac{2}{T_i} \int_0^{T_i/2} V_{\Phi}(t) dt \quad \quad \quad \mathbf{3.9}$$

$$V_0 = \frac{2}{T_i} \Delta \quad \quad \quad \mathbf{3.10}$$

L'équation 3.10 montre que V<sub>0</sub> est proportionnel à la différence de phase ΔΦ entre le signal d'entrée et le signal sortie de l'oscillateur. Le rôle du détecteur de phase numérique 'PD\_XOR' consiste à faire la différence de phase entre ces deux entrées.

$$\Delta = \quad \quad \quad \mathbf{3.11}$$

$$\Delta = \frac{\Delta}{f} \cdot 2\pi \quad \quad \quad \mathbf{3.12}$$

En prenant quatre points remarquables de déphasage (0, π, 3π/2 et π/2) et en utilisant l'équation 3.12, nous allons obtenir les résultats suivants :

$\Delta t$ (s)	$\Delta\Phi$ (rad)
0	0
$T_{\text{clock}}/2$	$\pi$
$T_{\text{clock}}/4$	$\pi/2$
$3T_{\text{clock}}/4$	$3\pi/2$

Tableau 3. 2. Les points remarquables du PD\_XOR.

La figure 3.6 représente les signaux de sortie résultants dans chacun des quatre points de déphasage précédents.

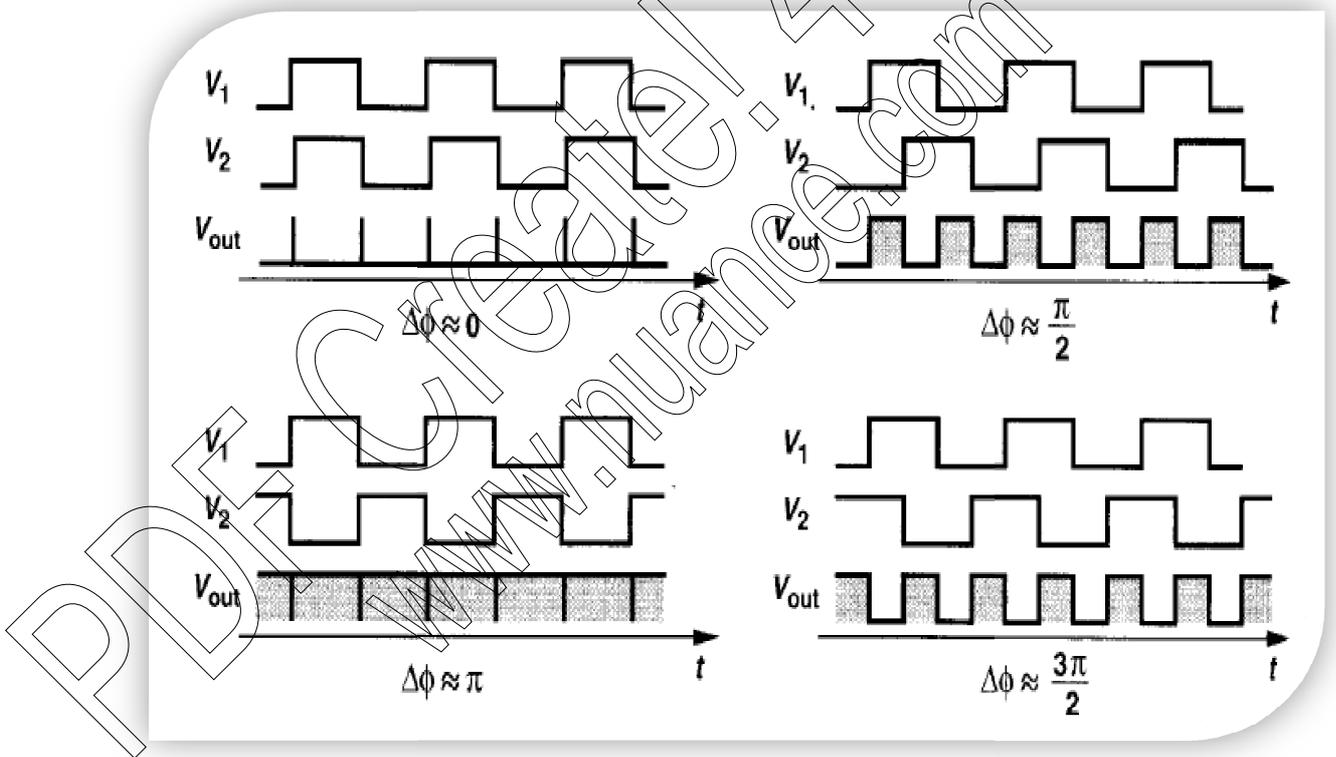


Figure 3. 6. Les différents états du PD\_XOR.

Le gain ou la sensibilité du PD est donnée par :

$$= \frac{1}{\pi}$$

3.13

Cette expression est valide pour  $0 \leq \Phi \leq \pi$ .

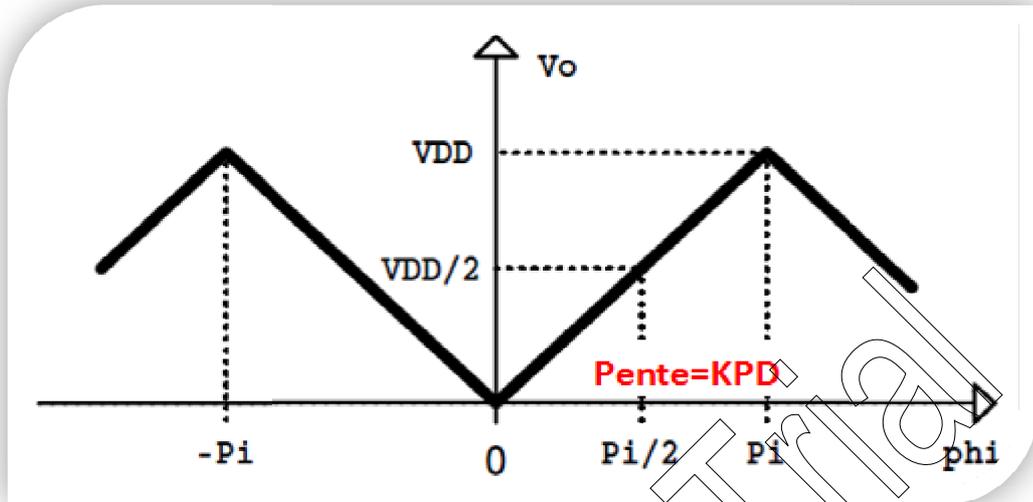


Figure 3. 7. Fonction caractéristique de PD\_XOR.

La figure 3.7 représente un exemple de fonctionnement du PD\_XOR.

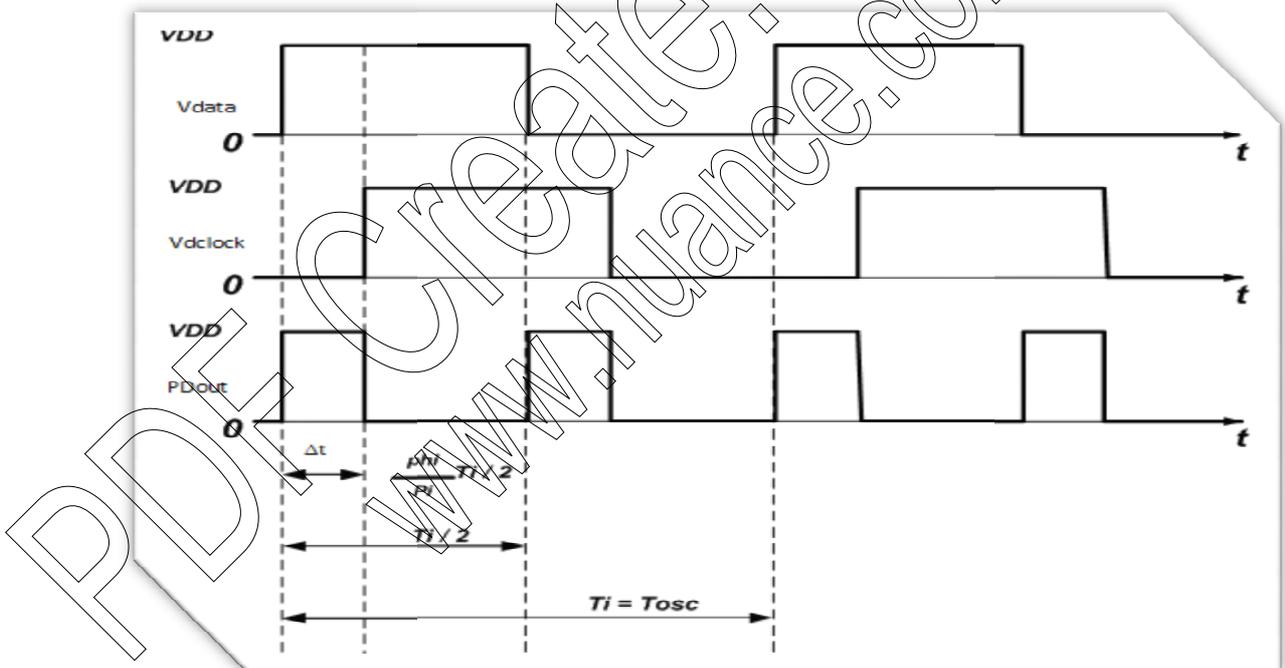


Figure 3. 8. Exemple de fonctionnement du PD\_XOR.

- ❖ **Le détecteur de phase séquentiel** connu aussi sous l'appellation 'flip flop' utilise comme circuit de base une bascule RS déclenchée sur front montant, comme nous pouvons trouver des variantes utilisant une ou plusieurs bascule D ou JK. La figure 3.5 illustre ces trois types de PD [16].

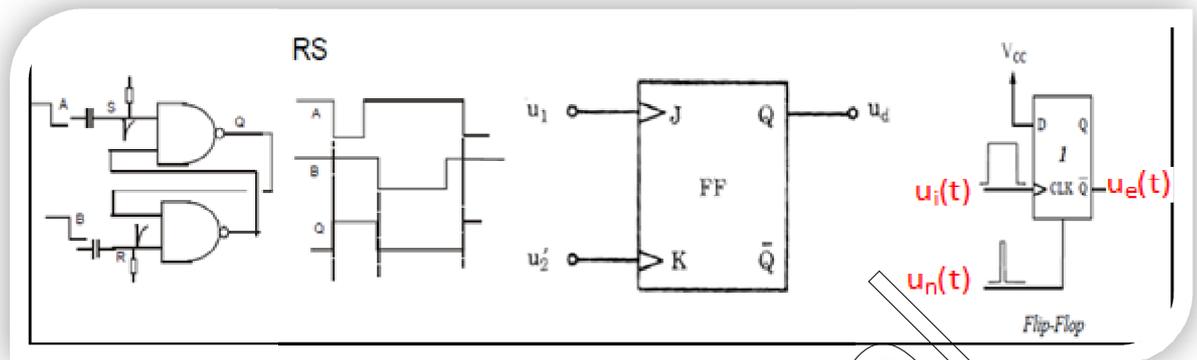


Figure 3. 9. Détecteurs à base de bascule RS, JK et D.

Les signaux dont on veut comparer les phases sont injectés respectivement sur les entrées S (CLK) et R des bascules. La bascule est déclenchée sur front montant par l'impulsion du signal d'entrée  $u_i(t)$  qui sert d'horloge. Pour les détecteurs de phase séquentiels l'impulsion n'a pas d'importance (pas d'hypothèse sur le rapport cyclique). En revanche, l'impulsion  $u_n(t)$  appliquée à la deuxième entrée forçant la mise à zéro (R) doit avoir une largeur faible [11] [17]. Le signal de sortie  $u_e(t)$  a une période identique à celle de chacun des signaux d'entrées [17].

Le gain des comparateurs séquentiels s'écrit sous la forme suivante :

$$= \frac{1}{2}$$

3.14

Cette équation est valable entre  $-\pi \leq \Phi \leq \pi$ .

### b Filtres de boucle LPF

Le filtre inséré dans la boucle après le PD à un rôle double :

- Pour garantir le filtrage du signal de sortie du comparateur PD ; en d'autre terme éliminer les harmoniques et ne laisse que la valeur moyenne du signal d'entrée du filtre (LPF).
- Il intervient dans la fonction de transfert globale de la PLL et il permet de contrôler les performances de la boucle, en particulier sa stabilité. Le filtre se comporte comme un correcteur de déphasage, c'est-à-dire, il avance et retarde la phase ou encore les composantes passe-haut et passe-bas de sa fonction de filtrage. [18]

Souvent un filtrage trop peu rigoureux laisse passer des altérations de la fréquence de comparaison que nous pouvons trouver en pied de porteuse. Pour cela, il faut bien choisir le bon filtre. Les filtres utilisés dans une PLL peuvent être *passif* ou *actif* [16].

Nous allons décrire brièvement chaque type.

#### **Filtres actifs**

Le filtre actif est réalisé à l'aide d'amplificateur opérationnel, des résistances et des capacités. L'usage du filtre actif demeure dans le fait qu'il autorise la maintenance de la tension de sortie de PD au mode commun tandis que la tension de commande de l'oscillateur varie entre les extrémités supportées par l'amplificateur. Toutefois, l'emploi d'un filtre de boucle actif introduit le bruit de phase de l'amplificateur dans la PLL. En effet, le bruit retrouvé dans la boucle en dessous de la fréquence du filtre sera celui de l'amplificateur non pas celui du comparateur. Cette structure est typiquement utilisée avec un détecteur séquentiel [16] [19].

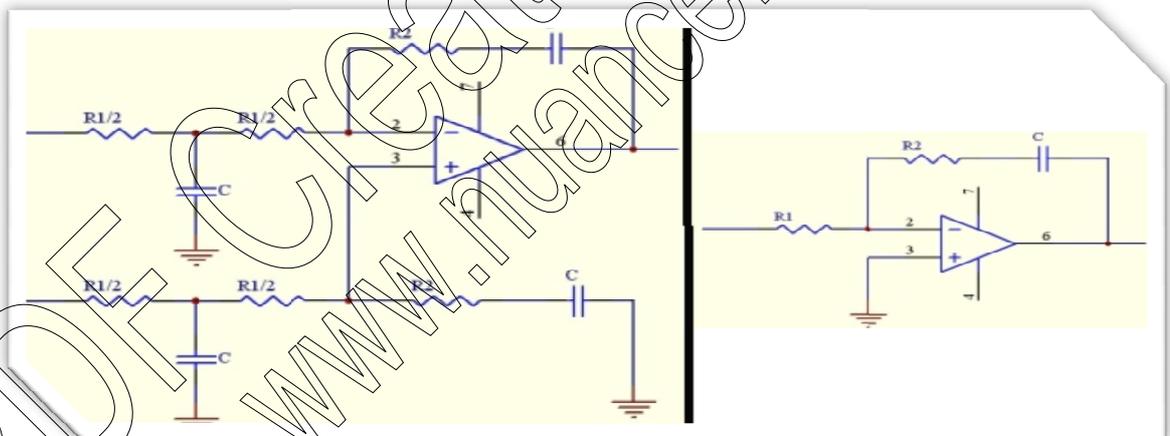


Figure 3. 10. Exemples de filtres actifs.

#### **Filtres passifs**

Les filtres passifs sont les plus couramment utilisés dans la littérature, principalement les filtres du premier et deuxième ordre, en raison de leurs simplicités et performances suffisantes. Le deuxième avantage de ce type de filtre, c'est que nous pouvons les introduire dans n'importe quelle classe de boucle (analogique, numérique ou hybride). Le seul inconvénient est la nécessité de s'assurer d'avoir la tension de sortie du PD aussi proche du mode commun que cela est possible [8].

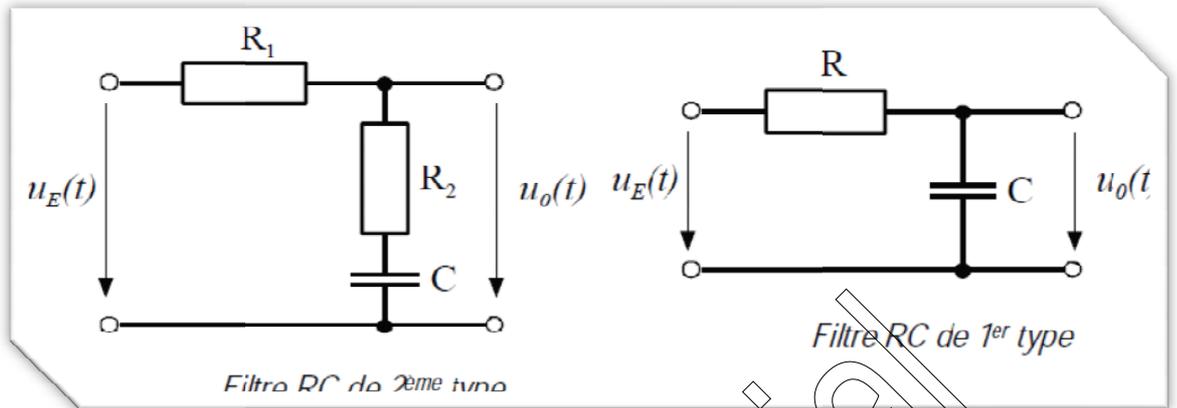


Figure 3. 11. Filtre du 1<sup>er</sup> ordre et du 2<sup>ème</sup> ordre

➤ **La fonction de transfert du filtre**

La fonction de transfert d'un tel type de filtre est donnée par cette équation :

**1<sup>er</sup> ordre**

$$G(s) = \frac{U_o(s)}{U_E(s)} = \frac{R_2}{R_1 + R_2 + sRCR_2} \quad 3.15$$

Avec

$$\tau = RC \quad 3.16$$

$U_o(t)$ ,  $U_E(t)$  et  $\tau$  représentent respectivement la tension de sortie, la tension d'entrée et la constante du temps du filtre.

La fréquence de coupure du filtre est donnée par :

$$f_c = 1/\tau \quad 3.17$$

**2<sup>ème</sup> ordre**

$$G(s) = \frac{U_o(s)}{U_E(s)} = \frac{R_2}{R_1 + R_2 + sRCR_2 + s^2R_1R_2C^2} \quad 3.18$$

$$1 = 1 \quad 2 = (1 + 2) \quad 3.19$$

**c Oscillateur contrôlé en tension (VCO)**

✚ **Généralités sur le VCO**

Le terme VCO est l'abréviation du **V**oltage **C**ontrolled **O**scillator, en français, l'oscillateur contrôlé en tension (OCT). Il a pour activité de transformer une tension injectée sur l'entrée en un signal modulé en fréquence en sortie. Ces applications sont

multiples spécialement dans les systèmes de communication, telles que la génération de fréquence ou la modulation du signal à émettre [19].

Plusieurs paramètres définissent le comportement du VCO, citons quelques un.

- Le gain de l'oscillateur en Hz/V : représente la pente de la variation de fréquence en fonction de la variation de la tension appliquée pour contrôler l'OCT.
- Pilotage monotone : la fréquence varie de façon monotone sur l'ensemble de la plage de fréquence.
- Rapport cyclique : c'est le rapport entre la durée d'un état haut et la période de l'oscillateur. Sa valeur doit être très proche de 0.5 pour la génération d'horloge.
- Atténuation des fréquences harmoniques : les efforts d'atténuation se porte sur la seconde harmonique.
- Variation de la fréquence de sortie due à la variation de la tension d'entrée.
- Variation de la fréquence de l'OCT en fonction de la variation de la charge connectée en sortie.
- Bruit de phase SSB (Single Side Band ou Bande Unique) : il s'agit de bruit de phase en dBc/Hz.

#### ✚ **Architecture des VCOs**

- ❖ **Les oscillateurs harmoniques** Ils sont constitués d'un résonateur est un amplificateur de bruit. Le circuit résonnant est un quartz ou un circuit LC dont sa fonction consiste à sélectionner la fréquence d'oscillation. Ces oscillateurs ont l'avantage d'avoir un excellent bruit de phase mais leur inconvénient est qu'ils ne peuvent pas être entièrement intégrés [13] [21].

Le schéma de principe pour ce type d'OCT est présenté dans cette figure.

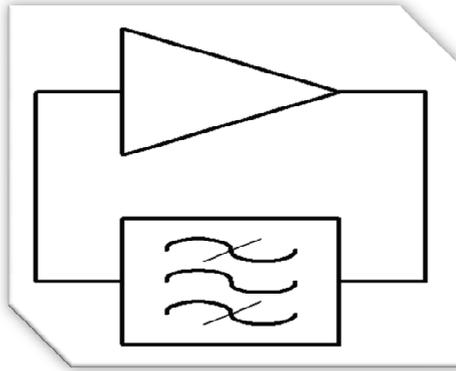


Figure 3.12. Schéma de principe des oscillateurs harmoniques.

➤ **Résonateur à quartz VCXO ( Voltage Controlled Cristal Oscillator)**

Ces oscillateurs sont des VCOs utilisant le quartz (VCXOs) comme circuit résonnant. Le quartz est modélisé par un circuit RLC équivalent présenté dans cette figure.

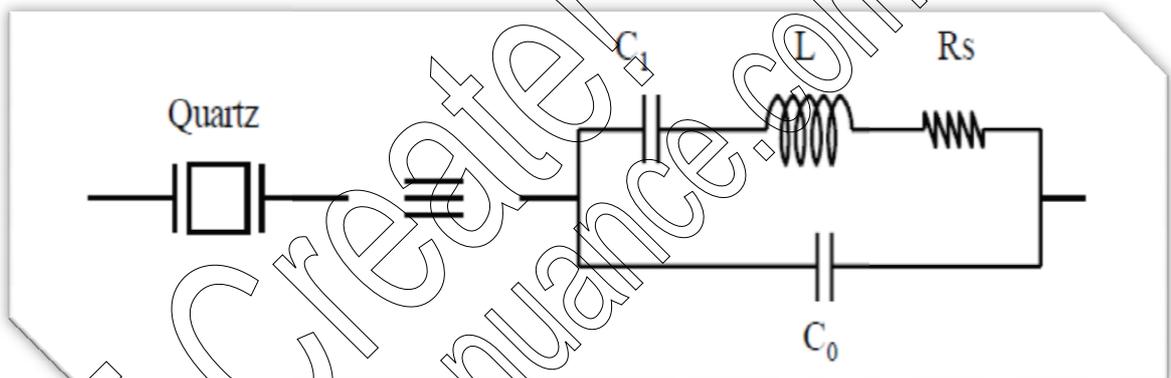


Figure 3.13. Le résonateur VCXO.

La fréquence de résonance correspondante est :

$$= 1 / \sqrt{[C_0 + (C_1 L)] / C_1}$$

3.20

Les VCXOs utilisent les propriétés vibratoires du cristal pour générer les oscillations.

L'avantage primordial est la très grande stabilité de leur structure pour un faible coût.

Les facteurs de qualité des résonateurs à quartz sont très élevés par rapport aux résonateurs LC. Pour une application qui n'utilise pas une seule fréquence, la faible excursion en fréquence lui fait perdre tout intérêt (très précis). De plus, il dépend du fournisseur qui peut arrêter la fabrication des composants ou même les modifier totalement pour s'adapter à un autre quartz [7].

➤ **Résonateur LC**

Le principe est le même que pour un oscillateur à quartz. Ce deuxième type d'oscillateur harmonique se base sur la fréquence de résonance d'un filtre LC.

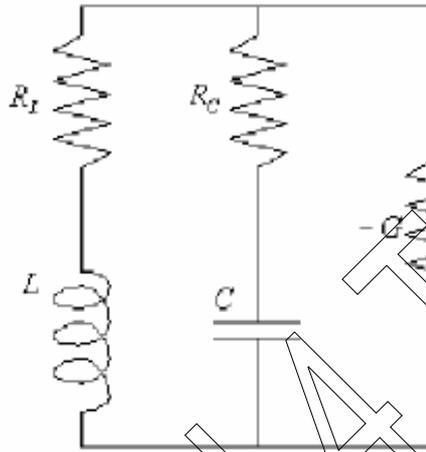


Figure 3.14. Résonateur LC.

Son but consiste dans la compensation des pertes dues au circuit résonant LC. Pour cela, un circuit actif sous forme d'une conductance négative  $-G$  de valeur minimale donnée par l'équation :

$$R_L = \left( \frac{1}{2} + \frac{R_C}{R_L} \right) \cdot \left( \frac{L}{C} \right) \quad (3.21)$$

L'avantage des oscillateurs LC est leur faible bruit de phase et faible vibrations à haute fréquence, c'est pourquoi, sont très exploités en radiocommunication. Mais ils représentent des inconvénients: la très grande surface, une plage d'utilisation petite et la consommation de beaucoup d'énergie. Notons qu'il existe deux types de résonateurs LC dont la différence entre eux consiste dans la structure du circuit actif (simple ou différentiel) ainsi que la structure du résonateur [20].

- ❖ **Les oscillateurs à relaxation** Ils peuvent être sous forme intégrée (à amplificateur opérationnel) pour une fréquence maximale de quelques centaines de KHz ou sous forme de circuit à transistors au-delà du MHz. Ils sont composés des éléments suivants: des générateurs de courant pour commandés la tension d'entrée, un condensateur (charge et décharge) et un

trigger de schmitt qui bascule en fonction de la tension aux bornes du condensateur pour le contrôle de la charge/décharge [20].

La sortie du trigger génère des signaux carrés et triangulaires, mais il est possible de générer des signaux sinusoïdaux en ajoutant à l'ensemble un conformateur à diode. La période de ces signaux dépend de l'intensité du courant utilisée par ces éléments [20].

Le schéma principal de cette configuration est montré dans la figure suivante.

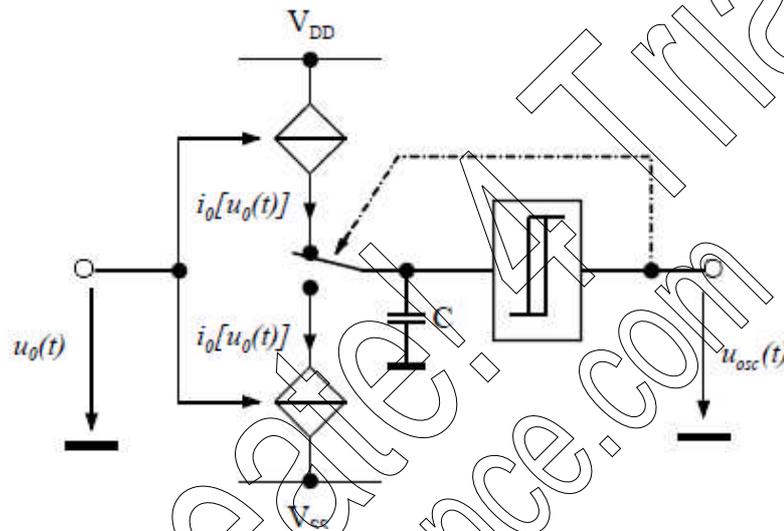


Figure 3. 15. Résonateur à relaxation.

La fréquence d'oscillation dépend du condensateur, du courant et de la différence entre les tensions du seuil du comparateur

$$= \frac{1}{C \cdot (V_{CS} - V_{DD})}$$

3.22

❖ **Les oscillateurs en anneau** Les oscillateurs en anneau sont très répandus comme VCOs intégrés. Il s'agit de l'oscillateur le plus simple à intégrer et qui fournit la plus grande excursion en fréquence. En revanche, ce montage représente un bruit de phase relativement élevé. Ce type de structure est basé sur un certain nombre de cellules connectées en série avec une boucle fermée sous forme d'anneau. Ces cellules représentent principalement un nombre 'K' impair d'inverseurs et ils sont généralement tous identiques. Deux espèces d'oscillateur en anneau existent : à simple chaîne d'inverseurs et à anneau différentiel [19].

Le délai de propagation de chaque inverseur est :

$$= \frac{t_{pd}}{N} \quad 3.23$$

D'où, la période d'oscillation est égale à :

$$= 2 \cdot \frac{t_{pd}}{N} \quad 3.24$$

➤ **Oscillateur à simple chaîne d'inverseurs**

Il définit l'oscillateur en anneau le plus basique, puisque sa structure est une simple chaîne d'inverseurs, avec la sortie du premier inverseur est injectée dans l'entrée de celui qui suit jusqu'à la sortie du dernier inverseur qui est liée à l'entrée du premier. Son schéma est illustré ci-dessous [8].

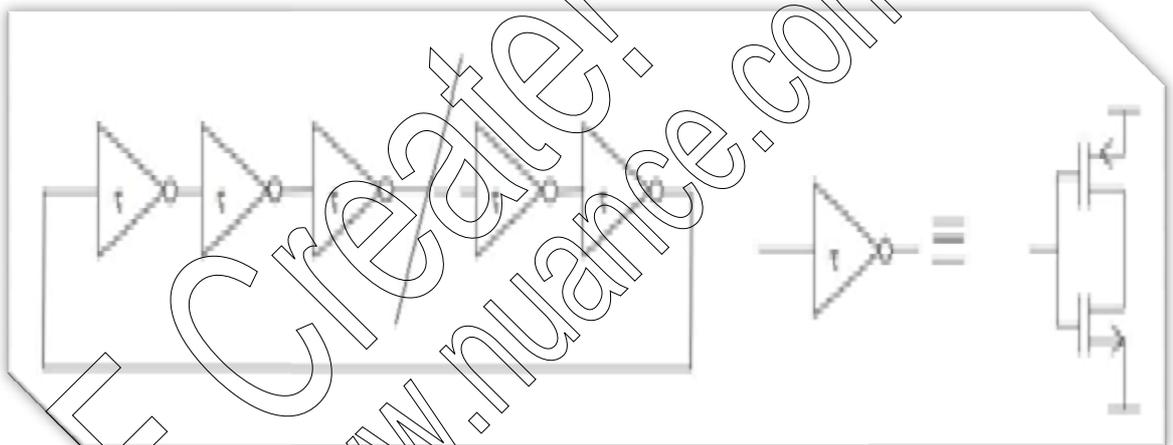


Figure 3-16. Oscillateur à simple chaîne d'inverseurs.

Pour que ce montage soit utile, la fréquence d'oscillation doit être contrôlée. Comme c'est montré dans l'équation 3.23, le paramètre qui affecte cette fréquence est le nombre d'étages et le délai de propagation. Le seul choix que nous avons est de contrôler la quantité de courant disponible pour la charge/décharge des capacités de charge se chaque étage inverseur. Ce type de circuit est connu sous l'appellation 'Current Starved Inverter'. Ainsi, la cascade d'inverseurs constitue le 'Current Starved VCO' [21].

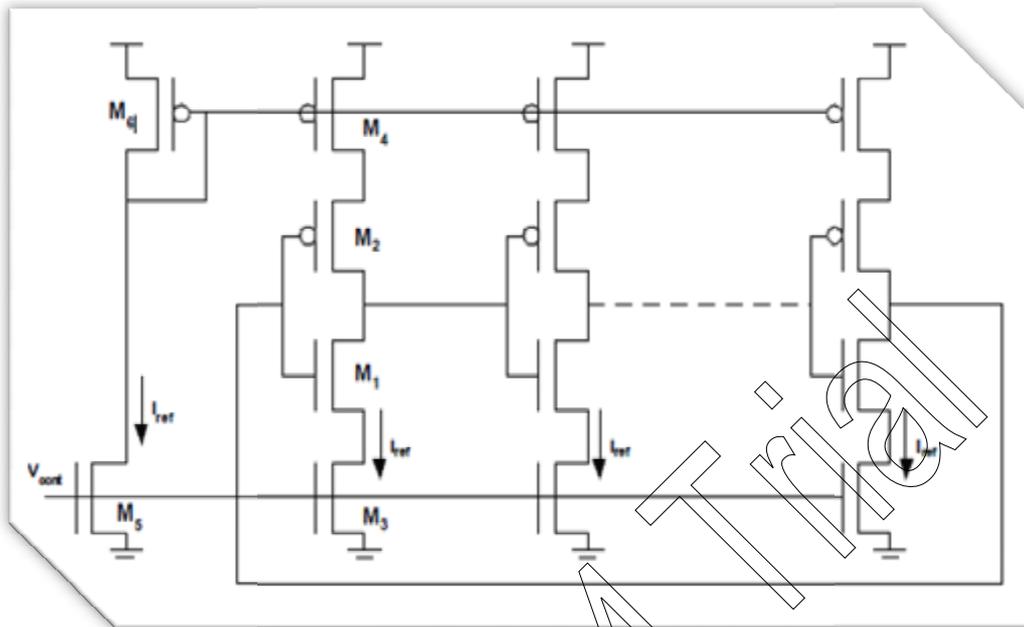


Figure 3. 17. Oscillateur à inverseurs à trois états (tristate).

➤ **Oscillateur à anneau différentiel**

Pour ce type d'oscillateur, il existe un croisement de phase dans la boucle. C'est pourquoi cette structure est dite différentielle. Cette fois, le nombre d'étages de retard peut être pair ou impair. Ils sont très utilisés dans des applications qui nécessitent beaucoup de phases. Le bruit de phase est très inférieur aux exigences des standards de communication sans fil [20].

**d Le diviseur de fréquence**

Un diviseur de fréquence relie sa fréquence d'entrée à sa fréquence de sortie par un facteur de division. Il est responsable de la mise à l'échelle de la fréquence dans la boucle. Le facteur de division peut être un nombre entier dans la PLL comme il peut être sous forme fractionnaire. Il se place après le VCO, juste avant l'entrée qui provient de la chaîne de retour.



Figure 3. 18. Schéma fonctionnel d'un diviseur de fréquence

La fonction de transfert du diviseur de fréquence est :

$$— =$$

### 3.7 Terminologies sur les PLLs

En asservissement, Le principe de fonctionnement de la PLL n'est pas assuré pour n'importe qu'elle fréquence du signal d'entrée mais il existe des caractéristiques de fonctionnement correct de la PLL.

#### 3.7.1 Plage de verrouillage

Elle est dite aussi plage de *maintien* ou encore plage de *poursuite*, en anglais, Lock Range ou Tracking Range. Elle est définie comme la différence de fréquence maximale entre l'entrée de la PLL et la fréquence du VCO pour lequel le verrouillage est réalisable, en supposant la PLL initialement déverrouillée. La plage de verrouillage est affectée par la non linéarité du comparateur de phase et du VCO [6].

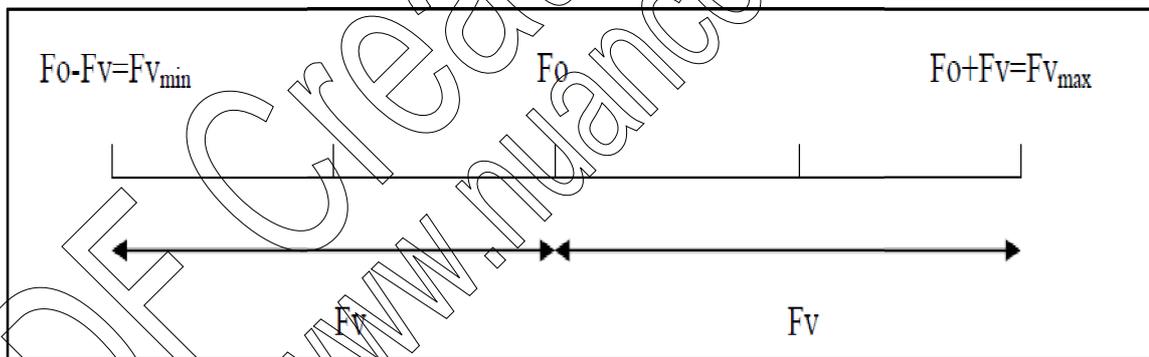


Figure 3. 19. Plage de verrouillage d'une PLL.

Le **temps de verrouillage**, en anglais, *Lock Time* représente le temps nécessaire afin que le verrouillage se produise. Pour les fréquences inférieurs à cette valeur, le verrouillage ne se produit pas, par contre, pour les valeurs de fréquences supérieurs le verrouillage peut se produire mais après un temps plus long [8].

#### 3.7.2 Plage de capture

Nous l'appelons aussi plage d'accrochage ou d'acquisition, en anglais *Pull in range* ou *acquisition range*. Elle correspond à l'écart de fréquence par rapport à la fréquence

centrale à partir duquel la PLL se verrouille. C'est donc, la plage d'acquisition de l'asservissement donnant la gamme de fréquence dans laquelle nous pouvons verrouiller le VCO en démarrant des zones de fréquences où l'oscillateur n'est pas verrouillé [6].

Nous trouvons deux limites de part et d'autre de la fréquence centrale 'f0' entre lesquelles le VCO va être accroché.

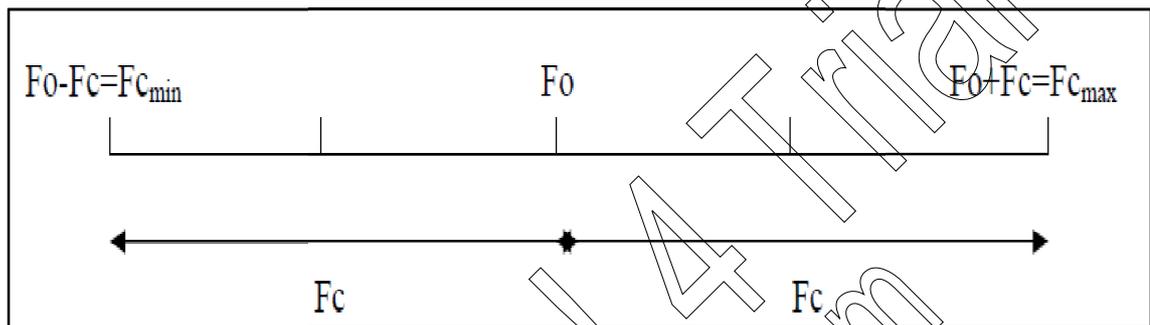


Figure 3. 20. Plage de capture d'une PLL.

Notons les remarques qui suivent :

- En absence du signal d'entrée (data), le VCO oscille librement sur sa fréquence centrale.
- La largeur de la plage de capture est liée à la fréquence de coupure du LPF.
- Généralement, la plage d'acquisition est inférieure ou égale à la plage de verrouillage.

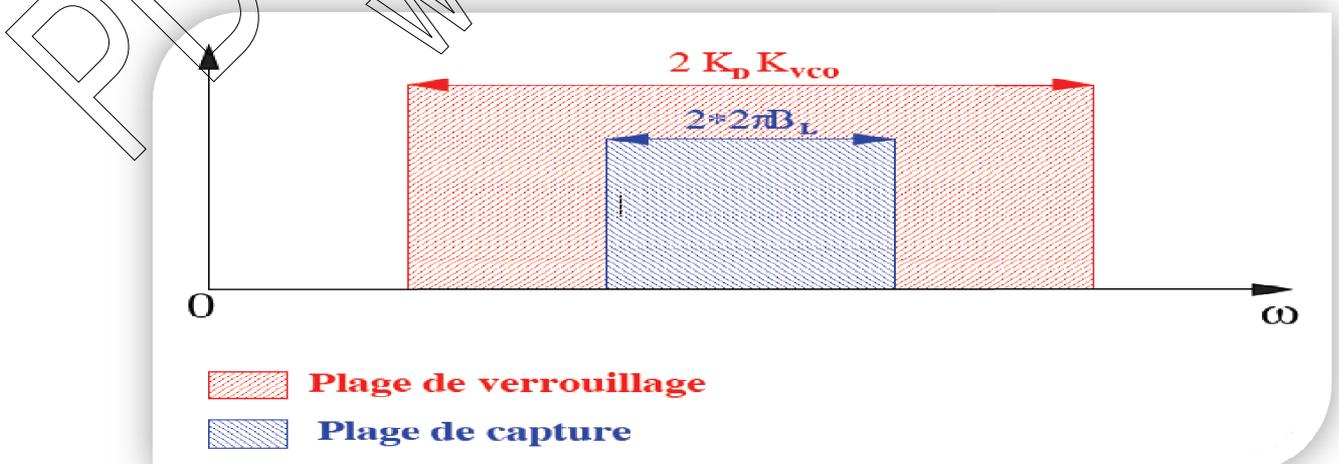


Figure 3. 21. Comparaison entre les deux plages.

### 3.7.3 Le bruit de phase

Le bruit de phase, connu aussi sous le nom **SSBPN (Single Side Band Phase Noise)** est un bruit qui est considéré symétrique de chaque côté de la porteuse. Par définition, c'est un rapport de puissance : la puissance dans une bande passante 1Hz d'une fréquence  $f_m$  éloignée de la porteuse à la puissance de la porteuse elle-même. Comme illustré dans cette figure.

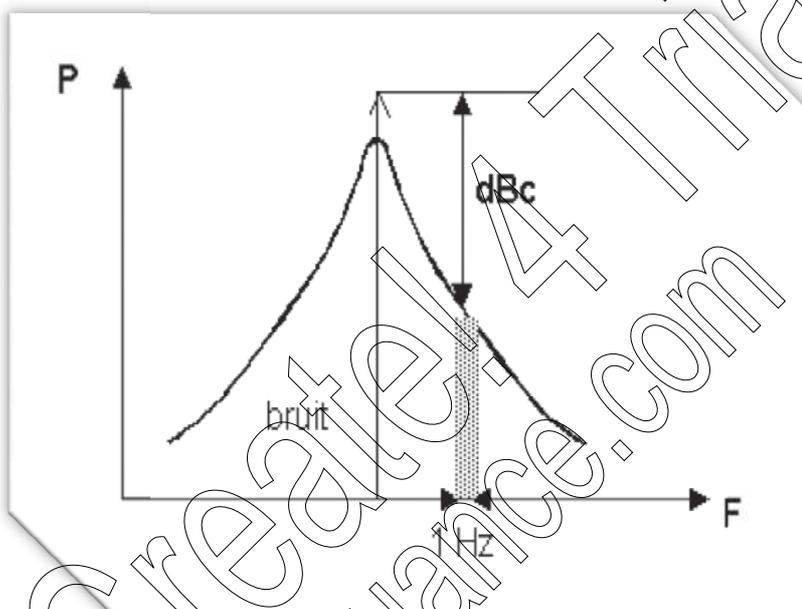


Figure 3. 22. Le bruit de phase

L'unité de ce type de bruit est [dBc/Hz].

[dBc/Hz] signifie dB par rapport à la porteuse par Hz =  $10 \log (P_n/P_c)$ ,

$P_n$  : la puissance du bruit à un écart de fréquence  $f$  dans une bande passante de 1Hz,

$P_c$  : puissance de la porteuse.

C'est le critère le plus important dans la conception des PLLs. Il est représenté dans la figure suivante.

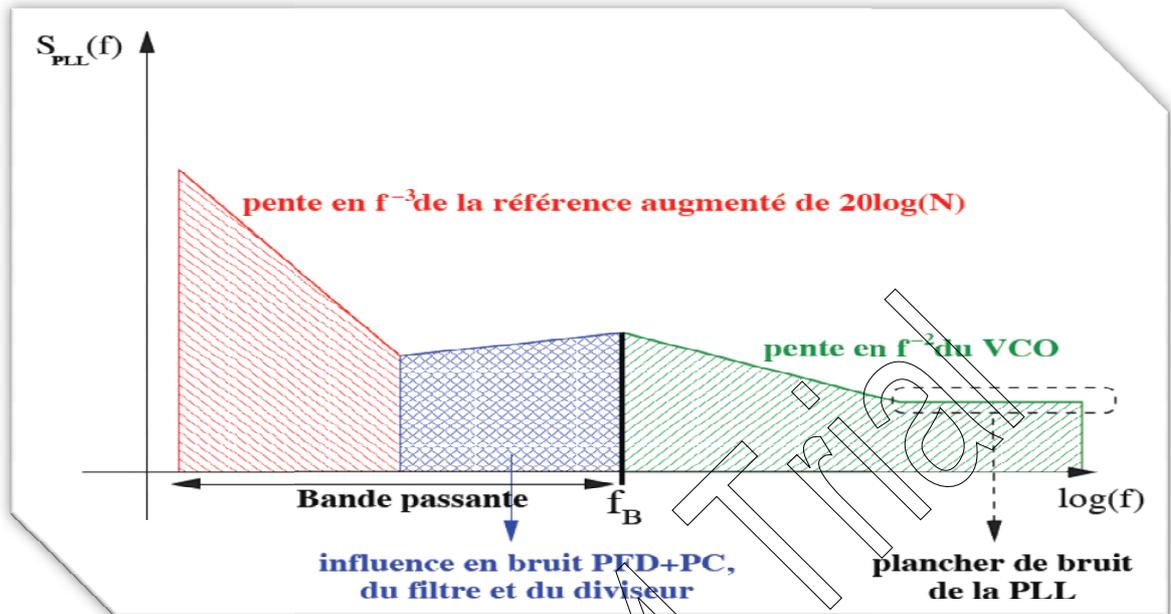


Figure 3. 23. Spectre théorique du bruit de phase en sortie de la PLL

### 3.8 Conclusion

Dans ce chapitre, nous avons abordé une description qualitative de la boucle à verrouillage de phase (PLL) qui représente un élément essentiel dans différents domaines et multiples applications. Grâce à la possibilité d'être incorporé dans une puce unique, la PLL est devenue l'un des besoins les plus inévitables dans les systèmes électroniques modernes parmi lesquels le téléphone cellulaire mobile est un exemple frappant. Une conception de la boucle peut nous aider à mieux comprendre l'étude théorique faite.

# Chapitre 4 Conception et simulation d'une DPLL

---

## 4.1 Introduction

Dans ce dernier chapitre nous allons décrire les différentes étapes de notre conception et simulation. Nous commençons par décrire la conception des différents étages constituant notre PLL numérique. Pour valider chaque étage, plusieurs simulations sont réalisées. Par la suite, nous présentons la conception du synthétiseur réalisé en utilisant la DPLL que nous avons conçue, et enfin nous présentons les simulations et mesures effectuées pour évaluer notre DPLL d'une part et d'autre part notre synthétiseur de fréquence.

Il est important de mentionner que nous nous sommes basés sur l'architecture classique d'une PLL numérique présentée par Razavi [24 - 26]. Par contre, nous nous sommes basés sur le brevet Américain inventé par Nishikido en 2004 de la compagnie NEC [26] pour concevoir notre Current-Starved VCO. Le choix de ce type de VCO est basé sur le fait qu'il présente une structure très simple à réaliser d'une part et d'autre part, il permet d'obtenir une très fine résolution de délais. Cela résulte des grandes fréquences d'opérations contrairement à une approche classique où un VCO est constitué de simples inverseurs.

Nous avons utilisé les différents outils offerts par le logiciel CADENCE; pour notre projet, nous avons réalisé les différentes conceptions en technologie CMOS 1 $\mu$ m en exploitant le Design Kit CDTA. De plus, nous avons profité de la bibliothèque "AnalogLib" offerte par Cadence.

Le cahier des charges utilisé pour notre boucle à verrouillage de phase numérique présente les caractéristiques suivantes : un temps de verrouillage est  $\Delta T_{lock} = 1.76\mu s$ ,

sa plage de verrouillage est entre [50.487 – 62.764] MHz et sa plage de capture appartient à [4.12 - 104] MHz.

## 4.2 Architectures et opérations

La PLL numérique est un type très utilisé pour synchroniser les signaux numériques. Elle a prouvé qu'elle est un système asservi inestimable dans la conception. Les composants de base de ce système sont :

- Le détecteur de phase 'OU exclusif'.
- Le filtre passe bas.
- L'oscillateur contrôlé en tension.
- Diviseur (pris unitaire pour la DPLL et 2 pour le synthétiseur).

L'architecture générale qui englobe toute la DPLL est illustrée dans la figure 4.1.



Figure 4. 1. Schéma bloc de la DPLL

Il faut tous d'abord expliquer les différents phénomènes intervenant dans chaque bloc séparément, puis faire leurs analyses et simulation. Si les résultats trouvés sont satisfaisants, nous allons passer aux paramètres définissant notre DPLL.

Pour se faire, l'application CADENCE doit être lancée. Nous avons besoin de créer une nouvelle librairie qui contiendra l'ensemble de nos cellules (fenêtres). Dans notre cas, la librairie créée est appelée '**PLL\_2012**'.

Pour finir, il faut sélectionner la bonne technologie : CMOS 1 $\mu$ m, puis, cliquer sur **OK**. Le milieu de travail est prêt à être employé.

Initialement nous avons commencé par prendre la largeur des transistors NMOS égale à 5  $\mu$ m par contre celle des transistors PMOS est au moins trois fois plus grande que celle du NMOS. En ce qui concerne la longueur L\_NMOS et L\_PMOS, la taille minimale du canal est choisie. Nous avons effectué plusieurs simulations paramétriques en variant la largeur de 5 $\mu$ m à 100  $\mu$ m afin d'aboutir à la largeur optimale W\_NMOS et W\_PMOS. Comme résultat, nous avons aboutit aux valeurs optimale suivantes :

**Transistor NMOS :** L\_NMOS=1 $\mu$ m et W\_NMOS=10 $\mu$ m,

**Transistor PMOS :** L\_PMOS=1 $\mu$ m et W\_PMOS=30 $\mu$ m.

Les valeurs précédentes sont prises pour tous les blocs, sauf pour l'étage de polarisation, les valeurs prises sont :

**Transistor NMOS :** L=1 $\mu$ m et W<sub>n</sub>=35 $\mu$ m,

**Transistor PMOS :** L=1 $\mu$ m et W<sub>p</sub>=100 $\mu$ m.

#### **4.2.1 PD\_XOR**

Le schéma que nous avons choisi est la porte logique 'OU exclusif ou XOR' basée sur des transistors PMOS et NMOS comme le montre la figure 4.2. Son principe de fonctionnement ainsi que sa table logique est expliqué dans le chapitre précédent. Pour réaliser le détecteur de phase, nous avons créé une nouvelle fenêtre nommée '**XOR\_PD**'. Le schéma de ce dernier est à base des transistors NMOS (L\_NMOS,

W\_NMOS) et PMOS (L\_PMOS, et W\_PMOS). Il contient aussi, deux entrées : *data* et *dclock* et une seule sortie *PD\_out*.

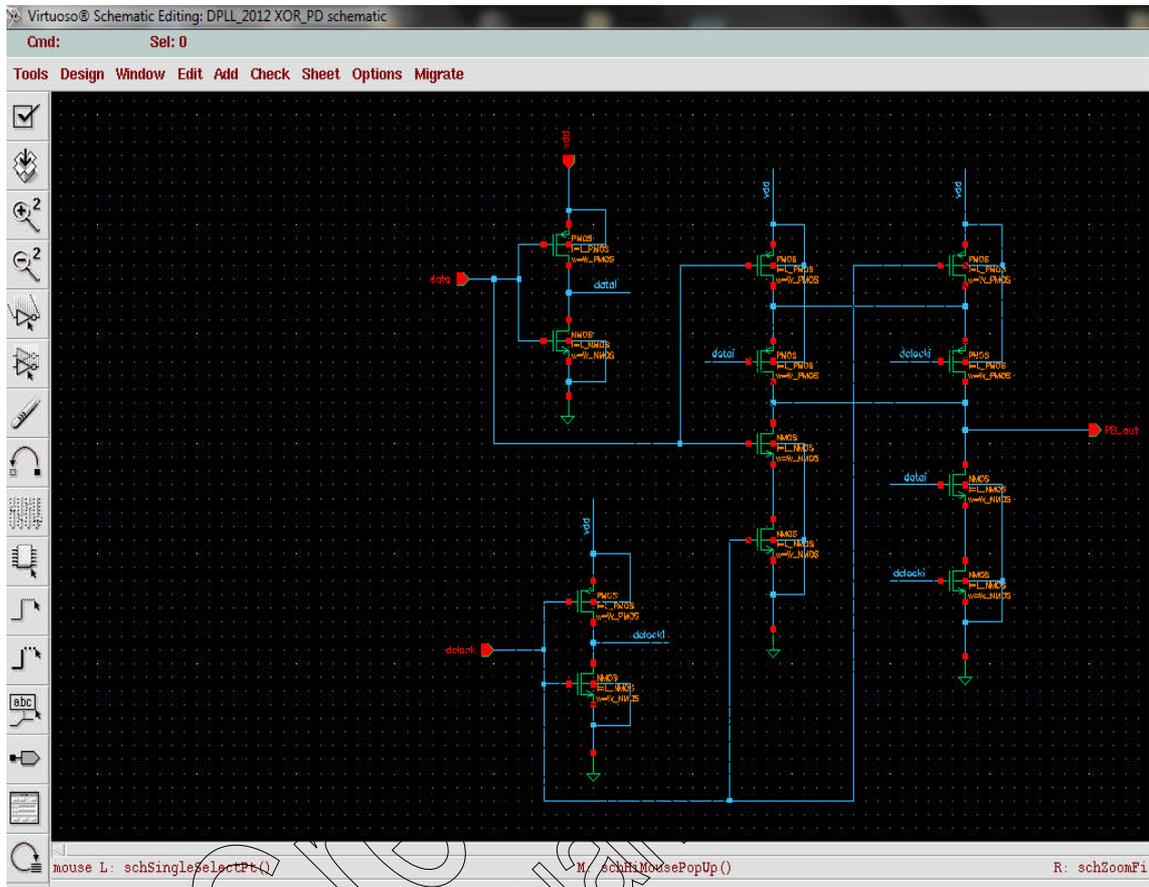


Figure 4. 2. Schéma électrique du PD\_XOR

Puisque les entrées sont des sources numériques, il faut remplir le champ les définissants : amplitude du signal ( $V_{in}$ ), le temps de montée (rise time 'Rt'), le temps de descente (fall time 'Ft'), la largeur des demis périodes (pulse width 'Pw') et enfin la période de nos signaux injectés.

$$\epsilon = + + 2. \quad 4.1$$

Le banc d'essai utilisé pour la simulation et la mesure des paramètres du comparateur de phase PD\_XOR est illustré à la figure 4.3.

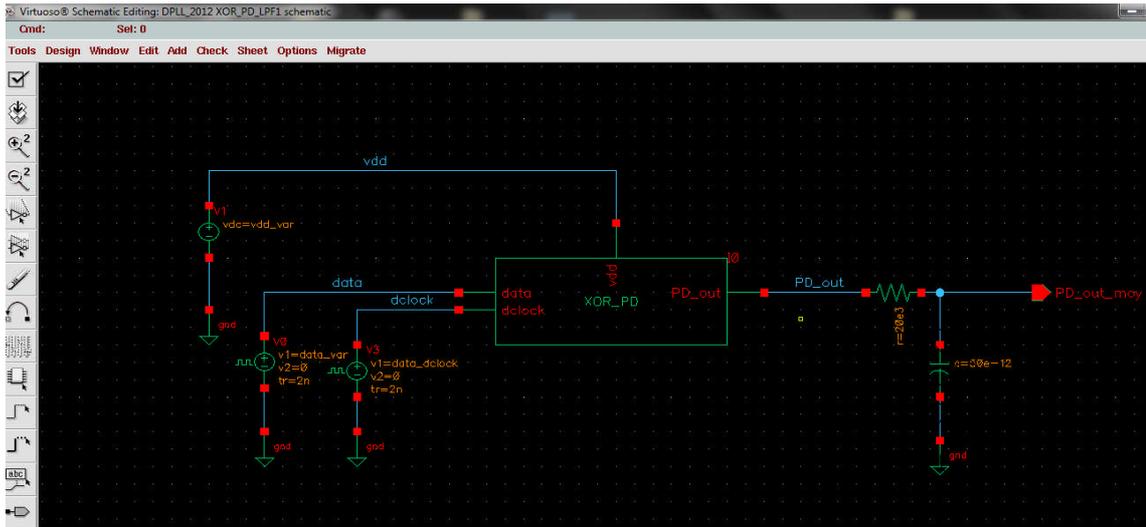


Figure 4. 3. Schéma du test du PD\_XOR

#### 4.2.2 Filtre de boucle

Le filtre utilisé dans notre PLL, est un filtre passe bas d'ordre 1, constitué d'une résistance (R) et d'une capacité (C). Les valeurs de ces deux variables doivent être choisies d'une manière qu'elles permettent la stabilité de la tension de contrôle du VCO et de telles sortes que des petits changements ou interférences résultants de la sortie filtrée du détecteur n'affectent pas le verrouillage de la boucle.

Ce filtre est caractérisé par sa fonction de transfert qui nous permet d'avoir le gain, la phase ainsi que la fréquence de coupure. Afin d'effectuer la simulation du LPF nous l'avons construit dans une nouvelle fenêtre 'LPF\_PLL', le schéma est le suivant :

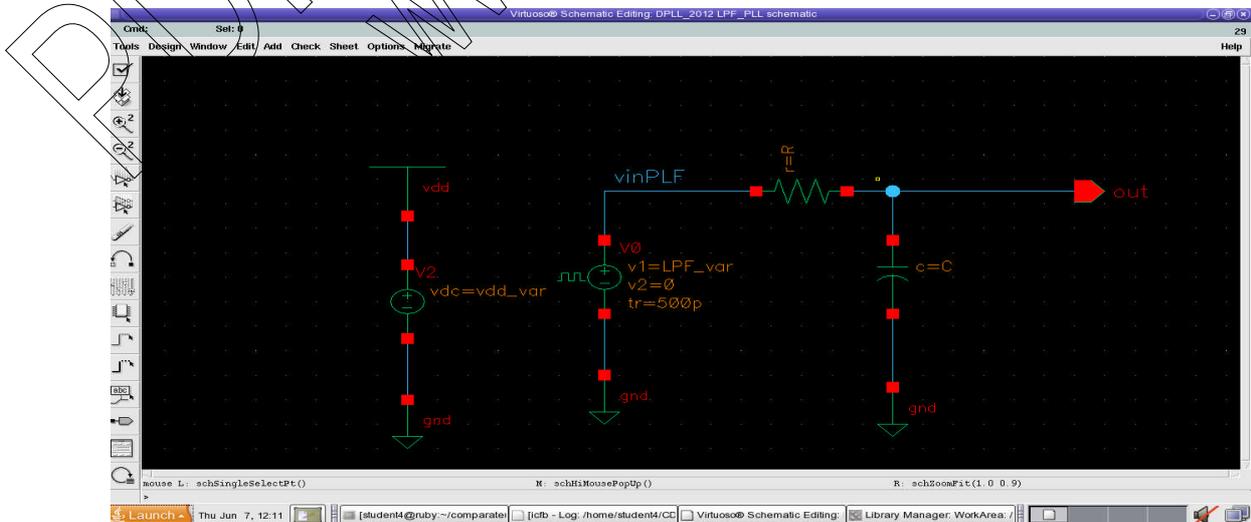


Figure 4. 4. Filtre du 1<sup>er</sup> ordre

### 4.2.3 L'oscillateur contrôlé en tension (VCO)

Le type du VCO exploité pour la conception de la boucle à verrouillage de phase numérique est l'oscillateur Current-Starved (CS-VCO). Il est inventé par Nishikido en 2004 de la compagnie NEC [26]. Le CS-VCO est composé principalement de deux sous-circuits : Le circuit de Polarisation et celui de l'oscillateur en anneau basé sur des inverseurs Current-Starved figure 4.5.

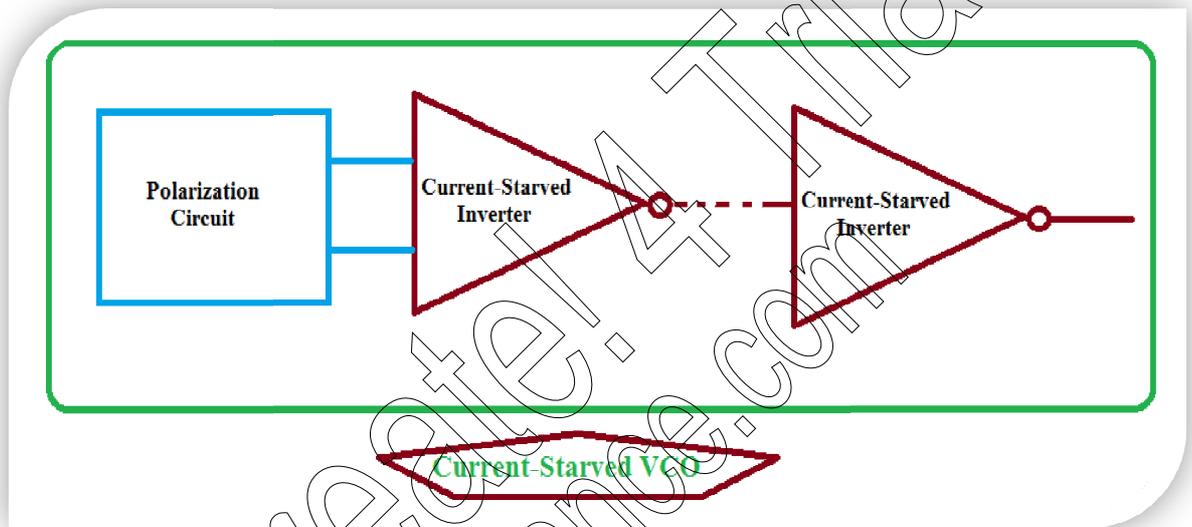


Figure 4. 5. Schéma bloc d'un Current-Starved VCO (CS-VCO)

Nous avons commencé par la réalisation du diagramme schématique de chaque inverseur Current-Starved (CS-Inverter); ensuite le circuit de polarisation et enfin le schéma du CS-VCO. C'est l'outil "Virtuoso Schematic" de Cadence qui a été utilisé.

Nous commençons, tout d'abord, par décrire la conception de notre inverseur CS. Il est composé d'un inverseur simple en plus de deux transistors PMOS et NMOS utilisés pour accueillir en entrée de chaque inverseur des tensions de polarisation  $V_{Pin}$  et  $V_{Nin}$  qui correspondent respectivement aux entrées de polarisation du transistor PMOS et de NMOS. Notons que Ces tensions sont générées à partir du circuit de polarisation que nous décrivons dans les sections suivantes.

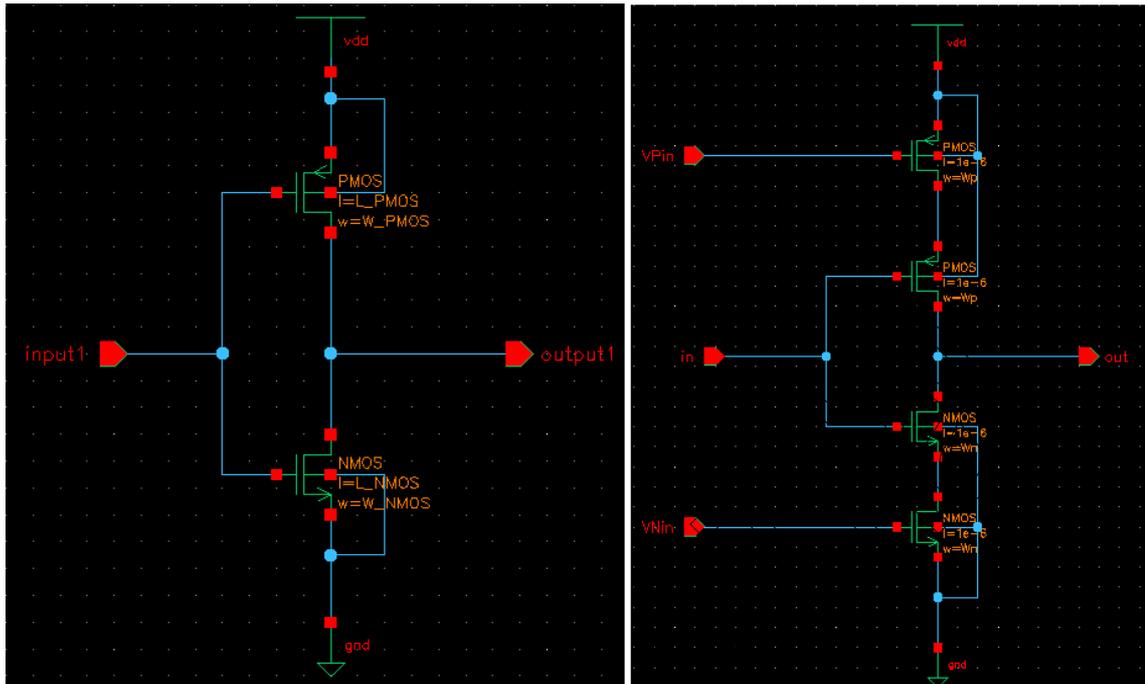


Figure 4. 6. Schéma électrique d'inverseur simple et d'inverseur Current-Starved

Il est important de mentionner pourquoi ce type d'éléments de délais (CS-Inverter) est utilisé dans les conceptions dédiées au domaine de télécommunication. Ces types d'inverseurs ont une structure simple avec un très large intervalle de délais de régulation; en d'autres termes, la résolution du délai est très fine et avec une telle structure on peut élargir les délais de chaque élément. Cela nous permet d'atteindre des fréquences d'opérations très grandes et ceci contrairement aux inverseurs simples. Mais, l'inconvénient majeur réside dans le fait que l'inverseur CS possède une fonction de transfert non linéaire, par conséquent, le VCO aura lui aussi une fonction de transfert non linéaire du moment qu'il est constitué de plusieurs étages CS-Inverter.

[1] [2] [3]

➤ **Comment rendre cette fonction de transfert linéaire?**

Pour remédier à ce problème de non linéarisation, plusieurs techniques existent en littérature, entre autres, des amplificateurs différentiels, miroir de courant,... etc. [1-4]

Pour rendre notre CS-VCO linéaire et pour générer les tensions de polarisation de chaque étage CS-Inverter, nous avons utilisé le circuit de polarisation illustré dans la figure 4.7. Ce dernier est un circuit de polarisation non-linéaire basé sur les

caractéristiques de la loi-carée d'un transistor en saturation. C'est ce circuit de polarisation qui va servir à polariser les deux entrées 'VPin' et 'VNin' de l'inverseur CS.

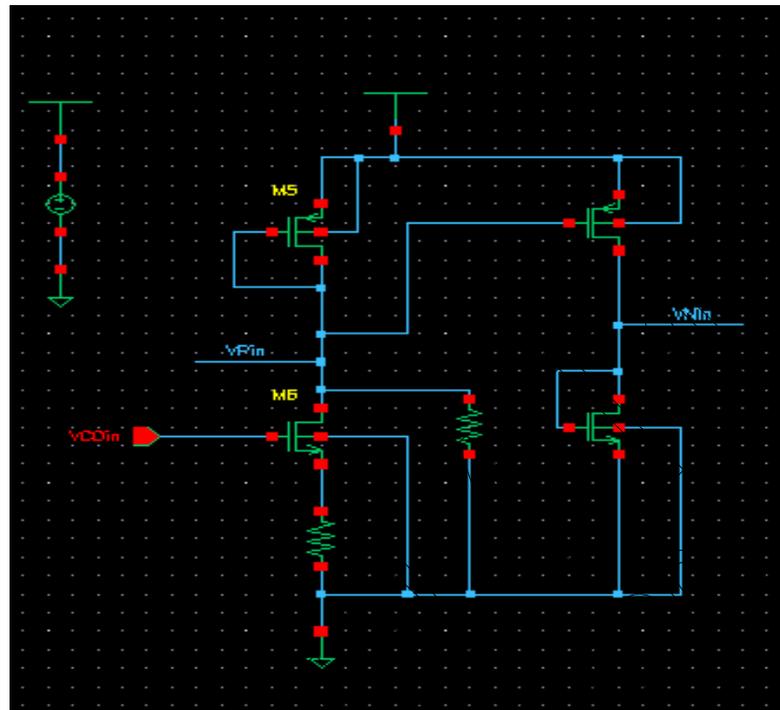


Figure 4.7. Schéma électrique du miroir de courant

Le schéma final du CS-VCO est représenté dans cette figure 4.8.

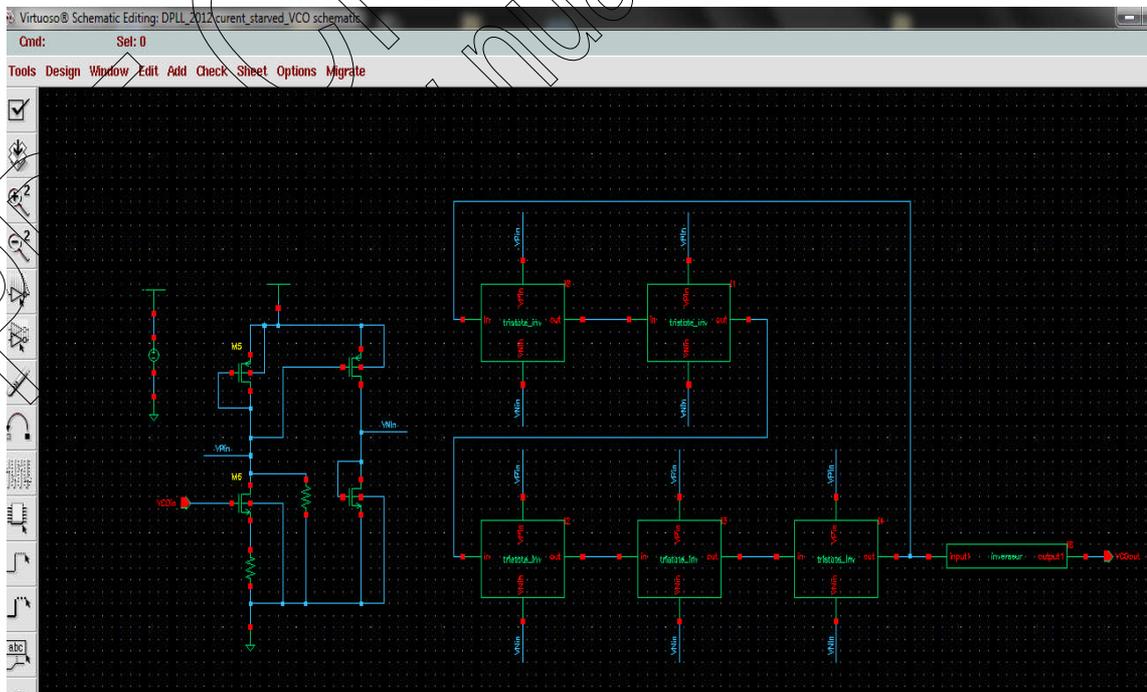


Figure 4.8. schéma électrique du CS-VCO

Finalement, nous pouvons décrire maintenant notre CS-VCO. Il est composé en entrée d'un circuit de polarisation, suivi de cinq (05) CS-inverseurs connectés en cascade et enfin un buffer de sortie. La chaîne d'inverseurs peut être considérée comme un oscillateur en anneau. Notons que le circuit de linéarisation est connecté en cascade avec le premier CS-Inverter. Le principe de fonctionnement de ce dernier consiste à contrôler la fréquence de sortie du VCO par la tension d'entrée.

Par la suite, le symbole schématisant ce CS-VCO a été créé pour permettre son exploitation plus tard lors de la conception de notre DPLL et/ou notre synthétiseur de fréquence.



Figure 4. 9. Symbole VCO

### 4.3 Tests et simulation

À ce stade, tous les sous-circuits constituant notre DPLL sont prêts à être simulés. Pour lancer une simulation, nous devons charger manuellement le modèle de chaque schéma, car il ne se fait pas automatiquement avec la technologie CMOS 1 $\mu$ . Nous procédons les étapes suivantes :

**Tools, analogue environnement, setup, Model Library, models, spectre, typical** puis **typical.m**. Le modèle apparaît comme représenté dans la figure 4.10. Pour finir, nous devons cliquer sur **OK**. Ainsi, le modèle est ajouté.

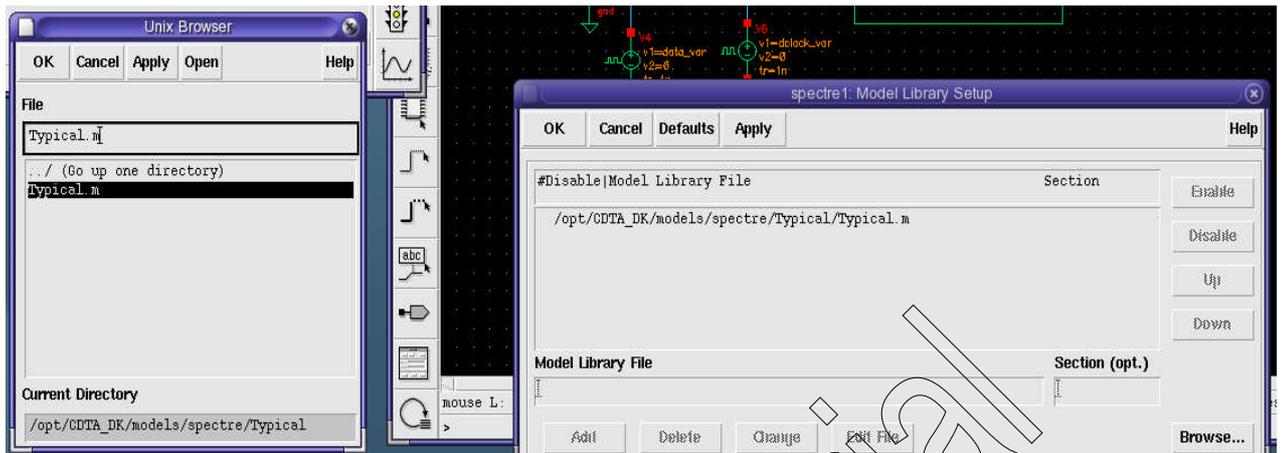


Figure 4. 10. Dernière fenêtre de téléchargement du modèle

Pour finir, nous devons cliquer sur **OK**. Ainsi, le modèle est ajouté.

### 4.3.1 Simulation du PD\_XOR

Pour savoir si notre détecteur de phase est fonctionnel, nous avons exploité le schéma de la figure 4.3. En utilisant les valeurs suivantes des paramètres : la tension d'alimentation  $V_{dd} = 4V$ , les tensions d'entrée 'data et clock' d'amplitude  $V_{in} = 4V$ , de période = 204ns, la sortie du détecteur fait la différence de phase entre ces deux signaux d'entrée sans affecté leur amplitude. Pour un retard temporel  $\Delta t = 120ns$ , le signal de sortie qui montre le déphasage est illustré sur la figure 4.12.

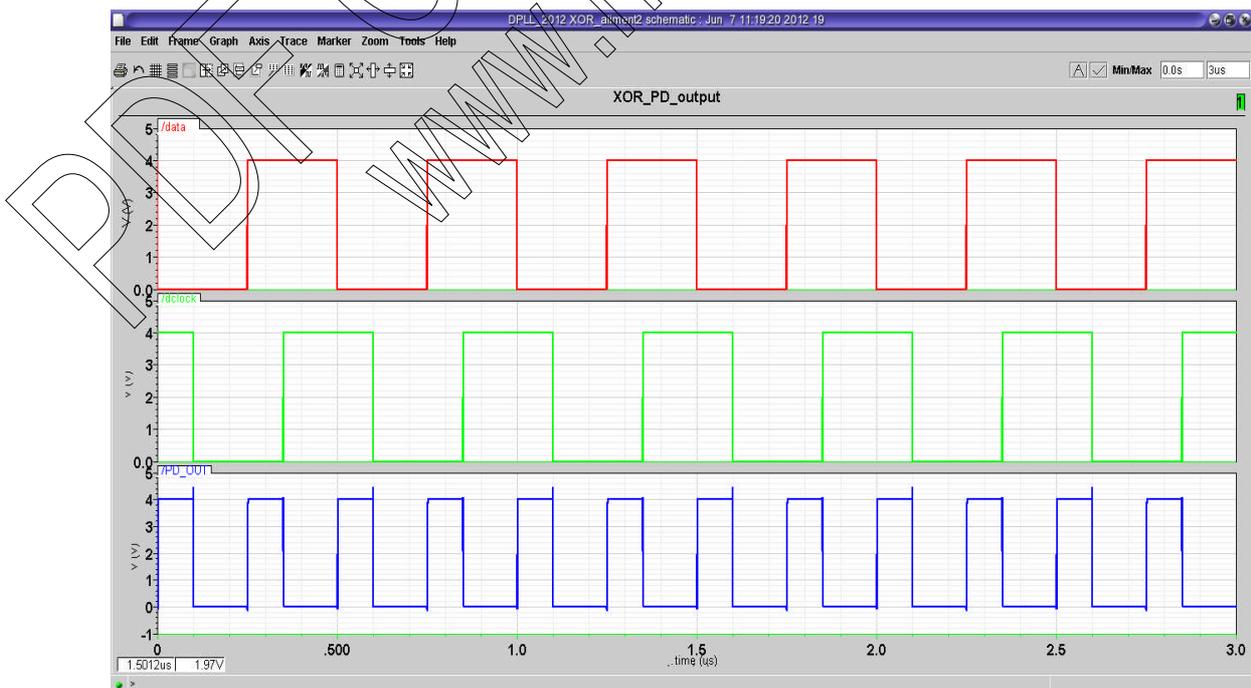


Figure 4. 11. Exemple de déphasage entre les deux entrées

Le résultat obtenu est satisfaisant mais nous devons le tester pour d'autres valeurs de temps de retard. Prenons par exemple, les quatre points remarquables de ce comparateur :  $\Delta\Phi = 0$ ,  $\Delta\Phi = \pi$ ,  $\Delta\Phi = \pi/2$  et  $\Delta\Phi = 3\pi/2$ . La simulation de ces phases sont illustrés dans la figure ci-contre. A partir de la figure 4.12, nous constatons que les résultats que notre détecteur de phase PD\_XOR sont conformes a ceux obtenus en théorie.

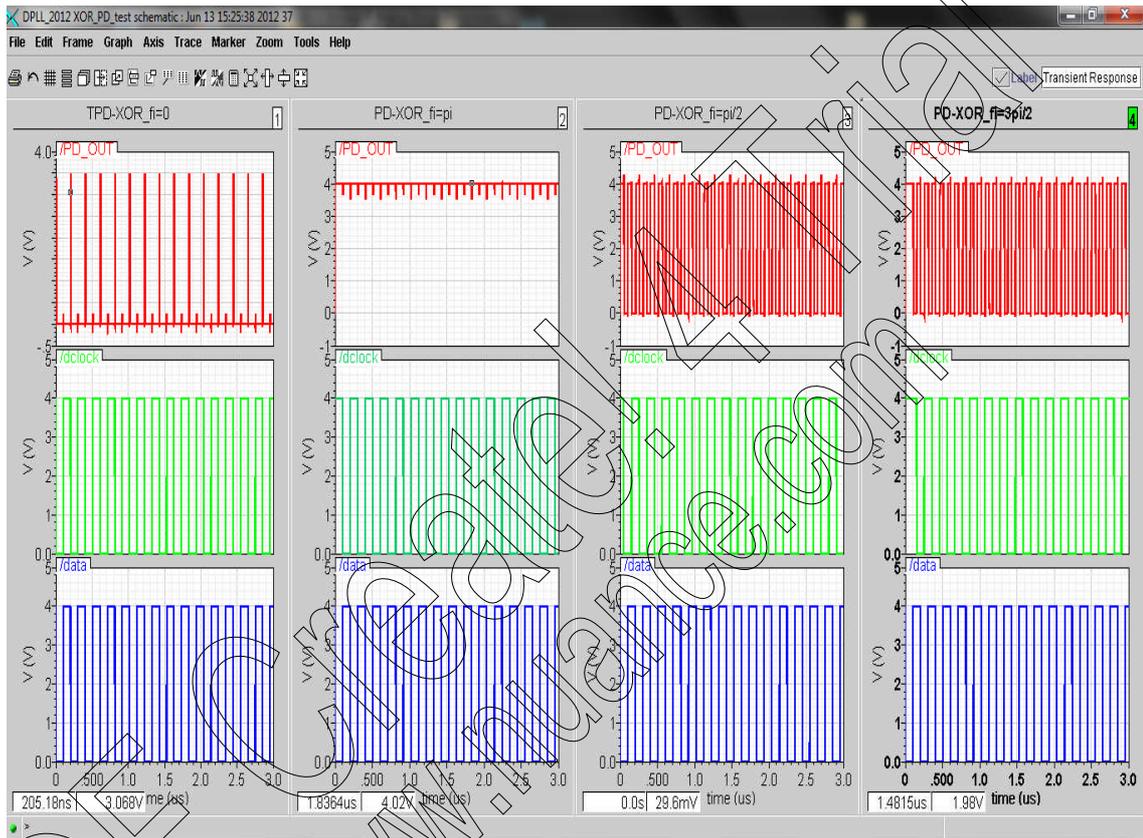


Figure 4.12. Déphasage des points remarquables.

Donc, nous constatons de ces résultats que notre PD\_XOR est vraiment fonctionnel.

### 4.3.2 Simulation du filtre

Pour éliminer les harmoniques fréquentielles et extraire la tension moyenne qui est utilisée pour le contrôle de la tension de l'oscillateur, le filtre passe bas illustré dans la figure 4.4 est employé.

Nous allons effectuer l'analyse du filtre de boucle en lui connectant en entrée la sortie du détecteur de phase. En fait, nous nous intéressons à l'ensemble PD-LPF pour mesurer le gain et la phase du filtre.

Pour trouver ces deux caractéristiques, nous avons besoin de lancer une analyse fréquentielle. CADENCE nous permet de les extraire grâce à la **calculatrice (calculator)** existante (*annexe A*). Mais il faut, d'abord, tracer la tension d'entrée en fonction de la fréquence ainsi que celle de la sortie. Les schémas sont groupés dans la figure 4.13.

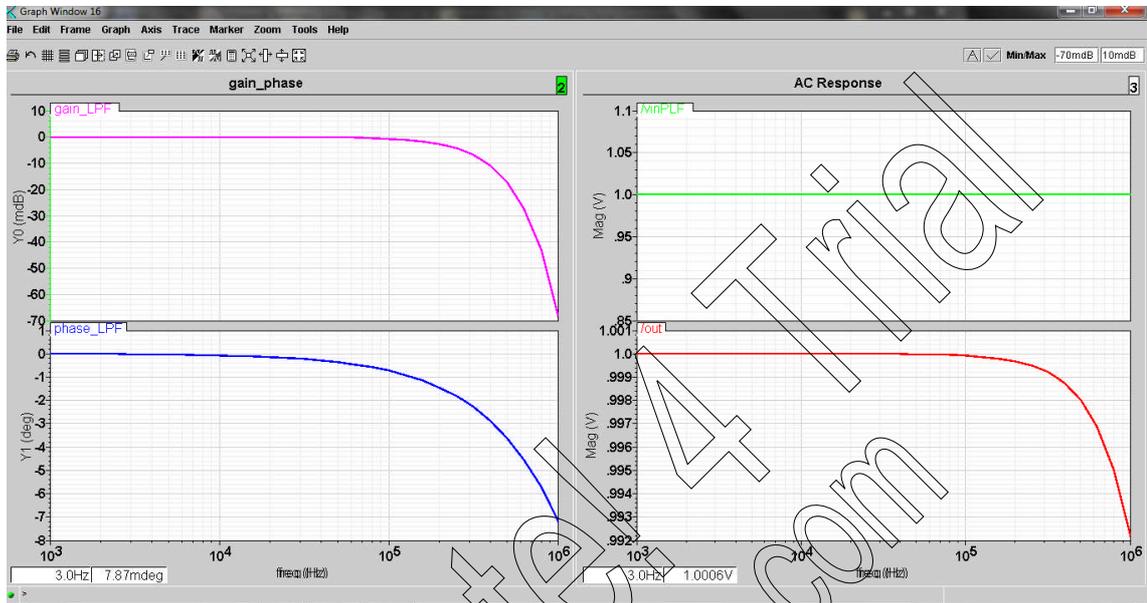


Figure 4. 13. Représentation du gain et de la phase du filtre.

### 4.3.3 Simulation du PD et filtre

Les valeurs de C et R doivent être choisi de tel sorte que notre oscillateur soit fonctionnel, donc la tension de sortie filtrée du détecteur représente un signal continu. Le schéma de simulation est présenté dans la figure 4.14.

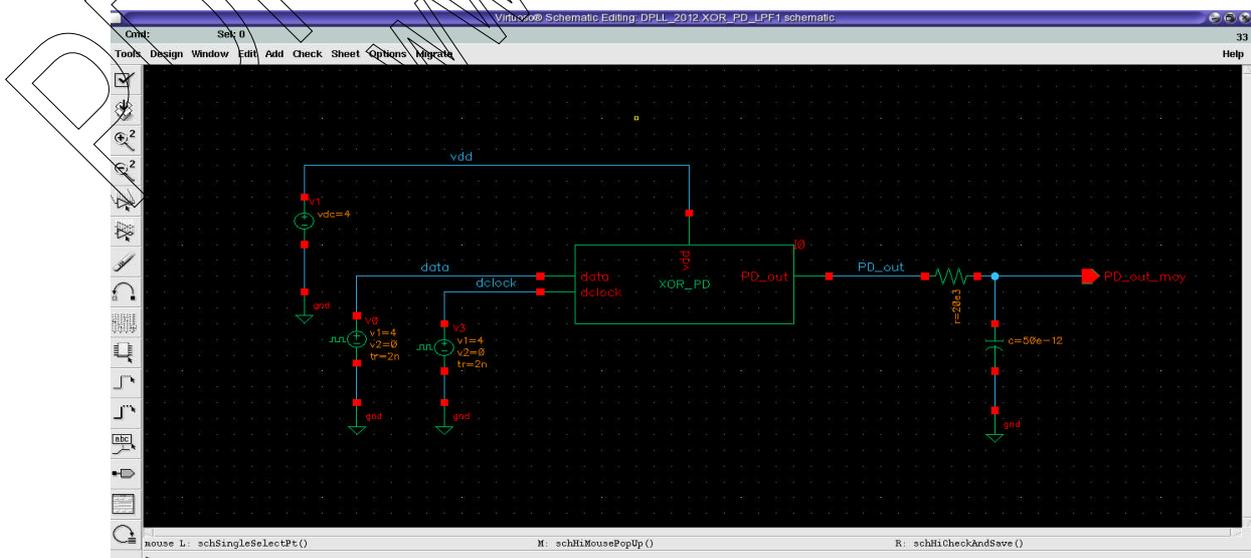


Figure 4. 14. Schéma électrique du détecteur de phase avec filtre.

1) Nous avons lancé une analyse transitoire en variant chaque fois le temps de retard  $\Delta t$  (comme nous l'avons fait pour le PD\_XOR). La fonction de transfert du détecteur de phase est représentée par la tension filtrée du PD (PD\_OUT\_moy) en fonction du déphasage  $\Delta\Phi$ .

Comme nous n'avons pas sur CADENCE une fonction qui trace cette caractéristique, nous avons utilisé l'équation 3.7 Pour trouver  $\Delta\Phi$  en fonction de  $\Delta t$ . La figure 4.15 regroupe les courbes qui illustrent les sorties du détecteur de phase avant et après filtrage.

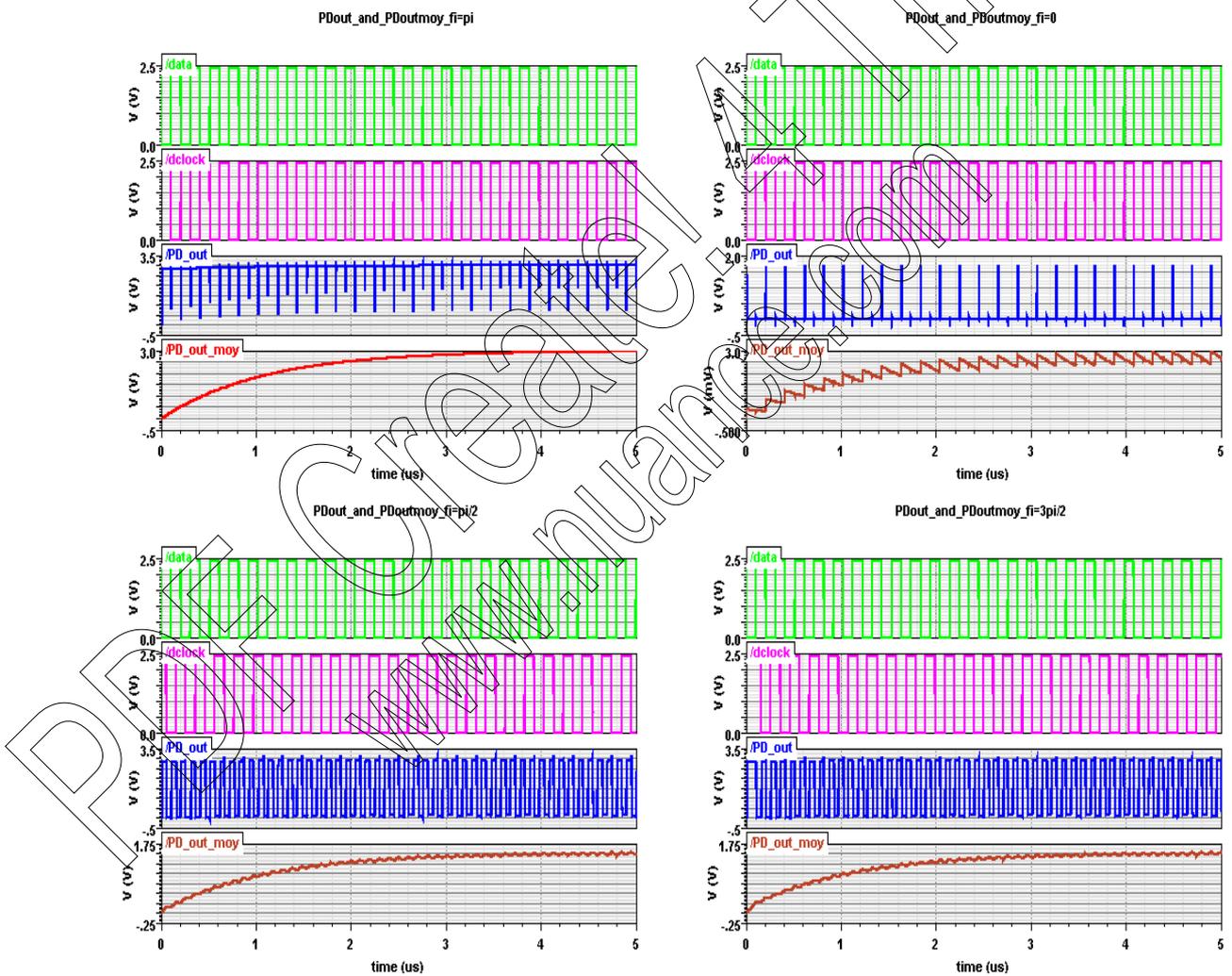


Figure 4. 15. Présentation de la sortie du PD ainsi que la sortie filtrée

Pour tracer la fonction de transfert nous avons pris plusieurs valeurs de temps de retard, pour  $V_{dd} = 3V$  et en utilisant la même période  $T = 204ns$  ( $F = 4.9MHz$ ). Le tableau 4.1 résume les résultats des valeurs trouvées.

$\Delta t$ (ns)	$\Delta\Phi$ (rad)	PD_OUT_moy (V)
$T/8 = 25$	$\pi/4$	$V_{dd}/4 = 0.75$
$T/4 = 51$	$\pi/2$	$V_{dd}/2 = 1.5$
$3T/8 = 76.5$	$3\pi/4$	$3.V_{dd}/4 = 2.25$
$T/2 = 102$	$\pi$	$V_{dd} = 3$
$5T/8 = 127.5$	$5\pi/4$	$3V_{dd}/4 = 2.25$
$3T/4 = 153$	$3\pi/2$	$V_{dd}/2 = 1.5$
$0$	$0$	$0.003$
$T = 204$	$2\pi$	$0.0028$

Tableau 4. 1. Différentes valeurs de décalage et les tensions moyennes à  $v_{dd}=3V$ .

En comparant la figure 4.15 représentant ces valeurs avec celles de la théorie, nous constatons que c'est les mêmes courbes; donc nous avons validé notre filtre fonctionne bien.

2) Avec aucune entrée (amplitude data nulle), la sortie PD\_OUT\_moy vaut  $v_{dd}/2 = 2.5V$ .

3) le gain (ou sensibilité) du détecteur  $K_{PD}$  représente la pente de la tangente

$$PD\_out\_moy = f(\Delta\Phi):$$

$$= \Delta / \Delta \quad \mathbf{4.2}$$

A partir du graphe obtenu, nous prenons deux valeurs, par exemple :

$$= \frac{1.5 - 0.75,}{2 - 4}$$

$$= 0.955 \text{ v/rad}$$

L'équation montre que, si nous faisons varier la tension d'alimentation  $v_{dd}$ , la valeur du gain change, en conséquence le gain change, donc le détecteur affecte la stabilité de la PLL.

Prenons cette fois **Vdd**= 4V. Le tableau 4.2 résume les résultats.

$\Delta t$ (ns)	$\Delta\Phi$ (rad)	PD_OUT_moy (V)
<b>T/8 = 25</b>	$\pi/4$	$V_{dd}/4 = 1$
<b>T/4 = 51</b>	$\pi/2$	$V_{dd}/2 = 2$
<b>3T/8 = 76.5</b>	$3\pi/4$	$3.V_{dd}/4 = 3$
<b>T/2 = 102</b>	$\pi$	$V_{dd} = 4$
<b>5T/8 = 127.5</b>	$5\pi/4$	$3V_{dd}/4 = 3$
<b>3T/4 = 153</b>	$3\pi/2$	$V_{dd}/2 = 2$
<b>0</b>	0	0.00005
<b>T = 204</b>	$2\pi$	0.00006

Tableau 4. 2. Différentes valeurs de décalage et les tensions moyennes à vdd=4V.

Pour **Vdd** = 4V,

$$= \frac{2 - 1}{\frac{2}{2} - \frac{1}{4}} = 0.955 \text{ v/rad}$$

Théoriquement,

Si nous utilisons la même valeur du **vdd**, cette sensibilité vaut :

**Vdd = 3V**

$$= - = 0.955 / ,$$

**Vdd = 4V**

$$= \frac{4}{-} = 1.273 /$$

Les deux valeurs pratiques sont donc les mêmes que celles trouvées théoriquement.

Une fois que nous avons achevé les tests du PD, nous avons passé au test de l'étage oscillateur.

### 4.3.4 Simulation et test des éléments du VCO

L'oscillateur est l'élément le plus compliqué de la DPLL. C'est lui qui fait contrôler la fréquence/phase de la tension de sortie *dclock* pour trouver rendre la PLL stable.

Nous avons déjà décrit les éléments constituant notre oscillateur commandé en tension. Il faut tout d'abord analyser les deux types d'inverseurs, puis passé au VCO.

#### a Simulation de l'inverseur

L'inverseur est caractérisé par son point de fonctionnement (point d'opération) qui correspond à la moitié de la tension d'alimentation  $V_{dd}/2$ . Il est défini par le point extrême où les transistors de l'inverseur passent de la zone linéaire à la zone de saturation. Ce point est trouvé par l'analyse **DC**. Nous avons pris  $\beta = 2$ , la valeur de  $V_{in}$  correspondante est  $V_{in}=1.98V$ . Les étapes à suivre sont schématisés ci-contre.

- Il faut choisir l'analyse **dc** et remplir le champ correspondant par le composant que nous voulons analyser, dans notre cas c'est la source (**V0**) ainsi que l'intervalle de variation de cette tension [**0 – 5**] puis **OK**.

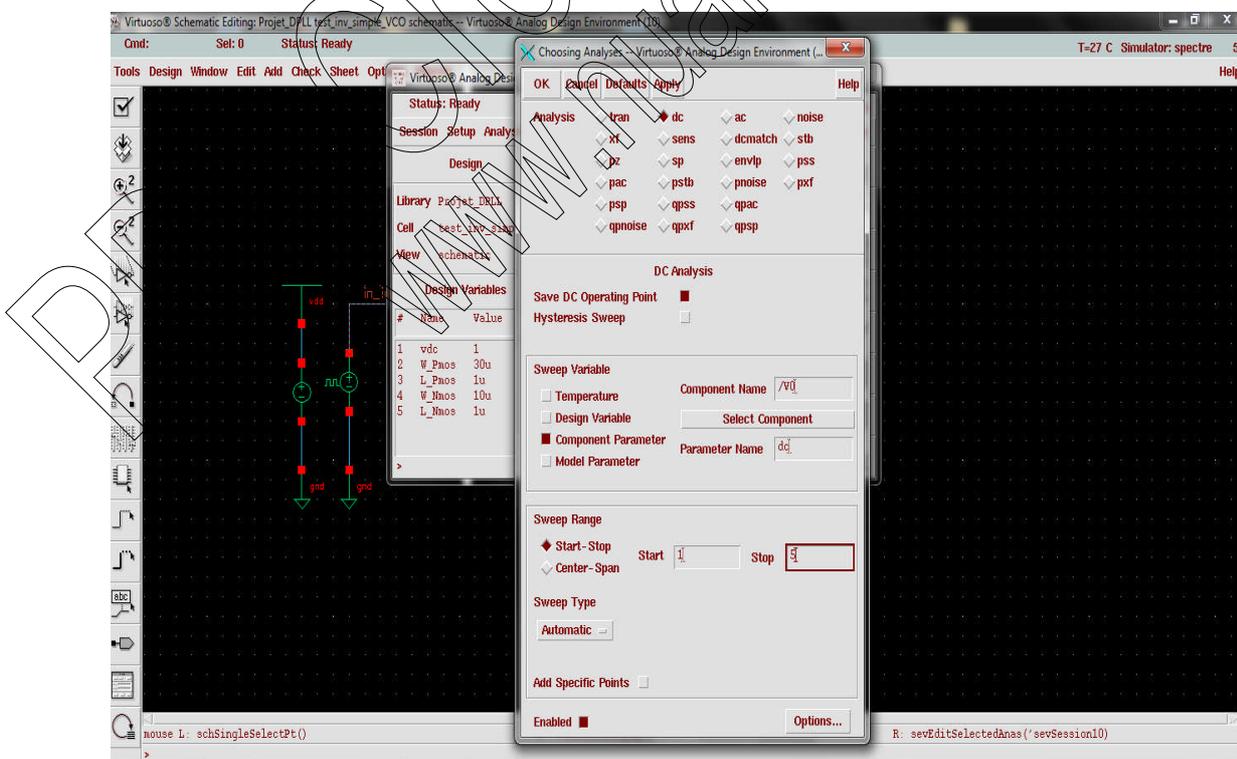


Figure 4. 16. Première étape de l'analyse dc

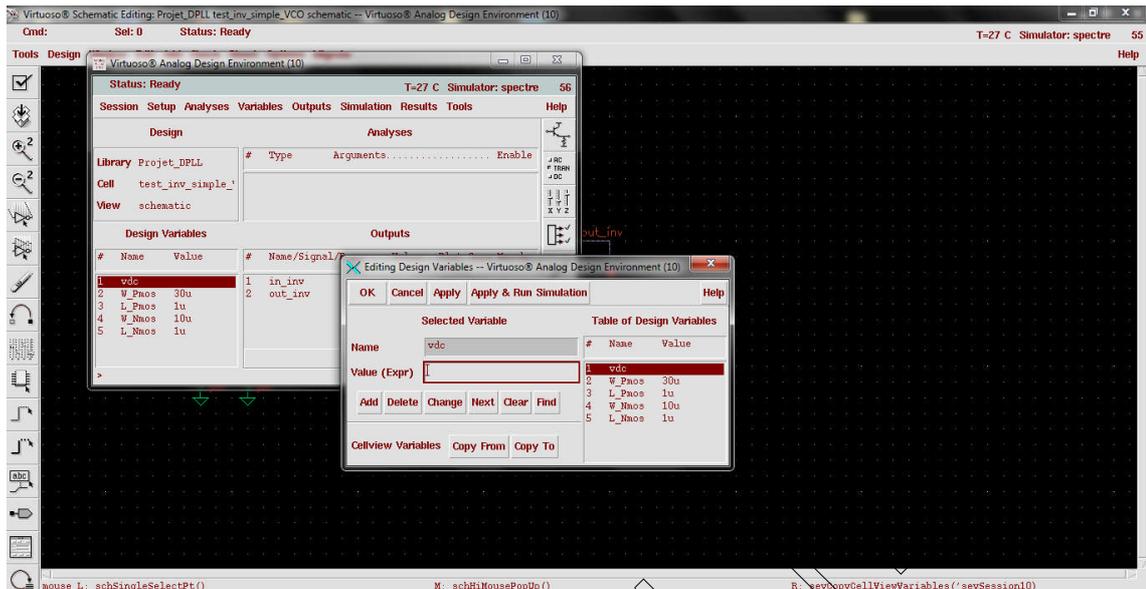


Figure 4. 17. Deuxième étape de l'analyse dc

Cette fenêtre nous permet de choisir la valeur minimale de la tension sélectionnée. Enfin la simulation peut être réalisée.

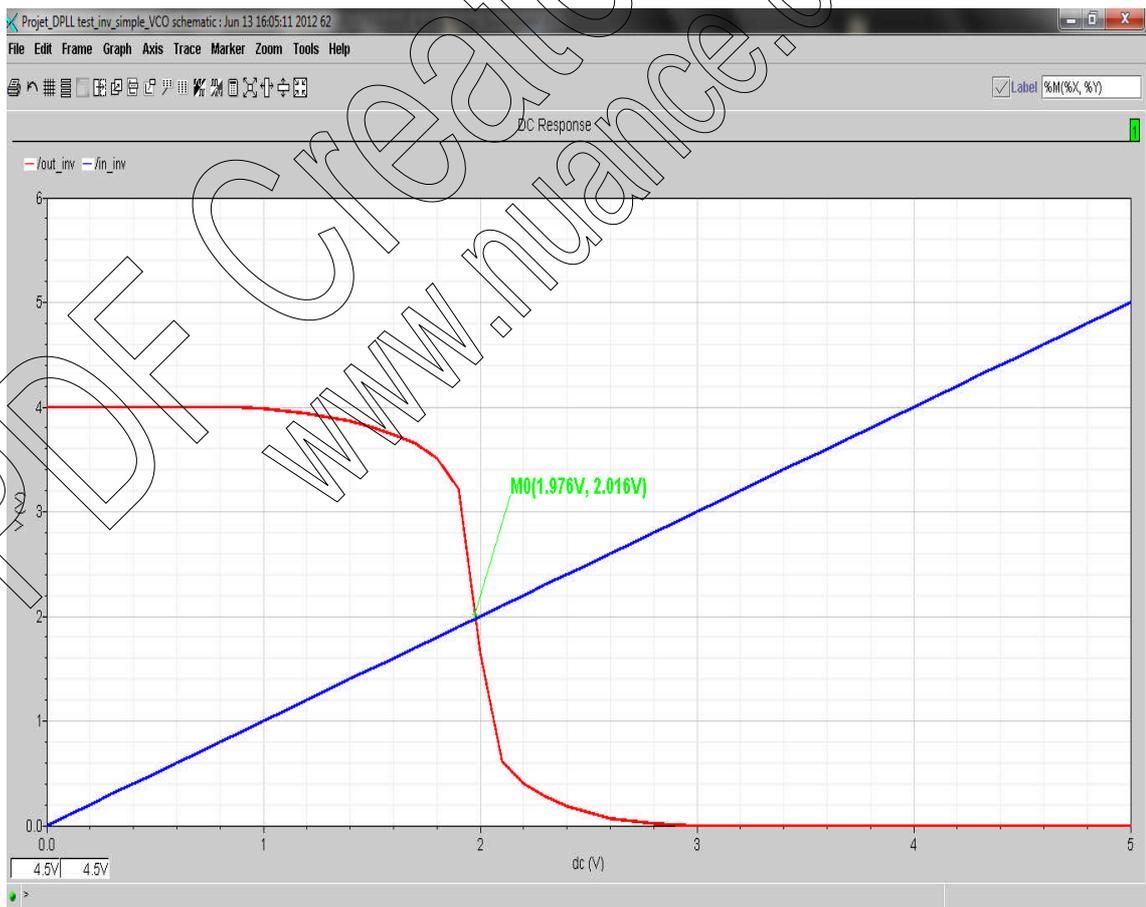


Figure 4. 18. Le point d'opération de l'inverseur simple

Le point M correspondant au point  $V_{in}=V_{out}=2.39V$ .

Après cette analyse nous avons testé l'inverseur. Comme son nom l'indique, il doit inverser le signal d'entrée.

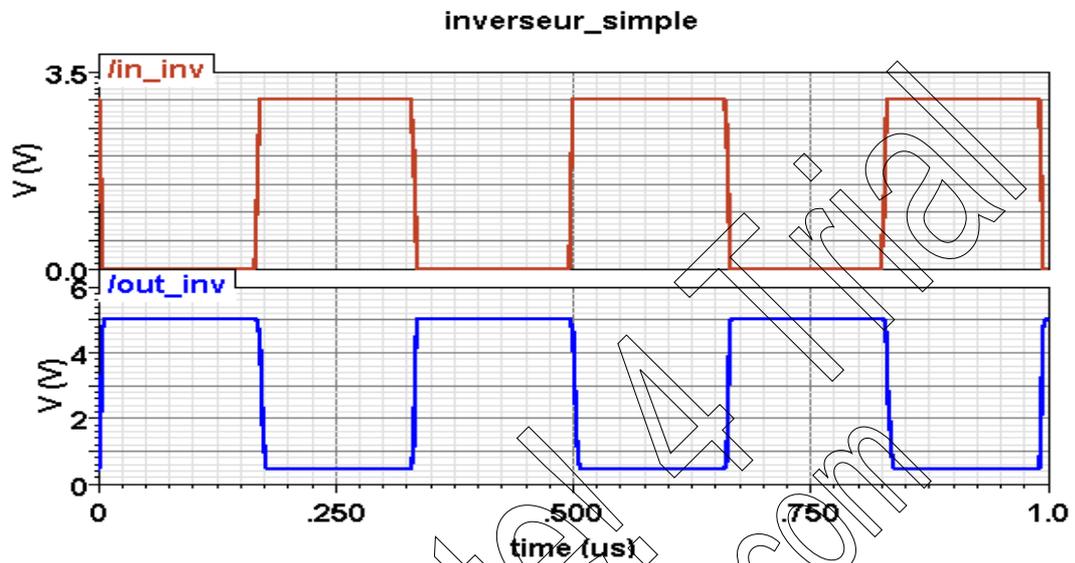


Figure 4. 19. Présentation de l'entrée et la sortie inversée de l'inverseur

### b Inverseur à trois états (Current Starved Inverter)

Cet inverseur CS-Inverter doit être testé avec le circuit de polarisation présenté dans les sections précédentes. En d'autres termes, les deux entrées de polarisations ( $V_p$  et  $V_n$ ) qui l'alimente le CS-Inverter représentent les sorties du circuit de polarisation.

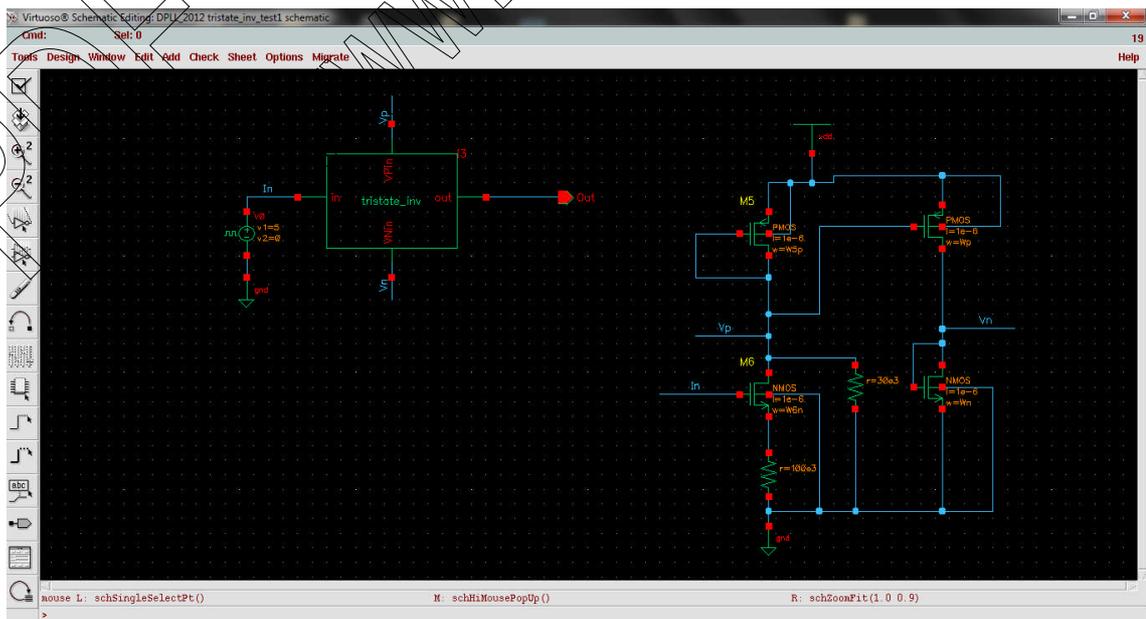


Figure 4. 20. Schéma électrique du test de l'inverseur CS

Nous avons cherché le point de fonctionnement de cet inverseur, comme notre CS-VCO est constitué de 5 CS-Inverter donc nous avons besoin de connaître ce point où  $V_{in} = V_{out}$ . La valeur correspondante est  $M=2.39V$ .

Pour dire qu'il est fonctionnel, la sortie *out* doit être la même que l'entrée VP mais l'inverse de *In*. C'est bien le résultat que nous avons trouvé pour une tension d'entrée  $V_{in} = 5V$  (figure 4.2).

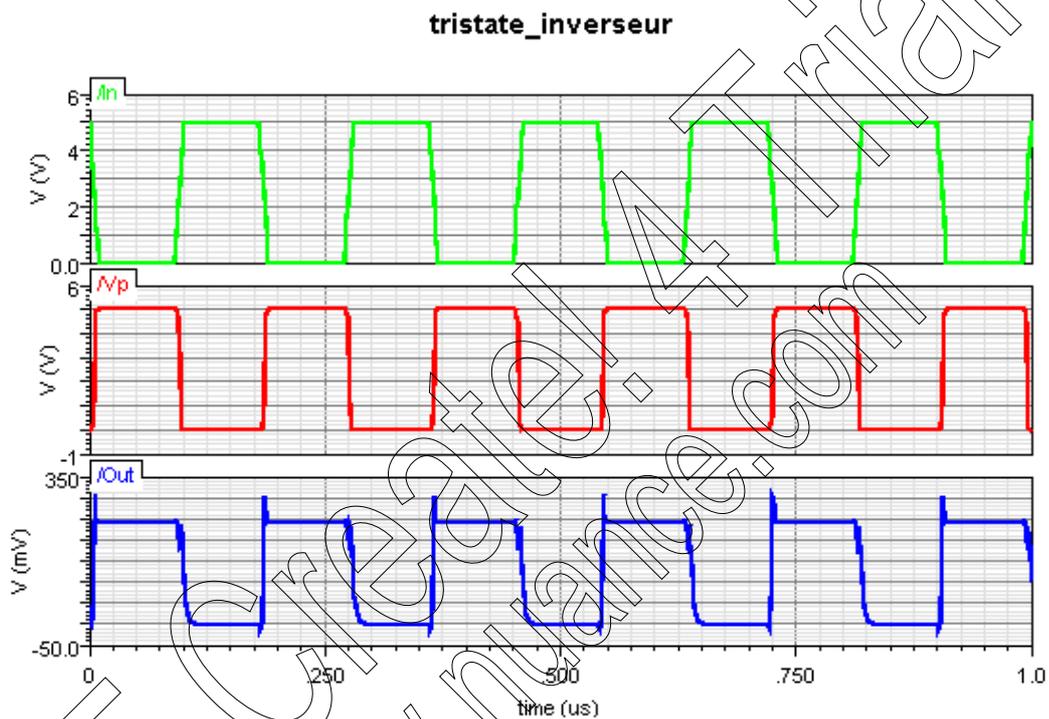


Figure 4. 21. présentation des tensions IN, Vp et out du CS-Inverter

### 4.3.5 Simulations et tests du VCO

La principale caractéristique du CS-VCO qui nous sera très utile pour assurer le verrouillage de notre PLL est sa caractéristique de transfert  $F = f(VCOin)$ . L'analyse qui nous permet d'effectuer des analyses fréquentielles est appelée dans CADENCE l'analyse 'PSS' (Periodic Pseudo state)

#### a Principe de la fonction

L'analyse PSS calcul l'état périodique de la réponse d'un circuit par une simulation temporelle indépendante des constantes de temps du circuit. Elle peut traiter des

circuits autonomes (les oscillateurs) et des circuits non autonomes (les diviseurs). Elle comporte deux phases :

- La phase transitoire '**transient**' qui initialise le circuit
- La phase '**PSS**' qui calcule l'état stable périodique de la solution.

Cette analyse est détaillée ci-dessous.

Il faut bâbord, que nous lançons une analyse transitoire, puis nous passons à l'analyse **PSS**, c'est CADENCE qui exige ça.

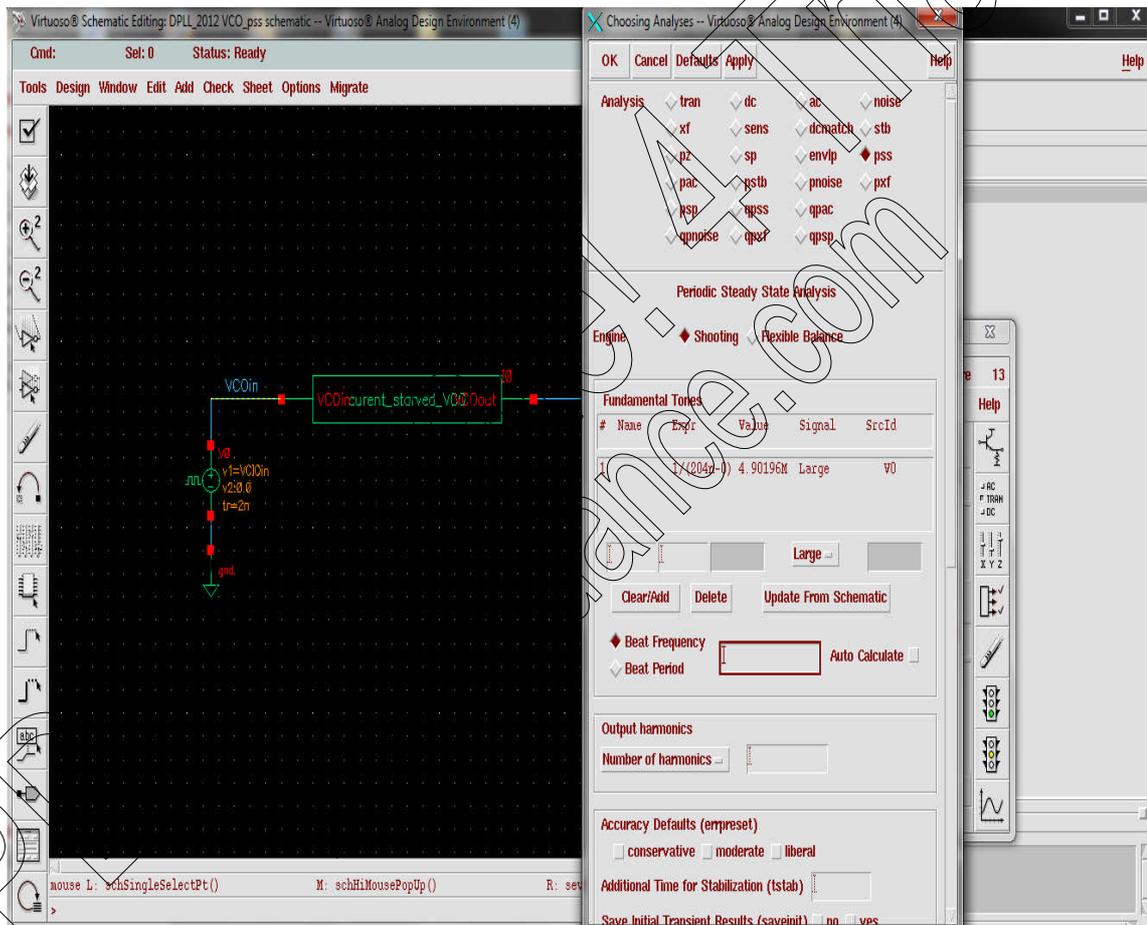


Figure 4. 22. Première étape de l'analyse PSS.

La deuxième étape nous permet de choisir la tension d'entrée comme étant une variable, l'intervalle pris pour **VCOin** est **[0 - 5]** avec un pas de **1**.

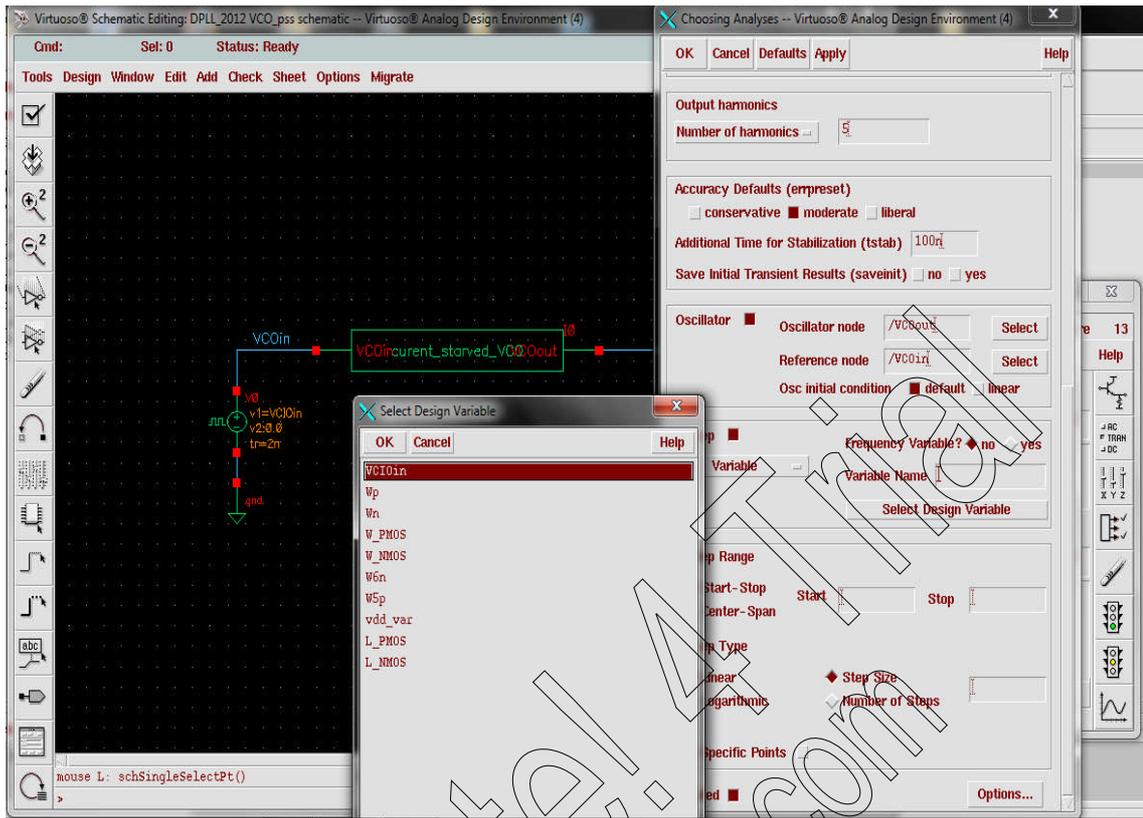


Figure 4. 23. Deuxième étape de l'analyse PSS.

Enfin, l'environnement est prêt à être simulé.

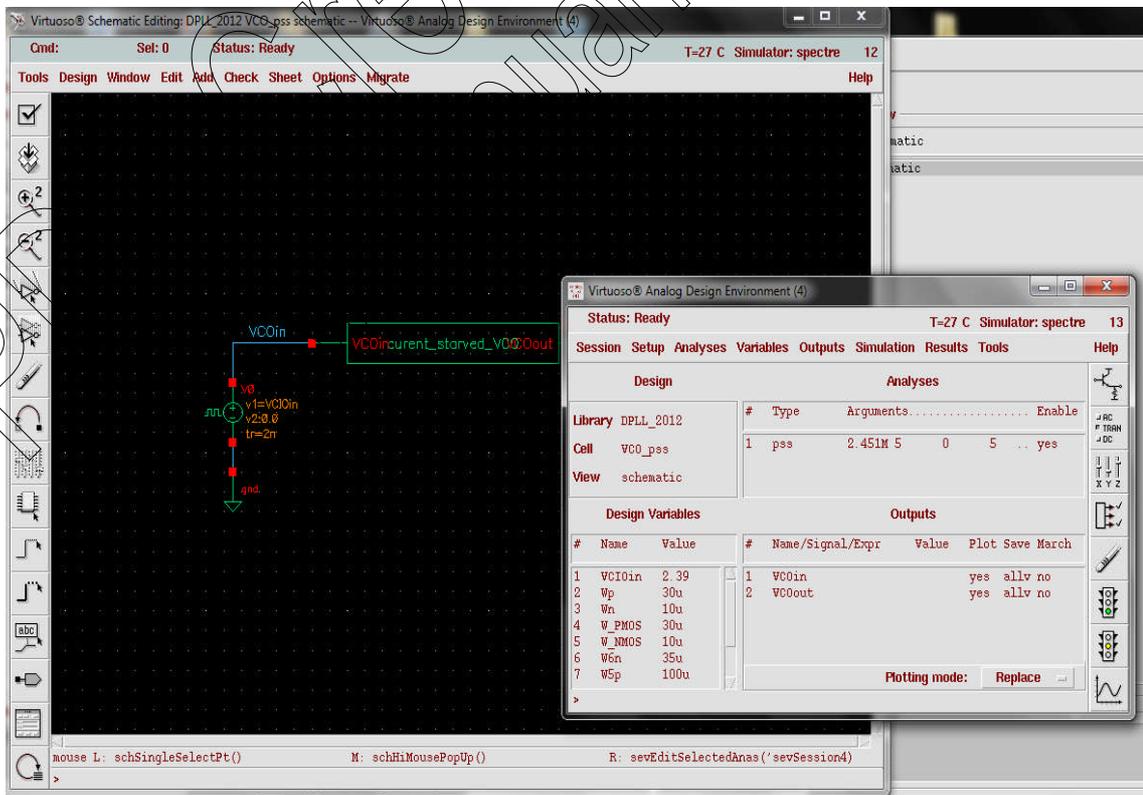


Figure 4. 24. Troisième étape de l'analyse PSS.

## b Tests et résultats

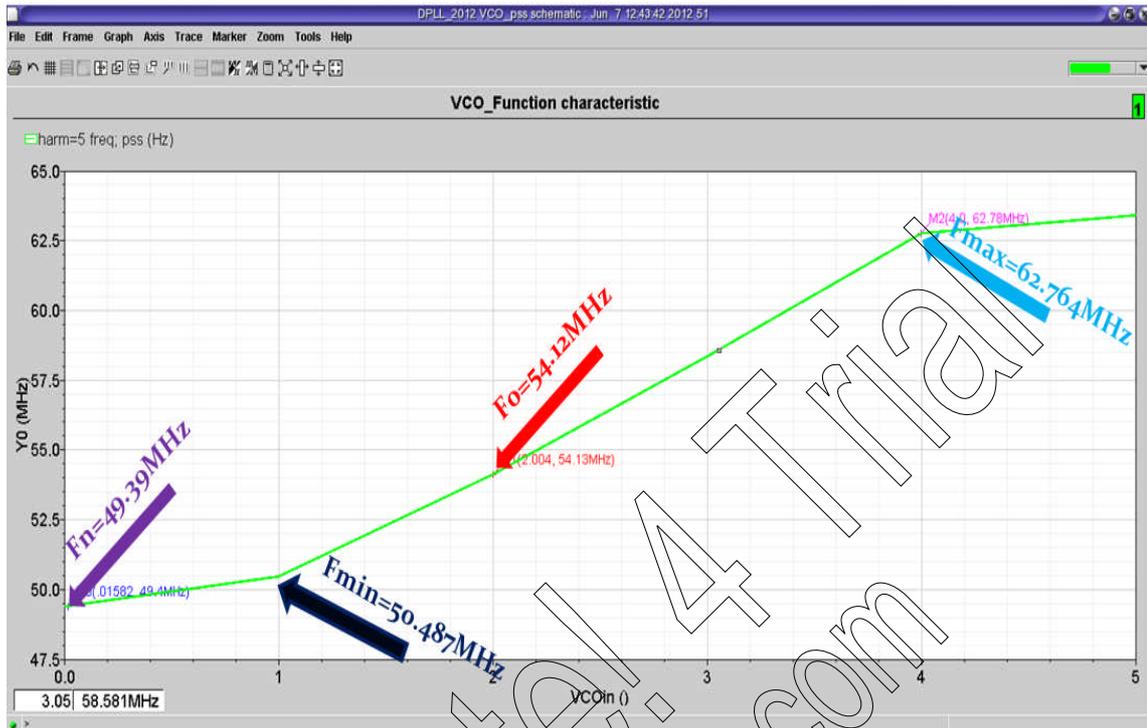


Figure 4. 25. La fonction caractéristique du VCO.

Nous pouvons extraire de cette courbe la valeur de la fréquence naturelle qui représente la fréquence où  $V_{COin} = 0$ . Sa valeur correspond au point  $M_0$  dans la figure 4.24 :  $W_n = 49.39 \text{ MHz}$ .

De plus, la fréquence centrale correspond au point  $M_1$  pour lequel  $V_{COin} = V_{dd}/2$ , elle vaut  $F_0 = 54.12 \text{ MHz}$ .

Les fréquences  $F_{max}$  et  $F_{min}$  correspondent respectivement aux deux extrémités de la zone linéaire de la caractéristique de transfert :  $F_{min} (V_{COin} = 1V) = 50.487 \text{ MHz}$  et  $F_{max} (V_{COin} = 4V) = 62.764 \text{ MHz}$ .

### Les calculs

La sensibilité de l'oscillateur est calculée à partir de la loi suivante :

$$= \frac{\Delta Y_0}{\Delta V_{COin}}$$

4.3

$$= \frac{(62.764 - 49.39)}{(4 - 0)} = 4.1 \text{ MHz/V}$$

### 4.3.6 Simulation et test de PLL

Une fois que nous avons fini notre schéma électrique nous avons lancé une analyse transitoire en utilisant comme début le même paramètre d'entrée (alimentation, amplitude et période) pour voir la sortie de la PLL numérique. La première simulation n'était pas satisfaisante, aucun bloc ne fonctionnait correctement.

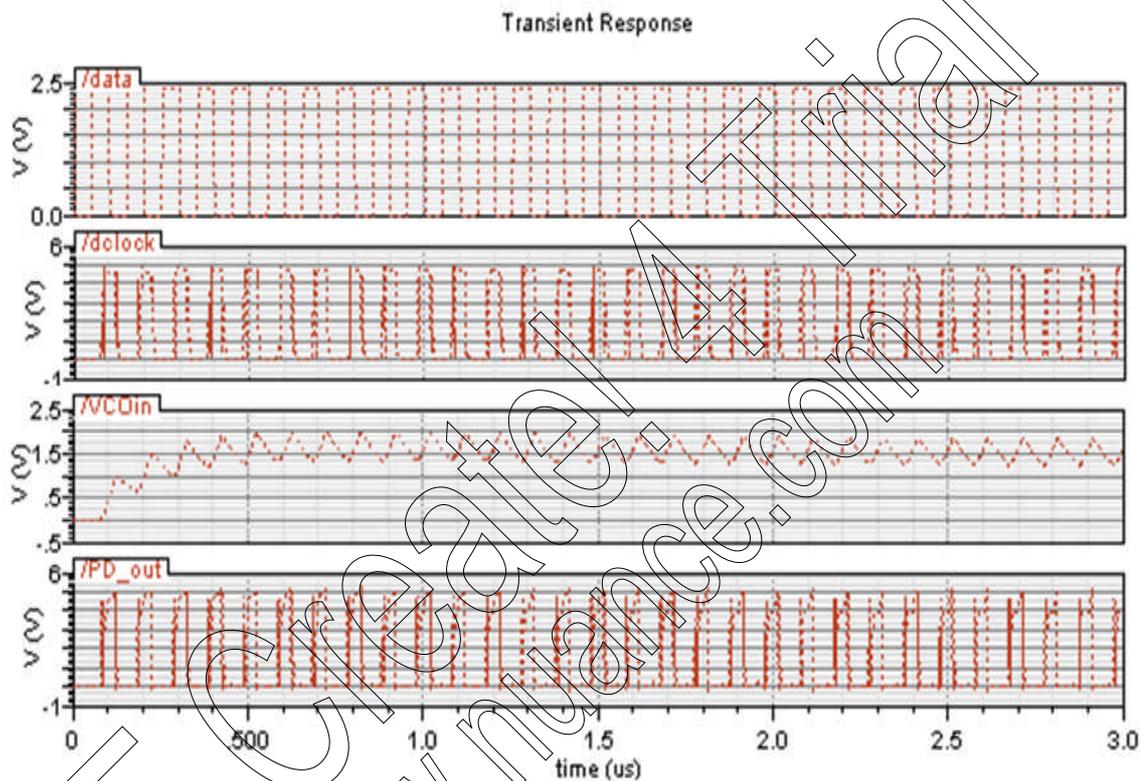


Figure 4. 26. Premier résultat obtenu pour la simulation de la PLL.

Nous avons opté pour l'analyse paramétrique des éléments de la boucle pour connaître la plage de fonctionnement de chacun d'eux.

#### **a Analyses paramétriques**

Initialement, nous avons fait une analyse paramétrique de l'alimentation (vdd), pour cela nous devons déclarer ce paramètre comme étant une variable (vdd\_var) pour que CADENCE puisse prendre plusieurs valeurs. Cette analyse est détaillée dans l'annexe A.

### Première analyse : PD\_XPR

Les résultats de l'analyse '**sweep vdd**' du détecteur de phase sont résumés sous forme d'un tableau.

Intervalle de vdd (V)	Remarques
0.5 - 0.9	Le PD_XOR donne des signaux aléatoires et distordus (alimentation très faible)
0.943 - 1.21	Les signaux sont moins distordus mais commence à faire la différence de phase
1.25 - 3.07	Fonctionnement correcte du PD_XOR
3.11- 4	Le détecteur fonctionne mais avec une fidélité moin

Tableau 4. 3. Résultats du PD\_XOR obtenus à différentes valeurs de vdd.

Après analyse des résultats nous avons choisi une valeur appartenant à chacune des deux dernières colonnes et nous les avons injectés l'une après l'autre à **vdd\_var**.

Pour la valeur de **Vdd=4V**, le PD\_XOR de la PLL fait la différence entre les entrées *data* et *dclock*. C'est logique, puisque le gain du détecteur de phase est fonction de la tension d'alimentation vdd. Mais les autres blocs restent non fonctionnels.

Après l'analyse de ce premier paramètre, nous avons entamé une analyse '**sweep data**' et '**sweep T**' pour ce détecteur. les résultats sont toujours illustrés sous forme de tableaux.

Intervalle de période (ns)	Remarques
1 - 900	C'est le bloc PD_XOR qui fonctionne uniquement

Tableau 4. 4. Résultats du PD\_XOR obtenus en variant la période

Aucun changement n'est survenu.

Intervalle de Vdd (v)	Remarques
0.5 – 2.272	Le comparateur de phase n'est pas fonctionnel
2.316 - 4	Le détecteur est fonctionnel

Tableau 4. 5. Résultats PD\_XOR obtenus en variant Vdd.

En introduisant des valeurs de l'intervalle de la dernière ligne, aucun changement n'est apparu. Nous avons remarqué uniquement que la valeur du point d'opération (**Vin = 2.39V**) de l'inverseur appartient à cet intervalle.

Deuxième analyse : ensemble 'XOR PD et filtre'

Cette fois, nous allons exploiter la même idée pour le 'détecteur filtré'. Mais cette fois en faisons varier deux paramètres à la fois :

- la résistance (**Vdd\_var**) et la capacité (**Vin\_var**).

La première remarque est : pour toutes les valeurs de **Vdd\_var < Vin\_var**, le comparateur de phase ne fait pas sa fonction. D'où, nous avons analysé les valeurs pour lesquelles **Vdd\_var > Vin\_var**.

Intervalle de vdd (V)	Intervalle de vin (V)	remarques
0.5	0.5 – 5	Le signal de sortie est à amplitude très atténuée (mV au µV)
1.4	Vin < vdd	Le filtre minimise les harmoniques
2.3	Vin < vdd	Pas de changement par rapport au précédent
3.2	Vin < vdd	Pas de changement par rapport au précédent
4.1 -5	Vin < vdd	Les harmoniques sont moins qu'avant

Tableau 4. 6. Analyse paramétrique de Vdd pour la tension de sortie filtrée.

Ce tableau confirme que la valeur du signal d'entrée doit être inférieure à celle de l'alimentation. De plus le meilleur intervalle de vdd est compris entre **vdd\_var = [3.2 – 5] V**.

- la résistance (**R\_var**) et la capacité (**C\_var**).

Intervalle de variation K $\Omega$	Intervalle de variation pF	Remarques
1	1 – 80	Plusieurs harmoniques sont présentes et le signal est distordu
10	1 – 80	Les harmoniques sont moins faibles
20 - 30	1 – 80	Les harmoniques diminuent encore
40	1 – 80	Les harmoniques sont fortes

Tableau 4. 7. Sortie du PD XOR filtrée en variant C et R.

De ce tableau, nous constatons que le meilleur intervalle de résistance est :

**R\_var = [20 -30] K  $\Omega$** , mais les valeurs de capacité sont très proches.

Par contre la valeur de la capacité C\_var est déterminée théoriquement. Pour cela, nous avons utilisé la valeur de la pulsation naturelle trouvée dans l'analyse PSS,  $\omega_n = 49.39\text{MHz}$  et en utilisant la loi suivante :

$$= \frac{1}{2 \cdot \xi \cdot \omega_n}$$

$$= \frac{1}{2 \cdot \xi \cdot \omega_n} = \frac{1}{2 \cdot 0,707 \cdot 20 \cdot 10^3 \cdot 49,39 \cdot 10^6} \cong 0.716$$

Quand nous avons terminé ces analyses, nous avons choisi les valeurs suivantes des paramètres: **Vdd = 4 V, VCOin = 2.39 V, C\_var = 1pF et R\_var = 20 K  $\Omega$** .

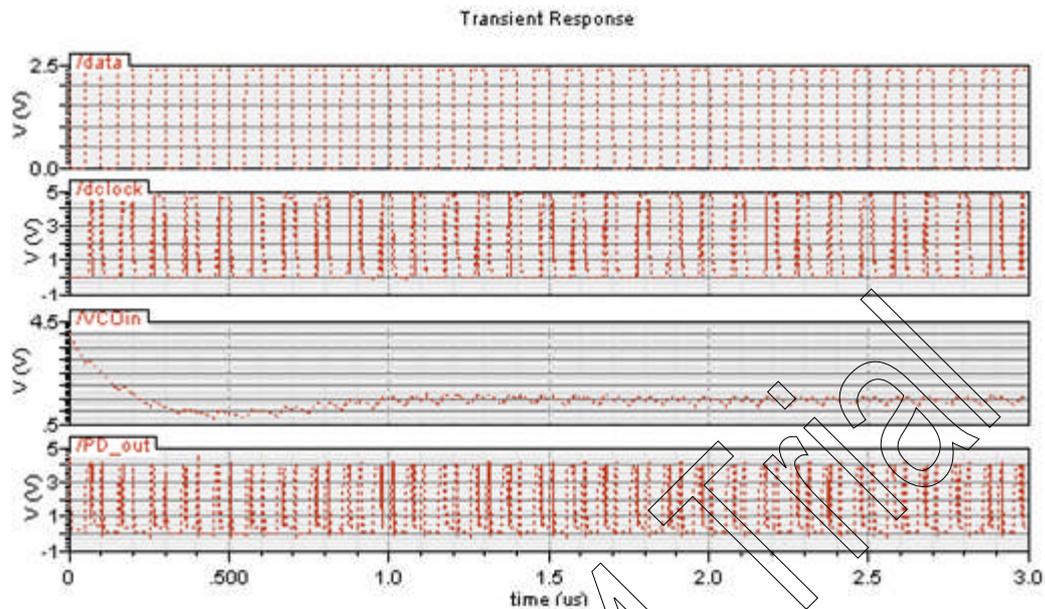


Figure 4. 27. Deuxième résultat de la réponse de la PLL

Nous remarquons que la tension de sortie du filtre est très faible, ce qui signifie que notre oscillateur ne reçoit pas la tension nécessaire pour son fonctionnement. Pour cela nous avons fait une analyse paramétrique du VCO.

#### Troisième analyse : le VCO

Pour cette analyse, nous avons pris **VCOin\_var** sous forme d'une équation :

**VCOin\_var = vdd/2**, puisque nous savons que la fréquence d'oscillation du VCO est autour du vdd/2.

Intervalle de vdd (V)	remarques
0.5 - 1.24	Le VCO n'oscille pas
Pour 1.42	Il oscille mais après une durée de 1µs
1.61 - 2.16	Il oscille à vdd/2
2.4 - 4	Le VCO donne des signaux carrés

Tableau 4. 8. Résultats du VCO à différents variation de vdd

Ce tableau ne révèle pas grand-chose sauf que le VCO oscille à des valeurs où **vdd\_var > 1.61 V**.

D'après les lectures faites une capacité ou un buffer à la sortie d'un étage avant d'attaquer un autre peut être outil pour laisser le temps à la tension de sortie de se charger.

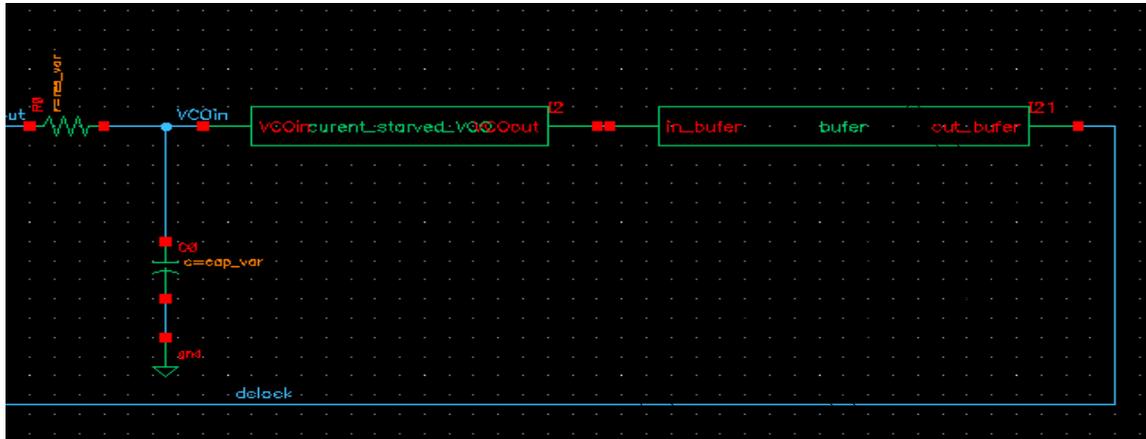


Figure 4. 28. Insertion d'un buffer à la sortie du VCO.

**b choix des valeurs et analyse transitoire de la PLL**

Nous avons réalisé une analyse transitoire pour les valeurs suivantes :

Variables	valeurs
vdd	4 V
W_PMOS	30 $\mu\text{m}$
W_NMOS	10 $\mu\text{m}$
W6n	35 $\mu\text{m}$
W5p	100 $\mu\text{m}$
L_NMOS	1 $\mu\text{m}$
L_PMOS	1 $\mu\text{m}$
Vin	2.39 V
R	20 K $\Omega$
C	1pF

Tableau 4. 9. Tableau récapitulatif des valeurs de simulation.

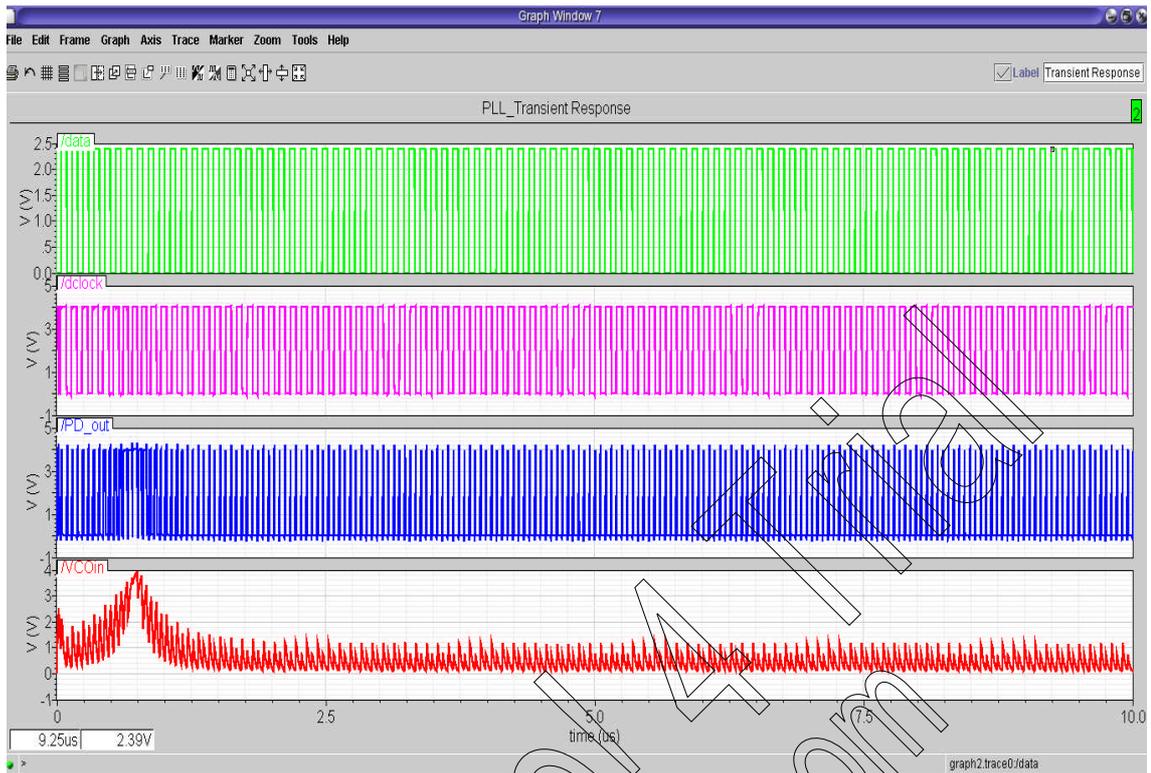


Figure 4. 29. Verrouillage de la PLL.

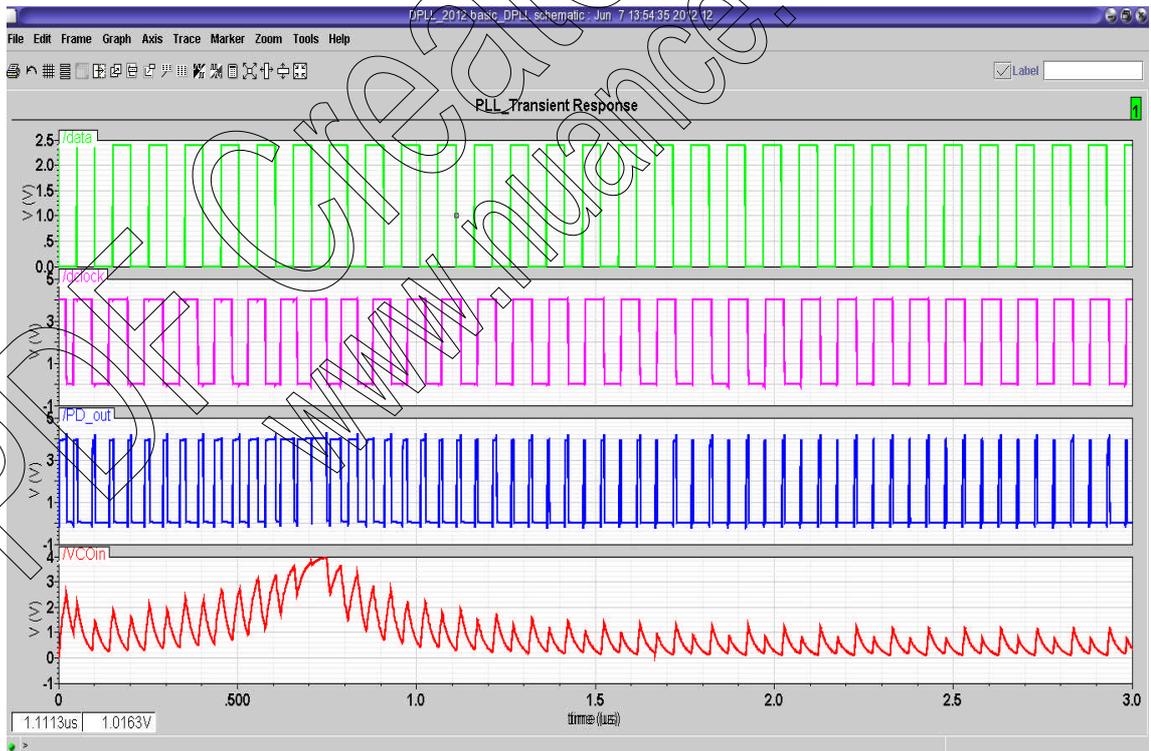


Figure 4. 30. Un zoom sur la PLL verrouillée.

Nous pouvons déterminer de cette figure la valeur de temps de verrouillage qui est :

$T_{lock} = 1.77 \mu s$ . La plage de verrouillage de cette PLL est entre  $[50.487 - 62.764]$  MHz.

### c Analyse Pnoise

L'analyse **Pnoise**, contrairement aux analyses de bruits conventionnelles, calcule les effets de la conversion de fréquence. Elle produit toute les contributions de bruit à la fréquence de sortie spécifiée. Avant de réaliser cette analyse, nous devons lancer une analyse **PSS**. L'analyse Pnoise, utilise les résultats trouvés dans le calcul de réponse du signal périodique (PSS), puis détermine le bruit résultant.

Dans notre cas, nous avons besoin de lancer cette analyse pour calculer le bruit de phase '**phaseNoise**'.

Pour lancer une analyse **Pnoise**, il faut suivre les étapes suivantes :

Tout d'abord lancer une analyse **transitoire**, puis une analyse **PSS**, ensuite l'analyse **Pnoise**.

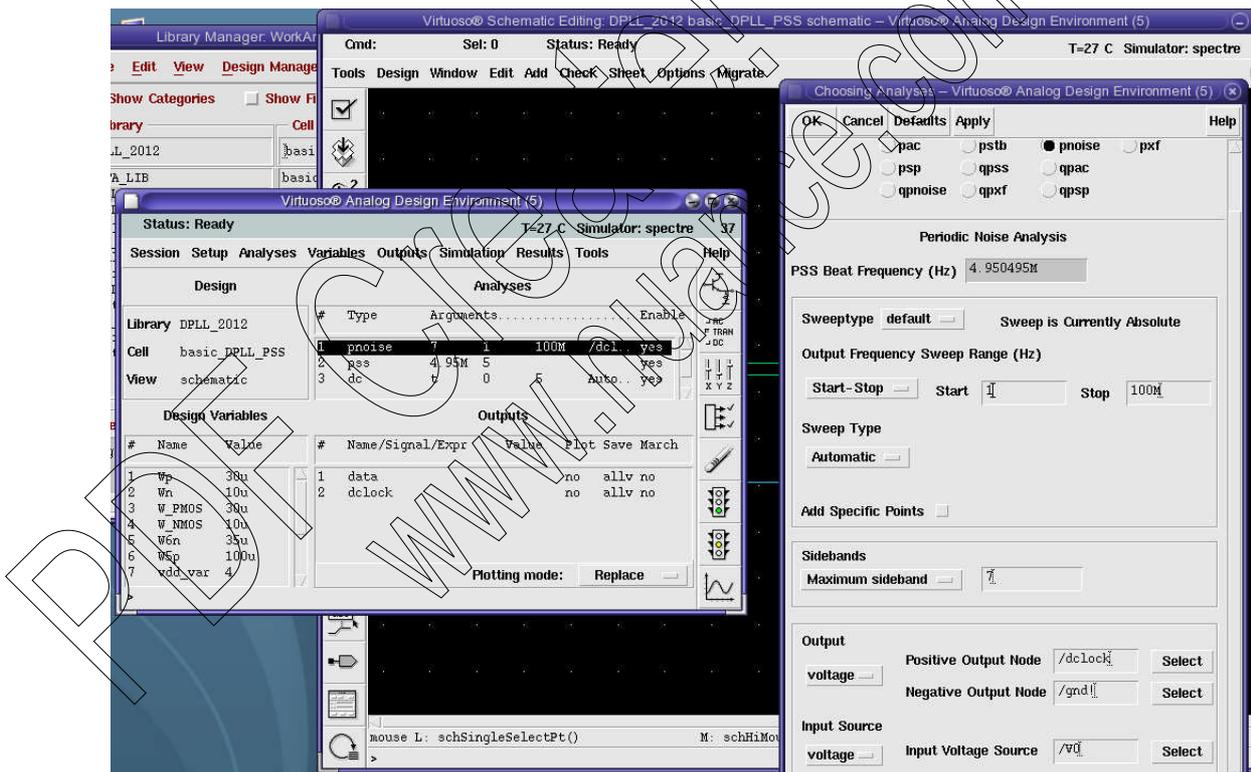


Figure 4. 31. L'analyse Pnoise de la PLL.

Déjà, nous remarquons que la valeur de temps de verrouillage trouvée précédemment dans l'analyse transitoire ( $\Delta T_{\text{Lock}} = 1.77\mu\text{s}$ ) est exploitée pour lancer la simulation du bruit de phase. Connaître ce bruit nous permet de connaître la pureté spectrale de notre système, cela signifie faible bruit de modulation (amplitude ou phase). En

générale le bruit de modulation d'amplitude est très faible donc nous nous intéressons à celui de phase.



Figure 4. 32. Le bruit de phase de la PLL.

Ce bruit est toujours comparé au bruit de la sortie, ils doivent être identiques.

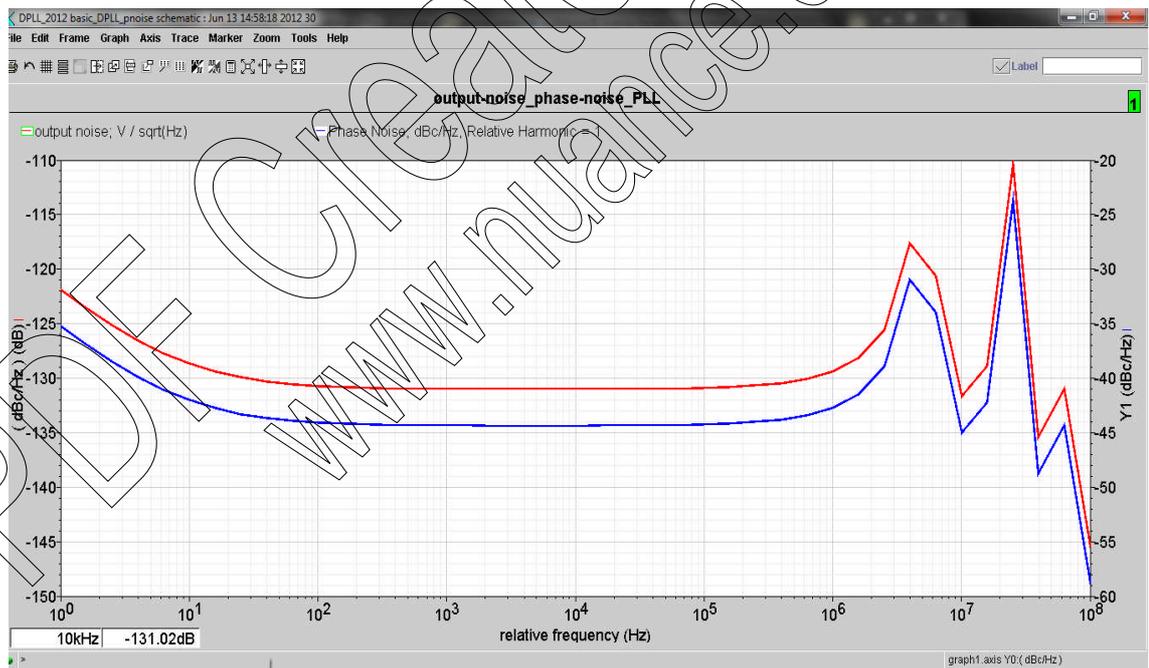


Figure 4. 33. Comparaison entre le bruit de phase et le bruit de la sortie de la PLL.

La différence qui existe entre ces deux bruits représente les autres bruits (bruit thermique, bruit de flicker,...etc.).

### 4.3.7 Simulation et test du synthétiseur de fréquence

#### a Le diviseur de fréquence

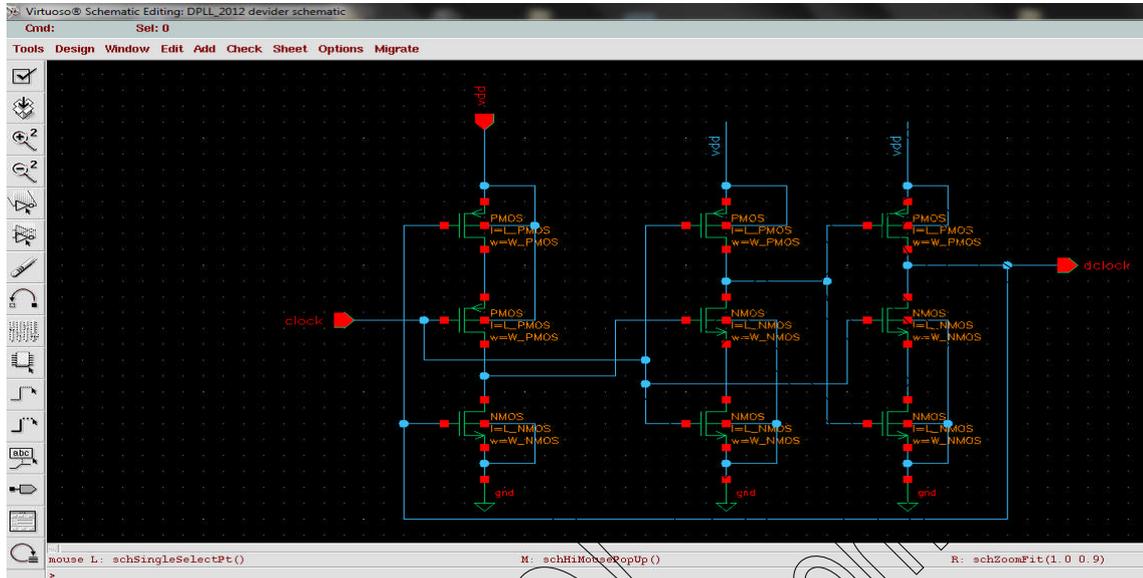


Figure 4. 34. Schéma électrique du diviseur de fréquence

Il faut d'abord tester son fonctionnement en réalisant une analyse transitoire. Le résultat est représenté dans la figure 4.35.

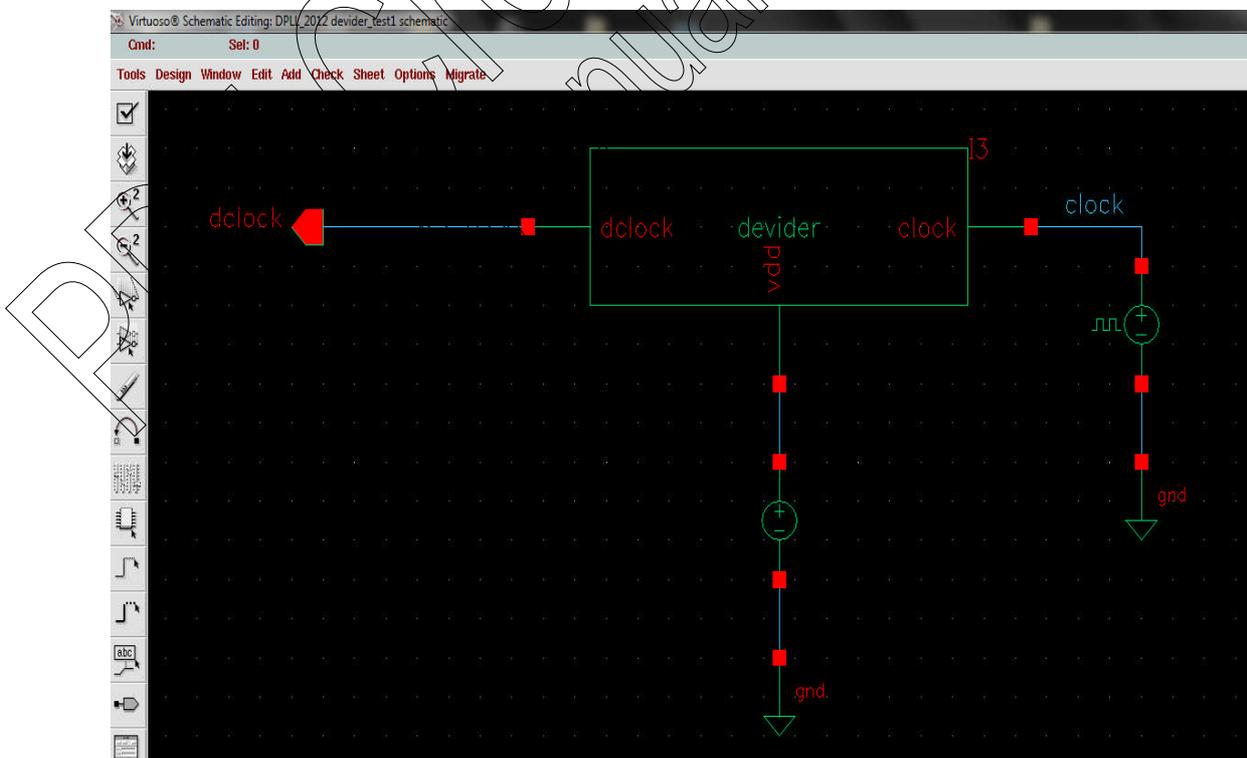


Figure 4. 35. Schéma électrique représentant le test du diviseur de fréquence

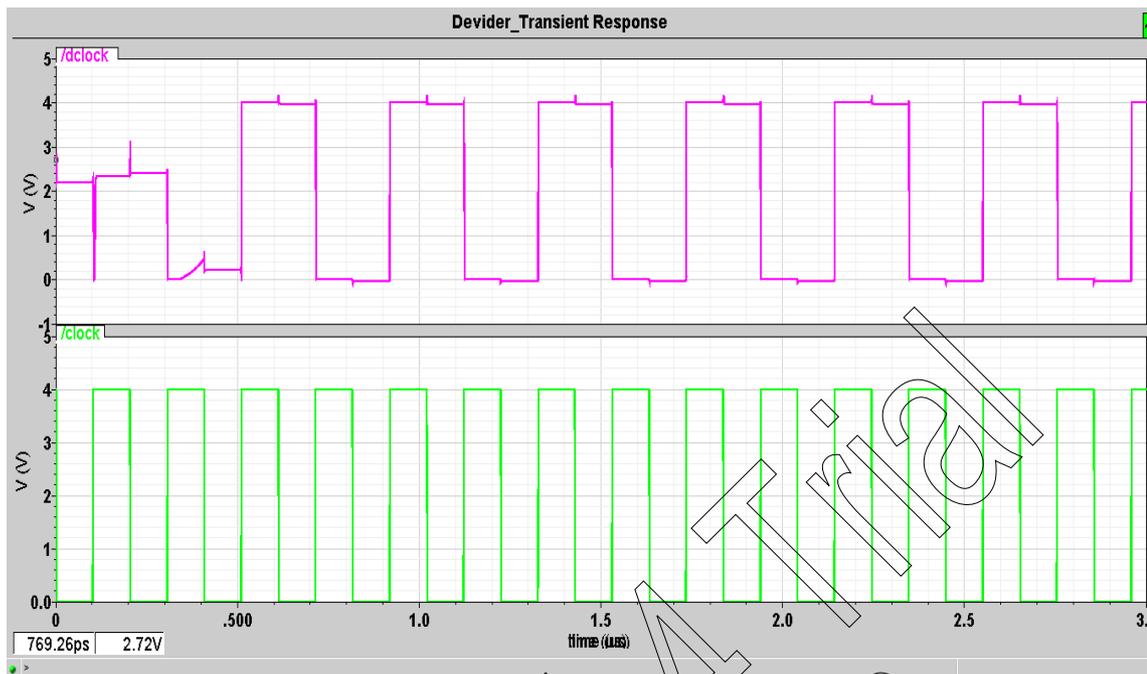


Figure 4. 36. Fonctionnement du diviseur de fréquence.

#### **b Le synthétiseur de fréquence**

Nous avons ajouté au schéma final de la PLL un diviseur de fréquence de facteur de division  $N = 2$ . Dans ce cas, la fréquence de sortie de l'oscillateur 'clock' est divisé sur deux (période multiplié par deux) comme le montre la figure 4.35.

La simulation du synthétiseur de fréquence était moins délicate, puisque ces paramètres sont les même que celle de la PLL conçu au paravent. Le seul bloc qui s'ajoute est le diviseur, mais cette fois le filtre est du 2<sup>ième</sup> ordre, pour mieux assurer la stabilité du synthétiseur.

Le schéma électrique du synthétiseur ainsi que son analyse transitoire et Pnoise sont illustrées ci-dessous.

Le synthétiseur est réalisé pour les valeurs englobées dans le tableau suivant.

Variable	valeur
vdd	4 V
W_PMOS	30 $\mu\text{m}$
W_NMOS	10 $\mu\text{m}$
W6n	35 $\mu\text{m}$
W5p	100 $\mu\text{m}$
L_NMOS	1 $\mu\text{m}$
L_PMOS	1 $\mu\text{m}$
Vin	2.39 V
R1	55 K
R2	1 K
C	10pF

Tableau 4. 10. Les valeurs prises pour la simulation du synthétiseur de fréquence.

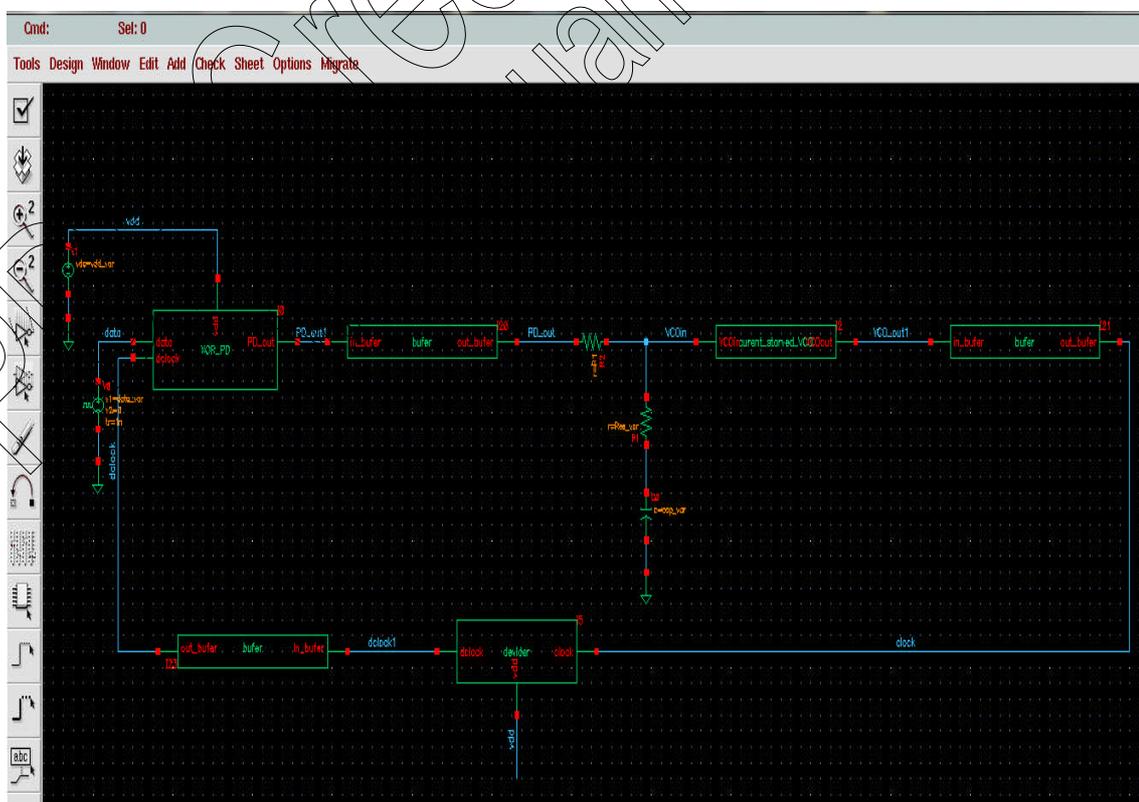


Figure 4. 37. Schéma électrique du synthétiseur de fréquence.

## Analyse transitoire

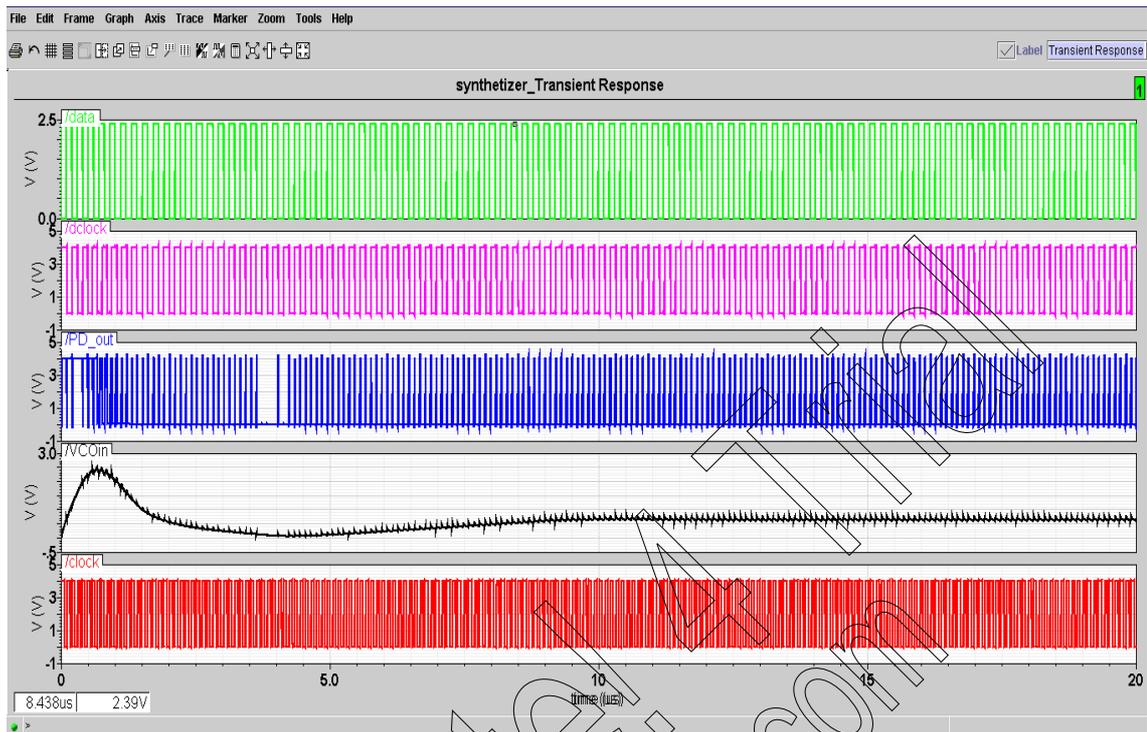


Figure 4. 38. Résultat de simulation du synthétiseur verrouillé.

Le temps de verrouillage du synthétiseur de fréquence est  $\Delta t_{\text{lock}} = 10 \mu\text{s}$ .

## Analyse Pnoise

Nous avons suivi les mêmes étapes que celle de la PLL numérique, pour avoir le bruit de phase et donné le schéma comparant le bruit de phase et celui de sortie.

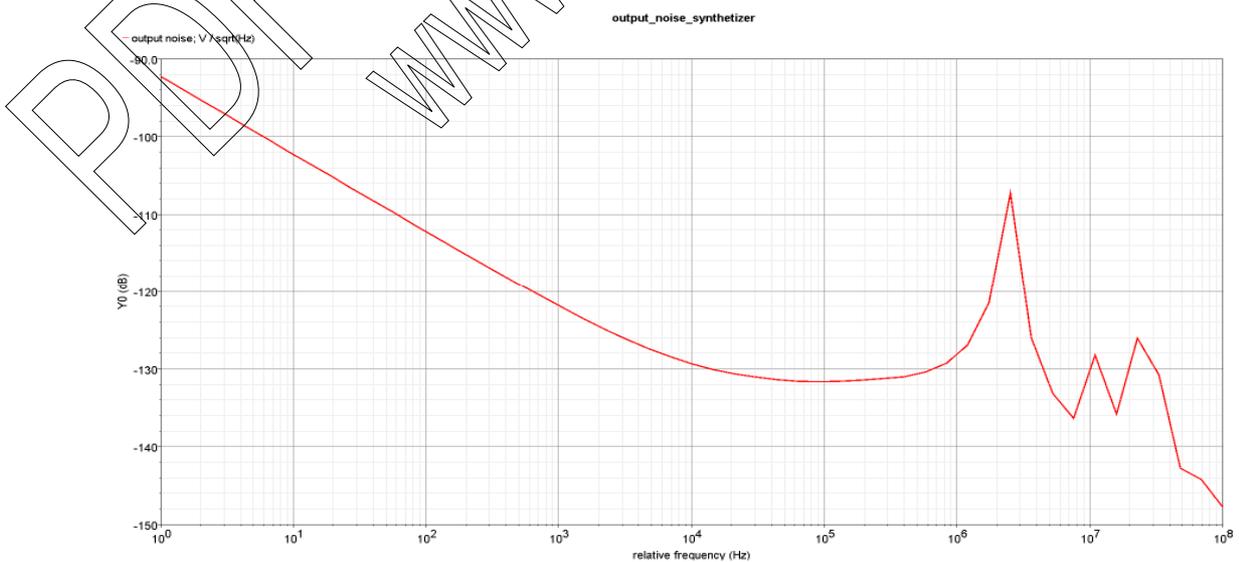


Figure 4. 39. Le bruit de phase du synthétiseur de fréquence.

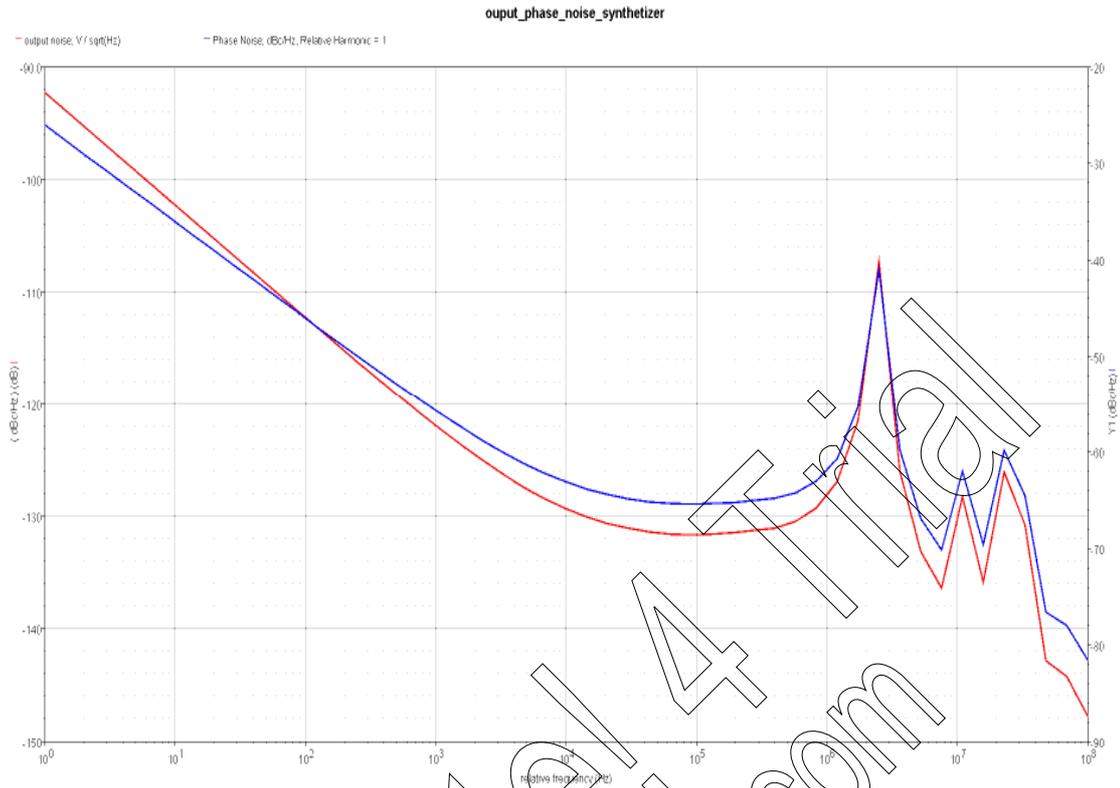


Figure 4. 40. Comparaison entre le bruit de phase et le bruit de sortie du synthétiseur de fréquence.

#### 4.4 Conclusion

Dans ce dernier chapitre, nous avons détaillé les diverses étapes optées pour simuler nos circuits ainsi que les différents résultats obtenus pour chaque blocs. En premier lieu, il était nécessaire d'expliquer chaque analyse comme l'environnement utilisé est très développé. Chaque résultat trouvé dans chaque bloc était comparé à celui de la théorie pour extraire les bonnes valeurs qui permettent de verrouiller la PLL. Une fois ce verrouillage est assuré, un synthétiseur de fréquence à été conçu.

# Conclusion générale

---

La place des circuits intégrés à hautes performances a pris une importance croissante ces dernières années dans la conception des systèmes mixtes analogiques/numériques. La réalisation de tels circuits souffre de difficultés principalement dues à la réduction de la tension d'alimentation et à la réduction de la consommation. Nous avons orienté notre travail vers ces deux aspects du problème de la conception des circuits intégrés numériques.

Un des blocs numériques les plus importants est la boucle à verrouillage de phase (PLL). Il a trouvé son chemin dans de nombreuses applications comme : Multiplicateur de fréquence, restitution de la porteuse, réalisation de décodeurs de tonalité, réalisation des radars et autres.

A travers ce projet de fin d'études qui nous a permis de nous familiariser avec la conception des PLLs, nous avons présenté les différentes étapes de conception d'une boucle à verrouillage de phase en technologie CMOS 1  $\mu\text{m}$ . Cette simulation a été opérée à l'aide des outils de conception CADENCE. Tout d'abord, nous avons commencé par créer et simuler chaque bloc de la PLL séparément. Par la suite, nous avons fait plusieurs simulations paramétriques en exploitant les analyses : transitoire, DC, AC, PSS et Pnoise.

Ainsi, nous avons pu concevoir une boucle à verrouillage de phase en technologie CMOS 1  $\mu\text{m}$ .

En perspective, ce travail sera complété par le dessin de son masque (layout) afin de pouvoir le fabriquer en salle blanche, ou encore, réaliser une PLL en technologie CMOS inférieur à 1  $\mu\text{m}$ .

## ❖ Lancement de la calculatrice

Nous pouvons lancer la calculatrice après simulation du circuit. Dans notre cas, nous voulons avoir le gain et la phase du filtre. La figure 1 s'affiche.

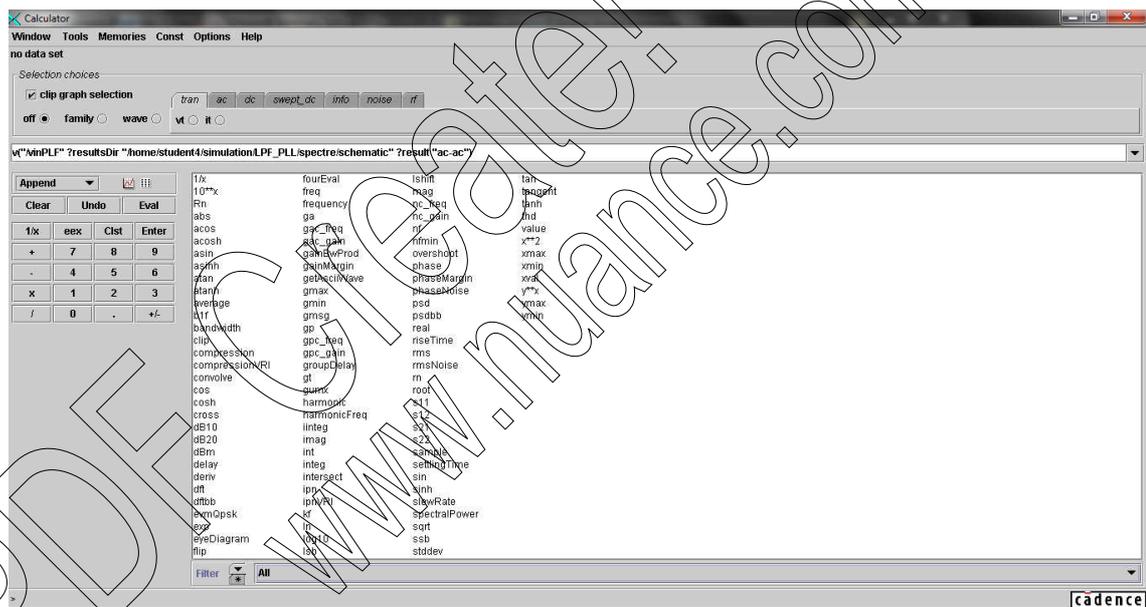


Illustration 1. Lancement de la calculatrice

Comme le gain est défini par : la sortie divisée par l'entrée, nous devons sélectionner la sortie puis l'entrée, ensuite le symbole de la division (/). Si nous voulons que le résultat du gain s'affiche en 20 dB, on clique dessous, comme présenté sur la figure 2.

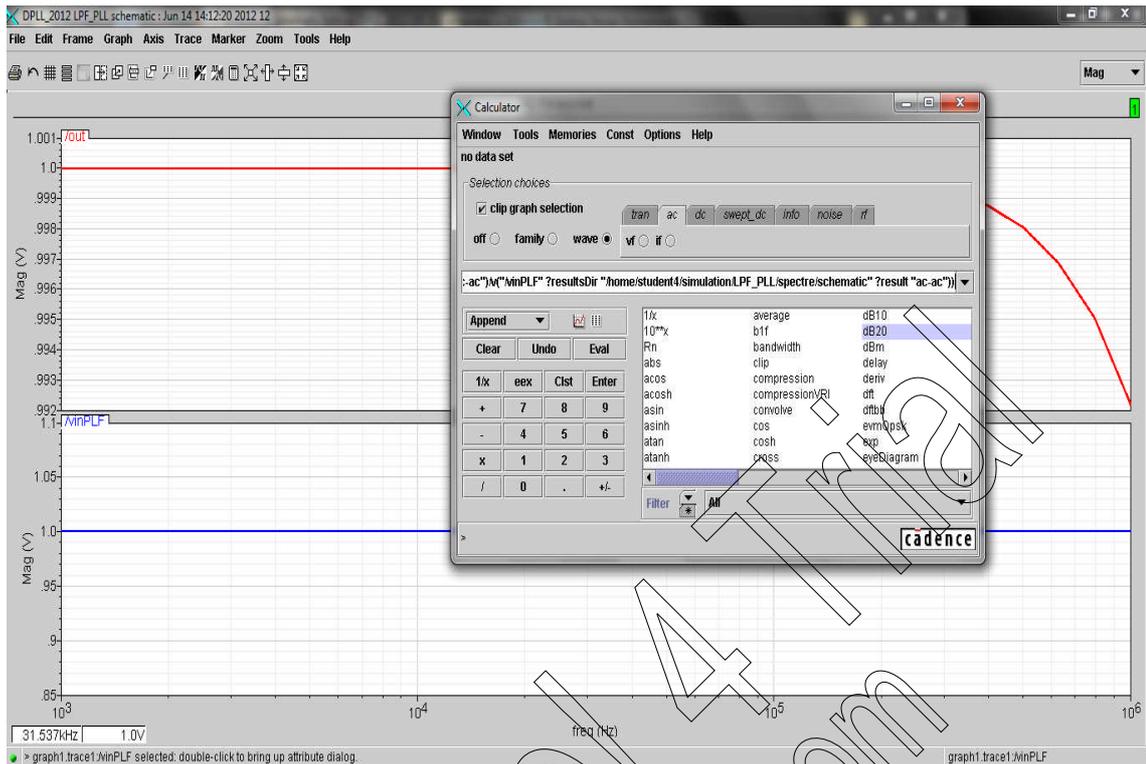


Illustration 2. Utilisation de la calculatrice pour schématiser le gain en dB

Pour la phase, nous devons sélectionner la sortie uniquement, puis cliquer sur phase.

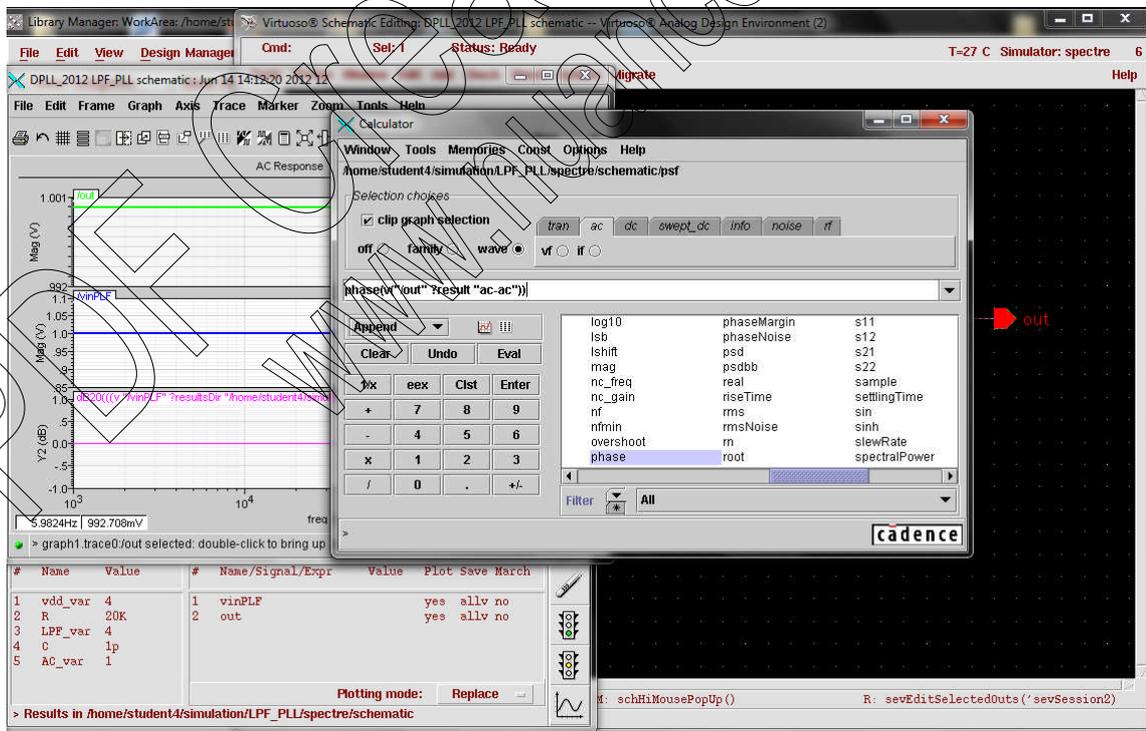


Illustration 3. Utilisation de la calculatrice pour schématiser la phase

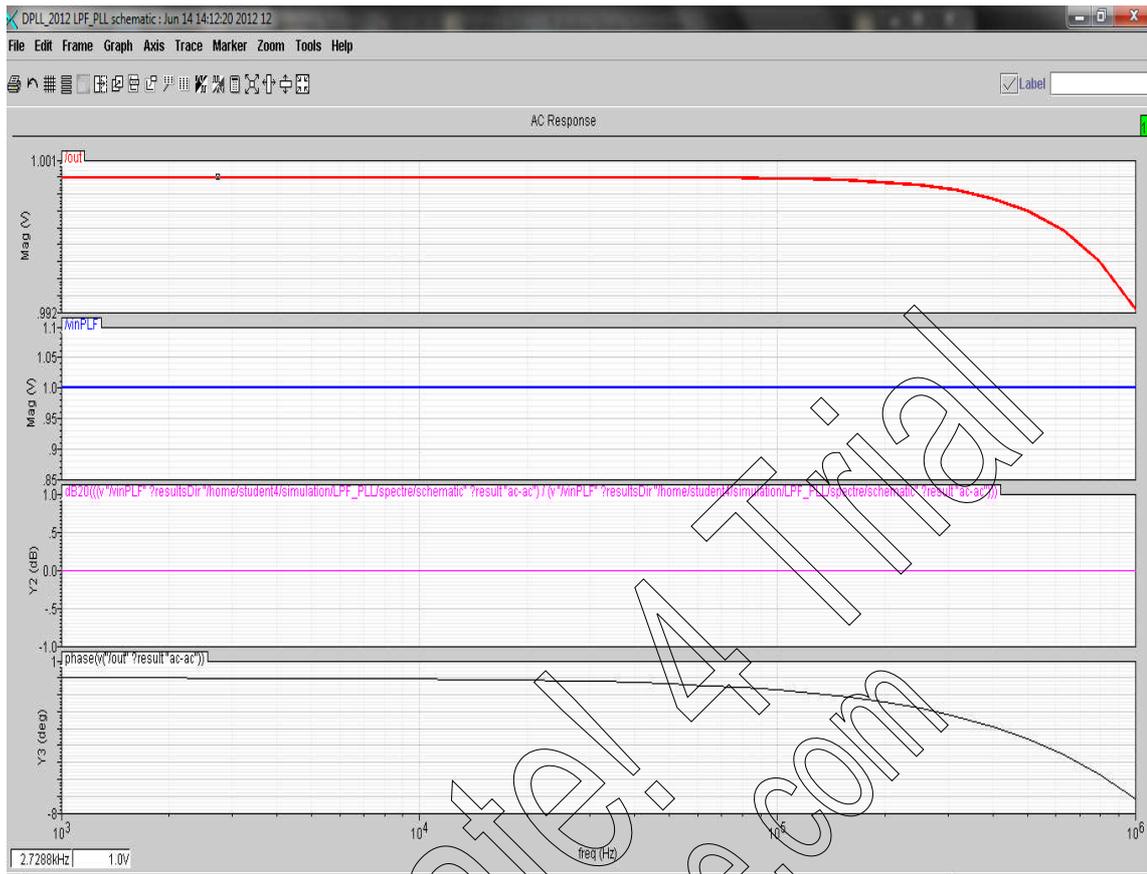


Illustration 4. Les schemas du gain et de la phase obtenue par la calculatrice

L'illustration 4 présente les deux signaux (gain et phase). Nous pouvons faire la lecture directement.

### ❖ L'analyse paramétrique

Avant de lancer une analyse paramétrique nous devons d'abord changer le paramètre voulu comme étant une variable, nous avons pris comme exemple l'analyse paramétrique de l'alimentation vdd du détecteur de phase comme c'est illustré sur la figure 5.

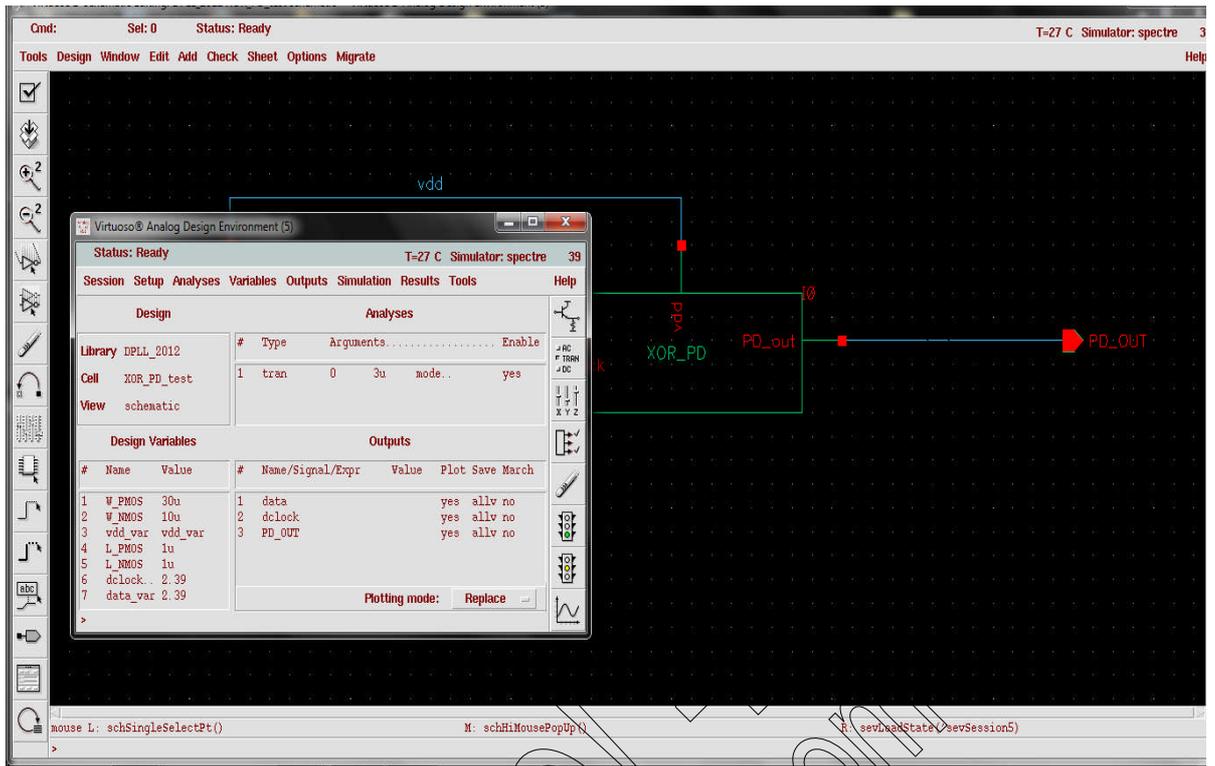


Illustration 5. Rendre le paramètre variable

Pour lancer l'analyse paramétrique nous devons suivre les étapes suivantes :

**Tools -> Parametric Analysis ->** on a la fenêtre ci-dessous qui nous apparait

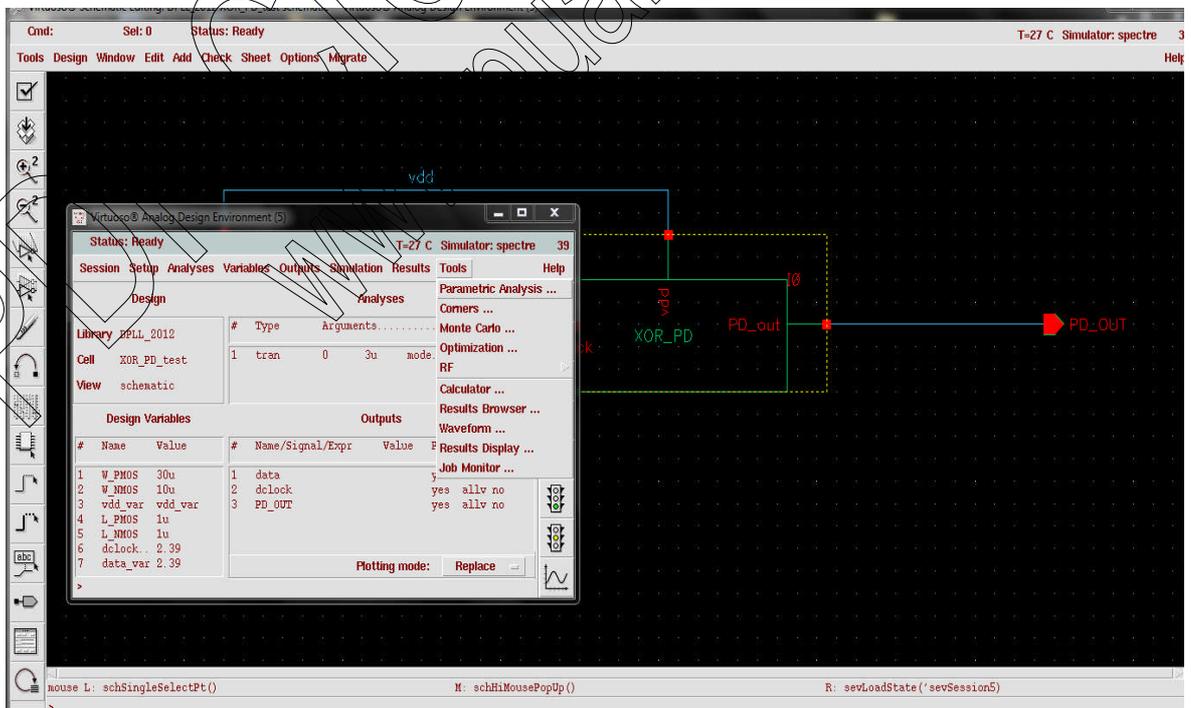


Illustration 6. Lancement de l'analyse paramétrique

Nous sélectionnons **Vdd\_Var** que nous retrouvons dans **Variable Name**.

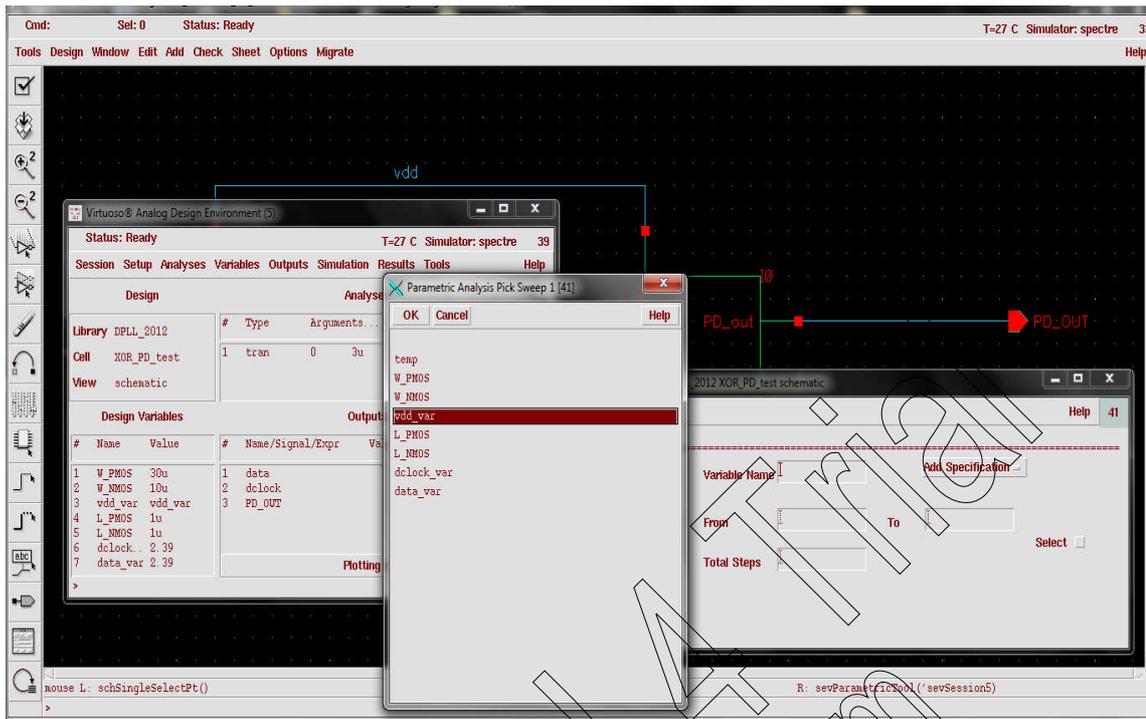


Illustration 7. Le choix de la variable

Nous remplissons notre intervalle à partir de 0 à 5V. Pour pouvoir visionner les meilleurs variations de l'alimentation nous mettons un nombre total de pas de 20 dans **Total Steps**. Nous sélectionnons start-selected, comme le montre la figure 8.

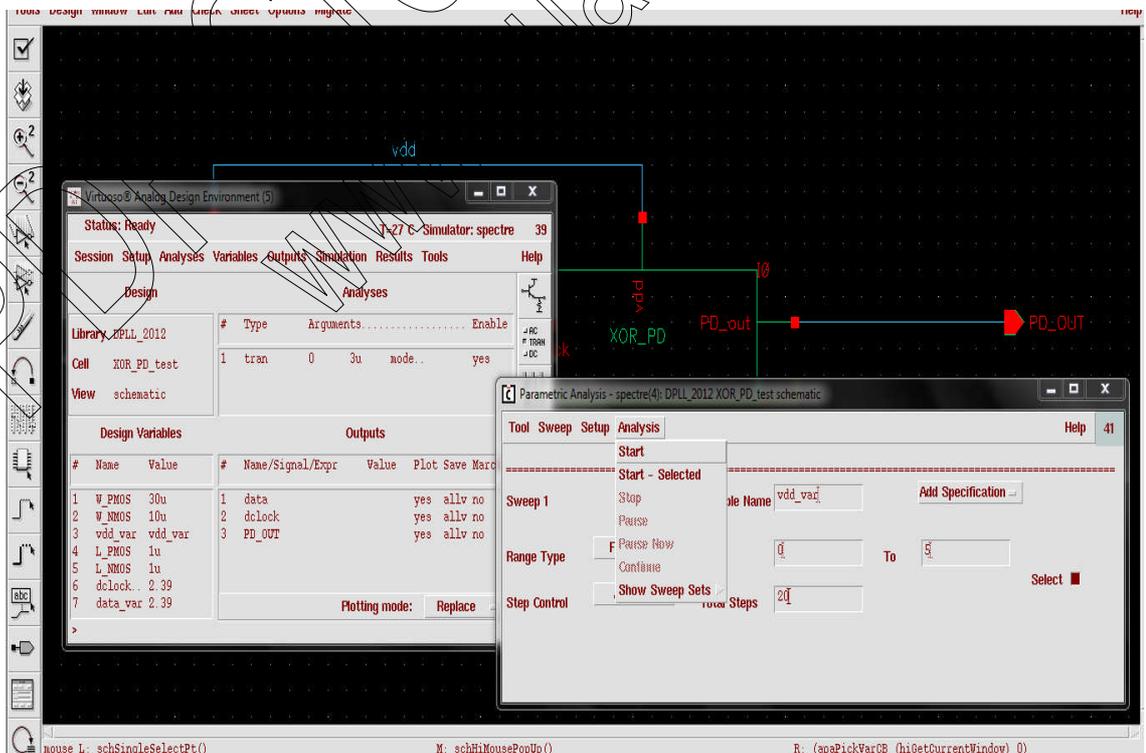


Illustration 8. Le choix de l'intervalle de variation et le pas

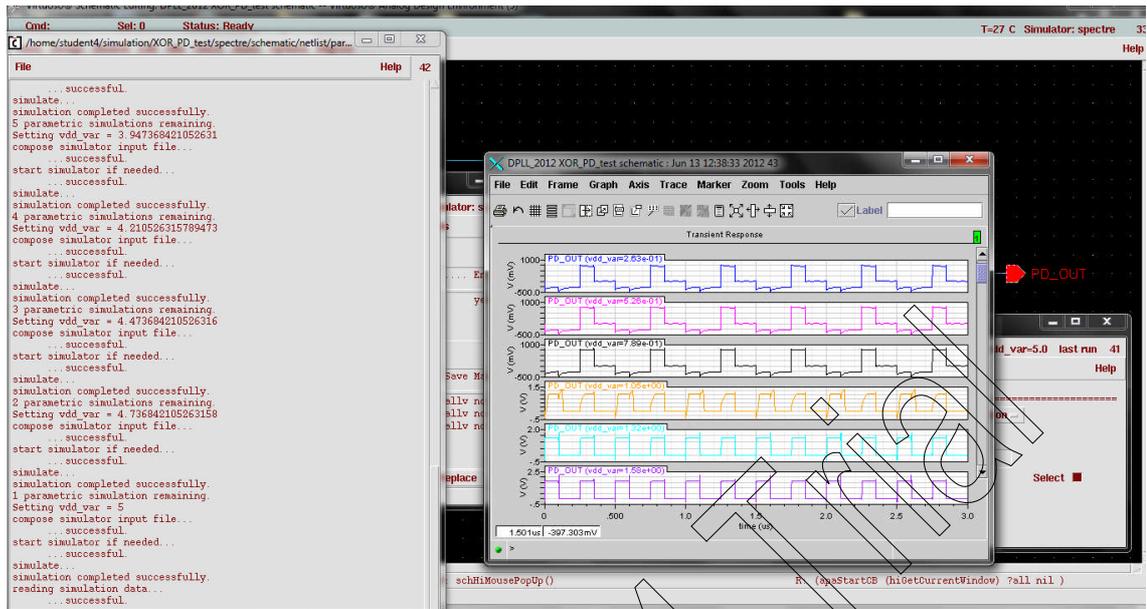


Illustration 9. Le résultat de l'analyse paramétrique

Enfin, CADENCE affiche les résultats de la plage choisie.

PDF Create! 4  
www.nuance.com

# Bibliographie

---

## Chapitre 1 et 2

- [1] St\_éphane Thuries : 'Conception et intégration d'un synthétiseur digital direct micro-onde en technologie silicium SiGe:C 0,25  $\mu\text{m}$ ', Université Paul-Sabatier, 2006.
- [2] [www.lgtrempart.fr/pedagogie/.../Technologie-fonctions-logiques.pdf](http://www.lgtrempart.fr/pedagogie/.../Technologie-fonctions-logiques.pdf) : 'Technologie des fonctions logiques TTL et CMOS.
- [3] YOUSFI Sid Ali : 'Contribution à la conception d'un Amplificateur à Faible Bruit Ultra Large Bande en Technologie CMOS', Université Hassiba Ben Bouali de Chlef, 2009.
- [4] NATHAN Frasier, B.S.E.E. these 'Modeling frequency variations in ring oscillators with respect to process parameter variations', electrical ingeenering, 2002.
- [5] [www.docstoc.com/docs/.../Cours-dintroduction-aux-blocs-analog](http://www.docstoc.com/docs/.../Cours-dintroduction-aux-blocs-analog) 'Introduction aux blocs analogiques', 1999
- [6] Faouzi CHAHOUB, thèse 'Etude de méthodes de conception et des outils de C.A.O. pour la synthèse des circuits intégrés analogiques', 29 septembre 1999.
- [7] Behzad Razavi : 'Design of analog CMOS integrated circuits', Mc Graw Hill, 2001 .
- [8] [fr.wikipedia.org/wiki/Transistor\\_à\\_effet\\_de\\_champ](http://fr.wikipedia.org/wiki/Transistor_à_effet_de_champ) : 'Transistor à effet champ'.
- [9] Hammoudi ESCID : 'CONTRIBUTION A L'OPTIMISATION D'UN AMPLIFICATEUR A FAIBLE BRUIT EN TECHNOLOGIE CMOS, APPLICATION AUX CAPTEURS OPTIQUES', U.S.T.H.B, 2011.
- [10] Andre STAUFFER : document 'Transistor MOS', 2000.

[11] XIANG-Ley HAN : 'Réalisation et caractérisation de dispositifs MOFSET nanométriques à base de réseaux danses de nanofils verticaux en silicium', 2011.

[12] Jae Woo Lee, Thèse 'Caractérisation électrique et modélisation des transistors à effet de champ de faible dimensionnalité', 2006.

[13] <https://files.me.com/mchevroulet/5dttjo>: Cours d'introduction analogiques.

### Chapitre 3

[1] Behzad Razavi : 'Design of analog CMOS integrated circuits', Mc Graw Hill, 2001.

[2] Ranjit Dash et Dipankar Ghosh : 'DESIGN ANALYSIS OF PLL COMPONENTS', National Institute of Technology Rourkela, 2010.

[3] Ramin Shariat-Yazdi : 'Mixed Signal Design Flow. A mixed signal PLL case study' the University of Waterloo, 2001.

[4] Mathilde SIÉ : 'Synthétiseurs de fréquence monolithiques micro-ondes à 10 et 20 GHz en technologies BiCMOS SiGe 0,25 et 0,35  $\mu\text{m}$ ', Laboratoire d'Analyse et Architecture des Systèmes du CNRS, 2004.

[5] Matthieu SIMON : 'Boucle à verrouillage de phase', IUT de Cachan GE1 C.

[6] LARIBI Malik et KECIL Mouhoub : 'ETUDE ET REALISATION D'UN BANC DE MESURE AUTOMATISE PAR BUS IEEE 488 POUR DES PLL ANALOGIQUES', Université des Sciences et de la Technologie HOUARI BOUMEDIENNE, 2002.

[7] Peiliang Dong, MSc, BSc : 'On-Chip Ultra-Fast Data Acquisition System for Optical Scanning Acoustic Microscopy Using 0:35\_m CMOS Technology', University of Nottingham, 2008.

[8] Angus McLaren : 'Generation of Accurate OnmChip T1.ansconductances Using a Monolithic CMOS PLL With Hybrid Analog and Digital Control', University of Toronto, 2000.

[9] ROLAND E.BEST: 'Phase- Locked Loops DESIGN, SIMULATION, AND APPLICATIONS', McGRW – HILL PROFESSIONAL, 2003.

- [10] [fr.wikipedia.org/wiki/Boucle\\_à\\_phase\\_asservie](http://fr.wikipedia.org/wiki/Boucle_à_phase_asservie) : *'les boucles à verrouillage de phase'*.
- [11] M. Correvon : 'BOUCLES A VERROUILLAGE DE PHASE PHASE-LOCKED LOOPS (PLL)', HES.SO Haute Ecole Spécialisée de suisse occidentale.
- [12] M.GIRARG, "boucles à verrouillage de phase", Gd.Mc GRAWHILL, 1998.
- [13] T-T-LANG, 'Electronique des systems de mesure', Ed.Masson, 1984.
- [14] Cours : 'BOUCLES A VERROUILLAGE DE PHASE PLL', EPUNSA.
- [15] Dragan Maksimović : 'CMOS 4046 Phase-Locked Loop', University of Colorado, Boulder, 1997.
- [16] [fr.wikipedia.org/wiki/Boucle\\_à\\_phase\\_asservie](http://fr.wikipedia.org/wiki/Boucle_à_phase_asservie) : *'PLL, Boucle à verrouillage de phase'*.
- [17] J AUVRAY, document 'Synthèse de fréquence', Systèmes Electronique.
- [18] Boucle à verrouillage de phase PLL', Université Josef Fourier, 2011-2012.
- [19] Thierry LAGUTERE : 'Conceptions et modélisations d'oscillateurs et de leurs boucles à verrouillage de phase associées pour des applications de radiocommunications mobiles professionnelles', ECOLE SUPERIEURE d'INGENIEURS DE POITIERS, 1992.
- [20] Oussama EL AISSATI : 'Oscillateurs Asynchrones en Anneau', de la Théorie à la Pratique', Université De Grenoble, 2006.
- [21] Stephen Docking: 'A Method to Derive an Equation for the Oscillation Frequency of a Ring Oscillator', University of Waterloo, 2002.
- [22] Zhiming Deng et Professor Robert G. Meyer: 'Building Blocks for A Wide-Band Phase-Locked Loop'.
- [23] Y. Moon, et al., "An All-Analog Multiphase Delay-Locked Loop Using a Replica Delay Line for Wide-Range Operation and Low-Jitter Performance", IEEE JSSC, vol.35, No. 3, pp. 377-384, March 2000.

[24] M. Maymandi-Nejad, M. Sachdev, "A digitally Programmable Delay Element: Design and Analysis", IEEE Trans. on VLSI Systems, vol. 11, No. 5, October 2003.

[25] G. Jovanović, M. Stojčev, "Voltage Controlled Delay Line for Digital Signal", Facta Universitatis, Series: Electronics and Energetic, vol. 16. No. 2, pp. 215-232, August 2003

[26] R. Nishikido, Current Starved Inverter Ring Oscillator Having an in-phase signal transmitter with a subthreshold current control unit, United States Patents Number 6803 831 B2, Oct. 12, 2004.

PDF Create! 4 Trial  
www.nuance.com